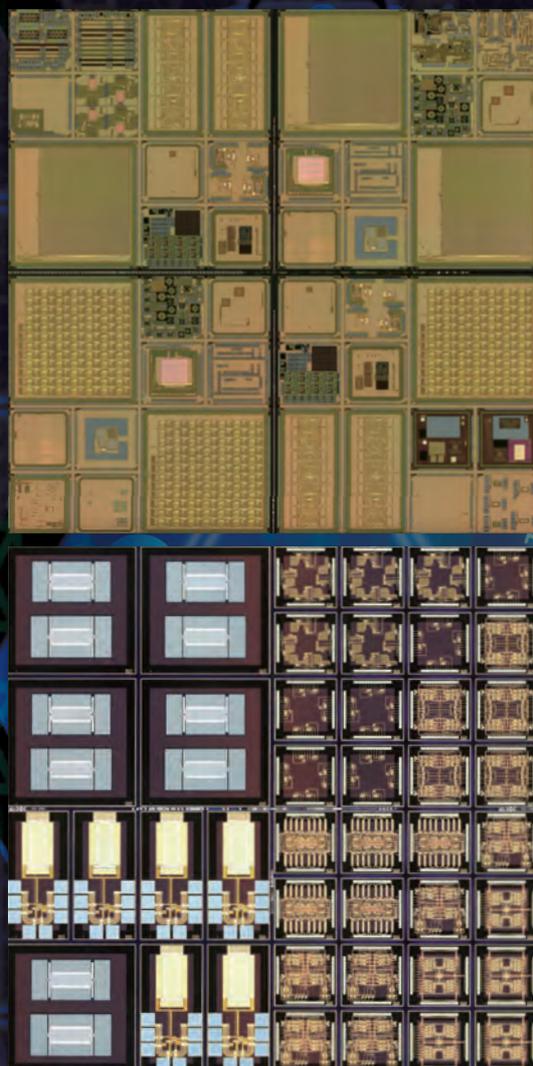


東京大学大学院工学系研究科
附属システムデザイン研究センター
先端設計研究部門・先端デバイス研究部門
(旧VDEC) 基盤設計研究部門・基盤デバイス研究部門

年 報





Message from Director of d.lab

東京大学工学系研究科附属システムデザイン研究センター (d.lab)
センター長

黒田 忠広

半導体は「産業のコメ」と言われます。はたしてそうでしょうか？

主食用米の自給率は100%。国内生産だけで消費をまかなうことができる唯一の作物です。しかしながら、食生活の多様化によって、米の消費量は年々減っています。現在の消費量であれば、全国にある水田の6割の生産で主食用の米はまかなうことができるそうです。

一方の半導体の自給率は、この30年間、減少の一途です。このままだと2030年には0%になるとの予測もあります。ところが、半導体の消費量は年々増えています。コロナパンデミックでDXの必要性が強く認識され、半導体需要はさらに拡大しました。そのため、半導体工場の火災・停電・水不足や国際供給網の分断などが報じられると、半導体の供給に対する不安が大きくなります。

このように、「産業のコメ」という表現には時代とのズレを感じます。また、海外では「コメ」と同義の表現は「オイル」ですが、新しいオイルになるだろうと期待されるのは、半導体ではなくデータです。

ではこれからの半導体に相応しい表現は何でしょうか？

「社会のニューロン」が相応しいと私は考えています。その理由は3つあります。

一つ目は、価値づくりがモノから知・情報に移ること。資本集約型から知識集約型に社会が移行して、半導体の役割も部品から知の生産・伝達へと高まるからです。

二つ目は、半導体の応用が産業から社会に広がること。デジタル社会のインフラは情報ネットワークです。そこに半導体が欠かせません。

三つ目は、競争の土俵が汎用チップから専用チップに移ること。なぜなら、専用チップにすることで桁違いにエネルギーを節約できるからです。ビッグデータをAIで処理するためには大きなエネルギーが必要となり、このままでは地球環境を守れません。グリーン成長戦略で最優先されるのはエネルギーの節約です。

「産業のコメ」は輸入しても、「社会のニューロン」は国が自ら築くべきものです。経産省は、デジタル化は将来の目標ではなく達成しなければならない必須条件とした上で、デジタル産業、デジタルインフラ、半導体産業の3つを大黒柱とした政策を立案しています。

アメリカのバイデン大統領がチップを手に半導体の重要性を熱弁すると、自民党は「半導体を制するものが世界を制する」とまで銘打たれた議員連盟を発足しました。

かつて「鉄は国家なり」でしたが、これからは「シリコンは国家なり」となるのでしょうか。

黒田 忠広



2021
Systems Design Lab, School of
Engineering,
(VLSI Design and Education Center),
The University of Tokyo
Annual Report

C O N T E N T S

巻頭言

ご挨拶 ……1

第1章 d.labの紹介 …… 4

第2章 d.lab 事業の紹介と2020年度事業報告 …… 5

2-1 先端設計研究部門 ……5

2-2 先端デバイス研究部門 ……8

2-3 基盤設計研究部門(旧VDEC部門)2020年度事業報告および2021年度事業計画 ……9

2-4 基盤デバイス研究部門 ……12

2-5 「アドバンテストD2T 寄附講座」活動報告 ……16

第3章 d.lab 概要 …… 19

3-1 組織概要 ……19

3-2 人事報告 ……20

3-3 新任ご挨拶 ……25

3-4 決算報告 ……26

第4章 研究報告 …… 28

4.1 全体概況 ……28

4.2 研究室構成員(令和2年度) ……29

4.3 研究概要 ……33

4.4 研究発表 ……46

4.5 特許, 受賞等 ……75

付録(Appendix) …… 78

A-1 CADソフトウェアの整備 ……78

A-2 基盤設計研究部門におけるチップ試作支援の実施状況 ……80

A-3 セミナー ……83

A-4 VDEC発ベンチャー ……86

B チップ試作報告 ……87

B-1 試作ラン別一覧 ……88

B-2 チップ種別一覧 ……92

B-3 各チップの詳細 ……95

C Publication list (VDEC利用者に関する発表文献リスト) ……126

D VDECの利用規程・申し込みガイド ……159

E IPデータベースの整備 ……164

第1章 d.labの紹介

1996年に大規模集積システム設計教育センター (VDEC) が設立されました。当時は、日本の半導体が世界の半導体市場 (5兆円) の5割を占めており、即戦力となる人材が求められました。VDECは、世界に類のない卓越した教育を行い、優れた人材を半導体産業界に輩出してきました。

しかし、彼らはその才能を遺憾なく発揮できたでしょうか。この四半世紀の間に、世界の半導体産業は年率7%の高成長を遂げたにもかかわらず、日本の半導体は徐々にその地位を低下させ、現在のシェアは市場 (50兆円) の1割程度に落ち込んでいます。

半導体ビジネスは、汎用チップを大量生産する薄利多売のビジネスです。汎用チップが大量に売れる理由は、コンピュータがメモリとプロセッサで構成できるフォン・ノイマン・アーキテクチャを採用しているからです。日本はメモリデバイスのイノベーションで世界をリードしましたが、ビジネスでは資本競争に敗れました。

大量生産・大量消費には、しかしながら限界があります。環境負荷が過大となり、世界はエネルギー危機に直面しています。ビッグデータをAIで分析するためには、さらに大きな電力が必要になります。

そこでついに、ゲームチェンジが起きました。半導

体メーカーから汎用チップを調達していたのでは競争に勝てない、そう考えたGAFANAなどの巨大IT企業が専用ロジックチップの自社開発に乗り出したのです。

こうした時代のうねりの中で、東京大学は2019年の10月にシステムデザイン研究センター (d.lab) を開設し、11月にはTSMCと戦略的提携を結びました。d.labには、VDECと武田クリーンルームを運営する基盤設計研究部門と基盤デバイス研究部門に加えて、先端設計研究部門と先端デバイス研究部門が創設されました。2020年の10月からd.lab協賛事業を開始し、協賛会員は現在40社余りに増えています。

加えて、2020年の8月に先端システム技術研究組合 (RaaS) を設立して、産学官連携の体制を整えました。d.labとRaaSのオープン・クローズ戦略を両輪にして、学術・社会連携と産学協創を推進しています。研究の目標は、半導体のタイムパフォーマンスを追究すること、すなわちエネルギー効率と開発効率を10倍高めることです。

日本は、工業・情報社会から人間中心の社会「Society5.0」を目指しています。知価社会において、半導体は産業のコメから社会の神経細胞へと進化します。

半導体戦略はどうあるべきでしょうか？その答えを探るのがd.labのミッションです。

2.1 先端設計研究部門

2.1.1. 先端設計研究部門の事業概要紹介

先端設計部門は、教授4名、准教授1名、講師1名、特任教授1名、上席研究員1名（兼務含）で構成されており、エネルギー効率と設計効率の高い半導体集積回路の設計を目指しています。各研究室での研究とは別に、組織として大きく2つの活動を行っています。1つ目は、d.lab協賛事業です。これはd.lab内の他部門の方々にもご協力いただいているものです。2つ目は、先端システム技術研究組合への参画です。本節では、これら2つの2020年度の活動について報告いたします。

2.1.2. d.lab協賛事業

システムデザイナーと半導体関連事業者が集い、情報・意見交換を行い、学術・社会連携をオープンに議論する国際知価センターを目指してd.lab協賛事業を開発しました。IoT、AI、5G、自動運転・制御、ヘルスケアなどのシステムデザイナーのアイデアと、先端CMOSや3D集積などの先進半導体技術と、それを支える素材や製造装置を結びつけるハブを目指しています。2020年度は、7月から協賛会員の募集を行い、最終的に21社にご参加いただきました。表2.1.1が2020年度の協賛会員企業一覧です。参加いただいた各社の皆様にこの場であらためてお礼申し上げます。

当初構想では、d.labの研究成果の報告にとどまらず、東京大学の著名教授や学生との交流、世界の大学や研究機関との交流、国際会議の情報提供、産業界のトップレベルの交流、TSMCなどの最先端技術の紹介や視察など、さまざまなイベントを目白台という新しい交流の場を中心に行う予定でありました。しかしながら、コロナ禍ではいかんともしがたく、やむなくWebinar形式での各種セミナーを中心とする活動にとどまったことは残念でなりません。以下2020年度の協賛事業の活動を報告いたします。2020年度は募集開始が遅くなったため、10月から3月の半年間の活動となりました。表2.1.2に2020年度に開催したセミナーの一覧を示します。2020年10月28日に記念すべき第1回セミナーを行いました。ここではd.labセンター長である黒田忠広教授が、新半導体戦略を語りました。国際情勢や社会情勢、また地政学的要因から、以前にも増してあらゆる分野から半導体に寄せられる期待が大きくなっています。そ

の中で日本はどこにその活路を見い出そうとしているのか？がテーマでした。11月11日には、2020International Conference on Solid State Devices and Materials（国際固体素子・材料コンファレンス：SSDM2020）の報告会を行いました。半導体デバイスと材料の老舗の国際会議であるSSDMのプログラム委員長の内田建教授を中心に、今後の技術動向を読み解きました。材料には「ムーア則の限界」を乗り越える潜在力があります。新材料の探究の中から新世紀の扉を開く技術を見つけられるか？がテーマでした。11月28日には、TSMC技術対談を行いました。TSMCジャパンの小野寺社長、Alex Hsiao様、小池正博様にご登壇いただき、LiveでTSMC技術紹介をしていただきました。ご講演の後には、Q&Aセッションも行いました。先端半導体技術は、TSMCを中心に動いているといっても過言ではありません。その最新動向を直接同社幹部の皆さんからうかがえたことは非常に貴重な機会でした。12月25日には66th IEEE International Electron Devices Meeting (IEDM2020)の報告会を行いました。デバイス技術に関する最高峰の国際会議IEDMの論文発表を分析して、more Mooreとmore than Mooreの技術トレンド、量子効果デバイスなどの新原理デバイス、新しいコンピューティングに求められるデバイスと回路の協調設計などについて、専門外の方にも分かりやすくその本質をd.lab教授陣が解き明かしました。明けて2021年1月13日は、IBM day-『量子コンピューティングを考える』と題して、すでに量子コンピューティングでの事業を開始しておられるIBM様から講師をお招きし、東京大学大学院工学系研究科武田俊太郎准教授とともに、量子コンピューティング技術の現状と今後の展望について、講演していただきました。武田先生にわかりやすく量子コンピューティング技術を解説していただいた後に、実応用をIBMの講師の皆さんに紹介いただくというバランスのとれたセミナーになっていたと思います。2020年度のセミナーシリーズは、3月3日の2021 International Solid-State Circuits Conference (ISSCC2021)の報告会で結びました。2月に開催された集積回路技術に関する最高峰の国際会議ISSCCから、機械学習用プロセッサの隆盛、量子計算機に代表される新原理コンピューティングを

支えるIC、今後の半導体市場を牽引する5GとAIとゲーム機用ICなどの最新トレンドをISSCC2021の技術プログラム委員長を務める池田誠教授をはじめとするd.lab教授陣が解説しました。単なる論文紹介にとどまらず各分野の技術動向から今年の論文の位置づけを示したことで、分野外の聴衆にもわかりやすい構成になっていたと思います。

2021年度も、残念ながらリモートセミナー中心の活動になりそうですが、2020年度にはなかったような企画も織り交ぜながら、会員と大学人、あるいは会員間の知的交流をおこなっていきたいと考えています。

2.1.3. 先端システム技術研究組合

2019年度から準備を進めてまいりました、先端システム技術研究組合（RaaS: Research Association for Advanced Systems）が2020年8月17日に開設されました。設立組合員は、国立大学法人東京大学、凸版印刷株式会社、パナソニック株式会社、株式会社日立製作所、株式会社ミライズテクノロジーズです。RaaSは、データ駆動型社会を支えるシステムに必要な専用チップのデザインプラットフォームを構築し、オープンアーキテクチャを展開することで、専用チップの開発効率を10倍高めることを目標に掲げています。さらに、3次元集積技術を研究開発し、最新の7nm CMOSテクノロジーで製造したチップを同一パッケージ内に積層実装することで、エネルギー効率を10倍高めることが目標です。

我々は半導体ビジネスの主役が、汎用チップから専用チップに再びスイングすると考えています。その背景にはデータ社会特有の「エネルギー危機」があります。データが急増し、AI処理が高度化して、エネルギー危機に拍車がかかっています。このままいくと、2030年には現在の総電力の倍近い電力をIT関連機器だけで消費し、2050年にはそれが約200倍になると予想されています。デジタルトランスフォーメーションに莫大なエネルギーを費やして地球環境を破壊することになるのなら、サステイナブルな未来は望めません。

こうした状況下では、エネルギー効率を10倍高めた者だけが、コンピュータを10倍高性能にでき、スマートフォンを10倍長く使えます。あらゆるタスクをこなせる汎用チップに比べて、無駄な回路をそぎ落とした専用チップはエネルギー効率を桁違いに改善できます。専用チップが求められる理由がここにあります。さら

に、AI処理に用いられる神経回路網はデータを並列処理するので、逐次処理をするフォン・ノイマン・アーキテクチャでは性能を引き出せません。AIアクセラレータのための専用チップが世界中で開発されています。また、ムーアの法則が減速していることも専用チップの時代の追い風になっています。

ところが、専用チップの開発は誰にでも簡単にできるものではありません。チップに集積されるトランジスタ数は世界人口を超えようとしています。開発費は近年急増して100億円にも達する勢いです。数100人の設計者を配しても開発に数年を要します。技術進歩が早い現代においては全く間に合いません。

ソフトウェアは、バグがあっても後でパッチを当てて修復できます。しかし、ハードウェアは完璧に仕上げなければなりません。ハードウェアはソフトウェアより設計が難しく開発リスクが高く、“hard”です。

もし、ソフトウェアの開発に用いられるコンパイラのような技術がチップの開発にも用いられたならば、すなわちシリコンコンパイラができたならば、ハードウェアの開発費が下がりリスクも下がるでしょう。ハードウェア設計者の人口も増えます。やがてオープンソースの文化が根付き、エコシステムのネットワークが重層的に拡大発展すれば、マスコラボレーションも可能になるでしょう。そうなれば、まさにソフトウェアを書くようにチップを作ることができます。

かつてアラン・ケイが「ソフトウェアを本気で考える人たちは、自分でハードウェアを作ることになる」と言いました。システム開発には、ハードウェアとソフトウェアの両方が必要です。

私たちの目標は、シリコン技術の民主化(democratize access to silicon technology)です。シリコンコンパイラをイノベーションし(design chips as writing software)、短時間でプロトタイプを作る開発プラットフォームを創出します(agile authentic prototyping)。

技術目標は、開発効率10倍かつエネルギー効率10倍です。開発効率を高めるために、アジャイル設計プラットフォームを創出し、オープンアーキテクチャを展開します。また、エネルギー効率を高めるために、チップを先端CMOS技術で製造し、3次元実装します。

半導体を製品として売るのではなく、サービスとして提供する。そのための技術をRaaS（ラース）は研究開発します。

RaaSは東京大学目白台インターナショナルビレッジ内に各組合員から研究員が集結し、互いに刺激しあいながら研究開発を遂行する計画でありましたが、こちらも残念ながらリモートワーク中心の活動形態をとっております。2020年度は、ファウンダリーやCADツールベンダとの契約を完了するとともに、設計用ハードウェアの導入を行い、最先端CMOS技術で試作用設計が可能となる環境を整えたことが最大の成果です。

表2.1.1 2020年度d.lab協賛会員（50音順）

キオクシア株式会社
JSR株式会社
信越化学工業株式会社
住友商事株式会社
ソニー株式会社
ダイキン工業株式会社
大日本印刷株式会社
東京エレクトロン株式会社
東京応化工業株式会社
凸版印刷株式会社
株式会社ニコン
日本ケイデンス・デザイン・システムズ社
日本シノプシス合同会社
パナソニック株式会社
株式会社半導体エネルギー研究所
株式会社日立製作所
富士通株式会社
富士フイルム株式会社
三菱ケミカル株式会社
株式会社ミライズテクノロジーズ
ローム株式会社

表2.1.2 2020年度d.lab協賛事業セミナー

開催日	タイトル	講師
2020/10/28	d.lab 協賛事業キックオフミーティング	d.lab 黒田 忠広 教授
2020/11/11	SSDM 報告会	d.lab 内田 建 教授 d.lab 平本 俊郎 教授 d.lab 黒田 忠広 教授 d.lab 丹羽 正昭 上席研究員
2020/11/25	TSMC day -TSMC 技術対談	TSMC ジャパン小野寺 誠 様 TSMC ジャパン小池 正博 様 TSMC ジャパン Alex Hsiao 様
2020/12/25	IEDM2020 報告会 ~IEDMを紐解く~	d.lab 高木 信一 教授 d.lab 竹内 健 教授 d.lab 内田 建 教授 d.lab 高木 剛 主幹研究員
2021/1/13	IBM day – 『量子コンピューティングを考える』	工学系 武田 俊太郎 准教授 IBM 三橋 朗 様 IBM 山道 新太郎 様
2021/3/3	ISSCC 報告会	d.lab 池田 誠 教授 d.lab 竹内 健 教授 d.lab 飯塚 哲也 准教授 d.lab 小菅 敦丈 講師 d.lab 濱田 基嗣 特任教授

2.2 先端デバイス研究部門

先端デバイス部門では、データ駆動型システムを実現するため半導体システムのエネルギー効率を10倍改善することを目指し、3次元集積技術と先端デバイス技術の研究を行っている。

2.2.1 構成

教授	高木信一
教授	平本俊郎（部門長）
教授	染谷隆夫
教授	内田 建
准教授	小林正治
上席研究員	丹羽正昭
主幹研究員	高木 剛

2.2.2 事業報告

2020年度は、データ駆動型社会の実現を目指して、エネルギー効率10倍を可能とする次世代3D集積技術のコアとなる新規プロジェクトの立ち上げを検討した。

近年、AIをはじめ大量のデータ処理を必要とするコ

ンピューティング技術の重要性が高まってきている。メモリとプロセッサとの間の大量で頻繁なデータ移動に伴うエネルギー消費が大きな課題となっている。そのような課題を解決する技術として、チップレベルもしくはウェハレベルで直接接合を形成して、データの移動距離を短縮しエネルギー効率を高めるダイレクト接合3D積層技術が注目されている。具体的には、メモリなど同種のウェハを多層に積層するWoW (Wafer on Wafer) や、大きさや技術ノードが異なる複数の半導体チップを3次元積層するCoW (Chip on Wafer) を実現するためのハイブリッドボンディング技術である。現在は、マイクロバンプ接続を基本とするパッケージレベルの3D集積から、バンプレス直接接合を基本とするダイレクト接合3D集積への技術の大転換期にある。この大転換期に、コアとなるハイブリッドボンディングの主要技術課題を、日本の優れた独自技術の融合により解決する新規プロジェクトを提案し、国家プロジェクト等に申請していく予定である。

2.3 基盤設計研究部門(旧VDEC部門)2020年度事業報告および2021年度事業計画

2.3.1 基盤設計研究部門概要

東京大学大規模集積システム設計教育研究センター(VDEC)は、1996年の発足以来『LSI教育情報の発信拠点形成』、『VLSI設計支援教育用CADソフトウェアの整備』、『VLSIチップ試作支援』を3つの柱として、日本の大学・高専における集積回路設計教育に資する事業を展開してきた。2019年10月1日に東京大学における、半導体集積回路関係の強化を目指した組織改編により、東京大学大規模集積システム設計教育研究センターは東京大学大学院工学系研究科附属システムデザイン研究センター(d.lab)へと改組され、その中で、基盤設計研究部門がこれまでのVDECの担ってきた機能を引き続き担い、シームレスに活動を継続している。ここでは、d.lab基盤設計研究部門の活動内容に基づき、以下に2020年度の概要を報告する。

VDECの使命は全国の国公私立大学および高専のLSI設計研究・教育を高度化し、産業界に対しても優秀なLSI設計技術者を数多く送り出すことである。VDECの発足より25年経過し、各大学におけるCADソフトウェアの利用技術教育やLSI設計・設計フローに関する教育の充実が図られている。その一方で、先端のLSI設計技術およびそれに対応するCADソフトウェアは一層複雑化し続けている。そのため、CADツールの導入に際しては、CADベンダーから講師を招いてのセミナーの開催を継続しており、参加者の利便を図るために2009年度より東京での開催と同時に映像配信による拠点校での遠隔受講としている。VDECとしては各ユーザ研究室内で“技術伝承”され、VDEC主催のセミナーがトリガーとなって最新のCAD利用技術が全国的に広がることを期待している。なお、2020年度においては、すべてのセミナーをオンラインで実施している。一部の項目に関しては、オンデマンド+ライブQ&Aという形で実施し、参加への利便性の向上への取り組みを行った。また、各社のツールチェーンが複雑化し導入しているツールを十分に使いこなすことが困難となっているという現状を鑑み、各ツールベンダーの推奨するツールチェーンに関する講演会もツールセミナーの開催に合わせる形で実施した。なお、2019年度末からのCOVID-19感染拡大を受けて、各EDAベンダーからEDAツールの自宅からの利用に関する許諾を受け、日本国内における集積回路設計研究・教育に遅滞の生じないよう取り組んだ。

2.3.2 基盤設計研究部門における教育の実施状況

LSI設計フローセミナーはLSI設計の基本概念教育と複数のCADツールを連携する実用的設計例の体験教育である。この目的でVDECでは社会人のリフレッシュ教育プログラムと兼ねてLSI設計教育セミナーを開催してきた。2020年度は、6月～9月に、“アナログ設計コース”、“RF設計コース”、2012年から開始した“MEMS設計コース”を実施した。いずれも演習を伴う体験教育コースであり、主要大学の経験豊かな教官を講師に招いて実施している。加えて各プロセスに特化した設計フローに関するセミナー“VDEC環境におけるトランジスタレベル設計講習会(コースVT)”、“VDEC EDA環境におけるデジタル設計手法講習会(コースVD)”を大学における設計者に向けて実施している。なお、2014年度から本設計フローに関するセミナーに関して有料化して実施している。リフレッシュ教育に関しても2020年度は全てオンラインでの開催で、結果的に例年より参加人数が増加する結果となっている。

これらセミナーに加えてVDECでは年1回、若手教官と学生を中心としたVDECデザイナー・フォーラムを開催している。これはワークショップ形式の会合であり、企業・大学からの招待講演に交えて、参加者が設計事例を持ち寄ってその成功談、失敗談を交換する。これから設計を始めたいと考えている学生・教官もここでさまざまなノウハウを得ることができる。2020年度はVDECデザイナー・フォーラムもオンライン開催とした。2011年度から、VDEC活動における表彰として「IEEE SSCS Japan Chapter VDEC Design Award」の最終審査・表彰をVDECデザイナー・フォーラムの場で行っており、2020年は、IEEE SSCS Japan Chapter VDEC Design Awardとして、九州大学の石田浩貴さん、3件のVDECデザインアワード優秀賞(石田浩貴(九州大学)、小島尚輝(東京大学)、長田将(東京大学))、2件のVDECデザインアワード奨励賞(永井健太郎(京都大学)、杉江謙治(奈良先端科学技術大学院大学))、5件のVDECデザインアワードアイデアコンテスト部門嘱望賞(門本淳一郎(東京大学)、重榎竜希(静岡大学)、村上峻哉(名古屋大学)、福光孝介(九州大学)、野村達也(静岡大学))を授与した。

このようなセミナー、フォーラムを通じた教育システムによりLSI設計の基本的項目を学習できるようになっているが、それでも実際のLSI設計の場面では、さ

さまざまな困難に直面することが多い。初心者にとってはCADソフトウェアのセットアップは最大の問題である。セットアップの後もCADソフトウェアが発する“難解なエラーメッセージ”でとまどうことも多い。このような場合に力を発揮するものがVDECメールグループである。VDECユーザはVDECのホームページからCADメールグループや試作技術対応のユーザグループに登録することができ、そこに直面する疑問点を投稿し、助けを求めることができる。メールグループの登録ユーザはそれに回答する義務を負っているわけではないが、ほとんどの場合、数時間から数日以内に経験豊かなユーザからの支援を得ることができる。ぜひこの仕組みを活用することで問題解決の一助としていただきたい。

2.3.3 基盤設計研究部門における発表文献の推移

図2.1にVDECを利用した発表文献数の推移を示す。また図2.2にVDECファシリティ利用状況を示す。論文執筆にあたりCADソフトウェアが幅広く利用されていることが確認できる。CADソフトウェアはチップ設計だけでなくチップ試作の準備段階で利用される場合が多いため、研究の基本アイデアを実証するツールとしての貢献度も大きい。

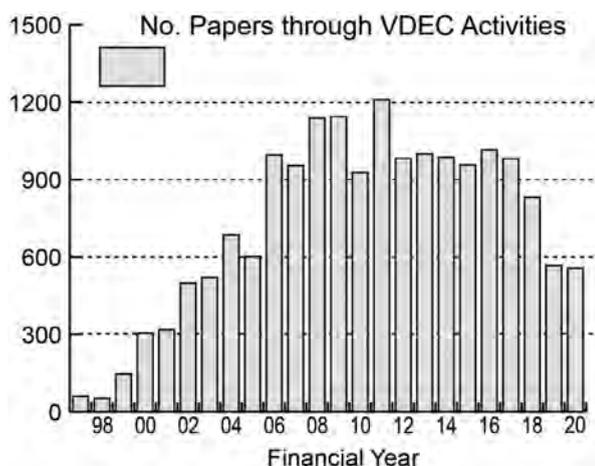


図2.1 VDECを利用した発表文献数の推移

2.3.4 基盤設計研究部門におけるAIチップ設計拠点活動概況

平成30年度（2018年度）から東京大学VDEC、国立研究開発法人産業技術総合研究所が共同でNEDOから受託している「AIチップ開発加速のためのイノベーション推進事業／研究開発項目②：AIチップ開発を加速する共通基盤技術の開発」により、国内のベンチャー・中小企業向けのEDA利用・設計環境を構築し、AIチップ設計拠点として活動を行っている。本活動では、ベンチャー・中小企業がエンジニアリングサンプルまで試作可能なEDAツールライセンスの導入に加え、40nm, 28nm向けのIPを導入、また、同プロジェクト開始時に経済産業省からの補助金により導入された、ハードウェアエミュレータによる大規模・高速設計検証環境の提供を行っている。2020年度においてはNoCおよびPCIe, DDR4などを備え、複数の機能IPコアを搭載可能なSoCプラットフォームの設計を行い、利用者の設計したAI IPコアを複数搭載したSoCとしてテラアウトを行っている。また、同活動をより強化するために、2019年9月1日に、「産総研・東大 AIチップデザインオープンイノベーションラボラトリ」(AIDL)を東京大学浅野キャンパス武田ビル内に設置し研究を加速させている。

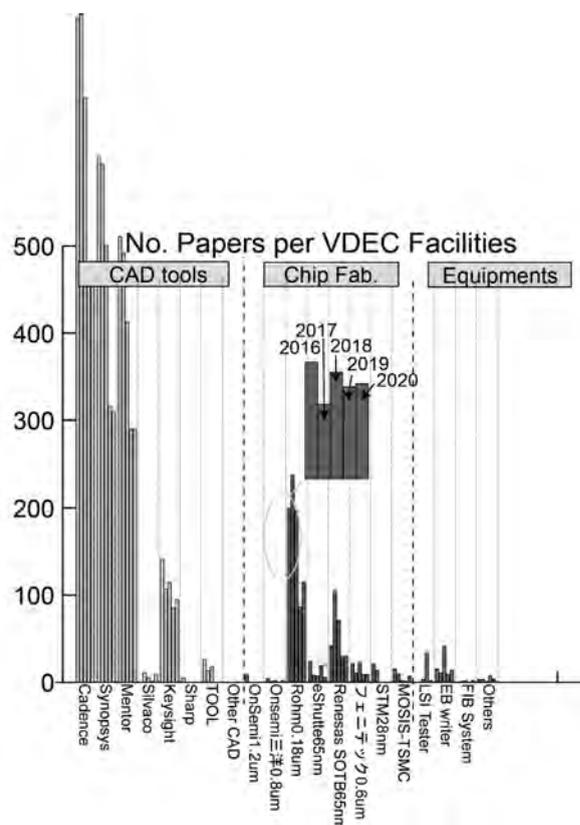


図2.2 VDECファシリティ利用状況

2.3.5 基盤設計研究部門の2021年度の活動計画

2021年度においても、従来通りアカデミック向けの活動を継続する。

【設計情報発信・セミナー開催】

本年度は、1997年度より継続しているCADツール利用法に関する技術セミナー、1998年度から継続している社会人向けの「リフレッシュセミナー」、1996年度より継続している若手のための「デザイナーズフォーラム」を継続して開催する。教科書、教材の整備充実を行なうことを予定している。

【CADツール提供】

上流設計(Cadence, Synopsys)、中流設計(Synopsys, Cadence)、下流設計(Cadence)の各基本ツールを、2020年度もサポートしていく。これに加え2002年度から導入した設計検証(Mentor: Caribre, ModelSim, Catapult等)、2004年度から導入したアナログRF設計ツール(Agilent: GoldenGate, ADS/RFDE)を継続してサポートするとともに、2005年度より提供を受けているSharp社Cベース設計ツール(BachC)を継続してサポートする。2008年度より提供を開始しているTOOL社レイアウト表示プラットフォーム(Lavis)に関しても利用状況に基づき継続を行うとともに、2011年度からのSpringSoft社の検証ツールは、SpringSoft社がCadence社に買収されCadence社のツール群として

のサポートが継続されることになっている。

【チップ試作支援】

2021年度は、2020年度から引き続きローム株式会社の0.18 μ m CMOS プロセスおよびオンセミ-三洋半導体0.8 μ m CMOS, SOTB 65nm CMOSを定常試作として継続する(すでに一部の試作は進行中である)。なお、一部のチップ試作に関しては試作申込数が少ない場合に試作キャンセルとなることがある。また、2020年度に検討を開始した、IHP SiGeBiCMOS 0.18 μ m 試作を開始する。

【そのほか】

経済産業省・NEDOの「AIチップ開発加速のためのイノベーション推進事業」における「AIチップ開発を加速する共通基盤技術の開発」事業を受託することで「AIチップ開発拠点」の整備を継続する。具体的には、産業技術総合研究所と共同で大規模AIデジタルチップ設計検証向けのロジックエミュレータを導入するとともに、産業応用可能なEDAライセンスの整備運用を行う。なお、本事業はAIチップ開発加速に向け、AIチップの設計・評価・検証等の開発環境を中小・ベンチャー企業に提供することを主眼としているが、AIに関連した集積回路分野における大学発の企業化の促進も目指し大学からの利用の環境も整備を進める予定である。

表2.1 VDECチップ試作スケジュール(2021年度)

【CMOS 0.8 μ m 2P2M】 オン・セミコンダクタ

	試作申込締切	設計締切	納品・試作完了
2021年度第1回	2021/7/5	2021/9/27	2021/12/20
2021年度第2回	2022/1/11	2022/3/28	2022/6/27

【CMOS 0.18 μ m 1P5M(+MiM)】 ローム株式会社

	試作申込締切	設計締切	納品・試作完了
2021年度第1回(2020年7月試作)	2021/4/5	2021/6/28	2021/10/15
2021年度第2回(2020年9月試作)	2021/6/14	2021/9/6	2021/12/24
2021年度第3回(2020年11月試作)	2021/8/4	2021/10/27	2022/2/13
2021年度第4回(2021年3月試作)	2021/12/6	2022/2/28	2022/6/17

【SOTB CMOS 65nm】

	試作申込締切	設計締切	納品・試作完了
2021年度第1回	2021/6/14	2021/7/26	2022/1/22
2021年度第2回	2022/1/24	2022/3/7	2022/8/27

2.4 基盤デバイス研究部門

2.4.1 基盤デバイス研究部門のミッション

d.lab 基盤デバイス研究部門は、自らも現役研究者としてクリーンルームにおいて実験研究を牽引する三田吉郎准教授を部門長とし、関連専攻（総合研究機構、電気系工学専攻、機械系工学専攻等）と人的・予算的協力を行いながら、高度微細デバイス研究の必須3要素（後述）を整備・運営・研究する20名規模のチームである。集積回路に代表される半導体エレクトロニクス素子、センサ・マイクロシステムなど新規分野の研究には、①加工・計測装置への膨大な設備投資と、②学問に裏付けられた微細加工技術の厚い蓄積、そして③最先端の加工技術を開拓する研究開発力が必須である。上記高度微細デバイス研究の必須3要素は、個々の研究室で開発され、個々の研究室に知見が蓄積されるのが20世紀後半の我が国の大学における基本形態であった。しかしながら、加工・計測装置は年々高度化・大型化し、21世紀に至り、潤沢に資金を持つ研究室であっても一流装置の調達そして維持が困難な時代となった。もとより大学高専、企業や国研、NPOにおける個々の研究室全てが等しく潤沢に巨額の資金と潤沢な人的リソースを「所有」することは不可能であるが、1996年のVDEC設立時に整備した「集積回路設計研究におけるシェアードエコノミーモデル（ファウンドリ）」を微細加工・計測研究分野に対して水平展開し、何人に対しても開かれた「オープンプラットフォーム」を整備

し運用する「互助」の仕組みを成立させられれば、恵まれた環境を「等価的に所有（共有）」でき、全国津々浦々で最先端研究を実施することができる。

上記目的を達成するためにd.lab 基盤部門では、2001年に武田郁夫氏（現アドバンテスト創業者）による工学系研究科（小宮山宏工学部長）及び大規模集積システム設計教育研究センター（浅田邦博センター長）に対して行われた巨額の寄付により、2003年12月に竣工した「武田先端知ビル」地下スーパークリーンルーム（ISOクラス3、実測クラス1を含む600㎡）、及び上層階スペースの固有面積および借室面積を利用、価値総額36億円を超える一流の微細加工・計測装置を戦略的に展開、共用授業を展開している（図1）。管理する公開装置は、アドバンテスト株式会社大浦会長決断の寄付による「世界最速」高速電子線描画装置F5112+VD01に始まり、平成24年度補正予算（アベノミクス「第一の矢」）によって導入された高精細電子線描画装置F7000S-VD02、シリコン高速深掘りエッチング装置SPTS MUC-21 ASE-Pegasus、研究室レベルで導入できる最も高精細なクラスの走査型電子顕微鏡Hitachi Regulus SU8230等約70台であり、洗浄、製膜、リソグラフィ、エッチング、組み立て、評価プロセスの大半をカバーしている。現時点でカバーできていない技術分野の装置は、ナノテクノロジープラットフォーム16拠点のネットワークによって提供している。



図1 武田先端知スーパークリーンルーム沿革

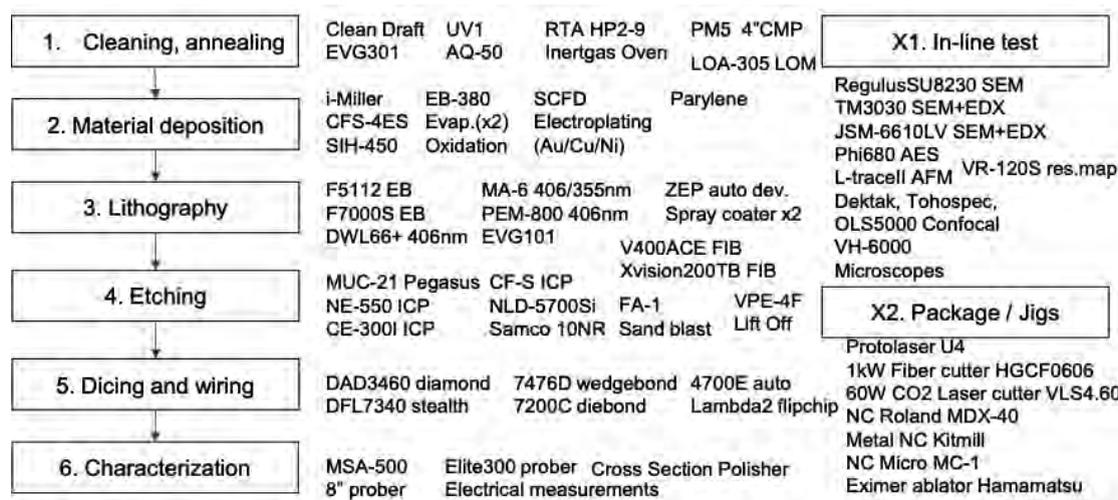


図2 d.lab基盤デバイス部門が管理公開する共同利用装置一覧

2.4.2 基盤デバイス研究部門が運営する「武田先端知クリーンルーム」共有環境

拠点は、文部科学省事業（2012-2021）「ナノテクノロジープラットフォーム東京大学微細加工拠点」または「武田先端知クリーンルーム」と呼ばれ、「装置共用という価値観を共有する者」に対して広く開かれている。単なる試作の外注先ではないと、利用者一人一人が自覚することが非常に大切であり、「自助・共助・公助」という価値観を理解し共有することによって初めて、研究室運営者としての自分が当然支払うべきコスト（人的、金銭的、時間的）を最低限に抑えて直ちに最先端の研究が展開できる。価値観の共有による利益は例えば、建物も含め75億円を超える施設整備費、年間2.6億円の運転経費、これらを整備し先端プロセスの知見を蓄積していた20年という時間の短縮効果である。このように絶大な効果のため、多数の研究室の賛同を得ている。賛同研究室数は過去10年で420研究室、登録者は年間750名を超えており、実利用（部屋へのアクセス）は500名・年間1万5千アクセスを超える。

運用は「自助・公助・共助」を旨とし、利用者負担金（内規に基づく）、d.lab運営費交付金、文部科学省ナノテクノロジープラットフォーム事業、関連研究室（武田先端知ビルおよびクリーンルームの借室研究室）やd.labと直接共同研究関係のある企業等からの研究資金を収入とし、それぞれの予算用途を厳密に区分して各種法規規則や命令を完全に遵守して公正に運用している。運転資金年間2.6億円の内訳は大づかみに整備費、電気代・修理費・人件費からなる。法人化以降、中期計画に基づいた弾力的な運用が可能であり、節約できた運営費を原資として職員の安定雇用や小・中規模装

置の更新、増強に割り当てている。

基盤デバイス研究部門では、多数の利用者が抱える微細加工への期待に日夜接することで、技術動向の「空気感」を持っている。需要が高く、分野を超えた普遍性が見込まれる基幹技術については自らのチームで技術開発を行い、積極的に論文発表して公共財とするように努めている。最近分野を超えた複数の研究成果を得た基幹技術の例としては、アルミナ（ γ -Al₂O₃）メンブレンに直径数数百ナノメートルの微細孔（ナノポア）技術がある。こちらはd.lab基盤部門の企業との共同研究として「バイオ計測用デバイス」のために研究していたものが、全く同じ作製プロセス手法を用い、デザインパターンを変更するだけで、真空紫外光の円偏波を発生させる「偏波面制御付き波長変換デバイス」として応用された例[1]がある。

[1] K. Konishi et al., *Optica*, 7, No. 8, pp. 855-863 (2020) DOI:10.1364/OPTICA.393816

さらに、d.labの一部門であるという「地の利」を活かし、集積回路素子（LSI）と新規MEMS構造の集積化、所謂「集積化MEMS」の研究開発を10年以上にわたって実践している。詳細は原著論文[2]にまとめているとおり、「LSIファウンドリ」機能によって、特定用途向け電子デバイスの搭載されたシリコンウエーハを協力会社（例：フェニテックセミコンダクター社）で試作し、取得したウエーハに対して武田先端知ビルスーパークリーンルームを始めとするオープンプラットフォームにおいて微細後加工を施し、センサ・アクチュエータ素子とする仕組みである。この仕組みによれば、信頼性が必要であるトランジスタ回路部分は全く苦勞

することなく入手でき、新規機能であるために外注の引受先が存在しないMEMS部分は自前で行う。まさに「世界初の機能を」「世界最高の性能で」実現することが可能な、世界的にもユニークな仕組みといえる。企業も含む共同研究ベースで年1回の共同試作（固定枠方式）を行っている。

[2] Y. Mita et al., Japanese Journal of Applied Physics, 56, p. 06GA03, 2017 (2017) DOI: 10.7567/JJAP.56.06GA03

2.4.3 基盤デバイス研究部門2020年活動報告

【受賞】文部科学省事業ナノテクノロジープラットフォームでは、毎年3000件を超える利用報告書の中から特に優れた利用成果を有識者による委員会により数件選定、顕彰している。基盤デバイス研究部門が推薦した利用成果「熱アシストハードディスク用微小光熱源 ナノヒーター[®]素子」課題が秀でた利用成果大賞を受賞した（図3）。2019年の秀でた利用成果受賞に続く二年連続の受賞の栄誉であった。受賞者は東大発NPOであるナノフォトニクス工学推進機構（NPEO）、ゆかりのベンチャーであるイノバステラおよび日米3大学（豊橋技科大、福岡工大、CMU）ならびに国立研究所（情報通信研究機構）の研究者であり、ハードディスクの読み書きに近接場光を応用することで消費電力を桁違いに削減することを目指したリングレーザーおよび微細ニードルの研究であった。

【職能認定】ナノテクノロジープラットフォーム事業では、優れた能力を持つ技術支援職員に対して職能認定を行っている。2020年度はd.lab基盤デバイス研究部門から藤原誠、太田悦子の2名を、「エキスパート」に推薦し、両名とも認められた。このことにより、部門関係者は澤村、水島、エリック、藤原、太田全員がエキスパートの称号を持つことになった。エキスパートは支援だけでなく技術研究開発能力を持つ者に付与される最高位の称号であり、日本全体で平成27から30年までのエキスパート称号付与者は全（3段階）付与者166名中28名と、希少な存在である。大変名誉であると同時に部門の支援研究力の高さの客観的証拠となっている。

【パンデミックへの公正な対応】新型コロナウイルス感染症対策のため、クリーンルームは2020年4月7日よりシャットダウンシーケンスに入り、全国に緊急事態宣言が拡大された4月16日より完全に動作を停止した。3か月に渡った停止期間中に、感染症対策に関する徹底的な考察を行い、多数の教職員・研究者が利用しても相互感染を起こさないための入構ルールを策定。活動再開以来、ルールに従って東京大学の定める警戒レベルに応じた運用を行っている。直接来訪できる者には審査の上来訪しての機器利用・技術補助による作業を許可し、派遣元の出張禁止により研究継続が困難な利用者には教職員による技術代行の機会を提供した。



図3 ナノテック展での受賞記念ポスターを前に関係者で記念撮影

【感染0 & 前年以上の利用成果を得る】結果として、2020年度は発症0、伝染0の完全な感染症対策を施しながら、利用料収入8000万円強を得た。2019年実績（1億円弱）にこそ及ばなかったものの、2018年度実績と同等の利用があったこと（停止期間を考えるとむしろ利用は盛んになったこと）を示している。さらに、利用者から文部科学省に報告する「ナノテクノロジープラットフォーム成果報告書」の件数は164件であり、2019年度（158件）よりも増加した。工学系研究科では、パンデミックに際し、染谷隆夫研究科長麾下「感染リスクを限りなく0%に抑え、研究アクティビティを限りなく100%に近づける」ことを目標として、各部署で個別の事情に十分配慮した対策を展開することが要請されたが、d.lab基盤デバイス部門はこの要請に十分にこたえる実績をあげることができた。利用者の利便と安全性との両立を目指して設計した仕組みに加え、「エッセンシャルワーカー」たる部門関連教職員の日々の奮励によるところが大であったこと、特筆しておきたい。

【補正予算への応募・採択】パンデミックの1日も早い終息を願ってやまない一方で、今後も天災等でクリーンルームへの直接来訪が不可能になる事態を想定し、「サイバーフィジカル」な実験環境を構築すべきであることが明らかになった。そのためd.lab基盤デバイス部門では、令和2年度先端研究設備整備費補助金に「クリーンルームのサイバーフィジカル化」を提案した。東京大学内での選考会によって、d.labが取りまとめ、総合研究機構（ナノ工学センター微細構造解析プラットフォーム）および、附属総合博物館との合同プロジェクトで本省に提案することとなり、91大学提案中4位と

いう極めて高い成績で提案が採択された。その結果、クリーンルーム内で稼働する装置のうち、コンピュータ制御の装置について、外部から完全に状況を把握して同時にコントロールする仕組みを構築することができた。この装置は既に可動しており、クリーンルーム内外をシームレスにつないだ実験やトラブル対処に大活躍中である。

【ポストナノプラへの参画・採択】クリーンルーム運営「公助」は、主にナノテクノロジープラットフォーム事業で賄われている。この事業は令和3年度で10年間の期限が終了するが、文部科学省が中心となって、ナノプラのヘリテージを活かした、プロセスを含むマテリアルDX（デジタルトランスフォーメーション）事業が令和3年度より開始されることとなった。ナノプラは「構造解析・微細加工・分子物質合成」という分野別の横連携方式であったが、マテリアルDXでは「研究領域ごとのハブスポーク」方式となった。

d.lab基盤部門は、総合研究機構ナノ工学センターと連携し、さらに情報基盤センターを加えて、幾原雄一教授代表で計画に応募、採択となった。ナノ工学センターとはナノテクPFより前の「ナノテクノロジー・ネットワーク」時代に共同運用であり、またクリーンルーム管理室を通じて常日頃密接な協力関係を構築しており、シームレスに協力体制の構築が可能となる。さらに、令和2年度補正予算による装置の改修が採択され、大型予算が付与された。

2.5 「アドバンテストD2T寄附講座」活動報告

2.5.1 「アドバンテストD2T寄附講座」の紹介

2.5.1.1 アドバンテストD2T寄附研究部門設立の趣旨

これまでのVDECの活動を通じ、多くの大学・高専でVLSI設計・試作文化が根付き、活発な設計研究・教育活動が行われています。このような状況の中、株式会社アドバンテストからの寄附金により、「アドバンテストD2T寄附研究部門」が2007年10月にVDEC内に設立されました。「アドバンテストD2T寄附研究部門」は、全国の学生にVLSIの設計からテストまで一貫した研究・教育環境を提供することで、テスト設計の専門家となりえる人材を育成するとともに、SoCの設計に関する研究を支援することを目的としております。従

来、VDECではVLSIの「設計・試作」という面からの活動を重点的に行ってまいりましたが、「設計」だけでなく「テスト」の観点からも研究・教育の中心拠点となるべく”Design to Test (D2T)”の理念のもと、国内の大学・高専における「テスト研究・教育」の拠点としての活動を行っています。

当部門はこれまで2007年10月～2010年9月（第1期）、2010年10月～2013年9月（第2期）、2013年10月～2016年9月（第3期）、2016年10月～2019年9月（第4期）の計12年間に渡るプロジェクトを遂行してきました。東京大学大学院工学系研究科附属システムデザイン研究センター（d.lab）が2019年10月に発足後、D2T寄附研究部門は研究のさらなる発展、D2T教育により重心を置い

アドバンテスト D2T 寄附講座

東京大学大学院工学系研究科附属システムデザイン研究センター
Systems Design Lab (d.lab)

第15回 D2Tシンポジウム

～ Design to Test Structures and Verification for 5G and MRAM ～

東京大学大学院工学系研究科附属システムデザイン研究センター（d.lab）では、株式会社アドバンテストからの寄附によるアドバンテスト D2T 寄附講座において、「D2T (Design-to-Test)」の理念に基づき、「設計」と「テスト」の橋渡しを目的とした研究・教育活動を行なっています。その一環として開催して参りました D2T シンポジウムを今年も下記の通り開催いたします。当日までに数名のキーノートークが増える可能性がございますので、HP でのご確認をどうぞよろしくお願いいたします。多くの皆様の御参加をお待ち申し上げております。

オンライン開催

2020 9/17 THU

9:50~16:30

Keynote Speakers

Brian Floyd
*Professor,
North Carolina State University, Raleigh, NC*
"Beamforming Arrays and their Test and Calibration"

Iwasaki Takeshi
ASAHI KASEI MICRODEVICES CORPORATION
"The Solution of Testing the Millimeter-Wave (76- to 81- GHz) without Expensive Instruments"

Michihiro Shintani
*Assistant Professor,
Nara Institute of Science and Technology (NAIST)*
"Recycled FPGA detection using exhaustive fingerprinting characterization"

Kazumi Hatayama
EVALUTO Corporation and Gunma University
"Viewing Test Technology Trends from presentations at Recent Test Related Conferences"

Ryo Tamura
Advantest Corporation
"STT-MRAM memory test system with an electromagnet"

Masaharu Kobayashi
*Associate Professor,
Systems Design Lab(d.lab), School of Engineering,
The University of Tokyo*
"A Monolithic Integration of RRAM Array and Oxide Semiconductor FET for In-memory Computing in 3D Neural Network"

Alex Orailoglu
*Professor,
University of California, San Diego*
"Adaptive Test Pattern Construction for Hardware Trojan Detection"

参加のお申し込み 参加費：無料

申し込み方法：下記ウェブサイトで事前申込をお願いいたします
<http://www.vdec.u-tokyo.ac.jp/d2t/D2Tsymposium2020-j.html>

主催：東京大学大学院工学系研究科附属システムデザイン研究センター（d.lab）
後援：株式会社アドバンテスト
協賛（予定）：（一社）電子情報通信学会、（一社）情報処理学会、IEEE SSCS Japan Chapter、IEEE SSCS Kansai Chapter、応用物理学会 集積化 MEMS 技術研究会、ナノテクノロジー学会、（一社）電子情報技術産業協会、（一社）日本半導体製造装置協会、SEMI ジャパン、（一社）パワーデバイス・イネープリング協会、計測エンジニアリングシステム株式会社

【お問い合わせ】
東京大学大学院工学系研究科附属システムデザイン研究センター アドバンテスト D2T 寄附講座
〒113-0032 東京都文京区弥生 2-11-16 武田先端ビル 404 号室
Tel: 03-5841-0233 FAX: 03-5841-1023
<http://www.vdec.u-tokyo.ac.jp/> E-Mail: higo@f.u-tokyo.ac.jp

16

た「アドバンテストD2T寄附講座」としてセンター内に設置されました。2019年10月から株式会社アドバンテストのご厚意により新たに開始した第5期（2019年10月～2022年9月）の一年目が開始いたしました。本報告は第5期の初年度、2019年10月～2020年9月の活動報告となります。D2Tに関する研究とともに、教育活動の充実図っていく予定であります。当寄附講座の活動の詳細については、続く各章においてそれぞれ報告いたします。

2.5.1.2 アドバンテストD2T寄附講座構成員

特任教授	藤田 昌宏
特任教授	林 宗賢（2019年8月～2020年1月）
特任講師	肥後 昭男
共同研究員	浅見 幸司（株式会社アドバンテスト研究所）
共同研究員	石田 雅裕（株式会社アドバンテスト）
学術支援職員	山口 隆弘
事務補佐員	岡崎 真紀子

2.5.2 「第15回D2Tシンポジウム」開催報告

2020年9月17日（木）に、オンラインによる「第15回D2Tシンポジウム」を開催し、たくさんの皆様にご参加を頂きました。

今回のシンポジウムでは、国内外から著名な招待講演者として米国ノースカロライナ州立大学のBrian Floyd教授、米国カリフォルニア大学サンディエゴ校のAlex Orailoglu教授、旭化成エレクトロニクス株式会社の岩崎剛志様、奈良先端科学技術大学院大学の新谷道広先生、株式会社EVALUTOおよび群馬大学の畠山一実先生、東大d.labの小林正治先生、株式会社アドバンテストの田村亮様をお招きし、「IoT、RF、メモリ、ハードウェアセキュリティ、機械学習」をキーワードに最新の研究についての貴重な講演を頂きました。

このようなCOVID-19新型コロナウイルス感染症影響下でしたのでオンライン開催とはなりましたが、大変盛況な会となりましたことを改めて御礼申し上げるとともに、今後開催される第16回シンポジウムへのご参加を心よりお待ちしております。

第15回 D2Tシンポジウム開催プログラム

9:50	Opening Remarks Tadahiro Kuroda (Director, d.lab, School of Engineering, The University of Tokyo) Yoshiaki Yoshida (President & CEO, ADVANTEST CORPORATION)
10:00	Session 1 (Chairpersons: Makoto Ikeda, Tetsuya Iizuka, d.lab, The University of Tokyo) Beamforming Arrays and their Test and Calibration Brian Floyd, Professor (North Carolina State University, Raleigh, NC) Adaptive Test Pattern Construction for Hardware Trojan Detection Alex Orailoglu, Professor (University of California, San Diego) The Solution of Testing the Millimeter-Wave (76- to 81- GHz) without Expensive Instruments Takeshi Iwasaki, (ASAHI KASEI MICRODEVICES CORPORATION))
12:00	Lunch
13:00	Session 2 (Chairperson: Masahiro Fujita, d.lab, The University of Tokyo) Recycled FPGA detection using exhaustive fingerprinting characterization Michihiro Shintani, Assistant Professor (Nara Institute of Science and Technology) Viewing Test Technology Trends from presentations at Recent Test Related Conferences Kazumi Hatayama, (EVALUTO Corporation and Gunma University) Session 3 (Chairperson: Ken Takeuchi, d.lab, The University of Tokyo) STT-MRAM memory test system with an electromagnet Ryo Tamura, (Advantest Corporation) A Monolithic Integration of RRAM Array and Oxide Semiconductor FET for In-memory Computing in 3D Neural Network Masaharu Kobayashi, Associate Professor (d.lab, the University of Tokyo) Recent D2T research department progress Akio Higo, Lecturer (d.lab, The University of Tokyo)
	Closing Remarks Masahiro Fujita (d.lab, School of Engineering, The University of Tokyo)

2.5.3 研究活動報告

高精度波形測定技術

山口隆弘, 肥後昭男, 飯塚哲也

確率的アナログ-デジタル変換器 (Stochastic Analog to Digital Converter; ADC) の研究を行っている。プロセスばらつきや電圧, 温度の変動によって生じるコンパレータのオフセットはADC特性の劣化の原因となる。一方, 確率的ADC方式は, 多数のコンパレータの統計的性質 (オフセットのランダムばらつきや熱雑音) を利用して精度を向上することを目標としている。しかし発表されている論文において, 確率的ADCの雑音パワーは従来のフラッシュADCより大であることが報告されている [TCAS-I, Vol. 57, no. 11, 2010]。複数の離散型確率変数の和にたいしても, 中心極限定理がなりたつ [A. Papoulis 2000]。離散型確率変数の和がガウス分布に収束するには, 連続型確率変数より多い項数を要する [S. L. Miller 2004]。この結果, Un-Ku. Moon [TCAS-I, Vol. 57, no. 11, 2010] の確率的フラッシュADCが示す劣化した有効ビット数 (従来のフラッシュADCの有効ビット数は \log_2 (コンパレータの数) であたえられるが, 確率的フラッシュADCの有効ビット数は \log_4 (コンパレータの数) を理論的に説明できる (Un-Ku. Moonグループはこの理由を説明していない)。耐不規則性をより向上させるための, 確率の中央値をもちいたレベル交叉時刻検出方式について研究している。

広帯域周波数拡散向け高性能ADCとの応用

浅見幸司, Byambadorj Zolboo, 肥後昭男, 飯塚哲也, 藤田昌宏

IoTなどで使用される低価格のRFデバイスを, 低コストで高性能に測定するための圧縮サンプリング方式の研究を行っている。本年度はModulated Wideband Converterの実装時における性能劣化要因を解析し, 性能改善手法を構築した。独特のCalibration信号を使用し, AD変換前に被測定信号

へ乗算するPeriodic Sign Functionの波形歪みとAD変換器前段のアナログ回路の周波数特性を, 分離し同定することができる。4-channel MWC実験回路を作製し, 検証実験を行う。

5G多チャンネル・ミリ波信号測定手法の研究

浅見幸司, 小池良吾, Nguyen Ngoc Mai-Khanh, 肥後昭男, 飯塚哲也, 藤田昌宏

ミリ波信号をover-the-air (OTA) 環境で測定するための, 要素技術の研究を行っている。今年度はミリ波測定用実験システムを立ち上げ, ミリ波用アンテナの近傍界や遠方界の電界を測定できる様, 平面走査用ステージや球面走査用ステージを具えた電波暗箱を準備している。また, 指向性のよい測定用プローブを設計・製作し, プローブ特性の測定および, アンテナ測定時に必要となるCalibration手法の検討を進めている。

ATE向け高速・高精度な多ピンタイミングCAL技術

石田雅裕, 飯塚哲也, 徐祖榮, 名倉徹, 肥後昭男, 藤田昌宏

半導体試験装置(ATE)では数千から数万ピンの信号入出力チャンネルをもち, 被試験デバイス(DUT)へ出力される試験信号のタイミングおよびDUTから出力される信号の比較タイミングをそれぞれ一致させるタイミングキャリブレーション(CAL)が必要である。本研究テーマでは, ATEに適用可能な高速かつ高精度な多ピンタイミングCAL方式の研究をおこなっている。本年度は, 研究目標を明らかにするための課題抽出と, タイミングCALを実現する回路の方式検討をおこなった。タイミングCALの目標精度を1psに設定し, 目標を実現するための課題がCAL回路の環境変化に対する特性変化の最小化であることを明らかにした。タイミングCALの基本方式を決定し, 回路シミュレーションにより電源電圧や温度などの環境変化がCAL誤差に与える影響を解析した。

第3章 d.lab概要

3.1 組織概要

東京大学大規模集積システム設計教育研究センター(略称VDEC)は、日本の国公立大学と工業高等専門学校におけるVLSI設計教育の充実と研究活動の推進のために平成8年5月に全国共同利用施設として発足した。平成16年度の国立大学法人化に伴い、東京大学の学内の1部局として位置づけとなって以降も、各位のご理解の元、それまで同様の活動を継続してきた。令和元年10月に、東京大学における半導体関連研究の強化を目指した設置された東京大学大学院工学系研究科附属システムデザイン研究センター(d.lab)に合流し、これまでVDECが担ってきた日本の国公立大学と工業高等専門学校におけるVLSI設計教育の充実と研究活動の推進の活動を基盤設計研究部門における「VDEC機能」として継続しつつ、先端設計研究部門における産学連携をも強化した最先端設計研究の強化を目指した活動を開始した。

VDECは発足当初は専任教員5名と事務官1名という小さな組織であったが、平成9年度には専任教員2名と事務官1名が増員され、令和元年9月現在で専任教員8名、客員教授1名、そして20名以上の非常勤スタッフや学外協力研究員が在籍している。

また、平成9年4月から平成19年3月まで、全国9大学のVDECサブセンターから連携を密にする目的で、2年を単位として2名の教官を派遣する「流動教官制度」を開始した。(平成16年度からは国立大学法人になったことに伴い「客員研究員制度」に名称変更)この流動教官制度の終了に伴い、全国運営協議会における了解のもと、VDECにおけるチップ試作料金に手数料を上乘せし、その資金により特任教員を雇用することでVDECの活動(現在のVDEC機能)の充実を図っている。

加えて、平成20年4月からは「協力教員制度」を開始し、現在は10大学の各拠点校の協力教員が移籍することなくその運営を担っていただいている。(下記参照)

さらに産業界との連携のため、1名の客員教授に協力をお願いしている。工学系研究科への改組に伴い、名称が「客員研究員」に変更となっているが、引き続き産業界との連携を充実させていきたい。

VDECの事務については、VDECの非常勤スタッフと工学系・情報理工学系研究科等事務部が連携をとり行っている。

表 流動教官派遣大学

年 度	派 遣 大 学
平成9・10年度	東北大学, 横浜国立大学
平成11・12年度	金沢大学, 広島大学
平成13年度	千葉大学, 東京工業大学
平成14年度	千葉大学, 東京工業大学, 京都大学
平成15年度	京都大学, 九州大学
平成16年度	大阪大学, 九州大学
平成17年度	名古屋大学, 大阪大学
平成18年度	北海道大学, 名古屋大学
平成19年度	北海道大学
平成20年度以降	協力教員派遣実績のある大学 (北海道大学, 東北大学, 東京工業大学, 金沢大学, 名古屋大学, 京都大学, 京都工芸繊維大学, 立命館大学, 大阪大学, 広島大学, 九州大学, 福岡大学)

3.2 人事報告

d.lab 人事 (2021年4月1日付け)

センター長・教授	黒田 忠 広
先端設計研究部門長・特任教授	濱田 基 嗣
基盤設計研究部門長・教授	池田 誠
先端デバイス研究部門長・教授 (生産技術研究所)	平本 俊 郎
基盤デバイス研究部門長・准教授 (大学院工学系研究科電気系工学専攻)	三田 吉 郎
教 授 (大学院情報理工学系研究科)	中村 宏
教 授 (大学院工学系研究科電気系工学専攻)	竹内 健
教 授	藤田 昌 宏
教 授 (大学院工学系研究科電気系工学専攻)	高木 信 一
教 授 (大学院工学系研究科電気系工学専攻)	染谷 隆 夫
教 授 (大学院工学系研究科マテリアル工学 専攻)	内田 建
教 授 (大学院工学系研究科電気系工学専攻)	竹中 充
非常勤講師 (産業界客員教員)	水野 正 之
准 教 授	小林 正 治
准 教 授	飯塚 哲 也
講 師	小菅 敦 丈
特任講師	肥後 昭 男
特任講師	徐 祖 楽
助 教	NGUYEN NGOC MAI KHANH
助 教	松本 高 士
上席研究員	若林 一 敏
上席研究員	丹羽 正 昭
主幹研究員	高木 剛
特任研究員	LEBRASSEUR ERIC CHARLES
特任研究員	島本 直 伸
特任研究員	荒川 文 男
特任研究員	落合 幸 徳
特任研究員	陳 翔 宇
特任研究員	吉川 俊 之
特任研究員	BYAMBADORJ ZOLBOO
特任研究員	進藤 怜 史
学術専門職員	大西 廉 伸
学術専門職員	狭間 雅 人
学術専門職員	島津 之 彦
学術専門職員	長谷川 淳

学術専門職員	有 本 久 成
学術専門職員	岡 田 光 司
学術専門職員	四手井 綱 章
学術専門職員	林 泰 弘
学術専門職員	太 田 悦 子
学術専門職員	YIP WAI YEUNG
学術専門職員	有 賀 浩
学術専門職員	大 竹 和 生
上席係長	岡 野 孝 之
係 長	住 谷 啓 介
係 長	田 村 未 佳
特任専門職員	小田嶋 輝 明
係 員	高 梨 芳 郎

※ () が記載されている教員は、() 内が本務先である。



2020年度東京大学大学院工学系研究科附属システムデザイン研究センター基盤設計研究部門 (VDEC)
 全国運営協議会委員名簿

氏名	所属・職位	任期	連絡先	
			TeL/Fax	E-mail
藤田 昌宏	東京大学大学院工学系研究科附属システムデザイン研究センター 教授	2020.4.1～2022.3.31	TEL 03(5841)6673 FAX 03(5841)6724	fujita@ee.t.u-tokyo.ac.jp
池田 誠	東京大学大学院工学系研究科附属システムデザイン研究センター 教授	2020.4.1～2022.3.31	TEL 03(5841)6661	ikeda@silicon.u-tokyo.ac.jp
黒田 忠広	東京大学大学院工学系研究科附属システムデザイン研究センター 教授	2020.4.1～2022.3.31	TEL 03(5841)6561	kuroda@ee.t.u-tokyo.ac.jp
高木 信一	東京大学大学院工学系研究科電気系工学専攻 教授	2020.4.1～2022.3.31	TEL 03(5841)7467	takagi@ee.t.u-tokyo.ac.jp
池辺 将之	北海道大学量子集積エレクトロニクス研究センター 教授	2020.4.1～2022.3.31	TEL/FAX 011-716-6004	ikebe@ist.hokudai.ac.jp
須川 成利	東北大学未来科学技術共同研究センター 教授 東北大学リサーチプロフェッサ	2020.4.1～2022.3.31	TEL 022(795)5022 FAX 022(795)3986	shigetoshi.sugawa.d4@tohoku.ac.jp
一色 剛	東京工業大学 工学院 情報通信系 教授	2020.4.1～2022.3.31	TEL/FAX 03(5734)2842	isshiki@ict.e.titech.ac.jp
岡田 健一	東京工業大学工学院電気電子系 教授	2020.4.1～2022.3.31	TEL 03-5734-3764	okada@ee.e.titech.ac.jp
史 又 華	早稲田大学基幹理工学部電子物理システム学科 教授	2020.4.1～2022.3.31	TEL 03-5286-3400	shi@waseda.jp
北川 章夫	金沢大学理工研究域電子情報通信学系 教授	2020.4.1～2022.3.31	TEL 076(234)4863 FAX 076(234)4863	kitagawa@is.t.kanazawa-u.ac.jp
石原 亨	名古屋大学大学院工学研究科情報システム学専攻 教授	2020.4.1～2022.3.31	TEL 052(789)4363	ishihara@i.nagoya-u.ac.jp
小野寺 秀俊	京都大学大学院情報学研究所通信情報システム専攻 教授	2020.4.1～2022.3.31	TEL 075(753)5314 FAX 075(753)5343	onodera@i.kyoto-u.ac.jp
橋本 昌宜	大阪大学大学院工学研究科情報システム工学専攻 教授	2020.4.1～2022.3.31	TEL 06(6879)4520 FAX 06(6879)4524	hasimoto@ist.osaka-u.ac.jp
藤島 実	広島大学大学院先進理工系科学研究科 量子物質科学プログラム 教授	2020.4.1～2022.3.31	TEL 082(424)6269	fuji@hiroshima-u.ac.jp
井上 弘士	九州大学大学院システム情報科学研究科情報知能工学部門 教授	2020.4.1～2022.3.31	TEL 092(802)3793 FAX 092(802)3786	inoue@ait.kyushu-u.ac.jp
藤野 毅	立命館大学理工学部電子情報工学科 教授	2020.4.1～2022.3.31	TEL:077-561-5150(直通) 8391(内線) FAX: 077-561-5150, 2663	fujino@se.ritsumeiji.ac.jp
兵庫 明	東京理科大学理工学部電気電子情報工学科 教授	2020.4.1～2022.3.31	TEL 04(7124)1501内3756 FAX 04(7122)5171	hyogo@ee.noda.tus.ac.jp
石黒 仁揮	慶應義塾大学理工学部電子工学科 教授	2020.4.1～2022.3.31	TEL 045(566)1815内42255	ishikuro@elec.keio.ac.jp
吉本 雅彦	神戸大学大学院システム情報学研究所 特命教授	2020.4.1～2022.3.31	TEL 078(803)6630 FAX 078(803)6630	yosimoto@cs.kobe-u.ac.jp
名倉 徹	福岡大学工学部電子情報工学科 教授	2020.4.1～2022.3.31	TEL 092(871)6631	nakura@fukuoka-u.ac.jp

2020年度 システムデザイン研究センター運営委員会委員名簿

区 分	氏 名	所 属	任 期	メールアドレス
委員長	黒田 忠広	システムデザイン研究センター センター長	—	kuroda@dlab.t.u-tokyo.ac.jp
1号委員	染谷 隆夫	工学系研究科長	—	dean@t.u-tokyo.ac.jp
2号委員	森川 博之	電気系工学専攻長	—	mori@mlab.t.u-tokyo.ac.jp
3号委員	柴田 直哉	総合研究機構長	—	shibata@sigma.t.u-tokyo.ac.jp
4号委員	藤田 昌宏	システムデザイン研究センター	2019.10.1～2021.3.31	fujita@ee.t.u-tokyo.ac.jp
4号委員	池田 誠	システムデザイン研究センター	2019.10.1～2021.3.31	ikeda@silicon.u-tokyo.ac.jp
4号委員	小林 正治	システムデザイン研究センター	2019.10.1～2021.3.31	masa-kobayashi@nano.iis.u-tokyo.ac.jp
4号委員	飯塚 哲也	システムデザイン研究センター	2019.10.1～2021.3.31	iiizuka@vdec.u-tokyo.ac.jp
5号委員	高木 信一	電気系工学専攻	2019.10.1～2021.3.31	takagi@ee.t.u-tokyo.ac.jp
5号委員	霜垣 幸浩	マテリアル工学専攻	2019.10.1～2021.3.31	shimo@dpe.mm.t.u-tokyo.ac.jp
5号委員	鈴木 雄二	機械系工学専攻	2019.10.1～2021.3.31	ysuzuki@mesl.t.u-tokyo.ac.jp
6号委員	中村 宏	情報理工学系研究科	2019.10.1～2021.3.31	nakamura@hal.ipc.i.u-tokyo.ac.jp
6号委員	平本 俊郎	生産技術研究所	2019.10.1～2021.3.31	hiramoto@nano.iis.u-tokyo.ac.jp

3.3 新任ご挨拶

小菅 敦文

2021年1月より、d.lab講師を拝命いたしました小菅と申します。若輩者ではございますが、どうぞよろしくお願いいたします。

2016年10月に慶應義塾大学電子工学専攻にて低電力近接無線通信技術に関する研究で博士課程を修了。その後日本学術振興会研究員を経て2017年4月に株式会社日立製作所研究開発グループに入社しました。AIとIoTに積極投資され始めたタイミングということもあり、センシング、AI、それらを低電力かつ小型に集積する集積システムの研究に携わりました。その後ソニー株式会社を経て、2021年1月に東京大学大学院工学系研究科d.labに着任しました。半導体技術を軸に、実務で学んだセンシング・AIを新たな武器として、データ駆動型社会をけん引する新しい高電力効率な集積システムを開拓して参ります。

ムーアの法則がいよいよ限界に近付き半導体の性能改善が鈍化する一方、要求される演算量は飛躍的に増

大しています。変化点はDeep Learning技術です。2012年にDeep Learningが登場して以降、AIが必要とする演算量は3か月で2倍のペースで増えています。2年で2倍性能改善してきたムーアの法則と比べると、2桁以上速いペースです。過去に例がないほど、演算量が急激に増える時代になりました。

ムーアの法則の鈍化、一方でAIがもたらす社会変革と演算量の急激な増大という非連続な変化は、新しい技術領域とそれを体系化した学術を切り開くチャンスであると思います。こうした非連続な変化に応えるためには、従来の汎用的な集積システムから脱却し、ソフトウェアからデバイスまで一貫した領域特化型のシステムをデザインすることが重要であると思います。ハードウェアとソフトウェアの両面からスピード感をもって技術を追求め、高電力効率なセンシングシステムの研究開発をして参ります。微力ではございますが頑張ってお参りますので、皆様のご指導ご鞭撻のほどよろしくお願いいたします。

3.4 決算報告

1. 運営費交付金

(円)

事項	収入(予算配分)額	支出額	過不足額
共通経費	529,063,607	419,595,946	109,467,661
研究経費	14,998,257	15,798,903	△ 800,646
計	544,061,864	435,394,849	108,667,015

2. 2020年度公的機関からの研究費

	教員名	委託者	研究課題	種類	受入金額(円)
1	飯塚 哲也	国立研究開発法人 科学技術振興機構	リアルタイム学習推論機能創出に向けた回路設計技術基盤構築	受託研究	19,396,000
2	池田 誠	国立研究開発法人 新エネルギー・産業技術総合開発機構	IoT推進のための横断技術開発プロジェクト/Sensor-to-Cloud Security～ビッグデータを守る革新的IoTセキュリティ基盤技術の研究開発	受託研究	19,540,000
3	池田 誠	電子商取引安全技術研究組合(ECSEC)	戦略的イノベーション創造プログラム(SIP)第2期/IoT社会に対応したサイバー・フィジカル・セキュリティ/(A1)IoTサプライチェーンの信頼の創出技術基盤の研究開発	受託研究	2,849,000
4	池田 誠	電子商取引安全技術研究組合(ECSEC)	高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発/革新的AIエッジコンピューティング技術の開発/AIエッジデバイスの横断的なセキュリティ評価に必要な基盤技術の研究開発	受託研究	13,593,000
5	池田 誠	国立研究開発法人新エネルギー・産業技術総合開発機構	AIチップ開発加速のためのイノベーション推進事業/AIチップ開発を加速する共通基盤技術の開発	受託研究	1,210,892,000
6	三田 吉郎	国立大学法人 京都大学	微細加工プラットフォーム	受託研究	73,950,000
7	藤田 昌宏	国立研究開発法人 科学技術振興機構	IoTとモバイルビッグデータ処理のための高信頼高機能サイバーフィジカルシステムの構築	受託研究	28,912,000
8	小林 正治	国立研究開発法人 科学技術振興機構	ナノスケール強誘電体トランジスタの研究開発と機械学習アクセラレータへの応用	受託研究	2,000,000
9	若林 一敏	国立研究開発法人 科学技術振興機構	MEC用マルチノード向けの総合高次合成システムの研究開発	受託研究	13,650,000
10	小林 正治	国立研究開発法人 科学技術振興機構	知財活用支援事業スーパーハイウェイ「不揮発性記憶素子」	受託研究	1,950,000
11	飯塚 哲也	国立研究開発法人 科学技術振興機構	AIによる回路トポロジー合成を実現する高度なアナログ回路設計プラットフォームの開発	受託研究	1,950,000
12	藤田 昌宏	独立行政法人日本学術振興会	丘陵地域における地滑りの予測・検出・監視システム	受託研究	900,000
13	池田 誠	国立研究開発法人産業技術総合研究所	AIチップ開発を加速する共通基盤技術の開発	共同研究	1,100,000
合 計					1,390,682,000

※合計金額は、上記1～13の各課題の合計金額を記載している。(円)

3. 2020年度民間企業等からの研究費

	教員名	委託者	研究課題	種類	受入金額(円)
1	黒田 忠広	三菱電機株式会社 情報技術総合研究所	—	共同研究	—
2	三田 吉郎	株式会社ニューフレアテクノロジー	三次元MEMS構造プロセスの研究	共同研究	—
3	池田 誠	株式会社村上開明堂, 株式会社シルバーアイ	ドライバー見守りシステム用セキュリティ技術の研究	共同研究	—
4	黒田 忠広	NECスペーステクノロジー株式会社	TLC通信のマルチドロップバスへの適用研究	共同研究	—
5	黒田 忠広	日本電気株式会社	LSI設計における高位合成システムの研究開発	共同研究	—
6	三田 吉郎	株式会社アドバンテスト	集積化微小MEMSによる高機能センサの研究	共同研究	—
7	藤田 昌宏	株式会社アドバンテスト	先端LSI開発環境・テストング技術	共同研究	—
8	池田 誠	キオクシア株式会社	階層記憶システムにおけるデータ・アクセスセキュリティを担保する高性能高機能暗号の最適実装の検討	受託研究	—
合計					29,700,100

※合計金額は、上記1～8の各課題の合計金額を記載している。

※受入金額の「-」は非公表を意味している。

4. 2020年度寄附金

受入件数：5件 受入額計 32,750,000円

(キオクシア株式会社, イリソ電子工業株式会社, 東京エレクトロン株式会社, 株式会社アドバンテスト, 株式会社ジーダット)

5. 施設整備関連補助金

	教員名	配分機関	補助事業名	受入金額(円)
1	三田 吉郎	文部科学省	先端研究設備整備費補助金	39,600,000

第4章 研究報告

4.1 全体概況

	研究室構成 人数（名）	研究発表			著書（冊）	特許（冊）	受賞（件）
		研究論文	国際会議	その他			
d.lab教員	58	25	32	36	0	7	16
協力教員	130	92	90	115	6	8	15

4.2 研究室構成員(令和2年度)

黒田・小菅研究室 構成

黒田 忠 広	教授
濱田 基 嗣	特任教授
小菅 敦 丈	講師
丹羽 正 昭	上席研究員
若林 一 敏	上席研究員
高木 剛	主幹研究員
四手井 綱章	学術支援専門職員
岡田 光 司	学術支援専門職員
Wai-Yeung Yip	学術支援専門職員
林 泰 弘	学術支援専門職員
柴 康 太	博士1年
大森 達 夫	修士1年
三浦 礼 士	修士1年
Meng Haopeng	修士1年
柴田 彩 登	学部4年
Emilie Charlot	修士2年(特別研究学生)
安藤 弘 平	修士2年(特別研究学生)
白井 真 広	修士2年(特別研究学生)
豊田 大 和	修士2年(特別研究学生)
森永 祥 平	修士2年(特別研究学生)

竹内研究室 構成

竹内 健	教授
松井 千 尋	特任助教
三澤 奈央子	学術支援専門職員
合田 晃	博士1年
樋口 和 英	博士1年
越能 俊 介	学部4年
田岡 健 太	学部4年

中村研究室 構成

中村 宏	教授
坂本 龍 一	助教
Shaswot Shresthamali	博士3年
篠原 岳 斗	修士2年
鈴木 悠 太	修士2年
山下 智 也	修士2年

植原 悠	修士1年
岡田 怜 士	修士1年
小山 大次郎	修士1年

藤田研究室 構成

藤田 昌 宏	教授
松本 高 士	助教
Zhang Xinpei	博士1年
宮坂 幸 雄	博士1年
Wang Junbo	修士2年
Gu Jian	修士2年
Zhou Zongjin	修士2年
Jin Chaoyi	修士2年
Wang Fudong	修士2年
Zhang Yuechuan	修士2年
Ding Yi	修士2年
廣田 海 斗	修士2年
小池 良 吾	修士1年
Yu Mingfei	修士1年
Yi Qingyang	修士1年
赤井 裕 登	学部4年

池田研究室 構成

池田 誠	教授
吉川 俊 之	特任研究員
荒川 文 男	特任研究員
劉 玉 清	修士2年(現在 SONY)
中山 亮 平	修士2年(現在 JR東海)
蔣 定 宇	修士2年
Bayasgalan Amartuvshin	修士2年
池田 健 人	修士1年
渡辺 直	学部4年修士1年
Anawin Opasatian	修士1年
赵寅帆 (Yinfa Zhao)	修士1年(半年特別休学)
Hung Quoc Bui	修士1年(半年特別休学)
阿部 浩 太郎	学部4年(現在修士1年)
島田 泰 慎	学部4年(現在修士1年)

飯塚研究室 構成

飯塚 哲也	准教授
徐 祖 樂	特任講師
グエン ゴック マイカーン	助教
陳 翔 宇	特任研究員
ビャムバドルジ ゴルポー	博士3年
長 田 将	修士2年
原 崇 文	修士1年
李 燦 煒	修士1年
堀 川 貴 道	修士1年
松 岡 英	修士1年
岩 下 僚 我	学部4年
柴 田 凌 弥	学部4年

平本研究室 構成

平 本 俊 郎	教授
竹 内 潔	特任研究員
水 谷 朋 子	特任研究員
伊 藤 一 夫	特任研究員
鈴 木 慎 一	特任研究員
高 倉 俊 彦	特任研究員
高 瀬 博 行	特任研究員
福 井 宗 利	特任研究員
張 基 賢	博士3年 (9月卒業)
安 珉 柱	博士3年 (9月卒業)
関 口 翔 平	修士2年
山 中 勇 人	修士1年
刘 子 豪	修士1年
余 虹 寬	修士1年

小林研究室 構成

小 林 正 治	准教授
武 繼 璇	特任研究員
莫 非	特任研究員
金 成 吉	博士3年 (9月卒業)
莫 非	博士3年 (9月卒業)
Paul Johansen	修士2年 (9月卒業)
項 嘉 文	修士2年

梅 瀟 然	修士2年
沢 辺 慶 起	修士1年

高木研究室 構成

高 木 信 一	教授
トープラサートポン カシディット	助教
林 澈 敏	博士3年 (工学系)
李 宗 恩	博士2年 (工学系)
羅 璇	博士2年 (工学系)
陳 家 聰	博士1年 (工学系)
姜 旼 秀	博士1年 (工学系)
隅 田 圭	博士1年 (工学系)
竹 安 淳	修士2年 (工学系)
田 原 建 人	修士2年 (工学系)
韓 雪 揚	修士1年 (工学系)

竹中研究室 構成

竹 中 充	教授
関 根 尚 希	博士3年 (工学系)
ロ ダ ヌ ル	博士3年 (工学系)
趙 子 強	博士2年 (工学系)
湯 涵 智	博士1年 (工学系)
陳 乾 峰	修士2年 (工学系)
呉 冬 睿	修士2年 (工学系)
張 曉 軒	修士2年 (工学系)
宮 武 悠 人	修士2年 (工学系)
大 野 修 平	修士2年 (工学系)
ティパット ピヤパッタラクン	修士2年 (工学系)
渡 辺 耕 坪	修士1年 (工学系)
張 超	修士1年 (工学系)
高 城 和 馬	学部4年 (工学部)
落 合 貴 也	学部4年 (工学部)

内田研究室 構成

内 田 建	教授
田 中 貴 久	助教
加 藤 る み	学術支援職員 (8月～)

加藤 太朗	修士2年	近藤 整	修士1年
工藤 櫻彩子	修士2年	中村 裕成	修士1年
石川 潤	修士2年(特別研究学生)	角 祐太郎	修士1年
野木 壮一郎	修士1年	王 文清	修士1年
松村 美貴也	修士1年	青田 聖治	学部4年
梅田 竜生	学部4年	加藤 由太郎	学部4年
濱中 悠輔	学部4年	森 一馬	学部4年
水谷 わかな	学部4年		

染谷研究室 構成

染谷 隆夫	教授
横田 知之	准教授
李 成薰	講師
松葉 頼重	特任研究員
王 炳昊	特任研究員
王 燕	特任研究員
奥谷 智裕	特任研究員
江 智	特任研究員
金 宰竣	JSPS外国人特別研究員
王 春雅	JSPS外国人特別研究員
川島 伊久衛	学術支援専門職員
宮本 明人	学術支援専門職員
小泉 真里	学術支援専門職員
雪田 和歌子	学術支援専門職員
永井 志歩	学術支援専門職員
池ヶ谷 智子	学術支援専門職員
松岡 一代	学術支援専門職員
山崎 祥子	学術支援職員
原 五月	技術補佐員
神保 泰俊	博士3年
Md Osman Goni Nayeem	博士3年
王 嘉斌	博士3年
程 董凱	博士1年
汪 浩洋	博士1年
王 佳辰	博士1年
高野 幹太	修士2年
石垣 貴史	修士2年
白山 巖	修士2年
島ノ江 修平	修士2年
相浦 琢人	修士1年

三田研究室 構成

三田 吉郎	准教授
肥後 昭男	特任講師 (ADVANTEST D2T)
黄 吉卿	客員研究員 (LIMMS 研究所/仏CNRS C2N 研究所)
落合 幸徳	特任研究員 (ナノテ クノロジー・プラット フォーム 専任マネー ジャ)
ルブラッスール エリック	特任研究員 (ナノテク ノロジー・プラットフォーム 技術支援担当)
藤原 誠	学術支援専門職員 (ナ ノテクノロジー・プラット フォーム 技術支援担当)
水島 彩子	技術専門職員 (ナノテ クノロジー・プラットフォー ム 技術支援担当)
太田 悦子	学術支援専門職員 (ナ ノテクノロジー・プラット フォーム 技術支援担当)
島本 直伸	特任研究員 (ナノテク ノロジー・プラットフォーム 代表機関 東日本方面 コーディネータ)
大西 廉伸	学術支援専門職員 (ナ ノテクノロジー・プラット フォーム代表機関 東日 本方面コーディネータ)

澤村	智紀	技術専門職員（武田先端知クリーンルーム管理室）
廣澤	公彦	学術支援職員（ナノテクノロジー・プラットフォーム 武田クリーンルーム管理室担当）
豊倉	敦	技術専門職員（電気系一般電子実験室，武田先端知204バックエンド加工室支援担当）
河井	哲子	学術支援職員（ナノテクノロジー・プラットフォーム ディレクション担当）
渡邊	かをる	学術支援職員（ナノテクノロジー・プラットフォーム事務局）
高田	晃広	d. lab 共同研究員（アドバンテスト）
中山	雄太	工学系共同研究員（コニカミノルタ）
宮澤	駒宏	修士2年
槌屋	拓	修士2年
三角	啓	修士1年
山口	貴史	学部4年
辻	啓吾	学部4年

4.3 研究概要

黒田・小菅研究室

(<http://www.kuroda.t.u-tokyo.ac.jp/index.html>)

TCI: ThruChip Interface

黒田 忠広, 濱田 基嗣, 小菅 敦丈, 四手井 綱章, 岡田 光司, イップ ウェイイェン

チップの配線を巻いて作ったコイルの誘導結合を用いて積層チップ間でデータ転送を行う 3次元集積技術の研究を行っている。TSV (シリコン貫通電極)と同等以上の性能を低コストで実現可能である。本年度は、TCIを用いた3次元SRAM積層技術に関する発表と、TCIを活用した2.5次元積層技術に関する発表を行った。

TLC: Transmission Line Coupler

黒田 忠広, 濱田 基嗣, 小菅 敦丈, 四手井 綱章, 岡田 光司, イップ ウェイイェン, 林 泰弘

ボード上の伝送線路の電磁結合を用いて、ボード間でデータ転送を行う技術の研究を行っている。従来型のコネクタで問題となる、摩耗、耐震性、インピーダンス整合などの問題がなく、安価で高性能な無線コネクタを実現可能である。本年度は、より幅広いアプリケーションへ適用するための通信距離延伸に関する技術発表と、複数異種信号を束ねて伝送するためのシリアル・パラレル変換に関する技術発表を行った。

竹内研究室

(<https://co-design.t.u-tokyo.ac.jp/>)

高速半導体ストレージに関する研究

松井千尋, 竹内健

複数の異種不揮発性半導体メモリを用いた高速半導体ストレージを提案。メモリタイプSCM (M-SCM) やストレージタイプSCM (S-SCM) 等のSCMの速度・電力・コスト・信頼性のトレードオフを解決し、異種の不揮発性半導体メモリへ最適にデータを配置するデータ制御アルゴリズムや不揮発性半導体メモリのエラーを訂正する誤り訂正システムを提案した。さらに、アプリケーション特性に応じてSCMの容量を自律的に調整する高速ストレージシステムを提案した。

Approximateメモリに関する研究

松井千尋, 竹内健

5G高速無線通信向けのApproximateメモリシステムを提案した。機械学習用途に向けて、誤りを許容することで高速・低電力を実現するApproximateメモリを提案した。従来の4Gネットワークに比べて5Gではネットワークのレイテンシが短縮するため、メモリ・ストレージの遅延が顕在化する。Approximateメモリの導入によりメモリ・ストレージのボトルネックを解消し、エッジサーバ、クラウドサーバそれぞれに対してネットワーク・メモリ全体での高速・低電力なシステムを達成した。

長期保存半導体メモリの研究

竹内健

次世代メモリとして注目されている抵抗変化型不揮発メモリ (ReRAM) の長期データ保存のために、データ保持特性を向上させることができる、Finalize書き込み方式を提案した。データ保持を行う直前 (最後) の書き込み電圧を高くすることにより、伝導フィラメントを形成する酸素欠陥の密度を高め、データ保持中のメモリセルのエラーを低減することに成功した。更に、Endurance (書き込み回数) に応じて書き込みStressを緩和することにより、データ保持の長寿命化と、Endurance向上を両立することに成功した。

中村研究室

(<http://www.hal.ipc.i.u-tokyo.ac.jp/>)

IoT/サイバーフィジカルシステム

中村宏, 坂本龍一

太陽光などの環境発電で動作する無線接続センサノードを対象とし、センサノードの動作を環境に応じて最適化する強化学習 (reinforcement learning) 手法の研究を行った。強化学習は計算量が多く学習までに時間を要する。この問題に対し、異なる環境のセンサノードによる探索を動的に協調させる新しい分散強化学習手法を提案し、従来に比べ、学習に要する時間を大幅に短縮できることを示した。

低消費電力コンピューティング

中村宏, 坂本龍一

ローカル5Gのsmall cell基地局の省電力化の研究を行った。具体的には、基地局のパワーアンプの電力

と起動しているアンテナの本数の2要素の最適化を図る。そのために、通信距離と送信バンド幅を用いて基地局の伝送能力と消費電力の関係のモデリングを行い、複数の端末から動的なトラフィック要求があるときに、省電力化を達成できることを示した。

ネットワークセキュリティに関する研究

中村宏

Zigbeeとは近距離無線通信規格の一つで、転送可能距離が短く転送速度も低速である代わりに、安価で消費電力が少ないという特徴を持っており、電池で動くような小型のセンサやIoTなどで幅広く使用されている。Zigbeeはこの低消費電力を実現するために間接通信を採用しているため、LDoS攻撃への脆弱性の要因ともなっている。この問題に対し、その対策手法の提案を行い、シミュレーション実験によりその有効性を示した。

藤田研究室

(<http://www.cad.t.u-tokyo.ac.jp/>)

トポロジカルに類似した二値ニューラルネットワークの訓練による部分論理合成

藤田昌宏, Chaoyi JIN

トポロジカルに類似した二値ニューラルネットワークの訓練による部分論理合成手法を提案した。部分合成では大部分の回路は既設計で未知の部分が仕様から合成される。2入力論理ゲートをパーセプトロンモデルで置き換え論理回路の構造を継承することで、バックプロパゲーションとディスクリートトレーニングによって未知の回路を合成することができた。

Transformerベースの自然言語処理における少数ビットの量子化技術

藤田昌宏, 大内真一, Ding YI

近年、Transformerベースの自然言語処理(NLP)モデルは、特にBERTと呼ばれるモデルによって良い結果を得ることができるようになっている。しかしBERTは巨大であり多くのストレージと計算資源を要する。BERTをハードウェア上に実装するため、IntelではQ8BERTというプロジェクトでモデル変数を量子化してメモリと計算資源を節約している。本研究では

Q8BERTを実装し、その改善をおこなった。重みの範囲を制限し区分的に量子化してQ8BERTより高精度となるクリッピング法を提案した。

学習係数付きソフトマックス関数による効率的な注意機構

藤田昌宏, 大内真一, 廣田海斗

BERTは発表当時に11種類の自然言語処理タスクで世界最高の成績を記録した深層学習モデルであり、今日も様々な応用が検討されている。本論文ではBERTを効率的に実装するために、その中心的な演算である注意機構に組み込まれているソフトマックス関数に注目する。本研究ではこの関数における加算と指数計算の適用回数をどちらも1%未満まで削減しながらも、もとのモデルと比較して95%の精度を保つことに成功した。

SATに基づいたアレイプロセッサ上へのデータフローマッピング法

藤田昌宏, 宮坂幸雄

近年、機械学習において並列処理が一般的に行われている。再構成可能なアレイ型プロセッサは容易にカスタムに調整できて高性能であるために注目されている。本研究ではSATソルバーを用いてデータフローをアレイ型プロセッサへマッピングする手法を提案する。本手法では自動で計算順序を変更してより効率的に計算し、行列・ベクトル積計算のマッピング問題を解いた。SATソルバーはILPソルバーよりもよりスケラブルであった。本手法は積和演算用100ノード以上のデータフローを扱う。また、様々なレイテンシやスループットの疎行列の乗算演算についてもマッピングし、疎であることを利用したより高速なスケジューリングを生成した。

疎な行列・ベクトル積の並列通信アーキテクチャへのスケジューリング

藤田昌宏, Ruitao GAO, Mingfei YU

深層学習における計算量の多いタスクにハードウェアを使用することが多く行われているが、多くは疎な行列・ベクトル積(SpMV)として定式化できる。本研究ではリング状に接続された4*4のSpMVにおける最小スケジューリング問題を研究し、より大きなサイズの行列に対するアルゴリズムも検討した。このアルゴリ

ズムでは最小スケジューリングの探索空間はかなり小さくなった。しらみつぶしの探索法と比較して91.39%の性能を示す解を250倍計算時間を短く得ることができた。

X値ベースのフリップフロップ選択法を用いたインダクティブインバリエントに基づく効率的な到達可能性解析

藤田昌宏, 小池良吾

順序回路においては到達可能な状態の集合は全状態空間よりずっと小さいことはよく知られている。到達可能状態のスーパーセットを計算することは、到達可能状態を厳密に計算するよりは計算量が小さく有用である。インダクティブインバリエントはスーパーセットを計算するための手法の1つである。小さいあるいは有用なスーパーセットを見つけるためにはフリップフロップのサブセットの選択が重要であり、不定値Xに基づく解析手法が知られている。HWMCC2017 ベンチマーク回路のいくつかにおいて提案手法でフリップフロップのサブセットを見つけることができた。インダクティブインバリエントはQBFによって定式化し、QBF問題はSATソルバーを繰り返し用いて解いた。本手法ではまず入力数の少ないLUTから始め、その後徐々に入力数を増やして変数を少なくし、大きなQBF問題を解くとき計算時間を約80%程度減少させることができた。

CNN計算のための近似乗算器の評価

藤田昌宏, 松本高士, Yuechuan ZHANG

畳み込みニューラルネットワーク(CNN)の精度を向上させるには、通常、より大きなハードウェアとより多くのエネルギー消費が必要となる。一方、CNNのエラー許容度により、近似計算によって実装コストを削減することができる。乗算はCNNで最もリソースを消費し、電力を消費する操作であるため、近似乗算器(Approximate Multiplier, AM)を使用してハードウェアコストの削減を図る。さまざまな既存の近似乗算生成方法が存在するが、特定のAMがCNN計算に適しているかどうか、およびその推論精度への影響はよくわかっていない。そこで本研究では、8ビットに量子化されたAlexnetをハードウェアに実装することを念頭に、AMによって引き起こされるエラーとCNN推論の精度の間の関係を解析した。主に2つのAMを使用す

る: 1) デカルト遺伝的プログラミング(CGP)に基づいたAM, 2) 柔軟なエラー推定に基づいたAM。さらにそれらの結果を踏まえて、CNN計算でAMのパフォーマンスを向上させるために、入力ズームとエラー補正の2つの手法を提案した。

池田研究室

(<http://www.mos.t.u-tokyo.ac.jp>)

高性能暗号エンジンの設計最適化

池田 誠, 池田 健人, 荒川 文男

検索可能暗号やID・属性ベース暗号に代表される高性能暗号エンジンはIoT技術の発達によりますます多様な要求仕様が求められている。楕円曲線暗号エンジンについてスケジューリング及び最適な剰余乗算アルゴリズムを用いることで性能を改善し、座標変換部分を含めてレイテンシ18.14usの性能を得た。また、楕円曲線ペアリングについて大規模なスケジューリング問題を最適化し、その結果を用いてサブシーケンスを自動的にHDL記述する設計手法の検討を行った。これにより、ハードウェア暗号設計において課題となる設計コストの改善が見込まれる。

高性能暗号エンジンの検討

池田 誠, 中山 亮平, Anawin Opasatian, 島田 泰慎

検索可能暗号やID・属性ベース暗号に代表される高性能暗号は、クラウドサービスにおいて最大の懸念事項となるプライバシーの権利の保護を暗号学的に支える基本技術であるが、演算時間が長く、基礎となる暗号方式によっては暗号文と鍵長が大きいという欠点がある。本研究では、楕円曲線ペアリングと完全準同型暗号の2つの暗号方式についてそれぞれハードウェア設計・実装による高速化を行なった。ハードウェア設計では演算器の構成に自由度があるため、本研究では演算の粒度を剰余環の演算に設定し、暗号アルゴリズム中の小規模ループをアンロールすることでパイプラインアーキテクチャを構成している。BN254曲線上のペアリング演算を、マイクロシーケンサを内蔵させることにより入出力速度に依存せず高速化を実現したほか、演算コアを複数搭載することによる高速化の実現も行った。また、RingLWEベースの完全準同型暗号の実現にあたり、数論変換回路の高速ハードウェア実装の

検討を行った。また、ペアリングエンジンの応用例として、属性暗号の実現に向けた検討を行った。

暗号エンジンの攻撃耐性評価

池田 誠, 阿部 浩太郎

暗号アルゴリズムが実装された回路においては、消費電力やタイミング解析などの回路動作から秘密情報を取得するサイドチャンネル攻撃が脅威となっている。本研究ではデジタル署名に対して有効な Lattice Attack に関して、攻撃の成立条件を調査した。Lattice Attack ではサイドチャンネル攻撃により取得する情報量と、鍵復元のための計算量との間にトレードオフがあり、現実的に実行可能な時間内に鍵復元が可能となるサイドチャンネル攻撃による情報量を、複数の鍵長を攻撃対象として実験により評価した。結果の一部では過去の攻撃報告よりも少ない情報量での攻撃の成功を確認した。また、サイドチャンネル攻撃により Lattice Attack を成立させるだけの情報量を取得できるか否かに関して、ECDSA の実装された ASIC チップを攻撃対象・テンプレート攻撃を攻撃手法として、評価を行っている。

リザーバコンピューティングシステムのハードウェア実装

池田 誠, Amartuvshin Bayasgalan

人工ニューラルネットワーク (ANN) のハードウェアの実現は、ハードウェアリソースの最適化が大きな課題となっている。ランダムリカレントニューラルネットワーク (RNN) に基づくリザーバコンピューティング (RC) は、時系列データ処理に適した単純でかつ強力な手法であり、入力を高次元空間にマッピングするためのリザーバと、リザーバ内の高次元状態からのパターン分析のための読み出しから構成されている。リザーバ内のパラメータは固定で、読み出し部のみが、線形回帰や分類といった簡易な手法で学習がなされる。このため、他のリカレントニューラルネットワークと比較し、リザーバコンピューティングは学習が高速であり、学習に要するコストが低いことが利点としてあげられる。Brain-Machine インターフェースへの応用を想定した脳波時系列データ処理を行う、オンライン学習機能を備えたエコステートネットワーク (ESN) のハードウェア実装に関して検討を行った。

スマートイメージセンサを用いた高機能計測手法とセキュアセンシング

池田 誠, 劉 玉清, 蔣 定宇, 渡辺 直

イメージセンサに情報処理機能を統合したスマートイメージセンサに基づく高機能計測とセキュアセンシングの実現に取り組んでいる。高機能計測では、変調光投影に基づき電流モードで背景光を除去する ToF イメージセンサを提案し、回路実装・評価を進めている。また、単一周波数変調における測距限界を簡易に拡張する手法として、移相器を組み合わせた手法の提案を行いパラツキ耐性を含めた測距性能評価を行っている。セキュアセンシングでは、パルス周波数変調とデジタル処理により背景光および雑音を除去し符号化された信号選択を行う ToF イメージセンサを提案し、回路実装・評価を進めている。

テラヘルツ帯ビデオイメージングに向けた微弱信号の読み出し回路の設計と評価

池田 誠, 吉川 俊之

テラヘルツ帯ビデオイメージングデバイスにおいて、InAs MOS-HEMT により検波された微小信号をデジタル信号へ変換しデバイスの外部へ読み出すための回路 (ROIC) を設計した。

180nm CMOS プロセスにおいて試作されたチップには、 8×7 の ROIC アレイが集積されており、三次元積層層によって検波器と接続される。各 ROIC は、トランスインピーダンス増幅器とロックインアンプ、 $\Delta \Sigma$ アナログデジタル変換器と InAs MOS-HEMT の特性を校正するためのデジタルアナログ変換器 (DAC) が実装されている。これまで設計してきた ROIC においては回路動作のために調整しなければいけないパラメータが多く最適化に時間を要していたが、増幅器の構成を見直すことにより利得を向上しつつ調整を容易にした。また、DAC の方式をキャパシタを用いるものから抵抗を用いるものへと変更したことでリーク電流による問題を解決した。試作したチップは、アンテナと InAs MOS-HEMT のアレイが集積されたガラス基板のチップとスタッドバンプにより三次元積層され、テラヘルツ信号発生器により生成された 900GHz の信号を用いた測定によりロックインアンプによる同期検波の実現を確認した。

飯塚研究室

(<http://www.mos.t.u-tokyo.ac.jp/iizuka>)

広帯域信号向け波形再生技術

飯塚 哲也, ビヤムバドルジ ゾルポー

スパースで広帯域な信号の受信やコグニティブ無線を実現しうるサブナイキストサンプリングのアーキテクチャとしてMWC (Modulated Wideband Converter) が注目されている。また自動試験装置などではサンプリングレートが限られているため、MWCは広帯域で動作するデバイスの測定にも役立つと考えられる。本研究ではMWCのスパースで広帯域な信号に対する測定器としての実現可能性について研究を行った。

実際のMWC装置においてはハードウェアの特性が理想的でないために、理論的なセンシング行列に基づく再構成では十分なパフォーマンスを得ることができない。従来手法によるキャリブレーションでは、MWCに対してシングルトーン信号を使用して、複数の異なる周波数の正弦波を用いた測定を多数回行うことで実際のセンシング行列要素の推定を行うが、この方法では時間がかかる事に加えて測定毎のタイミング不整合により十分な正確さが得られません。本研究ではマルチトーン信号を使用してMWCの新しいキャリブレーション方法を提案し、単一の測定から実際のセンシング行列要素を推定することに成功しました。キャリブレーション時間が大幅に減らせるとともにタイミング雑音の本質的に存在しないため、提案されたキャリブレーション方法は、従来の方法に比べて極めて高い波形再生性能を達成した。

また、MWCのノイズ耐性について解析し最適な設計を実現するためにANF (Average Noise Figure) を解析的に導出した。そしてノイズを考慮したMATLABシミュレーションでこの式が妥当であることを確認した。また、実際の測定により分析式を検証した。

さらに、MWC内部に用いられるアナログフィルタの非理想的な周波数特性を等化するために、デジタル補償フィルタを構築するための新規手法を提案した。MWCが実用的なアプリケーションに対して充分高い再構成性能を得るためには補償フィルターを使用する必要がある。本研究ではパフォーマンスを最大化するために、デジタル補正フィルターの校正手法を提案した。従来研究では、フィルタ回路をMWC回路から切

断し、個別に特性評価を行うことが必須であった。実際の回路ではフィルタのみを取り出し別途評価することは不可能でありこの手法は実用的ではない。さらに、従来手法ではMWCを拡張したAdvanced MWCシステムに対して補正フィルターを構築することができない。本研究では、回路要素の一部を切断することなくAdvanced MWCシステムにも直接適用可能な手法を提案した。

MWCシステムを基板上に実装し、実測によりこれらの提案手法の性能評価を行った。MWCの雑音指数の測定結果から、雑音指数に関する理論解析の正確さを示した。また、提案キャリブレーション手法は、1回の測定で実際のセンシングマトリックス係数を推定し、波形再構築性能を高めることに成功した。提案手法で構築されたデジタル補正フィルターを用いることで、補正後の波形再構築性能が大きく向上することを実測により示した。

低雑音位相同期回路技術

飯塚 哲也, 徐 祖樂, 長田 将, 岩下 僚我, 柴田 凌弥
高調波ミキサ (Harmonic-Mixer; HM) とデュアルフィードバック構造を用いることでノイズの増幅をコンパクトな形で回避する低雑音Fractional-N PLLを実装し、測定によりその効果を検証した。また一般的にサンプルホールド回路 (Sample-Hold Circuit; S/H) を用いたHMに基づくPLLで生じうるトーンについて解析的に明らかにし、これらを抑えるための適切なローパスフィルタ (Low-Pass Filter; LPF) の設計指針を構築した。さらに、デュアルフィードバック構造のフィードバック経路に新たな補助PLLを追加することでノイズをさらに効果的に抑える手法を提案し、その効果をシミュレーションで検証した。これはリング発振器を用いた低雑音Fractional-N PLLをLMSなどの複雑なキャリブレーション機構に頼ることなく実現しうる構造であり、通信やセンシングなどの応用における活躍が見込まれる。

位相比較器にノイズシェーピング型ADCを導入することで低い位相雑音特性を実現するデジタルPLLの設計を行った。まず、TDC (Time-to-Digital Converter)-PLLについて、従来のPLLで用いられていたナイキストTDCを、位相比較器と電圧制御遅延線路で構成される先行研究で提案された $\Delta\Sigma$ TDCに置き換えることで、

量子化雑音の低減が可能になった。次に、分周比のフィードバック制御を行うFDC(Frequency-to-Digital Converter)-PLLについて量子化雑音を低減するために、FDC内部の量子化器に $\Delta\Sigma$ ADCを縦続接続することによる高次 $\Delta\Sigma$ FDCの設計を行った。この2つのデジタルPLLについてシミュレーションを行い、雑音性能を確認した。また、量子化器のビット数がFDC-PLLの方がより多いため位相雑音が小さく、回路素子もFDC-PLLの方が少ないことから実用的であることが分かった。

トリプルループ型PLL(Triple-Loop PLL;TL-PLL)内のmain PLLにおける周波数変換前後にLPFを入れる必要があることをMatlab Simulinkによるシミュレーションで示した。このLPFにより、VCOから来るRF側の信号とInteger-N型PLLから来るLO側の信号が周波数領域で畳み込まれることによって生じる可能性のある不要なスプリアスを低減することができる。そしてこのTL-PLLの周波数変換部分を改良し、回路図レベルの設計・シミュレーションを行うことで、このTL-PLL構造が5G NR通信向けの28GHz帯にも適応可能であることを示した。その際、先行研究で周波数変換に用いられていたサンプルアンドホールド回路をサブハーモニックミキサに変更し、そのLO入力にはリングオシレータからの信号を用いることで、ループ内でノイズが増幅しないというTL-PLL構造の利点を生かした高周波の周波数変換を行った。

高精度アナログ-デジタル変換回路技術

飯塚哲也, 徐祖楽, 李燦煒, 松岡英

高速通信および高速アナログ-デジタルコンバータの需要の増加に伴い、高速かつ低消費電力の比較器回路の設計需要が増加している。Strong-ARM型比較器は広く用いられるダイナミック型比較器の一つであり、適切な設計により高速かつ低消費電力を達成することが可能である。通常のStrong-ARM型比較器ではプロセスばらつきの影響により入力オフセットが避けられない。以前の研究では、電流補償によってコンパレータのオフセットを減らすための補助回路が提案されていた。本研究では、このようなStrong-ARMコンパレータの動作原理と、さまざまなパラメータ設定を持つ補助回路の導入がコンパレータの性能に与える影響を説明する解析モデルを構築する。シミュレーション結果

は、モデルがコンパレータの動作を正確に推定し、補正回路の影響を十分に予測できることを示した。提案する解析モデルにより補正回路のパラメータを適切に設定し、このモデルに基づいて比較器回路の最適化を行う事が可能である。

高精度アナログ-デジタル変換器(ADC)はオーディオやセンサ用途で必要不可欠なものであり、オーバーサンプリングとノイズシェイピングの二つの技術によって高精度を実現するオーバーサンプリングADCがしばしば用いられる。離散時間デルタシグマADC(DT DS ADC)はオーバーサンプリングADCの一つであり、クロックジッタやPVTばらつきに強いという特徴を持つ。DT DS ADCを省電力とするために、静電流が流れないダイナミックアンプを用いる研究が報告されている。本研究では閉ループ構造のダイナミックアンプであるFloating inverter amplifier(FIA)を用いた二次DT DS ADCを提案した。FIAは出力同相電圧が安定かつ入力同相電圧の変化に強いという特徴を持つ。高SNRを実現するために、高ゲインFIA + Cascode FIAを提案した。シミュレーションにより、FIA + Cascode FIAはゲインが高く、入力同相電圧の変化に強いことを確認した。シミュレーション結果によると、提案ADCはSNDRが85.5 dB、消費電力は45.5 μ Wと見積もられた。

誘電体導波路通信に向けた高周波回路設計

飯塚 哲也, ゲン ゴック マイカーン, 堀川 貴道

通信応用における送信機では、変調後の信号の電力を増幅するための回路は必須であり、その出力電力が大きいほど長距離の通信が可能となり、また低いエラーレートが達成可能となる。ミリ波帯電力増幅回路の設計手法について検討を行い、高出力パワーを達成するため、対称型のオンチップ電力合成回路を提案した。また、電力合成回路を用いて高い出力電力を持つ電力増幅回路方式に関して、出力電力の限界について考察を行った。検討した設計最適化手法に基づき、2並列および4並列型の電力増幅回路を設計し、65nm CMOSプロセスにて試作を行い、実測による評価を行った。2並列PAでは5.7 dBの利得と6.0dBmのOP1dBを持つことを実測にて確認した。4並列PAでは、シミュレーションにて14dBmの飽和電力を持つことを確認した。

CMOSアナログ回路によるニューロン素子の実装

飯塚 哲也, 陳 翔宇

ニューロモルフィックコンピューティングは、人間の脳のニューロンやシナプスの生物学的メカニズムを模倣した技術であり、さまざまな分野で活発に研究・応用されている。スパイクニューラルネットワーク (SNN) は、第3世代の人工ニューラルネットワークと呼ばれ、生物学的ニューラルネットワークをより現実的に模倣する。多くのモデルの中で、Leaky Integrate-and-Fire (LIF) ニューロンモデルの単純さのため、広く注目されている。

ほとんどの場合、ニューロンは信号を処理するために非常に大きな時定数を必要とする。ただし、大きなオンチップコンデンサと抵抗はシステム統合の障害になる。LIFモデルに基づいて小面積かつ調整可能な時定数を持つアナログニューロン素子を設計した。提案された回路は、コンデンサと2つの疑似抵抗 (PR) で構成されている。PRのバイアス電圧を調整することにより、回路の時定数を調整することができる。容量は2pFの定数値であり、CMOS 65nm プロセスにて試作した結果、最大時定数は0.15msに達することが可能である。しかし、さらなる低消費電力化が求められる。

また、リングオシレータをベースにしたシナプス回路を構築した。この回路はリーク電流で発振器を動作させるため、消費電力はごくわずかである。シナプスはニューロンからのインパルスを積分し、積分値に応じた周波数信号を出力し、次のニューロンへ送信する。シナプス回路の興奮性および抑制性の機能を確認した。さらにCMOS 65nm プロセスにて試作を行った。

平本・小林研究室

(<http://nano-lsi.iis.u-tokyo.ac.jp/>)

ナノスケールCMOSデバイスの特性ばらつきに関する研究

平本俊郎, 小林正治

MOSトランジスタが微細化されるとともに、ランダムな特性ばらつきの影響が無視できないほど大きくなってきている。その原因は従来のバルクプレーナ型トランジスタでは主にチャンネル中の不純物数の揺らぎであるが、将来のデバイス構造候補であるナノワイヤトランジスタでは不明な点が多い。本研究では、シリコンナノワイヤトランジスタ特有のばらつき原因について

詳細を調べ、ナノワイヤ幅のランダムな揺らぎと量子閉じ込め効果がしきい値電圧ばらつきの主要原因であることを明らかにするとともに、ドレイン電流ばらつきへの影響も検討している。

ナノスケールCMOSデバイスの低温特性に関する研究

平本俊郎, 小林正治

CMOSによるバイナリーデジタル演算に代わるコンピューティング手法として量子計算が注目されている。量子計算では従来のCMOS回路が量子ビットの制御回路に用いられるため、CMOSデバイスの低温特性を明らかにしておくことが必須である。本研究室では、MOSトランジスタの低温におけるサブスレッショルド特性に注目し、サブスレッショルド係数が低温で理論通りに温度に比例しない理由を検討するとともに、低温における特性ばらつきの評価も行っている。

シリコンパワーデバイスの研究

平本俊郎

パワーデバイスの分野では、SiC, GaNなどの新材料が注目されているが、シリコンIGBT (Insulated Gate Bipolar Transistor) は現在においても広い容量範囲のパワーエレクトロニクス機器で用いられる主流のパワーデバイスである。本研究室では、IGBTスケールングおよび両面ゲートIGBTというコンセプトにより、シリコンパワーデバイスで更なる性能向上が可能であることを示す研究を行っている。

負性容量トランジスタのデバイス物理に関する研究

小林正治, 平本俊郎

強誘電体HfO₂をゲート絶縁膜とする負性容量トランジスタは、サブスレッショルド係数が60を切ることで超低電圧動作が期待される次世代トランジスタ技術である。しかし、サブスレッショルド係数が60を切るメカニズムや負性容量トランジスタに特有の現象を説明できる包括的な物理メカニズムは未解明であった。本年度の研究では、本研究室が提唱してきた強誘電体のダイナミクスに基づく過渡的な負性容量の物理モデルをベースとして、さらに界面や膜中における電荷トラップと固定電荷の影響も含めた包括的なモデリングを行い、より現実に即したデバイス物理の解明に貢献できるようになった。

IGZO トランジスタと RRAM の三次元集積技術による 三次元ニューラルネットワークの実証

小林正治, 平本俊郎

AI特にニューラルネットワークのアルゴリズムでは、学習と推論のために膨大なデータが必要であり、従来のコンピューティングではCPUとメモリとの間のデータ伝送が性能のボトルネックになることが課題となっている。この課題を解決する技術として、演算とメモリを一体化させ、メモリアレイで演算まで行うインメモリコンピューティングが注目を集めている。しかし、ニューラルネットワークの認識精度を上げるにはメモリアレイの規模を大きくする必要があり、今後配線での遅延や消費エネルギーが問題となる。本研究ではCMOSプロセスの配線層に形成可能なIGZOトランジスタとRRAMを多層にモノリシック集積したチップを開発した。多層プロセスでもデバイス特性の劣化は見られず高い信頼性を維持することを確認した。またバイナリニューラルネットワークで基本演算要素となるXOR演算をIGZOトランジスタとRRAMによるメモリのペアで動作実証した。

HfO₂系材料における強誘電性発現のメカニズムの 解明

小林正治, 平本俊郎

CMOSプロセスと整合性が高く、10nm以下でも強誘電性を有する、強誘電体HfO₂が次世代のメモリ材料として大きな注目を集めている。ドーパントを含むHfO₂をアニール処理することで、中心対称性の破れた直方晶が形成され、これが強誘電性をもたらしているという実験報告はある。一方、理論的に熱過程で強誘電体相が形成されるメカニズムは十分に明らかになっていない。本研究ではSiをドーブしたHfO₂においてアモルファス相から強誘電体相へ相転移するプロセスを熱過程に沿って系統的に第一原理計算によって明らかにした。HfO₂はドーパントと界面エネルギーの効果により、正方晶のエネルギーが斜方晶よりも安定になる。さらに各層のエントロピーをフォノンバンドの計算結果から直接求め、ドーブされたHfO₂の各結晶相のグレインサイズと温度に対する自由エネルギーを計算した結果、高温において正方晶の核形成が行われることがわかった。さらに低温に戻す過程で正方晶は準安定状態に移り、運動学的な遷移エネルギーの低い強誘電体

相へ相転移することを第一分子動力学法を用いて直接観測することに成功した。

高木研究室

(<https://sites.google.com/g.ecc.u-tokyo.ac.jp/mosfet/>)

III-V Metal-Oxide-Semiconductor (MOS) FET とその 3次元集積化に関する研究

高木信一, 隅田圭, 竹安淳, 吉津遼平, トーブラサートポン カシディット, 竹中充

将来のロジックLSIの本命デバイスとして、トランジスタを縦型に積層した3次元集積CMOSが期待されている。このような積層型MOSFETを実現する上では、低温で素子が作製できかつ高い移動度や注入速度が期待できるIII-V化合物半導体やGeなどのチャネルが有望である。我々は3次元集積CMOSを目指して、Si基板上に極薄のIII-V-On-Insulator (III-V-OI) 構造を実現する技術やこの構造をチャネルに用いたIII-V nMOSFETの実証と高性能化、その電気特性を決定しているデバイス物理の研究を進めている。今年度は、電子移動度が高いInAsチャネルを用いた(111)面極薄InAs-OIチャネルを用いたサブバンドエンジニアリングを提唱し、スマートカット法を用いてSi上のInAs nMOSFETの実証を行った。更に、InAs金属合金とのコンタクト抵抗の評価法を提案し、極めて低い接触抵抗を持つことを実証した。

Ge/SiGe Metal-Oxide-Semiconductor (MOS) FET とその3次元集積化に関する研究

高木信一, 林澈敏, 李宗恩, 陳家驄, 韓雪揚, 久寿良木麻琴, トーブラサートポン カシディット, 竹中充

3次元集積CMOSへの適用を目指して、Si基板上の極薄Ge-On-Insulator (GOI) 構造を実現する技術やこれらの構造を用いた高性能GOI CMOSの実現と性能向上、電気特性を決定しているデバイス物理の研究を進めている。今年度は、基板貼り合せ法を用いた(111)面GOI nMOSFETを世界で初めて実証し、(100)面よりも高移動度であることを実証した。また、SiGe MOS界面特性を向上できるゲートスタック形成技術を検討し、TiN/Y2O3ゲートスタックを用い、TMAによる界面処理を施すことで、極めて低い界面欠陥密度が実現

できることを明らかにした。

HfO₂-系強誘電体ゲート絶縁膜トランジスタと強誘電体メモリに関する研究

高木信一，トープラサートボン カシディット，羅璇，田原建人，竹中充

分極反転を伴う強誘電体をゲート絶縁膜としたMOSFET (FeFET) や金属とのサンドイッチ構造 (MFM構造) をメモリセルとするFeRAMは、将来の極低消費電力メモリやロジック用素子として期待されている。特に近年発見されたHf_{1-x}Zr_xO₂やZrO₂などの強誘電体・反強誘電体を用いたデバイスは、現在のSi CMOSテクノロジーとの親和性が極めて高く、大きな関心を集めている。我々は、原子層堆積 (ALD) 法によって堆積したこれら強誘電体薄膜の物性やFeFETの素子動作原理の明確化を通じて、優れた素子特性を実現する研究を進めている。今年度は、Hf_{0.5}Zr_{0.5}O₂の結晶化温度の低減と薄膜化を共に進め、強誘電体特性のwake-upを利用することによって、動作電圧を大幅に低減できるMFM型メモリセルが実現できることを実証した。

強誘電体デバイスを用いたリザバーコンピューティングに関する研究

高木信一，トープラサートボン カシディット，名幸瑛心，王澤宇，中根了昌，竹中充

計算負荷の軽いAI計算手法として、リザバーコンピューティングが近年注目を集めている。我々は、メモリ・イン・ロジック機能や非線形アナログ計算機能をもつFeFETやFeRAMが、リザバーコンピューティングを物理実装できるハードウェアとして有望であることを提案し、そのリザバーコンピューティング動作を世界に先駆け実証した。極低消費電力で推論・学習を行うことができる新しいAIハードウェアのSiプラットフォーム上での実現に向け、動作方式やデバイスの工夫によるAI性能の向上の研究を進めている。

量子コンピュータ制御回路に向けたSi CMOSの極低温での動作特性の理解

高木信一，姜旼秀，トープラサートボン カシディット，竹中充

量子コンピューティングシステムでは、量子ビットを操作するチップに加えて、信号を制御するCMOS集

積回路も重要であり、量子ビット数向上のためには、4Kなどの極低温で動作できるSi CMOS回路を量子ビットチップの近くに置くことが必要である。この目的のためには、極低温でのMOSトランジスタの動作を定量的に明らかにして、その物理機構を明確化することが必要である。我々は、Si MOSFETの極低温での電気特性や信頼性を明らかにし、物理パラメータを定量化するための実験的・理論的研究を進めている。

竹中研究室

(<https://sites.google.com/g.ecc.u-tokyo.ac.jp/takenaka-lab/>)

光配線LSIに関する研究

竹中 充，関根 尚希，湯 涵智，陳 乾峰，吳 冬睿，宮武 悠人，落合 貴也

シリコンフォトリソ等を用いてLSIの配線やI/Oを光化する研究を進めている。極薄InGaAsPメンブレンをシリコンリング共振器上に貼り合わせたハイブリッドMOS光変調器の動作実証に成功した。また極薄InGaAsメンブレンをシリコン導波路上に貼り合わせた導波路型ハイブリッドフォトリソトランジスタを新たに提唱した。シリコン導波路をゲート電極とすることで、極めて大きな感度を実証することに成功した。またInPメンブレンを用いたスロット光導波路をEOポリマーを組み合わせたハイブリッド光変調器の動作解析を進め、100 Gb/s以上の速度で光変調が可能であることを明らかにした。シリコンフォトリソ等を用いてLSIの配線やI/Oを光化する研究を進めている。極薄InGaAsPメンブレンをシリコンリング共振器上に貼り合わせたハイブリッドMOS光変調器の動作実証に成功した。また極薄InGaAsメンブレンをシリコン導波路上に貼り合わせた導波路型ハイブリッドフォトリソトランジスタを新たに提唱した。シリコン導波路をゲート電極とすることで、極めて大きな感度を実証することに成功した。またInPメンブレンを用いたスロット光導波路をEOポリマーを組み合わせたハイブリッド光変調器の動作解析を進め、100 Gb/s以上の速度で光変調が可能であることを明らかにした。

AI用シリコン光回路に関する研究

竹中充，湯 涵智，大野 修平，宮武 悠人，渡辺 耕平，高城 和馬

ユニバーサル光回路などのプログラマブル光回路を用いたAI用深層学習の研究を進めている。試作したリング共振器クロスバーアレイを用いたプログラマブルシリコン光回路を用いた積和演算が可能であり、推論動作が可能であることを実証した。また、シリコン光回路を用いたオンチップ誤差逆伝播を提唱し、その基本動作の実証に成功した。

Ge中赤外光集積回路に関する研究

竹中充, 趙子強, 宮武悠人

Ge-on-insulator (GeOI) 基板上に形成したGe導波路を用いた中赤外光集積回路の研究を進めている。Ge光導波路のPNPあるいはNPN型の接合を形成することで、フォトトランジスタ動作させることに初めて成功した。また相変化材料を用いた中赤外光位相シフタの研究も進めた。相変化材料であるGSTを中赤外で用いることで、光学損失を低減した光位相シフタができることを実証した。

二次元材料デバイスに関する研究

竹中充, ロダヌル, 張暁軒, ティパットピヤパッタラクン

グラフェンや二硫化モリブデンを用いた半導体デバイスの研究を進めている。二硫化モリブデンをスコッチテープ法でSi基板上に転写して作製したショットキー接合を形成し、容量測定から二硫化モリブデンのキャリア濃度を定量的に評価した。同様の手法で作製した二硫化モリブデンMOSキャパシタの容量測定結果と求めたキャリア濃度を組み合わせることで、ターマン法を用いた界面準位のエネルギー分布の定量評価に成功した。

内田研究室

(<http://www.ssn.t.u-tokyo.ac.jp/>)

ナノスケール電子材料を用いたエレクトロニクス・デバイスに関する研究

揮発性有機化合物 (VOC) などを検知するナノスケール分子センサ

ヒトの呼気には、ヒトの代謝物を含めて、様々な揮発性有機化合物 (Volatile Organic Compounds: VOC)

が含まれている。そのため、呼気に含まれる、ヒトの疾病と関連する特定のVOCを選択的に検出できれば、疾病の超早期診断を実現することが期待される。我々は、金属ナノシートを用いた低電力の水素センサ素子をこれまで開発してきた。しかし、金属ナノシートによる分子センシングを原子論的にシミュレーションする方法は確立されていない。今回、分子動力学法と非平衡グリーン関数法を組み合わせることで、センサ応答を原子論的にシミュレートする手法を新たに開発した。今後、この手法を様々な系に応用することで、計算手法の改善を行うと共に、新たなセンサ向け材料の探索にも活用をしていく。

ナノデバイスの熱配慮設計

LSIは、その構成要素であるMOSトランジスタのサイズ縮小によってこれまで飛躍的に性能を向上してきた。近年はナノシートトランジスタなどの新たなデバイス構造の導入が予定されており、トランジスタ動作中のジュール発熱による素子の温度上昇が最も深刻な問題のひとつとして指摘されている。我々は、熱配慮設計によりCMOSチャンネル部の動作時温度を極力抑制する技術の開発に取り組むとともに、シリコンチャンネルにおける電子-フォノン輸送特性について精緻な評価を展開してきた。今回、分子動力学法と非平衡グリーン関数法を組み合わせることで、Si/SiO₂界面に特有の振動モードが存在し、その振動モードによって界面近傍の電子-フォノン散乱が増大することを示唆する結果が得られた。

染谷研究室

(<http://www.ntech.t.u-tokyo.ac.jp/>)

世界最高感度の超柔軟音響センサーの開発

Md Osman Goni Nayeem, 染谷隆夫

柔らかいセンサーとしては世界最高感度の音響センサーを開発した。この音響センサーは非常に柔らかい3層のナノファイバーを集積化しているため、通気性があり、皮膚に炎症反応を起こさない。皮膚に直接貼り付けた状態で、心音を10時間にわたって安定的に計測することが可能になった。今後、運動中や日常生活のなかで心音をモニタリングすることにより、病気や体調不良の早期発見が可能なウェアラブルデバイスへの応用が期待される。

三田研究室

(<http://www.if.t.u-tokyo.ac.jp>)

TopoMEMS：トポロジカル量子計算機に必要な可変電子素子および理想MEMS素子の開発

三田吉郎, 辻啓吾, 肥後昭男, 飯塚哲也, 徐祖樂, 江澤雅彦 (物理工学専攻)

量子コンピューティング分野における次世代の計算手法として、物質が持つトポロジカルな状態をハミルトン演算子として用いるトポロジカル計算機が期待され、幅広い系で研究が行われている。我々のチームでは、JST-CRESTプロジェクトとして、ハミルトン演算子を電気回路部品の集合体として捉え、電気回路のトポロジーによって演算を行う手法の探索を担当しており、三田グループは集積MEMSの専門家として計算機に必要な理想の可変素子・MEMS素子を「TopoMEMS」と命名し、研究開発する。初年度はSu-Schriffer-Heegerによるモデルを取り上げ、状態可変式MEMSキャパシタを用いた電子回路を実装、トポロジカル状態とトリビアル状態との切り替え実験に成功した。さらに実験によって明らかになった理想MEMSの設計試作に向けたプロセス開発を行った。

Programmable Matterプロジェクト-エネルギー自立型分散マイクロシステムによる形状可変体

三田吉郎, 三角啓, 宇佐美尚人 (航空宇宙工学専攻), エリック ルブラスール, 黄吉卿 (CNRS LIMMS 研究所), ロマン カトリ (仏FEMTO-ST研究所), ユリアック ゲン (仏FEMTO-ST研究所), ジュリアン ブルジョワ (仏FEMTO-ST研究所), プノワ ピランダ (仏FEMTO-ST研究所), ステファン ドラランド (仏Groupe PSA)

集積化MEMS (微小電気機械システム) のトップダウンアプリケーションとして、自立マイクロシステムの研究を行っている。「大きさ1cm以下のマイクロロボットを多数環境に放出し、個々のロボットは近傍のロボットと通信を行いながら、協調的に環境測定などの高度な機能を実現するという自律分散システムを目指している。2016年度より、集積化マイクロメカトロニクス研究室 (東京大学生産技術研究所LIMMS, CNRS-IIS, UMI 2820) Host Professorの立場でフランス共和国国立研究エージェンシー (ANR) の助成を得

て、仏FEMTO-ST研究所とPSA-Peugeotとの産学共同で「組み合わせにより集合の形状変化が可能な自律マイクロロボット Programmable Matter」の研究を開始している。特に、水中で自立泳動するマイクロシステムの実現と背景物理の理解に研究目標を定めている。2020年度は、3Dプリンタで微細造形したMatter外骨格に静電引力を実際に加え吸着するシステムの会議発表を行い、実験結果を踏まえた理想的な柔軟電極 (Flexiboard) の断面構成を同定、試作プロセスの高度化を行った。

電子線リソグラフィとMEMSプロセスによる微細電極構造の流体素子への集積化作製手法の研究

三田吉郎, 肥後昭男, 江澤智也, 太田悦子, 水鳥彩子, 岡本有貴 (産業技術総合研究所), 鷲津信栄 (アドバンテスト), 高田晃広 (アドバンテスト), 藤原誠, 澤村智紀

電極構造の微細化によるセンサ素子の更なる高感度化、高機能化を目指し、電子線リソグラフィとMEMS加工プロセスを組み合わせた微細電極のトップダウン作製手法の高度化に取り組んでいる。局所的に測定電極を集積化した微細孔構造や、マイクロアクチュエータと微細構造を組み合わせた電極ギャップの精密制御に取り組んでいる。特に本年度は、ソース-ゲート間の直流バイアス電圧が0Vの状態ではチャンネルが導通する「デプリーション型」FETを用いれば寄生電流を抑制でき、高精度に測定できることを実験的に示した。具体的には、しきい値を調整した特注集積回路を電極と集積化してコールター計測を行うことができた。研究発表を国内研究会で行い受賞した。

電子線リソグラフィによる大面積精細描画手法の研究

三田吉郎, 肥後昭男, 藤原誠, 澤村智紀

従来垂直水平方向 (矩形) に限られ表現能力に乏しかった大面積電子線描画技術を高度化する。VDECに平成25年に新規導入された高速大面積電子線描画装置F7000S-VD02の持つ高ドース対応性、セル (キャラクタ) プロジェクション方式による鮮明なエッジを利用して、自由曲面や繰り返し微細構造などの描画を可能とする。本年度は、パターン描画の微細化限界に挑戦し、16nmを切るギャップ構造の作製が可能なパターンおよびプロセスデザインに成功した。

CMOS-VLSIのMEMS後加工による高機能システムの産学連携研究

三田吉郎, 山口貴史, ティモテ レヴィ (仏ボルドー大学IMS研究所), ギレム ラリュウ (仏LAAS-CNRS研究所), 池内与志穂 (生産技術研究所), 齊藤健 (日本大学), 佐藤善亨 (ナノックスジャパン)

D.labを通じて試作したVLSIウエーハを, 武田先端知ビルスーパークリーンルームやその他のクリーンルームにおいて後加工することによって新規センサデバイスを製作, 評価する研究を行っている。後加工に関する知見として, トランジスタが作製された直後(配線前)のウエーハ引き渡しを受け, 熱工程を伴う後加工プロセス(成膜, インプラ, ドライブイン)を施してもトランジスタ特性の劣化はそれほど進行しないこと, VLSIをあらかじめSilicon-on-Insulator (SOI)基板の上に配置した構造をMEMS後加工できることなどが分かっている。共同研究開発する素子の種類は共同研究先との相談により様々だが, 作製テクノロジーは共通のものを利用できるところが産業的に重要である。数多くの企業の興味を引き, 会社との共同研究や国際共同研究等様々なプロジェクトで電子デバイスの研究が進行している。

集積化MEMSによる高感度超音波プローブの研究

三田吉郎, 肥後昭男, 吉村武(大阪府立大学), 水野隆(コニカミノルタ), 鈴木謙次(コニカミノルタ), 中山雄太(コニカミノルタ), 遠藤登喜子(名古屋医療センター)

CMOS-VLSIのMEMS後加工と同一のスキームを用い, 圧電材料と集積しかつMEMS構造とすることによって, 医療診断などに用いることが出来る超音波プローブ素子の従来比100倍の高感度化が可能となること, 共同研究によって示されている。2018年度より受託している日本医療研究開発機構(AMED)公的資金(「送受相補型圧電MEMSによる乳がん検診用高感度超音波プローブの研究」代表:吉村武准教授)で前年度受けた加配によるテスト回路を評価した後, 小規模な画像取得システムのための応用回路を設計し試作を行った。

複数高周波信号への機械応答を用いた非侵襲マルチモーダル細胞解析並列集積システム

三田吉郎, 槌屋拓, 三角啓, 岡本有貴(産業技術総合研究所), 水島彩子, エリック ルプラスール, トマ ボウヴァン(仏ENSパリサクレール校), シャルル モスロンカ(仏ENSパリサクレール校)ブルノルピュウフル(仏ENSパリサクレール校), テイクシエ三田アニエス(東大先端研), オリビエ フランセ(仏パリ東大学ESIEE校), フレデリック マーティー(仏パリ東大学ESIEE校)

細胞などの液体中の微細構造を, 電気的手法によって非侵襲的に測定する方法として, 高周波信号による回転電界に対する測定対象の機械応答を計測する手法(電気回転測定法)が知られている。2018年度より日本学術振興会(JSPS)ーフランス科学研究センター(CNRS)の二国間研究交流事業に再び採択され, 制御回路ならびに検出回路を集積化したCMOS-MEMSデバイスによる並列化・広帯域化を目指した研究を行っている。本年度は提案手法の大きな利点の一つである並列性に注目し, 原理的には無制限に動作面積を拡大することができるデバイス構造および, 研究の特色であったサンドウィッチ構造電極を大面積に実現するプロセス手法の開発に成功した。

LSI一体集積を指向したコロイドドット材料集積化シリコン赤外線受光器

肥後昭男, 宮澤騎宏, 宇佐美尚人, 小林正起(電気系工学専攻), Wang Haibin, 久保貴哉, 瀬川浩司(先端科学技術研究センター), 三田吉郎

コロイド量子ドットを用いた電子デバイスは発色デバイスや太陽電池などの分野で研究・実用化が進んでいる。センサ分野での研究開発は遅れているが, 1.35 μ m-1.4 μ m帯で感度を得られる赤外フォトダイオード集積LSIが実現できれば, 屋外使用を想定したLidarやセキュリティを始めとした新たな幅広い応用分野への展開が期待できる。本研究では, 可視から赤外波長領域までの広帯域吸収スペクトルを分子デザインによってトップダウン設計可能なコロイド量子ドットに注目し, コロイド量子ドットをSi-LSIに集積化することで, Siの素の物性では吸収できない赤外領域に感度を持ち, かつ, 読み出し・情報処理回路が集積されたbeyond Si-LSIデバイスの実現を提案している。前年度に考案したテスト構造によって同定された想定に反したショットキー接合の存在を角度依存分光電子分光法

(ARPES) によって検証するとともに、測定結果をデバイス設計試作に反映し、従来デバイスに対してより高い外部量子効率を示すデバイスの試作に成功した。

サイバーフィジカルシステム応用に向けた無電力最大加速度センサ開発

三田吉郎, R Ranga Reddy

D.labの研究室が共同して、インドIITボンベイ校との共同研究プロジェクトを立ち上げている。当研究室ではサイバーフィジカルシステムのセンサ応用例として、2014年度まで先行研究を行っていたショック共振スペクトルセンサ(SRS)を取り上げ、作製法の再習得を行った。特筆する成果として、無電力で最大加速度を設計で定めた段階(設計では10段階)に分割して取得記録するデバイスの解析に成功した。前年度受け入れたIITHよりのインターンシップ生をリモートで指導したほか、機構ヘリテージのラッチ機構をトポロジカル量子計算機向け理想MEMS研究に応用した。

4.4 研究発表

黒田・小菅研究室

研究論文

- (1) K. Shiba, T. Omori, K. Ueyoshi, S. Takamaeda-Yamazaki, M. Motomura, M. Hamada, and T. Kuroda, "A 96-MB 3D-Stacked SRAM Using Inductive Coupling With 0.4-V Transmitter, Termination Scheme and 12:1 SerDes in 40-nm CMOS," *IEEE Transactions on Circuits and Systems-I: Regular Papers (TCAS-I)*, vol. 68, no. 2, pp. 692-703, Feb. 2021.
- (2) K. Shiba, T. Omori, M. Usui, M. Hamada, and T. Kuroda, "Area-Efficient Multi-Hop Inductive Coupling Interface for 3D-Stacked Memory with 0.23-V Transmitter and Sub-10- μ m Coil Design," *IEEE Solid-State Circuits Letters (SSC-L)*, vol. 3, pp. 370-373, 2020.
- (3) K. Shiba, C. Cheng, M. Hamada, and T. Kuroda, "2.5D integration using inductive-coupling TSV-less miniature interposer achieving 317 Gb/s/mm², 1.2 pJ/b data-transfer," *Japanese Journal of Applied Physics (JJAP)*, vol. 59, no. SG, pp. SGGL06, Apr. 2020.
- (4) K. Shiba, M. Hamada, and T. Kuroda, "3D system-on-a-chip design with through-silicon-vialess power supply using highly doped silicon via," *Japanese Journal of Applied Physics (JJAP)*, vol. 59 no. SG, pp. SGGL04, Apr. 2020.
- (5) K. Shiba, T. Omori, M. Hamada, and T. Kuroda, "A 3D-Stacked SRAM Using Inductive Coupling Technology for AI Inference Accelerator in 40-nm CMOS," *26th Asia and South Pacific Design Automation Conference (ASP-DAC)*, pp. 97-98, Jan. 2021.
- (6) Y. Toyoda, M. Hamada, and T. Kuroda, "Communication Distance Enhancement of Transmission Line Coupler by Using Parallelized Driver ICs," *IEEE Electrical Design of Advanced Packaging and Systems (EDAPS)*, Dec. 2020.
- (7) K. Shiba, T. Omori, M. Okada, M. Hamada, and T. Kuroda, "Crosstalk Analysis and Countermeasures of High-Density Multi-Hop Inductive Coupling Interface for 3D-Stacked Memory," *IEEE Electrical Design of Advanced Packaging and Systems (EDAPS)*, Dec. 2020.
- (8) K. Ando, K. Shiba, K. Akatsuka, C. Cheng, T. Arakawa, M. Hamada, T. Kuroda, "A 50 Mbps/pin 12-input/output 40 nsec Latency Wireless Connector Using a Transmission Line Coupler with Compact SERDES IC in 180 nm CMOS," *IEEE Conference on Electronics Circuits and Systems (ICECS)*, Nov. 2020.
- (9) R. Miura, T. Kuroda, and M. Hamada, "A Transmission Line Coupler Component for direct B2B communications," *IEEE 29th Conference on Electrical Performance of Electronic Packaging and Systems (EPEPS)*, Oct. 2020.
- (10) M. Usui, K. Shiba, M. Hamada, and T. Kuroda, "3D Integration of Ka-band RFIC by Inductive Interchip Wireless Communication Using Figure-8 Coils," *IEEE 29th Conference on Electrical Performance of Electronic Packaging and Systems (EPEPS)*, Oct. 2020.
- (11) K. Shiba, T. Omori, K. Ueyoshi, K. Ando, K. Hirose, S. Takamaeda-Yamazaki, M. Motomura, M. Hamada, and T. Kuroda, "A 3D-Stacked SRAM Using Inductive Coupling with Low-Voltage Transmitter and 12:1 SerDes," *IEEE International Symposium on Circuits and Systems*

国際会議論文

- (1) E. Charlot, M. Hamada, and T. Kuroda, "An on-chip antenna with an area of 0.9 square millimeters for RFID applications in the 5.8 GHz – 24GHz range", *IEICE 2020 International Symposium on Antennas and Propagation (ISAP)*, pp. 41-42, Jan. 2021.
- (2) T. Omori, K. Shiba, M. Hamada, and T. Kuroda, "Sub-10- μ m Coil Design for Multi-Hop Inductive Coupling Interface," *26th Asia and South Pacific Design Automation Conference (ASP-DAC)*, pp. 99-100, Jan. 2021.

(ISCAS) , Oct. 2020.

- (10) T. Kuroda, "Circuit and Package Co-design for 3D Integration (invited) ," JSAP International Conference on Solid State Devices and Materials (SSDM'20) , Extended Abstracts, pp. 63-64, Sep. 2020.

シンポジウム・研究会・大会等発表

- (1) T. Kuroda, "Democratizing Access to Silicon Technology (invited) ," Dutch Economic Mission to Japan on Digitalization, Feb. 2021.
- (2) 黒田忠広, "新・半導体戦略 ～ 脳とコンピュータと集積回路の歴史とその展望から考える ～," 電子情報通信学会 IEICE ICT Pioneers Series, Nov. 2020.
- (3) 黒田忠広, "日本の半導体はどこへ行くのか? ～ 私の半導体戦略～," サイテックサロン, Nov. 2020.
- (4) 黒田忠広, "脳・コンピュータ・AI," SEMICON Japan Virtualパネルディスカッション, Oct. 2020.
- (5) 黒田忠広, "いざ d.lab ! ～ シン・ハンドウタイ ～," 日立中研講演会, Sep. 2020.
- Takeuchi, "85% Endurance Error Reduction and Data-retention Lifetime Enhancement by Changing Reset Voltage in 40nm TaOx-based ReRAM," Japanese Journal of Applied Physics (JJAP) , vol. 59, SGGB14, April 2020.
- (4) Shun Suzuki, Hiroki Aihara and Ken Takeuchi, "Privacy Protection NAND Flash System with Flexible Data-Lifetime Control by In-3D Vertical Cell Processing," IEEE J. of Solid-State Circuits, vol. 55, no. 10, pp. 2802-2809, October 2020.
- (5) Chihiro Matsui and Ken Takeuchi, "Non-volatile memory system design of edge server and cloud centralized server for multiple-tier 5G network," Japanese Journal of Applied Physics (JJAP) , vol. 60, pp. SBBB05, March 16, 2021.

国際会議論文

竹内研究室

研究論文

- (1) Mamoru Fukuchi, Chihiro Matsui and Ken Takeuchi, "System Performance Comparison of 3D Charge-trap TLC NAND Flash and 2D Floating-gate MLC NAND Flash based SSDs," IEICE Transactions on Electronics, E103-C, No.4, April 2020.
- (2) Yoshiki Takai, Mamoru Fukuchi, Chihiro Matsui, Reika Kinoshita and Ken Takeuchi, "Analysis on Hybrid SSD Configuration with Emerging Non-volatile Memories Including Quadruple-Level Cell (QLC) NAND Flash Memory and Various Types of Storage Class Memories (SCMs) ," IEICE Transactions on Electronics, E103-C, No.4, April 2020.
- (3) Hiroshi Kinoshita, Tsubasa Yonai and Ken
- (1) Chihiro Matsui and Ken Takeuchi, "ReRAM Cell Reliability Variation Tolerated High-Speed Approximate Storage for Machine Learning," IEEE Symp. on Low-Power and High-Speed Chips and Systems (Cool Chips 23) Poster, April 15, 2020.
- (2) Masaki Abe, Chihiro Matsui, Keita Mizushima, Shun Suzuki and Ken Takeuchi, "Computational Approximate Storage with Neural Network-based Error Patrol of 3D-TLC NAND Flash Memory for Machine Learning Applications," IEEE International Memory Workshop Poster, May 20, 2020.
- (3) Yusaku Hine, Reika Kinoshita, Yoshiki Kakuta and Ken Takeuchi, "Data Allocation Algorithm based on Write and Read Frequency for Double Asymmetric-latency SCM SSD," IEEE International Memory Workshop Poster, May 20, 2020.
- (4) Hiroki Aihara, Kyosuke Maeda, Shun Suzuki and Ken Takeuchi, "Extremely Biased Error Correction Method to Reduce Read Disturb Errors of 3D-TLC NAND Flash Memories by 60%," IEEE International Memory Workshop

- Poster, May 18, 2020.
- (5) Chihiro Matsui, Shun Suzuki and Ken Takeuchi, "Spatial Color-Perceived Data Control of NAND Flash for Image Detection," IEEE Silicon Nanoelectronics Workshop (SNW) , pp. 49-50, June 13-14, 2020.
 - (6) Shun Suzuki, Hiroki Aihara, Keita Mizushina, Shin Yamaguchi and Ken Takeuchi, "Approximate 3D-TLC NAND Flash Write with Initial Error Injection for Application-level Reliability Improvement of Machine Learning-based Computing," IEEE Silicon Nanoelectronics Workshop (SNW) , pp. 43-44, June 13-14, 2020.
 - (7) Keita Mizushina, Shun Suzuki, Hiroki Aihara and Ken Takeuchi, "3840x Reliability Enhanced Robust NAND flash Optimized to Store Weight Data for Object Detection and Semantic Segmentation of Self-driving Car at High Temperature," IEEE Silicon Nanoelectronics Workshop (SNW) , pp. 47-48, June 13-14, 2020.
 - (8) Tsubasa Yonai, Hiroshi Kinoshita, Ryutaro Yasuhara and Ken Takeuchi, "98% Endurance Error Reduction by Hard_Verify for 40nm TaOX-based ReRAM," IEEE International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA) , pp. 35-36, August 11, 2020.
 - (9) Yoshiki Kakuta, Reika Kinoshita, Hiroshi Kinoshita, Chihiro Matsui and Ken Takeuchi, "Real-time Error Monitoring System Considering Endurance and Data-retention Characteristics of TaOX-based ReRAM Storage with Workloads at Data Centers," IEEE International Symposium on VLSI Design, Automation and Test (VLSI-DAT), August 13, 2020.
 - (10) Ken Takeuchi, "Heterogeneously Integrated Adaptive Storage System for 5G Network", International Conference on Solid State Devices and Materials (SSDM) Short Course, September 27, 2020. 【招待講演】
 - (11) Chihiro Matsui and Ken Takeuchi, "SLC Flash & ReRAM Heterogeneous Memory System with

Multi-Tier 5G Network & Device Co-Design for Smart Manufacturing", International Conference on Solid State Devices and Materials (SSDM) , pp. 89-90, September 30, 2020.

シンポジウム・研究会・大会等発表

- (1) 竹内健, "AI応用 Approximate メモリ", 応用物理学会 シリコンテクノロジー分科会, 2020年5月30日. 【招待講演】
- (2) 竹内健, "AI時代:ソフトベンダが半導体を手掛ける時代の戦略", 日本学術振興会シリコン超集積システム第165委員会 シリコン超集積システムの進化発展を支えるイノベーション論, 2020年6月25日.
- (3) 竹内健, "強誘電体FETを用いた機械学習向け積和演算回路", 応用物理学会秋季学術講演会, 9p-Z08-4, 2020年9月9日. 【招待講演】
- (4) 竹内健, "デジタルデータの長期保管を実現する高信頼メモリシステム", JST-CREST 3領域合同シンポジウム「コロナ禍で加速するDX時代のエレクトロニクスの新潮流」, 2021年2月3日.
- (5) 松井千尋, 竹内健, "画像の空間的局所性と色のパターンに基づく3D-TLC NAND型フラッシュメモリ向けデータ制御技術", 応用物理学会秋季学術講演会, 11a-Z09-8, 2020年9月11日.
- (6) 松井千尋, 竹内健, "ReRAMセルの信頼性ばらつきを許容する機械学習向け高速 Approximate ストレージ," 第32回コンピュータシステム・シンポジウム (ComSys2020) , 2020年12月1日.

中村研究室

国際会議論文

- [1] Yuta Suzuki, Ryuichi Sakamoto, and Hiroshi Nakamura, "Dynamic Power Management for 5G Small Cell Base Station", 13th International Conference on Communication Systems & Networks (COMSNETS 2021) , 9 pages, Jan. 2021.
- [2] Tomoya Yamashita, Daisuke Miyamoto, Yuji Sekiya, and Hiroshi Nakamura, "Slow Scan Attack

Detection Based on Communication Behavior", 10th International Conference on Communication and Network Security 2020 (ICCN 2020) , 7 pages, Nov. 2020

シンポジウム・研究会・大会等発表

- [1] 岡田怜士, 宮本大輔, 関谷勇司, 中村宏, "Zigbeeの間接通信を利用したLDoS攻撃とその対策の提案", IEICE-NS2020-153, 2021年3月.
- [2] 鈴木悠太, 坂本龍一, 中村宏, "ノーマリーオフ電力制御によるローカル5G基地局省電力化の初期検討", 情報処理学会研究報告, 2020-ARC-241(9), 2020年7月.
- [3] 有本和民, 中村宏, 坂本龍一, 鈴木悠太, 武部秀治, 吉川憲昭, 木下研作, "エネルギーマッピングAIを用いるノーマリーオフ型ローカル5G基地局の構想", 電子情報通信学会技術研究報告, IEICE-RCC2020-4, 2020年7月.

藤田研究室

研究論文

1. Vineesh V S; Binod Kumar; Rushikesh Shinde; Neelam Sharma; Masahiro Fujita; Virendra Singh: Enhanced Design Debugging with Assistance from Guidance-based Model Checking: IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems: DOI: 10.1109/TCAD.2020.3011039
2. Zolboo Byambadorj; Koji Asami; Takahiro J. Yamaguchi; Akio Higo; Masahiro Fujita; Tetsuya Iizuka: A Calibration Technique for Simultaneous Estimation of Actual Sensing Matrix Coefficients on Modulated Wideband Converters: IEEE Transactions on Circuits and Systems I: Regular Papers (Volume: 67, Issue: 12, Dec. 2020) , pp. 5561 - 5573: DOI: 10.1109/TCSI.2020.3017521
3. Hari M. Gaur; Ashutosh K. Singh; Anand Mohan; Masahiro Fujita; Dhiraj K. Pradhan: Design of Single Bit Fault Tolerant Reversible Circuits: IEEE Design & Test (2020) , DOI: 10.1109/

MDAT.2020.3006808

4. He-Teng Zhang; Masahiro Fujita; Chung-Kuan Cheng; Jie-Hong R. Jiang: SAT-Based On-Track Bus Routing: IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (Early Access) : DOI: 10.1109/TCAD.2020.3007253

国際会議

1. Ryogo Koike and Masahiro Fujita: Efficient Reachability Analysis Based on Inductive Invariant Using X-value Based Flipflop Selection: International Symposium on Quality Electronic Design (ISQED) (2020) , Session 1B.2
2. Mingfei Yu, Ruitao Gao, Masahiro Fujita: A Decomposition-Based Synthesis Algorithm for Sparse Matrix-Vector Multiplication in Parallel Communication Structure: The 26th Asia and South Pacific Design Automation Conference (ASP-DAC) (2020) , pp. 518 - 523
3. Yukio Miyasaka; Masahiro Fujita: SAT-Based Data-Flow Mapping Onto Array Processor: 2020 IFIP/IEEE 28th International Conference on Very Large Scale Integration (VLSI-SOC) (2020) : DOI: 10.1109/VLSI-SOC46417.2020.9344093
4. Vinod G U; Vineesh V S; Jaynarayan T Tudu; Masahiro Fujita; Virendra Singh: LUT-based Circuit Approximation with Targeted Error Guarantees: 2020 IEEE 29th Asian Test Symposium (ATS) (2020) : DOI:10.1109/ATS49688.2020.9301574
5. Zolboo Byambadorj; Koji Asami; Takahiro J. Yamaguchi; Akio Higo; Masahiro Fujita; Tetsuya Iizuka: Theoretical Analysis on Noise Performance of Modulated Wideband Converters for Analog Testing : 2020 IEEE 29th Asian Test Symposium (ATS) (2020) : 10.1109/ATS49688.2020.9301596
6. Kamal Das; Shubhankar Majumdar; Soumen Moulik; Masahiro Fujita: Real-Time Threshold-based Landslide Prediction System for Hilly

Region using Wireless Sensor Networks: 2020 IEEE International Conference on Consumer Electronics - Taiwan (ICCE-Taiwan) (2020) : DOI: 10.1109/ICCE-Taiwan49838.2020.9258181

7. Binod Kumar; Swapniel Thakur; Kanad Basu; Masahiro Fujita; Virendra Singh: A Low Overhead Methodology for Validating Memory Consistency Models in Chip Multiprocessors: 2020 33rd International Conference on VLSI Design and 2020 19th International Conference on Embedded Systems (VLSID) (2020) : DOI: 10.1109/VLSID49098.2020.00035

国内学会, 研究会等

1. Yuechuan Zhang · Masahiro Fujita · Takashi Matsumoto: Evaluation on Approximate Multiplier for CNN Calculation: 電子情報通信学会技術研究報告 信学技報 VLD2020-68, 2021-03-03, pp.7-12 (2021)
2. Mingfei Yu · Ruitao Gao · Masahiro Fujita: Scheduling Sparse Matrix-Vector Multiplication onto Parallel Communication Architecture: 電子情報通信学会技術研究報告 信学技報 VLD2020-71, 2021-03-03, pp. 24-29 (2021)
3. 廣田海斗 · 大内真一 · 藤田昌宏: 学習係数付きソフトマックス関数による効率的な注意機構: 電子情報通信学会技術研究報告 信学技報 RECONF2020-67, 2021-01-25, pp.52-57 (2021)
4. Zhou Zongjin · Fujita Masahiro: ゲートへの適切な入力を探すによる論理合成: 第235回ARC · 第193回SLDM合同研究発表会, FPGA応用および一般: 2021-01-25 (2021)
5. Ding Yi · Fujita Masahiro · O'uchi shin-ichi: Quantization Techniques for Small Number of Bits in Transformer based Natural Language Processing: 第235回ARC · 第193回SLDM合同研究発表会, FPGA応用および一般: 2021-01-25 (2021)
6. Fudong Wang · Masahiro Fujita: Efficient computation of inductive invariant through flipflop selection: 電子情報通信学会技術研究報告 信学技報 VLD2020-20, 2020-11-17, pp.54-59

(2020)

7. Qi Lu · Amir Masoud Gharehbaghi · Takashi Matsumoto · Masahiro Fujita: Approximate Arithmetic Circuit Design Using a Fast and Scalable Method: 電子情報通信学会ソサイエティ大会シンポジウムセッションAS-1-2, 2020-9-17
8. Chaoyi Jin · Masahiro Fujita: artil Logic Synthesis via training a topologically similar binarized neural network: 電子情報通信学会ソサイエティ大会シンポジウムセッションAS-1-3, 2020-9-17
9. 劉子豪 · 宮坂幸雄 · 藤田昌宏: 2分決定グラフを用いた Inductive Invariant の計算手法とその論理合成への応用: 電子情報通信学会技術研究報告 信学技報 RECONF2020-28, 2020-09-11, pp.54-59 (2020)
10. JIN CHAOYI, 藤田昌宏: Partial logic synthesis via training a topologically similar binarized neural network: IPSJ DA シンポジウム2020, Session 4A-1 (2020)

池田研究室

論文

- [1] T. Matsumoto, M. Ikeda, M. Nagata and Y. Uemura, "Secure Cryptographic Unit as Root-of-Trust for IoT Era." IEICE Transactions on Electronics, 2020CDI0001, <https://doi.org/10.1587/transele.2020CDI0001>, Jan. 2021.
- [2] F. ARAKAWA, M. IKEDA, FOREWORD, IEICE Transactions on Electronics, 2020, E103.C, No. 3, pp. 66-67, Mar. 2020.
- [3] F. ARAKAWA, M. IKEDA, FOREWORD, IEICE Transactions on Electronics, 2021, E104.C, No. 6, pp. 213-214, June 2021.

国際会議

- [4] K. Ikeda, and M. Ikeda, "Design Optimization for Faster Fp256 Elliptic Curve Cryptography," 29th International Workshop on Logic and Synthesis (IWLS) , July, 2020.
- [5] N. Watanabe and M. Ikeda, "ToF Image Sensor with Pulse-Frequency-Modulation Pixel for In-

- Pixel Code Discrimination," 2021 IEEE International Symposium on Circuits and Systems (ISCAS) , 2021, pp. 1-5, May 2021, doi: 10.1109/ISCAS51556.2021.9401132.
- [6] R. Nakayama and M. Ikeda, "BN-254 based Multi-Core, Multi-Pairing Crypto-Processor for Functional Encryption," 2021 IEEE International Symposium on Circuits and Systems (ISCAS) , 2021, pp. 1-5, May 2021, doi: 10.1109/ISCAS51556.2021.9401283.
- [7] T. Shimada and M. Ikeda, "High-throughput Polynomial Multiplier Architecture for Lattice-based Cryptography," 2021 IEEE International Symposium on Circuits and Systems (ISCAS) , 2021, pp. 1-5, May 2021, doi: 10.1109/ISCAS51556.2021.9401755.
- ドウェアセキュリティ研究会 ハードウェアセキュリティフォーラム2020, P5, 2020年12月.
- [15] 阿部浩太郎, 池田誠, "楕円曲線DSAに対する格子簡約攻撃の実行可能性評価", 電子情報通信学会 ハードウェアセキュリティ研究会 ハードウェアセキュリティフォーラム2020, P6, 2020年12月.
- [16] 阿部浩太郎, 池田誠, "楕円曲線DSAに対する格子簡約攻撃に必要なナンス漏洩ビット数について," 2021年 暗号と情報セキュリティシンポジウム (SCIS2021) , 3D1-2, 2021年1月.
- [17] 池田健人, 池田誠, "大規模ジョブショップ・スケジューリング 問題の近似解及びハードウェア暗号設計への応用," 電子情報通信学会ハードウェアセキュリティ研究会, 2021年4月

国内研究会

- [8] 池田健人, 池田誠, "Fp256 楕円曲線暗号の高速化に向けた設計空間探索," 電子情報通信学会ハードウェアセキュリティ研究会, 2020年6月
- [9] 池田誠, "ECC暗号エンジンの開発", 電子情報通信学会ハードウェアセキュリティ研究会, 2020年9月
- [10] 阿部浩太郎・池田 誠, "楕円曲線DSAに対する格子簡約攻撃の実行可能性評価," 電子情報通信学会 信学技報 HWS 2020-30, 2020年10月.
- [11] 池田健人, 池田誠, "楕円曲線暗号アルゴリズムの最適アーキテクチャの検討", 電子情報通信学会ハードウェアセキュリティ研究会 ハードウェアセキュリティフォーラム2020, P2, 2020年12月.
- [12] 中山亮平, 池田誠, "2層シーケンサを有した高機能暗号向けマルチコア・マルチペアリングプロセッサ", 電子情報通信学会 ハードウェアセキュリティ研究会 ハードウェアセキュリティフォーラム2020, P3, 2020年12月.
- [13] 渡辺直, 池田誠, "画素内符号識別機能を有する測距センサにおける干渉および攻撃耐性の検証", 電子情報通信学会 ハードウェアセキュリティ研究会 ハードウェアセキュリティフォーラム2020, P4, 2020年12月.
- [14] 島田泰慎, 池田誠, "格子暗号向けの高スループット多項式乗算器の設計", 電子情報通信学会 ハードウェアセキュリティ研究会 ハードウェアセキュリティフォーラム2020, P5, 2020年12月.
- [15] Masaru Osada, Zule Xu and Tetsuya Iizuka, ``A 3.2-to-3.8 GHz Harmonic-Mixer-Based Dual-Feedback Fractional-N PLL Achieving -65 dBc In-Band Fractional Spur," IEEE Solid-State Circuits Letters, vol. 3, pp. 534 - 537, Nov. 2020.
- [2] Zolboo Byambadorj, Koji Asami, Takahiro J. Yamaguchi, Akio Higo, Masahiro Fujita and Tetsuya Iizuka, ``A Calibration Technique for Simultaneous Estimation of Actual Sensing Matrix Coefficients on Modulated Wideband Converters," IEEE Transactions on Circuits and Systems-I: Regular Papers, vol. 67, no. 12, pp. 5561 - 5573, Dec. 2020.
- [3] Daigo Takahashi, Yusuke Fujita, Satoshi Miura and Tetsuya Iizuka, ``A 40 nm 16 Gb/s Differential Transmitter With Far-End Crosstalk Cancellation Using Injection Timing Control for High-Density Flexible Flat Cables," Springer Journal of Analog Integrated Circuits and Signal Processing, vol. 105, no. 2, pp. 191 - 202, Nov. 2020.
- [4] Daisuke Yamazaki, Yoshitaka Otsuki, Takafumi Hara, Nguyen Ngoc Mai-Khanh and Tetsuya Iizuka, ``11-Gb/s 140-GHz OOK Modulator with

24.6dB Isolation utilizing Cascaded Switch and Amplifier Based Stages in 65-nm Bulk CMOS," IET Circuits, Devices & Systems, vol. 14, no 3, pp. 322 - 326, May 2020.

国際会議論文

- [1] Zolboo Byambadorj, Koji Asami, Takahiro J. Yamaguchi, Akio Higo, Masahiro Fujita and Tetsuya Iizuka, [Invited] "Theoretical Analysis on Noise Performance of Modulated Wideband Converters for Analog Testing," in Proceedings of IEEE Asian Test Symposium, Nov. 2020.
- [2] Daisuke Yamazaki, Takamichi Horikawa and Tetsuya Iizuka, "A 140-GHz 14-dBm Power Amplifier using Power Combiner based on Symmetric Balun in 65-nm Bulk CMOS," in Proceedings of IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), pp. 93 - 95, Sep. 2020.
- [3] Masaru Osada, Zule Xu and Tetsuya Iizuka, "A 3.2-to-3.8GHz Calibration-Free Harmonic-Mixer-Based Dual-Feedback Fractional-N PLL Achieving -66dBc Worst-Case In-Band Fractional Spur," in IEEE Symposium on VLSI Circuits Digest of Technical Papers, Jun. 2020.

シンポジウム・研究会・大会等発表

- [1] 長田 将, 徐 祖楽, 飯塚 哲也, "低位相雑音かつ低スプリアストーンを達成する高調波ミキサを用いた二重フィードバック型フラクショナルN位相同期回路," 電子情報通信学会 総合大会論文集, C-12-11, 2021年3月.
- [2] 李 燦煒, 徐 祖楽, 飯塚 哲也, "Analysis of Strong-ARM Comparator with Offset Calibration Using Auxiliary Pair," 電子情報通信学会 総合大会論文集, C-12-7, 2021年3月.
- [3] 留河 友貴, 飯塚 哲也, 田畑 仁, 堀田 育志, "非線形双安定系加算ネットワークのASIC実装," 電子情報通信学会 ソサイエティ大会論文集, A-1-3, 2020年9月.

平本・小林研究室

研究論文

- (1) Chengji Jin, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, "Physical Mechanisms of Reverse DIBL and NDR in FeFETs with Steep Subthreshold Swing", IEEE Journal of the Electron Devices Society, Vol. 8, Issue 1, pp. 429 - 434, April, 2020. DOI: 10.1109/JEDS.2020.2986345.
- (2) Kiyoshi Takeuchi, Munetoshi Fukui, Takuya Saraya, Kazuo Itou, Toshihiko Takakura, Shinichi Suzuki, Yohichiroh Numasawa, Naoyuki Shigyo, Kuniyuki Kakushima, Takuya Hoshii, Kazuyoshi Furukawa, Masahiro Watanabe, Hitoshi Wakabayashi, Kazuo Tsutsui, Senior Member, IEEE, Hiroshi Iwai, Atsushi Ogura, Wataru Saito, Shin-ichi Nishizawa, Masanori Tsukuda, Ichiro Omura, Hiromichi Ohashi, and Toshiro Hiramoto, "Bipolar Transistor Test Structures for Extracting Minority Carrier Lifetime in IGBTs", IEEE Transactions on Semiconductor Manufacturing", Vol. 33, No. 2, pp. 159 - 165, May, 2020. DOI: 10.1109/TSM.2020.2972369.
- (3) 小林正治, 「強誘電体HfO₂メモリの現状と課題」, 応用物理, Vol, 89, pp.314-320, 2021年6月10日.
- (4) Fei Mo, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, "Reliability characteristics of metal/ferroelectric-HfO₂/IGZO/metal capacitor for non-volatile memory application", Applied Physics Express, Vol. 13, No. 7, 074005, July, 2020. DOI: <https://doi.org/10.35848/1882-0786/ab9a92>.
- (5) Min-Ju Ahn, Takuya Saraya, Masaharu Kobayashi, Naomi Sawamoto, Atsushi Ogura, and Toshiro Hiramoto, "Superior subthreshold characteristics of gate-all-around (GAA) p-type junctionless poly-Si nanowire transistor with ideal subthreshold slope", Japanese Journal of Applied Physics, Vol. 59, No. 7, 070908, July, 2020. DOI: <https://doi.org/10.35848/1347-4065/ab9e7d>.

- (6) Naoki Nakatani, Yuki Honda, Masahide Goto, Toshihisa Watabe, Masakazu Nanba, Yoshinori Iguchi, Takuya Saraya, Masaharu Kobayashi, Eiji Higurashi, Hiroshi Toshiyoshi, and Toshiro Hiramoto, "Fabrication of Multi-stacked Integrated Circuit for High-Performance Image Sensors", *Transactions of The Japan Institute of Electronics Packaging*, Vol. 13, pp. E20-004-1 - E20-004-3, July, 2020. DOI: <https://doi.org/10.5104/jiepeng.13.E20-004-1>.
- (7) Fei Mo, Yusaku Tagawa, Chengji Jin, MinJu Ahn, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, "Low-Voltage Operating Ferroelectric FET with Ultrathin IGZO Channel for High-Density Memory Application", *IEEE Journal of the Electron Devices Society*, Vol. 8, pp. 717 - 723, July, 2020. DOI: [10.1109/JEDS.2020.3008789](https://doi.org/10.1109/JEDS.2020.3008789).
- (8) Masahide Goto, Naoki Nakatani, Yuki Honda, Toshihisa Watabe, Masakazu Nanba, Yoshinori Iguchi, Takuya Saraya, Masaharu Kobayashi, Eiji Higurashi, Hiroshi Toshiyoshi, and Toshiro Hiramoto, "Fabrication of 3-Layer Stacked Pixel for Pixel-Parallel CMOS Image Sensors by Au/SiO₂ Hybrid Bonding of SOI Wafers", *ECS Transactions*, Vol. 98, No. 4, pp. 167 - 171, September, 2020. <https://doi.org/10.1149/09804.0167ecst>.
- (9) Masaharu Kobayashi, Jixuan Wu, Fei Mo, Saraya Takuya, and Toshiro Hiramoto, "3D Neural Network By Monolithic Integration of Rram Array with IGZO FET", *ECS Transactions*, Vol. 98, No. 8, pp. 57 - 61, September, 2020. <https://doi.org/10.1149/09808.0057ecst>.
- (10) Masaharu Kobayashi, "Ferroelectric-HfO₂ Devices: Physics and Applications", *ECS Transactions*, Vol. 98, No. 5, pp. 9-14 (2020) .
- (11) Ryo Yokogawa, Hiroto Kobayashi, Yohichiroh Numasawa, Atsushi Ogura, Shinichi Nishizawa, Takuya Saraya, Kazuo Ito, Toshihiko Takakura, Shinichi Suzuki, Munetoshi Fukui, Kiyoshi Takeuchi, and Toshiro Hiramoto, "Origin of carrier lifetime degradation in floating-zone silicon during high temperature process for insulated gate bipolar transistor", *Japanese Journal of Applied Physics*, Vol. 59, No. 11, 115503, November, 2020. DOI: <https://doi.org/10.35848/1347-4065/abc1d0>.
- (12) Jixuan Wu, Fei Mo, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, "A Monolithic 3D Integration of RRAM Array and Oxide Semiconductor FET for In-memory Computing in 3D Neural Network", *IEEE Transactions on Electron Devices*, *IEEE Transactions on Electron Devices*, Vol. 67, No. 12, pp. 5322 - 5328, December, 2020. <https://doi.org/10.1109/TED.2020.3033831>
- (13) Jixuan Wu, Fei Mo, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, "A first-principles study on ferroelectric phase formation of Si-doped HfO₂ through nucleation and phase transition in thermal process", *Applied Physics Letters*, vol. 117, No. 25, 252904, December, 2020. doi: [10.1063/5.0035139](https://doi.org/10.1063/5.0035139).
- (14) 平本俊郎, 「Siエレクトロニクスの展望と異種機能・異種材料集積化」, *表面と真空*, Vol. 64, No. 2, pp. 62 - 67, 2021年2月. <https://doi.org/10.1380/vss.64.62>
- (15) Min-Ju Ahn, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, "Variability characteristics and corner effects of gate-all-around (GAA) p-type poly-Si junctionless nanowire/nanosheet transistors", *Japanese Journal of Applied Physics*, Vol. 60, No. SB, SBBA02, February, 2021. <https://doi.org/10.35848/1347-4065/abdb84>.
- (16) C. Jin, C. J. Su, Y. J. Lee, P. J. Sung, T. Hiramoto, and M. Kobayashi, "Study on the Roles of Charge Trapping and Fixed Charge on Subthreshold Characteristics of FeFETs", *IEEE Transactions on Electron Devices*, vol. 68, No. 3, pp. 1304 - 1312, March, 2021. DOI: [10.1109/](https://doi.org/10.1109/)

TED.2020.3048916.

- (17) Kiyoshi Takeuchi, Masaharu Kobayashi, and Toshiro Hiramoto, "Design Space Exploration of Hysteretic Negative Capacitance Ferroelectric FETs Based on Static Solutions of Landau-Khalatnikov Model for Nonvolatile Memory Applications", Japanese Journal of Applied Physics, Vol. 60, No. 3, 034003, March, 2021. <https://doi.org/10.35848/1347-4065/abe8a5>.

国際会議論文

- (1) Tomoko Mizutani, Kiyoshi Takeuchi, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, "Integrated Circuits Composed of Nanowire and Single-Electron Transistors Operating at Room Temperature", IEEE Silicon Nanoelectronics Workshop, pp. 33 - 34, Virtual Conference, June 13, 2020.
- (2) Min-Ju Ahn, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, "Performance enhancement of BF₂+ implanted poly-Si junctionless transistors by boron segregation and fluorine effect", IEEE Silicon Nanoelectronics Workshop, pp. 51 - 52, Virtual Conference, June 13, 2020.
- (3) Min-Ju Ahn, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, "Superior subthreshold slope of gate-all-around (GAA) p-type poly-Si junctionless nanowire transistors with highly suppressed grain boundary defects", IEEE Silicon Nanoelectronics Workshop, pp. 55 - 56, Virtual Conference, June 13, 2020.
- (4) Jixuan Wu, Fei Mo, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, "A Monolithic 3D Integration of RRAM Array with Oxide Semiconductor FET for In-memory Computing in Quantized Neural Network AI Applications", VLSI Symposium on Technology, THL.4, Virtual Conference, June 16, 2020.
- (5) Toshiro Hiramoto (Plenary) , "Never-Ending CMOS Innovation: The Past, Present, and Future Perspectives", International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA) , Ambassador Hotel Hsinchu, Taiwan, August 11, 2020.
- (6) Masaharu Kobayashi (Invited) , "Emerging Ferroelectric-HfO₂ Based Device Technologies for Energy-Efficient Computing", 2020 International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA) , pp. 149-150, Ambassador Hotel Hsinchu, Taiwan, August 13, 2020.
- (7) Daisuke Watanabe, Yuji Yano, Shintaro Izumi, Hiroshi Kawaguchi, Kiyoshi Takeuchi, Toshiro Hiramoto, Shoichi Iwai, Masami Murakata, Masahiko Yoshimoto, "An Architectural Study for Inference Coprocessor Core at the Edge in IoT Sensing", 2020 2nd IEEE International Conference on Artificial Intelligence Circuits and Systems (AICAS), Virtual Conference, August 31, 2020.
- (8) Masaharu Kobayashi (Invited) , "IGZO Channel Ferroelectric Memory FET", ACTIVE-MATRIXFLATPANEL DISPLAYS AND DEVICES (AM-FPD) 2020, Virtual Conference, September 3, 2020.
- (9) Masaharu Kobayashi (Invited) , "A Monolithic Integration of RRAM Array and Oxide Semiconductor FET for In-memory Computing in 3D Neural Network", The 15th D2T Symposium, Virtual conference, September 17, 2020.
- (10) Masaharu Kobayashi (Invited) , "On the Physical Mechanism of Negative Capacitance Effect in Ferroelectric FET", SISPAD 2020, Virtual Conference, September 23, 2020.
- (11) N. Shigyo, M. Watanabe, K. Kakushima, T. Hoshii, K. Furukawa, A. Nakajima, K. Satoh, T. Matsudai, T. Saraya, T. Takakura, K. Itou, M. Fukui, S. Suzuki, K. Takeuchi, I. Muneta, H. Wakabayashi, S. Nishizawa, K. Tsutsui, T. Hiramoto, H. Ohashi and H. Iwai (Invited) , "Modeling and Simulation of Si IGBTs", International Conference on Simulation of Semiconductor Processes and Devices (SISPAD) ,

Virtual Conference, September 28, 2020.

- (12) Min-Ju Ahn, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, "Variability and Corner Effect of GAA p-Type Poly-Si Junctionless Nanowire/Nanosheet Transistors", 2020 International Conference on Solid State Devices and Materials (SSDM) , pp. 47 - 48, Virtual Conference, September 29, 2020.
- (13) M. Kobayashi, J. Wu, F. Mo, T. Saraya, and T. Hiramoto (Invited) , "3D Neural Network: Monolithic Integration of Resistive-RAM Array with Oxide-Semiconductor FET", Pacific Rim Meeting (PRiME 2020) , The Electrochemical Society, Online Conference, H06-2050, October 8, 2020.
- (14) Masaharu Kobayashi (Invited) , "Ferroelectric-HfO₂ Devices: Physics and Applications", ECS Transactions, ECS PRiME 2020, virtual conference, 98 (5) pp. 9 - 14, October 5-9, 2020.
- (15) Masahide Goto, Naoki Nakatani, Yuki Honda, Toshihisa Watabe, Masakazu Nanba, Yoshinori Iguchi, Takuya Saraya, Masaharu Kobayashi, Eiji Higurashi, Hiroshi Toshiyoshi, and Toshiro Hiramoto, "Fabrication of 3-Layer Stacked Pixel-Parallel CMOS Image Sensors by Au/SiO₂ Hybrid Bonding of SOI Wafers", Pacific Rim Meeting (PRiME 2020) , The Electrochemical Society, Online Conference, G01-1643, October 10, 2020.
- (16) T. Saraya, K. Itou, T. Takakura, M. Fukui, S. Suzuki, K. Takeuchi, M. Tsukuda, K. Satoh, T. Matsudai, K. Kakushima, T. Hoshii, K. Tsutsui, H. Iwai, A. Ogura, W. Saito, S. Nishizawa, I. Omura, H. Ohashi, and T. Hiramoto, "3.3 kV Back-Gate-Controlled IGBT (BC-IGBT) Using Manufacturable Double-Side Process Technology", International Electron Devices Meeting (IEDM) , Virtual Conference, pp. 87 - 90, December 12, 2020.
- (17) Masaharu Kobayashi (Invited) , "Emerging Ferroelectric Devices for Energy-Efficient Computing", Semicon Korea, Virtual Conference,

February 3 (2021) .

シンポジウム・研究会・大会等発表

- (1) 平本俊郎, 「CMOSの基礎」, 応用物理学会シリコンテクノロジー分科会チュートリアル, オンライン開催, 2020年5月30日.
- (2) Min-Ju Ahn, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, "Gate-all-around p-type poly-Si junctionless nanowire transistor with steep subthreshold slope", 電子情報通信学会シリコン材料・デバイス研究会 (SDM) および集積回路研究会 (ICD) 合同研究会, オンライン開催, 2020年8月7日.
- (3) Fei Mo, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, "Reliability characteristics of Ferroelectric-HfO₂ capacitor with IGZO capping for 3D structure non-volatile memory application", 第81回応用物理学会秋季学術講演会, 10a-Z24-11, オンライン開催, 2020年9月10日.
- (4) Minju Ahn, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, "Improvement of electrical characteristics of junctionless transistor with BF₂+ implanted poly-Si channel by boron segregation and fluorine passivation", 第81回応用物理学会秋季学術講演会, 11a-Z09-2, オンライン開催, 2020年9月11日.
- (5) Minju Ahn, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, "GAA p-type poly-Si junctionless nanowire transistor with ideal subthreshold slope", 第81回応用物理学会秋季学術講演会, 11a-Z09-3, オンライン開催, 2020年9月11日.
- (6) Jixuan Wu, Fei Mo, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, "3D Integration of RRAM Array with Oxide Semiconductor FET for In-Memory Computing", 第81回応用物理学会秋季学術講演会, 11a-Z09-7, オンライン開催, 2020年9月11日.
- (7) Paul Johansen, Masaharu Kobayashi, "A Simulation Study on the System Performance of Neural Networks using Embedded Nonvolatile Memory", 第67回応用物理学会春季学術講演会,

- 10p-Z09-15, 2020年9月10日.
- (8) 後藤正英, 日暮栄治, 平本俊郎, 「画素並列信号処理イメージセンサのためのAu/SiO₂ハイブリッド接合を用いた多層積層技術」, 日本学術振興会接合界面創成技術第191委員会, オンライン開催, 2020年9月24日.
- (9) 小林正治 (招待講演), 「三次元ニューラルネットの実現に向けた抵抗変化型メモリと酸化物半導体トランジスタのモノリシック集積」, NEDIA 第7回電子デバイスフォーラム京都, 京都リサーチパーク, 2020年10月30日.
- (10) 執行直之, 渡辺正裕, 角嶋邦之, 星井拓也, 古川和由, 中島 昭, 佐藤克己, 末代知子, 更屋拓哉, 高倉俊彦, 伊藤一夫, 福井宗利, 鈴木慎一, 竹内潔, 若林 整, 宗田伊里也, 西澤伸一, 筒井一生, 平本俊郎, 大橋弘通, 岩井 洋 (招待講演), 「Si IGBTの3次元デバイス・シミュレーション~物理モデルの検討と実測結果との比較~」, 電子情報通信学会シリコン材料・デバイス (SDM) 研究会, オンライン会議, 2020年11月20日.
- (11) 後藤正英, 中谷真規, 本田悠葵, 渡部俊久, 難波正和, 井口義則, 更屋拓哉, 小林正治, 日暮栄治, 年吉 洋, 平本俊郎, 「常温ウェハ接合を用いた画素並列信号処理イメージセンサの多層化技術」, 映像情報メディア学会創立70周年記念大会, オンライン開催, 2020年12月22 - 24日.
- (12) 平本俊郎, 更屋拓哉, 「シリコンIGBTの新展開」, 日本学術振興会結晶加工と評価技術第145委員会第171回研究会, オンライン開催, pp. 1 - 4, 2021年2月26日.
- (13) 若林 整, 堀 敦, 亙理誠夫, 平本俊郎, 「新しい集積エレクトロニクスシステムの実現を目指したシーズ技術産学連携コンソーシアム考」, 日本MOT学会 (2020年度) 第12回年次研究発表会, オンライン開催, 2021年3月13日.
- (14) 関口翔平, 安 珉柱, 更屋拓哉, 小林正治, 平本俊郎, 「シリコンGAAナノワイヤMOSFETの低温サブスレッショルド特性」, 第68回応用物理学会春季学術講演会, オンライン開催, 16a-Z26-2, 2021年3月16日.
- (15) 莫非, 更屋拓哉, 平本俊郎, 小林正治 (講演奨励賞受賞記念講演), 「Reliability characteristics of Ferroelectric-HfO₂ capacitor with IGZO capping for non-volatile memory application」, 第68回応用物理学会春季学術講演会, オンライン開催, 16p-Z26-1, 2021年3月16日.
- (16) Fei Mo, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, “Comparative Study on Memory Characteristics of Ferroelectric-HfO₂ Transistors with Different Structure of Oxide-Semiconductor Channel”, 第68回応用物理学会春季学術講演会, オンライン開催, 16p-Z26-2, 2021年3月16日.
- (17) 項 嘉文, 張 文馨, 更屋拓哉, 入沢寿史, 平本俊郎, 小林正治, 「大容量低消費電力メモリ応用に向けたMoS₂チャンネルを有するHfO₂系強誘電体トランジスタの実験実証」, 第68回応用物理学会春季学術講演会, オンライン開催, 16p-Z26-3, 2021年3月16日.
- (18) Jixuan Wu, Fei Mo, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, “A First-Principles Study on Ferroelectric Phase Formation of Si-Doped HfO₂”, 第68回応用物理学会春季学術講演会, オンライン開催, 16p-Z26-6, 2021年3月16日.
- (19) 平本俊郎, 大村一郎 (招待講演), 「シリコンIGBTの技術動向とスケーリングIGBT」, シンポジウム「パワーデバイスの最新動向と今後の展望」, 第68回応用物理学会春季学術講演会, オンライン開催, 16p-Z07-1, 2021年3月17日.
- (20) 筑本知子, 平本俊郎, 黄 晋二, 國井稔枝, 橋本信幸, 藤井茉美, 「パネルディスカッション」, シンポジウム「時代の変革期こそ応用物理分野を輝かせよう」, 第68回応用物理学会春季学術講演会, オンライン開催, 18p-Z01-6, 2021年3月18日.
- (21) 平本俊郎, 「デバイスの進化は止まらない」, 集積システム材料産学連携コンソーシアム (iSyMs) 全体会議, オンライン開催, 2021年3月25日.

高木研究室

研究論文

- [1] Q. Li, C. P. Ho, H. Tang, M. Okano, K. Ikeda, S. Takagi, and M. Takenaka, "Si racetrack optical modulator based on the III-V/Si hybrid MOS capacitor," *Optics Express*, vol. 29, no. 5, pp. 6824–6833, March 2021. DOI: 10.1364/OE.418108
- [2] R. Nur, T. Tsuchiya, K. Toprasertpong, K. Terabe, S. Takagi, and M. Takenaka, "High responsivity in MoS₂ phototransistors based on charge trapping HfO₂ dielectrics," *Communications Materials*, vol. 1, 103, Dec. 2020. DOI: 10.1038/s43246-020-00103-0
- [3] R. Cheng, Z. Chen, S. Yuan, M. Takenaka, S. Takagi, G. Han and R. Zhang, "Mobility enhancement techniques for Ge and GeSn MOSFETs", invited paper, *J. Semiconductor*, vol.42, no. 2, 023101 Feb. 2021. DOI: 10.1088/1674-4926/42/2/023101
- [4] M. Mitsuhashi, T. Gotow, T. Hoshi, H. Sugiyama, M. Takenaka, and S. Takagi, "Comparative studies of structural and photoluminescence properties between tensile-strained In_{0.39}Ga_{0.61}As and GaAs_{0.64}Sb_{0.36} layers grown on InP (001) substrates," *J. Crystal Growth*, vol.555, 125970, Feb. 2021. DOI: 10.1016/j.jcrysgro.2020.125970
- [5] S. Ohno, Q. Li, N. Sekine, J. Fujikata, M. Noguchi, S. Takahashi, K. Toprasertpong, S. Takagi, and M. Takenaka, "Taperless Si hybrid optical phase shifter based on a metal-oxide-semiconductor capacitor using an ultrathin InP membrane," *Optics Express*, vol. 28, no. 24, pp. 35663– 35673, Nov. 2020. DOI: 10.1364/OE.405038
- [6] K. Toprasertpong, K. Tahara, T. Fukui, Z. Lin, K. Watanabe, M. Takenaka, and S. Takagi, "Improved ferroelectric/semiconductor interface properties in Hf_{0.5}Zr_{0.5}O₂ ferroelectric FETs by low-temperature annealing," *IEEE Electron Dev.*, vol. 41, no. 10, pp. 1588 – 1591, 2020. DOI: 10.1109/LED.2020.3019265
- [7] T.-E. Lee, M. Ke, K. Toprasertpong, M. Takenaka and S. Takagi, "Reduction of MOS interface defects in TiN/Y₂O₃/Si_{0.78}Ge_{0.22} structures by trimethylaluminum treatment," *IEEE Trans. Electron Devices*, vol. 67, no. 10, pp. 4067–4072, Oct. 2020. DOI: 10.1109/TED.2020.3014563
- [8] N. Sekine, K. Toprasertpong, S. Takagi, and M. Takenaka, "Numerical analyses of optical loss and modulation bandwidth of an InP organic hybrid optical modulator," *Optics Express*, vol. 28, no. 20, pp. 29730–29739, Sep. 2020. DOI: 10.1364/OE.402470
- [9] K. Kato, T. Tanamoto, T. Mori, Y. Morita, T. Matsukawa, M. Takenaka, and S. Takagi, "Impact of switching voltage on complementary steep-slope tunnel field effect transistor circuits," *IEEE Trans. Electron Devices*, vol. 67, no. 9, pp. 3876–3882, September 2020. DOI: 10.1109/TED.2020.3010177
- [10] K. Sumita, J. Takeyasu, K. Toprasertpong, M. Takenaka, and S. Takagi, "Influence of layer transfer and thermal annealing on the properties of InAs-On-Insulator films," *J. Appl. Phys.*, vol. 128, 015705, July 2020. DOI: 10.1063/5.0007978
- [11] R. Takaguchi, M. Takenaka, and S. Takagi, "Diffusion properties of n-type dopants diffused from spin on glass into Ge," *J. Appl. Phys.*, vol. 128, 015707, July 2020. DOI: 10.1063/5.0002070
- [12] C.-M. Lim, Z. Zhao, K. Sumita, K. Toprasertpong, M. Takenaka, and S. Takagi, "Operation of (111) Ge-on-insulator n-channel MOSFET fabricated by smart-cut technology," *IEEE Electron Device Lett.*, vol. 41, no. 7, pp. 985 – 988, 2020. DOI: 10.1109/LED.2020.2999777
- [13] K. Kato, T. Mori, Y. Morita, T. Matsukawa, M. Takenaka, and S. Takagi, "Source engineering for bilayer tunnel field effect transistor with hetero tunnel junction: Thickness and impurity concentration," *Appl. Phys. Express*, Vol. 116,

- 242903, 2020. DOI: 10.35848/1882-0786/ab9875
- [14] K. Toprasertpong, K. Tahara, M. Takenaka, and S. Takagi, "Evaluation of polarization characteristics in metal/ferroelectric/semiconductor capacitors and ferroelectric field-effect transistors," *Appl. Phys. Lett.*, vol. ?, ??, 2020. DOI: 10.1063/5.0008060
- [15] M. Yokoyama, D.-H. Ahn, T. Yamamoto, M. Takenaka, and S. Takagi, "Impact of channel carrier concentration on electrical characteristics of In (Ga) As tunnel field-effect transistors", *J. Appl. Phys.*, vol.127, 225702, June 2020. DOI: 10.1063/5.0008995
- [16] Z. Zhao, C.-P. Ho, Q. Li, Z. Lin, K. Toprasertpong, S. Takagi and M. Takenaka, "Efficient mid-infrared germanium variable optical attenuator fabricated by spin-on-glass doping," *IEEE/OSA Journal of Lightwave Technology*, vol. 38, no.17, pp. 4808–4816, 2020. 10.1109/JLT.2020.2995427
- [17] T.-E. Lee, M. Ke, K. Kato, M. Takenaka, and S. Takagi, "Metal-oxide-semiconductor interface properties of TiN/Y2O3/Si0.62Ge0.38 gate stacks with high temperature post metallization annealing," *J. Appl. Phys.*, vol. 127, 185705, 2020. DOI: 10.1063/1.5144198
- [18] M. Takenaka, Q. Li, S. Ohno, F. Boeuf, K. Toprasertpong, and S. Takagi, "III-V/Si hybrid optical modulators based on MOS capacitor," *Proc. SPIE, Integrated Photonics Platforms: Fundamental Research, Manufacturing and Applications*, 1136402, 2020 (invited) . DOI: 10.1117/12.2558305
- [19] K. Kato, H. Matsui, H. Tabata, T. Mori, Y. Morita, T. Matsukawa, M. Takenaka, and S. Takagi, "Improvement in electrical characteristics of ZnSnO/Si bilayer TFET by W/Al2O3 gate stack," *IEEE Journal of the Electron Devices Society*, vol. 8, no. 1, pp. 341–345, 2020. DOI: 10.1109/JEDS.2020.2982424
- [20] K. Kato, K.-W. Jo, H. Matsui, H. Tabata, T. Mori, Y. Morita, T. Matsukawa, M. Takenaka, and S. Takagi, "P-channel TFET Operation of Bilayer Structures with Type-II Hetero Tunneling Junction of Oxide- and Group-IV-Semiconductors," *IEEE Trans. Electron Devices*, vol. 67, no. 4, pp. 1880–1886, March 2020. DOI: 10.1109/TED.2020.2975582
- [21] C.-P. Ho, Z. Zhao, Q. Li, S. Takagi, and M. Takenaka, "Tunable germanium-on-insulator band-stop optical filter using thermo-optic effect," *IEEE Photonics Journal*, vol. 12, no. 2, pp. 1–7, April 2020. DOI: 10.1109/JPHOT.2019.2904050
- [22] K. Sumita, K. Kato, J. Takeyasu, K. Toprasertpong, M. Takenaka and S. Takagi, "Accurate evaluation of specific contact resistivity between InAs/Ni-InAs alloy by using a multi-sidewall transmission line method," *Jpn. J. Appl. Phys.*, vol. 59, SGGA08, 2020. DOI: 10.35848/1347-4065/ab6cb3
- [23] S. Ohno, K. Toprasertpong, S. Takagi, and M. Takenaka, "Si microring resonator crossbar arrays for deep learning accelerator," *Jpn. J. Appl. Phys.*, vol. 59, SGGE04, 2020. DOI: 10.35848/1347-4065/ab6d82
- [24] Y. Miyatake, N. Sekine, K. Toprasertpon, S. Takagi, and M. Takenaka, "Computational design of efficient grating couplers using artificial intelligence," *Jpn. J. Appl. Phys.*, vol. 59, SGGE09, 2020. DOI: 10.7567/1347-4065/ab641c

国際会議論文

- [1] T.-E Lee, K. Toprasertpong, M. Takenaka and S. Takagi, "Characterization of slow traps in SiGe MOS interfaces by TiN/Y2O3 gate stacks," *IEEE International Reliability Physics Symposium (IRPS2021)*, 2A.2, virtual, 21-25 March 2021.
- [2] T.E. Lee, Z. Lin, K. Toprasertpong, M. Takenaka, and S. Takagi, "– Revision of conductance method for evaluating interface state density at MFIS interfaces," *51th IEEE Semiconductor Interface Specialists Conference (SISC)*, 11.2, virtual, 16–18 December 2020.

- [3] K. Sumita, K. Toprasertpong, M. Takenaka, and S. Takagi, "Subband engineering by combination of channel thickness scaling and (111) surface orientation in InAs-on-insulator nMOSFETs," International Electron Devices Meeting (IEDM2020) , 2.5, San Francisco, 13–18 December 2020.
- [4] S. Ohno, K. Toprasertpong, S. Takagi, and M. Takenaka, "Demonstration of classification task using optical neural network based on Si microring resonator crossbar array," European Conference on Optical Communication (ECOC 2020) , Tu1C-4, Brussels, Belgium, 6–10 December 2020.
- [5] S. Ohno, Q. Li, N. Sekine, H. Tang, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, and M. Takenaka, "Si microring resonator switch based on III-V/Si hybrid MOS optical phase shifter using ultrathin InP membrane," European Conference on Optical Communication (ECOC 2020) , Tu1B-5, Brussels, Belgium, 6–10 December 2020.
- [6] Y. Miyatake, C.-P. Ho, P. Pitchappa, R. Singh, K. Makino, J. Tominaga, N. Miyata, T. Nakano, N. Sekine, K. Toprasertpong, S. Takagi, and M. Takenaka, "Mid-infrared non-volatile compact optical phase shifter based on Ge₂Sb₂Te₅," European Conference on Optical Communication (ECOC 2020) , Tu2B-5, Brussels, Belgium, 6–10 December 2020.
- [7] M. Takenaka, "Si hybrid MOS optical modulators toward high-speed operation," 10th International Symposium on Photonics and Electronics Convergence (ISPEC2020) , E-4, Tokyo, 30 November–1 December 2020.
- [8] Y. Miyatake, C. P. Ho, P. Pitchappa, R. Singh, K. Makino, J. Tominaga, N. Miyata, T. Nakano, N. Sekine, K. Toprasertpong, S. Takagi, and M. Takenaka, "Non-volatile compact optical phase shifter based on Ge₂Sb₂Te₅ operating at mid-infrared wavelength," 10th International Symposium on Photonics and Electronics Convergence (ISPEC2020) , S-5, Tokyo, 30 November–1 December 2020.
- [9] S. Ohno, K. Toprasertpong, S. Takagi, and M. Takenaka, "Demonstration of 4 × 4 microring resonator crossbar array for optical neural network," 10th International Symposium on Photonics and Electronics Convergence (ISPEC2020) , S-8, Tokyo, 30 November–1 December 2020.
- [10] Z. Zhao, C.-P. Ho, Q. Li, K. Toprasertpong, S. Takagi, and M. Takenaka, "Experimental evaluation of the free-carrier plasma dispersion effect in germanium," 10th International Symposium on Photonics and Electronics Convergence (ISPEC2020) , S-11, Tokyo, 30 November–1 December 2020.
- [11] Z. Zhao, C.-P. Ho, Q. Li, K. Toprasertpong, S. Takagi, and M. Takenaka, "Two-micrometer monolithic germanium waveguide photodetector integrated with lateral PIN junction," 10th International Symposium on Photonics and Electronics Convergence (ISPEC2020) , S-12, Tokyo, 30 November–1 December 2020.
- [12] K. Toprasertpong, E. Nako, R. Nakane, Z. Wang, Y. Miyatake, M. Takenaka, and S. Takagi, "CMOS-compatible physical reservoir computing using ferroelectric field-effect transistors," International Symposium on Nonlinear Theory and Its Applications (NOLTA2020), virtual, 16–19 Nov. 2020 (invited) .
- [13] X. Luo, K. Toprasertpong, M. Takenaka, and S. Takagi, "Antiferroelectricity and cycling behavior of ALD ZrO₂ ultra-thin films," International Conference on Solid State Devices and Materials (SSDM) , B-2-04, virtual, 27–30 Sept. 2020.
- [14] R. Nur, K. Toprasertpong, S. Takagi, and M. Takenaka, "Broadband UV-VIS-NIR photodetection with high responsivity MoS₂ phototransistors based on light reflection," International Conference on Solid State Devices

and Materials (SSDM) , H-10-06, virtual, 27–30 Sept. 2020.

- [15] K. Toprasertpong, K. Tahara, T. Fukui, Z. Lin, K. Watanabe, M. Takenaka, and S. Takagi, “Critical impact of ferroelectric-phase formation annealing on MFIS interface of HfO₂-based Si FeFETs,” International Conference on Solid State Devices and Materials (SSDM) , A-1-02, virtual, 27–30 Sept. 2020.
- [16] E. Nako, K. Tahara, R. Nakane, Z. Wang, M. Takenaka, and S. Takagi, “Demonstration of Reservoir Computing Using a Ferroelectric Capacitor,” International Conference on Solid State Devices and Materials (SSDM) , B-9-03, virtual, 27–30 Sept. 2020.
- [17] S. Takagi, “Prospects and challenges of advanced CMOS logic devices”, (Keynote Speech) , 7th International conference on “Microelectronics, Circuits and Systems” (Micro2020) , virtual, 25 July 2020.
- [18] K. Toprasertpon, Z.-Y. Lin, T.-E. Lee, M. Takenaka, and S. Takagi, “Asymmetric polarization response of electrons and holes in Si FeFETs: Demonstration of absolute polarization hysteresis loop and inversion hole density over $2 \times 10^{13} \text{ cm}^{-2}$,” VLSI Symposium, Hawaii, USA, 14–19 June 2020.
- [19] E. Nako, K. Toprasertpon, R. Nakane, Z. Wang, Y. Miyatake, M. Takenaka, and S. Takagi, “Proposal and experimental demonstration of reservoir computing using Hf_{0.5}Zr_{0.5}O₂/Si FeFETs for neuromorphic applications,” VLSI Symposium, Hawaii, USA, 14–19 June 2020.
- [20] N. Sekine, K. Toprasertpong, S. Takagi, and M. Takenaka, “Active-passive integration on III-V-OI platform using quantum well intermixing,” Conference on Lasers and Electro-Optics (CLEO2020) , STu3O.5, 11–15 May 2020.
- [21] M. Takenaka, Q. Li, S. Ohno, F. Boeuf, K. Toprasertpong, and S. Takagi, “III-V/Si hybrid optical modulators based on MOS capacitor,”

SPIE Photonics Europe Digital Forum, 11364-1, 6–10 April 2020 (invited) .

著書

- [1] 竹中充, 高木信一, “Ge-on-insulatorを用いた近赤外・中赤外集積フォトニクス,” レーザー研究, Vol. 48, No. 10, pp. 535–539, 2020
- [2] 竹中充, 高木信一, “Society5.0実現に向けた異種材料集積シリコンフォトニクス”, 表面と真空, vol. 64, No. 2, pp. 68-73, 2021

シンポジウム・研究会・大会等発表

- [1] 竹中 充, 湯 涵智, 大野 修平, 宮武 悠人, 渡辺 耕坪, トープラサートポン カシディット, 高木 信一, “シリコンプログラマブル光回路を用いた深層学習の展望,” 第68回応用物理学会春季学術講演会, 17p-Z08-7, オンライン開催, 2021年3月16日–3月19日 (招待講演) .
- [2] 関根 尚希, トープラサートポン カシディット, 高木 信一, 竹中 充, “III-V-OI 基板における量子井戸インターミキシング量拡大による導波損失の低減,” 第68回応用物理学会春季学術講演会, 16p-Z10-11, オンライン開催, 2021年3月16日–3月19日 .
- [3] 田原 建人, トープラサートポン カシディット, 竹中 充, 高木 信一, “Hf_{0.5}Zr_{0.5}O₂強誘電体膜の薄膜化と低温プロセス化の両立の検討,” 第68回応用物理学会春季学術講演会, 16p-Z26-5, オンライン開催, 2021年3月16日–3月19日 .
- [4] 大野 修平, トープラサートポン カシディット, 高木 信一, 竹中 充, “リング共振器クロスバーアレイによる誤差逆伝播法の検証,” 第68回応用物理学会春季学術講演会, 17a-Z10-10, オンライン開催, 2021年3月16日–3月19日 .
- [5] 隅田 圭, 吉津 遼平, トープラサートポン カシディット, 竹中 充, 高木 信一, “(111) 面チャンネルの薄膜化によるInAs-OI nMOSFETのサブバンド制御手法の提案と極薄膜 (111) InAs-OI基板の実現,” 第68回応用物理学会春季学術講演会, 17p-Z26-10, オンライン開催, 2021年3月16日–3月19日 .
- [6] 隅田 圭, 吉津 遼平, トープラサートポン カシ

- ディット, 竹中 充, 高木 信一, “(111) InAs-OI nMOSFETのチャネル薄膜化による移動度向上の実現と伝導帯内の界面準位の実験的評価,” 第68回応用物理学会春季学術講演会, 17p-Z26-11, オンライン開催, 2021年3月16日-3月19日.
- [7] 大野 修平, モンフレ ステファン, ブフ フレデリック, トープラサートボン カシディット, 高木 信一, 竹中 充, “ハイブリッドMOS型光位相シフタと受光器のモノリシック集積の検証,” 第68回応用物理学会春季学術講演会, 16p-Z10-7, オンライン開催, 2021年3月16日-3月19日.
- [8] 竹安 淳, 隅田 圭, トープラサートボン カシディット, 竹中 充, 高木 信一, “InAs/Ni-InAs間のコンタクト抵抗率とその評価法に関する実験的検討,” 第68回応用物理学会春季学術講演会, 17p-Z26-12, オンライン開催, 2021年3月16日-3月19日.
- [9] 名幸 瑛心, トープラサートボン カシディット, 王澤宇, 中根 了昌, 竹中 充, 高木 信一, “強誘電体MFMキャパシタを用いたリザバーコンピューティング,” 第68回応用物理学会春季学術講演会, 19p-Z34-10, オンライン開催, 2021年3月16日-3月19日.
- [10] 落合 貴也, 大野 修平, 隅田 圭, モンフレ ステファン, ブフ フレデリック, トープラサートボン カシディット, 高木 信一, 竹中 充, “極薄InGaAsメンブレンを用いた導波路型フォトランジスタの検証,” 第68回応用物理学会春季学術講演会, 16p-Z10-3, オンライン開催, 2021年3月16日-3月19日.
- [11] トープラサートボン カシディット, 田原 建人, 福井 太一郎, 林 早陽, 渡辺 耕坪, 竹中 充, 高木 信一, “HfO₂系FeFETにおける結晶化アニール温度とSi界面特性のトレードオフ,” 第68回応用物理学会春季学術講演会, 16p-Z26-4, オンライン開催, 2021年3月16日-3月19日.
- [12] 宮武 悠人, 何 鐘培, 牧野 孝太郎, 富永 淳二, 宮田 典幸, 中野 隆志, 関根 尚希, トープラサートボン カシディット, 高木 信一, 竹中 充, “波長2.4μmで動作する相変化材料を用いた中赤外光位相シフタ,” 第68回応用物理学会春季学術講演会, 17a-Z10-8, オンライン開催, 2021年3月16日-3月19日.
- [13] M. Kang, K. Toprasertpong, M. Takenaka, and S. Takagi, “Understanding of Subthreshold Swing of Si n-MOSFETs over a Temperature Range from 300 to 38 K,” 第68回応用物理学会春季学術講演会, 16a-Z26-1, オンライン開催, 2021年3月16日-3月19日.
- [14] T.-E. Lee, K. Toprasertpong, M. Takenaka, and S. Takagi, “Defect control of Y₂O₃-based SiGe MOS interfaces properties,” 第68回応用物理学会春季学術講演会, 16a-Z13-5, オンライン開催, 2021年3月16日-3月19日 (講演奨励賞受賞記念講演).
- [15] T.-E. Lee, K. Toprasertpong, M. Takenaka, and S. Takagi, “Characterization of slow traps in MOS interfaces of TiN/Y₂O₃/SiGe gate stacks,” 第68回応用物理学会春季学術講演会, 16a-Z13-6, オンライン開催, 2021年3月16日-3月19日.
- [16] Z. Zhao, K. Toprasertpong, S. Takagi, and M. Takenaka, “Enhancement of the Ge sub-bandgap photo-response at 2-μm band by photo-gating effect,” 第68回応用物理学会春季学術講演会, 19p-Z22-13, オンライン開催, 2021年3月16日-3月19日.
- [17] Z. Wang, K. Toprasertpong, Z. Lin, E. Nako, R. Nakane, M. Takenaka, and S. Takagi, “Impact of gate input pulse width on FeFET-based reservoir computing,” 第68回応用物理学会春季学術講演会, 19p-Z34-8, オンライン開催, 2021年3月16日-3月19日.
- [18] H. Tang, S. Ohno, Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, “Bipolar thermo-optic Mach-Zehnder interferometer with pulse-height modulation,” 第68回応用物理学会春季学術講演会, 18a-Z18-3, オンライン開催, 2021年3月16日-3月19日.
- [19] 隅田圭, カシディット トープラサートボン, 竹中充, 高木信一, “チャネル薄膜化と面方位の組み合わせによるInAs On Insulator nMOSFETのサブバンド制御,” 電気学会電子デバイス研究会, オンライン, 2021年3月3日 (招待講演).
- [20] 隅田圭, トープラサートボン カシディット, 竹中

- 充, 高木 信一, “チャンネル薄膜化と (111) 面方位の組み合わせによる InAs-On-Insulator nMOSFET のサブバンド制御”, 電子情報通信学会 SDM 研究会/応用物理学会シリコンテクノロジー分科会共催1月研究会 (IEDM 特集), オンライン, 2021年1月28日 (招待講演) .
- [21] 高木信一, “強誘電体 FeFET を利用したリザバーコンピューティング”, 科学技術未来戦略ワークショップ「脳型 AI アクセラレータ ~柔軟な高度情報処理と超低消費電力化の両立~」, オンライン, 2020年11月28日 (招待講演) .
- [22] 竹中 充, 高木信一, “異種材料集積を用いた超高速光変調器の展開,” 第156回微小光学研究会, 上智大学, 2020年10月14日 (招待講演) .
- [23] 宮武 悠人, 何 鐘培, 牧野 孝太郎, 富永 淳二, 宮田 典幸, 中野 隆志, 関根 尚希, トーブラサートポン カシディット, 高木 信一, 竹中 充, “相変化材料を用いた中赤外光位相シフタの提案,” 第81回応用物理学会秋季学術講演会, 9p-Z19-8, オンライン開催, 2020年9月8日-9月11日.
- [24] 名幸 瑛心, トーブラサートポン カシディット, 王澤宇, 中根 了昌, 宮武 悠人, 竹中 充, 高木 信, “FeFET リザバーコンピューティングにおける動作電圧と性能の関係の検証,” 第81回応用物理学会秋季学術講演会, 9p-Z28-7, オンライン開催, 2020年9月8日-9月11日.
- [25] 大野 修平, 李 強, 関根 尚希, 湯 涵智, モンフレステファン, ブフ フレデリック, トーブラサートポン カシディット, 高木 信一, 竹中 充, “ハイブリッド MOS 型光位相シフタによるリング共振器光スイッチの検証,” 第81回応用物理学会秋季学術講演会, 9p-Z19-6, オンライン開催, 2020年9月8日-9月11日.
- [26] トーブラサートポン カシディット, 林 早陽, 李宗恩, 竹中 充, 高木 信一, “Si 強誘電体 FET における強誘電分極に誘起される反転層電荷の振る舞い,” 第81回応用物理学会秋季学術講演会, 10a-Z24-12, オンライン開催, 2020年9月8日-9月11日.
- [27] 加藤 公彦, 松井 裕章, 田畑 仁, 竹中 充, 高木 信一, “酸化物半導体/IV族半導体 積層型トンネル電界効果トランジスタ,” 第81回応用物理学会秋季学術講演会, 11p-Z209-5, オンライン開催, 2020年9月8日-9月11日 (第11回シリコンテクノロジー分科会研究奨励賞受賞記念講演) .
- [28] T.-E. Lee, K. Toprasertpong, M. Takenaka, and S. Takagi, “Impact of ALD high-k materials on SiGe MOS interface properties with TiN gate,” 第81回応用物理学会秋季学術講演会, 11p-Z10-6, オンライン開催, 2020年9月8日-9月11日.
- [29] X. Luo, K. Toprasertpong, M. Takenaka, and S. Takagi, “Thickness dependence of antiferroelectricity in ALD ultrathin ZrO₂ films,” 第81回応用物理学会秋季学術講演会, 10a-Z24-10, オンライン開催, 2020年9月8日-9月11日.
- [30] Q. Chen, K. Toprasertpong, S. Takagi, and M. Takenaka, “Numerical analysis of low-Temperature temperature dependence modulation property of III-V/Si hybrid MOS optical modulator,” 第81回応用物理学会秋季学術講演会, 9p-Z19-11, オンライン開催, 2020年9月8日-9月11日.
- [31] Z. Zhao, C. Ho, Q. Li, Z. Lin, K. Toprasertpong, S. Takagi, and M. Takenaka, “Investigation of Optical Phase-shift by Free-carrier effect in Germanium Waveguides for Mid-infrared Photonics,” 第81回応用物理学会秋季学術講演会, 9p-Z19-10, オンライン開催, 2020年9月8日-9月11日.
- [32] 高木信一, “先端 CMOS デバイスの研究動向”, 東レリサーチセンター半導体デバイス分析セミナー 2020, 2020年7月6日 (招待講演) .
- [33] トーブラサートポン カシディット, 林早陽, 李宗恩, 竹中 充, 高木 信一, “Proposal and demonstration of oxide-semiconductor/ (Si, SiGe, Ge) bilayer tunneling field effect transistor with type-II energy band alignment,” 電子情報通信学会 SDM 研究会, オンライン開催, 2020年8月6-7日 (招待講演) .
- [34] 名幸 瑛心, トーブラサートポン カシディット, 中根 了昌, 王澤宇, 宮武 悠人, 竹中 充, 高木 信一, “ニューロモルフィック応用に向けた Hf_{0.5}Zr_{0.5}O₂/Si FeFET を用いたリザバーコンピューティング,” 電子情報通信学会 SDM 研究会,

オンライン開催, 2020年8月6-7日 (招待講演) .

竹中研究室

研究論文

- [1] Q. Li, C. P. Ho, H. Tang, M. Okano, K. Ikeda, S. Takagi, and M. Takenaka, "Si racetrack optical modulator based on the III-V/Si hybrid MOS capacitor," *Optics Express*, vol. 29, no. 5, pp. 6824–6833, March 2021. DOI: 10.1364/OE.418108
- [2] K. Sumita, K. Toprasertpon, M. Takenaka, and S. Takagi, "Proposal and experimental demonstration of ultrathin-body (111) InAs-on-insulator nMOSFETs with L valley conduction," *IEEE Trans. Electron Devices*, vol. 68, no. 4, pp. 2003–2009, January 2021. DOI: 10.1109/TED.2021.3049455
- [3] R. Nur, T. Tsuchiya, K. Toprasertpon, K. Terabe, S. Takagi, and M. Takenaka, "High responsivity in MoS₂ phototransistors based on charge trapping HfO₂ dielectrics," *Communications Materials*, vol. 1, 103, Dec. 2020. DOI: 10.1038/s43246-020-00103-0
- [4] M. Mitsuhashi, T. Gotow, T. Hoshi, H. Sugiyama, M. Takenaka, and S. Takagi, "Comparative studies of structural and photoluminescence properties between tensile-strained In_{0.39}Ga_{0.61}As and GaAs_{0.64}Sb_{0.36} layers grown on InP (001) substrates," *J. Crystal Growth*, vol. 555, 125970, Feb. 2021. DOI: 10.1016/j.jcrysgro.2020.125970
- [5] S. Ohno, Q. Li, N. Sekine, J. Fujikata, M. Noguchi, S. Takahashi, K. Toprasertpong, S. Takagi, and M. Takenaka, "Taperless Si hybrid optical phase shifter based on a metal-oxide-semiconductor capacitor using an ultrathin InP membrane," *Optics Express*, vol. 28, no. 24, pp. 35663–35673, Nov. 2020. DOI: 10.1364/OE.405038
- [6] K. Toprasertpong, K. Tahara, T. Fukui, Z. Lin, K. Watanabe, M. Takenaka, and S. Takagi, "Improved ferroelectric/semiconductor interface properties in Hf_{0.5}Zr_{0.5}O₂ ferroelectric FETs by low-temperature annealing," *IEEE Electron Dev.*, vol. 41, no. 10, pp. 1588–1591, 2020. DOI: 10.1109/LED.2020.3019265
- [7] T.-E. Lee, M. Ke, K. Toprasertpong, M. Takenaka and S. Takagi, "Reduction of MOS interface defects in TiN/Y₂O₃/Si_{0.78}Ge_{0.22} structures by trimethylaluminum treatment," *IEEE Trans. Electron Devices*, vol. 67, no. 10, pp. 4067–4072, Oct. 2020. DOI: 10.1109/TED.2020.3014563
- [8] N. Sekine, K. Toprasertpong, S. Takagi, and M. Takenaka, "Numerical analyses of optical loss and modulation bandwidth of an InP organic hybrid optical modulator," *Optics Express*, vol. 28, no. 20, pp. 29730–29739, Sep. 2020. DOI: 10.1364/OE.402470
- [9] K. Kato, T. Tanamoto, T. Mori, Y. Morita, T. Matsukawa, M. Takenaka, and S. Takagi, "Impact of switching voltage on complementary steep-slope tunnel field effect transistor circuits," *IEEE Trans. Electron Devices*, vol. 67, no. 9, pp. 3876–3882, September 2020. DOI: 10.1109/TED.2020.3010177
- [10] K. Sumita, J. Takeyasu, K. Toprasertpong, M. Takenaka, and S. Takagi, "Influence of layer transfer and thermal annealing on the properties of InAs-On-Insulator films," *J. Appl. Phys.*, vol. 128, 015705, July 2020. DOI: 10.1063/5.0007978
- [11] R. Takaguchi, M. Takenaka, and S. Takagi, "Diffusion properties of n-type dopants diffused from spin on glass into Ge," *J. Appl. Phys.*, vol. 128, 015707, July 2020. DOI: 10.1063/5.0002070
- [12] C.-M. Lim, Z. Zhao, K. Sumita, K. Toprasertpong, M. Takenaka, and S. Takagi, "Operation of (111) Ge-on-insulator n-channel MOSFET fabricated by smart-cut technology," *IEEE Electron Dev.*, vol. 41, no. 7, pp. 985 – 988, 2020. DOI: 10.1109/LED.2020.2999777
- [13] K. Kato, T. Mori, Y. Morita, T. Matsukawa, M. Takenaka, and S. Takagi, "Source engineering for

bilayer tunnel field effect transistor with hetero tunnel junction: Thickness and impurity concentration,” *Appl. Phys. Express*, Vol. 116, 242903, 2020. DOI: ??

- [14] K. Toprasertpong, K. Tahara, M. Takenaka, and S. Takagi, “Evaluation of polarization characteristics in metal/ferroelectric/semiconductor capacitors and ferroelectric field-effect transistors,” *Appl. Phys. Lett.*, vol. 116, 242903, June 2020. DOI: 10.1063/5.0008060
- [15] Z. Zhao, C.-P. Ho, Q. Li, Z. Lin, K. Toprasertpong, S. Takagi and M. Takenaka, “Efficient mid-infrared germanium variable optical attenuator fabricated by spin-on-glass doping,” *IEEE/OSA Journal of Lightwave Technology*, vol. 38, no.17, pp. 4808–4816, May 2020. 10.1109/JLT.2020.2995427
- [16] T.-E. Lee, M. Ke, K. Kato, M. Takenaka, and S. Takagi, “Metal-oxide-semiconductor interface properties of TiN/Y2O3/Si0.62Ge0.38 gate stacks with high temperature post metallization annealing,” *J. Appl. Phys.*, vol. 127, 185705, 2020. DOI: 10.1063/1.5144198
- [17] M. Takenaka, Q. Li, S. Ohno, F. Boeuf, K. Toprasertpong, and S. Takagi, “III-V/Si hybrid optical modulators based on MOS capacitor,” *Proc. SPIE, Integrated Photonics Platforms: Fundamental Research, Manufacturing and Applications*, 1136402, 2020 (invited). DOI: 10.1117/12.2558305
- [18] K. Kato, H. Matsui, H. Tabata, T. Mori, Y. Morita, T. Matsukawa, M. Takenaka, and S. Takagi, “Improvement in electrical characteristics of ZnSnO/Si bilayer TFET by W/Al2O3 gate stack,” *IEEE Journal of the Electron Devices Society*, vol. 8, no. 1, pp. 341–345, 2020. DOI: 10.1109/JEDS.2020.2982424
- [19] K. Kato, K.-W. Jo, H. Matsui, H. Tabata, T. Mori, Y. Morita, T. Matsukawa, M. Takenaka, and S. Takagi, “P-channel TFET Operation of Bilayer Structures with Type-II Hetero Tunneling

Junction of Oxide- and Group-IV-Semiconductors,” *IEEE Trans. Electron Devices*, vol. 67, no. 4, pp. 1880–1886, March 2020. DOI: 10.1109/TED.2020.2975582

- [20] C.-P. Ho, Z. Zhao, Q. Li, S. Takagi, and M. Takenaka, “Tunable germanium-on-insulator band-stop optical filter using thermo-optic effect,” *IEEE Photonics Journal*, vol. 12, no. 2, pp. 1–7, April 2020. DOI: 10.1109/JPHOT.2019.2904050
- [21] K. Sumita, K. Kato, J. Takeyasu, K. Toprasertpong, M. Takenaka and S. Takagi, “Accurate evaluation of specific contact resistivity between InAs/Ni-InAs alloy by using a multi-sidewall transmission line method,” *Jpn. J. Appl. Phys.*, vol. 59, SGGA08, 2020. DOI: 10.35848/1347-4065/ab6cb3
- [22] S. Ohno, K. Toprasertpong, S. Takagi, and M. Takenaka, “Si microring resonator crossbar arrays for deep learning accelerator,” *Jpn. J. Appl. Phys.*, vol. 59, SGGE04, 2020. DOI: 10.35848/1347-4065/ab6d82
- [23] Y. Miyatake, N. Sekine, K. Toprasertpon, S. Takagi, and M. Takenaka, “Computational design of efficient grating couplers using artificial intelligence,” *Jpn. J. Appl. Phys.*, vol. 59, SGGE09, 2020. DOI: 10.7567/1347-4065/ab641c

国際会議論文

- [1] T.-E Lee, K. Toprasertpong, M. Takenaka and S. Takagi, “Characterization of slow traps in SiGe MOS interfaces by TiN/Y2O3 gate stacks,” *IEEE International Reliability Physics Symposium (IRPS2021)*, 2A.2, virtual, 21-25 March 2021. DOI: 10.1109/EDTM50988.2021.9420870
- [2] S. Takagi, K. Toprasertpong, K. Kato, K. Sumita, E. Nako, R. Nakane, K.-W. Jo, and M. Takenaka, “Advanced CMOS technologies for ultra-low power logic and AI applications,” *Electron Devices Technology and Manufacturing Conference (EDTM2020)*, Th3P1-2, Chengdu, China, 8–11 April 2021 (invited).
- [3] T.E. Lee, Z. Lin, K. Toprasertpong, M. Takenaka,

- and S. Takagi, “– Revision of conductance method for evaluating interface state density at MFIS interfaces,” 51th IEEE Semiconductor Interface Specialists Conference (SISC), 11.2, virtual, 16–18 December 2020.
- [4] K. Sumita, K. Toprasertpong, M. Takenaka, and S. Takagi, “Subband engineering by combination of channel thickness scaling and (111) surface orientation in InAs-on-insulator nMOSFETs,” International Electron Devices Meeting (IEDM2020), 2.5, San Francisco, 13–18 December 2020.
- [5] S. Ohno, K. Toprasertpong, S. Takagi, and M. Takenaka, “Demonstration of classification task using optical neural network based on Si microring resonator crossbar array,” European Conference on Optical Communication (ECOC 2020), Tu1C-4, Brussels, Belgium, 6–10 December 2020.
- [6] S. Ohno, Q. Li, N. Sekine, H. Tang, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, and M. Takenaka, “Si microring resonator switch based on III-V/Si hybrid MOS optical phase shifter using ultrathin InP membrane,” European Conference on Optical Communication (ECOC 2020), Tu1B-5, Brussels, Belgium, 6–10 December 2020.
- [7] Y. Miyatake, C.-P. Ho, P. Pitchappa, R. Singh, K. Makino, J. Tominaga, N. Miyata, T. Nakano, N. Sekine, K. Toprasertpong, S. Takagi, and M. Takenaka, “Mid-infrared non-volatile compact optical phase shifter based on Ge₂Sb₂Te₅,” European Conference on Optical Communication (ECOC 2020), Tu2B-5, Brussels, Belgium, 6–10 December 2020.
- [8] M. Takenaka, “Si hybrid MOS optical modulators toward high-speed operation,” 10th International Symposium on Photonics and Electronics Convergence (ISPEC2020), E-4, Tokyo, 30 November–1 December 2020.
- [9] Y. Miyatake, C. P. Ho, P. Pitchappa, R. Singh, K. Makino, J. Tominaga, N. Miyata, T. Nakano, N. Sekine, K. Toprasertpong, S. Takagi, and M. Takenaka, “Non-volatile compact optical phase shifter based on Ge₂Sb₂Te₅ operating at mid-infrared wavelength,” 10th International Symposium on Photonics and Electronics Convergence (ISPEC2020), S-5, Tokyo, 30 November–1 December 2020.
- [10] S. Ohno, K. Toprasertpong, S. Takagi, and M. Takenaka, “Demonstration of 4 × 4 microring resonator crossbar array for optical neural network,” 10th International Symposium on Photonics and Electronics Convergence (ISPEC2020), S-8, Tokyo, 30 November–1 December 2020.
- [11] Z. Zhao, C.-P. Ho, Q. Li, K. Toprasertpong, S. Takagi, and M. Takenaka, “Experimental evaluation of the free-carrier plasma dispersion effect in germanium,” 10th International Symposium on Photonics and Electronics Convergence (ISPEC2020), S-11, Tokyo, 30 November–1 December 2020.
- [12] Z. Zhao, C.-P. Ho, Q. Li, K. Toprasertpong, S. Takagi, and M. Takenaka, “Two-micrometer monolithic germanium waveguide photodetector integrated with lateral PIN junction,” 10th International Symposium on Photonics and Electronics Convergence (ISPEC2020), S-12, Tokyo, 30 November–1 December 2020.
- [13] R. Nur, T. Tsuchiya, M. Takenaka, K. Terabe, “Bandgap tuning of monolayer and bilayer MoS₂ for broadband UV-VIS-NIR photodetection using an electric double layer device structure,” MRS Autumn Meeting, Symposium F.EL03.02.10, virtual, 27 November–4 December.
- [14] K. Toprasertpong, E. Nako, R. Nakane, Z. Wang, Y. Miyatake, M. Takenaka, and S. Takagi, “CMOS-compatible physical reservoir computing using ferroelectric field-effect transistors,” International Symposium on Nonlinear Theory and Its Applications (NOLTA2020), virtual, 16–19

Nov. 2020 (invited).

- [15] X. Luo, K. Toprasertpong, M. Takenaka, and S. Takagi, "Antiferroelectricity and cycling behavior of ALD ZrO₂ ultra-thin films," International Conference on Solid State Devices and Materials (SSDM), B-2-04, virtual, 27–30 Sept. 2020.
- [16] R. Nur, K. Toprasertpong, S. Takagi, and M. Takenaka, "Broadband UV-VIS-NIR photodetection with high responsivity MoS₂ phototransistors based on light reflection," International Conference on Solid State Devices and Materials (SSDM), H-10-06, virtual, 27–30 Sept. 2020.
- [17] K. Toprasertpong, K. Tahara, T. Fukui, Z. Lin, K. Watanabe, M. Takenaka, and S. Takagi, "Critical impact of ferroelectric-phase formation annealing on MFIS interface of HfO₂-based Si FeFETs," International Conference on Solid State Devices and Materials (SSDM), A-1-02, virtual, 27–30 Sept. 2020.
- [18] E. Nako, K. Tahara, R. Nakane, Z. Wang, M. Takenaka, and S. Takagi, "Demonstration of Reservoir Computing Using a Ferroelectric Capacitor," International Conference on Solid State Devices and Materials (SSDM), B-9-03, virtual, 27–30 Sept. 2020.
- [19] K. Toprasertpon, Z.-Y. Lin, T.-E. Lee, M. Takenaka, and S. Takagi, "Asymmetric polarization response of electrons and holes in Si FeFETs: Demonstration of absolute polarization hysteresis loop and inversion hole density over $2 \times 10^{13} \text{ cm}^{-2}$," VLSI Symposium, Hawaii, USA, 14–19 June 2020.
- [20] E. Nako, K. Toprasertpon, R. Nakane, Z. Wang, Y. Miyatake, M. Takenaka, and S. Takagi, "Proposal and experimental demonstration of reservoir computing using Hf_{0.5}Zr_{0.5}O₂/Si FeFETs for neuromorphic applications," VLSI Symposium, Hawaii, USA, 14–19 June 2020.
- [21] N. Sekine, K. Toprasertpong, S. Takagi, and M. Takenaka, "Active-passive integration on III-V-OI

platform using quantum well intermixing," Conference on Lasers and Electro-Optics (CLEO2020), STu3O.5, 11–15 May 2020.

- [22] M. Takenaka, Q. Li, S. Ohno, F. Boeuf, K. Toprasertpong, and S. Takagi, "III-V/Si hybrid optical modulators based on MOS capacitor," SPIE Photonics Europe Digital Forum, 11364-1, 6–10 April 2020 (invited).

著書

- [1] 竹中充, 高木信一, "異種材料集積を用いたシリコンフォトニクス," 表面と真空, Vol. 64, No. 2, pp. 68–73, 2021. DOI: <https://doi.org/10.1380/vss.64.68>
- [2] 竹中充, "シリコン光回路による深層学習," 光学, Vol. 50, No. 1, 2021.
- [3] 竹中充, "シリコン光回路を用いた深層学習応用," O plus E, Vol. 475, No. 5, pp. 651–655, 2020.
- [4] 竹中充, 高木信一, "Ge-on-insulatorを用いた近赤外・中赤外集積フォトニクス," レーザー研究, Vol. 48, No. 10, pp. 535–539, 2020.

シンポジウム・研究会・大会等発表

- [1] 竹中充, 湯 涵智, 大野 修平, 宮武 悠人, 渡辺 耕坪, トープラサートポン カシディット, 高木 信一, "シリコンプログラマブル光回路を用いた深層学習の展望," 第68回応用物理学会春季学術講演会, 17p-Z08-7, オンライン開催, 2021年3月16日–3月19日 (招待講演) .
- [2] 関根 尚希, トープラサートポン カシディット, 高木 信一, 竹中 充, "III-V-OI 基板上における量子井戸インターミキシング量拡大による導波損失の低減," 第68回応用物理学会春季学術講演会, 16p-Z10-11, オンライン開催, 2021年3月16日–3月19日 .
- [3] 田原 建人, トープラサートポン カシディット, 竹中 充, 高木 信一, "Hf_{0.5}Zr_{0.5}O₂強誘電体膜の薄膜化と低温プロセス化の両立の検討," 第68回応用物理学会春季学術講演会, 16p-Z26-5, オンライン開催, 2021年3月16日–3月19日 .
- [4] 大野 修平, トープラサートポン カシディット, 高木 信一, 竹中 充, "リング共振器クロスバーアレ

- イによる誤差逆伝播法の検証,” 第68回応用物理学会春季学術講演会, 17a-Z10-10, オンライン開催, 2021年3月16日-3月19日.
- [5] 隅田 圭, 吉津 遼平, トープラサートポン カシディット, 竹中 充, 高木 信一, “(111)面チャンネルの薄膜化によるInAs-OI nMOSFETのサブバンド制御手法の提案と極薄膜(111) InAs-OI基板の実現,” 第68回応用物理学会春季学術講演会, 17p-Z26-10, オンライン開催, 2021年3月16日-3月19日.
- [6] 隅田 圭, 吉津 遼平, トープラサートポン カシディット, 竹中 充, 高木 信一, “(111) InAs-OI nMOSFETのチャンネル薄膜化による移動度向上の実現と伝導帯内の界面準位の実験的評価,” 第68回応用物理学会春季学術講演会, 17p-Z26-11, オンライン開催, 2021年3月16日-3月19日.
- [7] 大野 修平, モンフレ ステファン, ブフ フレデリック, トープラサートポン カシディット, 高木 信一, 竹中 充, “ハイブリッドMOS型光位相シフタと受光器のモノリシック集積の検証,” 第68回応用物理学会春季学術講演会, 16p-Z10-7, オンライン開催, 2021年3月16日-3月19日.
- [8] 竹安 淳, 隅田 圭, トープラサートポン カシディット, 竹中 充, 高木 信一, “InAs/Ni-InAs間のコンタクト抵抗率とその評価法に関する実験的検討,” 第68回応用物理学会春季学術講演会, 17p-Z26-12, オンライン開催, 2021年3月16日-3月19日.
- [9] 名幸 瑛心, トープラサートポン カシディット, 王澤宇, 中根 了昌, 竹中 充, 高木 信一, “強誘電体MFMキャパシタを用いたリザバーコンピューティング,” 第68回応用物理学会春季学術講演会, 19p-Z34-10, オンライン開催, 2021年3月16日-3月19日.
- [10] 落合 貴也, 大野 修平, 隅田 圭, モンフレ ステファン, ブフ フレデリック, トープラサートポン カシディット, 高木 信一, 竹中 充, “極薄InGaAsメンブレンを用いた導波路型フォトランジスタの検証,” 第68回応用物理学会春季学術講演会, 16p-Z10-3, オンライン開催, 2021年3月16日-3月19日.
- [11] トープラサートポン カシディット, 田原 建人, 福井 太一郎, 林 早陽, 渡辺 耕坪, 竹中 充, 高木 信一, “HfO₂系FeFETにおける結晶化アニール温度とSi界面特性のトレードオフ,” 第68回応用物理学会春季学術講演会, 16p-Z26-4, オンライン開催, 2021年3月16日-3月19日.
- [12] 宮武 悠人, 何 鐘培, 牧野 孝太郎, 富永 淳二, 宮田 典幸, 中野 隆志, 関根 尚希, トープラサートポン カシディット, 高木 信一, 竹中 充, “波長2.4 μ mで動作する相変化材料を用いた中赤外光位相シフタ,” 第68回応用物理学会春季学術講演会, 17a-Z10-8, オンライン開催, 2021年3月16日-3月19日.
- [13] 松田 信幸, 服部 香里, 石川 巧, 鴻池 遼太郎, 吉澤 明男, 池田 和浩, 山田 博仁, 福田 大治, 岡野 誠, 竹中 充, “シリコン導波路から発生した量子相関光の光子数識別検出,” 第68回応用物理学会春季学術講演会, 19a-Z03-6, オンライン開催, 2021年3月16日-3月19日.
- [14] M. Kang, K. Toprasertpong, M. Takenaka, and S. Takagi, “Understanding of Subthreshold Swing of Si n-MOSFETs over a Temperature Range from 300 to 38 K,” 第68回応用物理学会春季学術講演会, 16a-Z26-1, オンライン開催, 2021年3月16日-3月19日.
- [15] T.-E. Lee, K. Toprasertpong, M. Takenaka, and S. Takagi, “Defect control of Y₂O₃-based SiGe MOS interfaces properties,” 第68回応用物理学会春季学術講演会, 16a-Z13-5, オンライン開催, 2021年3月16日-3月19日 (講演奨励賞受賞記念講演).
- [16] T.-E. Lee, K. Toprasertpong, M. Takenaka, and S. Takagi, “Characterization of slow traps in MOS interfaces of TiN/Y₂O₃/SiGe gate stacks,” 第68回応用物理学会春季学術講演会, 16a-Z13-6, オンライン開催, 2021年3月16日-3月19日.
- [17] Z. Zhao, K. Toprasertpong, S. Takagi, and M. Takenaka, “Enhancement of the Ge sub-bandgap photo-response at 2- μ m band by photo-gating effect,” 第68回応用物理学会春季学術講演会, 19p-Z22-13, オンライン開催, 2021年3月16日-3月19日.
- [18] Z. Wang, K. Toprasertpong, Z. Lin, E. Nako, R. Nakane, M. Takenaka, and S. Takagi, “Impact of gate input pulse width on FeFET-based reservoir

- computing,” 第68回応用物理学会春季学術講演会, 19p-Z34-8, オンライン開催, 2021年3月16日-3月19日.
- [19] H. Tang, S. Ohno, Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, “Bipolar thermo-optic Mach-Zehnder interferometer with pulse-height modulation,” 第68回応用物理学会春季学術講演会, 18a-Z18-3, オンライン開催, 2021年3月16日-3月19日.
- [20] 隅田圭, カシディット トーブラサートボン, 竹中充, 高木信一, “チャンネル薄膜化と面方位の組み合わせによるInAs On Insulator nMOSFETのサブバンド制御,” 電気学会電子デバイス研究会, オンライン, 2021年3月3日 (招待講演).
- [21] 竹中 充, “シリコンフォトニクスを用いた異種材料集積光変調器の展望,” 第74回OPT公開研究会, オンライン, 2021年1月29日 (招待講演).
- [22] 竹中 充, “異種材料集積シリコン光回路および光ニューラルネットワーク応用,” 第34回光通信システムシンポジウム, オンライン, 2020年12月16日 (招待講演).
- [23] 竹中 充, 高木信一, “異種材料集積を用いた超高速光変調器の展開,” 第156回微小光学研究会, 上智大学, 2020年10月14日 (招待講演).
- [24] 竹中 充, “異種材料集積シリコン光集積回路と光変調器応用,” C-3/4-38, 電子情報通信学会ソサイエティ大会, オンライン開催, 2020年9月15-18日 (エレクトロニクスソサイエティ賞受賞記念講演).
- [25] 宮武 悠人, 何 鐘培, 牧野 孝太郎, 富永 淳二, 宮田 典幸, 中野 隆志, 関根 尚希, トーブラサートボン カシディット, 高木 信一, 竹中 充, “相変化材料を用いた中赤外光位相シフタの提案,” 第81回応用物理学会秋季学術講演会, 9p-Z19-8, オンライン開催, 2020年9月8日-9月11日.
- [26] 名幸 瑛心, トーブラサートボン カシディット, 王澤宇, 中根 了昌, 宮武 悠人, 竹中 充, 高木 信, “FeFETリザバーコンピューティングにおける動作電圧と性能の関係の検証,” 第81回応用物理学会秋季学術講演会, 9p-Z28-7, オンライン開催, 2020年9月8日-9月11日.
- [27] 大野 修平, 李 強, 関根 尚希, 湯 涵智, モンフレステファン, ブフ フレデリック, トーブラサートボン カシディット, 高木 信一, 竹中 充, “ハイブリッドMOS型光位相シフタによるリング共振器光スイッチの検証,” 第81回応用物理学会秋季学術講演会, 9p-Z19-6, オンライン開催, 2020年9月8日-9月11日.
- [28] トーブラサートボン カシディット, 林 早陽, 李宗恩, 竹中 充, 高木 信一, “Si強誘電体FETにおける強誘電分極に誘起される反転層電荷の振る舞い,” 第81回応用物理学会秋季学術講演会, 10a-Z24-12, オンライン開催, 2020年9月8日-9月11日.
- [29] 加藤 公彦, 松井 裕章, 田畑 仁, 竹中 充, 高木 信一, “酸化物半導体/IV族半導体 積層型トンネル電界効果トランジスタ,” 第81回応用物理学会秋季学術講演会, 11p-Z209-5, オンライン開催, 2020年9月8日-9月11日 (第11回シリコンテクノロジー分科会研究奨励賞受賞記念講演).
- [30] T.-E. Lee, K. Toprasertpong, M. Takenaka, and S. Takagi, “Impact of ALD high-k materials on SiGe MOS interface properties with TiN gate,” 第81回応用物理学会秋季学術講演会, 11p-Z10-6, オンライン開催, 2020年9月8日-9月11日.
- [31] X. Luo, K. Toprasertpong, M. Takenaka, and S. Takagi, “Thickness dependence of antiferroelectricity in ALD ultrathin ZrO₂ films,” 第81回応用物理学会秋季学術講演会, 10a-Z24-10, オンライン開催, 2020年9月8日-9月11日.
- [32] Q. Chen, K. Toprasertpong, S. Takagi, and M. Takenaka, “Numerical analysis of low-temperature temperature dependence modulation property of III-V/Si hybrid MOS optical modulator,” 第81回応用物理学会秋季学術講演会, 9p-Z19-11, オンライン開催, 2020年9月8日-9月11日.
- [33] Z. Zhao, C. Ho, Q. Li, Z. Lin, K. Toprasertpong, S. Takagi, and M. Takenaka, “Investigation of Optical Phase-shift by Free-carrier effect in Germanium Waveguides for Mid-infrared Photonics,” 第81回応用物理学会秋季学術講演会, 9p-Z19-10, オンライン開催, 2020年9月8日-9月11日.

- [34] トーブラサートポン カシディット, 林早陽, 李宗恩, 竹中 充, 高木 信一, “Proposal and demonstration of oxide-semiconductor/(Si, SiGe, Ge) bilayer tunneling field effect transistor with type-II energy band alignment,” 電子情報通信学会SDM研究会, オンライン開催, 2020年8月6-7日 (招待講演) .
- [35] 名幸 瑛心, トーブラサートポン カシディット, 中根 了昌, 王 澤宇, 宮武 悠人, 竹中 充, 高木 信一, “ニューロモルフィック応用に向けた Hf_{0.5}Zr_{0.5}O₂/Si FeFET を用いたリザバーコンピューティング,” 電子情報通信学会SDM研究会, オンライン開催, 2020年8月6-7日 (招待講演) .
- [36] 竹中 充, “シリコンプラットフォームを用いた光変調器の展望,” 光ネットワーク産業・技術研究会 第1回公開討論会, 住友電工赤坂本社, 2020年5月18日 (招待講演)

内田研究室

研究論文

- [1] T. Tanaka, T. Yajima, and K. Uchida, “Impact of defects in self-assembled monolayer on humidity sensing by molecular functionalized transistors,” *Jpn. J. Appl. Phys.*, 59, S11E04, April 13, 2020. doi: 10.35848/1347-4065/ab80dc (selected as SPOTLIGHT paper)
- [2] R. Toyoshima, T. Tanaka, T. Kato, K. Uchida, and H. Kondoh, “In situ XPS analysis of a Pt thin-film sensor for highly sensitive H₂ detection,” *Chem. Commun.*, 56, 10147-10150, Jul 21, 2020, doi: 10.1039/D0CC04030D
- [3] T. Kato, T. Tanaka, T. Yajima, K. Uchida, “Temperature dependence of resistivity increases induced by thiols adsorption in gold nanosheets,” *Jpn. J. Appl. Phys.*, 60, SBBH13, February 3, 2021 (7 pages). doi: 10.35848/1347-4065/abd6de

国際会議論文

- [1] T. Tanaka, T. Yajima, and K. Uchida “Modeling

- of Graphene Sensor Functionalized with Pt Nanoparticles by Molecular Dynamics and Grand Canonical Monte Carlo Simulations with Reactive Force Field,” 2020 International Conference on Solid State Devices and Materials (SSDM), H-7-06, Web Conference, Sep.30, 2020.
- [2] T. Kato, T. Tanaka, T. Yajima, and K. Uchida “Experimental Evidence for Temperature Dependence of Adsorbate-induced Scattering in Metal Nanosheets and Its Implication to Gas Sensing Applications,” 2020 International Conference on Solid State Devices and Materials (SSDM), H-7-01, Web Conference, Sep.30, 2020.
- [3] K. Tatehara, Y. Shiiki, S. Nakagawa, T. Tanaka, K. Uchida, and H. Ishikuro, “A Wide Range and High Accuracy Sensor Interface with Switching Regulator for Coin-Cell Powered Tiny Wireless Sensor Node,” IEEE ISCAS, Seville, Spain, Oct.11-14 (2020)
- [4] (Invited)K. Uchida, “Nanoscale Thermal Management for Low-energy Integrated Electronics in the Internet-of-Things Era,” Nanotechnology for a Sustainable Future, Waterloo Institute for Nanotechnology, Online via WebEx, Nov. 19-20 (2020).

シンポジウム・研究会・大会等発表

- [1] 田中貴久, 矢嶋起彬, 内田建, 「原子スケールで SiO₂/Si界面の電子フォノン散乱を考慮した Si ナノワイヤ中の移動度計算」, 第81回応用物理学会秋季学術講演会 (2020 オンライン開催), 13.1 Si系基礎物性・表面界面・シミュレーション, 10p-Z09-19, 2020年9月10日.
- [2] 加藤太朗, 田中貴久, 矢嶋起彬, 内田建, 「金属ナノシートへの分子吸着によるキャリア移動度変化の解析」, 第81回応用物理学会秋季学術講演会 (2020 オンライン開催), 9.2 ナノ粒子・ナノワイヤ・ナノシート, 10p-Z26-1, 2020年9月10日.
- [3] (招待講演)内田建, 田中貴久, 「時間的・空間的に局在化したナノ熱による機能性電子デバイスの創製」, 第81回応用物理学会秋季学術講演会 (2020

オンライン開催), T18 フォノンエンジニアリングの最前線, 10p-Z13-1, 2020年9月10日.

- [4] 田中貴久, 内田建, 「酸素吸着によるPt薄膜抵抗率変化の原子論的解析」, 第68回応用物理学会春季学術講演会 (2021 Zoom オンライン開催), 13.1 Si系基礎物性・表面界面・シミュレーション, 16p-Z225-7, 2021年3月16日.
- [5] 濱中悠輔, 田中貴久, 内田建, 「二電極間イオン液体の電気化学測定による水素とアセトンの選択的検知」, 第68回応用物理学会春季学術講演会 (2021 Zoom オンライン開催), 12.3 機能材料・萌芽的デバイス, 17a-Z24-6, 2021年3月17日.
- [6] 松村美貴也, 田中貴久, 内田建, 「PtOx/ZnO ショットキー接合のDLTSによる界面欠陥の評価」, 第68回応用物理学会春季学術講演会 (2021 Zoom オンライン開催), 6.3 酸化物エレクトロニクス, 16p-Z33-3, 2021年3月16日.
- [7] 加藤太郎, 田中貴久, 内田建, 「Au ナノシートを用いた硫化水素センサの創出」, 第68回応用物理学会春季学術講演会 (2021 Zoom オンライン開催), 9.2 ナノ粒子・ナノワイヤ・ナノシート, 17p-Z18-11, 2021年3月17日.

染谷研究室

研究論文

- [1] Kenjiro Fukuda, Kilho Yu, and Takao Someya, "The Future of Flexible Organic Solar Cells", *Advanced Energy Materials*, vol. 10 (2), 2020. [DOI: 10.1002/aenm.202000765]
- [2] Chihiro Okutani, Tomoyuki Yokota, Ryotaro Matsukawa, and Takao Someya, "Suppressing the negative temperature coefficient effect of resistance in polymer composites with positive temperature coefficients of resistance by coating with parylene", *Journal of Materials Chemistry C*, vol. 8, pp. 7304-7308, 2020. [DOI: 10.1039/D0TC00702A]
- [3] Jian Gu, Yoko Tomioka, Koichi Kida, Yingyi Xiao, Itsuro Saito, Mutsumi Okazaki, Takao Someya, and Masaki Sekino, "Measurement of optical reflection and temperature changes after blood occlusion using a wearable device", *Scientific Reports*, vol. 10, 2020. [DOI: 10.1038/s41598-020-68152-6]
- [4] Yan Wang, Sunghoon Lee, Tomoyuki Yokota, Haoyang Wang, Zhi Jiang, Jiabin Wang, Mari Koizumi, and Takao Someya, "A durable nanomesh on-skin strain gauge for natural skin motion monitoring with minimum mechanical constraints", *Science Advances*, vol. 6, 2020. [DOI: 10.1126/sciadv.abb7043]
- [5] Dongmin Kim, Tomoyuki Yokota, Toshiki Suzuki, Sunghoon Lee, Taeseong Woo, Wakako Yukita, Mari Koizumi, Yutaro Tachibana, Hiromu Yawo, Hiroshi Onodera, Masaki Sekino, and Takao Someya, "Ultraflexible organic light-emitting diodes for optogenetic nerve stimulation", *Proceedings of the National Academy of Sciences of the United States of America*, vol. 117 (35), pp. 21138-21146, 2020. [DOI: 10.1073/pnas.2007395117]
- [6] Fei Qin, Wen Wang, Lulu Sun, Xueshi Jiang, Lin Hu, Sixing Xiong, Tiefeng Liu, Xinyun Dong, Jing Li, Youyu Jiang, Jianhui Hou, Kenjiro Fukuda, Takao Someya, and Yinhua Zhou, "Robust metal ion-chelated polymer interfacial layer for ultraflexible non-fullerene organic solar cells", *Nature Communications*, vol. 11, 2020. [DOI: 10.1038/s41467-020-18373-0]
- [7] Ryotaro Matsukawa, Akihito Miyamoto, Tomoyuki Yokota, and Takao Someya, "Skin Impedance Measurements with Nanomesh Electrodes for Monitoring Skin Hydration", *Advanced Healthcare Materials*, vol. 9 (22), 2020. [DOI: 10.1002/adhm.202001322]
- [8] Jiabin Wang, Sunghoon Lee, Tomoyuki Yokota, Yasutoshi Jimbo, Yan Wang, Md Osman Goni Nayeem, Masaya Nishinaka, and Takao Someya, "Nanomesh Organic Electrochemical Transistor for Comfortable On-Skin Electrodes with Local Amplifying Function", *American Chemical*

- Society, vol. 2, pp. 3601–3609, 2020. [DOI: 10.1021/acsaelm.0c00668]
- [9] Sunghoon Lee, Sae Franklin, Faezeh Arab Hassani, Tomoyuki Yokota, Md Osman Goni Nayeem, Yan Wang, Raz Leib, Gordon Cheng, David W. Franklin, and Takao Someya, "Nanomesh pressure sensor for monitoring finger manipulation without sensory interference", *Science*, vol. 370, pp. 966-970, 2020. [DOI: 10.1126/science.abc9735]
- [10] Zhi Jiang, Kilho Yu, Haoyang Wang, Steven Rich, Tomoyuki Yokota, Kenjiro Fukuda, and Takao Someya, "Ultraflexible Integrated Organic Electronics for Ultrasensitive Photodetection", *Advanced Materials Technologies*, vol. 6 (1), 2020. [DOI: 10.1002/admt.202000956]
- [11] Masaya Nishinaka, Hiroaki Jinno, Yasutoshi Jimbo, Sunghoon Lee, Jiabin Wang, Wonryung Lee, Tomoyuki Yokota, and Takao Someya, "High - Transconductance Organic Electrochemical Transistor Fabricated on Ultra - Thin Films Using Spray Coating", *Small Structures*, 2020. [DOI: doi.org/10.1002/sstr.202000088]
- [12] Hiroaki Jinno, Tomoyuki Yokota, Mari Koizumi, Wakako Yukita, Masahiko Saito, Itaru Osaka, Kenjiro Fukuda, and Takao Someya, "Self-powered, ultraflexible photonic skin for continuous bio-signal detection via air-operation-stable polymer light-emitting diodes", *Nature Portfolio*, 2020. [DOI: 10.21203/rs.3.rs-117283/v1]
- [13] Mohammad Javad Mirshojaeian Hosseini, Elisa Donati, Tomoyuki Yokota, Sunghoon Lee, Giacomo Indiveri, Takao Someya, and Robert A Nawrocki, "Organic Electronics Axon-Hillock Neuromorphic Circuit: Towards Biologically Compatible, And Physically Flexible Integrate-And-Fire Spiking Neural Networks", *Journal of Physics D: Applied Physics*, vol. 54, 2020. [DOI: 10.1088/1361-6463/abc585]
- [14] Binghao Wang, Alberto Scaccabarozzi, Haoyang Wang, Mari Koizumi, Mohamad Insan Nugraha, Yuanbao Lin, Yuliar Firdaus, Yan Wang, Sunghoon Lee, Tomoyuki Yokota, Thomas D Anthopoulos, and Takao Someya, "Molecular Doping of Near-Infrared Organic Photodetectors for Photoplethysmogram Sensors", *Journal of Materials Chemistry C*, 2020. [DOI: 10.1039/D0TC05549B]
- [15] Chunya Wang, Tomoyuki Yokota, and Takao Someya, "Natural Biopolymer-Based Biocompatible Conductors for Stretchable Bioelectronics", *Chemical Reviews*, 2020. [DOI: 10.1021/acs.chemrev.0c00897]
- [16] Yasutoshi Jimbo, Wonryung Lee, Masaya Nishinaka, Tomoyuki Yokota, and Takao Someya, "Effect of ionic conduction under dielectric barriers on PEDOT:PSS electrochemical interfaces", *The Japan Society of Applied Physics*, 2020. [DOI: 10.35848/1882-0786/abe165]
- [17] Tomoyuki Yokota, Kenjiro Fukuda, and Takao Someya, "Recent Progress of Flexible Image Sensors for Biomedical Applications", *Advanced Materials*, 2020. [DOI: 10.1002/adma.202004416]
- [18] Jae Joon Kim, Yan Wang, Haoyang Wang, Sunghoon Lee, Tomoyuki Yokota, and Takao Someya, "Skin Electronics: Next - Generation Device Platform for Virtual and Augmented Reality", *Advanced Functional Materials*, 2020. [DOI: 10.1002/adfm.202009602]

国際会議論文

- [1] (Oral) Md Osman Goni Nayeem, Sunghoon Lee, Tomoyuki Yokota, and Takao Someya, "Enhanced Acoustic Sensitivity of Piezoelectric Sensors with Ultrathin Porous Substrates", 2020 MRS Virtual Spring/Fall Meeting Symposium Sessions (Spring), WEB, November

- 21, 2020.
- [2] (Oral) Ruiyuan Liu, Zhong Lin Wang, and Takao Someya, "Flexible Self-Powered Systems Based on Functional Polymers", 2020 MRS Virtual Spring/Fall Meeting Symposium Sessions (Spring), WEB, November 21, 2020.
- [3] (Oral) Ruiyuan Liu, Masahito Takakuwa, Kenjiro Fukuda, and Takao Someya, "Efficient Ultra-Flexible Photo-Charging Systems for Simultaneous Solar Energy Conversion and Storage", 2020 MRS Virtual Spring/Fall Meeting Symposium Sessions (Spring), WEB, November 21, 2020.
- [4] (Oral) Kenjiro Fukuda, Ruiyuan Liu, Zhi Jiang, Kilho Yu, and Takao Someya, "Flexible Organic Solar Cells and Integrated Systems for Wearable Electronics", 2020 MRS Virtual Spring/Fall Meeting Symposium Sessions (Fall), WEB, November 21, 2020.
- [5] (Oral) Masahito Takakuwa, Kenjiro Fukuda, Shinjiro Umezu, and Takao Someya, "Developing of Ultraflexible Organic Photovoltaics with Reduced Angular Dependence", 2020 MRS Virtual Spring/Fall Meeting Symposium Sessions (Fall), WEB, November 21, 2020.
- [6] (Oral) Tomoyuki Yokota and Takao Someya, "Conformable Imager for Biometric Data Measurement", 2020 MRS Virtual Spring/Fall Meeting Symposium Sessions (Fall), WEB, November 21, 2020.
- [7] (INVITED) Kenjiro Fukuda, Tomoyuki Yokota, Zhi Jiang, Sunghoon Lee, Wenchao Huang, Hyunjae Lee, and Takao Someya, "Ultra-Thin Organic Photovoltaics and Sensors for Wearable Sensors", 2020 MRS Virtual Spring/Fall Meeting Symposium Sessions (Spring), WEB, November 28, 2020.
- [9] (Oral) Tomoyuki Yokota and Takao Someya, "Conformable Organic Photonic Systems ", 2020 MRS Virtual Spring/Fall Meeting Symposium Sessions (Spring), WEB, November 29, 2020.
- [10] (INVITED) Mohammad Javad Mirshojaeian Hosseini, Elisa Donati, Tomoyuki Yokota, Sunghoon Lee, Giacomo Indiveri, Takao Someya, and Robert A. Nawrocki, "Physically Flexible and Biological Compatible Demonstration of an Organic Electronics Axon-Hillock Neural Circuit ", 2020 MRS Virtual Spring/Fall Meeting Symposium Sessions (Fall), WEB, December 1, 2020.
- [11] (INVITED) Takao Someya, "Electronic skins for medical and sports applications", IEN Center for Human-Centric Interfaces and Engineering (Center for HCIE) Georgia Institute of Technology, WEB, March 23, 2021.

シンポジウム・研究会・大会等発表

- [1] (招待講演) 染谷隆夫, "テクノロジーの発展, そして社会危機の中で変わる社会と医療 (未来につなぐ)", 第119回日本皮膚科学会総会公開講座 特別招聘シンポジウム, Web, 2020年6月6日.
- [2] (招待講演) 横田知之, "皮膚密着型ウェアラブルセンサの開発とヘルスケアロボットへの応用", 第81回WIN定例講演会・第36回人間情報学会講演会, Web, 2020年9月4日.
- [3] (招待講演) 染谷隆夫, "スキンエレクトロニクスによる生体情報計測", Rフォーラム2020, 大手町三井ホール, 2020年12月3日.
- [4] (依頼講演) 染谷隆夫, "スーパーバイオイメジャーの開発", ACCELシンポジウム, Web, 2021年3月5日.
- [5] (招待講演) 染谷隆夫, ""江崎玲於奈賞受賞講演「ウェアラブル伸縮性デバイスとエレクトロニクス実装」", 第35回エレクトロニクス実装学会 春季講演大会, Web, 2021年3月19日.

三田研究室

学会誌

- [1] Kuniaki Konishi, Daisuke Akai, Yoshio Mita, Makoto Ishida, Junji Yumoto, and Makoto Kuwata-Gonokami*, "Tunable third harmonic generation in the vacuum ultraviolet region using dielectric nanomembranes", *APL Photon.* 5 (6), 066103 (2020.06.01) doi: 10.1063/5.0008568 【IF: 4.38, Featured Article】
- [2] Kuniaki Konishi, Daisuke Akai, Yoshio Mita, Makoto Ishida, Junji Yumoto, and Makoto Kuwata-Gonokami*, "Circularly polarized vacuum ultraviolet coherent light generation using a square lattice photonic crystal nanomembrane", *Optica*, Vol. 7, Issue 8, pp. 855-863, doi:10.1364/OPTICA.393816 (2020.07.21) (IF: 13.94)
- [3] D. Decanini, Abdelmounaim Harouri, Yoshio Mita, Beomjoon Kim, Gilgueng Hwang, "3D micro fractal pipettes for capillary based robotic liquid handling", *Review of Scientific Instruments*, 91, 086104. doi:10.1063/5.0018456 (2020.08.11)
- [4] Y. Kamiya*, T.Miyoshi, H.Iwase, T.Inada, A.Mizushima, Y.Mita, K.Shimazoe, H.Tanaka, I.Kurachi, Y.Arai, "Development of a neutron imaging sensor using INTPIX4-SOI pixelated silicon devices", *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment (NIMA)*, 979, 164400, doi:10.1016/j.nima.2020.164400 (2020.11.01)

査読付き国際学会

- [1] Gilgueng Hwang, Christophe David, Alisier Paris, Dominique Decanini, Ayako Mizushima, and Yoshio Mita, "A Rapid, Reliable and Less-destructive On-chip Mass Measurement for 3D Composite Material Testing Microstructures", *2020 International Conference on*

Microelectronic Test Structures (ICMTS), Online event, (2020.05.18) .

- [2] Norihiro Miyazawa, Naoto Usami, Haibin Wang, Takaya Kubo, Hiroshi Segawa, Yoshio Mita and Akio Higo, "Coaxial Circular Test Structure Applicable to both Ohmic and Schottky Characteristics for ZnO/Si Heterojunctions Assessment", *2020 International Conference on Microelectronic Test Structures (ICMTS)*, Online event, Session 5.5 (2020.05) .
- [3] Naoto Usami, Etsuko Ota, Akio Higo, Takeshi Momose and Yoshio Mita, "Drop-in test structure chip to visualize residual stress of Ru/Cu film grown by atomic layer deposition and supercritical fluid deposition", *2020 International Conference on Microelectronic Test Structures (ICMTS)*, Online event, Session 6.2 (2020.05) .
- [4] Ayako Mizushima, R Ranga Reddy, Kuniaki Konishi, Etsuko Ohta, Tomoya Ezawa, Akio Higo, Makoto Kuwata-Gonokami, Yoshio Mita, "Assessment of Annealing Treatment for Wrinkle-less SiO₂ Membrane", *Design, Test, Integration & Packaging of MEMS / MOEMS (DTIP 2020)*, 15-26 June 2020, Virtual Event, (2020.06.23)
- [5] Kei Misumi, Naoto Usami, Akio Higo, and Yoshio Mita, "Micro-scale Electrostatic Attach-detach Device for Micro Self-reconfigurable Modular Robotic System", *Design, Test, Integration & Packaging of MEMS / MOEMS (DTIP 2020)*, 15-26 June 2020, Virtual Event, (2020.06.19)
- [6] Kuniaki Konishi, Daisuke Akai, Yoshio Mita, Makoto Ishida, Junji Yumoto, and Makoto Kuwata-Gonokami, "Circularly Polarized Third Harmonic Generation in Vacuum Ultraviolet Region Using Square Lattice Photonic Crystal Nanomembrane", *14th International Congress on Artificial Materials for Novel Wave Phenomena*, Online (New York), 28 Sep - 3

Oct 2020, (2020.9.28)

ト会議

- [7] Kenji Suzuki, Yuta Nakayama, Naoki Shimizu, Takashi Mizuno, Yoshio Mita, Takeshi Yoshimura, “Supersensitive Ultrasound Probes for Medical Imaging by Piezoelectric MEMS with Complemented Transmitting and Receiving Transducers”, The 2020 IEEE International Ultrasonics Symposium (IUS 2020) , online. (2020.10)
- [8] Taku Tsuchiya, Yuki Okamoto, Frédéric Marty, Ayako Mizushima, Agnès Tixier-Mita, Olivier Français, Bruno Le Pioufle, and Yoshio Mita, Two-Dimensionally Arrayed Double-Layer Electrode Device Which Enables Reliable and High-Thoroughput Electrorotation, The 34th IEEE International Conference on Micro Electro Mechanical Systems (MEMS 2021), 25-29 Jan 2021 (2021.01.26)

その他の講演・シンポジウム

- [1] 岡本 有貴, 江澤 智也, 肥後 昭男, 三田 吉郎
「Coulter 計測のためのディプリーション型トランジスタ集積マイクロ流路」第37回センサ・マイクロマシンとシステムのシンポジウム, (2020.10.28)
- [2] 宮澤 騎宏, 宇佐美 尚人, 王海濱, 久保 貴哉, 瀬川 浩司, 三田 吉郎, 肥後 昭男「ZnO/Si ヘテロ界面特性評価のための同心円型マイクロ電極構造の提案」, 第37回センサ・マイクロマシンとシステムのシンポジウム, online, (2020.10.28)
- [3] 【基調講演】 Yoshio Mita, “Innovative research through CMOS-MEMS open platform with young generation (Keynote talk) ”, VANJ Conference 2020 online, 28-29 Nov 2020 (2020.11.28)
- [4] 【招待講演】 . 三田 吉郎「ナノテクPF東京大学拠点による新時代微小電子機械デバイス研究開発へのいざない」第3回 RC287「新時代の電子デバイスと電子機器における信頼性設計評価と熱設計に関する研究分科会」実験・計測WG・12月22日(火)10時00分~@ Webexによるリモー

4.5 特許, 受賞等

黒田・小菅研究室

受賞

K. Ando, K. Shiba, K. Akatsuka, C. Cheng, T. Arakawa, M. Hamada, T. Kuroda : IEEE ICECS 2020 Best Student Paper Award, Nov. 2020.

竹内研究室

受賞

- [1] Chihiro Matsui, Ken Takeuchi, IEEE COOL Chips 23 Best Poster Award, "ReRAM Cell Reliability Variation Tolerated High-Speed Approximate Storage for Machine Learning", April 15, 2020.
- [2] 松井千尋, 竹内健, 第32回コンピュータシステム・シンポジウム (ComSys2020) 最優秀ポスター発表賞, 「ReRAMセルの信頼性ばらつきを許容する機械学習向け高速Approximateストレージ」, 2020年12月1日.

中村研究室

特許

- [1] 中村宏, 坂本龍一, 鈴木悠太, 有本和民, 武部秀治, 吉村拓馬, 吉川憲昭, 木下研作, 「スモールセル基地局」, 特願2020-117260, 2020年7月7日出願.

受賞

- [1] 鈴木悠太: 情報処理学会システム・アーキテクチャ研究会, 若手奨励賞, 2020年7月

藤田研究室

受賞

1. Yukio Miyasaka: 2020 IWLS programming contest (1st place): 2020-8-28
2. Yukio Miyasaka, Xinpei Zhang, Mingfei Yu, Qingyang Yi, Advisor: Prof. Masahiro Fujita: X-value Equivalence Checking and Benchmark Suite in 2020 ICCAD CAD contest, Honorable mention (4th place): 2020-11-2

3. He-Teng Zhang, Advisor: Prof. Jie-Hong R. Jiang, Prof. Masahiro Fujita: Routing with Cell Movement in 2020 ICCAD CAD contest, Honorable mention (4th place): 2020-11-2
4. Mingfei Yu: 電子情報通信学会VLD Excellent Student Author Award for ASP-DAC: 2021-1-20
5. Ding Yi: 情報処理学会SLDM Excellent presentation award: 2021-1-25

池田研究室

受賞

2020年12月8日 2020年ハードウェアセキュリティ研究会若手優秀賞授賞
中山亮平・池田誠, 高機能暗号実現向けマルチペアリング演算器の設計

飯塚研究室

特許

- ・浅見 幸司, 飯塚 哲也, ビヤムバドルジ ゴルボー ``圧縮センシング回路向けキャリブレーション技術," 特願2020-76379, 米国出願番号17/211766.
- ・飯塚 哲也, 徐 祖楽, 長田 将, ``フラクショナル位相同期回路および位相同期回路装置," 国際出願番号 PCT/JP2020/026776.

受賞

- ・令和2年度 優秀博士論文賞
Zolboo Byambadorj, ``Analysis and Calibration Techniques of Modulated Wideband Converter for High-Precision Sub-Nyquist Sampling System," 2021年3月.
- ・令和2年度 優秀修士論文賞
長田 将, ``Low-Phase-Noise and Low-Spur Fractional-N Frequency Synthesizers Employing Harmonic-Mixer-Based Feedback," 2021年3月.
- ・第10回 d.lab-VDEC デザインアワード 優秀賞
長田 将, ``低位相雑音かつ低スプリアストーンを達成する高調波ミキサを用いた二重フィードバック型フラクショナルN位同期回路," 2020年9月.

- ・第10回 d.lab-VDEC デザインアワード 優秀賞
小島 尚輝, ``スタンダードセルを用いて自動合成可能な逐次比較型A/D変換器," 2020年9月.

平本・小林研究室

特許

国際特許

題目:A monolithic 3D integration of RRAM array with oxide semiconductor FET for in-memory computing in quantized neural network AI applications

発明者・発案者名: Masaharu Kobayashi, Jixuan Wu, Toshiro Hiramoto

番号(出願番号/公開番号): US63/007582

年月日: 2020年4月9日

国際特許

題目:不揮発性記憶装置及びその動作方法

発明者・発案者名: 小林正治, 莫非, 平本俊郎

番号(出願番号/公開番号): 台湾特許出願番号 109119037

年月日: 2020年6月5日

国際特許

題目:不揮発性記憶装置及びその動作方法

発明者・発案者名: 小林正治, 莫非, 平本俊郎

番号(出願番号/公開番号): PCT/JP2020/021963

年月日: 2020年6月3日

国内特許

題目:半導体装置

発明者・発案者名: 平本俊郎, 更屋拓哉, 竹内 潔, 伊藤一夫, 高倉俊彦, 福井宗利, 鈴木慎一, 末代知子, 佐藤克己

番号(出願番号/公開番号): 特願2020-202329

年月日: 2020年12月4日

国内特許

題目:不揮発性記憶装置

発明者・発案者名: 小林正治, 莫非, 平本俊郎

番号(出願番号/公開番号): 特願2020-202180

年月日: 2020年12月4日

国際特許

題目:三次元アレイ装置

発明者・発案者名: 小林正治, Jixuan Wu, 平本俊郎

番号(出願番号/公開番号): PCT/JP2021/013511

年月日: 2021年3月30日

受賞

氏名: 小林(正) 研 准教授 小林正治

受賞名(機関・団体名): 文部科学省若手科学者賞

授与機関・団体: 文部科学省

受賞対象の研究題目: 次世代強誘電体による革新的トランジスタおよびメモリの研究

受賞年月日: 2020年4月14日

氏名: 小林(正) 研 准教授 小林正治, 大学院生(東京大学生産技術研究所) Yusaku Tagawa, 大学院生(東京大学生産技術研究所) Fei Mo, 助手(平本研) 更屋拓哉, 平本研 教授 平本俊郎

受賞名(機関・団体名): IEEE EDS Leo Esaki Award

授与機関・団体: IEEE Electron Device Society

受賞対象の研究題目: Ferroelectric HfO₂ Tunnel Junction Memory with High TER and Multi-level Operation Featuring Metal Replacement Process

受賞年月日: 2020年12月14日

氏名: 小林(正) 研 大学院生(東京大学生産技術研究所) Fei Mo,

受賞名(機関・団体名): 応用物理学会講演奨励賞

授与機関・団体: 応用物理学会

受賞対象の研究題目: Reliability characteristics of Ferroelectric-HfO₂ capacitor with IGZO capping for non-volatile memory application

受賞年月日: 2021年3月16日

氏名: 莫非 博士課程学生

受賞名(機関・団体名): 優秀博士論文賞

授与機関・団体: 電気系工学専攻

受賞対象の研究題目: Ferroelectric-HfO₂-based non-

volatile memories for high density and low power applications

受賞年月日：2021年3月22日

氏名：Chengji Jin 博士課程学生

受賞名（機関・団体名）：優秀博士論文賞

授与機関・団体：電気系工学専攻

受賞対象の研究題目：Study on Ferroelectric-FET with Steep Subthreshold Slope for Low

Power LSI Applications

受賞年月日：2021年3月22日

高木研究室

受賞等

- [1] 第48回応用物理学会講演奨励賞, 李宗恩
- [2] 第44回学校法人東京電機大学学術振興基金・丹羽保次郎記念論文賞, 柯夢南
- [3] 第19回 IEEE EDS Japan Joint Chapter Student Award, 名幸瑛心
- [4] 第19回 IEEE EDS Japan Joint Chapter Student Award, 隅田圭

竹中研究室

受賞等

- [1] 東京大学総長表彰「オンライン授業・ハイブリッド授業のグッドプラクティス」竹中充
- [2] 第23回 電子情報通信学会エレクトロニクスソサイエティ賞 竹中充
- [3] 工学系研究科長賞（修士論文）大野修平
- [4] 電気系工学専攻優秀修士論文賞 大野修平
- [5] 電気系工学専攻優秀修士論文賞 宮武悠人

染谷研究室

特許

- [1] 染谷隆夫, 李成薫, 横田知之, ナイーム エムディー オスマン ゴニ, 王燕, ファエツェ アラブ ハッサニ, 「薄膜型圧力センサ」, 特願2020-148167, 2020年9月3日出願.

受賞

- [1] Md Osman Goni Nayeem, “Enhanced Acoustic Sensitivity of Piezoelectric Sensors with Ultrathin Porous Substrates”, Best Presenter, 2020 MRS Spring/Fall Meeting & Exhibit, 2020年12月14日.
- [2] 横田知之, 第3回日本オープンイノベーション大賞：科学技術政策担当大臣賞, 「生体認証とバイタルサインの同時計測が可能なシート型イメージセンサの開発」, 内閣府, 2021年2月17日.

三田研究室

受賞

外部団体よりの学術受賞

- [1] 優秀ポスター発表賞：岡本 有貴, 江澤 智也, 肥後 昭男, 三田 吉郎「Coulter 計測のためのディフュージョン型トランジスタ集積マイクロ流路」第37回センサ・マイクロマシンとシステムのシンポジウム, 最優秀ポスター発表受賞 (2020/10/28)

Appendix

A.1 CADソフトウェアの整備

1996年度から整備を行っているCADソフトウェアは、2021年度は表A.1.1に示すツール群を全国の大学に提供している。CADソフトウェアの利用は、図A.1.1に示す全国地域拠点校10箇所 licensesサーバを設置し、全国各大学の利用者が手許の計算機にインストールしたCADソフトウェアを、最寄のライセンスサーバにおいて認証を行うことで、ネットワークを利用した運用形態となっている。ライセンス数はCADの項目ごとに100から1000程度のフローティングライセンス

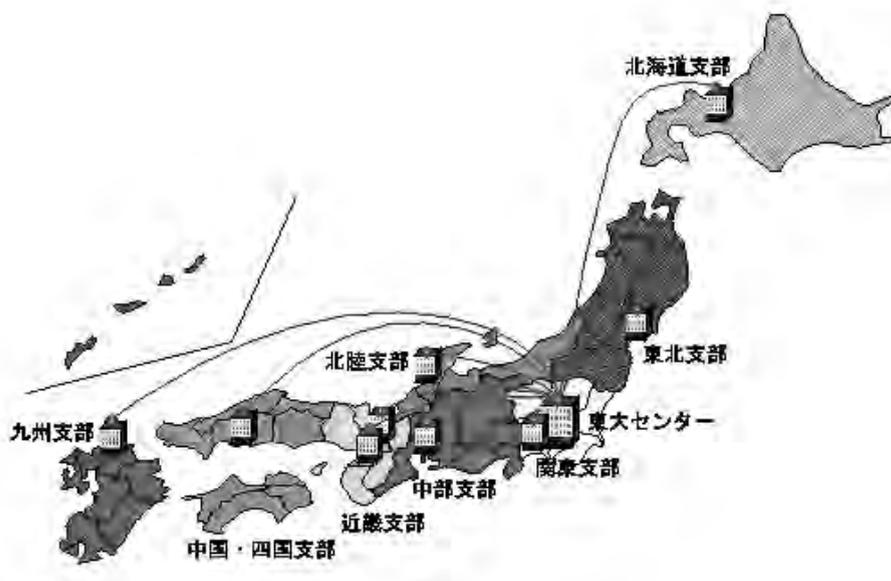
となっており、全国の国・公・私立大学・高専において教育・研究目的に限り利用できるようになっている。

東京大学VDEC活動を通じたVDECのCADの利用、および「Appendix A.2」のチップ試作の利用のためには、あらかじめユーザ登録が必要となっている。

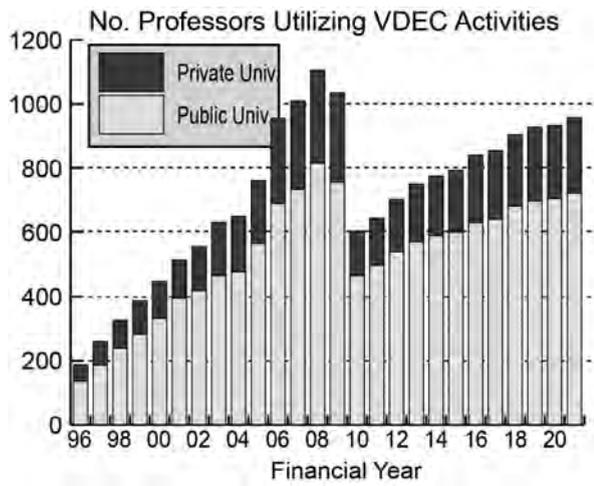
図A.1.2は(a)VDEC活動を利用する登録教員数 (b)VDEC活動を利用する大学・高専数 (c)VDEC CADツールの使用登録研究室数 (d)全CADツールライセンスの使用登録数を示している。

表A.1.1 導入されたCADシステム

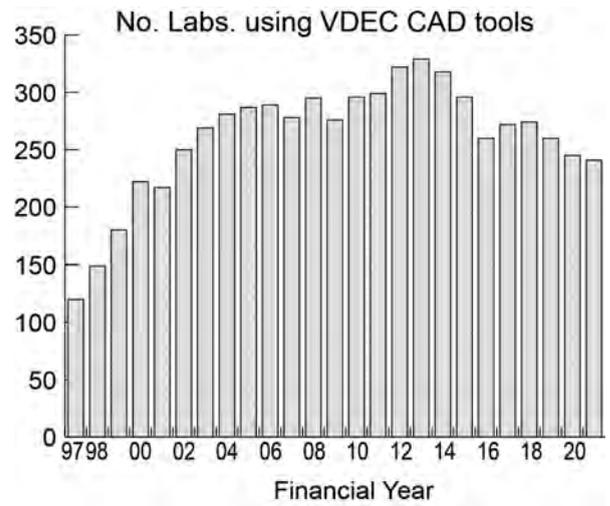
名称	用途	メーカー
Cadence 社設計システム	VerilogHDL/VHDL ベースの入力、シミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線とバックアノテーション、会話型の回路図およびマスクレイアウト入力、アナログ機能・回路シミュレーション、設計検証、回路抽出	Cadence Design Systems, Inc.
Synopsys 社設計システム	VerilogHDL/VHDL シミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線設計とバックアノテーション、回路シミュレーション、デバイスシミュレーション	Synopsys, Inc.
Mentor 社設計ツール	レイアウトのデザインルールチェック及び検証	Mentor Graphics Co. Ltd.
Silvaco 社設計ツール	高速回路シミュレーション	Silvaco
ADS/Golden Gate	通信機器や関連デバイスなどの高周波回路/システムの設計、検証	Keysight Technologies
Bach	BachC 言語での設計	Sharp
LAVIS	レイアウト表示プラットフォーム	TOOL



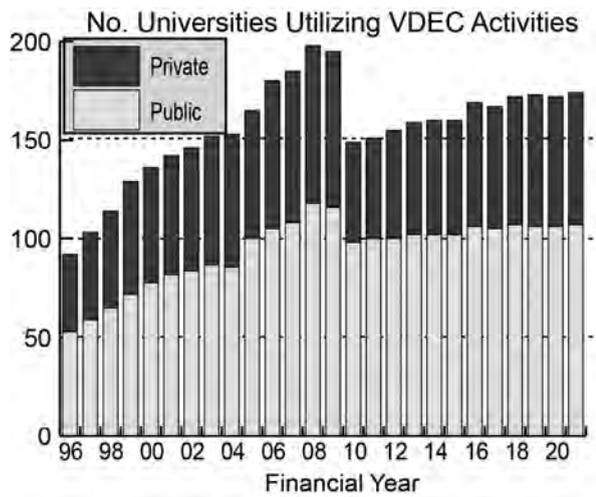
図A.1.1 全国地域拠点



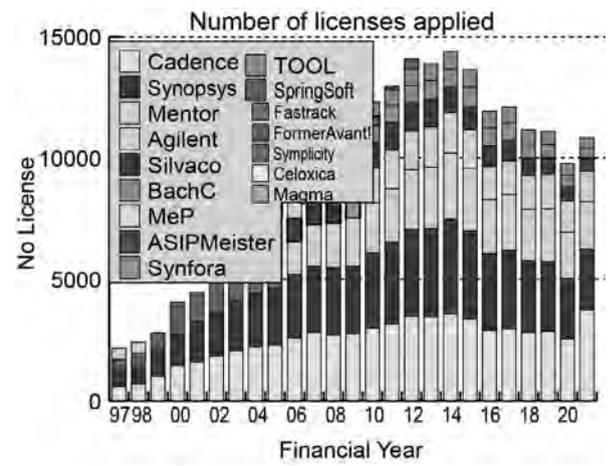
Fig(a)



Fig(c)



Fig(b)

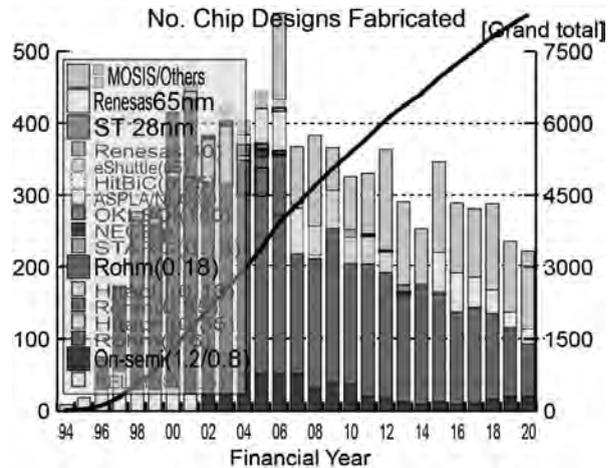


Fig(d)

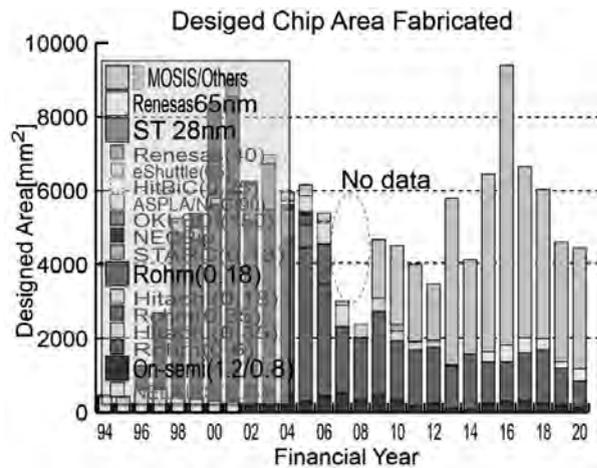
⊗ A.1.2

A.2 基盤設計研究部門におけるチップ試作支援の実施状況

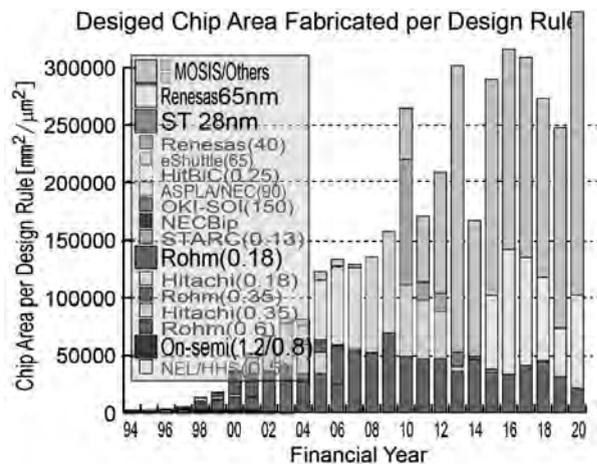
VLSIチップ試作支援に関しては、平成6、7年度（1994、1995年度）のパイロットプロジェクトでは、ファウンドリはNEL社のCMOS0.5 μ m（当該プロセスはその後日立北海セミコンダクタ社に継続）1社であったが、平成8年度（1996年度）のVDEC発足後、日本モトローラ社のCMOS1.2 μ m（平成11年度からは、オン・セミコンダクターにて継続）が協力を開始し、平成9年度からはローム社のCMOS0.6 μ mが加わった。さらに平成10年度には日立製作所のCMOS0.35 μ m、平成11年度にはローム社0.35 μ mがそれぞれ加わった。また、IP開発プロジェクトの一環としてSTARC0.13 μ mの試作を行った。平成13年度から、日立製作所のCMOS0.18 μ mのサービスを実施している。平成14年度は、広島大学岩田先生の主導の下に、VDECとMOSISの協力による試作サービスを試行的に実施した。これは、TSMC、IBMといった海外のファブをMOSISを経由することで格安で提供するものである。さらに、東京大学柴田先生主導の元に、NEC化合物デバイス株式会社によるバイポーラLSIの試作サービスも行った。平成16年からテスト試作として沖電気CMOS SOI 0.15 μ mプロセスおよびASPLA 90nmプロセスの試作を開始し、90nm試作については平成17年度より通常の試作として公募の形で運用。平成18年度からはローム社0.18 μ mの試作を開始し、日立製作所0.25 μ m SiGeBiCMOSのテスト試作を実施した。平成19年度で終了した90nm CMOSの後継の先端プロセスの検討を平成19年度から開始し、平成20年度にeShuttle社の65nm CMOSによる試作を開始した。さらに経済産業省・STARCのプロジェクト「次世代半導体回路アーキテクチャ実用化支援事業」の一環として、ルネサスエレクトロニクス社の40nm CMOSによる試作も開始した。一方で平成23年9月試作をもってCMOS1.2 μ mを終了することとなったほか、平成24年度をもってルネサスエレクトロニクス社の40nm CMOS試作が終了、平成25年8月シャトルをもってeShuttle社の65nm CMOS試作が終了した。CMOS1.2 μ mの後継として、オンセミ三洋半導体製造社の協力により平成24年10月にCMOS0.8 μ mのテスト試作を実施し、平成25年度から定常試作として継続している。最先端試作としては、平成25年度からフランスCMPを介してSTマイクロ社FD-SOI 28nm CMOS試作を開始。また、平成27年度から定常試作として、ルネサスエレクトロニク



(a) 設計チップ品種数



(b) 設計チップ面積



(c) 規格化した設計チップ面積

図A.2.1 チップ試作数・面積推移

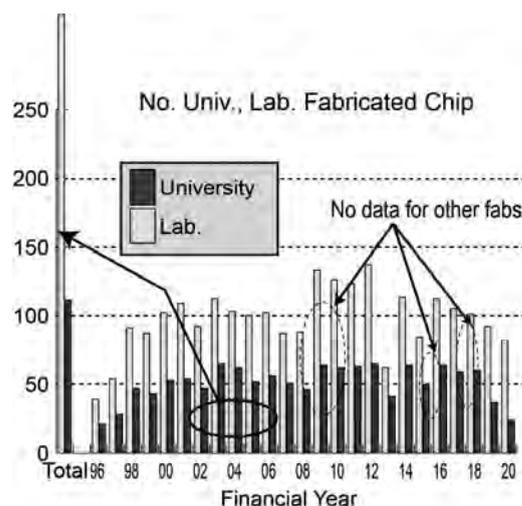
ス社 SOTB 65nm CMOS 試作を開始。また平成28年度にリコー電子デバイス株式会社による CMOS 0.6um 高耐圧試作の検討および、三重富士通株式会社による CMOS 40nm 試作の検討を開始した。令和2年度にはドイツ IHP 社との協定により BiCMOS0.18 μ m 試作の検討を開始した。

図A.2.1 (a) は設計されたチップ品種数を示す。図中の棒グラフは、試作品種数の順調な増加を表しており、VLSI 試作研究・教育に直接的に係わった学生数を表しているものと考えられることから、研究・教育効果が劇的に向上していることが想像される。試作されたチップの品種数は、平成14年度に減少しているが、これはROHM社の0.6umプロセスを終了したことによる現象が考えられる。またそれ以降ほぼ400品種程度で推移しているが、その中でより微細なプロセスへ試作の中心が推移していることが読み取れる。また平成18年度に0.35 μ mが終了し、平成19年度以降0.18 μ mへの移行したことにより、試作数が130品種程度減少し、さらに平成19年度にASPLA 90nm CMOS 試作が終了し、eShuttle 65nm CMOS への移行に伴う試作数の減少がみられる。

この減少傾向は試作面積においてさらに顕著で、試作プロセスの微細化進展に伴い、集積度が向上することも重なり、試作面積が大幅に減少する結果となっている。図A.2.1 (b) に設計されたチップ面積を示す。一方設計量の指標として、図A.2.1 (c) に試作面積をそれぞれの試作プロセスにおける特性寸法で規格化した、規格化試作面積の傾向も併せて示す。こちらはまだ増加し続けていることから、プロセスの微細化に伴うチップ当たりおよび面積当たりの設計工数の増大が試作数、試作面積の減少主要因になっていることが考えられる。

また、図A.2.2にこれまでに試作に参加した教員数、大学数の推移およびその累計を示す。また、チップ試作に必要な設計規則などの、試作会社固有の機密情報にアクセスするための「機密保持契約」締結教員数は、ルネサスの65nmプロセスが89名、ロームの0.18umプロセスが279名、オンセミ三洋 0.8um プロセスが49名となっている。

2020年度は、表A.2.1に示す日程でチップ試作を行った。チップ試作の参加者・試作の内容は、付録のチップ試作報告を参照されたい。



図A.2.2 VDECチップ試作参加教員数・大学数の推移とその累計

表A.2.1 2020年度チップ試作日程

○oCMOS 0.8um(オンセミコンダクター三洋半導体製造)

	試作申込締切	設計締切	納品・試作完了
2020年度第1回	2020/7/6	2020/9/28	2020/12/17
2020年度第2回	2021/1/12	2021/3/29	2021/6/28(予定)

○CMOS 0.18um(ローム)

	試作申込締切	設計締切	納品・試作完了
2020年度第1回(2020年7月試作)	2020/3/16	2020/6/8	2020/10/6
2020年度第2回(2020年9月試作)	2020/6/15	2020/9/7	2020/12/8
2020年度第3回(2020年11月試作)	2020/8/3	2020/10/26	2021/2/2
2020年度第4回(2021年3月試作)	2020/11/30	2021/2/22	2021/6/4

○SOTB 65nm CMOS

	試作申込締切	設計締切	納品・試作完了
2020年度第1回(2020年8月試作)	2020/8/3	2020/8/24	2021/2/16
2020年度第2回(2021年3月試作)	2021/1/25	2021/3/8	2021/9(予定)

A.3 セミナー

LSI 設計技術の向上にはセミナーは欠くことができない存在である。令和2年度にも、CAD 利用のための技術セミナー、社会人のためのリフレッシュセミナー、若手教官・学生のためのデザイナーズフォーラム等のセミナー、フォーラムを企画、実施した。ただし、コロナ感染拡大防止を鑑み、すべてのイベントはオンライン開催となった。

A.3.1 VDECユーザ向けCAD セミナー

CAD 技術セミナーへの参加要望は常に非常に大きく、これは CAD 技術セミナーに対する需要が依然として大きなことを表しており、VDEC はこの状況に対

応し、大規模な CAD 技術セミナー開催の仕組みの整備を行ってきた。CAD 利用のための技術セミナーでは、VDEC で使用可能なCadence, Synopsys, Keysight などCADベンダーのそれぞれのCAD ツールの操作方法等を各ツールベンダーから講師を派遣していただき講習を行っている。東大VDECがメイン会場として開催し、VDEC拠点校にストリーミング配信をする。年度内2回開催し、それぞれ、数日間の講習会となる。一つのツールは1日や二日間となっている。教員・学生は本講習会を通して最新版CADツールの使用方法やVDEC ライブラリを用いた VLSI 設計フローを修得している。

表A.3.1 令和1年度 CAD 技術セミナー開催状況

第1回CAD講習会

日程	講習会	場所	参加人数
8/11	Keysight Empro	オンライン	14
8/19, 19	Synopsys IC Compiler-II	オンライン	27
8/25	Synopsys IC Validator	オンライン	19
8/27, 28	Cadence Virtuoso Schematic, Layout	オンライン	74
9/1	Synopsys Custom Designer	オンライン	18
9/4	Cadence Innovus	オンライン	24

第2回CAD講習会

※令和2年第2回CAD講習会では、Formality, Design Compiler, ICC-IIの講習会は時間限定公開でon-demandとなった。3/26に上記三種ツールのQ&Aライブミーティングを開催。

日程	講習会	場所	参加人数
3/18	Cadence Innovus	オンライン	35
3/19	Synopsys SiliconSmart	オンライン	16
3/24	Cadence SpectreRF	オンライン	50
3/25	Cadence Quantus	オンライン	34
3/26	Synopsys Q&A Meeting	オンライン	14
3/31まで	Synopsys Formality	On-demand	95
3/31まで	Synopsys Design Compiler	On-demand	113
3/31まで	Synopsys IC Compiler-II	On-demand	114

A.3.2 社会人・大学向けリフレッシュセミナー

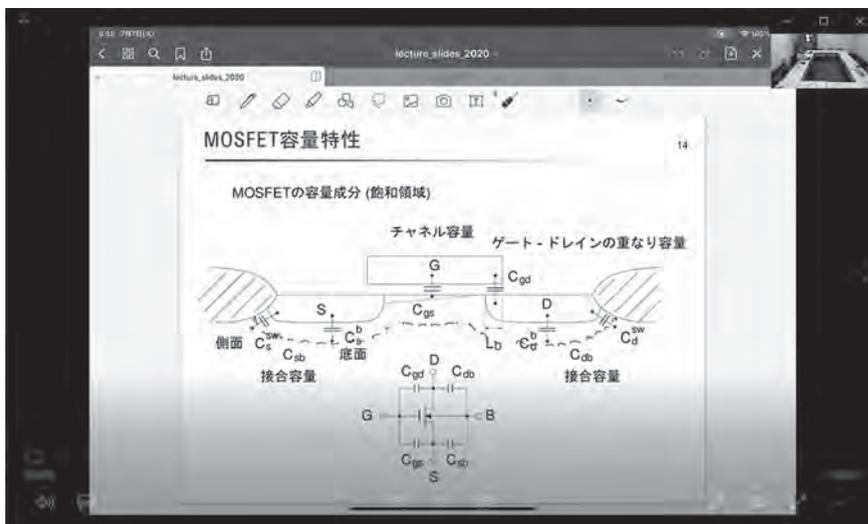
今年も集積回路産業に携わる職業人を対象にリフレッシュ教育としてVLSI 設計に関する最新かつ高度の知識・技術の習得を目的として、社会人向けの「VLSI 設計リフレッシュセミナー」を拠点大学教官および企業の第一線の設計者を講師に招き開催した(表B.3.2).

このセミナーは主に社会人を対象として、演習を伴う最新のVLSI 設計技術の実践的教育を行うもので、平

成10年度に文部省専門教育課の支援のもとでスタートしたが、今年度は(財)電気電子情報振興財団の協力(共催)を得、また文部省高等教育局専門教育課、日本電子機械協会(EIAJ)、システムLSI開発支援センター(VSAC)、半導体理工学研究センター(STARC)、日本応用物理学会、情報処理学会、電気学会、電子情報通信学会の協賛をあわせて得ることができ、大変効果的で有意義なセミナーとなった。



図A.3.3 リフレッシュ教育会場風景(東大VDECセミナー室)



図A.3.4 リフレッシュ教育オンライン授業のPC画面

表A.3.2 リフレッシュセミナー開催状況

日程	コース	内容	講師	参加人数
6/23, 24	コース VD : VDEC 環境でのデジタル設計講習会	VDEC連携提供したツールとプロセスでのデジタル設計フロー	小林 和淑 (京都工芸繊維大学)	36
7/6, 7, 8	コース A : アナログ集積回路設計と演習	回路設計, 回路シミュレーション アナログ集積回路の特徴と役割 レイアウト設計, 検証(DRC, LVS)	杉本泰博 (中央大学) 小野寺秀俊 (京都大学) 小谷光司 (東北大学)	48
7/20, 21	コース R : CMOS-RF 集積回路設計と演習	変復調, 多次元接続方式 回路の基本性能, トランシーバアーキテクチャ 要素回路, 設計フロー	伊藤 浩之 (東京工業大学)	12
8/20, 21	コース VT: VDEC 環境でのトランジスタレベル設計講習会	VDEC連携提供したツールとプロセスでのカスタマイズ設計フロー	名倉 徹 (福岡大学)	27
9/7, 8	コース M1 : MEMS 設計と演習	MEMS の基礎1: 作製法 MEMS の基礎2: 動作原理 機構設計 レイアウト設計	三田吉郎 (東京大学)	2
9/14, 15, 16	コース M2 : MEMS 試作と評価	CAD設計・解析 リソグラフィ, エッチング, リリース 振動解析測定	三田吉郎 (東京大学)	1

A.3.3 Matlab 講習会

今年はMathworks社と共催し、「MATLAB/Simulinkを使ったFPGA/ASIC開発の効率化 基本機能体験会」を9月11日に開催した。参加人数が27人だった。Mathworks社によりボリュームがある資料とラボデータを提供し、参加者各自の環境でSimulinkのブロック図からHDLまでの自動変換の演習を行った。

A.3.4 大学向けデザイナーズフォーラム

学生および若手教官を対象としたVDEC LSI デザイナーフォーラム (VDEC Designers Forum) を開催している。VDEC LSI デザイナーフォーラムは、LSI設計者が、互いの研究成果だけではなく、チップ設計で苦労した点、失敗事例と解決策、研究室に於ける設計環境の構築法など、通常の研究会や学会などでは得ることのできない情報を共有し、大学または研究室の枠を越えて研究者が連携を深めることを目的としている。

表A.3.3 デザイナーズフォーラムプログラム

9/25, 26 オンライン 参加人数：38人

9/25

時間	
12:00-12:45	会場受付 (オンライン入室開始)
12:45	開会
13:00-14:00	基調講演 根塚 智裕 様 (株式会社ミライズテクノロジーズ)
14:00-14:10	休憩
14:10-15:50	d.lab-VDEC デザインアワードデザインアワード発表会1 (20分×5名)

9/26

時間	
13:00-13:50	アイデアコンテスト部門発表会1 (10分×5名)
13:50-14:00	休憩
14:00-14:50	アイデアコンテスト部門発表会2 (10分×5名)
14:50-15:00	アイデアコンテスト部門投票, 全体表彰式準備
15:30-	全体授賞式, 閉会

A.4 VDEC発ベンチャー

VDECでの設計/試作経験、人材育成が有効には機能した事例といたしまして、VDECと関連があった（ある）教員が起業したベンチャー企業のリスト（順不同）を以下に示します。

[1] エイ・アイ・エル株式会社 (<http://www.ailabo.co.jp/>)

代表の先生： 神戸大学 瀧 和男 教授（同社、代表取締役社長）

事業内容： (1) LSI設計受託開発・
(2) エンジニア派遣

[2] 株式会社シンセシス

(2017年7月1日に株式会社ソリトンシステムズと合併, <https://www.soliton.co.jp>)

代表の先生： 大阪大学 白川 功 名誉教授（同社、取締役）

事業内容： (1) システムLSI開発・設計受託
(2) IP開発及び販売
(3) システムソリューション提供
(4) 設計支援ツール開発及び販売

[3] エイシップ・ソリューションズ株式会社 (<http://www.asip-solutions.com/>)

代表の先生： 大阪大学 今井 正治 教授（同社、代表取締役 CTO）

事業内容： (1) IoT応用システムの研究、開発、教育およびコンサルテーション
(2) ASIP設計ツールの販売、ASIP開発のコンサルテーション

[4] 株式会社ナノデザイン (<http://www.nanodesign.co.jp/>)

代表の先生：九州工業大学 中村 和之 教授（同社、代表取締役）

事業内容： (1) 大規模半導体集積回路（LSI）の設計・開発
(2) LSI設計用CAD, 及びLSI評価用装置の開発
(3) 設計コンサルティング, 他

[5] 株式会社エイアールテック (<http://www.a-r-tec.jp/>)

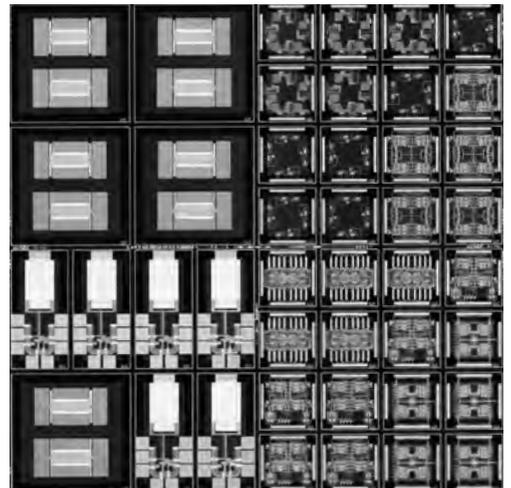
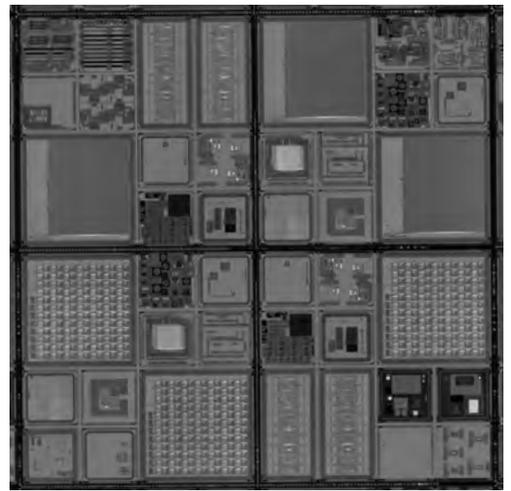
代表の先生：広島大学 岩田 穆 名誉教授（同社、代表取締役）

事業内容： (1) 半導体集積回路（IC）およびIC評価ボードのアナログ設計/測定業務
(2) 基板クロストーク雑音の解析・低減業務
(3) 人材育成やOJT, 講習会企業との協力と人材育成

[6] 有限会社 石島電子技研 (<http://ishi.main.jp/>)

事業内容： (1) 電子回路・基板開発
(2) ソフトウェア開発
(3) コンサルティング

B. チップ°試作結果報告



B.1 試作ラン別一覧

令和元年度第2回オンセミコンダクター—三洋 CMOS 0.8um 試作

題名	大学名	研究者	掲載頁
静電容量式 CMOS-MEMS 加速度センサ	東京電機大学工学研究科電気電子工学専攻 東京電機大学工学部電子システム工学科	清水 優作 小松 聡	95
CV 変換回路集積化静電容量式 CMOS-MEMS 圧力センサ	東京電機大学大学院工学研究科電気電子工学専攻 東京電機大学工学部電子システム工学科	野口 駿太 井田 拓実, 小松 聡	95
CMOS イメージセンサ回路用 TEG	豊田工業高等専門学校電気・電子システム工学科	熊谷 勇喜	95
静電モータの駆動波形を生成するハードウェアニューラルネットワークの TEG チップ	日本大学大学院理工学研究科 日本大学理工学部	佐々木 拓郎, 黒澤 実花, 宇佐見 雄, 加藤 真也, 榊 亜理沙, 郷湊 拓生 齊藤 健	96
昆虫型マイクロロボットの三脚歩行が可能なハードウェアニューラルネットワークの TEG チップ	日本大学大学院理工学研究科 日本大学理工学部	宇佐見 雄, 加藤 真也, 榊 亜理沙, 佐々木 拓郎, 黒澤 実花 齊藤 健	96
四足歩行ロボット搭載用自己帰帰の特性を持つニューロモフィック回路の改良チップ (シールド付与)	日本大学大学院理工学研究科 日本大学理工学部	加藤 真也, 宇佐見 雄, 榊 亜理沙, 佐々木 拓郎, 黒澤 実花 齊藤 健	96
マイクロロボット用静電モータの駆動波形を生成するニューラルネットワークの TEG チップ	日本大学大学院理工学研究科 日本大学理工学部	榊 亜理沙, 宇佐見 雄, 加藤 真也, 佐々木 拓郎, 黒澤 実花 齊藤 健	97
ベアチップ IC 一体型4足 MEMS マイクロロボットの歩行制御用パルス形ハードウェアニューラルネットワーク	日本大学大学院理工学研究科 日本大学理工学部	早川 幹人, 加藤 凌 金子 美泉, 齊藤 健, 内木場 文男	97
脊髄運動を模倣したパルス形ハードウェアニューラルネットワーク	日本大学大学院理工学研究科 日本大学理工学部	早川 幹人, 加藤 凌 金子 美泉, 齊藤 健, 内木場 文男	97

令和2年度第1回オンセミコンダクター—三洋 CMOS 0.8um 試作

題名	大学名	研究者	掲載頁
静電容量式 CMOS-MEMS 加速度センサの改良	東京電機大学工学研究科電気電子工学専攻 東京電機大学工学部電子システム工学科	清水 優作 小松 聡	98
集積回路化受容細胞モデル TEG チップ	日本大学大学院理工学研究科 日本大学理工学部	加藤 真也, 宇佐見 雄, 榊 亜理沙, 佐々木 拓郎, 黒澤 実花 齊藤 健	98
マイクロロボットの歩行パターン及び静電モータの駆動波形を生成するニューラルネットワークの TEG チップ	日本大学大学院理工学研究科 日本大学理工学部	榊 亜理沙, 宇佐見 雄, 加藤 真也, 佐々木 拓郎, 黒澤 実花 齊藤 健	98
階層型のパルス形ハードウェアニューラルネットワークの改良	日本大学大学院理工学研究科 日本大学理工学部	宇佐見 雄, 加藤 真也, 榊 亜理沙, 佐々木 拓郎, 黒澤 実花 齊藤 健	99
静電モータで駆動する6脚マイクロロボットの歩容を生成するニューラルネットワークの TEG チップ	日本大学大学院理工学研究科 日本大学理工学部	郷湊 拓生, 榊 亜理沙, 宇佐見 雄, 加藤 真也, 佐々木 拓郎, 黒澤 実花 齊藤 健	99
脊髄運動を模倣したパルス形ハードウェアニューラルネットワークの改良チップ	日本大学大学院理工学研究科 日本大学理工学部	早川 幹人, 武田 健嗣, 加藤 凌, 石橋 元邦 栗飯原 萌, 金子 美泉, 齊藤 健, 内木場 文男	99
電源搭載型6足 MEMS マイクロロボットの歩行制御用パルス形ハードウェアニューラルネットワーク	日本大学大学院理工学研究科 日本大学理工学部	早川 幹人, 武田 健嗣, 加藤 凌, 石橋 元邦 栗飯原 萌, 金子 美泉, 齊藤 健, 内木場 文男	100

令和元年度第4回ローム CMOS 0.18um 試作

題名	大学名	研究者	掲載頁
近閾値電圧動作向けスタンダードセルの評価	福岡大学工学部 電子情報工学科	須藤 有香, 西澤 真一, 名倉 徹	101
スタンダードセル設計手法を用いた逐次比較型 ADC	東京電機大学工学研究科電気電子工学専攻 東京電機大学工学部電子システム工学科	平野 皓士 小松 聡	101
流量計, 発汗センサ	信州大学工学部	加賀 悠太, 狩野 楓, 坂田 天来, 上口 光	101
単一磁束量子メモリ制御用の CMOS デコーダほか	横浜国立大学理工学部	弘中 祐樹, 吉川 信行	102
細胞インピーダンス測定チップ	立命館大学理工学部 立命館大学理工学研究科	宇野 重康 春日 俊介, 柳瀬 智史	102
IR ドロップ遅延評価用テストチップ	九州工業大学情報工学研究科	渡名喜 幹輝	102
筋電測定回路ほか	福岡大学工学部 電子情報工学科	徳永 達也, 荒木 貫吾, 立川 朋弥, 水町 凌, 白濱 嘉紋, 小田嶋 修, 樋口 洋彦, 大和 夢芽 名倉 徹	103

低電圧・小面積CMOSアナログ回路の試作	明治大学理工学研究科	関根 かをり, 王 啓成, 高瀬 文哉, 小林 洵也, 木下 木功喜	103
脳波取得フロントエンドの改良及び自立動作可能LSIチップのための各要素回路の改良	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦, 三浦 大毅, 八木 健太 ホルヘ カナダ, 三河 樹由, 吉田 祐威	103
光ファイバ送信機要素回路	東京理科大学理工学部電気電子情報工学科 東京理科大学理工学研究科電気工学専攻	榎田 洋太郎, 高野 恭弥 川原 啓輔	104
60 GHz帯アップコンバージョンミキサ	東京理科大学理工学部電気電子情報工学科 東京理科大学理工学研究科電気工学専攻	榎田 洋太郎, 高野 恭弥 萩原 豊之, 酒井 元, 佐原 健太, 関根 光輝	104
デジタルビームフォーミング用信号生成回路実証チップ	滋賀県立大学工学部	井上 正隆, 井上 敏之, 岸根 桂路	104

令和2年度/令和元年度第1回ローム CMOS 0.18um 試作

題名	大学名	研究者	掲載頁
低電圧で動作する温度センサ回路 TEG ほか	立命館大学大学院情報理工学研究科 立命館大学情報理工学部	室原 脩人, 宮内 悠太, 木村 知也 今川 隆司, 越智 裕之	105
SFQ/CMOS ハイブリッド回路用64-kb シーケンシャルアクセス CMOS メモリ	横浜国立大学理工学部	弘中 祐樹, 吉川 信行	105
低温 CMOS デバイスの特性評価用 TEG	横浜国立大学理工学部	弘中 祐樹, 吉川 信行	105
低消費電力誘導結合通信回路 TEG	東京大学大学院情報理工学系研究科	門本 淳一郎, 入江 英嗣, 坂井 修一	106
磁気センサの RTSノイズ特性評価用 TEG	茨城大学理工学研究科	木村 孝之	106
脳波取得フロントエンドの改良及び自立動作可能LSIチップのための各要素回路の改良	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦, 小貫 怜央, 山村 健太 ホルヘ カナダ, 三河 樹由, 吉田 祐威, 三浦 大毅, 八木 健太	106
60 GHz帯ダウンコンバージョンミキサ	東京理科大学理工学部電気電子情報工学科 東京理科大学理工学研究科電気工学専攻	榎田 洋太郎, 高野 恭弥 萩原 豊之, 酒井 元, 佐原 健太, 関根 光輝	107
光ファイバ送信機要素回路	東京理科大学理工学部電気電子情報工学科 東京理科大学理工学研究科電気工学専攻	榎田 洋太郎, 高野 恭弥 川原 啓輔	107
トータルドーズ耐性試験向け光再構成型ゲートアレイ VLSI	静岡大学大学院総合科学技術研究科工学専攻	渡邊 実	107
CMOS イメージセンサー	静岡大学大学院総合科学技術研究科工学専攻	渡邊 実	108
入力ダイナミックレンジ拡大のための光通信用トランスインピーダンスアンプの回路構成実証チップ	滋賀県立大学工学部	土田 知史, 土谷 亮, 井上 敏之, 岸根 桂路	108
耐放射線 RISC-V プロセッサ	京都工芸繊維大学電気電子工学系	小林 和淑	108

令和2年度/令和元年度第2回ローム CMOS 0.18um 試作

題名	大学名	研究者	掲載頁
低電圧で動作するイメージセンサ用画素回路 TEG ほか	立命館大学大学院情報理工学研究科 立命館大学情報理工学部	室原 脩人, 宮内 悠太, 木村 知也 今川 隆司, 越智 裕之	109
スタンダードセルを用いたフルデジタル SARADC	東京電機大学工学研究科電気電子工学専攻 東京電機大学工学部電子システム工学科	福島 拓実, 平野 皓士 小松 聡	109
IoTのためのアナログ回路 TEG	広島工業大学工学部	升井 義博	109
バイオリギングでの利用を想定したデータロガー用アナログ回路 TEG	広島工業大学工学部	升井 義博	110
Flash ADC, 高速温度分布測定回路, VLL ADC	芝浦工業大学工学部	佐々木 昌浩, 萬羽 敦史, 山本 大貴, 福岡 慶祐	110
SFQ/CMOS ハイブリッド回路用64-kb シーケンシャルアクセス CMOS メモリほか	横浜国立大学理工学部	弘中, 吉川 信行	110
単一磁束量子高速フーリエ変換プロセッサ用 CMOS メモリ	横浜国立大学理工学部	弘中 祐樹, 吉川 信行	111
無線通信プロセッサ TEG	東京大学大学院情報理工学系研究科	門本 淳一郎, 入江 英嗣, 坂井 修一	111
積分ジャイロスコープ用固有モード検出器	東北大学工学研究科 ロボティクス専攻	塚本 貴城	111
高速通信伝送や生体センサに用いる CMOS アナログ回路の試作	明治大学理工学研究科	関根 かをり, 木下 功喜, 和井田 優太	112
脳波取得フロントエンドの改良及び自立動作可能LSIチップのための各要素回路の改良	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦, 小貫 怜央, 山村 健太 吉田 祐威, 三河 樹由, 八木 健太, 三浦 大毅	112
光変調器駆動回路とデバイス TEG	東京理科大学理工学部電気電子情報工学科 東京理科大学理工学研究科電気工学専攻	榎田 洋太郎, 高野 恭弥 川原 啓輔	112
ホログラムメモリ回折パターン計測用イメージセンサー	静岡大学大学院総合科学技術研究科工学専攻	渡邊 実	113
粗粒度光再構成型プロセッサアレイ	静岡大学大学院総合科学技術研究科工学専攻	渡邊 実	113

FiCCを用いたSRAMならびにスタンダードセルメモリ	京都工芸繊維大学電気電子工学系 京都工芸繊維大学電子システム工学専攻 京都工芸繊維大学電子システム工学課程	小林 和淑 浦部 孝樹 阿部 佑貴	113
-----------------------------	---	-------------------------	-----

令和2年度/令和元年度第3回ローム CMOS 0.18um 試作

題名	大学名	研究者	掲載頁
高周波回路 TEG	岡山県立大学情報工学部 岡山県立大学大学院情報系工学研究科システム工学専攻	伊藤 信之 吉澤 悠人, 金田 直樹, 宮搦 和哉	114
Stochastic Computingを用いた離散コサイン変換回路の試作	東京電機大学工学研究科電気電子工学専攻 東京電機大学工学部電子システム工学科	小山 泰成, 平野 皓士 小松 聡	114
CMOS イメージセンサの1画素回路	東京電機大学工学研究科電子システム工学専攻 東京電機大学工学研究科電気電子工学専攻 東京電機大学工学部電子システム工学科	若林 怜玖 瀬端 康平, 福島 拓実 小松 聡, 高橋 弘貴	114
流量計, 発汗センサ	信州大学工学部	加賀 悠太, 狩野 楓, 坂田 天来, 上口 光	115
SFQ/CMOS ハイブリッド回路用低電力64-kb CMOS RAM	横浜国立大学理工学部	弘中 祐樹, 吉川 信行	115
AQFP/CMOS ハイブリッド FPGA のための CMOS メモリほか	横浜国立大学理工学部	弘中, 吉川 信行	115
オンチップ太陽電池と環境電圧発電向け整流回路	秋田県立大学システム科学技術研究科 秋田県立大学システム科学技術学部	渡辺 準樹 小谷 光司	116
新方式の神経細胞モデル実装	日本大学理工学部	佐伯 勝敏, 佐々木 芳樹, 鈴木 克典	116
配線容量計算モデル検証用の回路	静岡大学工学部	丹沢 徹	116
細胞インピーダンス測定チップ	立命館大学理工学部 立命館大学理工学研究科	宇野 重康 春日 俊介, 柳瀬 智史	117
意味的分割用量込み演算器の試作	金沢大学高度モビリティ研究所	深山 正幸	117
基本 LDO その他	電気通信大学情報理工学研究科情報ネットワーク工学専攻	植田 健斗, 範 公可, 石橋 孝一郎	117
4bit × 4bit 乗算器 その他	電気通信大学情報理工学研究科情報ネットワーク工学専攻	三村 巧, 範 公可, 石橋 孝一郎	118
遅延故障およびIC間配線の検査用の各種検査容易化回路の試作	徳島大学大学院先端技術科学教育部 徳島大学大学院創成科学研究科 徳島大学大学院社会産業理工学研究部	宮谷 康希, 長田 奏美, 中西 健人 大寺 佑都, 出口 祥大, 牧野 紘史, 知野 遥香 四柳 浩之	118
磁界結合型無線電力伝送回路に用いる周波数制御回路	明治大学大学院理工学研究科	藤田 誉大	118
リングオシレータ TEG	東京工芸大学工学部	崔 通, 荒木 昌太郎, 酒井 宏樹	119
分布型差動増幅回路とデバイス TEG	東京理科大学理工学部電気電子情報工学科 東京理科大学理工学研究科電気工学専攻	煤田 洋太郎, 高野 恭弥 川原 啓輔	119
マイクロ波フィルタ回路と伝送線路 TEG	東京理科大学理工学部電気電子情報工学科 東京理科大学理工学研究科電気工学専攻	煤田 洋太郎, 高野 恭弥 川原 啓輔	119
60 GHz 帯送受信機用要素回路	東京理科大学理工学部電気電子情報工学科 東京理科大学理工学研究科電気工学専攻	煤田 洋太郎, 高野 恭弥 酒井 元, 佐原 健太, 関根 光輝, 那須 南美	120
電氣的にも書き換えが可能な光再構成型ゲートアレイ VLSI	静岡大学大学院総合科学技術研究科工学専攻	渡邊 実	120
耐放射線 CMOS イメージセンサ	静岡大学大学院総合科学技術研究科工学専攻	渡邊 実	120
PAM4信号トランスミッタにおける信号劣化補償実証チップ	滋賀県立大学工学部	市井 裕大, 宮部 雅也, 井上 敏之, 岸根 桂路	121
光プローブ電流センサ向け容量型トランスインピーダンスアンプの広帯域化と精度改善	信州大学大学院総合理工学研究科	Nguyen Phuc, 赤羽 和哉, 宮地 幸祐	121
光受信用アナログフロントエンド回路 TEG6	岐阜大学大学院自然科学技術研究科 岐阜大学工学部	湯浅 貴文, 石原 直志 伊藤 大輔, 中村 誠	121

令和元年度第1回ルネサス CMOS 65nm 試作

題名	大学名	研究者	掲載頁
エネルギーハーベスティング電源回路 1	金沢大学	北川章夫	122
エネルギーハーベスティング電源回路 2	金沢大学	北川章夫	122
AD変換器	東京都市大学理工学部	傘 昊	122
VLSI劣化検知のためのフィールドテスト技術の評価用 TEG チップ	九州工業大学大学院情報工学研究院	加藤 隆明, 三宅 庸資, 梶原 誠司, 宮瀬 紘平	123
プロセッサ RSD	東京大学情報理工学系研究科 株式会社ロジックリサーチ	塩谷 亮太, 眞下 達, 藤田 晃史, 赤木 晟也, 松尾 玲央馬, 小泉 透 Yang Tongxin	123

ソフトウェア耐性の高いRISC-Vと信頼性測定 TEG	京都工芸繊維大学電気電子工学系 東京理科大学工学部 電気電子情報工 学科 京都工芸繊維大学電子システム工学専攻	小林 和淑, 古田 潤 岸田 亮 足助 拓哉, 須田 郁生, 河野 雄哉	123
--------------------------------	--	--	-----

令和2年度第1回ルネサス CMOS 65nm 試作

題名	大学名	研究者	掲載頁
フリップフロップの初期値のランダム性を利用 したチップIDの実現およびチップ劣化量の推測	福岡大学工学部 電子情報工学科	西澤 真一, 名倉 徹	124
耐放射線RISC-Vプロセッサ	京都工芸繊維大学電気電子工学系	小林 和淑	124
耐放射線FFアレイ	京都工芸繊維大学電気電子工学系 京都工芸繊維大学電子システム工学専攻	小林 和淑, 古田 潤 記伊 智也	124
経年劣化評価回路と省面積低消費電力な逐次 比較型AD変換器	京都工芸繊維大学電気電子工学系 東京理科大学工学部 電気電子情報工 学科 京都工芸繊維大学電子システム工学専攻 東京理科大学工学研究科 電気工学専攻	小林 和淑 岸田 亮 須田 郁生 関根 慧, 平井 龍吉, 滝田 颯人	125

B-1

Appendix

B.2 チップ種別一覧

MEMS

ラン名	タイトル	研究者	掲載頁
OS08192	静電容量式CMOS-MEMS加速度センサ	清水 優作, 小松 聡	95
OS08192	CV 変換回路集積化静電容量式CMOS-MEMS 圧力センサ	野口 駿太, 井田 拓実, 小松 聡	95
OS08201	静電容量式CMOS-MEMS加速度センサの改良	清水 優作, 小松 聡	98

TEG (特性評価回路など)

ラン名	タイトル	研究者	掲載頁
OS08192	CMOSイメージセンサ回路用TEG	熊谷 勇喜	95
OS08192	静電モータの駆動波形を生成するハードウェアニューラルネットワークのTEGチップ	佐々木 拓郎, 黒澤 実花, 宇佐見 雄, 加藤 真也, 榊 亜理沙, 郷渥 拓生, 齊藤 健	96
OS08192	昆虫型マイクロロボットの三脚歩行が可能なハードウェアニューラルネットワークのTEGチップ	宇佐見 雄, 加藤 真也, 榊 亜理沙, 佐々木 拓郎, 黒澤 実花, 齊藤 健	96
OS08192	四足歩行ロボット搭載用自己帰帰の特性を持つニューロモフィック回路の改良チップ (シールド付与)	加藤 真也, 宇佐見 雄, 榊 亜理沙, 佐々木 拓郎, 黒澤 実花, 齊藤 健	96
OS08192	マイクロロボット用静電モータの駆動波形を生成するニューラルネットワークのTEGチップ	榊 亜理沙, 宇佐見 雄, 加藤 真也, 佐々木 拓郎, 黒澤 実花, 齊藤 健	97
OS08192	ペアチップIC一体型4足MEMSマイクロロボットの歩行制御用パルス形ハードウェアニューラルネットワーク	早川 幹人, 加藤 凌, 金子 美泉, 齊藤 健, 内木場 文男	97
OS08192	脊髄運動を模倣したパルス形ハードウェアニューラルネットワーク	早川 幹人, 加藤 凌, 金子 美泉, 齊藤 健, 内木場 文男	97
OS08201	集積回路化受容細胞モデルTEGチップ	加藤 真也, 宇佐見 雄, 榊 亜理沙, 佐々木 拓郎, 黒澤 実花, 齊藤 健	98
OS08201	マイクロロボットの歩行パターン及び静電モータの駆動波形を生成するニューラルネットワークのTEGチップ	榊 亜理沙, 宇佐見 雄, 加藤 真也, 佐々木 拓郎, 黒澤 実花, 齊藤 健	98
OS08201	階層型のパルス形ハードウェアニューラルネットワークの改良	宇佐見 雄, 加藤 真也, 榊 亜理沙, 佐々木 拓郎, 黒澤 実花, 齊藤 健	99
OS08201	静電モータで駆動する6脚マイクロロボットの歩容を生成するニューラルネットワークのTEGチップ	郷渥 拓生, 榊 亜理沙, 宇佐見 雄, 加藤 真也, 佐々木 拓郎, 黒澤 実花, 齊藤 健	99
OS08201	脊髄運動を模倣したパルス形ハードウェアニューラルネットワークの改良チップ	早川 幹人, 武田 健嗣, 加藤 凌, 石橋 元邦, 粟飯原 萌, 金子 美泉, 齊藤 健, 内木場 文男	99
OS08201	電源搭載型6足MEMSマイクロロボットの歩行制御用パルス形ハードウェアニューラルネットワーク	早川 幹人, 武田 健嗣, 加藤 凌, 石橋 元邦, 粟飯原 萌, 金子 美泉, 齊藤 健, 内木場 文男	100
RO18194	近閾値電圧動作向けスタンダードセルの評価	須藤 有香, 西澤 真一, 名倉 徹	101
RO18194	IRドロップ遅延評価用テストチップ	渡名喜 幹輝	102
RO18194	低電圧・小面積CMOSアナログ回路の試作	関根 かをり, 王 啓成, 高瀬 文哉, 小林 洵也, 木下 木功喜	103
RO18201	低電圧で動作する温度センサ回路TEGほか	室原 脩人, 宮内 悠太, 木村 知也, 今川 隆司, 越智 裕之	105
RO18201	低温CMOSデバイスの特性評価用TEG	弘中 祐樹, 吉川 信行	105
RO18201	低消費電力誘導結合通信回路TEG	門本 淳一郎, 入江 英嗣, 坂井 修一	106
RO18202	低電圧で動作するイメージセンサ用画素回路TEGほか	室原 脩人, 宮内 悠太, 木村 知也, 今川 隆司, 越智 裕之	109
RO18202	無線通信プロセッサTEG	門本 淳一郎, 入江 英嗣, 坂井 修一	111
RO18202	高速通信伝送や生体センサに用いるCMOSアナログ回路の試作	関根 かをり, 木下 功喜, 和井田 優太	112
RO18203	オンチップ太陽電池と環境電波発電向け整流回路	渡辺 準樹, 小谷 光司	116
RO18203	配線容量計算モデル検証用の回路	丹沢 徹	116
RO18203	遅延故障およびIC間配線の検査用の各種検査容易化回路の試作	宮谷 康希, 長田 奏美, 中西 健人, 大寺 佑都, 出口 祥大, 牧野 紘史, 知野 遥香, 四柳 浩之	118
RO18203	リングオシレータTEG	崔 通, 荒木 昌太郎, 酒井 宏樹	119
RS65192	VLSI劣化検知のためのフィールドテスト技術の評価用TEGチップ	加藤 隆明, 三宅 庸資, 梶原 誠司, 宮瀬 紘平	123
RS65201	フリップフロップの初期値のランダム性を利用したチップIDの実現およびチップ劣化量の推測	西澤 真一, 名倉 徹	124
RS65201	耐放射線F F アレイ	小林 和淑, 古田 潤, 記伊 智也	124
RS65201	経年劣化評価回路と省面積低消費電力な逐次比較型AD変換器	小林 和淑, 岸田 亮, 須田 郁生, 関根 慧, 平井 龍吉, 滝田 颯人	125

アナログ / デジタル信号処理プロセス

ラン名	タイトル	研究者	掲載頁
RO18203	磁界結合型無線電力伝送回路に用いる周波数制御回路	藤田 誉大	118

アナログ (PLL, A-D/DC-DCコンバータなど)

ラン名	タイトル	研究者	掲載頁
RO18194	スタンダードセル設計手法を用いた逐次比較型ADC	平野 皓士, 小松 聡	101
RO18194	筋電測定回路ほか	徳永 達也, 荒木 貫吾, 立川 朋弥, 水町 凌, 白濱 嘉紋, 小田嶋 修, 樋口 洋彦, 大和 夢芽, 名倉 徹	103
RO18194	デジタルビームフォーミング用信号生成回路実証チップ	井上 正隆, 井上 敏之, 岸根 桂路	104
RO18202	スタンダードセルを用いたフルデジタルSARADC	福島 拓実, 平野 皓士, 小松 聡	109
RO18202	IoTのためのアナログ回路TEG	升井 義博	109
RO18202	バイオリギングでの利用を想定したデータロガー用アナログ回路TEG	升井 義博	110
RO18202	Flash ADC, 高速温度分布測定回路, VLL ADC	佐々木 昌浩, 萬羽 敦史, 山本 大貴, 福岡 慶祐	110
RO18203	基本LDOその他	植田 健斗, 範 公司, 石橋 孝一郎	117
RS65192	エネルギーハーベスティング電源回路1	北川章夫	122
RS65192	エネルギーハーベスティング電源回路2	北川章夫	122

イメージセンサ / スマートセンサ

ラン名	タイトル	研究者	掲載頁
RO18194	流量計, 発汗センサ	加賀 悠太, 狩野 楓, 坂田 天来, 上口 光	101
RO18194	細胞インピーダンス測定チップ	宇野 重康, 春日 俊介, 柳瀬 智史	102
RO18201	CMOSイメージセンサー	渡邊 実	108
RO18202	ホログラムメモリ回折パターン計測用イメージセンサー	渡邊 実	113
RO18203	CMOSイメージセンサの1画素回路	若林 怜玖, 瀬端 康平, 福島 拓実, 小松 聡, 高橋 弘貴	114
RO18203	流量計, 発汗センサ	加賀 悠太, 狩野 楓, 坂田 天来, 上口 光	115
RO18203	細胞インピーダンス測定チップ	宇野 重康, 春日 俊介, 柳瀬 智史	117
RO18203	耐放射線CMOSイメージセンサー	渡邊 実	120
RO18203	光プローブ電流センサ向け容量型トランスインピーダンスアンプの広帯域化と精度改善	Nguyen Phuc, 赤羽 和哉, 宮地 幸祐	121

マイクロプロセッサ

ラン名	タイトル	研究者	掲載頁
RO18194	脳波取得フロントエンドの改良及び自立動作可能LSIチップのための各要素回路の改良	中野 誠彦, 三浦 大毅, 八木 健太, ホルヘ カナダ, 三河 樹由, 吉田 祐威	103
RO18201	脳波取得フロントエンドの改良及び自立動作可能LSIチップのための各要素回路の改良	中野 誠彦, 小貫 怜央, 山村 健太, ホルヘ カナダ, 三河 樹由, 吉田 祐威, 三浦 大毅, 八木 健太	106
RO18201	耐放射線RISC-Vプロセッサ	小林 和淑	108
RO18202	粗粒度光再構成型プロセッサアレイ	渡邊 実	113
RO18203	新方式の神経細胞モデル実装	佐伯 勝敏, 佐々木 芳樹, 鈴木 克典	116
RS65192	AD変換器	傘 昊	122
RS65192	プロセッサ RSD	塩谷 亮太, 眞下 達, 藤田 晃史, 赤木 晟也, 松尾 玲央馬, 小泉 透, Yang Tongxin	123
RS65192	ソフトウェア耐性の高いRISC-Vと信頼性測定TEG	小林 和淑, 古田 潤, 岸田 亮, 足助 拓哉, 須田 郁生, 河野 雄哉	123
RS65201	耐放射線RISC-Vプロセッサ	小林 和淑	124

メモリ

ラン名	タイトル	研究者	掲載頁
RO18194	単一磁束量子メモリ制御用のCMOSデコーダほか	弘中 祐樹, 吉川 信行	102
RO18201	SFQ/CMOSハイブリッド回路用64-kbシーケンシャルアクセスCMOSメモリ	弘中 祐樹, 吉川 信行	105
RO18202	SFQ/CMOSハイブリッド回路用64-kbシーケンシャルアクセスCMOSメモリほか	弘中, 吉川 信行	110
RO18202	単一磁束量子高速フーリエ変換プロセッサ用CMOSメモリ	弘中 祐樹, 吉川 信行	111
RO18202	FiCCを用いたSRAMならびにスタンダードセルメモリ	小林 和淑, 浦部 孝樹, 阿部 佑貴	113

RO18203	SFQ/CMOSハイブリッド回路用低電力64-kb CMOS RAM	弘中 祐樹, 吉川 信行	115
RO18203	AQFP/CMOSハイブリッドFPGAのためのCMOSメモリほか	弘中, 吉川 信行	115

通信 (RF回路, ATMなど)

ラン名	タイトル	研究者	掲載頁
RO18194	光ファイバ送信機要素回路	榎田 洋太郎, 高野 恭弥, 川原 啓輔	104
RO18201	60 GHz帯ダウンコンバージョンミキサ	榎田 洋太郎, 高野 恭弥, 萩原 豊之, 酒井 元, 佐原 健太, 関根 光輝	107
RO18201	光ファイバ送信機要素回路	榎田 洋太郎, 高野 恭弥, 川原 啓輔	107
RO18201	入力ダイナミックレンジ拡大のための光通信用トランスインピーダンスアップの回路構成実証チップ	土田 知史, 土谷 亮, 井上 敏之, 岸根 桂路	108
RO18202	光変調器駆動回路とデバイス TEG	榎田 洋太郎, 高野 恭弥, 川原 啓輔	112
RO18203	高周波回路 TEG	伊藤 信之, 吉澤 悠人, 金田 直樹, 宮嶋 和哉	114
RO18203	分布型差動増幅回路とデバイス TEG	榎田 洋太郎, 高野 恭弥, 川原 啓輔	119
RO18203	マイクロ波フィルタ回路と伝送線路 TEG	榎田 洋太郎, 高野 恭弥, 川原 啓輔	119
RO18203	60 GHz帯送受信機用要素回路	榎田 洋太郎, 高野 恭弥, 酒井 元, 佐原 健太, 関根 光輝, 那須 南美	120
RO18203	PAM4信号トランスミッタにおける信号劣化補償実証チップ	市井 裕大, 宮部 雅也, 井上 敏之, 岸根 桂路	121
RO18203	光受信用アナログフロントエンド回路 TEG6	湯浅 貴文, 石原 直志, 伊藤 大輔, 中村 誠	121

演算回路 (乗算器, 除算器など)

ラン名	タイトル	研究者	掲載頁
RO18202	積分ジャイロスコープ用固有モード検出器	塚本 貴城	111
RO18203	Stochastic Computingを用いた離散コサイン変換回路の試作	小山 泰成, 平野 皓士, 小松 聡	114
RO18203	意味的分割用畳込み演算器の試作	深山 正幸	117
RO18203	4bit × 4bit乗算器 その他	三村 巧, 範 公可, 石橋 孝一郎	118

その他

ラン名	タイトル	研究者	掲載頁
RO18201	トータルドーズ耐性試験向け光再構成型ゲートアレイ VLSI	渡邊 実	107

B.3 各チップの詳細

令和元年度第2回オンセミコンダクター—三洋 CMOS 0.8 μ m 試作

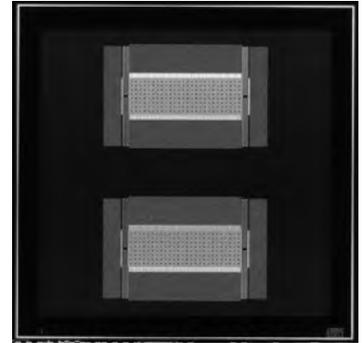
静電容量式 CMOS-MEMS 加速度センサ

東京電機大学工学研究科電気電子工学専攻 清水 優作

東京電機大学工学部電子システム工学科 小松 聡

概要：MEMSとは、半導体微細加工プロセスを応用して製造するデバイスである。MEMS 加速度センサは、自動車やスマートフォンなど様々な製品に採用されている。また、これらの製品の小型化に伴いコスト削減や小型化が要求されている。そこで、MEMSセンサと読み出し回路の集積化を目的とし、CMOSプロセスを用いた静電容量式のMEMS加速度センサの設計を行う。また、本プロセスを用いることで、ウェハコスト削減を行う。今回の試作では、読み出し回路であるCV変換回路との集積化に向けて静電容量式のMEMS加速度センサを設計した。今後、試作したチップを武田クリーンルームで加工を行い、加速度センサを製作する。金属間絶縁膜とシリコン層のエッチングを行い、加速度センサとして機能するように製作を行い、特性評価を行う。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula, トランジスタ数：～10 試作ラン：オンセミ—三洋 CMOS 0.8 μ m 5.0mm角チップ チップ種別：MEMS



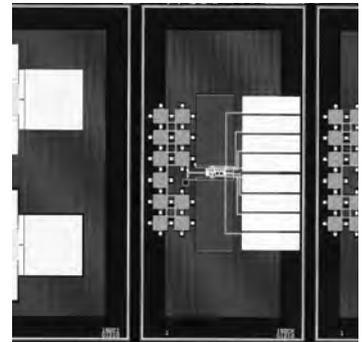
CV 変換回路集積化静電容量式 CMOS-MEMS 圧力センサ

東京電機大学大学院工学研究科電気電子工学専攻 野口 駿太

東京電機大学工学部電子システム工学科 井田 拓実, 小松 聡

概要：MEMSとは、半導体微細加工技術を応用して製造する微小デバイスであり、今後は更なる小型化・高感度化が要求されている。非常に微細なパターンを形成できるCMOSプロセスを利用することで圧力センサの小型化とセンサ処理回路の1チップ集積化を実現できる。試作したチップをポストプロセスによって加工することで圧力センサを形成する。キャパシタはポリシリコン層—アルミニウム電極間で構成している。センサ素子をアレイ状に配置することで、感度を11倍得られるように設計した。集積化したセンサ処理回路には、エンハンスドカレントミラー電流源を用いた電流源駆動型CV変換回路を用いた。電流源駆動型CV変換回路ではエンハンスドカレントミラー電流源から出力された電流が回路内のコンデンサの静電容量の比に応じて分流する。この分流された電流は全差動アンプを用いたTIA回路に入力することで、静電容量の比に応じた出力電圧が得られる。出力が差動となっているため回路内で発生する同相ノイズに強く、回路構成が容易であるというメリットがあるが、TIA回路における帰還抵抗の専有面積が大きいことや製造ばらつきがあるというデメリットもある。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula, Synopsys社 HSPICE(RF), トランジスタ数：10～100 試作ラン：オンセミ—三洋 CMOS 0.8 μ m 2.5mmx5.0mmチップ チップ種別：MEMS

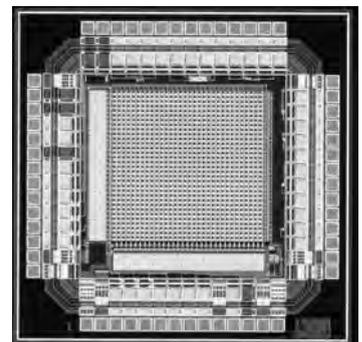


CMOS イメージセンサ回路用 TEG

豊田工業高等専門学校電気・電子システム工学科 熊谷 勇喜

概要：高専5年生の卒業研究として集積回路を研究するにあたり、VDECへの接続をはじめとする設計環境構築を目的としてチップ試作をおこなった。学生はデバイス物理、アナログ回路、イメージセンサの原理を輪講で学びながら、単体トランジスタ、インバータなどの回路TEGを設計した。HSPICEシミュレーションにて動作確認し原理原則を理解しつつ、Cadence Virtuosoを使いレイアウト設計する経験を積むことで、半導体に対する理解を深めることができた。CMOSイメージセンサは4Tr型画素とし、搭載したTEGは、MOSFET、インバータ、NAND、アナログスイッチ、ソースフォロワー増幅回路、電流源、D-フリップフロップ、シフトレジスタで、5年生2人と教員1人が設計し、特性評価した。I/Oバッファにミスがあり測定不可能なTEGがあったものの、ほとんどのTEGで動作が確認できた。それらを組み合わせて、32H x 32Vの画素アレイを設計した。本研究ではCMOSイメージセンサをコンタクトイメージングとして使用するため画素サイズは比較的大きいサイズ(32 μ m x 32 μ m)とした。

設計期間：8人月以上、9人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE(RF), トランジスタ数：1,000～10,000 試作ラン：オンセミ—三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG(特性評価回路など)

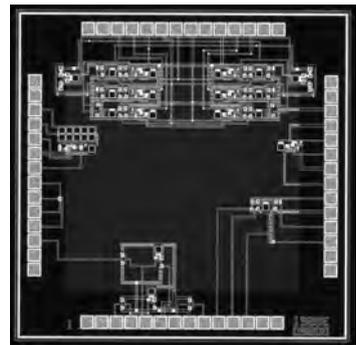


静電モータの駆動波形を生成する ハードウェアニューラルネットワークのTEGチップ

日本大学大学院理工学研究科 佐々木 拓郎, 黒澤 実花, 宇佐見 雄, 加藤 真也, 榊 亜理沙, 郷渕 拓生
日本大学理工学部 齊藤 健

概要：本試作チップでは、静電モータの駆動波形を出力するハードウェアニューラルネットワークを設計した。静電モータの駆動には50~100Hzの逆位相同期した2相方形波が必要である。本ネットワークは自励振動・他励振動細胞体モデル、興奮性シナプスモデル、抑制性シナプスモデルで構成した。本試作チップは、昨年度に作製したOS0819_1_O9801「静電モータを駆動するハードウェアニューラルネットワークのTEGチップの改良」の一部を引継いだチップである。測定の結果、逆位相同期した2相の50~100Hzの方形波の出力に成功した。また、本チップの出力波形を用いて静電モータの駆動実験をおこなった。結果として、静電モータの駆動に成功し、ハードウェアニューラルネットワークによって静電モータが駆動可能であることを明らかにした。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF),
トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG(特性評価回路など)

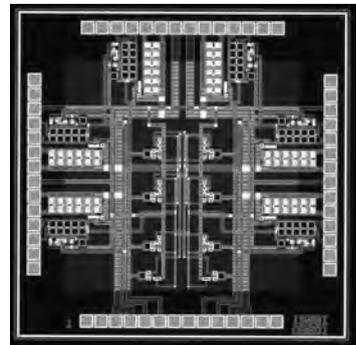


昆虫型マイクロロボットの三脚歩行が可能な ハードウェアニューラルネットワークのTEGチップ

日本大学大学院理工学研究科 宇佐見 雄, 加藤 真也, 榊 亜理沙, 佐々木 拓郎, 黒澤 実花
日本大学理工学部 齊藤 健

概要：本試作チップでは、昆虫の一般的な歩行パターンである三脚歩行を出力するハードウェアニューラルネットワークを設計した。本試作チップは、OS0818_1_O9801「MEMSマイクロロボット用の歩容変化が可能なハードウェアニューラルネットワークの改良」の一部を引き継いだチップである。以前の試作チップでは、三脚歩行と波状歩行の出力パターンの生成に成功をしたが、配線が複雑であったため昆虫型マイクロロボットに搭載し、測定をおこなうことが難しかった。本試作チップでは、昆虫型マイクロロボットに搭載し測定をおこないやすくするために配線を簡略化し、三脚歩行の出力パターンを安定し出力できるモデルを目指し作製をおこなった。測定の結果、三脚歩行の出力パターンの出力に成功した。しかし、一部波形が乱れてしまった。この原因は興奮性シナプスモデルの結合が強いためであると考えられる。今後は興奮性シナプスモデル及び細胞体モデルのキャパシタの回路定数の再調整をおこない、出力特性の安定化に向け検討をおこなう。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF),
トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG(特性評価回路など)

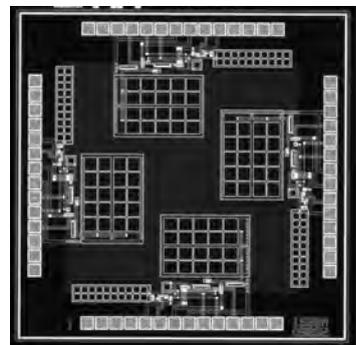


四足歩行ロボット搭載用自己回帰の特性を持つ ニューロモーフィック回路の改良チップ (シールド付与)

日本大学大学院理工学研究科 加藤 真也, 宇佐見 雄, 榊 亜理沙, 佐々木 拓郎, 黒澤 実花
日本大学理工学部 齊藤 健

概要：本試作チップでは、歩容を能動的に生成する四足歩行ロボットに搭載するニューロモーフィック回路の改良を行った。昨年度に作製したOS0819_1_O9802「四足歩行ロボット搭載用自己回帰の特性を持つニューロモーフィック回路」の出力測定の結果、各回路から出力されるパルス周期がシナプス荷重コントロール電圧によって変更可能であることを確認した。しかし、稀に抑制性シナプスモデルの電源電圧を入力した際パルス出力が得られない問題が生じた。これは、チップ内で意図せずに電荷の移動が起きているのではないかと考えた。したがって本試作チップでは、コンデンサ周りをシールドで囲うことで上記の問題の改善を試みた。本試作チップの出力測定の結果、抑制性シナプスモデルの電源電圧を入力した際も安定したパルス出力を得ることを確認した。しかし、抑制性シナプスモデルはMOSFETの閾値付近の急激な電圧変化で動作していたため、4つの回路が同様の変化特性を得るに至らなかった。今後は抑制性シナプスモデルの回路定数の再調整し、出力特性の安定化に向け検討を行う。

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF),
トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG(特性評価回路など)

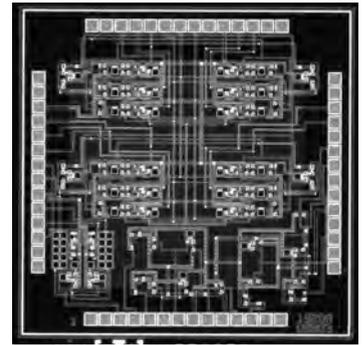


マイクロロボット用静電モータの駆動波形を生成するニューラルネットワークのTEGチップ

日本大学大学院理工学研究科 榎 亜理沙, 宇佐見 雄, 加藤 真也, 佐々木 拓郎, 黒澤 実花
日本大学理工学部 齊藤 健

概要：本試作チップでは、マイクロロボットのアクチュエータである静電モータの駆動波形を出力するハードウェアニューラルネットワークを設計した。静電モータの駆動には50~100Hzの逆位相同期した2相方形波が必要である。本ネットワークは自励振動細胞体モデル、他励振動細胞体モデル、興奮性シナプスモデル、抑制性シナプスモデルで構成した。本試作チップは、昨年度に作製したOS0819_1_Q9801「静電モータを駆動するハードウェアニューラルネットワークのTEGチップ」の一部を引継いだチップである。測定の結果、静電モータの駆動波形である50~100Hzの逆位相同期方形波の出力に成功した。また、本試作チップの出力と、外部のマイクロロボットの歩行パターンを生成するハードウェアニューラルネットワークとを接続し測定をおこなった。測定した結果、マイクロロボットの歩行パターンに応じて、静電モータの駆動波形を得ることができた。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF),
トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG(特性評価回路など)

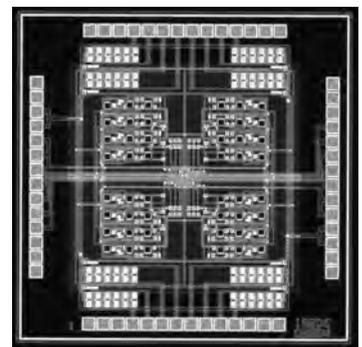


ベアチップIC一体型4足MEMSマイクロロボットの歩行制御用パルス形ハードウェアニューラルネットワーク

日本大学大学院理工学研究科 早川 幹人, 加藤 凌
日本大学理工学部 金子 美泉, 齊藤 健, 内木場 文男

概要：本試作チップは、ベアチップを4足歩行型マイクロロボットと一体化させることを目的に設計した、パルス形ハードウェアニューラルネットワークの実装用チップである。先に我々は、日本大学の佐伯らによって開発された、間質細胞体モデルを用いた低容量型CPGモデルを構築した。低容量型CPGモデルは細胞体モデルを構成するコンデンサ容量が削減されたことで、IC外部に接続するコンデンサを不要としたものである。本試作では、先に試作した回路構成と同じ低容量型CPGモデルを、2.5mm四方のベアチップにて設計することで、マイクロロボット天板パーツに直接搭載することが可能となった。今後は脚を駆動するためアクチュエータやマイクロロボット本体の構成要素再検討を行い、本試作チップによるベアチップIC一体型4足MEMSマイクロロボットの歩行動作実現を目指す予定である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF),
トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG(特性評価回路など)

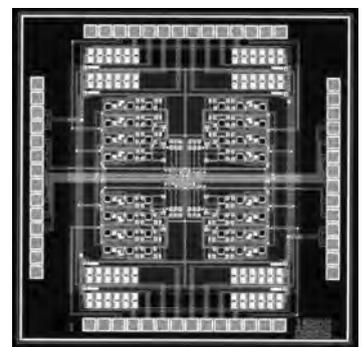


脊髄運動を模倣したパルス形ハードウェアニューラルネットワーク

日本大学大学院理工学研究科 早川 幹人, 加藤 凌
日本大学理工学部 金子 美泉, 齊藤 健, 内木場 文男

概要：本試作チップでは、生体の機械受容器を模倣したセンサモデルからの入力に応じて歩容変化を発現するパルス形ハードウェアニューラルネットワーク(P-HNNs)モデルの集積回路化をおこなった。先行研究にて、日本大学の佐伯らが開発した間質細胞体モデルを用いて4足歩行を自律的に発現する中枢パターン生成器(Central Pattern Generator: CPG)をモデル化した。しかし、現在までに開発したモデルにはセンサなどの外部情報を入力として取り込む要素が存在しない。つまり、これまでの歩容運動パターンの生成は、外部の環境変化に追隨して歩容変化することが不可能であった。本試作チップは、CPGモデルに生体の屈曲反射機構を組み込むことで、自律的な四足歩行の歩容変化の発現が期待できるパルス波形を生成するP-HNNsモデルを構築することができた。これにより、CPUやセンサなどの外部環境情報処理機構と協調した歩容運動パターンを生成し、歩容変化が図れる小型ロボットシステムの構築が可能となった。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF),
トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG(特性評価回路など)

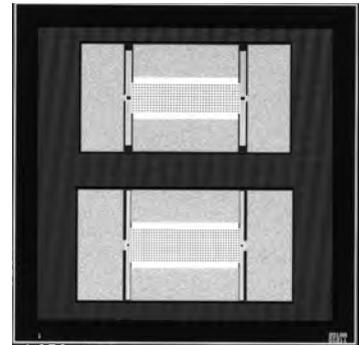


静電容量式 CMOS-MEMS 加速度センサの改良

東京電機大学工学研究科電気電子工学専攻 清水 優作
東京電機大学工学部電子システム工学科 小松 聡

概要：MEMSとは、半導体微細加工プロセスを応用して製造するデバイスである。MEMS 加速度センサは、自動車やスマートフォンなど様々な製品に採用されている。また、これらの製品の小型化に伴いコスト削減や小型化が要求されている。そこで、MEMSセンサと読み出し回路の集積化を目的とし、CMOSプロセスを用いた静電容量式のMEMS 加速度センサを設計した。今回の試作では、静電容量式の加速度センサの感度改善を目的として製作を行った。今後、試作したチップを武田クリーンルームで加工を行い、加速度センサを製作する。金属間絶縁膜とシリコン層のエッチングを行い、加速度センサとして機能するように製作を行う。また、読み出し回路としてスイッチトキャパシタ型のCV変換回路の設計を行い、今回設計を行った加速度センサを同一チップ上に集積化したものを製作し、特性評価を行っていく。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula, トランジスタ数：～10
試作ラン：オンセミ—三洋 CMOS 0.8 μ m 5.0mm角チップ チップ種別：MEMS

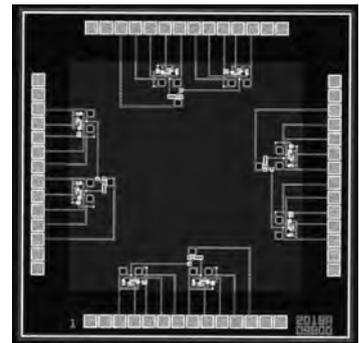


集積回路化受容細胞モデル TEG チップ

日本大学大学院理工学研究科 加藤 真也, 宇佐見 雄, 榊 亜理沙, 佐々木 拓郎, 黒澤 実花
日本大学理工学部 齊藤 健

概要：本試作チップでは、生物の感覚器に存在する受容細胞の機能を模倣した受容細胞モデルの集積回路化をおこなった。受容細胞モデルは細胞体モデルをベースに構築したパルス波形を出力する発振回路である。細胞体モデルは電源電圧を印加することで、常に周期的なパルス波形を出力するのに対し、受容細胞モデルは電源電圧を印加しただけではパルス波形を出力せず、センサから入力があったときのみパルス波形を出力する。センサ入力は回路内のp型MOSFETのゲート電圧として受容細胞モデルに入力する。本試作チップの出力測定の結果、p型MOSFETのゲート電圧に電圧を印加したときのみ発振をおこない、入力電圧の大きさに応じて発振周期を変更可能であることを確認した。本モデルは今後、マイクロロボットの歩容を生成するニューラルネットワークと組み合わせ、外部環境に合わせた行動変更の際に使用する予定である。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF), トランジスタ数：10～100 試作ラン：オンセミ—三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG(特性評価回路など)

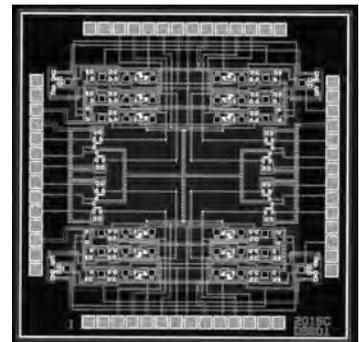


マイクロロボットの歩行パターン及び静電モータの駆動波形を生成するニューラルネットワークの TEG チップ

日本大学大学院理工学研究科 榊 亜理沙, 宇佐見 雄, 加藤 真也, 佐々木 拓郎, 黒澤 実花
日本大学理工学部 齊藤 健

概要：本試作チップでは、マイクロロボットのアクチュエータである静電モータの駆動波形を出力するハードウェアニューラルネットワークを設計した。静電モータの駆動には50～100Hzの逆位相同期した2相方形波が必要である。また、静電モータの駆動波形が1秒周期の逆位相同期波形に合わせて発振することにより、マイクロロボットの歩行パターンを生成する。本ネットワークは自励振動細胞体モデル、他励振動細胞体モデル、興奮性シナプスモデル、抑制性シナプスモデルで構成した。本試作チップは、今年度に作製したOS0819_2_O9803「マイクロロボット用静電モータの駆動波形を生成するニューラルネットワークのTEGチップ」の一部を引継いだチップである。測定の結果、マイクロロボットの歩行パターンに合わせて静電モータの駆動波形である50～100Hzの逆位相同期方形の出力に成功した。今後は回路定数の調整および、実装用チップの作製をおこなう予定である。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF), トランジスタ数：10～100 試作ラン：オンセミ—三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG(特性評価回路など)



階層型のパルス形ハードウェアニューラルネットワークの改良

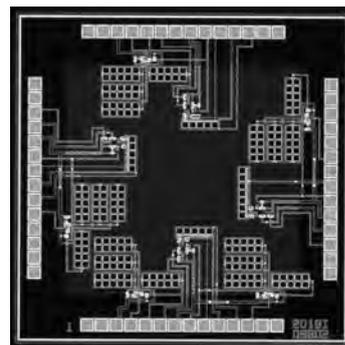
日本大学大学院理工学研究科 宇佐見 雄, 加藤 真也, 榊 亜理沙, 佐々木 拓郎, 黒澤 実花

日本大学理工学部 齊藤 健

概要：我々はこれまで作製した昆虫サイズのマイクロロボットの制御方法と同じ基本構成要素を用いて、単純なパターンを識別可能な階層型のパルス形ハードウェアニューラルネットワークの実現を目的として研究をおこなっている。単純なパターンを識別するにあたり、まずソフトウェアモデルで学習をおこない、その学習結果に基づいてハードウェアニューラルネットワークのシナプスモデルの結合強度電圧を調整する必要がある。本試作チップは、OS0819_1_O9803「階層型のパルス形ハードウェアニューラルネットワーク」の改良版であり、細胞体モデルと抑制性シナプスモデルの基本特性について検討をおこなった。測定の結果、今回作製した構成要素

では単純なパターンの認識が正しくおこなえないことがわかった。原因として、細胞体モデルの周波数変動範囲が狭く、電流の調整が上手くできなかったためだと考えられる。今後は周波数変動範囲の広いモデルを作製し、再設計をおこなう予定である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF),
トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG(特性評価回路など)



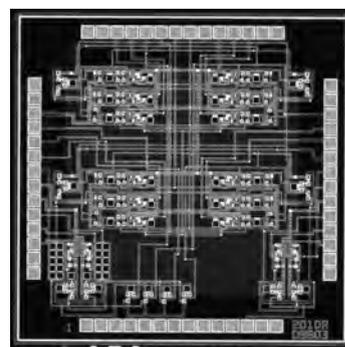
静電モータで駆動する6脚マイクロロボットの歩容を生成するニューラルネットワークのTEGチップ

日本大学大学院理工学研究科郷渥 拓生, 榊 亜理沙, 宇佐見 雄, 加藤 真也, 佐々木 拓郎, 黒澤 実花

日本大学理工学部 齊藤 健

概要：本試作チップでは、静電モータで駆動する6脚マイクロロボットの歩容を生成するニューラルネットワークを設計した。静電モータの駆動には50~100Hzの逆位相同期した2相方形波が必要である。本ネットワークは自励振動・他励振動細胞体モデル、興奮性シナプスモデル、抑制性シナプスモデル、可変抑制シナプスで構成した。本試作チップは、昨年度に作製したOS0819_2_O9803「マイクロロボット用静電モータの駆動波形を生成するニューラルネットワークのTEGチップ」の一部を引継いだチップである。また、反転回路を必要としない回路を作成した。測定の結果、逆位相同期した2相の50~100Hzの方形波の出力に成功した。このハードウェアニューラルネットワークによって静電モータで駆動する6脚マイクロロボットの歩容を生成することを明らかにした。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF),
トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG(特性評価回路など)



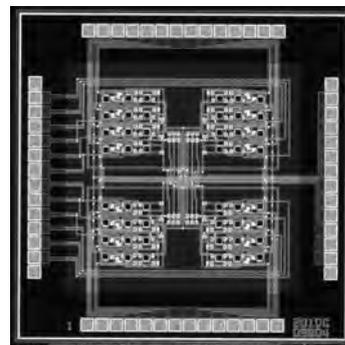
脊髄運動を模倣したパルス形ハードウェアニューラルネットワークの改良チップ

日本大学大学院理工学研究科 早川 幹人, 武田 健嗣, 加藤 凌, 石橋 元邦

日本大学理工学部 粟飯原 萌, 金子 美泉, 齊藤 健, 内木場 文男

概要：本試作チップでは、昨年度に作製したOS0819_2_O9805「脊髄運動を模倣したパルス形ハードウェアニューラルネットワーク」の改良を行った。OS0819_1_O9805での出力測定の結果、センサ入力に応じてパルス周期、パルス幅、パルス順が変化することを確認した。しかし、稀にセンサ入力によって、一部の閾値細胞体モデルからのパルス出力が得られない問題が生じた。この問題はシミュレーションでは発現しなかったため、今後は閾値細胞体モデル内部での波形の推移を測定し、原因を考察する必要があると考えた。したがって本試作チップでは、OS0819_1_O9805での設計からカレントミラー回路を削除し、各モデルの入出力の配線を個別化することで、IC内部での出力を測定できるように改良を行った。本試作チップの出力測定の結果、パルス出力が発現しない原因は閾値細胞体モデルと抑制性シナプスモデル双方からの出力の抑制によるものである可能性が高いことが判明した。今後このICを用い測定を行い、生体のように高度で繊細な動作をする小型ロボットの実現を目指す。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF),
トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG(特性評価回路など)

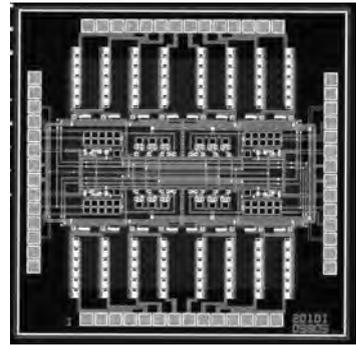


電源搭載型6足MEMSマイクロロボットの 歩行制御用パルス形ハードウェアニューラルネットワーク

日本大学大学院理工学研究科 早川 幹人, 武田 健嗣, 加藤 凌, 石橋 元邦
日本大学理工学部 粟飯原 萌, 金子 美泉, 齊藤 健, 内木場 文男

概要：本試作チップでは、電源搭載型6足MEMSマイクロロボットの歩行制御を目的とするパルス形ハードウェアニューラルネットワークを設計した。本ネットワークは自励振動細胞体モデル、抑制性シナプスモデルで構成し、集積化できないコンデンサは外部に搭載した。定電圧源を用いた測定の結果、MEMSマイクロロボットの脚部の駆動源である形状記憶合金アクチュエータを十分に駆動させることが可能な、位相のずれた4相のパルス波形の生成を確認した。本試作チップはマイクロロボットに搭載したコイン型リチウムイオン電池および酸化銀電池からの電圧印加による駆動を想定しているため、実際にベアチップを歩行制御用回路基板に実装し、電池を用いて測定を行った。その結果、4相の位相のずれたパルス波形は確認できたが、形状記憶合金アクチュエータを駆動させるだけの出力は得られなかった。今後は電池の種類や個数について再度検討を行い、実際にベアチップを歩行制御用回路基板に実装し、6足MEMSマイクロロボットに搭載させることで歩行動作の実現を目指す。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 HSPICE(RF),
トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG(特性評価回路など)



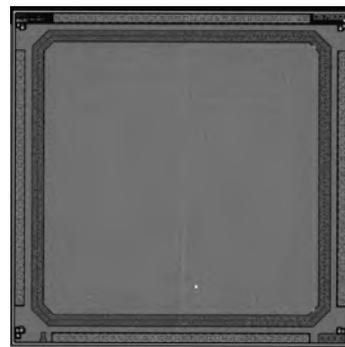
令和元年度第4回ローム CMOS 0.18 μ m 試作

近閾値電圧動作向けスタンダードセルの評価

福岡大学工学部 電子情報工学科 須藤 有香, 西澤 真一, 名倉 徹

概要：本試作では回路の近閾値電圧を実現するためのセルライブラリの評価を行う。組み合わせセルの評価を行うリングオシレータを設計しその動作周波数と消費電流から速度とエネルギーの評価を行う。組み合わせセルは基本的な論理素子であるインバータ、2入力から4入力のNANDおよびNORとした。リングオシレータの発振信号は内部で分周し外部のカウンターでその周波数を測定する。28-nmプロセス向けに設計したセルライブラリ生成プログラムを本プロセス向けにパラメータを変更し、フリップフロップのレイアウトを180-nmプロセス向けに自動生成しその遅延性能および遅延ばらつきの評価を行う回路を設計した。試作したチップは外来ノイズの影響が正常に動作ができておらず、引き続き原因の解析を行う予定である。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG(特性評価回路など)



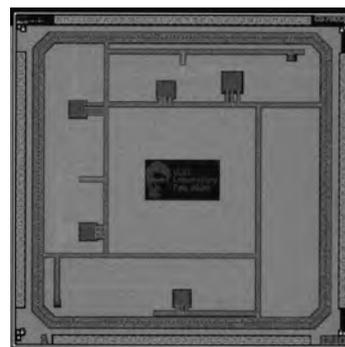
スタンダードセル設計手法を用いた逐次比較型ADC

東京電機大学工学研究科電気電子工学専攻 平野 皓士

東京電機大学工学部電子システム工学科 小松 聡

概要：様々な製品に半導体が組み込まれ、それらを制御するために、A/D変換器を用いている。しかし、各製品に必要な精度やビット数が異なるため、アナログ半導体設計者は各製品に必要なA/D変換器を設計する必要がある。そこで、本研究ではA/D変換器としてよく用いられる逐次比較型ADCを完全自動設計する手法を提案した。本研究では逐次比較型ADCに必要なアナログ回路、キャパシタを予め、ライブラリ化し、Synopsys社のIC Compilerを用いて自動配置配線することで完全自動設計出来るかの検証を行った。これによって、従来よりも早く目的の逐次比較型ADCを設計できることが確認出来た。今回、異なるパラメータの逐次比較型ADCの試作を行い、それぞれのパラメータの測定を行い、実際に本研究の設計が逐次比較型ADCとして動作するのかを検証を行う。

設計期間：0.5人月以上, 1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ(PLL, A-D/DC-DCコンバータなど)



流量計、発汗センサ

信州大学工学部 加賀 悠太, 狩野 楓, 坂田 天来, 上口 光

概要：本テストチップは、水道メータ用の流量計とヘルスケア用の発汗センサのテスト回路から構成されている。流量計は超音波の伝搬時間差を基に水の流速を求め、そこから流量を算出する。流量計TEGは超音波アクチュエータの駆動回路とスイッチング制御、また、受信信号から伝搬時間を検出する回路から構成されている。伝搬時間検出回路では高速な内部クロックで詳細な時間差を検出するタイミングズーム機能と、毎測定時に内部クロックを較正するオートキャリブレーション機能を実現している。また、超音波伝搬速度を補正するためにSAR型ADCによる温度センサと、バンドギャップ参照電源から、参照電圧源と参照電流源も内蔵している。発汗センサは、2018年第1回試作の再設計であり、回路構成の見直しにより電力削減を達成した。

参考文献：Y. Kaga and K. Johguch, "A smart ultra-sonic water-flow meter with 180-nm CMOS technology," Extended Abstracts of 2020 Solid State Devices and Materials (SSDM2020), pp. 787-788, 2020.

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Xcelium, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 ModelSim, Cadence社 Spectre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), Synopsys社 HSIM, Synopsys社 Formality, Keysight社 ADS, トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：イメージセンサ/スマートセンサ

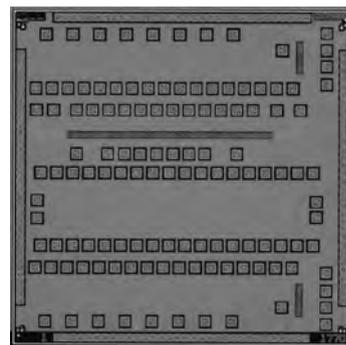


単一磁束量子メモリ制御用のCMOSデコーダほか

横浜国立大学理工学部 弘中 祐樹, 吉川 信行

概要：我々は半導体回路に代わる次世代回路として高速性、低消費電力性に優れた単一磁束量子(SFQ)論理回路の研究を行っている。現在は従来のメモリより高集積化が可能なSFQメモリセルとして、外部直流電流による書き込み動作が可能なSFQメモリの開発に取り組んでいる。ここで制御用の外部直流電流は室温機器から供給される一方、SFQメモリセルは極低温で動作する。メモリの高集積化に伴う室温・極低温間の配線の増大を解決するため、SFQ回路と同じ極低温で動作するCMOSデコーダを用いてSFQメモリの制御を行う方式を検討している。本試作ではこの方式の原理実証のため、3入力8出力CMOSデコーダを設計し、これを用いて64-bのSFQメモリの制御が可能な回路を構築し、その動作実証を行った。その他、本試作チップにはI-V測定用MOSデバイスのTEGや、差動増幅器のTEGも搭載している。

設計期間：0.1人月以上、0.5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：メモリ



細胞インピーダンス測定チップ

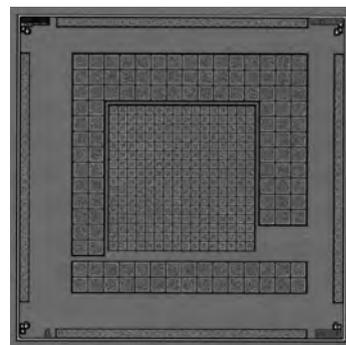
立命館大学理工学部 宇野 重康

立命館大学理工学研究科 春日 俊介, 柳瀬 智史

概要：チップ上で直接細胞を培養し、その細胞のインピーダンス値を微小電極アレイで測定するためのASICを設計した。一辺が50 μ mの微小電極を16 x 16 = 256個アレイ化しており、周辺のデジタル回路によってランダムアクセスできる。選択された単一の電極によるインピーダンス測定を外部接続したインピーダンスアナライザーで行うことにより、チップ上の細胞の様々な生理特性を測定することが可能である。このチップでは上記に加え、測定で用いる対向電極として機能する大面積電極領域を配置し、測定での利便性を高めた。生理食塩水による電気化学測定に先立ち、電極表面は無電解メッキ加工によりAuコーティングされており、安定したインピーダンス測定が可能であることを確認した。

参考文献：(Invited) Shigeyasu Uno, "Electrochemical Impedance Sensor for Non-invasive Living Cell Monitoring toward CMOS Cell Culture Monitoring Platform", 4th International Symposium on Devices, Circuits and Systems (ISDCS2021), March 3, 2021 (Hiroshima: virtual), Session 3, no1.

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：イメージセンサ/スマートセンサ

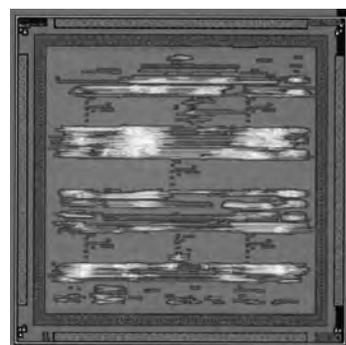


IRドロップ遅延評価用テストチップ

九州工業大学情報工学研究部 渡名喜 幹輝

概要：本チップはシフト電力安全型スキャンテスト技術(SPS-Scan)の評価用テスト回路として設計されたものである。そのコア部分として、ITC'99ベンチマークの中で最も大きい回路(b19)が使用された。また、シフト電力安全性達成能力及びオーバーヘッド(面積、設計コスト)等の詳細な実験評価のために、チップに複数の遅延計測回路が搭載された。納品された15個のテストチップに対して、測定実験が行われた。その結果、遅延のばらつきが ± 2.8 psと小さく、測定精度が約124ps~129psであることが分かり、設計した遅延測定回路の測定精度測が高いことが確認できた。また、2種類のスキャンテストパターンを用いてIRドロップ遅延測定を行なった結果、テストパターンで活性化したフリップ・フロップの数と分布によって、IRドロップ遅延が大きく変わり、局所的にホットスポットが発生しうることが確認できた。

設計期間：6人月以上、7人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG(特性評価回路など)

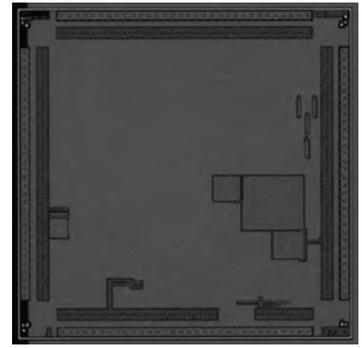


筋電測定回路ほか

福岡大学工学部 電子情報工学科 徳永 達也, 荒木 貫吾, 立川 朋弥, 水町 凌, 白濱 嘉紋,
小田嶋 修, 樋口 洋彦, 大和 夢芽 名倉 徹

概要：本試作では設計実習として筋電を測定し増幅する回路、リングオシレータと分周器を利用したタイマー回路、高速アナログデジタルコンバータ、リングオシレータを利用した電子スロット、ロードロップアウトレギュレータ、スターブドインバータを用いた可聴周波数帯域音生成回路を設計し搭載した。設計ミスがあった場合に他の回路に影響が及ばないように、内部で電源は分離しそれぞれの回路ごとに独立した電源を持つように設計した。設計した回路は基盤に直接半田付けし Analog Discovery 2 を用いて評価した。

設計期間：10人月以上 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ(PLL, A-D/DC-DCコンバータなど)

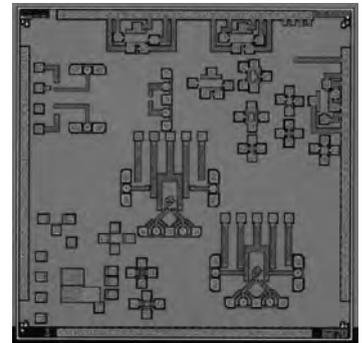


低電圧・小面積CMOSアナログ回路の試作

明治大学理工学研究科 関根 かをり, 王 啓成, 高瀬 文哉, 小林 洵也, 木下 木功喜

概要：低電圧・小面積CMOSアナログ回路を設計することを根底に置き、評価に必要な回路の試作を行った。以下が試作した回路の概要となる。高速通信伝送の波形の歪みを補償することを目的としたアナログFIRフィルタの要素回路となるギルバートセルと電流モードロジック(CML)回路を用いた遅延器それぞれのTEG、弱反転領域動作のMOSFETを使用した小面積・低消費電力を目的とした低電圧カレントミラー構成の3次ローパスフィルタのTEG、温度センサとして熱源の温度分布検出のために用いる従来のものより、温度係数を高くしたPTAT電圧発生回路のTEG。これらの回路は測定器による動作確認を通して妥当性の検証を行っている。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG(特性評価回路など)



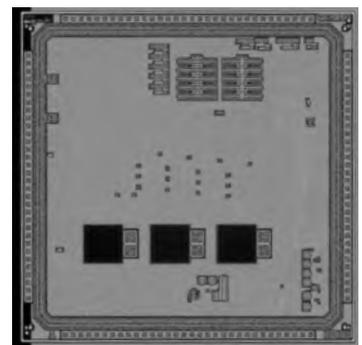
脳波取得フロントエンドの改良及び 自立動作可能LSIチップのための各要素回路の改良

慶應義塾大学理工学部 中野 誠彦, 三浦 大毅, 八木 健太

慶應義塾大学理工学研究科 ホルヘ カナダ, 三河 樹由, 吉田 祐威

概要：筋電、心電、脳波などの生体電位信号は皮膚に電極を接触させて非侵襲に測定することができ、医療、研究用途に広く用いられている。生体電位信号を扱う低雑音増幅器、フィルタはウェアラブル端末へ応用するために小型化、低電圧化が求められており、我々はこれらをオンチップで実現することを目指している。今回のチップ設計では、バンドギャップリファレンス、周波数多重時間領域ADC、時間ドメインADCの試作を行った。自立動作可能なLSIチップのための、オンチップ太陽電池と電源回路とアプリケーション回路の研究を行っている。電源回路は太陽電池の出力を6V以上に昇圧することで様々なアプリケーション回路の動作を目指す。本試作では、RO昇圧器付多段CCCPに適した昇圧器を探すために従来型と提案型のCCCPとSOCPの試作を行った。

設計期間：6人月以上, 7人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：マイクロプロセッサ



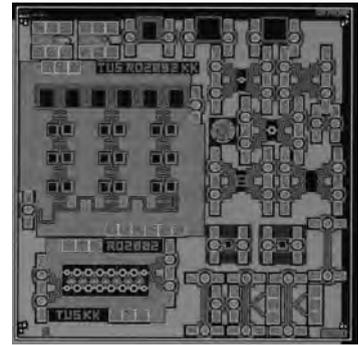
光ファイバ送信機要素回路

東京理科大学工学部電気電子情報工学科 榎田 洋太郎, 高野 恭弥

東京理科大学工学部研究科電気工学専攻 川原 啓輔

概要：本試作では、光ファイバ送信機に向けた要素回路を設計した。必要な要素回路の中でも今回は、光変調器駆動回路、分布型差動増幅回路について設計を行った。光変調器駆動回路においては縦積みトランジスタを用いることで出力耐圧の向上を実現した。また光変調器駆動回路の各セクションの増幅回路にインダクタピーキングを適用し分布型増幅回路の入出力伝送線路で生じる高周波損失を等化し広帯域特性を実現した。分布型差動増幅回路は差動結合インダクタを使用して省面積を実現した。配線の寄生成分は電磁界解析を用いて抽出した。また、要素回路内で使用したトランジスタやインダクタ等のデバイス評価用素子(TEG)も試作した。加えて、汎用のアナログ回路として演算増幅器と比較器(コンパレータ)を試作した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, TOOL社 Lavis, Mentor社 Calibre, Cadence社 Spectre, Keysight社 ADS, トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：通信(RF回路, ATMなど)



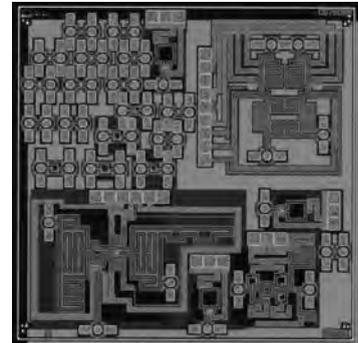
60GHz帯アップコンバージョンミキサ

東京理科大学工学部電気電子情報工学科 榎田 洋太郎, 高野 恭弥

東京理科大学工学部研究科電気工学専攻 萩原 豊之, 酒井 元, 佐原 健太, 関根 光輝

概要：本試作では、60 GHz帯アップコンバージョンミキサの設計を行った。アップコンバージョンミキサはシングルバランスドミキサであり、ベースバンド入力信号は単相信号、局部発振(LO)入力は60 GHzの差動信号、60 GHz帯の高周波出力信号は差動信号である。アップコンバージョンミキサをオンウェハ測定によって評価するために、差動信号入出力端子には差動信号を単相信号に変更するラットレース型平衡不平衡器(バラン)を用いている。ベースバンド入力端子にはバッファとしてゲート接地増幅器を用いている。本試作では設計したアップコンバージョンミキサの性能評価を行う。また、設計したアップコンバージョンミキサに用いられるデバイスの評価用素子を試作した。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, TOOL社 Lavis, Mentor社 Calibre, Cadence社 Spectre, Keysight社 ADS, トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：通信(RF回路, ATMなど)

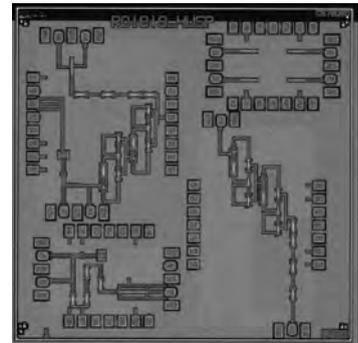


デジタルビームフォーミング用信号生成回路実証チップ

滋賀県立大学工学部 井上 正隆, 井上 敏之, 岸根 桂路

概要：次世代無線通信(5G)をはじめとして、より効率的な電波照射による通信品質向上を目指して、各種ビームフォーミング技術の研究開発が進んでいる。また、マイクロ波・ミリ波帯レーダによるセンシング技術においても、ビームフォーミング技術は有効である。本試作では、ビームフォーミング技術の高機能化に向けて、位相同期回路(PLL)発振器および移相器の動作検証を目的とした。移相器出力の位相誤差を低減するために、配線寄生成分や後段回路の負荷が等価となるようにレイアウト設計を行った。Post-layoutシミュレーションにより、移相器の基本動作を確認している。今後、実測による検証によりシミュレーション結果との比較検討を行い、高機能化に向けたチップ設計へのフィードバックを行いたいと考えている。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ(PLL, A-D/DC-DCコンバータなど)



令和2年度 / 令和元年度第1回ローム CMOS 0.18 μ m 試作

低電圧で動作する温度センサ回路 TEG ほか

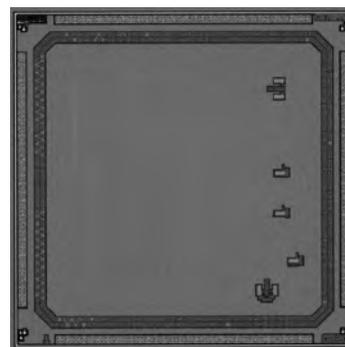
立命館大学大学院情報理工学研究科 室原 脩人, 宮内 悠太, 木村 知也

立命館大学情報理工学部 今川 隆司, 越智 裕之

概要：集積回路上にPN接合ダイオードを形成して光を照射すると太陽電池として機能するため、これを同一チップ上の回路の電源として利用すれば、エネルギーを自給自足する単一ダイのシステムが構築できると期待される。当研究室ではこれまで、単一のオンチップ太陽電池セルから得られる0.5~0.6V程度の電源電圧での動作に適したリングオシレータを用いた温度センサ回路のTEGの試作と測定に取り組んできており、今回の試作チップには、過去に試作・測定したTEGの回路中の抵抗値を修正したTEGを搭載している。このTEGの測定により、電源電圧変動やプロセスばらつきの影響下で、どの程度の精度が得られるのかを明らかにする予定である。本試作チップには上記のほか、フォトセンサなどのTEGも搭載している。

参考文献：室原, 坂野, 木村, 今川, 越智, "太陽電池混載チップでのCMOS互換回路による電源電圧変動に頑強な温度センサの測定", 信学技報, vol. 120, no. 400, VLD2020-74, pp. 32-37, 2021年3月。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG(特性評価回路など)

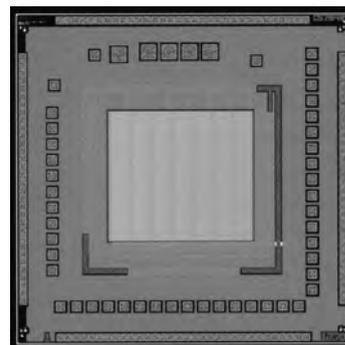


SFQ/CMOSハイブリッド回路用64-kbシーケンシャルアクセスCMOSメモリ

横浜国立大学理工学部 弘中 祐樹, 吉川 信行

概要：我々は半導体回路に代わる次世代回路として高速性、低消費電力性に優れた単一磁束量子(SFQ)論理回路の研究を行っている。だが、駆動力や集積度が低いという欠点があり、SFQ回路単体での大規模回路作製は困難である。そこで高速性、低消費電力性に優れたSFQ論理回路による演算回路と集積性に優れたCMOS回路によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なSFQ/CMOSハイブリッドメモリシステムを提案している。本試作では、CMOSメモリの出力とSFQ回路の電流センサ間の帯域を実験において評価するため、シーケンシャルアクセスの64-kb CMOSメモリを設計した。メモリは先行研究での8T-SRAMに基づく構成を用いている。アドレス選択用のデコーダにシフトレジスタ型デコーダを用いており、外部クロックによってメモリ内のデータを順次SFQ電流センサに出力し読み出すことが可能な構成となっている。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：メモリ

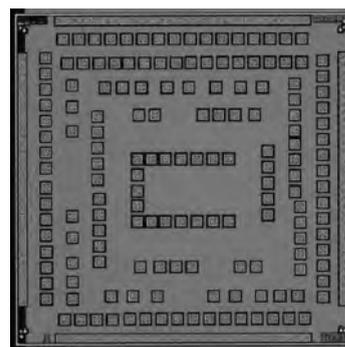


低温 CMOS デバイスの特性評価用 TEG

横浜国立大学理工学部 弘中 祐樹, 吉川 信行

概要：我々は半導体回路に代わる次世代回路として高速性、低消費電力性に優れた単一磁束量子(SFQ)論理回路の研究を行っている。だが、駆動力や集積度が低いという欠点があり、SFQ回路単体での大規模回路作製は困難である。そこで高速性、低消費電力性に優れたSFQ論理回路による演算回路と集積性に優れたCMOS回路によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なSFQ/CMOSハイブリッドメモリシステムを提案している。これまでの研究において、メモリの要素回路である差動増幅器の動作不良が課題となっていた。現在我々はこの動作不良の原因が、極低温下におけるCMOSデバイスの特性変化をシミュレーションにおいて十分に再現できていないためと考えている。本試作では、低温CMOSデバイス並びに差動増幅器の静特性・動特性評価用のための各種TEGを搭載している。

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG(特性評価回路など)

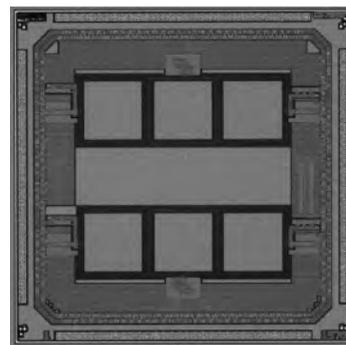


低消費電力誘導結合通信回路 TEG

東京大学大学院情報理工学系研究科 門本 淳一郎, 入江 英嗣, 坂井 修一

概要：計算機の小型化・省電力化を背景として、多様なデバイスへと計算機が組み込まれるようになってきている。そうした中で我々が注目しているのはマイクロロボットやデフォーマブルなユーザインタフェースといった、形状変形するデバイスである。こうしたデバイスへの計算機搭載のため、我々は複数小型チップの埋め込みとオンチップアンテナによるチップ間無線接続について研究開発を進めている。本TEGはチップ間無線通信技術の評価のため設計されたものである。TEG中には複数のアンテナと無線送受信回路が搭載され、単一チップ上で無線通信をおこなうことができる。今後無線通信品質の評価を通して、提案する送受信回路やアンテナの設計について検討していく予定である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Keysight社 ADS, トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG(特性評価回路など)



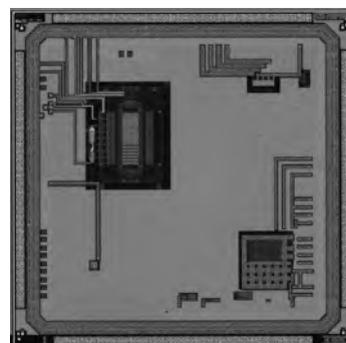
磁気センサのRTSノイズ特性評価用 TEG

茨城大学理工学研究科 木村 孝之

概要：これまで2次元集積化磁気センサの解像度、つまり単位面積当たりの画素数を増やすために画素の縮小が行われてきた。ホールエレメントを1 μ mとすることで6 μ m角の画素が実現できている。この様にホールエレメントの縮小により画素を小さくすることができたが、ホールエレメントや画素内のMOSFETのサイズ縮小によりRTS(random telegraph signal)ノイズが問題となった。本研究では微小磁場測定において問題となる集積化磁気センサで発生するRTSノイズの低減を実現するため、画素内回路の再検討を行った。RTSノイズは主にMOSFETの面積の縮小が原因であるため、画素に存在するソースフォロアを取り除いた。それにより画素にスペースが生じるため、ホールエレメントを構成するMOSFETの面積を3 μ m角に拡大した。

以上の設計変更を行いLSIを試作しRTSノイズの測定を行った。その結果、対策前では3mVrmsのRTSノイズが観測されたが、ソースフォロアを除去し1 μ m角のホールエレメントを配置した画素ではRTSノイズが0.9mVrmsまで減少し、さらに3 μ m角のホールエレメントでは0.15mVrmsまで減少することが出来た。今後はソースフォロア除去に伴う応答速度の低下に関する評価を行う予定である。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ



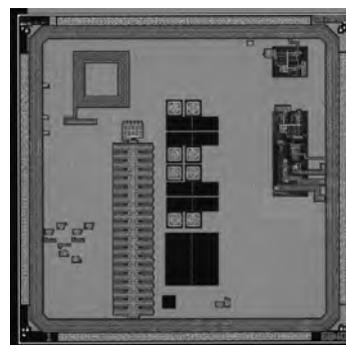
脳波取得フロントエンドの改良及び自立動作可能LSIチップのための各要素回路の改良

慶應義塾大学理工学部 中野 誠彦, 小貫 怜央, 山村 健太

慶應義塾大学理工学研究科 ホルヘ カナダ, 三河 樹由, 吉田 祐威, 三浦 大毅, 八木 健太

概要：筋電、心電、脳波などの生体電位信号は皮膚に電極を接触させて非侵襲に測定することができ、医療、研究用途に広く用いられている。生体電位信号を扱う低雑音増幅器、フィルタはウェアラブル端末へ応用するために小型化、低電圧化が求められており、我々はこれらをオンチップで実現することを目指している。今回のチップ設計では、増幅器付き周波数多重時間領域ADC、超音波受信機、超音波送信機の試作を行った。自立動作可能なLSIチップのための、オンチップ太陽電池と電源回路とアプリケーション回路の研究を行っている。電源回路は太陽電池の出力を6V以上に昇圧することで様々なアプリケーション回路の動作を目指す。本試作では、太陽電池、コンパレータ、DCDCコンバータ、無線通信を目的としたバックスキップリング回路を試作した

設計期間：7人月以上, 8人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：マイクロプロセッサ



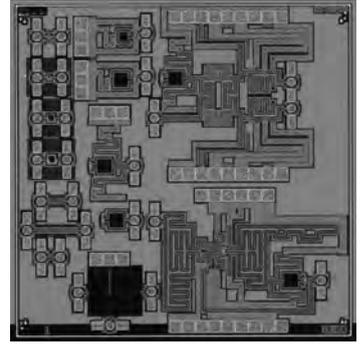
60 GHz帯ダウンコンバージョンミキサ

東京理科大学工学部電気電子情報工学科 榎田 洋太郎, 高野 恭弥

東京理科大学工学部研究科電気工学専攻 萩原 豊之, 酒井 元, 佐原 健太, 関根 光輝

概要：本試作では、60 GHz帯ダウンコンバージョンミキサの設計を行った。ダウンコンバージョンミキサはゲートポンプミキサであり、60 GHz帯の高周波（RF）入力信号と60 GHzの局部発振（LO）信号をNMOSFETのゲートに入力し、ドレインからベースバンド信号を出力する。RF信号とLO信号を足し合わせるために、ラットレース型平衡不平衡器（ balan ）を用いている。ラットレース balan の Δ 端子と Σ 端子にRF信号とLO信号を別々に入力することにより、差動端子から両者を足し合わせた信号を得ることができる。本試作では設計したダウンコンバージョンミキサの性能の評価を行う。また、設計したダウンコンバージョンミキサに用いられるデバイスの評価用素子を試作した。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, TOOL社 Lavis, Mentor社 Calibre, Cadence社 Spectre, Keysight社 ADS, トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：通信(RF回路, ATMなど)



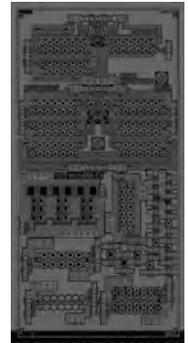
光ファイバ送信機要素回路

東京理科大学工学部電気電子情報工学科 榎田 洋太郎, 高野 恭弥

東京理科大学工学部研究科電気工学専攻 川原 啓輔

概要：本試作では、光ファイバ送信機に向けた要素回路を設計した。必要な要素回路の中でも今回は、ダブルバランス型ミキサ、光変調器駆動回路、分布型差動増幅回路について設計を行った。ダブルバランス型ミキサは高い線形性と優れたポート間アイソレーション特性を持つことから送受信機で広く利用されている。本試作ではマイクロ波帯で広帯域なダブルバランス型ミキサを実現するために、入力部の balan に分布型増幅回路を使用した。光変調器駆動回路と分布型差動増幅回路はRO1819_4で試作した回路からの改良を行った。インダクタや結合インダクタ、伝送線路などの受動素子は電磁界シミュレータ（Momentum）を用いて設計した。また要素回路内で使用したトランジスタやインダクタ等のデバイスTEGも試作した。

設計期間：Cadence社 Virtuoso, TOOL社 Lavis, Mentor社 Calibre, Cadence社 Spectre, Keysight社 ADS, 設計ツール：10~100 トランジスタ数：ローム CMOS 0.18 μ m 2.5mmx5.0mmチップ 試作ラン： チップ種別：通信(RF回路, ATMなど)

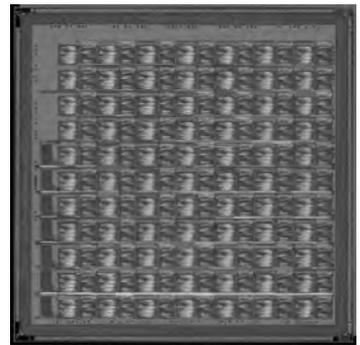


トータルドーズ耐性試験向け光再構成型ゲートアレイ VLSI

静岡大学大学院総合科学技術研究科工学専攻 渡邊 実

概要：耐放射線・光再構成型ゲートアレイのトータルドーズ耐性試験向けの光再構成型ゲートアレイ VLSI を試作した。耐放射線・光再構成型ゲートアレイ (Optically Reconfigurable Gate Array) はホログラムメモリ、レーザアレイ、ゲートアレイ VLSI から構成される光電子デバイスで、光技術を活用することで完全並列な構成が可能になり、その結果、故障を許容したゲートアレイの運用が可能になり、スタンダードな CMOS プロセスを用いても既存の FPGA よりもトータルドーズ耐性を高めることができる。光再構成型ゲートアレイ VLSI のゲートアレイの基本的な構成は FPGA (Field Programmable Gate Array) と同じであり、ブール関数を実装する Look-Up Table やフリップフロップが実装された論理ブロックとスイッチングマトリックスから構成される。本チップにはトータルドーズ耐性試験向けに検査機能を追加している。

設計期間：0.1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：その他

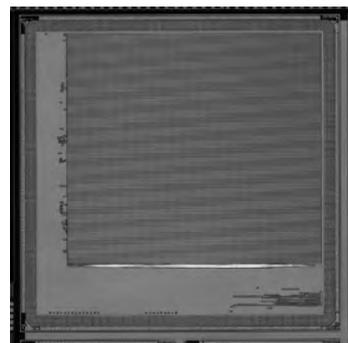


CMOSイメージセンサー

静岡大学大学院総合科学技術研究科工学専攻 渡邊 実

概要：ローム社5mm角チップを用いて、簡素な640×480ピクセルのイメージセンサーを試作した。フォトダイオードはN-WellとP-substrate間で作り、フォトダイオードのサイズは $5\mu\text{m} \times 3.84\mu\text{m}$ である。フォトダイオードセルの間隔は横 $6.4\mu\text{m}$ 、縦 $7.84\mu\text{m}$ である。標準的なイメージセンサーチップであるが、このチップには順序回路が含まれておらず、チップ外部からFPGA(Field Programmable Gate Array)を用いて各ピクセルをアドレッシングし、ピクセル情報を読み出す仕様として設計してある。信号の出力側にA/Dコンバータを実装しておらず、ピクセルからのアナログ信号がそのまま出力される。現在までにFPGAによる制御システムを作り、正しく動作するところまで確認を終えている。ただし、このチップの試作目的は放射線で脆弱な個所を特定するためであり、今後、トータルドーズ耐性試験を実施していく予定である。本チップで得られた試験結果を基にして、今後、耐放射線イメージセンサーを開発していく予定である。

設計期間：0.5人月以上、1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：1,000,000~10,000,000
試作ラン：ローム CMOS $0.18\mu\text{m}$ 5.0mm角チップ チップ種別：イメージセンサ/スマートセンサ



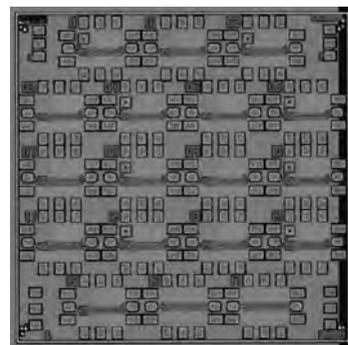
入力ダイナミックレンジ拡大のための 光通信用トランスインピーダンスアンプの回路構成実証チップ

滋賀県立大学工学部 土田 知史, 土谷 亮, 井上 敏之, 岸根 桂路

概要：本チップは光通信用トランスインピーダンスアンプ(TIA)の回路構成を提案し、実証するためのチップである。光通信受信アンプでは利得・速度・消費電力・雑音特性に加えて、入力ダイナミックレンジの広さも必要とされる。我々は広く使われているインバータ型TIAを基に、わずかな速度低下と引き換えに入力ダイナミックレンジを向上させ、ばらつきの影響を受けにくい回路構成を提案している。提案回路構成の有効性を実証するために消費電力、インダクティブピーキングの有無を変えつつ、従来型と提案回路をオンウェハプロービングで測定できるTEGを合計で15個搭載した。提案構成によるダイナミックレンジの拡大はDC測定で確認されており、現在アイダイアグラムでの評価を進めている。また、提案回路構成のばらつき耐性に関するシミュレーション結果は参考文献にて発表した。

参考文献：土田, 土谷, 井上, 岸根, "A Transimpedance Amplifier Topology Considering the Impact of Variability on Inductive Peaking", SASIMI 2021, pp.192-196, 2021年03月。

設計期間：2人月以上、3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), Keysight社 ADS, トランジスタ数：100~1,000 試作ラン：ローム CMOS $0.18\mu\text{m}$ 2.5mm角チップ チップ種別：通信(RF回路, ATMなど)



耐放射線RISC-Vプロセッサ

京都工芸繊維大学電気電子工学系 小林 和淑

概要：4段パイプラインのRISC-Vプロセッサ(poyo-v, <https://github.com/ourfool/poyo-v>)を通常のD型フリップフロップと当研究室で開発した耐放射線FF技術の一つであるBCDMR(Bistable Cross-coupled Dual Modular Redundancy)の2つのFFを用いて個別に設計した。両プロセッサは外部からの制御信号により動作時に切り替えられる構造とした。両プロセッサで共有するデータメモリ(64kB)とインストラクションメモリ(64kB)のSRAMメモリマクロとともにチップ内に収めた。SRAMマクロはROHM社から提供された通常の6T SRAMであり、放射線耐性を持たないため、内蔵のSRAMを切り離して、外部のメモリを使って動作させることもできる。ただし、外付けのメモリはピン数の関係上、双方向ピンとせざるを得ず、入出力を別に持つチップ内のSRAMと動作が異なるため、コンパイル後のアセンブラにフィルタをかけて、メモリの読み出し命令直後の書き込み命令間にNOPを挿入することで対処した。なお、通常のFFを用いたRISC-VプロセッサとSRAMメモリはリフレッシュセミナーでその設計方法を公開している。プロセッサは正常に動作し、今後放射線試験によるソフトウェア耐性の評価を予定している。

設計期間：2人月以上、3人月未満 設計ツール：Cadence社 INCISIV, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS $0.18\mu\text{m}$ 2.5mmx5.0mmチップ チップ種別：マイクロプロセッサ



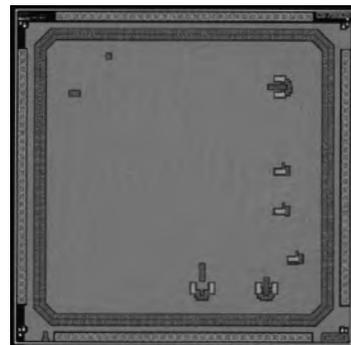
低電圧で動作するイメージセンサ用画素回路 TEG ほか

立命館大学大学院情報理工学研究科 室原 脩人, 宮内 悠太, 木村 知也

立命館大学情報理工学部 今川 隆司, 越智 裕之

概要：集積回路上にPN接合ダイオードを形成して光を照射すると太陽電池として機能するため、これを同一チップ上の回路の電源として利用すれば、エネルギーを自給自足する単一ダイのシステムが構築できると期待される。本試作では、単一のオンチップ太陽電池セルから得られる0.5~0.6V程度の電源電圧で動作可能なイメージセンサを0.18 μ m標準CMOSプロセスで実現することを目指し、低電圧動作に適した画素回路およびADCの一部（コンパレータ）のTEGを搭載しており、低電圧下で動作可能であるかどうかを測定により明らかにする予定である。本試作チップには上記のほか、フォトセンサなどのTEGも搭載している。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG(特性評価回路など)



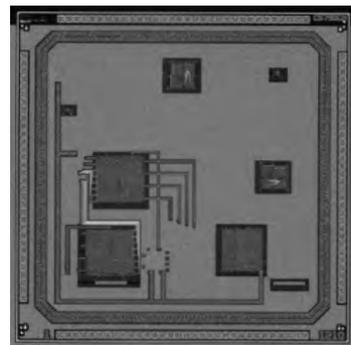
スタンダードセルを用いたフルデジタル SARADC

東京電機大学工学研究科電気電子工学専攻 福島 拓実, 平野 皓士

東京電機大学工学部電子システム工学科 小松 聡

概要：スタンダードセルを用いたフルデジタルの逐次比較型ADC (SARADC) のチップ試作を行った。この回路はフルレンジで動作するハイブリッドコンパレータ, SARロジック, トライステートバッファから構成されるDACから構成されている。ハイブリッドコンパレータは論理素子の閾値を利用しており、低い入力電圧範囲で動作するNORコンパレータと高い入力動作範囲で動作するNANDコンパレータを組み合わせ、これらの出力を場合に依りて選択することで広い入力電圧範囲を得ることができる。フルデジタルDACはMOSFETがオン状態になるときに発生する微小な抵抗成分, オン抵抗を利用しており、それによって生じる分圧により中間的なアナログ電圧を生成することができる。トライステートバッファに存在する'0', '1', 'ハイインピーダンス状態'を用いて、それぞれ駆動するMOSFETをエンコーダで選び、調節することで出力電圧を変化させる。しかしながら、この動作方法では常に電流が流れることになるため消費電力が大きくなってしまいう欠点が存在する。試作チップ測定により、提案手法を用いることで中間的なアナログ電圧を生成できていることは確認できたため、さらなる精度向上や低消費電力に努めたいと思う。

設計期間：0.5人月以上, 1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ(PLL, A-D/DC-DCコンバータなど)

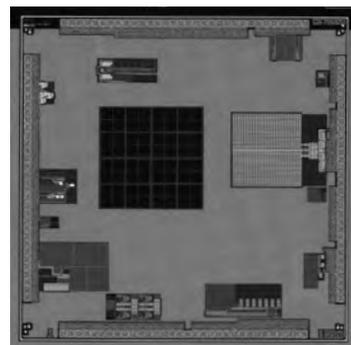


IoTのためのアナログ回路 TEG

広島工業大学工学部 升井 義博

概要：近年ではIoTの研究・開発・実用化に伴い、無線センサーネットワークの利用が開始されつつある。最近の無線センサーネットワークでは信号通信用の配線だけでなく、電源配線の無線化もすすみつつある。そこで、本試作ではエネルギーハーベストを電源とし、無線センサーネットワークでの利用を想定したアナログ要素回路の試作を行った。低電圧駆動, 低消費電力というテーマで0.18 μ m CMOS プロセスを用いたアナログ回路 TEGとして以下の回路を集積した。ダブルブースト技術を用いた昇圧回路, 温度センサ, 差動型-非同期動作の12bit逐次比較型AD変換器, 低消費電力マルチバイプレータ, オンチップ発電のための光発電セル等。特にオンチップ光発電セルではPN接合を2段直列接続し、植物栽培用LEDを照射することで約1V程度の電圧と数 μ W程度の電力が発電できることが実験より明らかになった。

設計期間：10人月以上 設計ツール：Cadence社 Virtuoso, Cadence社 Spectre, Synopsys社 StarRC(XT), Synopsys社 Hercules, トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ(PLL, A-D/DC-DCコンバータなど)

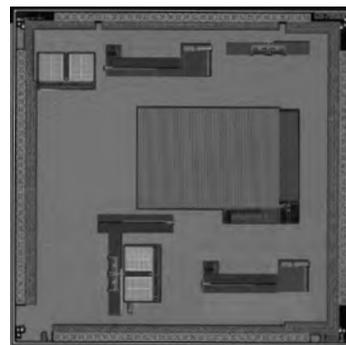


バイオロギングでの利用を想定したデータロガー用アナログ回路 TEG

広島工業大学工学部 升井 義博

概要：元来、バイオロギングは生物にカメラやデータロガーを取り付け、生態を明らかにするための研究であった。しかし近年ではバイオロギングを応用し、環境データを集めたり、気象予測等へ活用するための応用研究が進められている。そんな中、バイオロギングで使用するデータロガーが小型化されることでより多くの生物に取り付け可能となり、より多くのデータを収集できるようになることから、データロガーの小型化が強く望まれている。そこで本試作では超小型、低消費電力というキーワードでデータロガーを構成するアナログ回路 TEG を試作した。集積した回路は温度センサ、差動増幅回路、14bit 逐次比較型 AD 変換器、不揮発性メモリ動作の昇圧回路等である。いずれも小型のボタン電池での駆動を可能とするため低電圧動作が可能な設計となっている。

設計期間：4人月以上、5人月未満 設計ツール：Cadence 社 Virtuoso, Cadence 社 Spectre, Synopsys 社 StarRC(XT), Synopsys 社 Hercules, トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ(PLL, A-D/DC-DC コンバータなど)

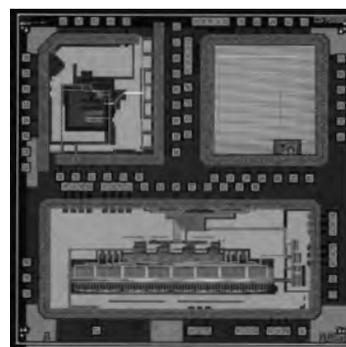


Flash ADC, 高速温度分布測定回路, VLL ADC

芝浦工業大学工学部 佐々木 昌浩, 萬羽 敦史, 山本 大貴, 福岡 慶祐

概要：本試作では異なる複数の回路を実装している。1つ目の回路は、1.75-GHzでの動作が可能なキャリブレーション機能付き8-bit Flash Analog to Digital Converterである。この回路は新たな方式を用い低消費電力化のための低電圧化と分解能の両立を実現している。2つ目の回路は、高速温度分布測定システムである。この回路はNMOSトランジスタをダイオード接続し、その温度特性を利用して温度分布を測定するものであり、温度センサアレイと増幅部の回路を見直し、高精度化を図っている。3つ目の回路は8-bitのVoltage Locked Loop型A/D Converterである。この回路はアップダウンカウンタとコンパレータを用いて入力信号と出力のD/A変換値を比較する方式を採用しており、回路構成の見直しによりさらなる小面積化を図っている。

設計期間：4人月以上、5人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 StarRC(XT), Synopsys 社 Hercules, Synopsys 社 HSPICE(RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ(PLL, A-D/DC-DC コンバータなど)

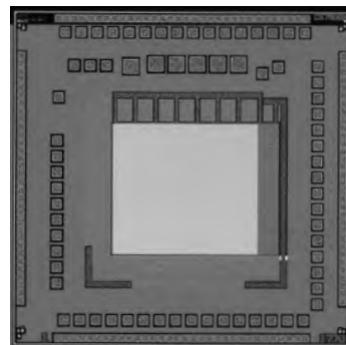


SFQ/CMOSハイブリッド回路用64-kb シーケンシャルアクセスCMOSメモリほか

横浜国立大学理工学部 弘中, 吉川 信行

概要：我々は半導体回路に代わる次世代回路として高速性、低消費電力性に優れた単一磁束量子(SFQ)論理回路の研究を行っている。だが、駆動力や集積度が低いという欠点があり、SFQ回路単体での大規模回路作製は困難である。そこで高速性、低消費電力性に優れたSFQ論理回路による演算回路と集積性に優れたSFQ回路によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なSFQ/CMOSハイブリッドメモリシステムを提案している。本試作では、CMOSメモリの出力とSFQ回路の電流センサ間の帯域を実験において評価するため、シーケンシャルアクセスの64-kb CMOSメモリを設計した。メモリは先行研究での8T-SRAMに基づく構成を用いている。アドレス選択用のデコーダにシフトレジスタ型デコーダを用いており、外部クロックによってメモリ内のデータを順次SFQ電流センサに出力し読み出すことが可能な構成となっている。また、メモリ消費電力低減のため、8T-SRAMの出力トランジスタの電源電圧をVDDと区別し、メモリの出力電流の振幅を制御可能な設計となっている。その他、本試作には量子ビット制御用DACの試作回路が搭載されている。

設計期間：1人月以上、2人月未満 設計ツール：100,000~1,000,000 トランジスタ数： 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：メモリ

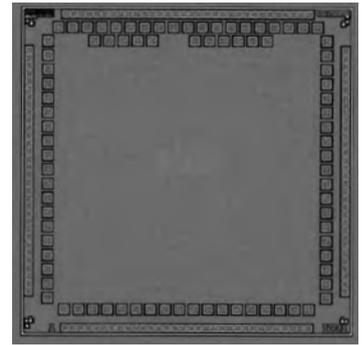


単一磁束量子高速フーリエ変換プロセッサ用CMOSメモリ

横浜国立大学理工学府 弘中 祐樹, 吉川 信行

概要：我々は半導体回路に代わる次世代回路として高速性、低消費電力性に優れた単一磁束量子 (SFQ) 論理回路の研究を行っている。だが、駆動力や集積度が低いという欠点があり、SFQ回路単体での大規模回路作製は困難である。そこで高速性、低消費電力性に優れたSFQ論理回路による演算回路と集積性に優れたSFQ回路によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なSFQ/CMOSハイブリッドメモリシステムを提案している。本試作では、高速フーリエ変換 (FFT) を行うSFQプロセッサと組み合わせて用いるためのCMOSメモリのプロトタイプとして、16-word×16-bit×2-blockのCMOSメモリを設計した。メモリは先行研究での8T-SRAMに基づく構成となっており、2-blockのメモリはFFT演算においてステージ毎にread/write動作がそれぞれのブロックで切り替わるping-pong方式でのアクセスが可能となるように構成した。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：メモリ

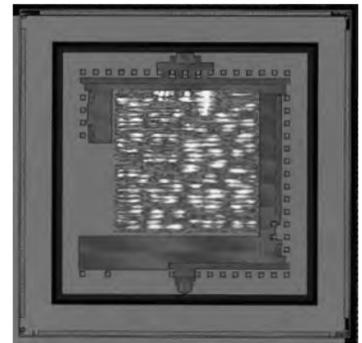


無線通信プロセッサTEG

東京大学大学院情報理工学系研究科 門本 淳一郎, 入江 英嗣, 坂井 修一

概要：計算機の小型化・省電力化を背景として、多様なデバイスへと計算機が組み込まれるようになってきている。そうした中で我々が注目しているのはマイクロロボットやデフォーマブルなユーザインタフェースといった、形状変形するデバイスである。こうしたデバイスへの計算機搭載のため、我々は複数小型チップの埋め込みとオンチップアンテナによるチップ間無線接続について研究開発を進めている。本TEGには32-bitの汎用プロセッサと無線送受信回路、その他の周辺回路が混載されており、複数チップ間で無線通信をおこなうことができる。今後プロセッサ上でのベンチマークソフトウェア実行や、無線通信品質の評価を通して、提案システムの設計について検討する予定である。

設計期間：0.5人月以上, 1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Keysight社 ADS, トランジスタ数：10,000~100,000 試作ラン：チップ種別：TEG(特性評価回路など)

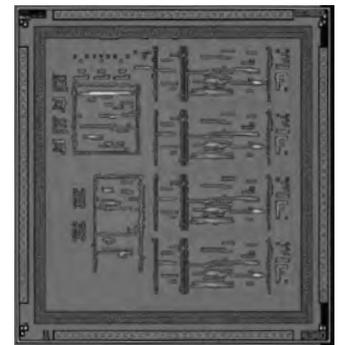


積分ジャイロスコープ用固有モード検出器

東北大学工学研究科 ロボティクス専攻 塚本 貴城

概要：周波数変調・積分型ジャイロスコープは、優れた直線性、ダイナミックレンジ、温度安定性のため、自動運転は、ドローン・ロボットの高精度自律制御のために期待されている。この実現のためには、MEMS縮退振動子上に2つの固有モード (CWモードとCCWモード) を重畳させ、さらに、これらを互いに完全に独立に制御する必要がある。これは、同一の振動子上に重畳された、これらの固有モードを分離し、それぞれのモードの位相情報と振幅情報を抽出できれば十分である。位相情報を基に、位相同期ループでMEMS振動子を共振させることができ、振幅情報を用いてモード振幅を一定に制御可能である。これまでに、FPGAを使って原理検証を行ってきたが、サイズや消費電力の観点から実用的ではなく、より現実的なデバイスの開発のためには小型化・低消費電力化が必須である。そこで、ROHM0.18 μ mプロセスを使ったCMOSチップを開発している。

設計期間：0.5人月以上, 1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：演算回路(乗算器, 除算器など)

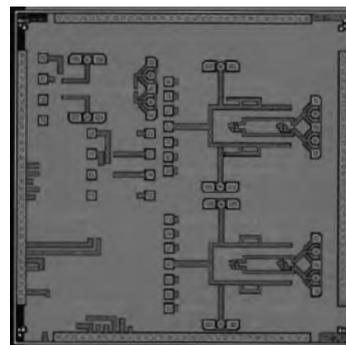


高速通信伝送や生体センサに用いるCMOSアナログ回路の試作

明治大学理工学研究科 関根 かをり, 木下 功喜, 和井田 優太

概要：高速通信伝送や生体センサに用いるCMOSアナログ回路の設計をすること、低電圧・小面積CMOSアナログ回路を設計することを根底に置き、評価に必要な回路の試作を行った。以下が試作した回路の概要となる。高速通信伝送の波形の歪みを補償することを目的とした乗算器であるギルバートセルと遅延器であるCMOSインバータ遅延器を合わせたアナログFIRフィルタ全体の回路と、電流モードロジック(CML)回路を用いた遅延器それぞれのTEG、ポテンショスタットを使用した微弱な生体信号を扱う低消費電力動作・小面積化が可能なセンサインターフェース回路に用いるリング発振器やカレントミラー回路のTEG。これらの回路は測定器による動作確認を通して妥当性の検証を行っている。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：～10 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG(特性評価回路など)



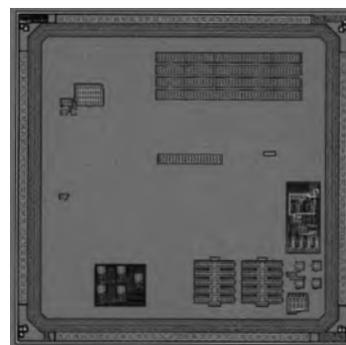
脳波取得フロントエンドの改良及び自立動作可能LSIチップのための各要素回路の改良

慶應義塾大学理工学部 中野 誠彦, 小貫 怜央, 山村 健太

慶應義塾大学理工学研究科 吉田 祐威, 三河 樹由, 八木 健太, 三浦 大毅

概要：筋電、心電、脳波などの生体電位信号は皮膚に電極を接触させて非侵襲に測定することができ、医療、研究用途に広く用いられている。生体電位信号を扱う低雑音増幅器、フィルタはウェアラブル端末へ応用するために小型化、低電圧化が求められており、我々はこれらをオンチップで実現することを目指している。今回のチップ設計では、脳波取得用DC除去増幅器、超音波受信回路及びPGA、超音波信号生成回路の試作を行った。自立動作可能なLSIチップのための、オンチップ太陽電池と電源回路とアプリケーション回路の研究を行っている。電源回路は太陽電池の出力を6V以上に昇圧することで様々なアプリケーション回路の動作を目指す。本試作では、クロックが高周波でも動作するようにFBBありのDCDCコンバータ、RO電源用のSOCP、目標電圧の達成を目的とした20段SOCPの試作を行った。

設計期間：6人月以上, 7人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：100～1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：マイクロプロセッサ



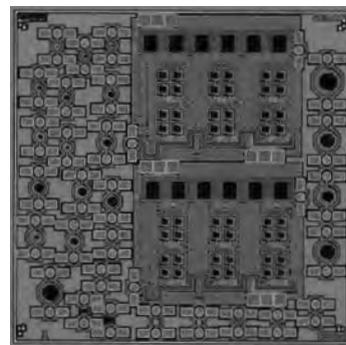
光変調器駆動回路とデバイスTEG

東京理科大学工学部電気電子情報工学科 楳田 洋太郎, 高野 恭弥

東京理科大学理工学研究科電気工学専攻 吉田 祐威, 三河 樹由, 八木 健太, 三浦 大毅

概要：本試作ではRO1819_4で試作した光変調器駆動回路の改良を行った。具体的には、RO1819_4で試作した光変調器駆動回路とデバイス評価用素子(TEG)の測定結果を反映し、素子値の調整と回路構成の変更を行った。またデバイスモデリングを行うためのインダクタや抵抗器等のデバイスTEGも設計した。デバイス寸法に対してスケーラブルなインダクタモデルを作成するために、直径、配線幅、巻数が異なる19個のインダクタを設計した。抵抗器には高周波特性に優れたポリシリコンを使用した。またRFパッドのモデリングを行うために、オープン・ショート・スルーのダミーパターンも設計した。インダクタや伝送線路などの受動素子は電磁界シミュレータ(Momentum)を用いて設計した。

設計期間：6人月以上, 7人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：100～1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：マイクロプロセッサ

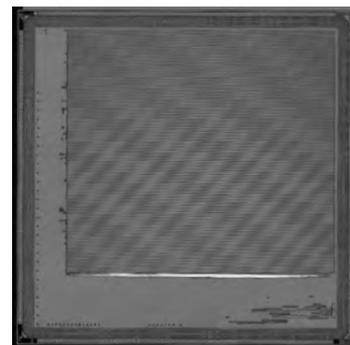


ホログラムメモリ回折パターン計測用イメージセンサー

静岡大学大学院総合科学技術研究科工学専攻 渡邊 実

概要：ローム社5mm角チップを用いて、ホログラムメモリの回折パターンの計測用に640×480ピクセルのイメージセンサーを試作した。フォトダイオードセルの間隔は横6.4 μ m、縦7.84 μ mである。これは市販されている標準的なイメージセンサーの解像度と同じであるが、将来的にはピクセル間隔を市販のイメージセンサーよりも狭くしていく予定である。本チップの受光する情報はホログラムメモリからの回折光に限定されることから、一般のイメージセンサーよりも高輝度な光パターンを取り扱うことになる。ただ、光学系側でNDフィルターや偏光板を用いて光の輝度は調整することにしており、イメージセンサーチップ内に調整機能を含めず、構造をできるだけシンプルにしている。ピクセルのばらつきもチップ外で補正する。

設計期間：0.5人月以上、1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Mentor社 ModelSim, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：1,000,000~10,000,000 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：イメージセンサ/スマートセンサ

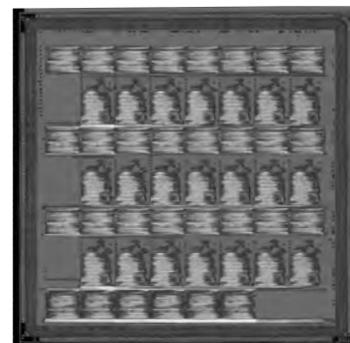


粗粒度光再構成型プロセッサアレイ

静岡大学大学院総合科学技術研究科工学専攻 渡邊 実

概要：ローム社5mm角チップを用いて耐放射線・粗粒度光再構成型プロセッサアレイVLSIを試作した。ソフトウェア耐性とトータルドーズ耐性の双方を高めるため、3重回路実装の8bitのプロセッサを21個実装した。1つのプロセッサには8bitのレジスタが8個実装されており、各種データの保持に使用する。プロセッサのインストラクションバスは16bitで光バスとなっている。21個のプロセッサの命令はホログラムメモリから光学的に供給され、完全並列であることからMIMD(Multiple Instruction stream, Multiple Data stream)アーキテクチャのプロセッサアレイとも言える。プロセッサの各種演算は電氣的に実行される。プロセッサの周囲にはスイッチングマトリックスが実装されており、アイランドスタイルのプロセッサアレイとなっており、プロセッサ間の接続はスイッチングマトリックスにより決定される。

設計期間：0.5人月以上、1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：1,000,000~10,000,000 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：マイクロプロセッサ



FiCCを用いたSRAMならびにスタンダードセルメモリ

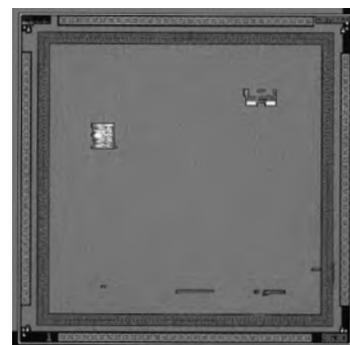
京都工芸繊維大学電気電子工学系 小林 和淑

京都工芸繊維大学電子システム工学専攻 浦部 孝樹

京都工芸繊維大学電子システム工学課程 阿部 佑貴

概要：通常のCMOSプロセスで試作できる不揮発メモリであるFiCC(Fishbone-in-Cage Capacitor)を用いたSRAMならびにスタンダードセルメモリTEGを試作した。FiCCは配線容量を使った不揮発メモリであり、その保持時間は短いものの、追加マスクが不要である。このSRAMとスタンダードセルメモリは将来的に間欠的に動作を行うIoT向けマイクロプロセッサに応用する予定である。スタンダードセルメモリに用いるセルライブラリは65nm用に既に京都大学で作成されていたライブラリから自動変換することにより作成した。チップ内には、1bitのFiCC SRAMとラッチ、4bitのラッチセル、8ビット8ワードのFiCC SRAM、8ビット16ワードのFiCCを用いたスタンダードセルメモリラッチ、4bitのラッチセル、8ビット8ワードのFiCC SRAM、8ビット16ワードのFiCCを用いたスタンダードセルメモリを搭載した。FiCCを用いたSRAMは、多ビットの同時復帰動作に一部問題が残るものの、ほぼ正常に動作し、0.5秒の書き込み時間で約1時間データを保持できることが確認できた。今後はFiCCを用いたプロセッサの設計を行う予定である。

参考文献：阿部, 小林, 塩見, 越智, "FiCCを用いた不揮発スタンダードセルメモリ", no.A-6-4, pp. 47, 電子情報通信学会総合大会(2021) 設計期間：5人月以上、6人月未満 設計ツール：Cadence社 INCISIV, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：メモリ



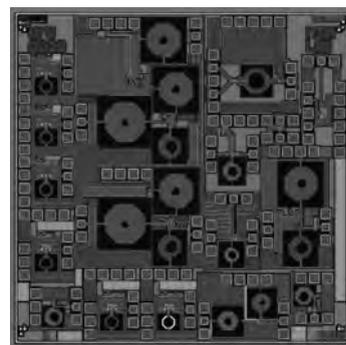
高周波回路 TEG

岡山県立大学情報工学部 伊藤 信之

岡山県立大学大学院情報系工学研究科システム工学専攻 吉澤 悠人, 金田 直樹, 宮搦 和哉

概要：本試作で検討を行った回路は、920 MHz帯低消費電力、低雑音LNA、5GHz帯LNA、8GHz帯リング型ILFM、24GHz帯LC型ILFM、過去に試作した24GHz-VCOのレイアウト修正版である。この中で、過去に試作した24GHz-VCOのレイアウト修正版については、2018年にテーパーアウトした24GHz-VCOのレイアウトを再確認している際に、ゲインセルを構成するNMOSトランジスタのゲートコンタクトの数の不足、バラクタとして用いているPMOSトランジスタのゲートコンタクトの不足、インダクタからゲインセルトランジスタに至る配線にノッチ形状となっている細い部分があったため、その修正を行った回路と元回路を再試作して位相雑音特性を評価した。その結果、周波数約24GHzにおける元回路の1MHz離調における最低位相雑音はコア電流が約20mAにおいて約-100dBc/Hzであったのに対して、上記レイアウト修正を行った回路では、コア電流が約16mAにおいて約-103dBc/Hzとなり、消費電流として約4mA、位相雑音として約3dBの改善が確認された。

設計期間：6人月以上、7人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Keysight社 ADS, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：通信(RF回路, ATMなど)



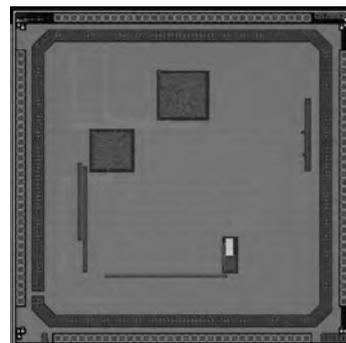
Stochastic Computingを用いた離散コサイン変換回路の試作

東京電機大学工学研究科電気電子工学専攻 小山 泰成, 平野 皓士

東京電機大学工学部電子システム工学科 小松 聡

概要：IoTの普及によりデバイスの小型化や省電力化が求められている。また、プロセスの微細化による信頼性の低下が問題となっている。Stochastic Computingを用いることで、従来回路に比べ低面積での設計が可能でありロバスト性が得られる。本試作では、Stochastic Computingを用いて設計した8入力の離散コサイン変換と従来のBinaryを用いた離散コサイン変換の試作を行った。Stochastic ComputingではStochastic Numberと呼ばれるBinaryの値を時間軸でのビット列に変換をして演算を行っているため、Binaryの演算と比べ各ビットの重み付けが均一となりロバスト性がある。Stochastic Computingを用いて設計した回路と従来手法であるBinaryを用いて設計した回路のロバスト性に関する動作検証を行う。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Xcelium, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Dracula, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：演算回路(乗算器, 除算器など)



CMOSイメージセンサの1画素回路

東京電機大学工学研究科電子システム工学専攻 若林 怜玖

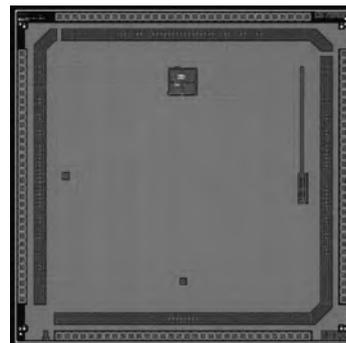
東京電機大学工学研究科電気電子工学専攻 瀬端 康平, 福島 拓実

東京電機大学工学部電子システム工学科 小松 聡, 高橋 弘貴

概要：イメージセンサの簡単な動作を理解するためのチップの試作をCMOS0.18 μ mで行った。作成した回路はリセットトランジスタ、選択トランジスタ、フォトダイオード、アンプで構成されている簡単なCMOSイメージセンサの1画素の回路である。回路の動作としては、フォトダイオードによって発生した光電流がリセットトランジスタによって蓄積される。リセット信号が立ち上がっている間、光電流が蓄積しリセット信号が下がったら出力される。光の強さによって出力電圧の傾きが変化し、光が強ければ強いほど出力電圧の傾きが大きくなる。フォトダイオードはリセットトランジスタのPN接合部を広げることで代替した。

参考文献：松浦, “解像度が可変なCMOSイメージセンサの設計と評価”, 東京電機大学卒業論文, 2017年

設計期間：0.5人月以上、1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：イメージセンサ/スマートセンサ



流量計，発汗センサ

信州大学工学部 加賀 悠太, 狩野 楓, 坂田 天来, 上口 光

概要：本テストチップは、2019年度第4回試作の再試作であり、前回に引き続き水道メータ用の流量計とヘルスケア用の発汗センサのTEGが搭載されている。流量計TEGは前回に引き続き、超音波アクチュエータの駆動回路とスイッチング回路、タイミングズームとオートキャリブレーション機能を有する伝搬時間差検出回路、およびこれらの制御回路で構成されている。更に前回試作の測定評価を踏まえ、細かいバグの修正と、受信信号からノイズを除去するためのローパスフィルタの実装を行った。また、入出力をSPI通信にすることでマイコンによる制御を可能にした。また、流量計と発汗センサ回路の安定動作のためにLDOレギュレータを内蔵した。

参考文献：Y. Kaga and K. Johguch, "A 180 nm CMOS smart ultrasonic water flow meter circuit for IoT smart society," Japanese Journal of Applied Physics (JJAP), Vol. 60, SBBL05, 2021.

設計期間：2人月以上，3人月未満 設計ツール：Cadence社 Xcelium, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 ModelSim, Cadence社 Spectre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), Synopsys社 HSIM, Synopsys社 Formality, Keysight社 ADS, トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：イメージセンサ/スマートセンサ

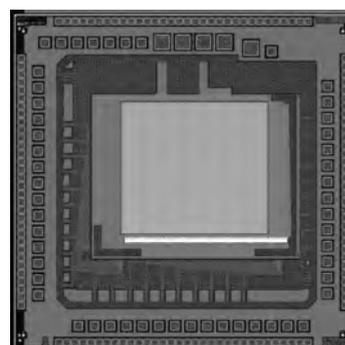


SFQ/CMOSハイブリッド回路用低電力64-kb CMOS RAM

横浜国立大学理工学部 弘中 祐樹, 吉川 信行

概要：我々は半導体回路に代わる次世代回路として高速性、低消費電力性に優れた単一磁束量子 (SFQ) 論理回路の研究を行っている。だが、駆動力や集積度が低いという欠点があり、SFQ回路単体での大規模回路作製は困難である。そこで高速性、低消費電力性に優れたSFQ論理回路による演算回路と集積性に優れたCMOS回路によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なSFQ/CMOSハイブリッドメモリシステムを提案している。このチップにはプロセスの最小幅で設計した8T-SRAMセルで構成されるメモリアレイ (容量64-kb)、デコーダ、及び21個のセルフバイアス型差動増幅器 (アンプ) が実装されている。本チップはSFQマイクロプロセッサとCMOSメモリを組み合わせたSFQ/CMOSハイブリッド回路の動作実証のため、継続的に試作を行っているチップである。

設計期間：1人月以上，2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：メモリ

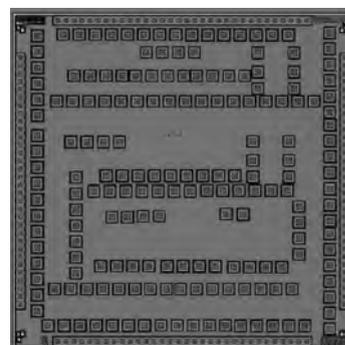


AQFP/CMOSハイブリッドFPGAのためのCMOSメモリほか

横浜国立大学理工学部 弘中, 吉川 信行

概要：我々は半導体回路に代わる次世代回路として高速性、低消費電力性に優れた断熱量子磁束パラメトロン (AQFP) 論理回路の研究を行っている。だが、駆動力や集積度が低いという欠点があり、AQFP回路単体での大規模回路作製は困難である。そこで高速性、低消費電力性に優れたAQFP論理回路による演算回路と集積性に優れたCMOS回路によるメモリを組み合わせる事で、高速読み出しかつ低消費電力動作が可能なAQFP/CMOSハイブリッドメモリシステムを提案している。本試作では、AQFP回路によるロジックとCMOSメモリから構成されるAQFP/CMOSハイブリッドField-programmable gate array (FPGA)の動作実証に向け、8T-SRAMに基づく16-b CMOSメモリを搭載している。本メモリからの出力電流によってAQFP FPGAの動作モードを制御可能となっている。その他、本チップにはハイブリッド回路に用いる差動増幅器のTEGを搭載している。

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：メモリ



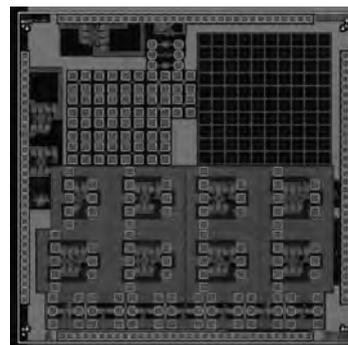
オンチップ太陽電池と環境電波発電向け整流回路

秋田県立大学システム科学技術研究科 渡辺 準樹

秋田県立大学システム科学技術学部 小谷 光司

概要：IoTデバイスの普及に向け、ワイヤレスな電源技術が課題となる。本試作では、光無線給電向けの太陽電池、環境電波発電向け整流回路及び回路素子のTEGを試作した。整流回路は、特に差動入力型の整流回路において、整流素子（MOSFET）のしきい値を差動信号による能動バイアスや光エネルギーを活用して補償する回路を設計し、MOSFETのオン抵抗の影響が顕著になる低入力電力領域における高効率動作を目的とした。さらに、逆方向リーク電流による効率劣化が課題となる高入力電力領域での効率向上のために、電圧リミッタ機構を有するしきい値補償制御回路を設計した。特に、前回の試作（R1819_3）においては、電圧リミッタに高周波電流が流れ込む事で生じる損失が原因で、期待通りの効率向上が得られなかった。そのため今回は電圧リミッタを高周波ノードから分離し、直流成分のみ電圧制限を行うよう変更した回路を追加した。今後は、半導体パラメータアナライザおよびベクトルネットワークアナライザを用いてチップ検証を実施する予定である。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Keysight社 ADS, トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG(特性評価回路など)



新方式の神経細胞モデル実装

日本大学理工学部 佐伯 勝敏, 佐々木 芳樹, 鈴木 克典

概要：本試作チップでは、

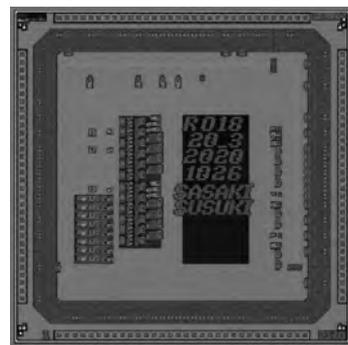
①神経細胞モデル(作成：佐々木)

②CPG用補助回路(作成：鈴木)

の試作を行った。詳細は下記の通りである。

・神経細胞モデルは、従来では外部からの刺激電流を出力端子のコンデンサへと直接入力する形式であったが、今回試作したモデルでは刺激電流を一度コントロール用のバイアス電圧へと変換することで発火動作の制御を行う。コントロール用のユニットと神経細胞モデルの両方に対し共通の機構を設けることでコモンセントロイド配置などのレイアウト技術を適用することが可能となり、ばらつきを抑制することが可能であるため歩留まりを高めることが可能となることを期待できる。本試作チップを測定した結果、神経細胞モデル単体としてはすべてのサンプルにおいて期待した通りの動作を得ることが出来た。

設計期間：3人月以上、4人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：マイクロプロセッサ



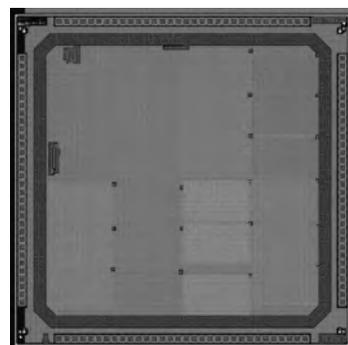
配線容量計算モデル検証用の回路

静岡大学工学部 丹沢 徹

概要：クロスポイント型メモリの大容量化は積層数を増やすことで実現する。バンド幅を増やすため積層数に比例して同時アクセスするワード線ビット線を増やしたい。このとき駆動電流も増えるから、電源回路に必要なキャパシタも増やしたい。クロスポイント型メモリはワード線とビット線が交互にクロスした構造である。周辺回路部に同様の構造を残しておいて、不揮発性メモリ素子は残らない構造とすれば積層数に比例した容量の素子を実現できる。この試作では、クロスポイント型メモリ用キャパシタ素子の最適構造を決定する。複数の配線構造を試作して配線容量計算モデルを検証する。ローム .18 μ m の配線を使用する。同層の配線をショート、配線層間のみを容量する構造、一本おきに別端子に接続した構造、二本おきに別端子に接続した構造の三つの構造と、配線幅と配線間スペースを三つ振ったもの、配線数を3と4としたもの、の組み合わせ18パターンを搭載した。

参考文献：Tone, Tanzawa, "A Design Guideline of Scalable Capacitors in 3D Cross-Point Memory", IEICE general conference, 2-31, Mar. 2021.

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：~10 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG(特性評価回路など)



細胞インピーダンス測定チップ

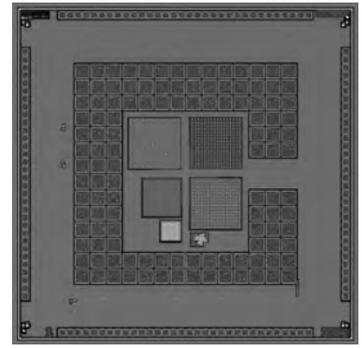
立命館大学理工学部 宇野 重康

立命館大学理工学研究科 春日 俊介, 柳瀬 智史

概要：チップ上で直接細胞を培養し，その細胞のインピーダンス値を微小電極アレイで測定するためのASICを設計した．一辺が50umの微小電極を16 x 16 = 256 個アレイ化しており，周辺のデジタル回路によってランダムアクセスできる．選択された単一の電極によるインピーダンス測定を外部接続したインピーダンスアナライザでを行うことにより，チップ上の細胞の様々な生理特性を測定することが可能である．このチップでは上記に加え，測定で用いる対向電極として機能する大面積電極領域を配置し，測定での利便性を高めた．また，将来的なプリアンプの基本回路として，Transimpedance Amplifier や差動アンプなどの要素回路を搭載し，その動作を確認した．

参考文献：(Invited) Shigeyasu Uno, "Electrochemical Impedance Sensor for Non-invasive Living Cell Monitoring toward CMOS Cell Culture Monitoring Platform", 4th International Symposium on Devices, Circuits and Systems (ISDCS2021), March 3, 2021 (Hiroshima: virtual), Session 3, no1.

設計期間：1人月以上，2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：イメージセンサ/スマートセンサ

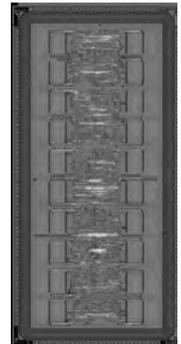


意味的分割用畳込み演算器の試作

金沢大学高度モビリティ研究所 深山 正幸

概要：意味的分割は画像上の画素ごとにカテゴリ分類を行う処理であり，自動運転等に使用される．意味的分割用CNNにエンコーダ各層の出力をデコーダの対応する層に入力するUNETを採用した．これにより従来の拡張畳込みと同等の演算量で推定精度を改善した．意味的分割のデータと重みを3ビットへ低ビット化した．3ビット化により，FPGA上の一つのLUTで1桁の乗算出力を得ることができ，回路規模を削減できた．この回路の入力ビット幅は3ビットだが，8ビット画素を4個の2ビットデータに分割することで画像も入力できるように畳込み演算器を拡張した．Xilinx Alveo U200に実装したところ，LUT数：369,516/1,182,240個，BRAM：377/2,160個，URAM：512/960個となった．動作周波数は250 MHzで，480×320画素の画像に対して120 fps以上のスループットを得た．今回，この回路の畳込み演算部をROHM0.18umで試作した．

設計期間：0.1人月以上，0.5人月未満 設計ツール：Cadence社 INCISIV, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mmx5.0mmチップ チップ種別：演算回路(乗算器，除算器など)

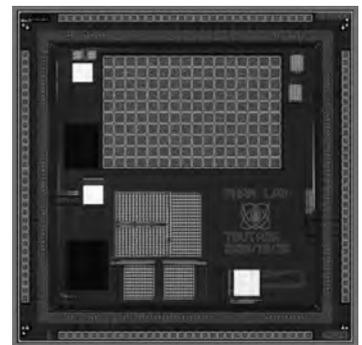


基本LDOその他

電気通信大学情報理工学研究科情報ネットワーク工学専攻 植田 健斗, 範 公司, 石橋 孝一郎

概要：今回の試作では，MOSFETを用いた回路設計の練習として，基本的なLDOレギュレータを設計した．プロセスはRohm 0.18umを使用した．LDOレギュレータは一定の電圧を出力する回路である．今回の設計では2段オペアンプとパストランジスタであるPchMOSFETで構成し，フィードバック抵抗をチップ内に組み込んだ．また，オペアンプのバイアス電流は外部電流源を接続することにした．出力を安定させるため，オフチップに出力コンデンサをつけて，測定をした．回路の仕様として，基準電圧が0.4Vのとき，出力電圧が0.6Vとなるようにした．設計の際には回路シミュレータにSynopsys社のHspiceを使用した．レイアウト後のシミュレーションでは，無負荷時の最小入力電圧が0.8Vであったが，実測では0.9Vであった．また，出力電圧を一定に保つことのできる最大負荷電流について，電源電圧が1.8Vのとき，レイアウト後のシミュレーションでは14mAであったが，実測では10mAであった．負荷に対する変動である負荷過渡応答特性について，負荷電流を0-9.5mAに変化させたとき，レイアウト後のシミュレーションでは最大電圧変動が15mVだったが，実測では34mVであった．

設計期間：1人月以上，2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ(PLL, A-D/DC-DCコンバータなど)

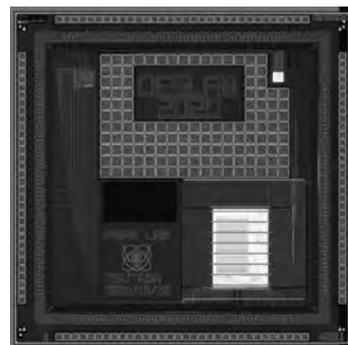


4bit × 4bit乗算器 その他

電気通信大学情報理工学専攻 三村 巧, 範 公, 石橋 孝一郎

概要：本試作はCOMS半導体の設計、プロセスの理解と学習を目的にCMOS0.18 μ mでチップの試作を行った。試作した回路は部分積を求めてその累積から乗算を行う2つの4bit入力、9bit出力の乗算回路である。具体的な仕様は次の通りである。①4bitの乗数Lregと4bitの被乗数Mregを用意する。②STARTの入力により演算を開始する。③RESETの入力によって演算をやめ、初期状態にもどす。④MLSELの値により演算を実行する2つのレジスタLregとMregのどちらに値を格納するかを決める。⑤演算の過程としては被乗数を1bitずつシフトしながら乗数との部分積をとりその累積が乗数となる。そして乗算結果をLregとHregに格納し結果として出力する。以上の仕様でチップを試作した。FPGAから試作チップに入力信号を与えてチップから出力される信号を確認し、計算結果が異なる値が出力されるまで周波数を変化させて動作周波数の測定を行った。また周波数毎の消費電力の測定も行い、回路の動作を確認した。本測定では、1~60MHzが動作周波数であることが分かった。

設計期間：1人月以上、2人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：演算回路(乗算器, 除算器など)



遅延故障およびIC間配線の検査用の各種検査容易化回路の試作

徳島大学大学院先端技術科学教育部 宮谷 康希, 長田 奏美, 中西 健人

徳島大学大学院創成科学研究科 大寺 佑都, 出口 祥大, 牧野 紘史, 知野 遥香

徳島大学大学院社会産業理工学研究部 四柳 浩之

概要：遅延故障の検査容易化回路2種とIC間配線の電氣的検査容易化回路2種を含むチップを試作した。1) 時間-デジタル変換回路組込型検査容易化設計をバウンダリスキャンおよびスキャンFF部に実装した遅延故障検査回路を設計した。また、PUF回路としても扱えるように制御回路を設計した。2) PFDを用いる信号遅延比較回路を実装した。3) 注入電荷量によるIC内断線検査回路を実装した。4) 弛緩発振器を用いる断線検査回路を実装した。各回路について動作検証を終え、検出可能故障についての実験を行なっている。

設計期間：10人月以上 設計ツール：Cadence社 Xcelium, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, TOOL社 Lavis, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ

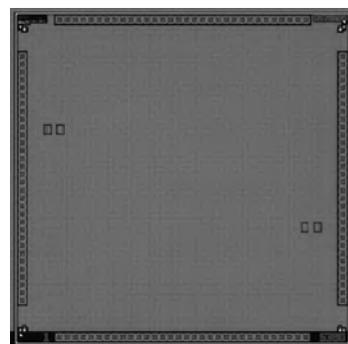


磁界結合型無線電力伝送回路に用いる周波数制御回路

明治大学大学院理工学研究科 藤田 誉大

概要：磁界結合を用いた無線電力伝送回路における、周波数制御用のPLLとその周辺回路を試作した。今回が初回の試作であることと、設計時間の都合上、PLLの構成回路ブロック(位相比較器、電圧制御発振器など)を同一チップ内にそれぞれ独立に実装し、それらの動作を確認した。実装したおもな回路ブロックのうち、位相比較器は駆動能力が測定器の入力容量に対して不足していたために、期待した波形を観測することができなかった。一方、電圧制御発振器については、周波数の制御電圧がある程度低いときには概ね所望の動作を達成できた。ただし、制御電圧が高くなったときは出力に意図しない発振波形が重畳されていたので、改善が必要である。今後は、シミュレーションやより詳細な測定を通して想定外の動作をした原因を調査し、その知見を踏まえつつ、各回路ブロックを接続したチップを試作してシステムの完成を目指したい。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ

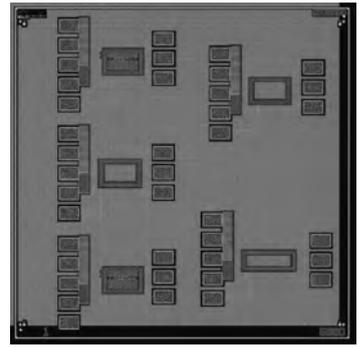


リングオシレータ TEG

東京工芸大学工学部 崔 通, 荒木 昌太郎, 酒井 宏樹

概要：本試作は、①新しく研究室を立ち上げるに伴い、d.lab (Vdec) のCADツールの新規導入とPDKの展開などIC設計の環境を構築すること、及び、②初めてIC設計をする学生(学部3年生)向けに、IC設計の流れを取得させるための教育研修を目的としたTEGチップ試作である。試作した回路は、リングオシレータを教材にして、電源電圧依存性、プロセスばらつきに対する特性を評価した。特に、Rohm 0.18 μm プロセスのトランジスタ単体の特性評価と低電圧動作の可能性について検討した。PDKの展開(Rohm 0.18 μm)、回路設計、シミュレーション(Hspice, Spectre)、レイアウト設計(Virtuoso)、レイアウト検証(Calibre)、テープアウト作業の一連の作業を経験することで、IC設計の手順を学び習得させた。これによって、①研究室のIC設計環境を構築、及び、②学生のIC設計の習得を行った。

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：～10 試作ラン：ローム CMOS 0.18 μm 2.5mm角チップ チップ種別：TEG(特性評価回路など)



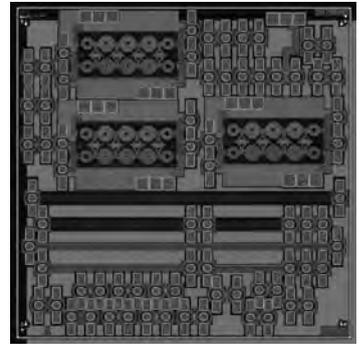
分布型差動増幅回路とデバイス TEG

東京理科大学理工学部電気電子情報工学科 榎田 洋太郎, 高野 恭弥

東京理科大学理工学部研究科電気工学専攻 川原 啓輔

概要：本試作では、光ファイバ送信機に向けて差動結合インダクタを使用し省面積化を実現した分布型差動増幅回路の設計を行った。同様の分布型差動増幅回路はRO1819_4とRO1820_1においても試作したが、設計時に結合インダクタの寄生容量を適切に考慮できていなかったため周波数特性に劣化が生じていた。本試作では電磁界シミュレータ (Momentum) により抽出したSパラメータからYパラメータを求め、それを用いて結合インダクタのスケラブルモデルを作成し、勾配降下法によりインダクタ構造を最適化した。また今後の試作に向けてトランジスタやインダクタ、伝送線路等のデバイス評価用素子 (TEG) の設計も行った。また、オープン・ショート・スルーのダミーパターンも設計した。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, TOOL社 Lavis, Mentor社 Calibre, Cadence社 Spectre, Keysight社 ADS, トランジスタ数：10～100 試作ラン：ローム CMOS 0.18 μm 2.5mm角チップ チップ種別：通信(RF回路, ATMなど)



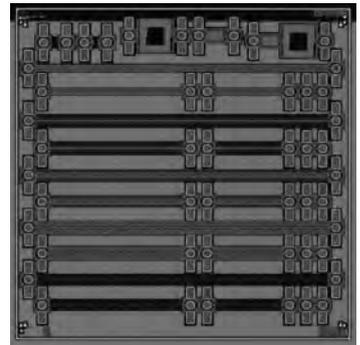
マイクロ波フィルタ回路と伝送線路 TEG

東京理科大学理工学部電気電子情報工学科 榎田 洋太郎, 高野 恭弥

東京理科大学理工学部研究科電気工学専攻 川原 啓輔

概要：本試作ではマイクロ波帯無線送信機で使用するためのフィルタ回路を設計した。フィルタ回路はスパイラルインダクタとMetal-Insulator-Metal (MIM) キャパシタを直列接続したLC直列共振回路により構成した。またフィルタ回路で用いたインダクタとキャパシタ単体のデバイス評価用素子 (TEG) も設計した。加えて、電磁界シミュレータで用いる材料パラメータを校正するための伝送線路のTEGも設計した。プロセス各層のパラメータを正確かつ迅速に抽出できるように、複数の長さや構造の伝送線路を試作した。また伝送線路をマルチラインThrough-Reflect-Line (TRL) 法によりディエンベディングするためのオープン・ショート・スルーのダミーも設計した。これにより、電磁界シミュレータの精度向上が期待される。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, TOOL社 Lavis, Mentor社 Calibre, Cadence社 Spectre, Keysight社 ADS, トランジスタ数：10～100 試作ラン：ローム CMOS 0.18 μm 2.5mm角チップ チップ種別：通信(RF回路, ATMなど)



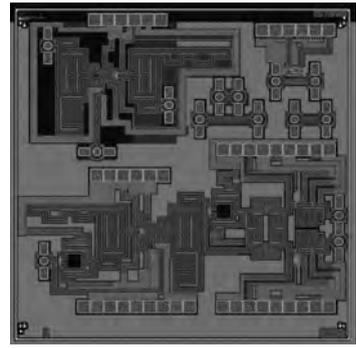
60 GHz帯送受信機用要素回路

東京理科大学工学部電気電子情報工学科 榎田 洋太郎, 高野 恭弥

東京理科大学工学部工学研究科電気工学専攻 酒井 元, 佐原 健太, 関根 光輝, 那須 南美

概要：本試作ではRO1819_4で試作を行った60 GHz帯アップコンバージョンミキサの性能改善を行った。RO1819_4の評価結果を基に，入出力のインピーダンス整合の改善を行った。また，Digital Controlled Artificial Dielectric (DiCAD) 伝送線路評価用素子を試作した。DiCAD伝送線路はMOSFETスイッチを使用して，位相を動的に制御可能な伝送線路である。これを60GHz帯送受信機に用いることにより，周波数特性を変化させることができる。また，60GHzアップコンバージョンミキサと60GHzダウンコンバージョンミキサ，および60GHz発振器を接続した60GHz帯送受信機のループバックテスト用の評価用素子を試作した。

設計期間：3人月以上，4人月未満 設計ツール：Cadence社 Virtuoso, TOOL社 Lavis, Mentor社 Calibre, Cadence社 Spectre, Keysight社 ADS, トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：通信(RF回路, ATMなど)



B-3

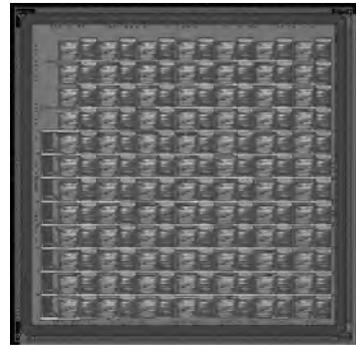
Appendix

電気的にも書き換えが可能な光再構成型ゲートアレイ VLSI

静岡大学大学院総合科学技術研究科工学専攻 渡邊 実

概要：ローム社5mm角チップを用いて，電気的な書き換え機能を追加した光再構成型ゲートアレイ VLSI を試作した。通常，光再構成型ゲートアレイは光学的に構成・再構成を行うが，この光再構成型ゲートアレイ VLSI では FPGA と同様の電気的な書き換え機能を追加しており，光学的にも電気的にも構成・再構成を行うことができる。放射線試験においては光学的な構成法よりも電気的な構成・再構成の方が都合が良いことがあり，恒久的に使用することができない機能ではあるが，放射線試験の一部において活用することを考えて実装した。他の機能はこれまでの光再構成型ゲートアレイ VLSI と同じである。4入力 Look-Up Table を2つ実装した論理ブロックが84個，スイッチングマトリックスが84個，I/Oブロックが8個実装されている。

設計期間：0.1人月以上，0.5人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：1,000,000~10,000,000 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：ニューテクノロジー

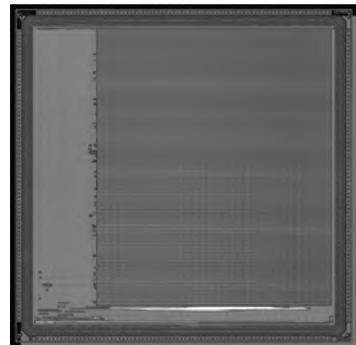


耐放射線 CMOS イメージセンサー

静岡大学大学院総合科学技術研究科工学専攻 渡邊 実

概要：ローム社5mm角チップを用いて，512 \times 512ピクセルの耐放射線イメージセンサーを試作した。フォトダイオードはN-WellとP-substrate間で作り，フォトダイオードのサイズ，間隔はそれぞれ5.64 μ m \times 3.82 μ m，横7.04 μ m，縦8.4 μ mである。本イメージセンサーチップでは耐放射線設計された制御回路をチップ内に実装しており，制御回路も含めた耐放射線性能を評価していく予定である。制御回路部分は3重化されており，ソフトエラー耐性を高めると同時に放射線劣化に対するマージンも大きく取っている。ピクセルの情報はアナログで直接出力される仕様としており，A/Dコンバータ等は実装していない。実際の使用においては耐放射線オペアンプと共に利用することを想定している。今後，トータルドーズ耐性試験，ソフトエラー耐性試験の双方を実施していく予定である。

設計期間：0.5人月以上，1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Milkyway, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：1,000,000~10,000,000 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：イメージセンサ/スマートセンサ



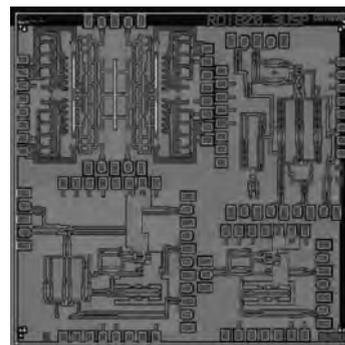
PAM4信号トランスミッタにおける信号劣化補償実証チップ

滋賀県立大学工学部 市井 裕大, 宮部 雅也, 井上 敏之, 岸根 桂路

概要：400ギガビットイーサネットをはじめとして、高速・大容量光伝送の実現に向けて4値振幅変調（PAM4）方式の採用が進んでいる。本試作では、PAM4信号トランスミッタにおける信号品質劣化補償効果の実証を目的とした。以前の試作チップでは、CML（Current Mode Logic）回路を多段接続することにより必要な遅延量の確保とその可変性を図っていたが、十分なFFE効果を得るためには多くのCML回路が必要となり、消費電力や占有面積の増大が課題であった。本チップでは、外部電圧により遅延量制御が可能で、かつ遅延量の拡大を可能とするラッチ付加バッファ回路を採用し、Post-layoutシミュレーションにより提案構成における品質劣化補償効果を確認した。シミュレーションによる検証結果はInternational Conference on Electronics, Information, and Communication (ICEIC 2021) [1] において発表済みで、今後、実測による検証結果を含む研究成果を論文雑誌に投稿することを検討している。

参考文献：[1] Yudai Ichii, Toshiyuki Inoue, Akira Tsuchiya, and Keiji Kishine, "5-Gb/s PAM4 transmitter IC using compensation circuit in an 180-nm CMOS," 2021 International Conference on Electronics, Information, and Communication (ICEIC), pp. 194-197, February 2021.

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：通信(RF回路, ATMなど)

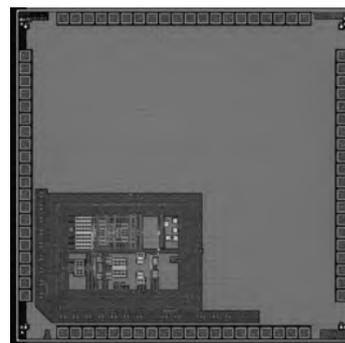


光プローブ電流センサ向け容量型トランスインピーダンスアンプの広帯域化と精度改善

信州大学大学院総合理工学研究科 Nguyen Phuc, 赤羽 和哉, 宮地 幸祐

概要：バッテリーモニタリング用途光プローブ電流センサ向けのアナログフロントエンド(AFE)回路を設計した。AFEは前年度同様、オフセット除去用の変復調チョッパ、AFE前段のフォトダイオードの接合容量を電流電圧増幅段から分離するRegulated Cascode (RGC)バッファ、電流電圧増幅を行うCapacitive Transimpedance Amplifier (CTIA)、CTIA出力のS&H回路、残留オフセットに起因するリップルを除去するRipple Reduction Loop (RRL)から構成される。前年度AFEに対し、今年度設計したAFEは帯域の向上、および精度の改善を目的としている。帯域の向上のため、CTIAの変換クロック周波数を4倍とすることで帯域を20kHzから80kHzに上げつつ、電流電圧変換利得(TIG)を86dB Ω に保つためにCTIAの容量を20pFから5pFに下げた。また、CTIAとS&H回路に用いる各種クロックのタイミング修正を行うことで精度の改善を図り、ダイナミックレンジ60dBを目指した。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：イメージセンサ/スマートセンサ



光受信用アナログフロントエンド回路 TEG6

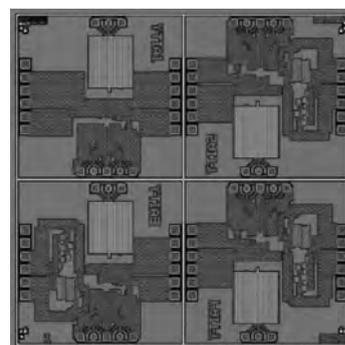
岐阜大学大学院自然科学技術研究科 湯浅 貴文, 石原 直志

岐阜大学工学部 伊藤 大輔, 中村 誠

概要：我々の研究グループでは、光パケット伝送用アナログフロントエンド回路の設計を行っている。光アクセス (FTTH) や光パケットルータでは、信号強度の異なるパケットデータの送受信を行うため、受信したパケットデータに高速応答可能なアナログフロントエンド回路が求められている。これまでの試作で、信号強度 (振幅) の大きく異なるパケット信号 (バースト信号) に対応した高速利得切り替え回路を検討してきた。今回の試作では、これまでに試作検証を行った高速利得切り替え機能を持つ光電流信号/電圧変換回路 (TIA) をベースとして、バースト信号かつ複数の伝送速度に対応可能な高速帯域可変回路を検討し試作を行った。具体的な構成は、広帯域特性が得られるようにベース接地回路を基本構成とするRGC回路を用い、伝送速度判別回路によりTIA回路の電流を制御し帯域可変を実現している。また、電流制御はデジタル的な制御により高速応答を可能としている。尚、試作ICの詳細評価は今後行う予定である。

参考文献：[1] 湯浅貴文, 三輪祐三久, 石原直志, 志津有記, 中村誠, 伊藤大輔, "バースト伝送用帯域可変 CMOS RGC-TIA 回路の検討", 電子情報通信学会総合大会, A-1-15, 2020年3月.

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), Keysight社 ADS, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：通信(RF回路, ATMなど)



エネルギーハーベスティング電源回路1

金沢大学 北川章夫

概要：磁歪効果を応用した低出力インピーダンス振動発電デバイスのための整流、蓄電回路を試作した。従来のショットキーダイオードによる整流回路では、1段（昇圧2倍）でも、0.6V以下の入力では殆ど出力が得られず、人の動き、道路の振動、微弱風力といった低周波の微弱な振動からエネルギーハーベスティングを行うことができなかった。この問題を解決するために、SOTBトランジスタの閾値制御を行い、バックアップ電源無しで理想ダイオードとして動作する回路を開発した。また、この回路を利用し、多段昇圧回路を開発した。昇圧整流回路は約20mV入力から動作可能であり、1段（2倍昇圧）当たりの電圧損失は約9mV、10kohmの負荷において、電圧変換効率99.9%、電力変換効率95.7%を達成している。実測の結果、正常な動作が確認されたが、理想整流回路のスイッチング電圧が、0V~0.1V以上までばらついていることが分かった。内部消費電力を減らすため、SOTBトランジスタのサブスレッショルド特性を利用して回路を構成しており、スイッチング電圧のばらつきを抑制するための回路上の工夫が必要であると予想される。また、アンテナルールエラーを回避するために挿入した、ESDによるエネルギー損失が性能に影響すると考えられ、この点での工夫が次の課題となっている。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE(RF), トランジスタ数：100,000~1,000,000 試作ラン：CMOS SOTB 65nm 39 チップ種別：アナログ(PLL, A-D/DC-DCコンバータなど)

エネルギーハーベスティング電源回路2

金沢大学 北川章夫

概要：磁歪効果を応用した低出力インピーダンス振動発電デバイスのための整流および蓄電回路とフィールドに分布している自然界の電気化学エネルギーや空気電池を利用するための超低電圧DC-DCコンバータの開発に必要なTEGを試作した。エネルギーハーベスティング電源回路1で試作した超低電圧昇圧整流回路の最適化を行うため、各種回路パラメータを変更したものを複数搭載した。また、新規に提案する同期式磁束コンバータ昇圧整流回路を設計するために必要なTEGおよび超低電圧DC-DCコンバータに用いる超低電圧共振回路も搭載した。従来のショットキーダイオードによる整流回路では、1段（昇圧2倍）でも、0.6V以下の入力では殆ど出力が得られず、人の動き、道路の振動、微弱風力といった低周波の微弱な振動からエネルギーハーベスティングを行うことができなかったが、本試作により、SOTBトランジスタを用いて、バックアップ電源なしに約20mVの入力から昇圧整流ができることが実証された。また、0.1V以下で動作するように設計した同期式磁束コンバータと超低電圧DC-DCコンバータ用の低周波共振回路の評価を実施中である。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 ModelSim, Cadence社 Spectre, Synopsys社 HSPICE(RF), トランジスタ数：100,000~1,000,000 試作ラン：CMOS SOTB 65nm 39 チップ種別：アナログ(PLL, A-D/DC-DCコンバータなど)

AD変換器

東京都市大学理工学部 傘 昊

概要：SOTB 65nm CMOSを用いるアナログ・デジタル変換器(ADC)回路のLSIチップである。低電源電圧・高線形性ADCの実現を目指して、設計を行った。SOTB CMOS基板電圧制御可能な特徴を活用し、必要となるアナログ回路性能に合わせ、異なる動作状態では、異なるVth値のCMOSを使用出来ることは、このプロセスの魅力と実感した。最先端CMOSプロセスではないのに、65nm CMOSを用いて、最先端プロセスと同等レベルの低電圧(Vdd=0.75V)で動作可能な集積回路を設計できたことは、技術的な挑戦であることと考えている。試作したADCチップの実測結果では、Vdd=0.75Vで14bit線形性を確認でき、目標としているADCの性能はほぼ達成できた。低電圧で高精度アナログ回路の設計を行い、測定結果により、低電圧で設計した回路がしっかり動作し、且つ所望性能を確認できた事は意義が大きいと考える。また、今年度の試作では、異なるアナログ回路のバリエーションで複数ADCのサブ回路設計を行い、2つチップで計4つのADCの試作を行い、4つ共動作していることを確認できた。

設計期間：5人月以上、6人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Dracula, トランジスタ数：100,000~1,000,000 試作ラン：CMOS SOTB 65nm 39 チップ種別：マイクロプロセッサ

VLSI劣化検知のためのフィールドテスト技術の評価用TEGチップ

九州工業大学大学院情報工学研究院 加藤 隆明, 三宅 庸資, 梶原 誠司, 宮瀬 紘平

概要：フィールド運用時のVLSIのテストや劣化検知に関して研究している。本チップには、搭載したオープンコアに対してフィールド運用時の劣化進行の検知と寿命予測を目的としたフィールドテストIPを搭載した。チップには以下の機能を持つ。(1)オンチップ遅延測定：CUTのパス遅延を測定する機能である。自己テスト機構(BIST)と可変クロック回路で構成され、徐々にテストクロック幅を狭めて繰り返しテストすることでCUTのクリティカルなパス遅延を測定する。(2)オンチップ温度電圧測定：テスト時のオンチップの温度と電圧を同時に測定する機能である。リングオシレータベースの完全デジタルセンサで、非テスト時に劣化を抑制する工夫をしている。フィールドテスト技術の有効性を検証するために、温度電圧を変化させて測定及び劣化加速試験を行い、遅延測定精度や温度電圧測定精度、劣化検知及び寿命予測の評価を行う。

参考文献：Y. Miyake, et al., "On-Chip Delay Measurement for Degradation Detection And Its Evaluation under Accelerated Life Test," Proc. IEEE International Symposium on On-Line Testing and Robust System Design (IOLTS), pp. 1-6, July 2020.

設計期間：5人月以上, 6人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), トランジスタ数：100,000~1,000,000 試作ラン：CMOS SOTB 65nm 39 チップ種別：TEG(特性評価回路など)

プロセッサ RSD

東京大学情報理工学系研究科 塩谷 亮太, 眞下 達, 藤田 晃史, 赤木 晟也, 松尾 玲央馬, 小泉 透

株式会社ロジックリサーチ Yang Tongxin

概要：ルネサス 65nm SOTB においてプロセッサ RSD の試作を行った。RTL 設計は主に当研究室で行った一方、バックエンド設計の作業は主に株式会社ロジックリサーチに委託し、その協力の下で実施した。RSD は RISC-V 互換の out-of-order スーパースカラ・プロセッサである。試作を行った RSD では64命令までの動的スケジューリングを行い、最大5命令までを同時発行可能な構成をとる。これまで RSD は FPGA 上での動作検証を行っていたが、消費電力や遅延の推定を行うために今回は実チップによる試作を行った。試作の結果、Coremark ベンチマークを完走するなど、正常な動作を確認した。今回の設計評価を経て実チップ合成時の特性を多く得ることが出来たため、今後はこの経験を踏まえてより高速な実装を目指す予定である。

参考文献：Susumu Mashimo, Akifumi Fujita, Reoma Matsuo, Seiya Akaki, Akifumi Fukuda, Toru Koizumi, Junichiro Kadomoto, Hidetsugu Irie, Masahiro Goshima, Koji Inoue, and Ryota Shioya: An Open Source FPGA-Optimized Out-of-Order RISC-V Soft Processor, IEEE International Conference on Field-Programmable Technology (FPT), pp. 63—71 (2019).

設計期間：10人月以上 設計ツール：Synopsys社 VCS, Synopsys社 DesignCompiler, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 Formality, トランジスタ数：1,000,000~10,000,000 試作ラン：CMOS SOTB 65nm 36 チップ種別：マイクロプロセッサ

ソフトエラー耐性の高いRISC-Vと信頼性測定TEG

京都工芸繊維大学電気電子工学系 小林 和淑, 古田 潤

東京理科大学理工学部 電気電子情報工学科 岸田 亮

京都工芸繊維大学電子システム工学専攻 足助 拓哉, 須田 郁生, 河野 雄哉

概要：公開されているRISC-Vプロセッサの一種であるPulpinoのFFをSOI向けの耐放射線回路技術の一つであるスタック型FFに置き換え、さらにスタンダードセルメモリで実現されているスクラッチパッドメモリ内のラッチもスタック型ラッチに置き換えたプロセッサを試作した。2019年8月にテーパアウトした同じ構造のプロセッサはタイミング違反により正常動作が確認できなかったが、本チップは正常動作を確認できた。さらに空き面積に様々な耐ソフトエラーFFを搭載したFFアレイ、BTI(Bias Temperature Instability)を測定するためのリングオシレータアレイを搭載した。RISC-Vプロセッサは正常動作し、 α 線による耐放射線試験を行った。DCTを行うプログラムを走らせたところ、通常のFFを使ったプロセッサに比べて平均で32倍の動作時間を達成した。FFアレイ部は設計ミスにより電源線が接続されていなかったため、東京大学微細構造解析プラットフォームのFIBにより、電源線の接続を行い、正常に動作することが確認できた。

参考文献：岸田, 須田, 小林, "Bias Temperature Instability Depending on Body Bias through Buried Oxide (BOX) Layer in a 65 nm Fully-Depleted Silicon-On-Insulator Process", no.4A.6, IEEE International Reliability Physics Symposium(2021)

設計期間：10人月以上 設計ツール：Cadence社 INCISIV, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：100,000~1,000,000 試作ラン：CMOS SOTB 65nm 37 チップ種別：マイクロプロセッサ

フリップフロップの初期値のランダム性を利用したチップIDの実現およびチップ劣化量の推測

福岡大学工学部 電子情報工学科 西澤 真一, 名倉 徹

概要：電子情報機器の設計開発および製造と物流の国際化分業化が発展しているが、これらの製品に使われる集積回路の真正性の確保が課題となっている。真正性には二つの課題があり、一つは正規流通品の保証、もう一つは残寿命の正確な予測である。前者に対して個々の集積回路に固有のIDを付加するPUF技術、後者に対して寿命を予測するモニタ回路技術が提案されているが、専用回路でありチップ面積の増加につながる。本試作ではデジタル回路中に利用されているフリップフロップに注目し、専用コスト無くPUFおよび寿命予測を実現する回路設計を行った。トランジスタサイジングによる静特性の制御とプロセスばらつきによるフリップフロップの電源投入時の初期値の分布でもって固有IDを実現する。経年劣化によるトランジスタ特性の変化が初期値分布に影響するため、初期値分布の経年変化の結果から集積回路の劣化量の予測を行う。既存の機能テストに利用するスキャンフリップフロップを利用することで、追加コスト無く真正性評価の実現を目指す。

設計期間：2人月以上, 3人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Synopsys FineSim, SiliconSmart, Verdi, CustomWaveview, LibraryCompiler, Milkyway, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), Synopsys社 Formality, トランジスタ数：100,000~1,000,000 試作ラン：CMOS SOTB 65nm 37 チップ種別：TEG(特性評価回路など)

B-3

Appendix

耐放射線RISC-Vプロセッサ

京都工芸繊維大学電気電子工学系 小林 和淑

概要：ローム社180nmで試作したのと同じRTLを用いての4段パイプラインのRISC-Vプロセッサ(poyo-v)を65nmにポーティングした。通常のFFを用いたコアと、スタック型FFに置き換えて耐ソフトエラー化を図ったプロセッサコアの2つを搭載して制御信号により切り替えられるようにした。インストラクションメモリとして32kByte, データメモリとして16kByteのメモリを耐ソフトエラーラッチを使ったスタンダードセルメモリ(SCM)にて実現した。先に試作したローム社180nmのプロセッサとピン互換とするために、QFP160ピンパッケージに別途ボンディングを依頼した。内蔵SCMを切り離して、外部のメモリを使って動作させることもできる。ただし、外付けのメモリはピン数の関係上、双方向ピンとせざるを得ず、入出力を別持つチップ内のSRAMと動作が異なるため、コンパイル後のアセンブラにフィルタをかけて、メモリの読み出し命令直後の書き込み命令間にNOPを挿入することで対処した。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 INCISIV, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：100,000~1,000,000 試作ラン：CMOS SOTB 65nm 37 チップ種別：マイクロプロセッサ

耐放射線FFアレイ

京都工芸繊維大学電気電子工学系 小林 和淑, 古田 潤

京都工芸繊維大学電子システム工学専攻 記伊 智也

概要：放射線が集積回路を通過すると、その電離作用により電子正孔対が生じる。生じた電荷によりトランジスタの出力が一時的に反転するシングルイベント効果が回路の信頼性を低下させている。放射線による一時的な反転の影響を防ぐ方法として、ガードゲート構造と呼ばれる遅延素子を使用したローパスフィルタがある。このガードゲート構造をフリップフロップ内部に構成した耐放射線フリップフロップ、FRFFを65nm FDSOIプロセスを利用して試作した。比較対象として通常のFFと、stacked FFと呼ばれる遅延時間のオーバーヘッドの大きい既存の耐放射線FFも同一のチップに搭載している。FRFFの放射線耐性はローパスフィルタの遅延の大きさに依存するため、遅延素子の構造を変更した3種類のFRFFを設計した。重イオンの照射実験と、高速中性子の照射試験により各FRFFの放射線耐性を実測により評価する予定である。効率的な測定のために4つのチップを単一のパッケージに封入して同時に測定可能な測定環境を構築中である。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 INCISIV, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：100,000~1,000,000 試作ラン：CMOS SOTB 65nm 37 チップ種別：TEG(特性評価回路など)

経年劣化評価回路と省面積低消費電力な逐次比較型AD変換器

京都工芸繊維大学電気電子工学系 小林 和淑

東京理科大学理工学部 電気電子情報工学科 岸田 亮

京都工芸繊維大学電子システム工学専攻 須田 郁生

東京理科大学理工学研究科 電気工学専攻 関根 慧, 平井 龍吉, 滝田 颯人

概要：集積回路の微細化により、経年劣化などの信頼性問題が顕在化しており、経年劣化の影響を評価することが重要となっている。本チップに搭載した経年劣化評価回路では、基板バイアスによる経年劣化評価の影響を評価することを目的とし、スターブ型リングオシレータを用いて経年劣化を評価する部分の基板を分離した。さらに、今までは2入力のNAND/NORのみで評価してきたが、本チップでは3入力NAND/NORで構成したリングオシレータを搭載した。この3入力構成のリングオシレータでは、3入力をオンする順序の違いで経年劣化に違いが出るかを評価できる回路構成である。また、IoT (Internet of Things) などで用いられるセンサなどでは、省面積かつ低消費電力なアナログデジタル変換器 (AD変換器) が求められる。単位容量のみで構成した逐次比較型AD変換器とダブルテール型の比較器を搭載することで、従来の欠点であった面積と消費電力を小さくした。本チップは現在鋭意測定中であり、今後、実測評価結果を論文等で報告する予定である。

設計期間：10人月以上 設計ツール：Cadence社 INCISIV, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：100,000~1,000,000 試作ラン：CMOS SOTB 65nm 37 チップ種別：TEG(特性評価回路など)

C. Publication list

原著論文

- [1] 小野 哲, 双石文彦, 和田 光司, "CRLH 伝送線路共振器を用いた小型ダイプレクサの設計," エレクトロニクス実装学会誌, Vol.23, No.6, pp.533-538, Sep.2020.
- [2] Tomohiro Tsukushi, Satoshi Ono, Koji Wada, "Bandpass filter with flat passband and transmission zeros using parallel-connected resistor loaded hairpin-shaped resonators," IEICE Electronics Express, Vol.17, No.22, p.20200320, Oct.2020.
- [3] Shohei Sakai, Satoshi Ono, Koji Wada, "High isolation characteristics between two channels using LPF-HPF diplexer composed of chip and pattern elements" , Transactions of The Japan Institute of Electronics Packaging, Vol. 13, E19-019-01-E19-019-10, Dec.2020.
- [4] H. Qiu, T. Sakurai, and M. Takamiya, "Digital Transmitter Coil for Wireless Power Transfer Robust Against Variation of Distance and Lateral Misalignment," IEEE Transactions on Microwave Theory and Techniques, Vol.68, No.9, pp. 4031 - 4039, Sep. 2020.
- [5] 保坂, 西澤, 岸田, 松本, 小林, "Universal NBTI Compact Model Replicating AC Stress/Recovery from a Single-shot Long-term DC Measurement" , vol.13, pp. 56-64, IPSJ Transactions on System LSI Design Methodology(2020)
- [6] 小島, 山田, 古田, 小林, "Evaluation of Heavy-Ion-Induced Single Event Upset Cross Sections of a 65-nm Thin BOX FD-SOI Flip-Flops Composed of Stacked Inverters" , vol.E103-C, no.4, pp. 144-152, IEICE Trans. on Electronics(2020)
- [7] 岸田, 足助, 古田, 小林, "Extracting Voltage Dependence of BTI-induced Degradation without Temporal Factors by Using BTI-Sensitive and BTI-Insensitive Ring Oscillators" , vol.33, no.2, pp. 174-179, IEEE Transacition on Semiconductor Manufacturing(2020)
- [8] 長尾, Chatterjee, Li, 古田, Decoutere, 小林, "An E-mode p-GaN HEMT Monolithically-Integrated Three-level Gate Driver Operating with a Single Voltage Supply", (2021)
- [9] 榎原, 山田, 小島, 附田, 古田, 小林, "Evaluation of Soft-Error Tolerance by Neutrons and Heavy Ions on Flip Flops with Guard Gates in a 65 nm Thin BOX FDSOI Process" , vol.67, no.7, pp. 1470 - 1477, IEEE Trans. on Nuclear Science(2020)
- [10] Daisuke Yamazaki, Yoshitaka Otsuki, Takafumi Hara, Nguyen Ngoc Mai-Khanh and Tetsuya Iizuka, "11-Gb/s 140-GHz OOK Modulator with 24.6dB Isolation utilizing Cascaded Switch and Amplifier Based Stages in 65-nm Bulk CMOS," IET Circuits, Devices & Systems, vol. 14, no 3, pp. 322 - 326, May 2020.
- [11] Daigo Takahashi, Yusuke Fujita, Satoshi Miura and Tetsuya Iizuka, "A 40 nm 16 Gb/s Differential Transmitter With Far-End Crosstalk Cancellation Using Injection Timing Control for High-Density Flexible Flat Cables," Springer Journal of Analog Integrated Circuits and Signal Processing, vol. 105, no. 2, pp. 191 - 202, Nov. 2020.
- [12] Masaru Osada, Zule Xu and Tetsuya Iizuka, "A 3.2-to-3.8 GHz Harmonic-Mixer-Based Dual-Feedback Fractional-N PLL Achieving -65 dBc In-Band Fractional Spur," IEEE Solid-State Circuits Letters, vol. 3, pp. 534 - 537, Nov. 2020.
- [13] Mingyu Yang and Yuko Hara-Azumi, "Implementation of Lightweight eHealth Applications on a Low-Power Embedded Processor," IEEE Access, vol.8, pp.121724-121732, Jul. 2020.
- [14] Kaoru Saso and Yuko Hara-Azumi, "Revisiting Simple and Energy-Efficient Embedded Processor Designs Towards the Edge Computing," IEEE Embedded Systems Letters, vol.12, Issue 2, pp.45-49, Jun. 2020.
- [15] Sarker, Yamahara, Tabata, "Spin wave modulation by topographical perturbation in Y3Fe5O12 thin films", AIP Advances 10, 015015 (2020).

- [16] Sarker, Yamahara, Tabata, "Current-controlled magnon propagation in Pt/Y₃Fe₅O₁₂ heterostructure", *Appl. Phys. Lett.* 117, 152403 (2020).
- [17] Ryo Takigawa, Takashi Matsumae, Michitaka Yamamoto, Eiji Higurashi, Tanemasa Asano and Haruichi Kanaya, "ECS Journal of Solid State Science and Technology, Volume 9, Number 4, 0450058, 2020年4月
- [18] Ming Che, Yuki Matsuo, Haruichi Kanaya, Hiroshi Ito, Tadao Ishibashi, Kazutoshi Kato, "Optoelectronic THz-Wave Beam Steering by Arrayed Photomixers With Integrated Antennas", *IEEE Photonics Technology Letters*, Vol. 32, Issue 16, pp.979 - 982, 2020年8月
- [19] Haruichi Kanaya, "Drawing electric power from wireless telecommunication signals", *Health Europa Quarterly Issue* 15, pp.178-179, 2020年11月
- [20] Chee Ka Chin, Dayang Azra binti Awang Mat, Mohamad Nizam Truna, Dyg Norkhairunnisa Abg Zaidel, H. Kanaya, Shafrida Sahrani, Kismet anak Hong Ping, Kuryati Kipli, Annie ak Joseph, "Design of Dumbbell Shaped DGS-Notch Patch Antenna for Microwave Imaging System", *International Journal of Integrated Engineering* 12(6), pp.94-104, 2020年7月
- [21] Mohamed M. Mansour, Shuya Yamamoto and Haruichi Kanaya, "Reconfigurable Multistage RF Rectifier Topology for 900 MHz ISM Energy-Harvesting Applications", *IEEE Microwave and Wireless Components Letters*, Vol. 30, Issue 12, pp. 1181 - 1184, 2020年12月
- [22] Taito Manabe, Kazuya Uetsuhara, Akane Tahara, Yuichiro Shibata, "FPGA Implementation and Evaluation of a Real-Time Image-Based Vibration Detection System with Adaptive Filtering. *IEICE Trans. Fundam. Electron. Commun. Comput. Sci.* 103-A(12) 1472-1480 (2020)
- [23] Taito Manabe, Koki Tomonaga, Koki Fujita, Yuichiro Shibata, Taichiro Kosaka, Tomohiko Adachi, "CNN Architecture for Surgical Image Segmentation with Recursive Structure and Flip-Based Upsampling. *Int. J. Netw. Comput.* 10(2) 259-276 (2020)
- [24] Kazuhito Ito, "Energy Minimization of Double Modular Redundant Conditional Processing by Common Condition Dependency," *IEICE Trans. Electron.*, Vol. E103-C, No. 4, pp. 181-185, 2020.
- [25] K. Shiba, M. Hamada, and T. Kuroda, "3D system-on-a-chip design with through-silicon-via-less power supply using highly doped silicon via," *Japanese Journal of Applied Physics (JJAP)*, vol. 59, no. SG, pp. SGGL04, Apr. 2020.
- [26] K. Shiba, C. Cheng, M. Hamada, and T. Kuroda, "2.5D integration using inductive-coupling TSV-less miniature interposer achieving 317 Gb/s/mm², 1.2 pJ/b data-transfer," *Japanese Journal of Applied Physics (JJAP)*, vol. 59, no. SG, pp. SGGL06, Apr. 2020.
- [27] K. Shiba, T. Omori, M. Usui, M. Hamada, and T. Kuroda, "Area-Efficient Multi-Hop Inductive Coupling Interface for 3D-Stacked Memory with 0.23-V Transmitter and Sub-10- μ m Coil Design," *IEEE Solid-State Circuits Letters (SSC-L)*, vol. 3, pp. 370-373, 2020.
- [28] K. Shiba, T. Omori, K. Ueyoshi, S. Takamaeda-Yamazaki, M. Motomura, M. Hamada, and T. Kuroda, "A 96-MB 3D-Stacked SRAM Using Inductive Coupling With 0.4-V Transmitter, Termination Scheme and 12:1 SerDes in 40-nm CMOS," *IEEE Transactions on Circuits and Systems-I: Regular Papers (TCAS-I)*, vol. 68, no. 2, pp. 692-703, Feb. 2021.
- [29] Masahito Shimamoto, Yusuke Kameda, Takayuki Hamamoto, "HDR Imaging Based on Image Interpolation and Motion Blur Suppression in Multiple-Exposure-Time Image Sensor", *IEICE Transactions on Information and Systems*, Vol.E103-D, No.10, pp.2067-2071, 2020年10月.
- [30] Misaki Shikakura, Yusuke Kameda, Takayuki Hamamoto, "Scene Adaptive Exposure Time Control for Imaging and Apparent Motion Sensor", *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, 5pages, 2020年11月.

- [31] 難波, "Master-slave FF using DICE capable of tolerating soft errors occurring around clock edge," *IEICE Trans. Inf. & Syst.*, Vol.E103-D, No.4, pp.892-895, 2020年4月.
- [32] 山本, 難波, "Complete double node upset tolerant latch using C-element," *IEICE Trans. Inf. & Syst.*, Vol.E103-D, No.10, pp.2125-2132, 2020年10月.
- [33] K. Katayama, T. Baba, "Direct Planar Filter Synthesis Using Convolutional Neural Network", *Journal of Signal Processing*, pp. 235-242, Nov. 2019.
- [34] 秋田純一, カスタムCMOSイメージセンサを用いた高速・低レイテンシの視線計測カメラの基礎評価, *ヒューマンインタフェース学会論文誌*. Vol.23, No.1, pp.1-4, 2021.2
- [35] Haoyan LIU, Takashi OHSAWA, "Compact Model of Magnetic Tunnel Junctions for SPICE Simulation based on Switching Probability," *IEICE Trans. Electron.*, vol. E104-C, no. 3, pp. 121-127, March 2021.
- [36] F. W. Tan, J. Hirotsu, Y. Nonoguchi, S. Kishimoto, H. Katsura, and Y. Ohno, "Low-voltage carbon nanotube complementary electronics using chemical doping to tune the threshold voltage", *Appl. Phys. Exp.* 14, 045002-1-5 (2021).
- [37] Y. Nishio, J. Hirotsu, S. Kishimoto, H. Kataura, and Y. Ohno, "Low-voltage operable and strain-insensitive stretchable all carbon nanotube integrated circuits with local strain suppression layer", *Adv. Electron. Mater.* 6, 2000674-1-7 (2020).
- [38] H. Uchiyama, S. Kishimoto, J. Ishi-Hayase, and Y. Ohno, "Effect of metal electrodes on optically detected magnetic resonance of nitrogen vacancy centers in diamond", *Jpn. J. Appl. Phys.* 59, 122002-1-5 (2020).
- [39] Hongjie Xu, Jun Shiomi, and Hidetoshi Onodera, "MOSDA! On-chip Memory Optimized Sparse Deep Neural Network Accelerator with Efficient Index Matching," in *IEEE Open Journal of Circuits and Systems*, vol. 2, pp. 144-155, 2021, doi! 10.1109/OJCAS.2020.3035402.
- [40] Chao Geng, Qingji Sun, Shigetoshi Nakatake! Implementation of Analog Perceptron as an Essential Element of Configurable Neural Networks. *Sensors* 20(15)! 4222 (2020)
- [41] Kyohei Shimozato, Yohei Nakamura, Song Bian, and Takashi Sato, "An electrothermal compact model of SiC MOSFETs for analyzing avalanche failure mechanism," *Japanese Journal of Applied Physics (JJAP)*, Vol.60, No.SB, pp.SBBD11, February 2021.
- [42] Kunihiro Oshima, Song Bian, Kazunori Kuribara, and Takashi Sato, "Separation of bias stress degradation factors in organic thin-film transistors," *Japanese Journal of Applied Physics (JJAP)*, Vol.60, No.SB, pp.SBBG06, February 2021.
- [43] Zhaoxing Qin, Song Bian, Kazunori Kuribara, and Takashi Sato, "Stable organic SRAM cell with p-type access transistors," *Japanese Journal of Applied Physics (JJAP)*, Vol.60, No.SB, pp.SBBG04, February 2021.
- [44] Zhaoxing Qin, Michihiro Shintani, Kazunori Kuribara, Yasuhiro Ogasahara, and Takashi Sato, "Organic current mirror PUF for improved stability against device aging," *IEEE Sensors Journal*, Vol.20, No.14, pp.7569-7578, July 2020.
- [45] Michihiro Shintani, Michiaki Saito, Kazunori Kuribara, Yasuhiro Ogasahara, and Takashi Sato, "Measurement and modeling of ambient-air-induced degradation in organic thin-film transistor," *IEEE Transactions on Semiconductor Manufacturing (TSM)*, Vol.33, No.2, pp.216-223, May 2020.
- [46] Hiroki Tsukamoto, Michihiro Shintani, and Takashi Sato, "Statistical extraction of normally and lognormally distributed model parameters for power MOSFETs," *IEEE Transactions on Semiconductor Manufacturing (TSM)*, Vol.33, No.2, pp.150-158, May 2020.
- [47] Ye, Tanzawa, "An Optimum Design of Clocked AC-DC Charge Pump Circuits for Vibration Energy Harvesting", *Electronics*, 9(12), pp. 2031, Dec. 2020.
- [48] Kawauchi, Tanzawa, "A Fully Integrated

- Clocked AC-DC Charge Pump for Magnetostrictive Vibration Energy Harvesting", *Electronics*, 9(12), pp. 2194, Dec. 2020.
- [49] R. Kishida, T. Asuke, J. Furuta, and K. Kobayashi, "Extracting Voltage Dependence of BTI-induced Degradation without Temporal Factors by Using BTI-Sensitive and BTI-Insensitive Ring Oscillators," *IEEE Transactions on Semiconductor Manufacturing*, vol. 33, no. 2, pp. 174-179, 2020/05.
- [50] M. Fang and T. Yoshimasu, "A -197.3-dBc/Hz FoMT Wideband LC-VCO IC With a Single Voltage-Controlled IMOS-Based Novel Varactor in 40-nm CMOS SOI," *IEEE Trans. on MTT*, Vol.68, no. 10, pp.4116-4121, Oct. 2020.
- [51] T.Mori, J. Ida, and H.Endo "Transient Characteristics on Super-Steep Subthreshold Slope "PN-Body Tied SOI-FET" -Simulation and Pulse Measurement-," *IEICE Transactions on Electronics*, vol. E103-C, no. 10, pp.533-542, Oct. 2020.
- [52] Y. Mizugaki, K. Yamazaki, and H. Shimada, "Rapid Single-Flux-Quantum NOR Logic Gate Realized through the Use of Toggle Storage Loop," *IEICE Transactions on Electronics*, vol. E103-C, no. 10, pp. 547-549, October, 2020.
- [53] R. Doi, X. Bai, T. Sakamoto, and M. Hashimoto, "A Fault Detection and Diagnosis Method for Via-Switch Crossbar in Non-Volatile FPGA," *IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences*, volume 103-A, number 12, pages 1447--1455, December 2020.
- [54] J. Chen and M. Hashimoto, "A Frequency-Dependent Target Impedance Method Fulfilling Voltage Drop Constraints in Multiple Frequency Ranges," *IEEE Transactions on Components, Packaging and Manufacturing Technology*, volume 10, number 11, 1769 -- 1781, November 2020.
- [55] T. Cheng, Y. Masuda, J. Chen, J. Yu, and M. Hashimoto, "Logarithm-Approximate Floating-Point Multiplier Is Applicable to Power-Efficient Neural Network Training," *Integration, the VLSI Journal*, volume 74, pages 19--31, September 2020.
- [56] Hiroya Ikeda, Hiroki Yamane, Yuta Takishita, Mutsumi Kimura, and Yasuhiko Nakashima Influence of Characteristic Variation of Oxide Semiconductor and Comparison of the Activation Function in Neuromorphic Hardware NOLTA, *IEICE*, Vol. 11, No.2, pp. 232-252, Apr. 2020
- [57] Gilgueng Hwang, Ayako Mizushima, Eric Lebrasseur, Kei Misumi, Naoto Usami, Akio Higo, and Yoshio Mita, "Mobile microrobotic cleaner in microfluidics", *Sensors & Actuators! A. Physical*, in press, 2020 (2020.12)
- [58] D. Decanini, Abdelmounaim Harouri, Yoshio Mita, Beomjoon Kim, Gilgueng Hwang, "3D micro fractal pipettes for capillary based robotic liquid handling", *Review of Scientific Instruments*, 91, 086104. (2020.08)
- [59] Kuniaki Konishi, Daisuke Akai, Yoshio Mita, Makoto Ishida, Junji Yumoto, and Makoto Kuwata-Gonokami*, "Circularly polarized vacuum ultraviolet coherent light generation using a square lattice photonic crystal nanomembrane," *Optica*, Vol. 7, Issue 8, pp. 855-863, 2020 (2020.07)
- [60] Kuniaki Konishi, Daisuke Akai, Yoshio Mita, Makoto Ishida, Junji Yumoto, and Makoto Kuwata-Gonokami, "Tunable third harmonic generation in the vacuum ultraviolet region using dielectric nanomembranes," *APL Photonics* 5, 066103 (2020)
- [61] R. Ranga Reddy, Yuki Okamoto, and Yoshio Mita, "An On-Chip Micromachined Test Structure to Study the Tribological Behavior of Deep-RIE MEMS Sidewall Surfaces," in *IEEE Transactions on Semiconductor Manufacturing*, vol. 33, no. 2, pp. 187-195, May 2020
- [62] Nobutaka Kito, Kazuyoshi Takagi, and Naofumi Takagi, "Conversion Method of Netlists Consisting of Conventional Logic Gates to RSFQ Logic Circuits Utilizing Special RSFQ Gates," *IEEE Transactions on Applied Superconductivity*, vol. 30, no. 7, Article# 1302306, Oct. 2020.
- [63] Tran Thi Hong, Hoai Luan Pham, Yasuhiko

- Nakashima! "A High-Performance Multimem SHA-256 Accelerator for Society 5.0", IEEE Access, Early Access, DOI:10.1109/ACCESS.2021.3063485, Mar. (2021)
- [64] Tran Thi Diem and Yasuhiko Nakashima! "SLIT! An Energy-Efficient Reconfigurable Hardware Architecture for Deep Convolutional Neural Networks", IEICE Trans., Vol.E104-C, No.7, pp.xxx-xxx, Jul. (2021)
- [65] Tati Erlina, Renyuan Zhang and Yasuhiko Nakashima! "A Feasibility Study of Multi-Domain Stochastic Computing Circuit", IEICE Trans., Vol.E104-C, No.5, pp.xxx-xxx, May. (2021)
- [66] Hoai Luan Pham, Tran Thi Hong, Tri Dung Phan, Vu Trung Duong Le, Duc Khai Lam, Y.Nakashima! "Double SHA-256 Hardware Architecture with Compact Message Expander for Bitcoin Mining", IEEE Access, Vol.8, Aug. (2020)
- [67] Takafumi Fukushima, Yuki Susumago, Zhengyang Qian, Chidai Shima, Bang Du, Noriyuki Takahashi, Shuta Nagata, Tomo Odashima, Hisashi Kino, Tetsu Tanaka, "Significant Die-Shift Reduction and μ LED Integration Based on Die-First Fan-Out Wafer-Level Packaging for Flexible Hybrid Electronics", IEEE TRANSACTIONS ON COMPONENTS, PACKAGING AND MANUFACTURING TECHNOLOGY, vol. 10, Issue number 8, pp.1419–1422
- [68] HISASHI KINO (Member, IEEE), TAKAFUMI FUKUSHIMA (Senior Member, IEEE), AND TETSU TANAKA (Member, IEEE), "Generation of STDP With Non-Volatile Tunnel-FET Memory for Large-Scale and Low-Power Spiking Neural Networks", Journal of ELECTRON DEVICES SOCIETY, Volume 8, 2020, pp.1266-1271
- [69] Takafumi Fukushima, Mariappan Murugesan, Ji-Cheol Bea, Hiroyuki Hashimoto, Hisashi Kino, Tetsu Tanaka, Mitsumasa Koyanagi, "On - wafer thermomechanical characterization of a thin film polyimide formed by vapor deposition polymerization for through - silicon via applications! Comparison to plasma - enhanced chemical vapor deposition SiO₂", Journal of Polymer Science, vol. 58, Issue number 16, pp.2248-2258
- [70] Atsuki Kobayashi, and Kiichi Niitsu "Low-Voltage Gate-Leakage-Based Timer Using an Amplifier-Less Replica-Bias Switching Technique in 55-nm DDC CMOS" IEEE Open Journal of Circuits and Systems (OJCAS), vol. 1, pp. 107-114, July 2020.
- [71] Shota Jodo, Toshihiro Iwaki, Kosuke Uchiyama, Md. Islam, Kensuke Kataoka, Yuki Hayasaka, Jun Imaoka, Masayoshi Yamamoto, Kiichi Niitsu, "A simple gate driver design for GaN-based switching devices with improved surge voltage and switching loss at 1-MHz operation," Japanese Journal of Applied Physics, vol.60, no. SAAD02, Jan. 2021.
- [72] S. Tajima, M. Yanagisawa and Y. Shi, "Transition Detector-based Radiation-Hardened Latch for Both Single-and Multiple-Node Upsets," IEEE Transactions on Circuits and Systems II! Express Briefs, vol. 67, no. 6, pp.1114-1118, Jun. 2020.
- [73] J. Ye, M. Yanagisawa and Y. Shi, "Faithfully truncated adder-based area-power efficient FIR design with predefined output accuracy," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol. E103-A, no. 9, pp. 1063-1070, Sep. 2020.
- [74] L. Ye, J. Ye, M. Yanagisawa and Y. Shi, "Power-Efficient Deep Convolutional Neural Network Design Through Zero-Gating PEs and Partial-Sum Reuse Centric Dataflow," IEEE Access, vol. 9, pp. 17411 - 17420, Jan. 2021.
- [75] T.Dejima, K.Takagi, N.Takagi,"A layout design flow for RSFQ circuits based on cell clustering and mixed wiring of JTLs and PTLs," IEEE Trans. Appl. Supercond., Vol. 30, Issue 7, Article #1302506, 2020.
- [76] K. Kitamura, K. Takagi, N. Takagi, "A two-step routing method with wire length budgeting for PTL routing of SFQ logic circuits," Journal of Physics! Conference Series, 1590 (012043), pp. 1-8, 2020.

- [77] 井上, 土谷, 岸根, "Design method for active-shunt-feedback type inductorless low-noise amplifiers in 65-nm CMOS", *IEIE JOURNAL OF SEMICONDUCTOR TECHNOLOGY AND SCIENCE*, vol. 20, No. 2, pp. 177-186, 2020年4月.
- [78] 土谷, 平塚, 田中, 福山, 三浦, 野坂, 小野寺, "Design of a 45 Gb/s, 98 fJ/bit, 0.02 mm² Transimpedance Amplifier with Peaking-Dedicated Inductor in 65-nm CMOS", *IEICE Transactions on Electronics*, vol.E103-C, No.10, pp.489-496, 2020年10月.
- [79] M. Tanaka, M. Kozaka, K.Üsenmez, E. Aydođan, S. Razmkhah, A. Bozbey, A. Fujimaki, "SFQ parallel encoders promising for video imaging with superconductor stripline detectors", *IEEE Trans. Appl. Supercond.*, vol. 31, no. 1, p. 1300106, 2021.
- [80] T. Yoshimura, "Study of injection pulling of oscillators in phase-locked loops," *IEEE Trans. VLSI Syst.*, vol. 29, no. 2, pp. 321-332, Feb. 2021.
- [81] 藤田, 稲垣, 松谷, "帰還係数可変化による $\Delta\Sigma$ 型A/D変換器の広ダイナミックレンジ化", *電気学会論文誌C*, Vol. 141, No. 1, pp. 18-24, 2021年1月.
- [82] K. Matsumoto, H. Asano, Y. Nakazawa, N. Kuroki, M. Numa, O. Maida, D. Kanemoto, and T. Hirose, "An 11.8 nA ultra-low power active diode using a hysteresis common gate comparator for low-power energy harvesting systems," *IEICE Electron. Express*, vol. 17, no. 11, pp. 1-6, 2020.
- [83] T. Hirose and Y. Nakazawa, "Design of switched-capacitor voltage boost converter for low-voltage and low-power energy harvesting systems," *IEICE Trans. Electron.*, vol. E103-C, no. 10, pp. 446-457, 2020.
- [84] M. Nishi, K. Matsumoto, N. Kuroki, M. Numa, H. Sebe, R. Matsuzuka, O. Maida, D. Kanemoto, and T. Hirose, "A 35-mV supply ring oscillator consisting of stacked body bias Inverters for extremely low-voltage LSIs," *IEICE Electron. Express*, vol. , no. , pp. , 2021.
- [85] H. Sebe, K. Matsumoto, R. Matsuzuka, O. Maida, D. Kanemoto, and T. Hirose, "A self-bias NAND gate and its application to non-overlapping clock generator for extremely low-voltage CMOS LSIs," *Jpn. J. Appl. Phys.* 60, SBBL06, 2021.
- [86] Kodama, Ryota; Tsuru, Takeshi Go; Tanaka, Takaaki; Uchida, Hiroyuki; Kayama, Kazuho; Amano, Yuki; Takeda, Ayaki; Mori, Koji; Nishioka, Yusuke; Yukumoto, Masataka; Hida, Takahiro; Arai, Yasuo; Kurachi, Ikuo; Kohmura, Takayoshi; Hagino, Kouichi; Hayashida, Mitsuki; Kitajima, Masatoshi; Kawahito, Shoji; Yasutomi, Keita; Kamehama, Hiroki, "Low-energy X-ray performance of SOI pixel sensors for astronomy, "XRPIX" ", 2021, *Nuclear Inst. and Methods in Physics Research, A*, Volume 986, article id. 164745. doi! 10.1016/j.nima.2020.164745
- [87] Hagino, Kouichi; Yarita, Keigo; Negishi, Kousuke; Oono, Kenji; Hayashida, Mitsuki; Kitajima, Masatoshi; Kohmura, Takayoshi; Tsuru, Takeshi G.; Tanaka, Takaaki; Uchida, Hiroyuki; Kayama, Kazuho; Amano, Yuki; Kodama, Ryota; Takeda, Ayaki; Mori, Koji; Nishioka, Yusuke; Yukumoto, Masataka; Hida, Takahiro; Arai, Yasuo; Kurachi, Ikuo Hamano, Tsuyoshi; Kitamura, Hisashi, "Radiation damage effects on double-SOI pixel sensors for X-ray astronomy", 2020, *Nuclear Inst. and Methods in Physics Research, A*, Volume 978, article id. 164435. doi! 10.1016/j.nima.2020.164435
- [88] Toshiki Kanamoto, Koki Kasai, Kan Hatakeyama, Atsushi Kurokawa, Tomoyuki Nagase, and Masashi Imai, "A simple yet precise capacitance estimation method for on-chip power delivery network towards EMC analysis," *IEICE Electronics Express*, Jun., 2020
- [89] Mark Ogbodo, Khanh N. Dang, Abderazek Ben Abdallah, " On the Design of a Fault-tolerant Scalable Three Dimensional NoC-based Digital Neuromorphic System with On-chip Learning," *IEEE Access*, 4/2021, DOI! 10.1109/ACCESS.2021.3071089
- [90] Y. Takaki, M. Watanabe, "Optical multi-context

- blind scrubbing for field programmable gate arrays," *IEEE Photonics Journal*, Vol. 12, Issue 6, 7801411, Dec., 2020.
- [91] H. Shinba, M. Watanabe, "Radiation-hardened configuration-context realization for field programmable gate arrays," *Applied Optics*, Vol. 59, Issue 19, pp. 5680-5686, June, 2020.
- [92] 嘉藤貴博, 安田彰, "Multiplied DStime to Digital ConverterのNoise shaping改善の検討", *電気学会論文誌C* Vol. 141, No. 1, 2021, pp.37-43
- [93] Takahiro Kato, Akira Yasuda, "A study of phase noise suppression in reference multiple digital PLL without DLLs", *Analog Integrated Circuits and Signal Processing*, Springer, Jan. 3rd, 2021, 106, pp.441-447 (2021)
- [94] Ze Wang, Masayuki Uemura, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro, Kiyotaka Sasagawa, Jun Ohta, "Near-infrared fundus camera with a patterned interference filter for the retinal scattering detection," *Japanese Journal of Applied Physics*, SBBL07, 2021年3月.
- [95] 笹川 清隆, Erus Rustami, 太田 安美, 春田 牧人, 竹原 浩成, 田代 洋行, 太田 淳, "生体内蛍光イメージング用ハイブリッドフィルタ搭載イメージセンサ," *電気学会論文誌E (センサ・マイクロマシン部門誌)*, vol. 141, no. 3, pp. 1-6, 2021年
- [96] 太田 淳, "CMOSイメージセンサのバイオ医療応用," *電子情報通信学会論文誌 C*, vol. Vol. J103-C, no. 11, pp. 459-464, 2020年11月.
- [97] Yoshinori Sunaga, Yasumi Ohta, Yasemin M. Akay, Jun Ohta, Metin Akay?, "Monitoring Neural Activities in the VTA in Response to Nicotine Intake Using a Novel Implantable Microimaging Device," *IEEE Access*, vol. 8, 2020年4月.
- [98] Erus Rustami, Kiyotaka Sasagawa, Kenji Sugie, Yasumi Ohta, Makito Haruta, Toshihiko Noda, Takashi Tokuda, Jun Ohta, "Needle-Type Imager Sensor with Band-Pass Composite Emission Filter and Parallel Fiber-Coupled Laser Excitation," *IEEE Transactions on Circuits and Systems I*, vol. 67, no. 4, pp. 1082-1091, 2020年4月.
- [99] Y. Takahashi, H. Koyasu, S.D. Kumar, and H. Thapliyal, "Quasi-adiabatic SRAM based silicon physical unclonable function," *Springer Nature Computer Science*, vol.1, no.5, 237 (7pages), Sept. 2020.
- [100] H. Koyasu, and Y. Takahashi, "Performance and security evaluation of S-box using current-pass optimized symmetric pass gate adiabatic logic," *Springer Nature Computer Science*, vol.1, no.4, 199 (9pages), July 2020.
- [101] Ville Yli-Mäyry, Rei Ueno, Noriyuki Miura, Makoto Nagata, Shivam Bhasin, Yves Mathieu, Tarik Graba, Jean-Luc Danger, and Naofumi Homma, "Diffusional Side-channel Leakage from Unrolled Lightweight Block Ciphers! A Case Study of Power Analysis on PRINCE," *IEEE Transactions on Information Forensics & Security*, DOI! 10.1109/TIFS.2020.3033441, Vol.16, pp. 13511364, online, October 2020.
- [102] Rei Ueno, Kohei Kazumori, and Naofumi Homma, "Rejection Sampling Schemes for Extracting Uniform Distribution from Biased PUFs," *IACR Transactions on Cryptographic Hardware and Embedded Systems*, DOI! 10.13154/tches.v2020.i4.86-128, Vol. 2020, Issue 4, pp. 86128, August 2020.
- [103] Rei Ueno, Junko Takahashi, Yu-ichi Hayashi, and Naofumi Homma, "A method for constructing sliding windows leak from noisy cache timing information," *Journal of Cryptographic Engineering*, DOI!10.1007/s13389-020-00230-x, <https://doi.org/10.1007/s13389-020-00230-x>, June 2020. (First online at June 2020)
- [104] 小田麻矢, 上野嶺, 本間尚文, 井上明子, 峯松一彦, "Tweakableブロック暗号を用いた低遅延メモリ保護方式とそのハードウェア設計," *ハードウェアセキュリティ研究会, 信学技報*, Vol. 120, No. 401, HWS2020-58, pp. 8590, online, March 2021.
- [105] 中嶋彩乃, 上野嶺, 本間尚文, "線形写像の最適化による高効率AES S-Boxハードウェアの設計と評価," *ハードウェアセキュリティ研究会, 信学技報*, Vol. 120, No. 401, HWS2020-59, pp.

- 9196, online, March 2021.
- [106] 伊東燦, 上野嶺, 本間尚文, “暗号ハードウェアのネットリストに対するハードウェアトロイ検知手法,” ハードウェアセキュリティ研究会, 信学技報, Vol. 120, No. 211, HWS2020-38, pp. 7782, online, October 2020.
- [107] A. Takeda, K. Mori, Y. Nishioka et al., “Spectroscopic performance improvement of SOI pixel detector for X-ray astronomy by introducing Double-SOI structure”, *Journal of Instrumentation*, 15, P11001, 2020.
- [108] A. Takeda, K. Mori, Y. Nishioka et al., “Development of on-chip pattern processing in event-driven SOI pixel detector for X-ray astronomy with background rejection purpose”, *Journal of Instrumentation*, 15, P12025, 2020.
- [109] T. Sugiura, S. Matsumoto, and N. Nakano, “Optimization of Front Diffusion Profile in Bifacial Interdigitated Back Contact Solar Cell,” *IEEE Journal of Photovoltaics* Vol.10, Iss.6, pp.1582-1590, Nov. 2020.
- [110] T. Sugiura, S. Matsumoto, and N. Nakano, “Bifacial PERC Solar Cell Designs! Bulk and Rear Properties and Illumination Condition,” *IEEE Journal of Photovoltaics* Vol.10, Iss.6, pp.1538-1544, Nov. 2020.
- [111] T. Sugiura, N. Takahashi, and N. Nakano, “Evaluation of p-Type 4H-SiC Piezoresistance Coefficients in (0001) Plane Using Numerical Simulation,” *Materials Science Forum* Vol.1004
- [112] T. Sugiura, N. Takahashi, and N. Nakano, “The piezoresistive mobility modeling for cubic and hexagonal silicon carbide crystals,” *Journal of Applied Physics* Vol.127, Iss.24, 245113, Jun. 2020
- [113] T. Sugiura, S. Matsumoto, and N. Nakano, “Numerical analysis of p-type and n-type based carrier-selective contact solar cells with tunneling oxide thickness and bulk properties,” *Japanese Journal of Applied Physics* Vol.59, No.SG, SGGF03, Feb. 2020.
- [114] Kanda Michiya, Masaki Hashizume, Ali Ashikin Binti Fara, Hiroyuki Yotsuyanagi and Shyue-Kung Lu, “Open Defect Detection Not Utilizing Boundary Scan Flip-Flops in Assembled Circuit Boards”, *IEEE Transactions on Components, Packaging, and Manufacturing Technology*, Vol.10, No.5, pp.895-907, 2020.
- [115] 竹原*, 内藤, 一木, “生分解性エレクトロニクスのためのポリ-L-乳酸製基板の表面処理とモリブデン電極形成”, *電気学会論文誌E (センサ・マイクロマシン部門誌)*, 141, 88-89, 2021年.
- [116] T. Yamae, N. Takeuchi and N. Yoshikawa, “Binary Counters Using Adiabatic Quantum-Flux-Parametron Logic,” *IEEE Trans. Appl. Supercond.*, vol. 31, no. 2, pp. 1-5, March 2021, Art no. 1300305.
- [117] Y. Tsuna, Y. Yamanashi and N. Yoshikawa, “Investigation of the Effects of 1/f Noise on Superconducting Circuits,” *IEEE Trans. Appl. Supercond.*, vol. 30, no. 7, pp. 1-4, October 2020, 1400404.
- [118] N. Takeuchi, F. China, S. Miki, S. Miyajima, M. Yabuno, N. Yoshikawa, H. Terai, “Scalable readout interface for superconducting nanowire single-photon detectors using AQFP and RSFQ logic families,” *Optics Express*, vol. 28, 2020, pp. 15824-15834.
- [119] N. Takeuchi, K. Arai, N. Yoshikawa, “Directly coupled adiabatic superconductor logic,” *Supercond. Sci. Tech.*, vol. 33, 2020, 065002.
- [120] Y. Hironaka, Y. Yamanashi, N. Yoshikawa, “Demonstration of a Single-Flux-Quantum Microprocessor Operating With Josephson-CMOS Hybrid Memory,” *IEEE Trans. Appl. Supercond.* vol. 30, NO.7, 2020, 1301206.
- [121] C. L. Ayala, R. Saito, T. Tanaka, O. Chen, N. Takeuchi, Y. He, N. Yoshikawa, “A semi-custom design methodology and environment for implementing superconductor adiabatic quantum-flux-parametron microprocessors,” *Supercond. Sci. Technol.* 33 (2020) 054006.
- [122] Y. He, N. Takeuchi, N. Yoshikawa, “Low-latency power-dividing clocking scheme for adiabatic quantum-flux-parametron logic,” *Appl. Phys. Lett.*, 116, 182602 (2020).
- [123] Development of integration-type silicon-on-insulator monolithic pixel detectors using a float zone silicon, S. Mitsui, Y. Arai, T. Miyoshi, A. Takeda, *Nuclear Inst. and Methods in Physics*

- Research, A 953 (2020) 163106
- [124] Development of a neutron imaging sensor using INTPIX4-SOI pixelated silicon devices Y. Kamiya, T. Miyoshi, H. Iwase, T. Inada, A. Mizushima, Y. Mita, K. Shimazoe, H. Tanaka, I. Kurachi, Y. Arai, Nuclear Instr. and Meth. A978(2020)164400
- [125] Development of monolithic SOI pixel sensors capable of fine measurements of space and time, Hitoshi Murayama, Kazuhiko Hara, Hiroki Yamauchi, Ryuhei Abe, Shikie Iwanami, Kevin Watanabe, Yui Okada, Toru Tsuboyama, Yasuo Arai, Toshinobu Miyoshi, Ikuo Kurachi, Junji Haba, Manabu Togawa, Yoichi Ikegami, Ryutaro Nishimura, Akimasa Ishikawa, Shun Ono, Taohan Li, Miho Yamada, Nuclear Inst. and Methods in Physics Research, A 978 (2020)164417
- [126] Belle II upgrade and the ILC with an SOI technology, Akimasa Ishikawa, Yasuo Arai, Jérôme Baudot, Junji Haba, Maciej Kachel, Ikuo Kurachi, Taohan Li, Shun Ono, Takehiro Takayanagi, Ayaki Takeda, Toru Tsuboyama, Miho Yamada, Nuclear Instr. and Meth. A978(2020)164404
- [127] 増淵, 伊藤, 津田, 五島, "2値化ニューラルネットワークに特化した超小型プロセッサの設計解析", 電気学会論文誌 C, Vol141, No2, pp165-171, 2021年2月.
- [128] H. Yasunaga, T. Takagi, D. Shinko, Y. Nakayama, Y. Takeuchi, A. Nishikawa, A. Loesing, M. Ohsawa and H. Sekiguchi, "Development of aneural probe integrated with high-efficiency MicroLEDs for in vivo application", Jpn. J. Appl. Phys., 60, 016503 (2021) <https://doi.org/10.35848/1347-4065/abcffa>
- [129] Toshihiko Noda, Takuya Teshima, Yong-Joon Choi, Takeshi Hizawa, Kazuhiro Takahashi, Hiromu Ishii, Kazuaki Sawada, "Performance Improvement of Filter-Free Fluorescence Sensor in Near-Ultraviolet Region Aiming for Biosensing Application", Accepted and will be published in IEEE Transactions on Sensors and Micromachines, Vol.141, No.3, 2021.
- [130] Y. Sawayama, T. Morishita, K. Komoku, N. Itoh, "Study of Dual-Band Concurrent LNA Equipping Mutual Inductive Notch Filter Matching Circuit," IEICE Electronics Express, Vol. 18, No.5, 1-5.
- [131] 澤山 唯人, 森下 賢幸, 小椋 清孝, 伊藤 信之, "二帯域同時受信LNAにおける入出力整合回路の最適構成の検討," 電子情報通信学会論文誌 C, Vol.J104-C, No.4, pp.71-81, Apr. 2021.
- [132] Y. Shiotsu, S. Yamamoto, Y. Shuto, H. Funakubo, M. K. Kurosawa and S. Sugahara, "Modeling and Design of a New Piezoelectronic Transistor for Ultralow-Voltage High-Speed Integrated Circuits", IEEE Trans. on Electron Devices, vol.67, no. 9, 2020, pp. 3852-3860.
- [133] Y. Shiotsu, T. Seino, T. Kondo and S. Sugahara, "Modeling and Design of Thin-Film π -Type Micro Thermoelectric Generator Using Vacuum/Insulator-Hybrid Isolation for Self-Powered Wearable Devices", IEEE Trans. on Electron Devices, vol. 67, no. 9, 2020, pp. 3834-3842.
- [134] Ren Usami, Takao Komiyama, Yasunori Chonan, Hiroyuki Yamaguchi, Koji Kotani, "Photovoltaic-Assisted Self-Vth-Cancellation CMOS Rectifier for Synergistic RF Energy Harvesting," IEICE Electronics Express, Vol. 17, No. 13, pp.20200186, 2020.
- [135] Toki Watanabe, Ren Usami, Takao Komiyama, Yasunori Chonan, Hiroyuki Yamaguchi, and Koji Kotani, "Differential-drive CMOS rectifier with photovoltaic-assist and self-Vth-cancellation schemes for high power conversion efficiency under low input power conditions," Japanese Journal of Applied Physics, available online! Jan. 28, 2021, <https://doi.org/10.35848/1347-4065/abe09e>

国際会議

- [1] H. Qiu, T. Sai, and M. Takamiya, "A 6.78 MHz Wireless Power Transfer System Enabling Perpendicular Wireless Powering with Efficiency Increase from 0.02% to 48.2% by Adaptive Magnetic Field Adder IC Integrating

- Shared Coupling Coefficient Sensor," IEEE Symposium on VLSI Circuits, Hawaii, pp. 1-2, June 2020.
- [2] M. Takamiya, "Injecting Digital into Power Electronics! Programmable Digital Gate Driver IC for Power Transistors," IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), Hiroshima, p. 241, Sep. 2020.
- [3] H. Yamasaki, K. Miyazaki, Y. Lo, A. K. M. M. Islam, K. Hata, T. Sakurai, and M. Takamiya, "Power Device Degradation Estimation by Machine Learning of Gate Waveforms," International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Virtual conference, pp. 335 - 338, Sep. 2020.
- [4] T. -W. Wang, T. Sai, R. Morikawa, K. Hata, T. Sakurai, P. -H. Chen, and M. Takamiya, "Automatic Search Method of Robust Gate Driving Vectors for Digital Gate Drivers Against Variations in Operating Conditions of IGBT's," IEEE Energy Conversion Congress & Exposition (ECCE), Detroit, USA, pp. 3798-3802, Oct. 2020.
- [5] R. Morikawa, T. Sai, K. Hata, and M. Takamiya, "Automatic Generation of Gate Driving Vectors for Digital Gate Drivers to Satisfy EMI Regulations," IEEE Energy Conversion Congress & Exposition (ECCE), Detroit, USA, pp. 4931-4936, Oct. 2020.
- [6] R. Morikawa, T. Sai, K. Hata, and M. Takamiya, "New Gate Driving Technique Using Digital Gate Driver IC to Reduce Both EMI in Specific Frequency Band and Switching Loss in IGBTs," 2020 IEEE 9th International Power Electronics and Motion Control Conference (IPEMC2020-ECCE Asia), Nanjing, China, pp. 644-651, Nov., 2020.
- [7] 岸田, 須田, 小林, "Bias Temperature Instability Depending on Body Bias through Buried Oxide (BOX) Layer in a 65 nm Fully-Depleted Silicon-On-Insulator Process" , no.4A.6, IEEE International Reliability Physics Symposium(2021)
- [8] Masaru Osada, Zule Xu and Tetsuya Iizuka, ``A 3.2-to-3.8GHz Calibration-Free Harmonic-Mixer-Based Dual-Feedback Fractional-N PLL Achieving -66dBc Worst-Case In-Band Fractional Spur," in IEEE Symposium on VLSI Circuits Digest of Technical Papers, Jun. 2020.
- [9] Daisuke Yamazaki, Takamichi Horikawa and Tetsuya Iizuka, ``A 140-GHz 14-dBm Power Amplifier using Power Combiner based on Symmetric Balun in 65-nm Bulk CMOS," in Proceedings of IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), pp. 93 - 95, Sep. 2020.
- [10] T. Maeda, H. Ishii, W. H. Chang, H. Kanaya, and T. Asano,"Modeling and Characterization of InAs Quantum-Well Metal Oxide Semiconductor Field Effect Transistors on Quartz for 1.0 THz Wave Detection", proc. 2020 IEEE Electron Devices Technology and Manufacturing Conference (EDTM), pp.143-146, 2020年4月
- [11] Mohamed M. Mansour, Kamel S. Sultan, and Haruichi Kanaya,"High-Gain Simple Printed Dipole-Loop Antenna for RF-Energy Harvesting Applications",Proc. 2020 IEEE AP-S Symposium on Antennas and Propagation and CNC/USNC-URSI joint meeting, pp. 1441-1441, 2020年7月
- [12] Mohamed Mansour, Haruichi Kanaya,"Design of a Compact CPW Antenna Operating at the 920 MHz ISM/RFID Band",Proc. 2020 IEEE AP-S Symposium on Antennas and Propagation and CNC/USNC-URSI joint meeting, pp. 1441-1441, 2020年7月
- [13] Haruichi Kanaya, Kohei Tasaki and Ryo Takigawa,"1.0 THz One-Sided Directional Slot Antenna on 45 nm SOI CMOS",Proceedings of 2020 IEEE International Symposium on Radio-Frequency Integration Technology, 205-207, 2020年9月
- [14] Yoshiaki Hayashida, Akira Ishikawa, Shugo Fukagawa, Ryuji Kitaya, Chai-Eu Guan, Takuhiro Ide and Haruichi Kanaya,"28GHz 4X4 One-Sided Directional Slot Array Antenna for 5G Application",Proceedings of 2020 IEEE

- International Symposium on Radio-Frequency Integration Technology, 169-171, 2020年9月
- [15] Takeshi Kuboki, Younjin Kim, Haruichi Kanaya and Kazutoshi Kato, "Integrated Terahertz Wave Generator for Wireless Communication with Photonic Technology", Proceedings of 2020 IEEE International Symposium on Radio-Frequency Integration Technology, 208, 2020年9月
- [16] Masamitsu Matsuura, Tanemasa Asano, Haruichi Kanaya, "Fabrication of Hollow Structure in Embedded Die Package for Heterogeneous Integration", Extended Abstracts of the 2020 International Conference on Solid State Devices and Materials, pp177-178, 2020年10月
- [17] Yuki Matsuo, Ming Che, Haruichi Kanaya, Kazutoshi Kato, "THz-Wave Power Multiplication by Parallel-Connection UTC-PDs", Proc. OptoElectronics and Communications Conference (OECC), T8-1.4(4pages), 2020年10月
- [18] Mohamed M. Mansour, Shuya Yamamoto, Haruichi Kanaya, "Development of Broadband CPW RF Rectifier for Wireless Electromagnetic Energy Harvesting", Proc. 2020 IEEE Wireless Power Transfer Conference, pp.45-48, 2020年11月
- [19] Mohamed M. Mansour, Shuya Yamamoto, Haruichi Kanaya, "Design of a High-Efficient Differential Strip RF Rectifier Architecture", Proc. 2020 IEEE Wireless Power Transfer Conference, pp.338-341, 2020年11月
- [20] Ataru Nakashima, Mohamed M. Mansour, Shunsuke Hatanaka, Osamu Takiguchi, Haruichi Kanaya, "Development of micro energy harvest circuit using RF signal", Proc. 22nd Electronics Packaging Technology Conference pp.152-155, 2020年12月
- [21] Mohamed M. Mansour, Shuya Yamamoto, Masaya Murakami, Haruichi Kanaya, "900 MHz ISM Band RF Energy Harvester for Powering ZigBee Module", Proc. 22nd Electronics Packaging Technology Conference pp.156-158, 2020年12月
- [22] Yoshiki Yamashita, Haruichi Kanaya, "Dual-band one-sided directional slot array antenna for 10GHz and 24GHz application", Proc. 22nd Electronics Packaging Technology Conference pp.251-254, 2020年12月
- [23] Masamitsu Matsuura, Tanemasa Asano, Haruichi Kanaya, "Evaluation of Residual Stress of Embedded Die Substrate with Hollow Structure for Heterogeneous Integration", Proc. 22nd Electronics Packaging Technology Conference pp.339-402, 2020年12月
- [24] Mohamed M. Mansour, Yamamoto Shuya, Shota Torigoe and Haruichi Kanaya, "Compact High-Efficient CPS 2.45 GHz Multistage RF-DC Rectifier for Wireless Energy Harvesting", Proceedings of the 2020 Asia-Pacific Microwave Conference, pp.89-91, 2020年12月
- [25] Tatsuma Mori, Taito Manabe, Yuichiro Shibata! Fast and Memory Efficient Approximated Convex Hull Computation with FPGA. CANDAR 2020! 174-180
- [26] (Invited) Shigeyasu Uno, "Electrochemical Impedance Sensor for Non-invasive Living Cell Monitoring toward CMOS Cell Culture Monitoring Platform", 4th International Symposium on Devices, Circuits and Systems (ISDCS2021), March 3, 2021 (Hiroshima! virtual), Session 3, no1.
- [27] T. Kuroda, "Circuit and Package Co-design for 3D Integration (invited)," JSAP International Conference on Solid State Devices and Materials (SSDM'20), Extended Abstracts, pp. 63-64, Sep. 2020.
- [28] K. Shiba, T. Omori, K. Ueyoshi, K. Ando, K. Hirose, S. Takamaeda-Yamazaki, M. Motomura, M. Hamada, and T. Kuroda, "A 3D-Stacked SRAM Using Inductive Coupling with Low-Voltage Transmitter and 1211 SerDes," IEEE International Symposium on Circuits and Systems (ISCAS), Oct. 2020.
- [29] M. Usui, K. Shiba, M. Hamada, and T. Kuroda, "3D Integration of Ka-band RFIC by Inductive Inter-chip Wireless Communication Using Figure-8 Coils," IEEE 29th Conference on

- Electrical Performance of Electronic Packaging and Systems (EPEPS), Oct. 2020.
- [30] R. Miura, T. Kuroda, and M. Hamada, "A Transmission Line Coupler Component for direct B2B communications," IEEE 29th Conference on Electrical Performance of Electronic Packaging and Systems (EPEPS), Oct. 2020.
- [31] K. Ando, K. Shiba, K. Akatsuka, C. Cheng, T. Arakawa, M. Hamada, T.Kuroda, "A 50 Mbps/pin 12-input/output 40 nsec Latency Wireless Connector Using a Transmission Line Coupler with Compact SERDES IC in 180 nm CMOS," IEEE Conference on Electronics Circuits and Systems(ICECS), Nov. 2020.
- [32] K. Shiba, T. Omori, M. Okada, M. Hamada, and T. Kuroda, "Crosstalk Analysis and Countermeasures of High-Density Multi-Hop Inductive Coupling Interface for 3D-Stacked Memory," IEEE Electrical Design of Advanced Packaging and Systems (EDAPS), Dec. 2020.
- [33] Y. Toyoda, M. Hamada, and T. Kuroda, "Communication Distance Enhancement of Transmission Line Coupler by Using Parallelized Driver ICs," IEEE Electrical Design of Advanced Packaging and Systems (EDAPS), Dec. 2020.
- [34] K. Shiba, T. Omori, M. Hamada, and T. Kuroda, "A 3D-Stacked SRAM Using Inductive Coupling Technology for AI Inference Accelerator in 40-nm CMOS," 26th Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 97-98, Jan. 2021.
- [35] T. Omori, K. Shiba, M. Hamada, and T. Kuroda, "Sub-10 μ m Coil Design for Multi-Hop Inductive Coupling Interface," 26th Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 99-100, Jan. 2021.
- [36] E. Charlot, M. Hamada, and T. Kuroda, "An on-chip antenna with an area of 0.9 square millimeters for RFID applications in the 5.8 GHz - 24 GHz range", IEICE 2020 International Symposium on Antennas and Propagation (ISAP), pp. 41-42, Jan. 2021.
- [37] Myoren, H., Okabe, K., Matsunawa, R., Itagaki, K., Naruse, M., & Taino, T., "High-Resolution Digital SQUID Magnetometer using Sub-Flux Quantum Feedback", Journal of Physics! Conference Series, Vol. 1559, No. 1 (2020) 012013.
- [38] Itagaki, K., Oshima, I., Hasegawa, Y., Matsunawa, R., Naruse, M., Taino, T., & Myoren, H., "Performance of Digital SQUID with Sub-Flux Quantum Feedback Resolution Fabricated using 10 kA/cm² Nb Process", Journal of Physics! Conference Series Vol. 1590, No. 1 (2020) 012038.
- [39] Matsunawa, R., Itagaki, K., Oshima, I., Hasegawa, Y., Naruse, M., Taino, T., & Myoren, H., "Implementation of Interface Circuit for Digital SQUID with Sub-Flux Quantum Feedback Resolution", Journal of Physics! Conference Series Vol. 1590, No. 1 (2020) 012039.
- [40] Kai Ichikawa, Kawori Sekine (Meiji University), Shinsuke Hara, Ruibing Dong, Akifumi Kasamatsu (Advanced ICT Research Institute) "Study of Input Signal Waveforms for Precise Analog Counter" 2020 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), Sep.2020.
- [41] K. Katayama, K. Takahata, T. Ohsawa, T. Baba, "Edge Model Embedding Method for Planar Filter Synthesis", RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing, pp. 502-505, March 2019.
- [42] K. Katayama, T. Baba, . Ohsawa, "13.6 dBi Stacked-Yagi Antenna on A PCB for Edge Computing", RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing, pp. 363-366, Feb. 2020.
- [43] Takuya Sakuma, Hiroki Matsutani, "An Area-Efficient Implementation of Recurrent Neural Network Core for Unsupervised Anomaly Detection", Proc. of the 23rd IEEE Symposium on Low-Power and High-Speed Chips and Systems (COOL Chips 23), pp.1-3, Apr 2020.
- [44] Hongjie Xu, Jun Shiomi, and Hidetoshi Onodera, "On-chip Memory Optimized CNN Accelerator with Efficient Partial-sum

- Accumulation," Proceedings of the 30th edition of the ACM Great Lakes Symposium on VLSI (GLSVLSI), pp. 21-26, Sep., 2020.
- [45] Shoya Sonoda, Jun Shiomi, and Hidetoshi Onodera, "Dynamic Supply and Threshold Voltage Scaling Towards Runtime Energy Optimization over a Wide Operating Performance Region," Proceedings of the 33rd IEEE International System-on-Chip Conference (SOCC), Sep., 2020.
- [46] Kentaro Nagai, Jun Shiomi, and Hidetoshi Onodera, "A DLL-based Body Bias Generator for Minimum Energy Operation with Independent P-well and N-well Bias," Proceedings of The 16th IEEE Asia Pacific Conference on Circuits and Systems (APCCAS2020), pp. 31-34, Dec., 2020.
- [47] Shoya Sonoda, Jun Shiomi, and Hidetoshi Onodera, "Minimum Energy Point Tracking over a Wide Operating Performance Region," Proceedings of the 23rd Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI), pp. 2-7, Mar., 2021.
- [48] Katsuhiko Ichikawa, Shigeru Yamashita, "A Multiply Accumulator for Stochastic Numbers Without Scaling Errors," in Proc. of 34th International Conference on VLSI Design and 20th International Conference on Embedded Systems (VLSID), Feb. 2021.
- [49] Chao Geng, Qingji Sun, Shigetoshi Nakatake! An Analog CMOS Implementation for Multi-layer Perceptron With ReLU Activation. MOCAS2020! 1-6
- [50] Xuncheng Zou, Shigetoshi Nakatake! A Fully Synthesizable, 0.3V, 10nW Rail-to-rail Dynamic Voltage Comparator. MWSCAS 2020! 199-202
- [51] Yohei Nakamura, Michihiro Shintani, and Takashi Sato, "Influences of device parameters variability on current sharing of parallel-connected SiC MOSFETs," in Proc. IEEE Asian Test Symposium (ATS), pp.1-6, November 2020.
- [52] Kunihiro Oshima, Kazunori Kuribara, Song Bian, and Takashi Sato, "Quantification of insulator and semiconductor carrier trapping in organic thin film transistors using DNNT and TU-1," in Proc. International Conference on Solid State Devices and Materials (SSDM), pp.443-444, September 2020.
- [53] Qin Zhaoxing, Kazunori Kuribara, Song Bian, and Takashi Sato, "Design of an organic SRAM cell with p-type access transistors," in Proc. International Conference on Solid State Devices and Materials (SSDM), pp.437-438, September 2020.
- [54] Kyohei Shimozato, Yohei Nakamura, Song Bian, and Takashi Sato, "An electrothermal compact model of SiC MOSFETs for simulating unclamped inductive switching tests," in Proc. International Conference on Solid State Devices and Materials (SSDM), pp.273-274, September 2020.
- [55] Kohei Shimozato and Takashi Sato, "A Compact device model for SiC MOSFETs valid for wide-temperature range," in Proc. IEEE Workshop on Wide Bandgap Power Devices and Applications in Asia (WiPDA-Asia), pp.56-60, September 2020.
- [56] Koketsu, Tanzawa, "A Design of Cold Start Charge Pump for Flexible Thermoelectric Generator with High Output Impedance", IEEE International Conference on Electronics, Circuits and Systems, Dec. 2020.
- [57] R. Kishida, I. Suda, and K. Kobayashi, ``Bias Temperature Instability Depending on Body Bias through Buried Oxide (BOX) Layer in a 65 nm Fully-Depleted Silicon-On-Insulator Process," IEEE International Reliability Physics Symposium (IRPS), pp. 4A.6.1-4A.6.6, 2021/03, Online.
- [58] T. Mori, J. Ida, and K. Daimatsu, "Analysis of Steep SS Mechanism on PN-Body Tied SOI-FET with 65 nm Thin Box FD-SOI," in 2020 International Symposium on VLSI Technology, Systems and Application (VLSI-TSA), Aug. 2020, pp. 1-2.
- [59] K. Yamazaki, H. Shimada, and Y. Mizugaki, "Design and Error-Rate Evaluation of RSFQ Logic Gates Comprising a Toggle Storage Loop," Journal of Physics! Conference Series,

- vol. 1590, 012042 (7 pages), July, 2020.
- [60] Y. Somei, H. Shimada, and Y. Mizugaki, "Enhanced Operation Frequencies of Superconducting Voltage Multiplier with Quantum Accuracy," The Irigo Conference 2020 (Interdisciplinary Research And Global Outlook), On-line, December 11, 2020.
- [61] M. Hashimoto and J. Chen, "Proactive Supply Noise Mitigation and Design Methodology for Robust Vlsi Power Distribution (Invited)," Proceedings of China Semiconductor Technology International Conference (CSTIC), March 2021.
- [62] T. Cheng, Y. Masuda, J. Nagayama, Y. Momiyama, J. Chen, and M. Hashimoto, "Mode-Wise Voltage-Scalable Design with Activation-Aware Slack Assignment for Energy Minimization," Proceedings of Asia and South Pacific Design Automation Conference (ASP-DAC), 284 -- 290, January 2021.
- [63] J. Chen and M. Hashimoto, "Proactive Supply Noise Mitigation with Low-Latency Minor Voltage Regulator and Lightweight Current Prediction," Proceedings of International Test Conference (ITC), November 2020.
- [64] Mutsumi Kimura, Tokiyoshi Matsuda, Sumio Sugisaki, Ayata Kurasaki, and Isao Horiuchi GTO TFT, Memristor, Thermoelectric Device, Neuromorphic System, etc. ICDT 2020, Oct. 2020
- [65] Yuta Takishita, Mutsumi Kimura, and Yasuhiko Nakashima Image Recognition Using Oxide Semiconductor Crossbar Memristors with Implementation of Slit Detection and Local Autonomous Learning IDW '20, pp. 973-976, Dec. 2020
- [66] Yuki Onishi, Yuki Shibayama, Daiki Yamakawa, Hiroya Ikeda, Yasuhiko Nakashima, and Mutsumi Kimura Brain type System using IGZO Thin Film Synapses IMFEDK 2020, Nov. 2020
- [67] Yuta Takishita, Mutsumi Kimura, and Yasuhiko Nakashima Image Recognition by Implementation of Visual Cortex and Xbar Memristor 2020 International Symposium on Nonlinear Theory and its Applications, NOLTA 2020, Nov. 2020
- [68] Yuki Shibayama, Yuki Ohnishi, Daiki Yamakawa, Hiroya Yamane, Yasuhiko Nakashima, and Mutsumi Kimura Ga-Sn-O Thin Film Synapse for Neuromorphic Device AM-FPD '20, P-3, Sep. 2020
- [69] Jimpu Suzuki, Hiroshi Tsutsui, Takeo Ohgane, "An Evaluation of Design Framework for Min-Sum Irregular LDPC Decoders," Proceedings of Asia-Pacific Signal and Information Processing Association Annual Summit and Conference (APSIPA ASC), pp. 110-113, Dec. 2020.
- [70] Tomotaka Kawabata, Hiroshi Tsutsui, "An Evaluation of High-Throughput Scalable Radix-4 FFT Processor Architecture Using Fixed-Point Arithmetic," Proceedings of Asia-Pacific Signal and Information Processing Association Annual Summit and Conference (APSIPA ASC), pp. 114-117, Dec. 2020.
- [71] Taku Tsuchiya, Yuki Okamoto, Frederic Marty, Ayako Mizushima, Agnes Tixier-Mita, Olivier Francois, Bruno Le Pioufle, and Yoshio Mita, "Two-Dimensionally Arrayed Double-Layer Electrode Device which, Enables Reliable and High-Thoroughput Electrorotation", The 34th International Conference on Micro Electro Mechanical Systems (IEEE MEMS 2021)
- [72] Kenji Suzuki, Yuta Nakayama, Naoki Shimizu, Takashi Mizuno, Yoshio Mita, and Takeshi Yoshimura, "Supersensitive Ultrasound Probes for Medical Imaging by Piezoelectric MEMS with Complemented Transmitting and Receiving Transducers", The 2020 IEEE International Ultrasonics Symposium (IUS 2020), September 6 - 11, 2020
- [73] Kuniaki Konishi, Daisuke Akai, Yoshio Mita, Makoto Ishida, Junji Yumoto, and Makoto Kuwata-Gonokami, "Circularly Polarized Third Harmonic Generation in Vacuum Ultraviolet Region Using Square Lattice Photonic Crystal Nanomembrane," 14th International Congress on Artificial Materials for Novel Wave Phenomena, Online (New York), 28 Sep - 3 Oct 2020

- [74] Ayako Mizushima, R Ranga Reddy, Kuniaki Konishi, Etsuko Ohta, Tomoya Ezawa, Akio Higo, Makoto Kuwata-Gonokami, and Yoshio Mita, "Assessment of Annealing Treatment for Wrinkle-less SiO₂ Membrane," Design, Test, Integration & Packaging of MEMS / MOEMS (DTIP 2020), 15-26 June 2020
- [75] Kei Misumi, Naoto Usami, Akio Higo, and Yoshio Mita, "Micro-scale Electrostatic Attach-detach Device for Micro Self-reconfigurable Modular Robotic System," Design, Test, Integration & Packaging of MEMS / MOEMS (DTIP 2020), 15-26 June 2020
- [76] G. Hwang, C. David, A. Paris, D. Decanini, A. Mizushima and Y. Mita, "A Rapid, Reliable and Less-destructive On-chip Mass Measurement for 3D Composite Material Testing Microstructures," 2020 IEEE 33rd International Conference on Microelectronic Test Structures (ICMTS), Edinburgh, United Kingdom, 2020, pp. 1-4, (2020.04)
- [77] Norihiro Miyazawa, Naoto Usami, Haibin Wang, Takaya Kubo, Hiroshi Segawa, Yoshio Mita, and Akio Higo, "Coaxial Circular Test Structure Applicable to both Ohmic and Schottky Characteristics for ZnO/Si Heterojunctions Assessment," 2020 IEEE 33rd International Conference on Microelectronic Test Structures (ICMTS), Edinburgh, United Kingdom, 2020, pp. 1-4, (2020.04)
- [78] N. Usami, E. Ota, A. Higo, T. Momose and Y. Mita, "Drop-in test structure chip to visualize residual stress of Ru/Cu film grown by atomic layer deposition and supercritical fluid deposition," 2020 IEEE 33rd International Conference on Microelectronic Test Structures (ICMTS), Edinburgh, United Kingdom, 2020, pp. 1-4, (2020.04)
- [79] Takahiko Kano and Moritoshi Yasunaga, "High Signal Integrity Transmission Line Using Microchip Capacitors and Inductors," Proceedings of 2020 IEEE Electrical Design of Advanced Packaging & Systems Symposium (EDAPS 2020), pp. 24-26, On-line Conference, Dec. 14-16, 2020.
- [80] Yuka Nakamatsu, Takao Kihara, "Dynamic Reduction of Power Consumption in Direct-RF Sampling Receivers with Variable Decimation", Proc. 2020 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), Ha Long Bay, Vietnam, Dec. 2020, pp. 54-57.
- [81] Nobutaka Kito and Kazuyoshi Takagi, "An RSFQ Flexible-Precision Multiplier Utilizing Bit-Level Processing," 33rd International Symposium on Superconductivity (ISS2020), ED3-2, Tsukuba and virtual, Japan, Dec. 2020.
- [82] Yuta Shintani, Ken'ichi Yamaguchi and Hiroshi Iwata! ``An Implementation of Functional Speed Oriented Transistor-Level Scan C-element," 21st IEEE Workshop on RTL and High Level Testing, TS3-2, pp.1-5, Nov. 2020.
- [83] Takuma Nagao, Ken'ichi Yamaguchi and Hiroshi Iwata! ``Test Plan For Detecting Mersenne Twister Faults In BIST," The 23rd Workshop on Synthesis And System Integration of Mixed Information Technologies, R3-5, pp.148-149, Mar. 2021.
- [84] Haruki Chaen, Ken'ichi Yamaguchi and Hiroshi Iwata! ``A Proposal of Identification Method for Second-Generation Redundancy Fault," 21st IEEE Workshop on RTL and High Level Testing, TS1-2, pp.1-2, Nov. 2020.
- [85] K. Ono and S. Amakawa, "Theoretical study of optimal feedback LNA design," International Symposium on Radio-Frequency Integration Technology (RFIT), pp. 201–203, September 4, 2020.
- [86] Renyuan Zhang, Tati Erlina, Tinh Van Nguyen, and Yasuhiko Nakashima! "Hybrid Stochastic Computing Circuits in Continuous Statistics Domain", IEEE Int. System-on-Chip Conf., pp.225-230, Sep. 8th-11th, (2020)
- [87] Tran Thi Diem, Mutsumi Kimura and Yasuhiko Nakashima! "Primary Visual Cortex Inspired Feature Extraction Hardware Model", SigTelCom2020, Aug. (2020)
- [88] Y.Kan, M.Wu, R.Zhang and Y.Nakashima! "A Multi-Grained Reconfigurable Accelerator for Approximate Computing", 2020 IEEE Computer Society Annual Symposium on VLSI

- (ISVLSI), Limassol, CYPRUS, Jul. (2020)
- [89] Man Wu, Yan Chen, Yirong Kan, Takeshi Nomura, Renyuan Zhang, Yasuhiko Nakashima! "An Elastic Neural Network Toward Multi-Grained Re-Configurable Accelerator", The 18th IEEE International NEWCAS Conference, Jun. (2020)
- [90] Dai Phan, Thi Hong Tran and Yasuhiko Nakashima! "SHA-256 Implementation on Coarse-Grained Reconfigurable Architecture", IEEE Symposium on Low-Power and High-Speed Chips 2020 (poster), Apr. (2020)
- [91] Van Tinh NGUYEN, Renyuan Zhang and Yasuhiko Nakashima! "A Compact and Accuracy Reconfigurable Univariate RBF Kernel Based Stochastic Computing", IEEE International Symposium on Circuits & Systems (poster), May. (2020)
- [92] Hisashi Kino, Takafumi Fukushima, and Tetsu Tanaka, "Development of Non-Volatile Tunnel-FET Memory as a Synaptic Device for Low-Power Spiking Neural Networks", 4th Electron Devices Technology and Manufacturing Conference EDTM 2020 Virtual Conference, Malaysia, April 2020, pp.444-446
- [93] Kousei Kumahara, Rui Liang, Sungho Lee, Yuki Miwa, Mariappan Murugesan, Hisashi Kino, Takafumi Fukushima, Tetsu Tanaka, "Low-temperature multichip-to-wafer 3D integration based on via-last TSV with OER-TEOS-CVD and microbump bonding without solder extrusion", 2020 IEEE 70th Electronic Components and Technology Conference Virtual Conference, United States of America, June 2020, pp.1199-1204
- [94] Yuki Miwa, Kousei Kumahara, Sungho Lee, Rui Liang, Hisashi Kino, Takafumi Fukushima, Tetsu Tanaka, "7- μ m-thick NCF technology with low-height solder microbump bonding for 3D integration", 2020 IEEE 70th Electronic Components and Technology Conference (ECTC) Proceedings, United States of America, June 2020, pp.1453-1458
- [95] Yuki Miwa, Hisashi Kino, Takafumi Fukushima, Tetsu Tanaka, "Evaluation of the Dopant Effects of ZnO-based Transparent Electrode on Electrochemical Characteristics for Biomedical Applications with Optical Devices", Extended Abstracts of the 2020 International Conference on Solid State Devices and Materials, Japan, September 2020, pp.475-476
- [96] Shuai Liu, Kousei Kumahara, Yuki Miwa, Hisashi Kino, Takafumi Fukushima, and Tetsu Tanaka, "Die-Level Cu-CMP Technology in Via-Last TSV Process for Multichip-to-Wafer 3D integration", Extended Abstracts of the 2020 International Conference on Solid State Devices and Materials, Japan, September 2020, pp.147-148
- [97] Hisashi Kino, Aoba Onishi, Takafumi Fukushima, and Tetsu Tanaka, "Development of Manganese Nitride Wiring with High Thermal Stability Caused by Saturation of the Mean Free Path", Extended Abstracts of the 2020 International Conference on Solid State Devices and Materials, Japan, September 2020, pp.121-122
- [98] Tomo Odashima, Yuki Susumago, Qian Zhengyang, Noriyuki Takahashi, Shuta Nagata, Hisashi Kino, Tetsu Tanaka and Takafumi Fukushima, "Micro-LED and PPG Sensor Integration Using Flexible Fan-Out Wafer-Level Packaging for Trans-Nail Pulse-Wave/SpO₂ Monitoring", 2020 International Conference on Solid State Devices and Materials, Japan, September 2020, pp.161-162
- [99] Takafumi Fukushima, "Multilithic 3D and Heterogeneous Integration Using Capillary Self-Assembly", 4th Electron Devices Technology and Manufacturing Conference EDTM 2020 Virtual Conference, Malaysia, April 2020, pp.490-493
- [100] Noriyuki Takahashi, Yuki Susumago, Sungho Lee, Yuki Miwa, Hisashi Kino, Tetsu Tanaka, Takafumi Fukushima, "RDL-first Flexible FOWLP Technology with Dielets Embedded in Hydrogel", 2020 IEEE 70th Electronic Components and Technology Conference Virtual Conference, United States of America, June 2020, pp.811-816

- [101] Fen Yang, Shota Urayama, Haruki Nagasaki, Hisashi Kino, Takafumi Fukushima, and Tetsu Tanaka, "Fabrication and Evaluation of Neural Recording Microelectrode on Opto-Neural Probe with Upconversion Nanoparticles Light Emitter", 2020 International Conference on Solid State Devices and Materials, Japan, September 2020, pp.469-470
- [102] Shota Urayama, Fen Yang, Haruki Nagasaki, Hisashi Kino, Takafumi Fukushima, and Tetsu Tanaka, "Development of Optical Waveguiding Neural Probe with Upconversion-Nanoparticle Light Emitter for Optogenetics", 2020 International Conference on Solid State Devices and Materials, Japan, September 2020, pp.471-472
- [103] Guowei Chen, Dang Bui, Xin Yang Yu, Md. Zahidul Islam, Atsuki Kobayashi and Kiichi Niitsu, "A 72-nW 440-mV Time Register Using Stacked-NMOS-Switched Gated Delay Cell in Biomedical Applications", in Proc. IEEE Asia Pacific Conference on Circuits and Systems (APCCAS 2020), Oct. 2020, pp.1-4.
- [104] Sitong Ye, Kiichi Niitsu, "Simulation Study of Full Passive Magnetic Human Body Communication in 65-nm CMOS Technology for Temperature Sensing Application", in Proc. IEEE International Conference on Electronics, Circuits & Systems (ICECS 2020), Nov. 2020.
- [105] Atsuki Kobayashi, and Kichi Niitsu "Low-Voltage Gate-Leakage-Based Timer Using an Amplifier-Less Replica-Bias Switching Technique in 55-nm DDC CMOS" in Proc. IEEE International Symposium on Integrated Circuits and Systems (ISICAS), Aug. 2020.
- [106] J. Ye, M. Yanagisawa and Y. Shi, "A High-Performance Symmetric Hybrid Form Design for High-Order FIR Filters," in Proc. of IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), 2020, pp. 121-124.
- [107] T. Tsukahara, "A High-Precision Quadrature Modulator Using a Fully-Differential CMOS Flip-Flop Phase-Shifter Suitable for the Next-Generation RF Transceivers," 2020 IEEE Int'l Symposium on Radio-Frequency Integration Technology (RFIT2020), WE3B-2, pp. 41-43, Sept. 2-4, 2020, Hiroshima, Japan. (Invited)
- [108] 市井, 井上, 土谷, 岸根, "5-Gb/s PAM4 Transmitter IC Using Compensation Circuit in an 180-nm CMOS", International Conference on Electronics, Information, and Communication, pp.1-4, 2021年2月.
- [109] 谷村, 土谷, 井上, 岸根, "Supply Noise Reduction Filter for Parallel Integrated Transimpedance Amplifiers", ACM Asia-South Pacific Design Automation Conference, pp.15-16, 2021年1月.
- [110] 土谷, 井上, 岸根, "Design of On-Chip Multi-layered Inductor for Area-Efficient Inductive Peaking", IEEE International Symposium on Radio-Frequency Integration Technology, pp.12-14, 2020年09月.
- [111] 土田, 土谷, 井上, 岸根, "A Transimpedance Amplifier Topology Considering the Impact of Variability on Inductive Peaking", The 23rd Workshop on Synthesis And System Integration of Mixed Information Technologies, pp.192-196, 2021年03月.
- [112] I. Nagaoka, K. Ishida, M. Tanaka, K. Sano, T. Yamashita, T. Ono, K. Inoue, A. Fujimaki, "Demonstration of a 52-GHz, energy-efficient, bit-parallel multiplier using low-voltage rapid single-flux-quantum logic", 2020 Appl. Supercond. Conf., Online, Nov 2020.
- [113] R. Kashima, I. Nagaoka, M. Tanaka, K. Sano, T. Yamashita, A. Fujimaki, "50-GHz datapath for parallel SFQ microprocessors based on gate-level-pipeline architecture", 2020 Appl. Supercond. Conf., Online, Nov 2020.
- [114] M. Kuniyoshi, K. Murase, I. Nagaoka, K. Sano, M. Tanaka, T. Yamashita, A. Fujimaki, "Investigation of timing parameters in single flux quantum circuits using low critical current junctions and low bias voltages", 2020 Appl. Supercond. Conf., Online, Nov 2020.
- [115] T. Hagiwara, N. Yamaki, K. Takano, and Y. Umeda, "Comparison of nMOSFET Structures for Millimeter-Wave Frequencies in 0.18- μ m CMOS technology," 33rd IEEE International Conference on Microelectronic Test Structures,

- May. 2020.
- [116] K. Kawahara, Y. Umeda, K. Takano, "40 Gbps 180 nm CMOS Modulator Driver Using Loss Compensation Gain Cells," 2020 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), pp. 91-93, Sept. 2020.
- [117] H. Sakai, K. Takano, and Y. Umeda, "A 135 GHz CMOS Marchand Balun with Ground Shields," 2020 Asia-Pacific Microwave Conference, Dec. 2020.
- [118] Jie Li, Yi Guo, and Shinji Kimura, "Accuracy-Configurable Low-Power Approximate Floating-Point Multiplier Based on Mantissa Bit Segmentation," Proc. IEEE Region 10 Conference (TENCON), 6 pages, Oct. 2020.
- [119] M. Nishi, K. Matsumoto, N. Kuroki, M. Numa, H. Sebe, R. Matsuzuka, O. Maida, D. Kanemoto and T. Hirose, "A 34-mV startup ring oscillator using stacked body bias inverters for extremely low-voltage thermoelectric energy harvesting," Proceedings of the 18th IEEE international new circuits and systems conference (NEWCAS 2020), pp. 38-41, Jun. 16-19, 2020.
- [120] H. Sebe, K. Matsumoto, R. Matsuzuka, O. Maida, D. Kanemoto and T. Hirose, "A Self-Bias NAND Gate and its Application to Non-Overlapping Clock Generator for Extremely Low-Voltage CMOS LSIs," Extended abstract of the 2020 International Conference on Solid State Devices and Materials (SSDM 2020), A-7-02, Sep. 30, 2020.
- [121] Atsushi Mamba, Masahiro Sasaki, "Tiny Two-Stage 1-GHz Time-Difference Amplifier Without Input Time-Difference Limitation and Extreme Points," 2020 27th IEEE International Conference on Electronics, Circuits and Systems (ICECS), pp. 1-4, Glasgow, Scotland, UK, United Kingdom, 23-25 Nov. 2020.
- [122] 長名, 今東, 友利, "OpenFC! a portable toolkit for custom FPGA accelerators and clusters", 2020 Eighth International Symposium on Computing and Networking Workshops, 2020年12月
- [123] Hayashida, Mitsuki; Kohmura, Takayoshi; Hagino, Kouichi; Oono, Kenji; Negishi, Kousuke; Yarita, Keigo; Kitajima, Masatoshi; Tsuru, Takeshi G.; Tanaka, Takaaki; Uchida, Hiroyuki; Kayama, Kazuho; Kodama, Ryota; Mori, Koji; Takeda, Ayaki; Nishioka, Yusuke; Hida, Takahiro; Yukumoto, Masataka; Arai, Yasuo; Kurachi, Ikuo; Hamano, Tsuyoshi; Kitamura, Hisashi; Kawahito, Shoji; Yasutomi, Keita, ``Proton radiation hardness of x-ray SOI pixel detectors with pinned depleted diode structure'', 2020, Proceedings of the SPIE, Volume 11454, id. 114540P 8 pp. (2020).doi! 10.1117/12.2562392
- [124] Satoshi Kitamura, Ryoma Iimura, Takayuki Kawahara, "AI Chips on Things for Sustainable Society! A 28-nm CMOS, Fully Spin-to-spin Connected 512-Spin, Multi-Spin-Thread, Folded Halved-Interaction Circuits Method, Annealing Processing Chip", 2020 IEEE 18th World Symposium on Applied Machine Intelligence and Informatics (SAMI), 2020.1
- [125] Ryoma Iimura, Satoshi Kitamura, Takayuki Kawahara, "Implementation of Multi Spin-Thread Architecture to Fully-Connected Annealing Processing AI Chips", 2020 IEEE 63rd International Midwest Symposium on Circuits and Systems (MWSCAS), 2020.8
- [126] Masashi Imai, "Asynchronous Building Blocks and Their Application for Ultra Low Energy Devices," Proc. NOLTA2020, Nov., 2020
- [127] Kan Hatakeyama, Masami Fukushima, Koichi Kitagishi, Seijin Nakayama, Hideki Ishihara, Masashi Imai, Atsushi Kurokawa, and Toshiki Kanamoto, "Energy efficient RISC-V processor for portable sensor applications," Proc. SASIMI2021, Mar., 2021.
- [128] T. Saho, Y. Harada, M. Fukuhara, and K. Fujimoto, "Multiple Output of Similarity Data by Recalling Type Associative Memory Using Neuron CMOS Inverter," ICIC Express Letters, Part B! Applications, An International Journal of Research and Surveys, Vol. 11, No. 11, pp. 1095-1104, Nov. 2020.
- [129] R. Ohtsuka, H. Yagi, M. Fukuhara, and K.

- Fujimoto, "Analysis by FPD for Neuron CMOS Variable Logic Circuit with FG Calibration," *ICIC Express Letters: An International Journal of Research and Surveys*, Vol. 14, No. 10, pp. 985-992, Oct. 2020.
- [130] Yoshida, Takeru, Fumito Masuko, and Akira Yasuda. "Efficiency improvement method for low output of Multi Coils Motor." *IECON 2020 The 46th Annual Conference of the IEEE Industrial Electronics Society*. IEEE, 2020. DOI! 10.1109/IECON43393.2020.9254339
- [131] Mohamad Izzat Azmer Adnan, Kiyotaka Sasagawa, Erus Rustami, Kenji Sugie, Yasumi Ohta, Makito Haruta, Hironari Takehara, Hiroyuki Tashiro, Jun Ohta, "Miniaturized LED light source with a hybrid filter for fluorescent imaging," *2020 International Conference on Solid State Devices and Materials(SSDM2020)*, 2020年9月.
- [132] Thanet Pakpuwadon, Mark Guinto Christian, Makito Haruta, Hironari Takehara, Hiroyuki Tashiro, Kiyotaka Sasagawa, Jun Ohta, "A self-reset CMOS image sensor for high signal-to-noise in-vivo imaging," *2020 International Conference on Solid State Devices and Materials(SSDM2020)*, 2020年9月.
- [133] Kenji Sugie, Kiyotaka Sasagawa, Mark Guinto, Makito Haruta, Takashi Tokuda, Jun Ohta, "Image refocusing of miniature CMOS image sensor with angle-selective pixels Author block," *The OSA Biophotonics Congress 2020*, 2020年4月.
- [134] Kiyotaka Sasagawa, Kenji Sugie, Yasumi Ohta, Mamiko Kawahara, Hironari Takehara, Makito Haruta, Jun Ohta, "Spatial Resolution Improvement of Lensless Fluorescence Imaging Device with Hybrid Emission Filter," *The OSA Biophotonics Congress 2020*, 2020年4月.
- [135] K. Fukuta, Y. Takahashi, D. Ito, M. Nakamura, T. Jyo, M. Nagatani, Y. Shiratori, M. Mutoh, and H. Nosaka, "49.4-dB Ω 46.8-GHz multiple shunt-shunt feedback regulated cascode TIA in 0.25- μ m InP-HBT process," *Proc. IEEE APMC 2020*, pp.477-479, Dec. 8-11, Hong Kong (Place virtually).
- [136] K. Ogura, and Y. Takahashi, "Soecial Session! An adiabatic logic based silicon physical unclonable function," *Proc. IEEE ICCD 2020, Special Session*, 4pages, Oct. 18-21, Hartford, CT (Place virtually).
- [137] Akira Ito, Rei Ueno, and Naofumi Homma, "Effective Formal Verification for Galois-field Arithmetic Circuits with Multiple-Valued Characteristics," *IEEE 50th International Symposium on Multiple-Valued Logic (ISMVL)*, pp. 4651, Japan and online, 2020.
- [138] Maya Oda, Rei Ueno, Akiko Inoue, Kazuhiko Minematsu, and Naofumi Homma, "PMAC++! Incremental MAC Scheme Adaptable to Lightweight Block Ciphers," *IEEE International Symposium on Circuits and Systems (ISCAS)*, 4 pages, Online, 2020.
- [139] Rei Ueno, Kazuhide Fukushima, Yuto Nakano, Shinsaku Kiyomoto, and Naofumi Homma, "Single-Trace Side-Channel Analysis on Polynomial-based MAC Schemes," *11th International Workshop on Constructive Side-Channel Analysis and Secure Design (COSADE)*, Online, 2020.
- [140] Canada, 吉田, 三浦, 中野, "An On-Chip Self-Powered Non-Volatile One-Time-Programmable Memory System in Standard CMOS Technology," *27th IEEE International Conference on Electronics Circuits and Systems*, 2020年11月23-25日, Online
- [141] 三河, 八木, 板倉, 小貫, 中野, "A Low-Power Multi-Frequency Chopper-Stabilized Readout With Time-Domain Delta-Sigma Modulator Suitable for Neural Recording," *27th IEEE International Conference on Electronics Circuits and Systems*, 2020年11月23-25日, Online
- [142] Canada, 吉田, 三浦, 中野, "An On-Chip Scalable Low Power Consumption High-Voltage Driver Based on Standard CMOS Technology," *2020 International SoC Design Conference*, 2020年10月21-24日, Online
- [143] Cañada, 吉田, 三浦, 中野, "An On-Chip Ultra-Low-Power Hz-Range Ring Oscillator Based on Dynamic Leakage Suppression Logic," 2020

- 35th International Technical Conference on Circuits/Systems, Computers and Communications, 2020年07月03-06日, Online
- [144] Fumiya Sako, Yuki Ikiri, Masaki Hashizume, Hiroyuki Yotsuyanagi, Hiroshi Yokoyama and Shyue-Kung Lu, "Temperature Sensing with a Relaxation Oscillator in CMOS ICs", Proc. of The 35th International Technical Conference on Circuits/Systems, Computers and Communications, pp.141-144, July 2020.
- [145] Kanami Nagata, Hiroyuki Yotsuyanagi and Masaki Hashizume, "Test Time Reduction of Small Delay Testing for Scan Design with Embedded TDC", the 21st IEEE Workshop on RTL and High Level Testing, Nov. 2020.
- [146] Yuki Ikiri, Masaki Hashizume, Hiroyuki Yotsuyanagi, Hiroshi Yokoyama and Shyue-Kung Lu, "Recovery of Defective TSVs with A Small Number of Redundant TSVs in 3D Stacked ICs", the 21st IEEE Workshop on RTL and High Level Testing, Nov. 2020.
- [147] H.Shioda, "Anti-Collision of RFID Tags with Blind DS-SS using ICA," ISAP2020, Jan. 2021.
- [148] Yuma Karakama, Tsuyoshi Misumi, Katsutoshi Saeki, Synaptic Hardware Model Depending on High Frequency Stimulation and Oscillation Frequency, Proc. International Technical Conference on Circuits/Systems, Computers and Communications, 1B-1, pp.21-24, Online, 3 July 2020.
- [149] Nobuhiko Yasumaru, Naoki Sakai, Kenji Itoh, Toshiki Tamura, Shigeru Makino, "920MHz Band High Sensitive Rectenna with the High Impedance Folded Dipole Antenna on the Artificial Magnetic Conductor Substrate", 2020 IEEE/MTT-S International Microwave Symposium, pp.1070-1072, Th1E-5, 2020.
- [150] Atsuya Hirono, Yuki Muramoto, Naoki Sakai, Kenji Itoh, "The 2.4 GHz band SOI-CMOS high power bridge rectifier IC with the cross coupled CMOS pair", IEEE Wireless Power Transfer Conference 2021.
- [151] Y. Ono, K. Usami, "Energy Efficient Approximate Storing to MRAM for Deep Neural Network Tasks in Edge Computing", The 23rd Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2021), Hiroasaki, Japan, Mar. 29-30, 2021,
- [152] Y. Ono, K. Usami, "Energy Efficient Approximate Storing of Image Data for MTJ Based Non-volatile Memory", The 9th IEEE Non-Volatile Memory Systems and Applications Symposium (NVMSA 2020), Korea, Aug. 20, 2020.
- [153] T. Watanabe, K. Usami, "Optimal Design for Level-Shifter-Less Approach Using Channel Length Modulation & Body Biasing", The 35th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2020), Nagoya, Japan, Jul. 3-6, 2020.
- [154] K. Usami, H. Ochi, Y. Ono, "Approximate Computing based on Latest-result Reuse for Image Edge Detection", The 35th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2020), Nagoya, Japan, Jul. 3-6, 2020.
- [155] K. Usami, S. Akiba, H. Amano, T. Ikezoe, K. Hiraga, K. Suzuki, Y. Kanda, "Non-Volatile Coarse Grained Reconfigurable Array Enabling Two-step Store Control for Energy Minimization", 2020 IEEE Symposium in Low-Power and High-Speed Chips (COOL Chips 23), Kokubunji, Japan, Apr. 15-17, 2020.
- [156] T. Yoneda, M. Imai, "Coarse Grained versus Fine Grained Architectures for Asynchronous Reconfigurable Devices", Proc. of ASYNC2020, pp.102-110, May, 2020.
- [157] Shinichi Nishizawa, and Kazuhito Ito, "Process Variation Estimation using An IDDQ Test and FlipFlop Retention Characteristics", International Conference on Microelectronic Test Structures (ICMTS), pp. 7-10, 2020/4,
- [158] Takashi Ichikawa, Kohei Shibata, Tatsuya Koga, Katsuyuki Machida, Shinichi Iida, Noboru Ishihara, Kazuya Masu, Hiroyuki Ito, "A High Resolution Single Gold Proof-Mass CMOS-MEMS Accelerometer" in Proc. 2020

- International Conference on Solid State Devices and Materials (SSDM 2020), C-9-02 , Online , Japan, Sept. 27-30, 2020.
- [159] N. Tajima, K. Komoku, T. Morishita, and N. Itoh, "K-Band Low Phase Noise Inductive Coupled VCO," Proc. of the 2020 Asia-Pacific Microwave Conference, pp.1110-1112, Dec. 2020.
- [160] Y. Sawayama, T. Morishita, K. Komoku and N. Itoh, "Dual-Band Concurrent LNA with Low Gain Deviation and Low Noise Figure," Proc. of the 2020 Asia-Pacific Microwave Conference, pp.1006-1008, Dec. 2020.
- [161] Y. Sawayama, T. Morishita, K. Komoku and N. Itoh, "Small-Area Dual-Band Concurrent LNA with Low Gain Deviation and Noise Figure," TJMW Student Workshop, 2-7, Dec. 8, 2020.
- [162] K. Miyazaki, T. Morishita, K. Komoku and N. Itoh, "Study on Current-Reuse 920-MHz LNA Operated on Weak Inversion MOSFET," TJMW Student Workshop, 2-6, Dec. 8, 2020.
- [163] Y. Yoshizawa, K. Komoku, T. Morishita, and N. Itoh, "A Study on Low Cost High Frequency Amplifier using fT -doubler," TJMW Student Workshop, 2-5, Dec. 8, 2020.
- [164] T. Yuki, T. Morishita, K. Komoku and N. Itoh, "A Study on Low Phase Noise 24 GHz VCO using 3D-Striped Inductor with Optimum Number of Stripes," TJMW Student Workshop, 2-4, Dec. 8, 2020.
- [165] T. Yuki, T. Morishita, K. Komoku and N. Itoh, "A Study of 24 GHz 3D-Striped Inductor VCO with Gradually Changed Metal Width of Inductor," Proc. of IEEE 2020 Radio-Frequency Integration Technology, pp.253-255, Hiroshima, Sept. 2020.
- [166] Y. Sawayama, T. Morishita, K. Komoku and N. Itoh, "Dual-Band Concurrent Low Noise LNA," Proc. of IEEE 2020 Radio-Frequency Integration Technology, pp.198-200, Hiroshima, Sept. 2020.
- [167] Koji Kotani, "Optical Wireless Power Transmission with Light-switching Boost Converter Using On-chip Phototransistor," The 2nd Optical Wireless and Fiber Power Transmission Conference (OWPT2020), OWPT-6-04, April 2020.
- [168] Toki Watanabe, Ren Usami, Takao Komiyama, Yasunori Chonan, Hiroyuki Yamaguchi, Koji Kotani, "Differential-Drive CMOS Rectifier with Photovoltaic-Assist and Self-Vth-Cancellation Schemes," Extended Abstracts of the 2020 International Conference on Solid State Devices and Materials, L-10-05, pp.781-782, Sept. 2020.

国内会議，研究会等

- [1] 易 龍飛,小野 哲,和田光司, "Design of Via Connection Coupling Structure Based Balun and Its Application to Balun filter," 超高速・高周波エレクトロニクス実装研究会令和二年度第1回公開研究会 ,Aug.2020
- [2] 高橋 徹,小野 哲,和田光司, "両端開放型マイクロストリップ線路共振器を用いたストリップ導体の実効導電率の導出手法の検討," 第30回 マイクロエレクトロニクスシンポジウム, 2A4-1, Sep.2020.
- [3] 服部 健将, 小野 哲,和田光司, "リング共振器を用いて構成したチップレスRFIDタグに関する検討," 電子情報通信学会東京支部学生会研究発表会 (第26回92) ,Mar.2021.
- [4] 高宮 真, "皮膚密着型のフレキシブルヘルスケアデバイスに対する無線給電とエネルギーハーベスティング," 日本生体医工学会大会, SY-1-2-2, 岡山, 2020年5月.
- [5] 高宮 真, "パワーエレクトロニクスのIoT×AI化に向けたデジタルゲートドライバIC," パワーエレクトロニクス学会 第234回定例研究会, JIPE-46-01, 名古屋, 2020年8月.
- [6] 堅田龍之介, 畑 勝裕, 高宮 真, "直列接続されたパワーMOSFETの過電圧破壊を回避するデジタル制御遅延線を用いたテスト手法," 電気学会, 半導体電力変換・家電民生・自動車合同研究会, 電気学会研究会資料, SPC-20-149, pp. 71-74, オンライン開催, 2020年9月.
- [7] 高宮 真, "集積パワーマネジメント回路の展望: パワーエレクトロニクス向けデジタルゲートドライバIC," 電子情報通信学会ソサイエティ大会, C-12-7, オンライン開催, 2020年9月.
- [8] 王 叡智, 高宮 真, "高エネルギー効率のピクセ

- ル近傍2次元CNNアクセラレータの提案," 電子情報通信学会ソサイエティ大会, C-12-24, オンライン開催, 2020年9月.
- [9] 山崎大夢, 宮崎耕太郎, 羅揚, イスラム マーフズル, 畑勝裕, 桜井貴康, 高宮真, "ゲート電圧波形の機械学習を用いたパワーデバイスの劣化推定," 電子情報通信学会, 信学技報, SDM2020-29, pp. 32-35, オンライン開催, 2020年11月.
- [10] 森川隆造, 畑勝裕, 高宮真, "EMI自動修復デジタルゲートドライバの提案と実証," 電気学会, 電子デバイス・半導体電力変換合同研究会, SPC-20-204, pp. 29-33, オンライン開催, 2020年12月.
- [11] 高宮真, "ICとAIを用いたパワーデバイスの新たな価値創造," 第26回電子デバイス界面テクノロジー研究会, オンライン開催, 2021年1月.
- [12] 堅田龍之介, 畑勝裕, 山内善高, 王廷維, 森川隆造, 呉承軒, 崔通, 陳柏宏, 高宮真, "GaN向けデジタルゲートドライバICによる損失の69%減と電流オーバーシュートの60%減," 電気学会全国大会, 4-009, オンライン開催, 2021年3月.
- [13] 阿部, 小林, 塩見, 越智, "FiCCを用いた不揮発スタンダードセルメモリ", no.A-6-4, pp. 47, 電子情報通信学会総合大会(2021)
- [14] 吉田, 古田, 小林, "宇宙機用集積回路に適した薄膜BOX FDSOIプロセスで試作したリングオシレータのトータルドーズ効果の実測評価", no.ICD2020-50, 電子情報通信学会技術報告(集積回路設計)(2020)
- [15] 浦部, 新居, 小林, "SONOS Flashセルを用いた不揮発SRAMの設計と回路シミュレーションによる評価", no.ICD2020-31, 電子情報通信学会技術報告(集積回路設計)(2020)
- [16] 森, 榎原, 附田, 古田, 小林, "Intrinsic Vulnerability to Soft Errors and Mitigation Technique by Layout Optimization on DICE Flip Flops in a 65 nm Bulk Process", no.PF-2, The conference on Radiation and its Effects on Components and Systems(2020)
- [17] 記伊, 榎原, 古田, 小林, "FDSOIプロセスにおけるガードゲート構造を用いたフリップフロップのソフトエラー耐性の実測評価", pp. 116-121, DAシンポジウム(2020)
- [18] 長田 将, 徐 祖樂, 飯塚 哲也, "低位相雑音かつ低スプリアストーンを達成する高調波ミキサを用いた二重フィードバック型フラクショナルN位相同期回路," 電子情報通信学会 総合大会論文集, C-12-11, 2021年3月.
- [19] Shuowei Li, Zule Xu, Tetsuya Iizuka, "Analysis of Strong-ARM Comparator with Offset Calibration Using Auxiliary Pair," 電子情報通信学会 総合大会論文集, C-12-7, 2021年3月.
- [20] (招待講演) 宇野重康, "CMOS 集積回路チップを基板とした電気化学インピーダンス法による細胞モニタリングセンサー", 2021年電子情報通信学会総合大会, CI-4. スマートヘルスケアを支える集積回路技術と応用, オンライン(2021年3月11日) CI-4-4.
- [21] 清水, 小松, "0.8 μ m CMOSプロセスを用いた静電容量式MEMS加速度センサ," 令和3年電気学会全国大会 講演番号3-147, 2021年3月.
- [22] 上村, 小松, "CMOSプロセスを用いたMEMS加速度センサの感度見積り," 令和3年電気学会全国大会 講演番号3-148, 2021年3月.
- [23] 平野, 小松, "自動配置配線可能な温度センサセル," 2021年電子情報通信学会 総合大会 C12-2, 2021年3月.
- [24] 福島, 小松, "スタンダードセルによるRail-to-Railハイブリッドコンパレータ," 2021年電子情報通信学会 総合大会 C12-6, 2021年3月.
- [25] Hiroaki Myoren, Yuki Hasegawa, Masato Naruse, Tohru Taino, Lin Kang, Jian Chen, and Peiheng Wu, "Design of SFQ Dynamic AND Gate Array for Time-Resolving Photon Detection System using SNSPDs", 2020 Applied Superconductivity Conference, Oct. 23-Nov. 7, 2020
- [26] 並木修一, 亀田裕介, 浜本隆之, "単一光子検出型撮像方式における画像再構成のための動きぼけ抑制処理", 映像情報メディア学会技術報告, IST2020-33, pp. 7-11, 2020年7月.
- [27] 片岡胡桃, 亀田裕介, 浜本隆之, "多重露光時間撮像のための画像エントロピーに基づく適応的な露光時間制御", 映像情報メディア学会技術報告, IST2020-33, pp. 13-18, 2020年7月.
- [28] 小嶋 隆, 大高俊徳, 亀田裕介, 浜本隆之, "高速・高空間解像度CMOSイメージセンサのためのリングアンプを用いた列並列パイプライン

- ADC", 電子情報通信学会技術研究報告, vol.120, no.235, pp. 101-105, 2020年11月.
- [29] 鹿倉未咲, 亀田裕介, 浜本隆之, "動き推定機能を有するイメージセンサのための露光時間制御及び再構成処理", 映像情報メディア学会技術報告, IST2020-44, pp. 5-8, 2020年11月.
- [30] Taisei Arai*, Kawori Sekine "Ring Oscillator Based Temperature-to-Frequency Converter Considering Temperature Dependence", 電気学会電子回路研究会ECT-020-061 8, Oct 2020
- [31] 小林洵也, 関根かをり, "PTAT電圧発生回路の温度係数向上の検討", 電気電子学会電子回路研究会ECT-20-084 17, Dec 2020
- [32] 高瀬文哉, 関根かをり, "アナログFIRフィルタに用いる乗算器の測定と改善", 電気学会電子回路研究会ECR-21-010 15, Mar 2021
- [33] 和井田優太, 関根かをり, "ポテンショスタットを用いた双方向電流検出可能生体センサ", 電気学会電子回路研究会ECT-21-012 15, Mar 2021
- [34] 阿部真也, 関根かをり, "生体センサ向けADCに用いる周波数デジタル変換器の低消費電力化", 電気学会電子回路研究会ECT-21-011, 05, Mar.2021
- [35] 山本遥哉 関根かをり 和田和千, "pn接合電流を考慮した弱反転領域動作MOSFETの温度特性のモデリングと低電圧カレントミラー回路における一考察", 電気学会, 電子回路研究会ECT-21-003, 21, Jan.2021
- [36] 杉浦春菜, 八幡晃平, 新岡省吾, 関根かをり, 森山誠二郎, 吉野理貴, "アナログIPをオープンハードウェアとして開発する試み", 電気学会電子回路研究会 ECT-21-024
- [37] 許, 難波, "DET Flip-Flops with SEU Detection Capability Using DICE and C-Element," 信学技報, DC2020-34, 2020年11月.
- [38] 中田, 難波, "C-elementを用いた耐ソフトエラー性を有するSRラッチ," 信学技報, DC2020-19, 2020年10月.
- [39] 豊丸, 田中, "低電源電圧で動作するCMOSオペアンプの設計とLDOへの応用", 令和2年度電気学会九州支部高専研究講演会講演論文集, pp.37-38, 2021年3月.
- [40] 二宮, 佐々木, "プリント配線板電源層からの放射雑音低減方法の検討~付加抵抗値~, 2020年度電気・情報関係学会九州支部連合大会, 08-1P-15, 2020年9月
- [41] 松嶋, 佐々木, "屈曲部を有する高速信号伝送路の特性評価", 2020年度電気・情報関係学会九州支部連合大会, 08-1P-16, 2020年9月
- [42] 堀, 佐々木, 松嶋, "容量付加による遠端クロストーク低減技術の検討", 2020年度電子情報通信学会九州支部学生会・講演論文集, B-20, 2020年9月
- [43] 田中, 佐々木, 二宮, "プリント配線基板電源層における放射雑音の低減", 2020年度電子情報通信学会九州支部学生会・講演論文集, B-22, 2020年9月
- [44] 上瀧, 佐々木, 二宮, "シート状抵抗による雑音の低減~樹脂フィルム~, 2020年度電子情報通信学会九州支部学生会・講演論文集, B-23, 2020年9月
- [45] 古賀, 深井, 清水, 石川, 野口, "膀胱内尿量計測回路に用いる微小位相差計測回路とピークホールド回路に関する検討", 計測/知覚情報合同研究会, IM-20-024, PI-20-073, pp35-40, 2020年
- [46] 加来, 興梠, 深井, "試作した多値論理ICの計測回路に関する検討", IEEE主催2020年度「学生研究発表会」, IEEE_IM-S20-06, 2020年12月
- [47] 上野貫太, 古賀翔也, 古賀洗希, 深井澄夫, "生体インピーダンス計測から推測される胸部キャパシタンスについての考察", IEEE主催2020年度「学生研究発表会」, IEEE_IM-S20-07, 2020年12月
- [48] 田中大輝, 深井澄夫, "呼吸量計測器に使用するオペアンプの低電圧化に関する検討", 令和3年電気学会全国大会 WEB8-A2.3-006 2021年3月
- [49] 興梠 拳史朗, 加来 太希, 深井 澄夫, "ワールド電源管理システムのバッテリー充電管理方式の検討", IEEE主催2020年度学生研究発表会, IEEE_IM-S20-07, 2020年12月
- [50] 古賀翔也, 深井澄夫, 木本晃, 野口卓朗, 清水暁生, 石川洋平, "生体計測システムの低電圧化と精度向上に関する研究", 電気学会電子回路研究会, ECT-020-044, 2020年6月
- [51] 大河亮・秋田純一・松田誠宙・若杉雄彦・土屋忠明, 複数プロセスでの製造を可能とするLSI設計フローとPDKの構築, 電気学会電子回路研究会, ECT-21-023, 2021.3.

- [52] 徐宏傑, 塩見準, 小野寺秀俊, "部分積の効率的な累算によりメモリ容量を削減した畳み込み演算アクセラレータ," 情報処理学会 DA シンポジウム論文集, pp. 28-35, 2020年9月.
- [53] 塩見準, 木次修也, 董博語, 小野寺秀俊, 新家昭彦, 納富雅也, "集積ナノフォトニクスに基づく耐タンパ光論理回路," 情報処理学会 DA シンポジウム論文集, pp. 2-7, 2020年 9月.
- [54] 園田翔也, 塩見準, 小野寺秀俊, "幅広い動作性能領域で最小エネルギー動作を実現する電源電圧としきい値電圧の動的決定手法," 情報処理学会 DA シンポジウム論文集, pp. 52-58, 2020年9月.
- [55] 村上 健祐, イスラム マーフズル, 小野寺 秀俊, "回路遅延の非線形モデルを用いたモンテカルロ法による遅延ばらつき解析", 情報処理学会 DA シンポジウム論文集, pp. 59-64, 2020年 9月.
- [56] 羽田, 小平, "近似計算におけるネット対のマージによる回路とレイアウトの設計手法", 第33回 回路とシステムワークショップ論文集, pp. 74-79, 2020年8月.
- [57] 大島 國弘, 栗原 一徳, 辺 松, 佐藤 高史, "n型有機薄膜トランジスタにおけるバイアス・ストレス特性変動物理メカニズムの実験的評価," DA シンポジウム, pp.127-132, August 2020.
- [58] 重柵, 寺岡, 大多, 平野, 安富, 川人, 二川, "土壤過渡応答特性を利用した土中水分量・イオン濃度計測用フィードバック型回路システムの開発", 2020年度電気学会E部門総合研究会, 2020年7月
- [59] 田淵, 丹沢, "マイクロワット・レクテナ最適回路トポロジーの出力電圧電流平面へのマッピング", 2020年電子情報通信学会ソサイエティ大会, C-2-11, 2020年9月
- [60] 石田, 丹沢, "静電振動発電用耐プロセス温度変動完全集積化シャント・レギュレータの設計", 電子情報通信学会ソサイエティ大会, C-12-8, 2020年9月
- [61] 酒本, 丹沢, "バッテリー・熱電素子直列接続型電力変換回路システムのバッテリー長寿命化コンセプトの実証", 電子情報通信学会ソサイエティ大会, C-12-9, 2020年9月
- [62] 瀨瀬, 丹沢, "高出力インピーダンス発電素子用変換回路の入力インピーダンス時分割変調制御方式の提案", 電子情報通信学会 集積回路研究会, 2020年8月
- [63] Makino, Tanzawa, "A Study of Sensing Schemes for NAND Flash! Shielded Bit-Line vs. All Bit-Line", 電子情報通信学会総合大会, C-12-32, 2021年3月
- [64] Hashimoto, Tanzawa "A Study on the Fundamental Limit of Integrated Rectifiers for Low Cost Microwave Wireless Power Transfer", 電子情報通信学会総合大会, C-2-6, Mar. 2021.
- [65] Nono, Tanzawa, "A Design of Adaptive Charge Pumps with Minimum Circuit Area for Thermoelectric Energy Harvesting under Temperature Variations", 電子情報通信学会総合大会, C-12-27, Mar. 2021.
- [66] Tone, Tanzawa, "A Design Guideline of Scalable Capacitors in 3D Cross-Point Memory", 電子情報通信学会総合大会, C-12-31, Mar. 2021.
- [67] 青木, 大倉, 白畑, 藤野, "CMOSイメージセンサPUFにおける高効率レスポンス生成回路の設計", IEICE-HWS, vol. IEICE-120, no.401, pp.79-84, 2021年3月
- [68] 佐々木, 白畑, 大倉, "画像認識に用いるイメージセンサの高SN比画素に関する研究", ITE-IST, vol. ITE-45, no.11, pp.21-24
- [69] 曾明裕太, 島田 宏, 水柿義直, "Nb 10 kA/cm² プロセスで作製した磁気結合SFQ伝搬回路の特性評価," 第68回応用物理学会春季学術講演会, 16p-P04-17, 2021年3月16日
- [70] 曾明裕太, 島田 宏, 水柿義直, "Nb 10-kA/cm² 集積プロセスにより作製した両極性DFQアンプの最大動作周波数向上," 電子情報通信学会技術研究報告(超伝導エレクトロニクス), SCE2020-9, 2020年11月25-26日
- [71] 瀬賀直功, 山崎洸生, 曾明裕太, 島田 宏, 水柿義直, "10 kA/cm² プロセスを用いた Double-SQUID 分布型RSFQアンプの動作検証," 2020年電子情報通信学会ソサイエティ大会, C-8-13, 2020年9月17日
- [72] 藤原 廉, 根尾 優一郎, 橋本昌宜, "画素アレイ上の可変抵抗クロスバーを用いたフィルタ演算のエネルギー評価," 電子情報通信学会総合大会講演論文集, 2021年3月.
- [73] T.-Y. Cheng, Y. Masuda, J. Nagayama, Y. Momiyama, J. Chen, and M. Hashimoto, "Mode-Wise Voltage-Scalable Design with

- Activation-Aware Slack Assignment for Energy Minimization," 電子情報通信学会 VLSI設計技術研究会, March 2021.
- [74] 木村 睦, 中島 康彦 薄膜積層集積デバイスと局所自律学習によるニューロモフィックシステム 第68回応用物理学会春季学術講演会 シンポジウム「AI/IoT時代を支えるポストムーアパラダイムへの挑戦」, 18p-Z06-7, 100000001-232, pp. 2021年3月
- [75] 木村 睦 薄膜デバイスを用いたニューロモフィックシステム -有機デバイスの可能性- 高分子学会 有機エレクトロニクス研究会, 2020年12月
- [76] 山 友輝, 大西 祐輝, 山川 大樹, 山根 弘樹, 中島 康彦, 木村 睦 ニューロモフィックデバイス用 Ga-Sn-O 薄膜シナプス 薄膜材料デバイス研究会 第17回研究集会, pp. 129-131, 2020年11月
- [77] 大西 祐輝, 柴山 友輝, 山川 大樹, 池田 裕哉, 中島 康彦, 木村 睦 IGZO 薄膜シナプスを用いた脳型システム 電子情報通信学会, EID2020-7, pp. 25-28, 2020年12月
- [78] 木村 睦, 中島 康彦 局所自律学習則を用いるリアルニューロモフィックシステム -局所自律学習則のバックプロパゲーションへの応用- 第81回応用物理学会秋季学術講演会, 9p-Z28-17, pp. 19-030, 2020年9月
- [79] 佐羽, 田中, 魏, " 剰余SD数-剰余2進数変換アルゴリズム," 信学技報, vol.120, no.337, VLD2020-51, pp.69-74, 2021年1月.
- [80] 柳川, 田中, 魏, " 高速10進計数回路の設計," 信学技報, vol.120, no.337, VLD2020-54, pp.85-89, 2021年1月.
- [81] 狩野貴彦, 安永守利, " 寄生素子を考慮したコンデンサ型セグメント分割伝送線の設計と評価," 第73回電子情報通信学会機能集積情報システム研究会, 信学技報 (FIIS20), No.532 (7ページ), 広島市立大学サテライトキャンパス (広島), 10月30日, 2020年.
- [82] 狩野貴彦, 安永守利, " 二端子対回路網に基づくアイパターンのシミュレーション-数式処理システムのみを用いたアイパターン計算-, " エレクトロニクスシミュレーション研究会, 進学技法, EST2020-61, pp.45-50, (オンライン), 1月21日-22日, 2021年.
- [83] 仲松佑花, 譜久山篤也, 磯部佑真, 木原崇雄, "VCO ベース A/D 変換器の可変デシメーションによる直接 RF サンプリング受信機の低消費電力化", 2020年電子情報通信学会総合大会, 広島大学, 2020年3月.
- [84] 仲松佑花, 木原崇雄, "可変デシメーションを用いた直接 RF サンプリング受信機における消費電力の動的削減", 電子情報通信学会 学生・若手研究会, 熱海市, 2020年12月.
- [85] 荒川祐貴, 升井義博, "オンチップ発電での利用を想定した SAR 型 ADC の高精度化", 2021年電子情報通信学会総合大会, 2021年3月
- [86] 田中一輝, 上見アレックス, 升井義博, "オンチップ光発電を利用した IC 温度センサ回路", 2021年電子情報通信学会総合大会, 2021年3月
- [87] 山崎心, 新谷悠太, 岩田大志, 山口賢一! ``スキヤン C 素子におけるトランジスタレベル解析", 2021年電子情報通信学会 総合大会 ISS 特別企画ジュニア & 学生ポスターセッション, ISS-P-036, Mar, (2021).
- [88] 小田島 輩, 煤 孫 祐樹, 錢 正陽, 高橋 則之, 永田 柁太, 木野 久志, 田中 徹, 福島 誉史, "Fan-Out Wafer-Level Packaging によるフレキシブル経爪脈波センサの集積化", 第81回応用物理学会秋季学術講演会, Japan, September 2020, 11-078
- [89] 高橋 則之, 煤孫 祐樹, 王 喆, 小田島 輩, 木野 久志, 田中 徹, 福島 誉史, "UV-LED 内蔵ハイドロゲルフレキシブル基板を用いた殺菌絆創膏の作製と評価", 第68回応用物理学会春季学術講演会, Japan, March 2021, 11-271
- [90] 永田柁太, 木野久志, 田中徹, 福島誉史, "インモールドエレクトロニクス用フレキシブル三次元波状配線の作製", 第81回応用物理学会秋季学術講演会, 日本, September 2020, 11-079
- [91] 楊 芬, 浦山 翔太, 長崎 春樹, 木野 久志, 福島 誉史, 田中 徹, "Effect of Light Emission on Recording Electrodes of Opto-Neural Probe with Upconversion Nanoparticles", 第68回応用物理学会春季学術講演会, Japan, March 2021, 11-270
- [92] 長崎 春樹, 浦山 翔太, 楊 芬, 木野 久志, 福島 誉史, 田中 徹, "多段階励起による発光現象を用いた 光遺伝学用神経メッシュプローブの提案と作製", 第68回応用物理学会春季学術講演

- 会, Japan, March 2021, 11-269
- [93] 王 喆, 小澤 郁真, 煤孫 祐樹, 小田島 輩, 高橋 則之, 木野 久志, 田中 徹, 福島 誉史, "3-Color Micro-LED Integration for Flexible Display Based on Die-First Fan-Out Wafer-Level Packaging Technology", 第68回応用物理学会春季学術講演会, Japan, March 2021, 12-166
- [94] 島崎, 高木, 岩田, 吉河, "圧力センサ用CV変換回路の容量オフセット除去に関する検討", 2021年 電子情報通信学会 総合大会, 2021年3月
- [95] 笈祐弥, 伊藤信之, 宇賀神守, "位相補正による直交LC電圧制御発振器の位相雑音低減", 電子情報通信学会 東京支部学生会 第26回研究発表会, pp.1, 2021年3月
- [96] 山田, 東原, "ドライバアンプを有するパッシブ型送信ミキサの検討", 電子回路研究会, 2021年7月
- [97] 山田, 東原, "ドライバアンプを有するパッシブ型送信ミキサの検討", 電子回路研究会, 2020年7月
- [98] 小谷口, 土谷, 井上, 岸根桂路, "静電容量を利用した液滴の接触角推定における対応範囲拡大の検討", デザインガイア, pp.106-109, 2020年11月.
- [99] 宮部, 井上, 土谷, 岸根, "オフセット制御機能付きプリアンプを用いたPAM4レシーバの出力性能向上に向けた検討", 電子情報通信学会総合大会, pp.A-1-17, 2021年3月.
- [100] 加島亮太, 長岡一起, 田中雅光, 山下太郎, 藤巻朗, "単一磁束量子回路に基づく並列処理データパスの 64GHz動作実証", 2020年電子情報通信学会ソサイエティ大会, オンライン, 2020年9月.
- [101] 国吉真波, 長岡一起, 田中雅光, 山下太郎, 藤巻朗, "低消費電力単一磁束量子回路における論理ゲートのタイミングパラメータ解析", 2020年電子情報通信学会ソサイエティ大会, オンライン, 2020年9月.
- [102] 長岡一起, 加島亮太, 田中雅光, 山下太郎, 藤巻朗, "フィードバックループを含む単一磁束量子回路の高周波設計に向けたカウンターフロー方式シフトレジスタのタイミング解析", 2020年電子情報通信学会ソサイエティ大会, オンライン, 2020年9月.
- [103] 国吉真波, 村瀬健, 長岡一起, 田中雅光, 山下太郎, 藤巻朗, "低消費電力単一磁束量子回路の動作周波数の調査", 超伝導エレクトロニクス研究会, オンライン, 2021年1月.
- [104] 国吉真波, 長岡一起, 田中雅光, 山下太郎, 藤巻朗, "アンシャント接合によるSFQ論理ゲートのエネルギー効率の向上", 電子情報通信学会2021年総合大会, オンライン, 2021年3月.
- [105] 加島亮太, 長岡一起, 田中雅光, 山下太郎, 藤巻朗, "単一磁束量子回路の高集積化へ向けた細線受動伝送線路の評価", 電子情報通信学会2021年総合大会, オンライン, 2021年3月.
- [106] 長岡一起, 加島亮太, 中埜智貴, 田中雅光, 山下太郎, 藤巻朗, "単一磁束量子回路に基づく50GHzビット並列演算マイクロプロセッサの設計", 電子情報通信学会2021年総合大会, オンライン, 2021年3月.
- [107] 長嶺, 今泉, 木村, "光アクセスネットワークにおけるAPDデュアルレート・バースト受信器の受光感度最適化の検討", 2021年電子情報通信学会総合大会, B-8-29
- [108] 川原啓輔, 榎田洋太郎, 高野恭弥, "誘導結合を用いた分布型差動増幅回路の省面積化", 電子情報通信学会ソサイエティ大会, C-12-15, 2020年9月.
- [109] 佐藤龍太, 打桐夏樹, 澤山大志, 小池悠介, 榎田洋太郎, 高野恭弥, "EPWM送信機用電力増幅器挿入型トランスバーサルフィルタの信号対量子化雑音電力比の実験的評価", 電子情報通信学会マイクロ波研究会, 2020年12月.
- [110] 澤山太志, 榎田洋太郎, 高野恭弥, "800MHz帯で動作するD級電力増幅器を用いた2値直交変調型EPWM送信機", 電子情報通信学会ソサイエティ大会, C-2-4, 2020年9月.
- [111] 谷口慶伍, 細谷友崇, 榎田洋太郎, 高野恭弥, 末光哲也, 佐藤 昭, "InGaAs HEMT 寄生抵抗抽出高精度化の検討", 電子情報通信学会マイクロ波研究会, 2021年1月.
- [112] 那須南美, 高野恭弥, 榎田洋太郎, 佐原健太, 山木 夏, "60GHz帯CMOSシングルバランスドアップコンバージョンミキサにおけるクロスカプルキャパシタの最適値の検討", 電子情報通信学会総合大会, C-12-15, 2021年3月.
- [113] 新谷理音, 高野恭弥, 榎田洋太郎, "60GHz帯CMOSダウンコンバージョンミキサに用いるデバイスのモデリング", 電子情報通信学会総合大会, C-12-16, 2021年3月.

- [114] 佐原健太, 高野恭弥, 榎田洋太郎, “スプリアス抑圧技術を用いた45GHz CMOS周波数3通倍器の設計,” 電子情報通信学会総合大会, C-12-17, 2021年3月.
- [115] 関根光輝, 高野恭弥, 榎田洋太郎, “容量中和技術を用いた135GHz CMOS周波数3通倍器の設計,” 電子情報通信学会総合大会, C-12-18, 2021年3月.
- [116] 川原啓輔, 高野恭弥, 榎田洋太郎, “能動帰還を用いたインダクタレス広帯域能動バラン回路,” 電子情報通信学会総合大会, C-12-19, 2021年3月.
- [117] 酒井 元, 高野恭弥, 榎田洋太郎, “グラウンドシールド付きD帯CMOSマーチャントバラン,” 電子情報通信学会総合大会, C-12-20, 2021年3月.
- [118] 肥田, L. Y. GYUN, 西, 松本, 黒木, 沼, 毎田, 兼本, 廣瀬, “高効率パワーマネジメントシステムに向けた超低消費電力レギュレータの検討,” 電子情報通信学会 ICD/CAS研究会 学生・若手研究会, P-07, 2020年12月.
- [119] 西, 肥田, 松本, 黒木, 沼, 毎田, 兼本, 廣瀬, “極低電圧で動作するスイッチトキャパシタ型昇圧システムに向けたドライバ回路,” 電子情報通信学会 ICD/CAS研究会 学生・若手研究会, P-08, 2020年12月.
- [120] 中野, 池田, 瀬部, 毎田, 兼本, 廣瀬, “RFエネルギーハーベスティングに向けた極低電圧AC-DCコンバータの検討,” 電子情報通信学会 ICD/CAS研究会 学生・若手研究会, P-12, 2020年12月.
- [121] 池田, 瀬部, 中野, 毎田, 兼本, 廣瀬, “逐次比較型最大電力点追従制御を用いた小型太陽電池向け昇圧システム,” 電子情報通信学会 ICD/CAS研究会 学生・若手研究会, P-13, 2020年12月.
- [122] 瀬部, 池田, 中野, 毎田, 兼本, 廣瀬, “超低電圧で動作する基本論理ゲートとその応用,” 電子情報通信学会 ICD/CAS研究会 学生・若手研究会, P-14, 2020年12月.
- [123] 松本, 黒木, 沼, 毎田, 兼本, 廣瀬, “ヒステリシスコンパレータを使ったアクティブダイオードの評価,” 電子情報通信学会 ICD/CAS研究会 学生・若手研究会, P-15, 2020年12月.
- [124] 玉木 将一郎, 佐々木 昌浩, “インダクタを用いた Current-Mode Logic ドライバ回路の解析,” The 17th IEEE TOWERS, 2020年11月.
- [125] 須山 貴弘, 佐々木 昌浩, “Si基板上の平面アンテナの特性に関する研究,” The 17th IEEE TOWERS, 2020年11月.
- [126] 山本 大貴, 佐々木 昌浩, “オンチップ温度分布測定システムにおけるセンサ出力の差動化によるノイズ低減の検討,” The 17th IEEE TOWERS, 2020年11月.
- [127] 勝野 樹, 佐々木 昌浩, “可変遅延バッファを用いた電流型DA Converterの低グリッチ化に関する研究,” 電子情報通信学会 集積回路研究会 (ICD), 2020年12月.
- [128] XINYAO TONG, 佐々木 昌浩, “高精度 Band Gap Reference回路に関する研究,” 2021年電子情報通信学会総合大会, 2021年3月.
- [129] 友利, 長名, “Kyokko! ベンダ非依存な Aurora 互換高速シリアル通信コントローラの開発,” 電子情報通信学会リコンフィギャラブルシステム研究会, 2020年9月
- [130] 鶴剛, 田中孝明, 内田裕之, 佳山一帆, 児玉涼太, 松田真宗, 天野雄輝 (京都大学), 川人祥二, 安富啓太 (静岡大学), 亀濱博紀 (沖縄高専), 新井康夫, 倉知郁生 (KEK), 森浩二, 武田彩希, 西岡祐介, 行元雅貴, 三枝紀嵐, 米村修斗, 安藤大雅, 石田辰徳, 前野立樹 (宮崎大学), 幸村孝由, 萩野浩一, 林田光揮, 北島正隼 (東京理科大), SOI技術を用いた新型X線撮像分光器の開発46!現在の到達点と今後の開発, 日本天文学会2021年春季年会, オンライン, 2021年3月16-19日
- [131] 林田光揮, 幸村孝由, 萩野浩一, 北島正隼, 角町駿, 土居俊輝, 藤森蒼天, 前川航輝 (東京理科大学), 鶴剛, 田中孝明, 内田裕之, 佳山一帆, 児玉涼太, 松田真宗 (京都大学), 森浩二, 武田彩希, 西岡祐介, 行元雅貴, 米村修斗, 三枝紀嵐, 安藤大雅, 石田辰徳, 前野立樹 (宮崎大学), 新井康夫, 倉知郁生 (KEK), 北村尚 (QST), 川人祥二, 安富啓太 (静岡大学), 上野宗孝, 尾崎正伸 (JAXA), 中嶋大 (関東学院大学), SOI技術を用いた新型X線撮像分光器の開発47!X線SOIピクセル検出器のSEE耐性評価, 日本天文学会2021年春季年会, オンライン, 2021年3月16-19日
- [132] 北島正隼, 幸村孝由, 萩野浩一, 大野顕司, 根岸康介, 鍵田敬吾, 林田光揮 (東京理科大学), 鶴

- 剛, 田中孝明, 内田裕之, 佳山一帆, 児玉涼太(京都大学), 森浩二, 武田彩希, 西岡祐介, 日田貴熙, 行元雅貴, 米村修斗, 三枝紀嵐(宮崎大学), 新井康夫, 倉知郁生(KEK), SOI技術を用いた新型X線撮像分光器の開発42! Double-SOI構造を導入したX線SOIピクセル検出器のX線に対する放射線耐性の評価, 日本天文学会2020年秋季年会, オンライン, 2021年3月16-19日
- [133] 林田光揮, 幸村孝由, 萩野浩一, 大野顕司, 根岸康介, 鎌田敬吾, 北島正隼, 高田吉基(東京理科大学), 鶴剛, 田中孝明, 内田裕之, 佳山一帆, 児玉涼太(京都大学), 森浩二, 武田彩希, 西岡祐介, 日田貴熙, 行元雅貴, 米村修斗, 三枝紀嵐(宮崎大学), 新井康夫, 倉知郁生(KEK), 濱野毅, 北村尚(QST), 川人祥二, 安富啓太(静岡大学), SOI技術を用いた新型X線撮像分光器の開発43! 新規構造を導入したX線SOIピクセル検出器の放射線耐性の評価(2), 日本天文学会2020年秋季年会, オンライン, 2021年3月16-19日
- [134] 児玉涼太, 鶴剛, 田中孝明, 内田裕之, 佳山一帆, 天野雄輝(京都大学), 森浩二, 武田彩希, 西岡祐介, 行元雅貴, 米村修斗, 三枝紀嵐(宮崎大学), 新井康夫, 倉知郁生(KEK), 幸村孝由, 萩野浩一, 林田光揮, 北島正隼(東京理科大学), 川人祥二, 安富啓太(静岡大学), 亀濱博紀(沖縄高専), SOI技術を用いた新型X線撮像分光器の開発45! X線SOIピクセル検出器の軟X線性能, 日本天文学会2020年秋季年会, オンライン, 2021年3月16-19日
- [135] 飯村凌馬, 北村知士, 河原尊之, "イジングモデルLSI実装におけるキンググラフと全結合モデルの比較", 電子情報通信学会総合大会, 2020.3
- [136] 北村知士, 飯村凌馬, 河原尊之, "折り畳み相互作用を搭載した全結合イジングモデル回路", 電子情報通信学会総合大会, 2020.3
- [137] 飯村凌馬, 北村知士, 河原尊之, "スピンスレッド全結合イジングモデルのLSI実装", 電子情報通信学会総合大会, 2020.3
- [138] 山田海貴, 福原雅朗, "CMOS疑似ピリヤード制御回路の一検討", 2021年 電子情報通信学会総合大会, p.168, 2021年3月.
- [139] 吉田 建, 安田 彰, マルチコイルモータの動作不良時における出力最大化の基礎的検討, 電気学会全国大会, WEB24-C2, 5-119, 2021, 3月11日 オンライン.
- [140] Kohei Harada, Zheyi Li, SinNyoung Kim., Akira Yasuda, Laurent Berti, A 12-bit Successive Approximation Register Analog to Digital converter for Space Application in 22nm CMOS Technology, 電子情報通信学会総合大会, A-1-13, 2021, 3月10日, オンライン
- [141] 恩田耕太郎, 安田 彰, 偶高調波ミキサを用いた周波数変換機能を持つマルチビット $\Delta\Sigma$ ADCの検討, 電気学会電子回路研究会, ECT-021-020, 2021年3月6日, オンライン
- [142] 小野寺優輝, 西勝 聡, 安田 彰, マルチステートADCによる低消費電力超音波検知手法, 電子情報通信学会ソサエティ大会, A-1-6, 2020, 9月16日, オンライン
- [143] 鈴木隆生, 原田康平, 西勝 聡, 安田 彰, マルチプレクサを遅延素子に用いるSAR-TDCの提案, 電子情報通信学会ソサエティ大会, A-1-8, 2020, 9月16日, オンライン
- [144] 嘉藤貴博, 安田 彰, Multiplied $\Delta\Sigma$ TDCにおけるDynamic Element Matching特性の検討, 電子情報通信学会ソサエティ大会, C-12-22, 2020, 9月16日, オンライン
- [145] 山本竜也, 冨塚魁斗, 小林智和, 安田 彰, $\Delta\Sigma$ 変調を用いたマルチコイルモータにおける回転軸振動の低減方法, 電気学会電子回路研究会, ECT-020-099, 2020, 12月, オンライン
- [146] 三品恵一郎, 尾崎孝成, 安田 彰, 1bit $\Delta\Sigma$ 変調器を用いた回生機能付きマルチコイルモータの新駆動システム, 電気学会電子回路研究会, ECT-020-101, 2020, 12月, オンライン
- [147] 森 康 登, 長 谷 川 諒, Ronnakorn Siwadamrongpong, 鐘堂 健三, 寺澤 靖雄, 竹原 浩成, 春田 牧人, 田代 洋行, 笹川 清隆, 太田 淳, "慢性刺激に対応した人工視覚システム用AC駆動制御チップの設計," 2021年電子情報通信学会総合大会, 2021年3月.
- [148] Thanet Pakpuwadon, Kiyotaka Sasagawa, Mark Christian Guinto, Makito Haruta, Hironari Takehara, Hiroyuki Tashiro, Jun Ohta, "A self-reset CMOS imaging device with high capacitance photodiode," 第68回応用物理学会春季学術講演会, 2021年3月.
- [149] Kuangchih Tso, Yuki Fukunari, Mizuki Hagita, Hironari Takehara, Makito Haruta, Takurou

- Kouno, Yasuo Terasawa, Hiroyuki Tashiro, Kiyotaka Sasagawa, Pu-wei Wu, Jun Ohta, "A hexagon-assembly retinal prosthesis with chemical-derived IrOx bio-interfaces," 第68回応用物理学会春季学術講演会, 2021年3月.
- [150] 倉澤 和暉, 西郷 太輔, Guinto Mark Mark Guinto, 春田 牧人, 竹原 浩成, 田代 洋行, 笹川 清隆, 太田 淳, "低ストレス慢性脳表血流計測用CMOSイメージングデバイスの開発," 第68回応用物理学会春季学術講演会, 2021年3月.
- [151] 杉江 謙治, 笹川 清隆, 竹原 浩成, 春田 牧人, 田代 洋行, 太田 淳, "電気生理学的計測機能を搭載した生体埋植イメージセンサの試作," 第68回応用物理学会春季学術講演会, 2021年3月.
- [152] 岡田 竜馬, 笹川 清隆, 春田 牧人, 竹原 浩成, 田代 洋行, 太田 淳, "多層偏光子構造による高感度偏光変調検出イメージング," 映像情報メディア学会 創立70周年記念大会, 2020年12月.
- [153] Ronnakorn Siwadamrongpong, Kenji Sugie, Makito Haruta, Hironari Takehara, Hiroyuki Tashiro, Kiyotaka Sasagawa, Jun Ohta, "A small imaging system for dual-area imaging by CMOS imaging sensors," 情報センシング研究会 (IST), 2020年11月.
- [154] 西郷 太輔, Ronnakorn Siwadamrongpong, Mark Christian Guinto, 堀田 朱里, 春田 牧人, 竹原 浩成, 田代 洋行, 笹川 清隆, 太田 淳, "慢性脳血流観察にむけたCMOSイメージングデバイスの開発," 第37回「センサ・マイクロマシンと応用システム」シンポジウム・第12回集積化MEMSシンポジウム (FT2020), 2020年10月.
- [155] 邑上 貴秋, 太田 安美, 須永 圭紀, 河原 麻美子, 竹原 浩成, 春田 牧人 田代 洋行, 笹川 清隆, 太田 淳, "埋植型イメージングデバイスとマイクロダイアリスによるマウス腹側被蓋野神経活動と投射先におけるドーパミン放出の同時計測," 第68回応用物理学会春季学術講演会, 2021年3月.
- [156] Kyosuke Naganuma, Mana Hasegawa, Yasumi Ohta, Yoshinori Sunaga, Makito Haruta, Hironari Takehara, Hiroyuki Tashiro, Kiyotaka Sasagawa, Metin Akay, Jun Ohta, "ラットVTA小領域を対象とした活動電位記録デバイスの開発," 第37回「センサ・マイクロマシンと応用システム」シンポジウム・第12回集積化MEMSシンポジウム (FT2020), 2020年10月.
- [157] Pakpuwadon Thanet, "生体埋植用高SNR自己リセットイメージセンサ," d.lab-VDEC デザイナーズフォーラム2020, 2020年9月.
- [158] 杉江 謙治, "神経アンプ搭載生体埋植CMOSイメージセンサ," d.lab-VDEC デザイナーズフォーラム2020, 2020年9月.
- [159] 森 康登, "連続刺激を可能にするAC駆動人工視覚デバイスの設計," d.lab-VDEC デザイナーズフォーラム2020, 2020年9月.
- [160] 森 康登, 長谷川 諒, 鐘堂 健三, 寺澤 靖雄, 竹原 浩成, 春田 牧人, 田代 洋行, 笹川 清隆, 太田 淳, "多電極人工視覚のための慢性刺激回路の検討," 2020年電子情報通信学会ソサイエティ大会, 2020年9月.
- [161] 春田 牧人, 西郷 太輔, Ronnakorn Siwadamrongpong, Mark Christian Guinto, 堀田 朱里, 竹原 浩成, 田代 洋行, 笹川 清隆, 太田 淳, "小動物用小型イメージングデバイスによる動物の行動と脳機能の相互関連性の解明," 第81回応用物理学会秋季学術講演会, 2020年9月.
- [162] Barbara Sais, Ronnakorn Siwadamrongpong, Joshua Olorocisimo, Taisuke Saigo, Mark Christian Guinto, Makito Haruta, Hironari Takehara, Hiroyuki Tashiro, Kiyotaka Sasagawa, Jun Ohta, "Compact Fluorescent Cell Imaging System for Real Time Acquisition," 第81回応用物理学会秋季学術講演会, 2020年9月.
- [163] Thanaree Treepetchkul, Natcha Kulmala, Makito Haruta, Hironari Takehara, Hiroyuki Tashiro, Kiyotaka Sasagawa, Jun Ohta, "High Rejection of Excitation Light in Lensless Dual-color Fluorescence Imaging Using a Combination of Notch filter and Absorption filters," 第81回応用物理学会秋季学術講演会, 2020年9月.
- [164] 福成 由基, Kuang-Chih Tso, 春田 牧人, 寺澤 靖雄, 高野 拓郎, 竹原 浩成, 田代 洋行, 笹川 清隆, 太田 淳, "人工視覚用ハニカム型CMOSスマート電極アレイの新規実装工程の開発," 第81回応用物理学会秋季学術講演会, 2020年9月.
- [165] 長谷川 諒, 森 康登, 鐘堂 健三, 寺澤 靖雄, 竹原 浩成, 春田 牧人, 田代 洋行, 笹川 清隆, 太田 淳, "人工視覚システムに向けたAC駆動CMOS

- 整流器搭載チップの設計,"第81回応用物理学会
秋季学術講演会, 2020年9月.
- [166] Romeo B Rebusi, Mark Guinto, Yaumi Ohta, Mamiko Kawahara, Makito Haruta, Kiyotaka Sasagawa, Jun Ohta, "Simultaneous recordings of calcium signaling in the central amygdala and the dorsal raphe nucleus with the use of needle-type brain implants in mice experiencing nociception,"第43回日本神経科学大会, 2020年7月.
- [167] Olorocisimo Joshua Philippe, Briones Jeric, Rebusi Romeo, Ohta Yasumi, Haruta Makito, Sasagawa Kiyotaka, Ishida-Kitagawa Norihiro, Nakahata Yasukazu, Bessho Yasumasa, Ohta Jun, "Brain implantable CMOS image sensor for bioluminescent-reporter based analysis," 第43回日本神経科学大会, 2020年7月.
- [168] Ronnakorn Siwadamrongpong, Taisuke Saigo, Kenji Sugie, Yasumi Ohta, Makito Haruta, Hironari Takehara, Hiroyuki Tashiro, Kiyotaka Sasagawa, Jun Ohta, "Small and high-frame rate imaging system for implantable CMOS image sensor," 令和2年度E部門総合研究会, 2020年7月.
- [169] Erus Rustami, Kiyotaka Sasagawa, Thanet Pakpuwadon, Yasumi Ohta, Hironari Takehara, Makito Haruta, Jun Ohta, "Fabrication of Large-Size and High-Uniformity Thin Composite Emission Filter for Lens-Free Fluorescent Imager," 情報センシング研究会 (IST), 2020年7月.
- [170] Guinto Mark Christian S, Ohta Yasumi, Kawahara Mamiko, Olorocisimo Joshua, Rebusi, Jr. Romeo, Takehara Hironari, Haruta Makito, Sasagawa Kiyotaka, Ohta Jun, "Real-time visualization of neuronal activity in the hippocampus of freely moving GCaMP transgenic mice using a micro-imaging device," 第43回日本神経科学大会, 2020年7月.
- [171] 高橋康宏, 大橋遼介, "ブートストラップ構造を有する断熱的暗号論理回路の耐性評価," 2020年電気学会電子回路研究会, vol.ECT-20, pp.1-6 (ETC-20-75), Dec. 2020.
- [172] 子安博貴, 高橋康宏, "断熱的論理によるガロア体乗算器の設計と評価," 2020年電気学会電子回路研究会, vol.ECT-20, pp.7-12 (ETC-20-76), Dec. 2020.
- [173] 小椋鉦平, 高橋康宏, "断熱的論理によるSRAM PUFのポストレイアウトシミュレーション評価," 2020年電気学会電子回路研究会, vol.ECT-20, pp.13-17 (ETC-20-77), Dec. 2020.
- [174] 小田麻矢, 上野嶺, 本間尚文, 井上明子, 峯松一彦, "メモリ保護方式ELMのハードウェア設計とその評価," 2021年暗号と情報セキュリティシンポジウム (SCIS 2021), No. 4D1-2, online, January 2021.
- [175] 柳生佑介, 上野嶺, 本間尚文, "即時に故障検出可能な高効率AESハードウェアの検討," ハードウェアセキュリティ研究会, 信学技報, Vol. 120, No. 211, HWS2020-31, pp. 3641, online, October 2020.
- [176] 伊東 燦, 上野 嶺, 本間 尚文, "決定グラフ表現に基づくハードウェアトロイ検知手法," 第43回多値論理フォーラム, September 2020.
- [177] 浅野, 菅原, "ALU 内部のビット非独立なリーケージのシミュレーション評価," 2021年暗号と情報セキュリティシンポジウム (SCIS2021), 2D1-2, 2021.
- [178] 室原, 坂野, 木村, 今川, 越智, "太陽電池混載チップでのCMOS互換回路による電源電圧変動に頑強な温度センサの測定", 信学技報, vol. 120, no. 400, VLD2020-74, pp. 32-37, 2021年3月.
- [179] 三浦, 吉田, 山村, 中野 "セルフオシレーティングチャージポンプの多段化手法の検討" IEICE ICD/CAS 12月学生若手研究会, 2019年12月17-18日熱海, オンライン
- [180] 小貫, 八木, 板倉, 三河, 三井, 中野 "超音波がん治療を目的とした送信回路集積化の検討" IEICE ICD/CAS 12月学生若手研究会 2019.12.17-18 熱海, オンライン
- [181] 八木, 三河, 板倉, 小貫, 三井, 中野 "合成開口超音波イメージング用受信回路の集積化 IEICE ICD/CAS 12月学生若手研究会 2019.12.17-18 熱海, オンライン
- [182] 牧野 紘史, 四柳 浩之, 橋爪 正樹, "3D ICの検査容易化設計における遅延故障検査用ダイ選択回路の開発", 電子情報通信学会ソサイエティ大会講演論文集, p.52, 2020年9月
- [183] 出口 祥大, 松本 悠汰, 四柳 浩之, 橋爪 正樹,

- Shyue-Kung Lu, "電荷注入量によるCMOS IC内断線の実験による検出可能性調査", 電子情報通信学会ソサイエティ大会講演論文集, p.53, 2020年9月.
- [184] 奥本 裕也, 曾根田 伴奈, 橋爪 正樹, 四柳 浩之, Shyue-Kung Lu, "電流テストによるダイ間断線検出のためのpMOSのオン抵抗値を用いた断線抵抗値の推定", 電子情報通信学会ソサイエティ大会講演論文集, p.54, 2020年9月
- [185] 大寺 佑都, 裕 文弥, 伊喜利 勇貴, 四柳 浩之, 橋爪 正樹, Shyue-Kung Lu, "アナログ素子で構成する弛緩発振器によるCMOS IC内温度測定", 電子情報通信学会ソサイエティ大会講演論文集, p.55, 2020年9月.
- [186] 裕 文弥, 伊喜利 勇貴, 橋爪 正樹, 四柳 浩之, 横山 洋之, Shyue-Kung Lu, "弛緩発振器を用いた組込み型温度センサによる温度推定の可能性", 電気・電子・情報関係学会四国支部連合大会講演論文集, p.9-2, 2020年9月..
- [187] 長田 奏美, 四柳 浩之, 橋爪 正樹, "遅延故障検査容易化設計を用いる検査対象経路の選択手法", 電気・電子・情報関係学会四国支部連合大会講演論文集, p.10-1, 2020年9月.
- [188] 福田 康介, 四柳 浩之, 橋爪 正樹, "3D ICにおける遅延故障検査容易化設計用のクロック制御回路について", 電気・電子・情報関係学会四国支部連合大会講演論文集, p.10-2, 2020年9月
- [189] 福田 康介, 四柳 浩之, 橋爪 正樹, "微小遅延故障検査容易化設計用テストクロック制御回路の検討", 第35回エレクトロニクス実装学会春季講演大会, 18B2-01, 2021年3月.
- [190] 有元 康滋, 牧野 紘史, 四柳 浩之, 橋爪 正樹, "TDC組込み型バウンダリスキャンの観測セル部分選択による検査時間削減について", 第35回エレクトロニクス実装学会春季講演大会, 18B2-02, 2021年3月
- [191] 嶋田, 北田, 神田, 藤田, 前中, "小型内視鏡のための圧電MEMSミラーとその駆動回路", 第12回集積化MEMSシンポジウム, 28A3-AP-4, 2020年
- [192] 崔, "MLCC on Silicon スイッチトキャパシタDC-DCコンバータ", 電子情報通信学会総合大会, C-12-28, オンライン開催, 2021年3月.
- [193] 藤井陸功, 遠藤孔輝, 三田梓郎, 山口直弥, 呉研, 高橋芳浩:「トンネルFETの出力特性改善に関する検討」, 第68回応用物理学会春季学術講演会, 16a-Z26-3, 2021.3.16.
- [194] 市川, 田中, 秋山, "マイクロマニピュレータ機能を持つ蛍光センサの磁気ビーズ収集特性", 令和3年電気学会全国大会, 2-107, p.117, 2021年3月.
- [195] 北村, 高橋, 淀, 秋山, "ガードリングにNwellを用いたCMOS_APDの高耐圧化", 令和3年電気学会全国大会, 3-008, p.10, 2021年3月.
- [196] 中里 優弥, 古賀 大顕, 趙 謙, 尼崎 太樹, 久我 守弘, 飯田 全広, "少構成メモリ論理セルSLMを用いたFPGA-IP", 信学技報, vol.120, no.339, RECONF2020-80/VLD2020-61/CPSY2020-44, pp.125-130, 2021年1月
- [197] 佐々木芳樹, 佐伯勝敏, "パルス形ハードウェアニューロンモデルを用いたホップフィールドネットワークの時系列パターン想起に対する検討", 電子情報通信学会ニューロコンピューティング研究会技術報告, NC2020-29, pp.7-12, オンライン, 2020.12.18.
- [198] 山口拓人, 佐伯勝敏, 佐々木芳樹, "パルス形ハードウェアニューラルネットワークのカオス同期に対する一検討", 電気学会電子回路研究会, ECT-20-098, pp.119-122, オンライン, 2020.12.18.
- [199] 鈴木克典, 佐々木芳樹, 佐伯勝敏, "二足歩行ロボットのためのフィードバック信号を用いた神経回路網を模倣した電子回路モデル", 電気学会電子回路研究会, ECT-20-094, pp.103-106, オンライン, 2020.12.18.
- [200] 佐々木芳樹, 佐伯勝敏, "負性抵抗特性制御回路を用いたパルス形カオスニューロンモデルに対する検討", 電気学会電子回路研究会, ECT-20-080, pp.29-34, オンライン, 2020.12.17.
- [201] 日比, 津田, 五島, "低電源電圧 A/D 変換回路を見据えたレイアウト設計" 電気電子情報関連学会東海支部, E3-7, 2020年9月
- [202] 安丸暢彦, 伊東健治, 田村俊樹, 坂井尚貴, 牧野 滋, "1次元配列AMC基板上の高インピーダンス折り返しダイポールアンテナと高感度レクテナへの適用", 信学技報, vol.120,no.280,MW2020-79,pp.48-53, 2020年12月.
- [203] 廣野敦哉, 土本隼也, 伊東健治, 坂井尚貴 "Cross coupled CMOS pairを用いる2.4 GHz帯SOI-

- CMOS 整流器 IC", 信学技報, vol.120,no.280,MW2020-79,pp.42-47, 2020年12月.
- [204] 安丸暢彦,伊東健治,田村俊樹,坂井尚貴,牧野滋, "AMC基板上に配置したレクテナ用折り返しダイポールアンテナのインピーダンス解析", 2020信学ソ大C-2-12, 2020.
- [205] 小野義基,宇佐美公良, "ディープラーニングモデルのMRAM格納時におけるApproximate Computingを用いたエネルギー削減手法", VLD2020-67, 2021.3.3 (オンライン開催).
- [206] 石原浩樹,宇佐美公良, "不揮発性フリップフロップを利用した個体認証技術PUFの検討とモデル化攻撃への耐性評価", VLD2020-37, 2020.11.18 (オンライン開催).
- [207] 小野義基,宇佐美公良, "Approximate Computingを用いた不揮発性メモリへの画像データ書き込みにおけるエネルギー削減手法", VLD2020-38, 2020.11.18 (オンライン開催).
- [208] 渡辺達也,宇佐美公良, "チャンネル長変調と基板バイアス制御を用いたレベルシフトレス設計の検討", VLD2020-8, 2020.6.18 (オンライン開催).
- [209] 笈川智秋,宇佐美公良, "3次元積層チップの発熱時における熱過渡解析と温度制御回路の設計", VLD2020-9, 2020.6.18 (オンライン開催).
- [210] 宮内 亮太, 弘中 哲夫, "小規模プロセッサ Templeを用いた制御用SoCの設計", 2020年度(第71回)電気・情報関連学会中国支部連合大会, R20-19-02-03, p.1, 2020年10月.
- [211] 宮内 亮太, 川端英之, 弘中 哲夫, "多倍長計算の仮数部計算高速化のための粗粒度再構成可能なアーキテクチャの検討", 情報・システム講演論文集1, D-6-1, p.42, 2021年3月.
- [212] 川本, 木村, 増澤, "集積化磁気センサにおけるロックイン検出への相関2重サンプリングの導入", 令和2年度電気学会東京支部茨城支所研究発表会, 2021年2月.
- [213] 中山, 木村, 増澤, "スパイラルコイルと平行配線の組み合わせによる磁気ビーズの連続移動に関する研究", 令和2年度電気学会東京支部茨城支所研究発表会, 2021年2月.
- [214] 吉田僚一郎, 木村有佐, 安藤幹, 大島佑太, 鍋屋信介, 平川顕二, 岩瀬正幸, 小笠原宗博, 依田孝, 石原昇, 伊藤浩之「高累積線量におけるELTの耐放射線評価と放射線劣化モデルの検討」第68回 応用物理学会春季学術講演会, 18a-Z11-1, オンライン, 2021年3月16日-19日.
- [215] 木村有佐, 吉田僚一郎, 安藤幹, 大島佑太, 鍋屋信介, 平川顕二, 岩瀬正幸, 小笠原宗博, 依田孝, 石原昇, 伊藤浩之「リング発振回路におけるELTの耐放射線評価」第68回 応用物理学会春季学術講演会, 18a-Z11-2, オンライン, 2021年3月16日-19日.
- [216] 柴田滉平, 市川 崇志, 古賀 達也, 町田 克之, 益一哉, 石原昇, 飯田 慎一, 伊藤 浩之, 「高分解能単一Au 錘CMOS-MEMS 加速度センサの検討」第12回集積化MEMSシンポジウム, 27A2-AP-1, オンライン, 2020年10月26日-10月28日.
- [217] 吉田僚一郎, 木村有佐, 安藤幹, 大島佑太, 鍋屋信介, 平川顕二, 岩瀬正幸, 小笠原宗博, 依田孝, 石原昇, 伊藤浩之「高累積線量におけるMOSFETのゲートバイアス特性比較」第81回 応用物理学会秋季学術講演会, 8a-Z14-10, オンライン, 2020年9月8日-11日.
- [218] 結城主, 森下賢幸, 小椋清孝, 伊藤信之, "高周波電圧制御発振器に適した3次元ストライプトインダクタの最適構造の検討", 2020年度(第71回)電気・情報関連学会中国支部連合大会, R20-12-01-05, オンライン, 2020年10月24日.
- [219] 田島直樹, 小椋清孝, 森下賢幸, 伊藤信之, "インダクタ結合Class-C発振器におけるインダクタ構造の検討", 2020年度(第71回)電気・情報関連学会中国支部連合大会, R20-12-01-04, オンライン, 2020年10月24日.
- [220] 澤山唯人, 森下賢幸, 小椋清孝, 伊藤信之, "低ゲイン偏差・低雑音二帯域同時受信LNAの検討", 2020年度(第71回)電気・情報関連学会中国支部連合大会, R20-12-01-02, オンライン, 2020年10月24日.
- [221] 金田直樹, 森下賢幸, 小椋清孝, 伊藤信之, "低位相雑音ローカル発振器回路に関する検討", 2020年度(第71回)電気・情報関連学会中国支部連合大会, R20-12-01-01, オンライン, 2020年10月24日.
- [222] 宮崎和哉, 森下賢幸, 小椋清孝, 伊藤信之, "MOSFETの弱反転領域で動作する高周波増幅器の検討", 2020年電子情報通信学会ソサイエティ大会C-12-16, オンライン, 2020年9月15日.
- [223] 原拓実, 吉田隼, 塩津勇作, 山本修一郎, 菅原

- 聡, “ニアスレッショルド電圧動作 ULVR-SRAM セルの設計”, 第68回応用物理学会春季学術講演会, 2021年3月16日-19日, paper 17a-Z26-4.
- [224] 塩津勇作, 山本修一郎, 菅原聡, “超低電圧リテンションSRAM (ULVR-SRAM) のエネルギー極小点動作”, 第68回応用物理学会春季学術講演会, 2021年3月16日-19日, paper 17a-Z26-5.
- [225] 吉田隼, 塩津勇作, 山本修一郎, 菅原聡, “ULVR-SRAM を用いたキャッシュのパワーゲーティング性能”, 第68回応用物理学会春季学術講演会, 2021年3月16日-19日, paper 17a-Z26-6.
- [226] 瀧口憲一郎, 塩津勇作, 松崎翼, 山本修一郎, 菅原聡, “超低電圧リテンションフリップフロップ (ULVR-FF) のエネルギー極小点動作”, 第68回応用物理学会春季学術講演会, 2021年3月16日-19日, paper 17a-Z26-7.
- [227] 吉田隼, 北形大樹, 山本修一郎, 菅原聡, “各種リテンションSRAM のパワーゲーティングにおける電力削減効率に関する電源遮断可能時間分布の影響”, 第81回応用物理学会秋季学術講演会, 2020年9月8日-11日, paper 11a-Z09-11.
- [228] 塩津勇作, 北形大樹, 山本修一郎, 菅原聡, “新型超低電圧リテンションSRAM マクロの設計と解析”, 第81回応用物理学会秋季学術講演会, 2020年9月8日-11日, paper 11a-Z09-10.
- [229] 瀧口憲一郎, 北形大樹, 松崎翼, 山本修一郎, 菅原聡, “新型超低電圧リテンションFF の提案”, 第81回応用物理学会秋季学術講演会, 2020年9月8日-11日, paper 11a-Z09-12.
- [230] 北形大樹, 吉田隼, 塩津勇作, 山本修一郎, 菅原聡, “新型超低電圧リテンションSRAM セルの設計と解析”, 第81回応用物理学会秋季学術講演会, 2020年9月8日-11日, paper 11a-Z09-9.
- [231] 小谷光司, 「環境電波発電／無線電力伝送向け高周波整流回路技術」, エネルギーハーベスティングコンソーシアム意見交換会講演, 2021年2月
- Enables Flexible Functional Brain Imaging”, Optogenetics! Light-Sensing Proteins and Their Applications in Neuroscience and Beyond (Advances in Experimental Medicine and Biology, 1293), pp.471-479
- [2] Tetsu Tanaka, Norihiro Katayama, Kazuhiro Sakamoto, Makoto Osanai, and Hajime Mushiake, “Multimodal Functional Analysis Platform! 2. Development of Si Opto-Electro Multifunctional Neural Probe with Multiple Optical Waveguides and Embedded Optical Fiber for Optogenetics”, Optogenetics! Light-Sensing Proteins and Their Applications in Neuroscience and Beyond (Advances in Experimental Medicine and Biology, 1293), pp.481-491
- [3] Norihiro Katayama, Mitsuyuki Nakao, Tetsu Tanaka, Makoto Osanai, and Hajime Mushiake, “Multimodal Functional Analysis Platform! 3. Spherical Treadmill System for Small Animals”, Optogenetics! Light-Sensing Proteins and Their Applications in Neuroscience and Beyond (Advances in Experimental Medicine and Biology, 1293), pp.493-500
- [4] Hajime Mushiake, Tomokazu Ohshiro, Shin-ichiro Osawa, Ryosuke Hosaka, Norihiro Katayama, Tetsu Tanaka, Hiromu Yawo, and Makoto Osanai, “Multimodal Functional Analysis Platform! 4. Optogenetics-Induced Oscillatory Activation to Explore Neural Circuits”, Optogenetics! Light-Sensing Proteins and Their Applications in Neuroscience and Beyond (Advances in Experimental Medicine and Biology, 1293), pp.501-509
- [5] 虫明 元, 田中 徹, 片山 統裕, 小山内 実, “多機能整理計測プラットフォーム電気生理, イメージング, マンガン造影, 小動物仮想現実”, マウス・ラットモデル作製・解析プロフェッショナル (羊土社), pp.202-220
- [6] 佐伯勝敏, “2足/4足歩行ロボット制御の実験に! ディスクリット中枢パターン発生器”, トランジスタ技術, 10月号, CQ出版社, pp.94-101, 2020.9.10.

著書

- [1] Makoto Osanai, Hideki Miwa, Atsushi Tamura, Satomi Kikuta, Yoshio Iguchi, Yuchio Yanagawa, Kazuto Kobayashi, Norihiro Katayama, Tetsu Tanaka, and Hajime Mushiake, “Multimodal Functional Analysis Platform! 1. Ultrathin Fluorescence Endoscope Imaging System

D. VDECの利用規程・申し込みガイド

D.1 概要

VDECは、全国の大学・高専向けに様々な支援事業を実施している。

1. CADツールの共同利用
2. VLSI試作サービスの共同利用
3. CADツール講習会(8-9月・3月)
4. 社会人リフレッシュ教育(6月-8月, 学生も参加可能)
5. VLSIデザイナーフォーラム(若手の会)
6. 大型装置利用

CADベンダー、試作会社等のアカデミック向けの協力により、それぞれのサービスを大幅なアカデミックディスカウントで提供している。VDEC設立以来、これまでの実績では、CADの利用・CAD講習会は無償、LSI試作サービスは海外での類似サービスの半額以下、大型装置は消耗品実費負担のみとなっている。見返りとして、ユーザにはVDECを利用する「顧客」ではなく、VDECと一緒にサービスを向上させる「主体」としての自己研鑽と協力を期待している。全国の研究室がバーチャルな一つの研究室として助けあいができるような状況を理想とし、限られたスタッフの中、日々支援活動を行っている。

サービスの対象は基本的には、大学・高専であり、端的にはメールアドレスとして「.ac.jp」を持つ教員と、その研究室内の教職員と学生を対象とする。それ以外の研究所の利用や、企業との共同研究については個別の判断を要する。特にCADツールについてはCADベンダーとのライセンス規定に抵触しないよう細心の注意が必要であるため、VDECの担当者(vdec@vdec.u-tokyo.ac.jp)に必ず相談いただきたい。その他のサービスについてはVDECの裁量範囲が広がるので可能性が高くなるが、こちらもあらかじめ相談いただきたい。企業との共同研究については、少なくとも非営利、アカデミック側が51%以上のイニシアチブを取る研究であることが必要である。

また、CADの申込や試作申込、装置利用申込など、契約にかかわる作業は全て、代表の教員の方々に行っていただくことをお願いしている。研究室のメンバが代理で行うことも現実には可能であるが、その場合もあくまで教員の了解をとり、代理としての心構えで望んでいただきたい。

VDECのシステムは、InternetとUnix operating

systemの上になりたっているので、Internetの仕組やUnixについての素養はあらかじめ付いていることを期待している。従って、利用でトラブルが起こったときには研究室や学校のネットワーク管理者と十分連絡をとって、問題を切りわけながら対処することが勧められる。

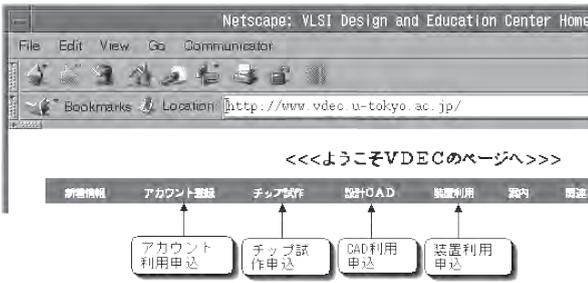
D.2 まずはじめに

VDECからのお知らせ、また講習会・リフレッシュ教育を除く全ての申込や問い合わせには、VDECのWEBページ <http://www.vdec.u-tokyo.ac.jp/> を用いている。一部のページは秘密等が含まれるため、WEBアクセス用アカウント・パスワードならびにアクセスしているマシンのInternet Protocol (IP) アドレスによって制限をかけている。

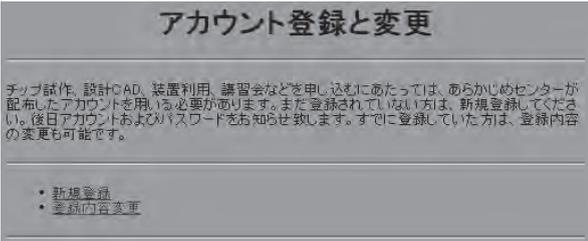
従って、VDECを利用したい場合、前もって教員によるアカウントの申請が必要である。登録は無料。資格の審査を行うため十分な(サービス開始前1ヶ月以上)時間的余裕をもって、申込をお願いしたい。申込から概ね数週間が経過した後、WEBページアクセス用のアカウントとパスワードが発行される。アカウントは、半角英大文字2字+半角数字5桁(例: VD00000)からなる。

申込で特に注意する点は、VDECのWEBにアクセスしたい研究室のマシンのIPアドレスを入力することである。学校の中にあるマシンからのみアクセスを許可しており、プロバイダーのアドレスならびに、Proxyサーバのアドレス登録は禁止する。入力の際は、133.11.58.4,133.11.58.5のように、IPアドレスを全て「半角」の英数字で、「,」(半角カンマ)で区切って、途中改行を入れずに入力する。また、ここで入力するアドレスは、「ネットワークの外部から見えるアドレス」であることに注意する。特に、NAT (IP masqueradeというプログラム名で呼ばれることもある。機能としてはNATが正しい。)で研究室内をローカルネットワークにしている場合は、NATサーバのアドレスを入力する。よくある間違いとして、ローカルネットワークのIP、例えば「192.168.X.XX」を登録したためアクセスできなくて困っている例がある。

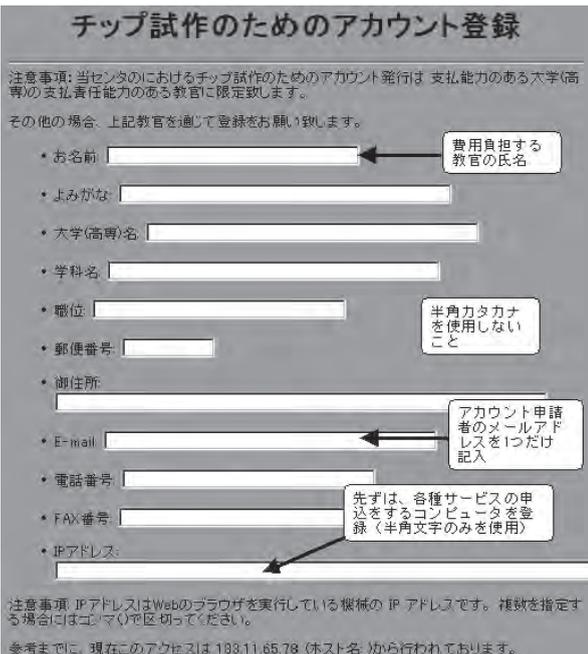
ネットワークが変更になるとか、研究室のマシン増設などでIPアドレスを変更する場合は同じく、申込のページから「登録内容変更」を行う。特に、古いIPが



図D.1 VDECホームページのインデックスフレーム



図D.2 アカウント登録・変更ページの入口



図D.3 アカウントの新規登録の注意点

使えなくなるといった大幅なネットワークの変更がわかっている場合は、まえもって新旧両方のアドレスを登録しておく。万一アクセスできなくなった場合は、「新規登録」を行い、同じE-Mailアドレスを入力することで書き換えが可能である。

【登録するIPアドレスに関する要件】

- アクセス制限を行わないページのみを参照するコンピュータのIPアドレスを登録する必要はない
- IPアドレスの登録数には制限を設けないが、管理の行き届いたコンピュータのみに限定すること
- DHCPサーバにより動的に割り当てられたIPアドレ

スやローカルアドレスなどは登録できない(しても意味が無い)

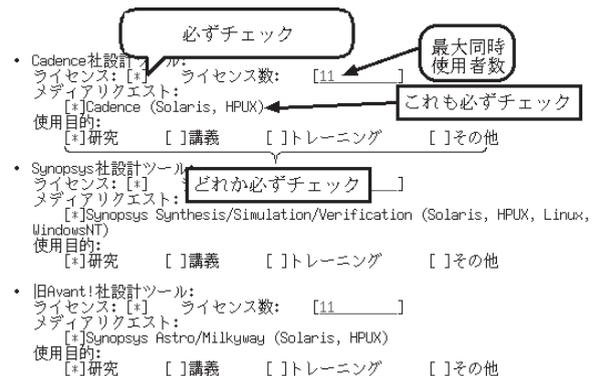
- Proxyサーバ等を介さないアドレスを指定すること。これは、設計規則等の機密情報がProxyサーバに残ってしまい、機密漏洩につながることを防ぐためであるので守っていただきたい。但し、ファイアウォールが設置されているなど学内の事情により直接のアクセスが行えない場合にはその限りではない

D.3 CADツールの共同利用

VDECでは、集積回路の上流から下流まで一連の設計を行うためのCADツールを提供している。これらのソフトウェアは、VDECのVLSI試作以外のアカデミック用途(MOSIS-VDECを通じた試作、教育用の演習、EB等VDECの大型装置利用のためのデータ作成用、等)の利用も可能である。アカデミック向けであるから、企業との研究の際は利用の可・不可が場合により異なるので、心配な場合あらかじめ相談いただきたい。

1つの設計作業を行うために、2つ以上のベンダーからCADを選べる状況(二重化)を理想としている。LSIの設計には、CADソフトと共に、パラメータやライブラリが必要であるが、これも職員や関連研究室のボランティアにより、充実のための努力が払われている。ボランティアとしての協力は大変に歓迎される。

CAD申込のWEBページに教員がアクセスする(WEBアカウントが必要である)。NDA事項を了解いただきサイン入りの文書をVDECセンター長室に送付した後、CADの申請ができる。



図D.4 CAD利用申込フォームの「ライセンス数の登録」パート記入における注意点

申請時にWEBから入力する内容は以下のとおり。

- ソフトウェアライセンス数(研究室で同時に使用すると思われる最低数を入力)
- 用途
- メディアリクエスト(使用するOperating Systemを選んでチェックする)。
- 利用する研究室所有ワークステーションのホストネーム(VDEC, 端的にはusr1から名前→IPアドレスの解決ができる, 「.ac.jp」で終わるホスト名であることが条件。)

ソフトウェアのCDROM(メディア)について, VDECの創設期においては, メディアを近隣の研究室で「回覧」していたが, インターネットの発達により回線が豊富になったので, 現在ではCDに書き込めるISOイメージファイルで提供している。VDECホームページの「ライセンスファイルの配布>ここから」からダウンロードできるようにある。当然ながら, VDECのユーザアカウントとパスワードが必要となるため, CADを申請してから数週間程度の時間差が必要となるであろう。

メディアをダウンロードした後, プログラムをインストールし, 初期設定ファイルを整備する。特に, ライセンスファイルはWEB経由で別途取得の上設定するか, 環境変数LM_LICENSE_FILE等を(ライセンスサーバのポート番号)@(ライセンスサーバ)の形式で設定する。また, /etc/hostsファイル等を設定し, ライセンスサーバを「ローカルのネットワーク相当でアクセスできるように」する。端的には, 手元のワークステーションにおいて, 例えば「vdec-cad1」と指定だけで, FQDN形式の「vdec-cad1.vdec.u-tokyo.ac.jp」のマシンのIPアドレスが引けるように設定する。

CADツールを実行するためには, VDECまたは地域拠点校のライセンスサーバによる認証が必要である。ライセンスファイルまたは環境変数の変更により認証を行うライセンスサーバを切り替えることが出来るので, VDECまたは地域拠点校のどちらかのライセンスサーバがメンテナンス等の事情により停止している場合でも, 稼働中のもう一方のライセンスサーバを選択することによりCADを実行することが可能である。また, ライセンスサーバの認証は, CADツール起動後も数分おきに行われるので, CADツールを実行中は常時ライセンスサーバとの通信が可能な状態しておかなければならない。また, ファイアーウォールを使用しているネットワーク環境では, VDECのWebサーバとVDECおよび地域拠点校に対して, ライセンス認証用

の特定のポートを空ける必要がある。この場合, 各大学・高専のネットワーク管理者と相談すること。

初期設定等はやり方を一度経験すれば簡単であるが, はじめてのときは様々な問題が起こることもある。VDECに対する大幅なアカデミックディスカウントの引き換えとして, 各研究室はCADベンダーによる直接のサポートを受けられない。かわりにVDECでは, 「CADuser@vdec.u-tokyo.ac.jp」メーリングリストを用意している。質問はこちらのメーリングリストを利用いただきたい。CADを利用する研究室の構成員のどなたでも投稿, 返答してよい。CADuser MLの注意点は以下のとおり。

1. WEBページから, 利用するメンバのE-Mailアドレスを登録すること。特にその際, 「.ac.jp」で終わるアドレスを利用し, メールはプロバイダ等に転送しないこと(情報漏洩の観点から)。
2. リストの更新は頻繁におこない, 卒業生へのメール配信は速やかに停止すること。特に4月に注意。
3. メールをする前に, あらかじめCADuser MLの過去記事検索がWEBからできるので, 類似の質問が無いかどうか検索してから投稿すること。
4. 機密保持にかかわるような内容のメールは, CADuserに送ってはならない。各試作のメーリングリストに送ること
5. 問題解決したら, 問題, 原因, 解決法をまとめて投稿すること(必須ではないが, ネット利用のエチケットといえる)。

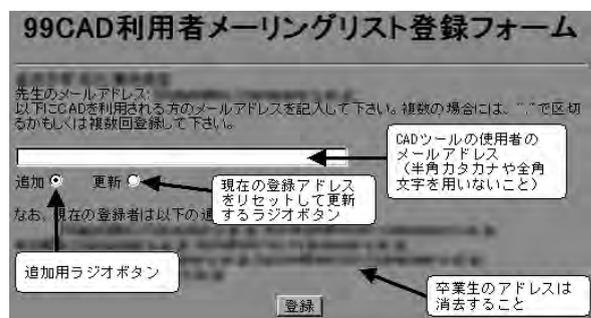


図 D.5 CAD利用者メーリングリスト登録における注意点

ライセンスは年度単位で申込みを受けつけしている。各CADベンダーとVDECとの交渉がまとまる毎年3月末に、CADuser MLとWEB上に、次年度のCAD利用申込案内が出るので忘れずに申込する。4月中は移行期間として前年度申込のライセンスも有効にしてあるが、4月末に切れるため、そのときになって慌てる例が毎年発生している。「永久ライセンスではない」ことに十分ご注意ください。

【毎月注意を払うべき点、熟読必須。】

1. VDECでは、CADを使用できる計算機のリスト（アクセスリストと呼ぶ）を半年毎に更新している。このときDNSの逆引きができなくなっていた等の何らかの不具合で、アクセスリストに自分の計算機が登録されない場合がある。その場合、CADが使えなくなるので、アクセスリスト更新前に対処する必要がある。サーバの停止は、全国ユーザに影響が及ぶため頻繁には行えないので、万が一アクセスリストの不備に気づかなかった場合は、最悪半年以上CADが使用できなくなる。
2. 以上の理由で、VDECから「CADのアクセスリストを更新します」というアナウンスがあった場合、必ずチェックを行い、自分のコンピュータが登録されていることを確認しなければならない。
3. 登録確認のページは、http://www.vdec.u-tokyo.ac.jp/CAD/cad_access_list.htmlである。ブックマークを強くお勧めする。
4. IPアドレス(ホスト名) registered という表示が出ていれば登録されている。
5. false(false(ホスト名)) FAIL という表示が出ていれば登録に失敗しているため、原因を探る。

一般的に、DNSの逆引き（ホスト名からIPアドレスを引く）に失敗していることが多い。研究室のネットワーク管理者とも相談して、VDECのサーバから、当該ホスト名の逆引きができるまで原因の除去を行う。

D.4 VLSI 試作サービスの共同利用

VLSI試作サービスは、教育研究目的に限って認められる。WEBページに本年度のランが掲示され、数ヶ月前から試作が申込可能になり、リンクが張られる。まず、試作会社の持つ機密情報に対するNDA契約を行う。これはVDECホームページの「試作関係>試作案内>機密保持契約(NDA)の文面」より、希望プロセスのNDAにサインしてVDECに郵送し、VDEC側で手

続き終了後にNDA締結となり、設計規則やライブラリにアクセスできるようになる。設計規則はWEB経由のアクセスならびに、WEBでの公開を禁止している会社の場合はCDROM等で送付される。NDAの対象は教員であるが、研究室の職員・学生にも同じNDAが適用されるため、取扱には細心の注意を払っていただきたい。尚、秘密保持契約内容は、以降の同一プロセスによるチップ試作全てにおいて有効である。

試作申込はデザイン提出日切日の6~3ヶ月前、キャンセルの日切は1ヶ月前である。1ヶ月前より遅くなったキャンセルには、原則として試作代金をお支払いいただくので注意いただきたい。特にはじめて試作に参加される場合は、1ヶ月前には回路ができていくくらいの、余裕をもったスケジュールを組まれることを強くお勧めする。

VLSI申込フォームの入力に関する注意点 (図5.8)

- 希望チップ寸法の項目のチェックボックスを必ずチェックした上で希望チップ数を入力すること。チェックを行わないと入力した数字は無効となる
- チップ数入力には半角数字を用いる

設計に関する問い合わせについては、各試作についてメーリングリストを用意してあるので、設計者全員のメールアドレスを登録する。「.ac.jp」で終わるアドレスであり、プロバイダに転送をしないよう注意願いたい。これらメーリングリストの過去記事検索もできる。

図D.6 VLSI 試作メーリングリスト登録ページの注意点

レイアウトを設計した後、VDECが提供する最新のDesign Rule Checkファイルでチェックを行い、エラーフリーになったものを提出する。また、シミュレーションはもちろんのこと、レイアウトが回路図と同等であることを確認する Layout Vs Schematic (LVS) チェックを通して、提出しようとする回路が本当に動作しそうである確信を持つておくことは最低限必要であろう。デザインの提出は指定されたVDECページから行う。提出時にVDEC側で最終DRCを実行する。ここでエラーが出たチップは提出できない。必ず自分の

環境でDRCフリーにしてからチップを提出すること。

提出切は月曜日に設定されていることが多いが、できる限り余裕をもって、前の週などに提出をいただきたい。また、月曜日に締め切った後、VDEC側でさらにデザインルールをチェックしている。この際本来出てはいけないエラーが出ることもあり、出た場合設計者に修正のお願いを連絡するので、提出したからといって安心せず、1週間ほどはVDECからの連絡に注意願いたい。

デザイン提出から数ヶ月後に、VLSIチップが納品され、請求書も送付されるので、遅滞なく支払をお願いする。

D.5 CADツール講習会

CADベンダーとの契約により、個々のサポートは提供しないかわりに、毎年2回、夏と春とCAD講習会を開催している。東京大学の武田先端知ビルセミナー室にてメイン会場として開催され、各地方の拠点校へサブ会場としてストーリーミング配信される。まずはこういった講習会に参加し、大体の知識を付けてから実際の試作なりCAD利用を行うことをお勧めしている。アナウンスはCADUser メーリングリストで流れる。また、申込は、VDECのWEBページから行う。

D.6 社会人・大学リフレッシュ教育

CADツール講習会からさらに進んだ形で、VDEC環境での回路設計、アナログ回路のレイアウトやシミュレーションを体験したりする「アナログコース」、「RF」コース、「MEMsコース」らびに一線の研究者による設計事例の講演会などを企画している。6月～9月に開催し、有料である。社会人を主に対象としていたが、近年関係者にも向けている。

D.7 デザイナズフォーラム(旧若手の会)

毎年9月頃、VDECを利用する若手が合宿を行い、最近の動向や研究内容について話しあう機会を設けている。発足当初の「若手」の定義は年齢が5ビット。最近の定義は「自分は若手だと思っている学生・教職員」であるので積極的な参加をお待ちしている。

D.8 大型装置利用

LSIテスターや、EB装置など、公開可能な装置については、利用の案内をWEBページに掲載している。その手順に従って利用方法の学習と申請を行う。基本的なスタンスは以下のとおり。

1. 公開の対象は教員であり、研究室メンバは教員の代理として責任をもって使っていただく。
2. 利用免許を持っている者の付き添いがあれば基本的に自由な利用が可能
3. 数回のトレーニングを受けて免許を持てば自分一人で利用可能

VDEC専任・協力教員のサポートスタッフ数に限りがあるので、免許保持者に積極的な教育をお願いすることがあるので、協力いただきたい。

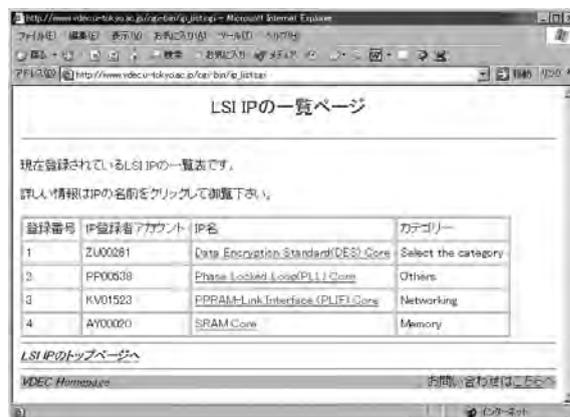
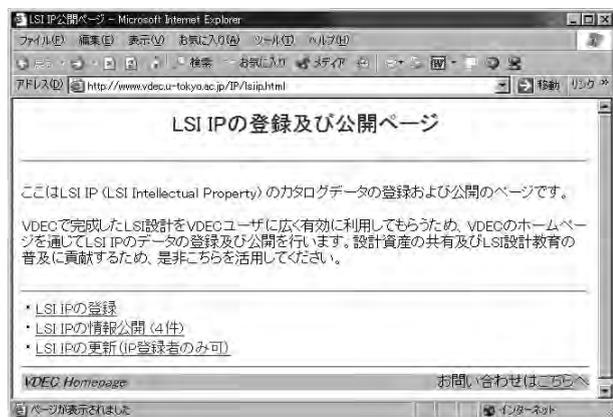
E. IPデータベースの整備

設計資産の再利用のために、VDECではWeb上でのデータベースの構築および公開を行っている（<http://www.vdec.u-tokyo.ac.jp/IP/lsiip.html>，図F.1）。本データベースの利用対象は、IP登録に関してはVDECユーザに限定しているが、IP利用に関しては任意対象となっている。本データベースに関してのVDECの役割は、IPのカタログデータの整理、公開および登録者-

利用者間の仲介と機密情報の取り扱いの監督である。

平成12年度から平成14年度の3年間、(株)半導体理工学研究センター（STARC）との共同研究としてIPプロジェクトを行ってきたが、その最終成果としてIP開発グループの各参加者へ完成IPの登録を働きかけ、上記データベースによって公開を行っている。

現在までに登録済みのIPを表F.1に示す。



図E.1 VDEC LSI IP Webデータベースの例

表E.1 VDEC LSI IPデータベースに登録済みのIP(平成24年3月現在)

登録番号	IP名	カテゴリー
1	Data Encryption Standard (DES) Core	Others
2	Phase Locked Loop (PLL) Core	Others
3	PPRAM-Link Interface (PLIF) Core	Networking
4	SRAM Core	Memory
5	Processor Core with Instruction set Compatibility with Hitachi SuperH	Processor/Controller
6	IEEE-754-Standard Single-Precision Floating-Point Dividers	Datapath
7	Controller Core with Instruction set Compatibility with PIC16F84	Processor/Controller

令和3年度
東京大学工学系研究科附属システムデザイン研究センター
年報

2021年8月

編集・発行

東京大学工学系研究科附属システムデザイン研究センター
黒田 忠広
〒113-8656
東京都文京区本郷7-3-1工学部2号館111A1
TEL 03-5841-6561

印刷・製本

株式会社総北海 東京支店
〒130-0022
東京都墨田区江東橋4丁目25番10号 加藤ビル2F
TEL 03-5625-7321



Systems Design Lab

Systems Design Lab, School of Engineering, The University of Tokyo 2021

