



Systems Design Lab

2022

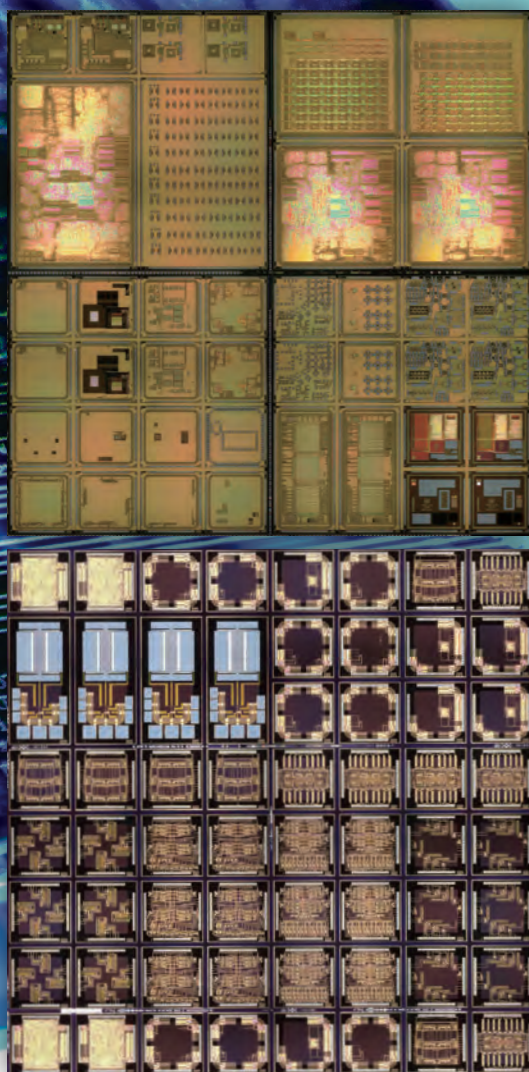
Systems Design Lab, School of Engineering,
The University of Tokyo

Annual Report

令和4年度

東京大学大学院工学系研究科
附属システムデザイン研究センター
先端設計研究部門・先端デバイス研究部門
(旧VDEC) 基盤設計研究部門・基盤デバイス研究部門

年報



Systems Design Lab, School of Engineering
The University of Tokyo 2022



Message from the Director of d.lab

東京大学大学院工学系研究科附属システムデザイン研究センター (d.lab)

黒田 忠広

文部科学省が2月に「次世代X-nics半導体創成拠点形成事業」を公募しました。目標は、スピントロニクスやフォトニクスから生まれる様々な機能デバイス、神経生理学や量子力学の知見を用いた新たなコンピューティング、トポロニクスなどの新材料を用いた集積デバイスなど、異分野同士の掛け算(X)から生まれ、次(neXt)の時代を拓く全く新しい半導体の創生です。

新しい半導体が何であれ、求められるのはエネルギー効率の改善です。過去10年間にAIの計算量は4桁増えたのに対して、汎用プロセッサのエネルギー効率は1桁しか改善していません。そこでGAFAMなどのプラットフォームは、エネルギー効率の高い専用チップを開発するようになりました。しかし、専用チップの開発に要する時間と費用は増大するばかりです。AI技術は日進月歩ですから、1年かけて専用チップが開発された頃にはすでに古い技術になってしまいます。プログラムを書くようにLSIを設計し、プログラムをコンパイルするようにLSIを試作することで、ソフトと同様にチップもアップデートでき、開発・改良のサイクルを素早く(Agileに)する。これがDX時代の成長戦略です。

ところで、何が技術革新を加速させるのでしょうか？ それは「集団脳」だと、ハーバード大学の人類進化生物学者であるジョセフ・ヘンリック教授は唱えます。つまり、集団が大きければ大きいほど技術進化が加速しやすくなるということです。たとえば、太平洋の島々を調査すると、漁業道具の種類と島の人口の間には相関があります(論文: "Population size predicts technological complexity in Oceania")。ネアンデルタール人よりも小さな脳を持ちながらホモ・サピエンスがさまざまな道具を発明・利用してきた理由も大きな集団を形成できたからだと考えられています。インターネットは77億人の集団脳を出現させました。そこで多くの人が集まるプラットフォームこそが技術革新を加速する拠点となり得ます。

私たちは、「Agile-X 革新的半導体技術の民主化拠点」を提案しました。目標は、チップを設計する人口を10倍に増やすこと。そのために、チップの開発・試作に要する期間と費用を1/10に低減できるAgile開発プラットフォームを創出します。X-nicsの審査会で、Xは何でしょうか、と問われました。世界を変えるイノベーションが“何か”は分かりませんが、“どこで”そのイノベーションが生まれるかは予想できます。それは、多くの人が集まるプラットフォームです。提案は採択されました。More MooreとMore than Mooreに加えて、More Peopleが知価を生むと信じています。



2022
Systems Design Lab, School of
Engineering,
(VLSI Design and Education Center),
The University of Tokyo
Annual Report

C O N T E N T S

巻頭言

ご挨拶 ……1

第1章 d.labの紹介 …… 4

第2章 d.lab事業の紹介と2021年度事業報告 …… 5

- 2-1 先端設計研究部門 ……5
- 2-2 先端デバイス研究部門 ……10
- 2-3 基盤設計研究部門 ……11
- 2-4 基盤デバイス研究部門 ……14
- 2-5 「アドバンテストD2T 寄附講座」活動報告 ……17

第3章 d.lab概要 …… 21

- 3-1 組織概要 ……21
- 3-2 人事報告 ……22
- 3-3 退任ご挨拶 ……27
- 3-4 決算報告 ……29

第4章 研究報告 …… 31

- 4-1 全体概況 ……31
- 4-2 研究室構成員(2021年度) ……32
- 4-3 研究概要 ……36
- 4-4 研究発表 ……52
- 4-5 特許、受賞等 ……86

付録(Appendix) …… 89

- A 旧VDEC事業関連 ……89
 - A-1 CADソフトウェアの整備 ……89
 - A-2 基盤設計研究部門におけるチップ試作支援の実施状況 ……90
 - A-3 セミナー ……93
 - A-4 VDEC発ベンチャー ……96
- B チップ試作報告 ……97
 - B-1 試作ラン別一覧 ……98
 - B-2. チップ種別一覧 ……102
 - B-3. 各チップの詳細 ……105
- C Publication list ……144
- D VDECの利用規程・申し込みガイド ……179
- E IPデータベースの整備 ……184

第1章 d.labの紹介

1996年に大規模集積システム設計教育センター (VDEC) が設立されました。当時は、日本の半導体が世界の半導体市場 (5兆円) の5割を占めており、即戦力となる人材が求められました。VDECは、世界に類のない卓越した教育を行い、優れた人材を半導体産業界に輩出してきました。

しかし、彼らはその才能を遺憾なく発揮できたでしょうか。この四半世紀の間に、世界の半導体産業は年率7%の高成長を遂げたにもかかわらず、日本の半導体は徐々にその地位を低下させ、現在のシェアは市場 (50兆円) の1割程度に落ち込んでいます。

半導体ビジネスは、汎用チップを大量生産する薄利多売のビジネスです。汎用チップが大量に売れる理由は、コンピュータがメモリとプロセッサで構成できるフォン・ノイマン・アーキテクチャを採用しているからです。日本はメモリデバイスのイノベーションで世界をリードしましたが、ビジネスでは資本競争に敗れました。

大量生産・大量消費には、しかしながら限界があります。環境負荷が過大となり、世界はエネルギー危機に直面しています。ビッグデータをAIで分析するためには、さらに大きな電力が必要になります。

そこでついに、ゲームチェンジが起きました。半導

体メーカーから汎用チップを調達していたのでは競争に勝てない、そう考えたGAFANAなどの巨大IT企業が専用ロジックチップの自社開発に乗り出したのです。

こうした時代のうねりの中で、東京大学は2019年の10月にシステムデザイン研究センター (d.lab) を開設し、11月にはTSMCと戦略的提携を結びました。d.labには、VDECと武田クリーンルームを運営する基盤設計研究部門と基盤デバイス研究部門に加えて、先端設計研究部門と先端デバイス研究部門が創設されました。2020年の10月からd.lab協賛事業を開始し、協賛会員は現在40社余りに増えています。

加えて、2020年の8月に先端システム技術研究組合 (RaaS) を設立して、産学官連携の体制を整えました。d.labとRaaSのオープン・クローズ戦略を両輪にして、学術・社会連携と産学協創を推進しています。研究の目標は、半導体のタイムパフォーマンスを追究すること、すなわちエネルギー効率と開発効率を10倍高めることです。

日本は、工業・情報社会から人間中心の社会「Society5.0」を目指しています。知価社会において、半導体は産業のコメから社会の神経細胞へと進化します。

半導体戦略はどうあるべきでしょうか？その答えを探すのがd.labのミッションです。

2.1 先端設計研究部門

2.1.1 先端設計研究部門の事業概要紹介

先端設計部門は、教授4名、准教授1名、講師1名、特任教授1名、上席研究員1名（兼務含）で構成されており、エネルギー効率と設計効率の高い半導体集積回路の設計を目指しています。

2021年7月に国立研究開発法人新エネルギー・産業技術総合開発機構（以下「NEDO」）の「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発」における研究開発課題発掘のための先導調査研究の中で、「データ構造処理を加速可能な新型計算機構の研究開発」を研究テーマとして、日本電気株式会社と東京大学が実施予定先として採択されました。本研究は2022年6月30日までの期間で行う予定であります。

各研究室での研究とは別に、組織として大きく2つの活動を行っています。1つ目は、d.lab協賛事業です。これはd.lab内の他部門の方々にもご協力いただいているものです。2つ目は、先端システム技術研究組合への参画です。本節では、これら2つの2021年度の活動について報告いたします。

2.1.2 d.lab協賛事業

システムデザイナーと半導体関連事業者が集い、情報・意見交換を行い、学術・社会連携をオープンに議論する国際知能センターを目指してd.lab協賛事業を2020年度に開設しました。IoT、AI、5G、自動運転・制御、ヘルスケアなどのシステムデザイナーのアイデアと、先端CMOSや3D集積などの先進半導体技術と、それを支える素材や製造装置を結びつけるハブを目指しています。2021年度は、最終的に43社にご参加いただきました。表2.1.1が2021年度の協賛会員企業一覧です。参加いただいた各社の皆様にこの場であらためてお礼申し上げます。

昨年度の報告にもごさいますように、当初構想ではd.labの研究成果の報告にとどまらず、東京大学の著名教授や学生との交流、世界の大学や研究機関との交流、国際会議の情報提供、産業界のトップレベルの交流、TSMCなどの最先端技術の紹介や視察など、さまざまなイベントを目白台という新しい交流の場を中心に行う予定でありました。しかしながら、2020年度に引き

続くコロナ禍のもとではいかんともしがたく、2021年度もやむなくWebinar形式での各種セミナーを中心とする活動にとどまったことは残念でなりません。以下2021年度の協賛事業の活動を報告いたします。2021年度は5月から3月のほぼ1年間にわたり活動を行いました。表2.1.2に2021年度に開催したセミナーの一覧を示します。

2021年5月19日に2021年度d.lab協賛事業キックオフ&特別講演を行いました。国内でも5Gのサービスが始まり、研究開発の視線はポスト・ビヨンド5Gへと移りつつあります。日本の5G技術をリードされてきた東京大学 総長特任補佐・東京大学大学院工学研究科 中尾 彰宏 教授に、5Gの先にある世界と半導体の果たす役割について、「Beyond5G/Post5Gに向けた研究開発の方向性と半導体開発への期待」と題して、ご講演いただきました。その後、d.labセンター長 黒田 忠広教授より、d.lab概要紹介と21年度d.lab協賛事業の内容やスケジュール紹介をさせていただきました。

6月29日には、同年6/13～6/19に開催された2021年VLSIテクノロジー/サーキットシンポジウムの報告会を行いました。本報告会では、回路、システム、プロセス・デバイスの技術報告を行いました。また、同日の報告会では、中小企業庁様から半導体産業の振興に向けた支援制度をご紹介頂きました。

7月21日には、2021 IEEE 71st Electronic Components and Technology Conference (ECTC 2021) の報告会を行いました。本会議は、IEEE Electronics Packaging Societyが主催するパッケージ、部品、マイクロエレクトロニクスシステムについての科学・技術について幅広く議論する、今年で71回目の開催となる伝統のある世界有数の国際会議です。技術プログラムは、パッケージング技術全般にわたる最先端の開発成果と革新技術をカバーし、先端パッケージング、モデリングとシミュレーション、フォトリソ、インターコネクション、材料とプロセス、信頼性、製造技術、コンポーネントとRF、および新興技術が主なトピックスとして構成されています。本報告会では、現行事業の主流技術である先端パッケージ技術と次世代のコア技術であるハイブリッドボンディング技術にフォーカスし、その技術動向とトピックスについて報告しました。同日は、

報告会に先立ち、「VDEC社会人リフレッシュセミナー コースM」のセミナー案内を、三田 吉郎 准教授よりさせていただきました。

8月18日は、d.lab協賛企業技術交流会（1）と題し、d.lab協賛企業の各社の特徴的な技術紹介、今後の技術交流希望等をご紹介いただきました。ご発表いただいた会員企業は、ウシオ電機株式会社、アナログ・デバイス株式会社、昭和電工マテリアルズ株式会社、キオクシア株式会社、株式会社半導体エネルギー研究所、凸版印刷株式会社の6社です。d.lab協賛企業間やd.lab参加の教職員、学生との協業に発展することを目指すものです。

9月22日も、前日に引き続きd.lab協賛企業技術交流会（2）を行いました。ご発表いただいた会員企業は、大日本印刷株式会社、アルチップ・テクノロジーズ株式会社、ギガフォトン株式会社、株式会社ニコン、株式会社ディスコ、オルガノ株式会社の6社です。

11月17日には、特別技術セミナー「ガストロノミー×ロボティクス×半導体」とdlab協賛企業技術交流会（3）を行いました。特別講演としてSONYグループ株式会社の藤田雅博様をお招きして、半導体、AI、ロボティクスの進化が実現する未来についてご講演いただきました。料理という斬新な切り口で、これまでご研究されてきたAIとロボットによる人間のクリエイティビティ拡張について、お話をお伺いしました。また前回に引き続き、協賛企業技術交流会（3）として、東京応化工業株式会社とルネサスエレクトロニクス株式会社の2社に御発表いただきました。

12月17日には、imec dayと題し、進化し続ける超高性能シリコンシステムの研究開発で世界をリードするimecにおいて展開されているCMOSデバイススケールリングと3Dシステムインテグレーションの最先端プロセス・デバイス技術の取組みをR&D担当幹部から直接ご紹介して頂きました。最先端シリコンシステム技術情報を生で聴ける絶好の機会となりました。「CMOS device scaling options toward N1 and beyond」と題し、imec Logic CMOS device program directorである、Naoto Horiguchi様にご講演いただくとともに、「A 3D Integration Future : enabling continued system-level electronic scaling」と題して、imec Senior Fellow, VP R&D, Program Director 3D System IntegrationであるEric Beyne様にご講演いただきました。

12月22日には、TSMC dayと題して協賛事業セミナーを行いました。TSMC (Taiwan Semiconductor Manufacturing Company, Ltd. : 台湾積体回路製造) は、

台湾・新竹市に本拠を置く世界最大かつ最先端の技術を有する半導体製造ファウンドリです。2021年、同社は日本に、TSMC Japan 3DIC R&D Centerを設立しました。半導体プロセスの微細化というMore Mooreの技術革新のみならず、More Than Mooreの技術革新をもたらす3DIC技術は、今後の半導体産業における重要な位置を占めることは疑いの余地がありません。今回、TSMC Japan 3DIC R&D Centerの江本所長と市川テクニカルディレクターに「Overview and initiatives of TSMC Japan 3DIC R&D Center」と題し、同センターのミッションについてお話しいただきました。また同社技術の最新情報についてもアップデートいただきました。

年が明けて2022年1月19日には、IEDM2021報告会を行いました。IEDM (International Electron Devices Meeting) はIEEEが主催するデバイス技術に関する世界最高峰の国際会議で、12月11日~15日にIn-personおよびOn-demandのハイブリッド形式で開催されました。IEDM会議全体概要の報告と先端CMOSデバイス技術・材料技術、不揮発メモリ技術、コンピューティング技術、3D集積技術にフォーカスした最新デバイス技術の動向についてd.lab教授陣が解説を行いました。

3月2日には、d.lab dayと題し、d.lab協賛事業イベントとしては初めて、d.lab教員自身の研究内容の紹介の場を設けました。d.lab協賛事業の活動を開始して約1年半が経ち、会員の皆様からも、d.labの教授陣がどのような研究を行っているかを知りたいとの声もあがるようになり、開催の運びとなりました。本セミナーをきっかけに、共同研究など次のステップが生まれることの期待もあります。

2021年度のセミナーシリーズは、3月23日の2022 International Solid-State Circuits Conference (ISSCC2021) の報告会で結びました。2月に開催された集積回路技術に関する最高峰の国際会議ISSCCから、機械学習用プロセッサの隆盛、量子計算機に代表される新原理コンピューティングを支えるIC、今後の半導体市場を牽引する5GとAIとゲーム機用ICなどの最新トレンドを、ISSCCの技術プログラム委員長を歴任されてこられた池田誠教授をはじめとするd.lab教授陣が解説しました。

2022年度の活動には、コロナ禍の状況を見極めつつ、リモートセミナーとリアルイベントを織り交ぜた開催とすることを検討しています。従来にはなかったような企画も組み込みながら、会員と大学人、あるいは会員間の知的交流をおこなっていきたいと考えています。

2.1.3 先端システム技術研究組合

2019年度から準備を進めてまいりました、先端システム技術研究組合（RaaS: Research Association for Advanced Systems）が2020年8月17日に開設されました。設立組合員は、国立大学法人東京大学、凸版印刷株式会社、パナソニック株式会社、株式会社日立製作所、株式会社ミライズテクノロジーズです。RaaSは、データ駆動型社会を支えるシステムに必要な専用チップのデザインプラットフォームを構築し、オープンアーキテクチャを展開することで、専用チップの開発効率を10倍高めることを目標に掲げています。さらに、3次元集積技術を研究開発し、最新の7nm CMOSテクノロジーで製造したチップを同一パッケージ内に積層実装することで、エネルギー効率を10倍高めることが目標です。

我々は半導体ビジネスの主役が、汎用チップから専用チップに再びスイングすると考えています。その背景にはデータ社会特有の「エネルギー危機」があります。データが急増し、AI処理が高度化して、エネルギー危機に拍車がかかっています。このままいくと、2030年には現在の総電力の倍近い電力をIT関連機器だけで消費し、2050年にはそれが約200倍になると予想されています。デジタルトランスフォーメーションに莫大なエネルギーを費やして地球環境を破壊することになるのなら、サステナブルな未来は望めません。

こうした状況下では、エネルギー効率を10倍高めた者だけが、コンピュータを10倍高性能にでき、スマートフォンを10倍長く使えます。あらゆるタスクをこなせる汎用チップに比べて、無駄な回路をそぎ落とした専用チップはエネルギー効率を桁違いに改善できます。専用チップが求められる理由がここにあります。さらに、AI処理に用いられる神経回路網はデータを並列処理するので、逐次処理をするフォン・ノイマン・アーキテクチャでは性能を引き出せません。AIアクセラレータのための専用チップが世界中で開発されています。また、ムーアの法則が減速していることも専用チップの時代の追い風になっています。

ところが、専用チップの開発は誰にでも簡単にできるものではありません。チップに集積されるトランジスタ数は世界人口を超えようとしています。開発費は近年急増して100億円にも達する勢いです。数100人の設計者を配しても開発に数年を要します。技術進歩が早い現代においては全く間に合いません。

ソフトウェアは、バグがあっても後でパッチを当てて修復できます。しかし、ハードウェアは完璧に仕上

げなければなりません。ハードウェアはソフトウェアより設計が難しくて開発リスクが高く、“hard”です。

もし、ソフトウェアの開発に用いられるコンパイラのような技術がチップの開発にも用いられたならば、すなわちシリコンコンパイラができたならば、ハードウェアの開発費が下がりリスクも下がるでしょう。ハードウェア設計者の人口も増えます。やがてオープンソースの文化が根付き、エコシステムのネットワークが重層的に拡大発展すれば、マスコラボレーションも可能になるでしょう。そうなれば、まさにソフトウェアを書くようにチップを作ることができます。

かつてアラン・ケイが「ソフトウェアを本気で考える人たちは、自分でハードウェアを作ることになる」と言いました。システム開発には、ハードウェアとソフトウェアの両方が必要です。

私たちの目標は、シリコン技術の民主化（democratize access to silicon technology）です。シリコンコンパイラをイノベーションし（design chips as writing software）、短時間でプロトタイプを作れる開発プラットフォームを創出します（agile authentic prototyping）。

技術目標は、開発効率10倍かつエネルギー効率10倍です。開発効率を高めるために、アジャイル設計プラットフォームを創出し、オープンアーキテクチャを展開します。また、エネルギー効率を高めるために、チップを先端CMOS技術で製造し、3次元実装します。

半導体を製品として売るのではなく、サービスとして提供する。そのための技術をRaaS（ラース）は研究開発します。

RaaSは東京大学目白台インターナショナルビレッジ内に各組合員から研究員が集結し、互いに刺激しあいながら研究開発を遂行する計画でありましたが、こちらも残念ながらリモートワーク中心の活動形態をとっております。

2021年度は、国立研究開発法人新エネルギー・産業技術総合開発機構（以下「NEDO」という。）の、「ポスト5G情報通信システム基盤強化研究開発事業／先端半導体製造技術の開発（b）先端半導体の後工程技術（More than Moore技術）の開発」に係る公募にRaaSとして応募し採択されました。開発テーマは、「(b2) エッジコンピューティング向け実装技術」です。それに伴って、株式会社SCREENホールディングス、ダイキン工業株式会社、富士フイルム株式会社、パナソニックコネクタ株式会社に新たに組合員としてRaaSに加わっていただき、従来からあるシステム系研究開発に加えて、テクノロジー系研究開発を行うこととな

りました。

2021年度は、システム系研究開発においては、7nmプロセスでの設計を進め、RaaSとして初めてのテープアウトを行いました。発足から実質的に1年弱で複雑なデザインルールを有する、最先端CMOS技術での設計および試作を完了できたことが最大の成果です。

テクノロジー系研究開発においては、前述のNEDOプロジェクトを柱に、ダイレクト接合3D積層技術開発(WoWおよびCoW向け装置・プロセス開発)としてCu-Cuの低温ハイブリッド接合によるWoW(Wafer on Wafer)接合技術及びCoW(Chip on Wafer)接合技術の構築とその実装化に取り組んでまいります。

表2.1.1 2021年度d.lab協賛会員(50音順)

株式会社アドバンテスト
アナログ・デバイス株式会社
アルチップ・テクノロジーズ株式会社
ウシオ電機株式会社
オルガノ株式会社
キオクシア株式会社
ギガフォトン株式会社
株式会社サムスン日本研究所
シーメンスEDAジャパン株式会社
JSR株式会社
昭和電工マテリアルズ株式会社
信越化学工業株式会社
株式会社SCREENホールディングス
住友商事株式会社
株式会社ソシオネクスト
ソニーグループ株式会社
ダイキン工業株式会社
大日本印刷株式会社
TDK株式会社
株式会社ディスコ
東京エレクトロン株式会社
東京応化工業株式会社
凸版印刷株式会社
株式会社ニコン
日本アイ・ビー・エム株式会社
日本ケイデンス・デザイン・システムズ社
日本シノプシス合同会社
日本電子株式会社
パナソニック株式会社
パナソニックスマートファクトリーソリューションズ株式会社
株式会社半導体エネルギー研究所
株式会社日立製作所
富士通株式会社
富士フイルム株式会社
マイクロンメモリ ジャパン合同会社
三菱ケミカル株式会社
三菱電機株式会社
株式会社ミライズテクノロジーズ
ミラクシア エッジテクノロジー株式会社
株式会社村田製作所
ルネサスエレクトロニクス株式会社
ローム株式会社

表2.1.2 2021年度d.lab協賛事業セミナー

開催日	タイトル	講師
2021/5/19	2021年度d.lab協賛事業キックオフ&特別講演	工学系研究科 中尾 彰宏 教授 d.lab 黒田 忠広 教授
2021/6/29	事業再構築補助金について VLSIシンポジウム2021報告会	経済産業省/中小企業庁 津田 健人 課長補佐 d.lab 竹内 健 教授 d.lab 池田 誠 教授 d.lab 濱田 基嗣 特任教授 d.lab 平本 俊郎 教授 d.lab 高木 信一 教授 d.lab 丹羽 正昭 上席研究員
2021/7/21	セミナーのご案内 ECTC 2021 報告会	d.lab 三田 吉郎 准教授 RaaS小川 透 顧問 d.lab 高木 剛 主幹研究員 RaaS須賀 唯知 顧問 d.lab 丹羽 正昭 上席研究員
2021/8/18	d.lab協賛企業技術交流会 (1)	ウシオ電機株式会社 溝尻 貴文 様 アナログ・デバイス株式会社 有田 省吾 様 昭和電工マテリアルズ株式会社 田邊 貴弘 様 キオクシア株式会社 小川 貴也 様 (株)半導体エネルギー研究所 馬場 晴之 様 凸版印刷株式会社 野口 達夫 様 内田 啓一郎 様
2021/9/22	d.lab協賛企業技術交流会 (2)	大日本印刷株式会社 市村 公二 様 アルチップ・テクノロジーズ(株) 古園 博幸 様 佐々 栄治郎 様 ギガフoton株式会社 大石 憲司 様 株式会社ニコン 小松 祐太 様 株式会社ディスコ 寺西 俊輔 様 オルガノ株式会社 菅原 広 様
	特別技術セミナー「ガストロノミー×ロボティクス×半導体」 d.lab協賛企業技術交流会 (3)	SONYグループ株式会社 藤田 雅博 様 東京応化工業株式会社 藤村 悟史 様 ルネサスエレクトロニクス(株) 原 博隆 様
2021/12/17	imec day	imec Dr. Naoto Horiguchi imec Dr. Eric Beyne
2021/12/22	TSMC day	TSMCジャパン 江本 裕 様 TSMCジャパン 市川 公也 様
2022/1/19	IEDM2021報告会	d.lab 平本 俊郎 教授 d.lab 高木 信一 教授 d.lab 小林 正治 准教授 d.lab 竹内 健 教授 d.lab 高木 剛 主幹研究員
2022/3/2	d.lab day	d.lab 高木 信一 教授 d.lab 池田 誠 教授 d.lab 内田 建 教授 d.lab 三田 吉郎 准教授 d.lab 小林 正治 准教授
2022/3/23	ISSCC2022報告会	d.lab 池田 誠 教授 d.lab 竹内 健 教授 d.lab 飯塚 哲也 准教授 d.lab 濱田 基嗣 特任教授 d.lab 小菅 敦文 講師

2.2 先端デバイス研究部門

先端デバイス部門では、データ駆動型システムを実現するため半導体システムのエネルギー効率を10倍改善することを目指し、3次元集積技術と先端デバイス技術の研究を行っている。

2.2.1 構成

教授	高木信一
教授	平本俊郎（部門長）
教授	染谷隆夫
教授	内田 建
准教授	小林正治
上席研究員	丹羽正昭
主幹研究員	高木 剛
特任研究員	川野 連也
特任研究員	二宮 健生
特任研究員	竹内 魁

2.2.2 事業報告

2021年度は、データ駆動型社会の実現を目指して、エネルギー効率10倍を可能とする次世代3D集積技術のコアとなる新規プロジェクトの立ち上げをおこなった。

近年、AIをはじめ大量のデータ処理を必要とするコンピューティング技術の重要性が高まってきている。メモリとプロセッサとの間の大量で頻繁なデータ移動に伴うエネルギー消費が大きな課題となっている。そのような課題を解決する技術として、チップレベルもしくはウェハレベルで直接接合を形成して、データの移動距離を短縮しエネルギー効率を高めるダイレクト接合3D積層技術が注目されている。

今年度は、NEDO事業「ポスト5G情報通信システム基盤強化研究開発事業／先端半導体製造技術の開発（助成）」において、d.labが組合本部となり運営している3D集積技術に関する技術研究組合である先端システム技術研究組合（Research Association for Advanced Systems：RaaS）から、『ダイレクト接合3D積層技術開発（WoWおよびCoW向け装置・プロセス開発）』を提案し、採択された。現在、Cu-Cuの低温ハイブリッド接合によるWoW（Wafer on Wafer）接合技術及びCoW（Chip on Wafer）接合技術に関するチョークポイント技術の開発とその実装化に、RaaS組合員企業とともに取り組んでいる。

2.3 基盤設計研究部門(旧VDEC部門)2021年度事業報告および2022年度事業計画

2.3.1 基盤設計研究部門概要

東京大学大規模集積システム設計教育研究センター(VDEC)は、1996年の発足以来『LSI教育情報の発信拠点形成』、『VLSI設計支援教育用CADソフトウェアの整備』、『VLSIチップ試作支援』を3つの柱として、日本の大学・高専における集積回路設計教育に資する事業を展開してきた。2019年10月1日に東京大学における、半導体集積回路関係の強化を目指した組織改編により、東京大学大規模集積システム設計教育研究センターは東京大学大学院工学系研究科附属システムデザイン研究センター(d.lab)へと改組され、その中で、基盤設計研究部門がこれまでのVDECの担ってきた機能を引き継ぎ担い、シームレスに活動を継続している。ここでは、d.lab基盤設計研究部門の活動内容に基づき、以下に2021年度の概要を報告する。

VDECの使命は全国の国公私立大学および高専のLSI設計研究・教育を高度化し、産業界に対しても優秀なLSI設計技術者を数多く送り出すことである。VDECの発足より25年経過し、各大学におけるCADソフトウェアの利用技術教育やLSI設計・設計フローに関する教育の充実が図られている。その一方で、先端のLSI設計技術およびそれに対応するCADソフトウェアは一層複雑化し続けている。そのため、CADツールの導入に際しては、CADベンダーから講師を招いてのセミナーの開催を継続しており、参加者の利便を図るために2009年度より東京での開催と同時に映像配信による拠点校での遠隔受講としている。VDECとしては各ユーザ研究室内で“技術伝承”され、VDEC主催のセミナーがトリガーとなって最新のCAD利用技術が全国的に広がることを期待している。なお、2021年度においては、すべてのセミナーをオンラインで実施している。一部の項目に関しては、オンデマンド+ライブQ&Aという形で実施し、参加への利便性の向上への取り組みを行った。また、各社のツールチェーンが複雑化し導入しているツールを十分に使いこなすことが困難となっているという現状を鑑み、各ツールベンダーの推奨するツールチェーンに関する講演会もツールセミナーの開催に合わせる形で実施した。なお、2019年度末からのCOVID-19感染拡大を受けて、各EDAベンダーからEDAツールの自宅からの利用に関する許諾を受け、2021年度においても、日本国内における集積回路設計研究・教育に遅滞の生じないよう取り組んだ。

2.3.2 基盤設計研究部門における教育の実施状況

LSI設計フローセミナーはLSI設計の基本概念教育と複数のCADツールを連携する実用的設計例の体験教育である。この目的でVDECでは社会人のリフレッシュ教育プログラムと兼ねてLSI設計教育セミナーを開催してきた。2021年度は、5月～9月に、“アナログ設計コース”、“RF設計コース”を実施した。いずれも演習を伴う体験教育コースであり、主要大学の経験豊かな教官を講師に招いて実施している。加えて各プロセスに特化した設計フローに関するセミナー“VDEC環境におけるトランジスタレベル設計講習会(コースVT)”、“VDEC EDA環境におけるデジタル設計手法講習会(コースVD)”を大学における設計者に向けて実施している。なお、2014年度から本設計フローに関するセミナーに関しても有料化して実施している。リフレッシュ教育に関しても2021年度も全てオンラインでの開催を継続し、結果的に例年より参加人数が増加する結果となっている。

これらセミナーに加えてVDECでは年1回、若手教官と学生を中心としたVDECデザイナー・フォーラムを開催している。これはワークショップ形式の会合であり、企業・大学からの招待講演に交えて、参加者が設計事例を持ち寄ってその成功談、失敗談を交換する。これから設計を始めたいと考えている学生・教官もここでさまざまなノウハウを得ることができる。2021年度はVDECデザイナー・フォーラムもオンライン開催を継続した。2011年度から、VDEC活動における表彰として「IEEE SSCS Japan Chapter VDEC Design Award」の最終審査・表彰をVDECデザイナー・フォーラムの場で行っており、2021年は、IEEE SSCS Japan Chapter VDEC Design Awardとして、奈良先端科学技術大学院大学の岡田竜馬さん、3件のVDECデザインアワード優秀賞、(岡田竜馬(奈良先端科学技術大学院大学)、松岡英(東京大学)、酒井元(東京理科大学))、3件のVDECデザインアワード奨励賞(辻村拓也(名古屋大学)、佐原健太(東京理科大学)、森康登(奈良先端科学技術大学院大学))、3件のVDECデザインアワードアイデアコンテスト部門囑望賞(川原啓輔(東京理科大学)、光野聡志(東京大学)、福島拓実(東京電機大学))を授与した。

このようなセミナー、フォーラムを通じた教育システムによりLSI設計の基本的項目を学習できるようになっているが、それでも実際のLSI設計の場面では、

さまざまな困難に直面することが多い。初心者にとってはCADソフトウェアのセットアップは最大の問題である。セットアップの後もCADソフトウェアが発する“難解なエラーメッセージ”でとまどうことも多い。このような場合に力を発揮するものがVDECメールグループである。VDECユーザはVDECのホームページからCADメールグループや試作技術対応のユーザグループに登録することができ、そこに直面する疑問点を投稿し、助けを求めることができる。メールグループの登録ユーザはそれに回答する義務を負っているわけではないが、ほとんどの場合、数時間から数日以内に経験豊かなユーザからの支援を得ることができる。ぜひこの仕組みを活用することで問題解決の一助としていただきたい。

2.3.3 基盤設計研究部門における発表文献の推移

図2.4にVDECに関する発表文献のVDECファシリティー利用状況を示す。論文執筆にあたりCADソフトウェアが幅広く利用されていることが確認できる。CADソフトウェアはチップ設計だけでなくチップ試作の準備段階で利用される場合が多いため、研究の基本アイデアを実証するツールとしての貢献度も大きい。

2.3.4 基盤設計研究部門におけるAIチップ設計拠点活動概況

平成30年度(2018年度)から東京大学VDEC、国立研究開発法人産業技術総合研究所が共同でNEDOから受託している「AIチップ開発加速のためのイノベーション推進事業/研究開発項目②: AIチップ開発を加速する共通基盤技術の開発」により、国内のベンチャー・中小企業向けのEDA利用・設計環境を構築し、AIチップ設計拠点として活動を行っている。本活動では、ベンチャー・中小企業がエンジニアリングサンプルまで試作可能なEDAツールライセンスの導入に加え、40nm, 28nm向けのIPを導入、また、同プロジェクト開始時に経済産業省からの補助金により導入された、ハードウェアエミュレータによる大規模・高速設計検証環境の提供を行っている。2020年度にNoCおよびPCIe, DDR4などを備え、複数の機能IPコアを搭載可能なSoCプラットフォームのAI-One設計を行い、利用者の設計したAI IPコアを複数搭載したSoCとしてテープアウトを行ったものが、組み立て等の関係で大幅に遅れて2022年1月に納品され1週間足らずでSoCの基本機能の検証、2021年度中にほぼすべてのIPコアの基本動作の確認が完了するという大きな成果

を上げている。また、同活動をより強化するために、2019年9月1日に、「産総研・東大 AI チップデザインオープンイノベーションラボラトリ」(AIDL)を東京大学浅野キャンパス武田ビル内に設置し研究を加速させている。

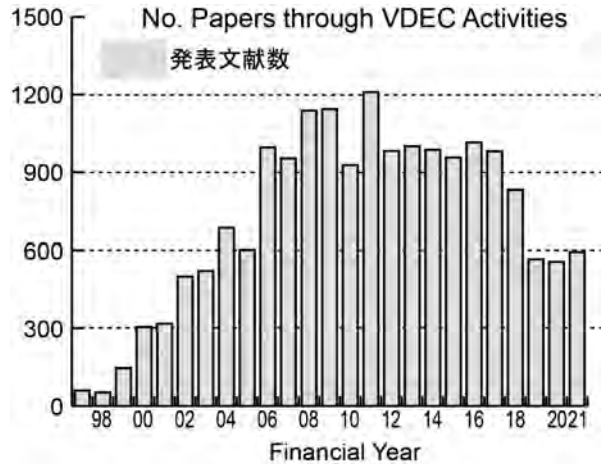


図2.3.1 VDECを利用した発表文献数の推移

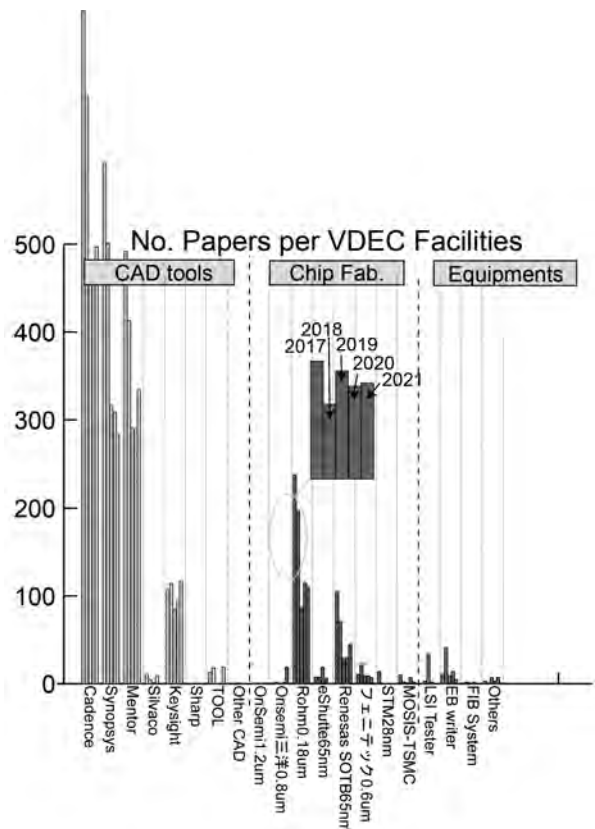


図2.3.2 VDECファシリティー利用状況

2.3.5 基盤設計研究部門の2022年度の活動計画

2022年度においても、従来通りアカデミック向けの活動を継続する。

【設計情報発信・セミナー開催】

本年度は、1997年度より継続しているCADツール利用法に関する技術セミナー、1998年度から継続している社会人向けの「リフレッシュセミナー」、1996年度より継続している若手のための「デザイナーズフォーラム」を継続して開催する。教科書、教材の整備充実を行なうことを予定している。

【CADツール提供】

上流設計 (Cadence, Synopsys), 中流設計 (Synopsys, Cadence), 下流設計 (Cadence) の各基本ツールを、2022年度もサポートしていく。これに加え2002年度から導入した設計検証 (Mentor: Caribre, ModelSim, Catapult等), 2004年度から導入したアナログRF設計ツール (Agilent: GoldenGate, ADS/RFDE) を継続してサポートするとともに、2005年度より提供を受けているSharp社Cベース設計ツール (BachC) を継続してサポートする。2008年度より提供を開始しているTOOL社レイアウト表示プラットフォーム (Lavis) に関しても利用状況に基づき継続を行うとともに、2011年度からのSpringSoft社の検証ツールは、SpringSoft社がCadence社に買収されCadence社のツール群としてのサポートが継続されることになっている。

【チップ試作支援】

2022年度は、2021年度から引き続きローム株式会社の0.18umCMOSプロセスおよびオンセミ-三洋半導体の0.8μmCMOS, SOTB 65nmCMOSを定常試作として継続する (すでに一部の試作は進行中である)。なお、一部のチップ試作に関しては試作申込数が少ない場合に試作キャンセルとなることがある。また、2020年度に検討を開始した、IHP SiGeBiCMOS 0.18um試作を継続する。

【その他】

経済産業省・NEDOの「AIチップ開発加速のためのイノベーション推進事業」における「AIチップ開発を加速する共通基盤技術の開発」事業を受託することで「AIチップ開発拠点」の整備を継続する。具体的には、産業技術総合研究所と共同で大規模AIデジタルチップ設計検証向けのロジックエミュレータを導入するとともに、産業応用可能なEDAライセンスの整備運用を行う。なお、本事業はAIチップ開発加速に向け、AIチップの設計・評価・検証等の開発環境を中小・ベンチャー企業に提供することを主眼としているが、AIに関連した集積回路分野における大学発の企業化の促進も目指し大学からの利用の環境も整備を進める予定である。

表2.3.1 VDECチップ試作スケジュール (2022年度)

【CMOS 0.8μm 2P2M】 オン・セミコンダクタ

	試作申込締切	設計締切	納品・試作完了
2022年度第1回	2022/7/4	2022/9/26	2022/12/19
2022年度第2回	2023/1/10	2023/3/27	2023/6/26

【CMOS 0.18μm 1P5M (+MiM)】 ローム株式会社

	試作申込締切	設計締切	納品・試作完了
2022年度第1回 (2021年7月試作)	2022/4/4	2022/6/27	2022/10/14
2022年度第2回 (2022年9月試作)	2022/6/13	2022/9/5	2022/12/23
2022年度第3回 (2022年11月試作)	2022/8/1	2022/10/24	2023/2/11
2022年度第4回 (2023年3月試作)	2022/12/5	2023/2/27	2023/6/16

【SOTB CMOS 65nm】

	試作申込締切	設計締切	納品・試作完了
2022年度第1回	2022/6/13	2022/7/25	2023/1/21
2022年度第2回	2023/1/23	2023/3/6	2023/8/26

2.4 基盤デバイス研究部門

2.4.1 基盤デバイス研究部門のミッション

d.lab 基盤デバイス研究部門は、自らも現役研究者としてクリーンルームにおいて実験研究を牽引する三田吉郎准教授を部門長とし、関連専攻（総合研究機構、電気系工学専攻、機械系工学専攻等）と人的・予算的協力を行いながら、高度微細デバイス研究の必須3要素（後述）を整備・運営・研究する30名規模のチームである。特に令和3年度は、鈴木雄二副研究科長（教育担当）の特別な尽力を賜り、博士課程の学生に「卓越RA」として、クリーンルーム家庭教師、すなわち先輩利用者の立場で後輩に技術を伝承するという新しい仕組みが完成し、博士課程学生6名が従事した。これは、長年の仕組みの限界を一瞬で打破したものであり、大いに感謝されるべき内容である。集積回路に代表される半導体エレクトロニクス素子、センサ・マイクロシステムなど新規分野の研究には、①加工・計測装置への膨大な設備投資と、②学問に裏付けられた微細加工技術の厚い蓄積、そして③最先端の加工技術を開拓する研究開発力が必須である。上記高度微細デバイス研究の必須3要素は、個々の研究室で開発され、個々の研究室に知見が蓄積されるのが20世紀後半の我が国の大学における基本形態であった。しかしながら、加工・計測装置は年々高度化・大型化し、21世紀に至り、潤沢に資金を持つ研究室であっても一流装置の調達そして維持が困難な時代となった。もとより大学高専、企業や国研、NPOにおける個々の研究室全てが等しく潤沢に巨額の資金と潤沢な人的リソースを「独占所有」することは不可能であるが、1996年のVDEC設

立時に整備した「集積回路設計研究におけるシェアードエコノミーモデル（ファウンドリ）」を微細加工・計測研究分野に対して水平展開し、何人に対しても開かれた「オープンプラットフォーム」を整備し運用する「互助」の仕組みを成立させられれば、恵まれた環境を「等価的に所有（共有）」でき、全国津々浦々で最先端研究を実施することができる。

上記目的を達成するためにd.lab基盤部門では、2001年に武田郁夫氏（現アドバンテスト創業者）による工学系研究科（小宮山宏工学部長）及び大規模集積システム設計教育研究センター（浅田邦博センター長）に対して行われた巨額の寄付により、2003年12月に竣工した「武田先端知ビル」地下スーパークリーンルーム（ISOクラス3、実測クラス1を含む600㎡）、及び上層階スペースの固有面積および借室面積を利用、価値総額38億円を超える一流の微細加工・計測装置を戦略的に展開、共用授業を展開している（図1）。管理する公開装置は、アドバンテスト株式会社大浦会長決断の寄付による「世界最速」高速電子線描画装置F5112+VD01に始まり、平成24年度補正予算（アベノミクス「第一の矢」）によって導入された高精細電子線描画装置F7000S-VD02、シリコン高速深掘りエッチング装置SPTS MUC-21 ASE-Pegasus、研究室レベルで導入できる最も高精細なクラスの走査型電子顕微鏡Hitachi Regulus SU8230等約70台であり、洗浄、製膜、リソグラフィ、エッチング、組み立て、評価プロセスの大半をカバーしている。現時点でカバーできていない技術分野の装置は、ナノテクノロジープラットフォーム16拠点のネットワークによって提供している。



図1 武田先端知スーパークリーンルーム沿革

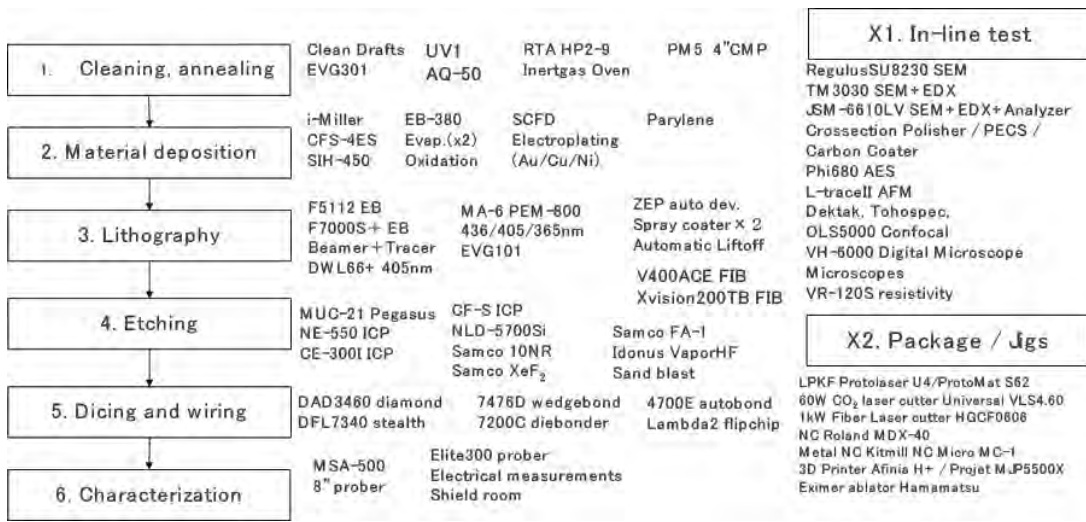


図2 d.lab基盤デバイス部門が管理公開する共同利用装置一覧

2.4.2 基盤デバイス研究部門が運営する「武田先端知クリーンルーム」共有環境

拠点は、文部科学省事業(2012-2021)「ナノテクノロジープラットフォーム東京大学微細加工拠点」または「武田先端知クリーンルーム」と呼ばれ、「装置共用という価値観を共有する者」に対して広く開かれている。単なる試作の外注先ではないと、利用者一人一人が自覚することが非常に大切であり、「自助・共助・公助」という価値観を理解し共有することによって初めて、研究室運営者としての自分が当然支払うべきコスト(人的、金銭的、時間的)を最低限に抑えて直ちに最先端の研究が展開できる。価値観の共有による利益は例えば、建物も含め77億円を超える施設整備費、年間3.0億円の運転経費、これらを整備し先端プロセスの知見を蓄積していた20年という時間の短縮効果である。このように絶大な効果のため、多数の研究室の賛同を得ている。賛同研究室数は過去10年で456研究室、登録者は年間900名を超えており、実利用(部屋へのアクセス)は550名・年間1万6千アクセスを超える。

運用は「自助・公助・共助」を旨とし、利用者負担金(内規に基づく)、d.lab運営費交付金、文部科学省ナノテクノロジープラットフォーム事業、関連研究室(武田先端知ビルおよびクリーンルームの借室研究室)やd.labと直接共同研究関係のある企業等からの研究資金を収入とし、それぞれの予算用途を厳密に区分して各種法規規則や命令を完全に遵守して公正に運用している。運転資金年間3.0億円の内訳は大づかみに整備費、電気代・修理費・人件費からなる。法人化以降、中期計画に基づいた弾力的な運用が可能であり、節約

できた運営費を原資として職員の安定雇用や小・中規模装置の更新、増強に割り当てている。

基盤デバイス研究部門では、多数の利用者が抱える微細加工への期待に日夜接することで、技術動向の「空気感」を持っている。需要が高く、分野を超えた普遍性が見込まれる基幹技術については自らのチームで技術開発を行い、積極的に論文発表して公共財とするように努めている。

さらに、d.labの一部門であるという「地の利」を活かし、集積回路素子(LSI)と新規MEMS構造の集積化、所謂「集積化MEMS」の研究開発を10年以上にわたって実践している。詳細は原著論文[2]にまとめているとおり、「LSIファウンドリ」機能によって、特定用途向け電子デバイスの搭載されたシリコンウエーハを協力会社(例：フェニテックセミコンダクター社)で試作し、取得したウエーハに対して武田先端知ビルスーパークリーンルームを始めとするオープンプラットフォームにおいて微細後加工を施し、センサ・アクチュエータ素子とする仕組みである。この仕組みによれば、信頼性が必要であるトランジスタ回路部分は全く苦勞することなく入手でき、新規機能であるために外注の引受先が存在しないMEMS部分は自前で行う。まさに「世界初の機能を」「世界最高の性能で」実現することが可能な、世界的にもユニークな仕組みといえる。企業も含む共同研究ベースで年1回の共同試作(固定枠方式)を行っている。

[2] Y. Mita et al., Japanese Journal of Applied Physics, 56, p. 06GA03, 2017 (2017) DOI: 10.7567/JJAP.56.06GA03

2.4.3 基盤デバイス研究部門2021年活動報告

【受賞】 文部科学省事業ナノテクノロジープラットフォームでは、毎年3000件を超える利用報告書の中から特に優れた利用成果を有識者による委員会により数件選定、顕彰している。基盤デバイス研究部門が推薦した利用成果「プラズモニク構造を利用したシリコンMEMSモノリシックSPR分光センサ」課題が秀でた利用成果最優秀賞を受賞した(図3)。2019年の秀でた利用成果受賞、2020年の秀でた利用成果最優秀賞に続く三年連続の受賞、二年連続最優秀賞の栄誉であった。ナノプラ10年の歴史で最後の金字塔である。受賞者は東大にもゆかりのある電気通信大学菅哲朗准教授(2022年4月より教授)の研究であり、武田先端知ビルの電子線描画装置による直接描画と深掘りRIE装置によるナノ加工(開口200nm、深さ500nm)を施したプラズモニク構造で赤外線分光を行う研究である。

【感染0&前年以上の利用成果を得る】 2020年度に引き続き、完全なパンデミック対策を施した。毒性は弱いが感染力の強いオミクロン株の流行により、クリーンルームに入った後発症したケースが3件(利用者、業者等)あったが、伝染は0であった。

【ポストナノプラへの参画・採択】 クリーンルーム運営「公助」は、主にナノテクノロジープラットフォーム事業で賄われている。この事業は令和3年度で10年間の期限が終了するが、文部科学省が中心となって、ナノプラのヘリテージを活かした、プロセスを含むマテリアルDX(デジタルトランスフォーメーション)事業が令和3年度より開始されることとなった。ナノプラは「構造解析・微細加工・分子物質合成」という分野別の横連携方式であったが、マテリアルDXでは「研究領域ごとのハブスポーク」方式となった。

d.lab基盤部門は、総合研究機構ナノ工学センターと連携し、さらに情報基盤センターを加えて、幾原雄一教授代表で計画に応募、採択されている。令和2年度補正予算に続き、令和3年度補正予算によって測定装置が処置された。さらに、次世代X-nics研究拠点にd.labが採択され、その一部のプロジェクト実施のため同じく令和3年度補正予算が措置されている。合計で、45億円が世界一流のプラットフォームに伍すために必要で、定期的なメンテナンス(例えば14年償還とすると年間3億円ずつ)が引き続き必要とされている。



図3 ナノテク展での受賞記念ポスターを前に関係者で記念撮影

2.5 「アドバンテストD2T寄附講座」活動報告

2.5.1 「アドバンテストD2T寄附講座」の紹介

2.5.1.1 アドバンテストD2T寄附研究部門（現寄附講座）設立の趣旨

これまでのVDECの活動を通じ、多くの大学・高専でVLSI設計・試作文化が根付き、活発な設計研究・教育活動が行われています。このような状況の中、株式会社アドバンテストからの寄附金により、「アドバンテストD2T寄附研究部門」が2007年10月にVDEC内に設立されました。「アドバンテストD2T寄附研究部門」は、全国の学生にVLSIの設計からテストまで一貫した研究・教育環境を提供することで、テスト設計の専門家となりえる人材を育成するとともに、SoCの設計に関する研究を支援することを目的としております。従来、VDECではVLSIの「設計・試作」という面からの活動を重点的に行ってまいりましたが、「設計」だけでなく「テスト」の観点からも研究・教育の中心拠点となるべく”Design to Test (D2T)”の理念のもと、国

内の大学・高専における「テスト研究・教育」の拠点としての活動を行っています。

当部門はこれまで2007年10月～2010年9月（第1期）、2010年10月～2013年9月（第2期）、2013年10月～2016年9月（第3期）、2016年10月～2019年9月（第4期）の計12年間に渡るプロジェクトを遂行してきました。東京大学大学院工学系研究科附属システムデザイン研究センター（d.lab）が2019年10月に発足後、D2T寄附研究部門は研究のさらなる発展、D2T教育により重心を置いた「アドバンテストD2T寄附講座」としてセンター内に設置されました。2019年10月から株式会社アドバンテストのご厚意により新たに開始した第5期（2019年10月～2022年9月）の二年目が開始いたしました。本報告は第5期の二年度、2020年10月～2021年9月の活動報告となります。D2Tに関する研究とともに、教育活動の充実図っていく予定であります。当寄附講座の活動の詳細については、続く各章においてそれぞれ報告いたします。

アドバンテスト D2T 寄附講座 東京大学大学院工学系研究科附属システムデザイン研究センター
Systems Design Lab (d.lab)

第16回 D2Tシンポジウム

~ Design to Test Structures and Verification for Bio-MEMS, MRAM, AI, Machine Learning ~

東京大学大学院工学系研究科附属システムデザイン研究センター（d.lab）では、株式会社アドバンテストからの寄附によるアドバンテストD2T寄附講座において、「D2T（Design-to-Test）」の理念に基づき、「設計」と「テスト」の横断しを目的とした研究・教育活動を行なっています。その一環として開催して参りましたD2Tシンポジウムを今年も下記の日で開催いたします。当日までに数名のキーノートークが増える可能性がありますので、HPでのご確認をどうぞよろしくお願い申し上げます。多くの皆様のご参加をお待ち申し上げます。

2021 9/15 Wed

10:00~18:00

Keynote Speakers

			
<p>Teruo Fujii <small>Ph.D.</small> <i>Microfluidics for Cellular and Molecular Systems</i> Professor at the University of Tokyo</p>	<p>Wayne Luk <small>Ph.D.</small> <i>Meta-programming Strategies for Multi-Target Design Optimization</i> Researcher (Google Cloud)</p>	<p>Mehdi Tahoori <small>Ph.D.</small> <i>Computing Paradigms based on Flexible Targets Printed Electronics</i> Department Head, Computing at Carthage Institute of Technology</p>	<p>Tadahiro Kuroda <small>Ph.D.</small> <i>Time Performance Improvements by Agile Design and 3D Integration</i> Systems Design Lab, The University of Tokyo</p>
			
<p>K.-I. Tim Cheng <small>Ph.D.</small> <i>Ratio-based Reliable Memory Cells for Low Error Rate and High Energy Efficiency</i> Hong Kong University of Science and Technology and Fudan, The University of Tokyo</p>	<p>Shin-ichi O'uchi <small>Ph.D.</small> <i>AI-Accelerator Proof of Concept by a Multi-IP Chip Project</i> Laboratory Team Leader, AIST UTRIP, AI Chip Design Open Innovation</p>	<p>Alex Orailoglu <small>Ph.D.</small> <i>Design of Reliable and Efficient Deep Learning Processing Systems</i> University of California, San Diego</p>	<p>Byambadorj Zolboo <small>Ph.D.</small> <i>Analysis and Calibration Techniques of Molecular Wirebond Connectors for High Precision Sub-Space Sampling System</i> Systems Design Lab, The University of Tokyo</p>

主催 東京大学大学院工学系研究科附属システムデザイン研究センター（d.lab）

協賛 株式会社アドバンテスト

賛助（学外）（一社）電子情報技術学会、（一社）情報処理学会、IEEE SCSO、IEEE Computer Society、IEEE Korea Chapter、名研研学会、事務局 MEMS 研経研会、ナノシステム工学（一社）電子情報技術産業協会、（一社）日本電子学会 製造技術協会、SEM 研究会（一社）IAV（ドイツ）イネーテック株式会社、社会エンジニアリングシステム株式会社

お問い合わせ 東京大学大学院工学系研究科附属システムデザイン研究センター アドバンテストD2T寄附講座
〒113-0032 東京都文京区根津 2-11-16 近鉄先端ビル404号室
TEL: 03-5841-6522 FAX: 03-5841-1963 <http://www.dlab.t.u-tokyo.ac.jp/> <http://www.vdec.as.jp/d2tsymposium2021.jp/>

参加のお申し込み

申込期間：2021年7月11日～8月14日



申込ボタン

2.5.1.2 アドバンテストD2T寄附講座構成員

特任教授	藤田 昌宏
特任講師	肥後 昭男
博士研究員	Byambadorj Zolboo
共同研究員	浅見 幸司 (株式会社アドバンテスト研究所)
共同研究員	石田 雅裕 (株式会社アドバンテスト)
学術支援職員	山口 隆弘
事務補佐員	岡崎 真紀子

オンラインでのご講演となりました。本学総長の藤井先生によるご講演、本センター長の黒田先生のご講演をはじめ、英国インペリアルカレッジロンドンのWayne Luk, 教授、独国カールスルーエ工科大学 Mehdi Tahoori 教授、米国カリフォルニア大学サンディエゴ校の Alex Orailoglu 教授、香港科学技術大学で本学フェローである Tim Cheng 教授、山荘技術研究所の大内真一先生をお招きし、「バイオMEMS、3D接合、メモリ、AIチップ、機械学習、設計最適化」をキーワードに最新の研究についての貴重な講演を頂きました。また、D2T寄附講座の研究紹介としてZolboo 博士研究員による最新の研究成果の発表も行いました。

2.5.2 「第16回D2Tシンポジウム」開催報告

2021年9月15日(木)に、オンライン(一部ハイブリッド)開催による「第16回D2Tシンポジウム」を開催し、たくさんの皆様にご参加を頂きました。
今回のシンポジウムでは、コロナ禍のため国内外の講演者を招聘することがむずかしく、本学教員以外は

このようなCOVID-19新型コロナウイルス感染症影響下でしたのでオンライン(一部ハイブリッド)開催とはなりましたが、大変盛況な会となりましたことを改めて御礼申し上げるとともに、今後開催される第17回シンポジウムへのご参加を心よりお待ちしております。

16th D2T Symposium Program ONLINE September 15, 2021

10:00	Opening Remarks Tadahiro Kuroda (Director, d.lab, School of Engineering, the University of Tokyo) Yoshiaki Yoshida (President & CEO, ADVANTEST CORPORATION)
10:15	Session 1 (Chairpersons: Yoshio Mita, Masahiro Fujita, d.lab, the University of Tokyo) <i>Microfluidics for Cellular and Molecular Systems</i> Teruo Fujii , President (the University of Tokyo) <i>Meta-programming Strategies for Multi-Target Design Optimisation</i> Wayne Luk , Professor (Imperial College London)
12:00	Lunch
13:00	Session 2 (Chairperson: Tetsuya Iizuka, d.lab, the University of Tokyo) <i>Time Performance Improvement by Agile Design and 3D Integration</i> Tadahiro Kuroda , Professor (d.lab, the University of Tokyo) <i>Design of Reliable and Efficient Deep Learning Processing Systems</i> Alex Orailoglu , Professor (University of California, San Diego)
14:45	Session 3 (Chairperson: Makoto Ikeda, d.lab, The University of Tokyo) <i>Ratio based Resistive Memory Cells for Low Error Rate and High Energy Efficiency</i> K.-T. Tim Cheng , Professor (Hong Kong University of Science and Technology and Fellow, the University of Tokyo) <i>AI-Accelerator Proof of Concept by a Multi-IP Chip Project</i> Shin-ichi O'uchi (S. O'uchi) Laboratory Team Leader, AIST-UTokyo AI Chip Design Open Innovation Laboratory (AIDL) National Institute of Advanced Industrial Science and Technology (AIST)
16:30	Session 4 (Chairperson: Masahiro Fujita, d.lab, The University of Tokyo) <i>Recent D2T research department progres</i> Akio Higo , Lecturer (d.lab, The University of Tokyo) <i>Analysis and Calibration Techniques of Modulated Wideband Converter for High-Precision Sub-Nyquist Sampling System</i> Zolboo Byambadorj , Doctoral research fellow (d.lab, The University of Tokyo) <i>Computing Paradigms based on Flexible Inorganic Printed Electronics</i> Mehdi Tahoori , Professor (Dependable Nano-Computing at Karlsruhe Institute of Technology)
18:00	Closing Remarks Masahiro Fujita (d.lab, School of Engineering, The University of Tokyo)

2.5.3. 研究活動報告

■高精度波形測定技術

山口隆弘, 肥後昭男, 飯塚哲也

確率的アナログ-デジタル変換器 (Stochastic Analog to Digital Converter; ADC) の研究を行っている。特に、耐不規則性をより向上させるための、確率の中央値をもちいたレベル交叉時刻検出方式について研究している。

検出されたレベル交叉時刻はその最尤時刻 t^* の周りで揺らぐと仮定できる。はたして、分散がレベル交叉時刻の揺らぎパワーを正確に評価する尺度たるかどうか、われわれの主な関心である。数値実験と CMOS コンパレータをもちいた実験から、中央値コードからもとめた平均時刻 t_μ は、レベル交叉の最尤時刻 t^* に一致しないことを発見した。したがって分散では、レベル交叉時刻の最尤時刻 t^* 周りの揺らぎパワーは評価できない。確率的 ADC の雑音パワーが従来のフラッシュ ADC より大であると報告されているが [TCAS-I, Vol. 57, no. 11, 2010], この発見はその理由をあたえる。分散における距離項 $(x - \mu)^2$ を、 t^* からの距離項 $(x - t^*)^2$ に置き換えると、分散はもうひとつ別の評価尺度—2乗平均誤差—となる。すなわち、2乗平均誤差を評価尺度とすることにより、レベル交叉時刻の最尤時刻 t^* 周りの揺らぎパワーを評価できることになる。2乗平均誤差の有効性は、数値実験と CMOS コンパレータをもちいた実験により検証した。

■広帯域周波数拡散向け高性能 ADC との応用

浅見幸司, Byambadorj Zolboo, 肥後昭男, 飯塚哲也, 藤田昌宏

IoTなどで使用される低価格の RF デバイスを、低コストで高性能に測定するための圧縮サンプリング方式の研究を行っている。4-channel MWC 実験回路を作製しこれまでに構築した性能改善手法の実機検証を行った。実際の無線通信用デバイステストで使用される Bluetooth と LTE 波形を用いて性能を確認し、2021年3月で、本テーマを終了した。

■5G多チャンネル・ミリ波信号測定手法の研究

浅見幸司, Byambadorj Zolboo, 小池良吾, Guo Sheng, Nguyen Ngoc Mai-Khanh, 肥後昭男, 飯塚哲也, 藤田昌宏

ミリ波信号を over-the-air (OTA) 環境で測定するための、要素技術の研究を行っている。ミリ波用アンテナの近傍界測定のため、空間分解能のよいプラナー型モノポール・プローブアンテナを開発し、試作した。またプローブ特性の同定および、近傍界-遠方界変換アルゴリズムを作成し、実装完了。ミリ波実験システムを構築し、実際の5G用アンテナを用いて、性能の確認及び改善を進めている。

■ATE向け高速・高精度な多ピンタイミング CAL 技術

石田雅裕, 大塚日嵩, 飯塚哲也, 名倉徹, 徐祖樂, 肥後昭男, 藤田昌宏

半導体試験装置 (ATE) では数千から数万ピンの信号入出力チャンネルをもち、被試験デバイス (DUT) へ出力される試験信号のタイミングおよび DUT から出力される信号の比較タイミングをそれぞれ一致させるタイミングキャリブレーション (CAL) が必要である。本研究テーマでは、ATE に適用可能な高速かつ高精度な多ピンタイミング CAL 方式の研究をおこなっている。本年度は、目標精度 1ps のタイミング CAL を実現する回路方式を決定し、VDEC のチップ試作サービスをもちいて TEG チップの設計をおこなった。タイミング CAL 用デバイス開発における懸念事項から TEG の試作・評価戦略を立案し、熱および電源変動による CAL 精度劣化を評価できる TEG を試作することに決定した。TSMC 65nm CMOS プロセスで TEG の回路設計およびレイアウト設計をおこない、シミュレーションで目標 CAL 精度 1ps を満足できることを確認した上で、出図を完了した。

2.5.4 研究発表

論文誌

[1] Zolboo Byambadorj, Koji Asami, Takahiro J. Yamaguchi, Akio Higo, Masahiro Fujita and Tetsuya Iizuka, “A Calibration Technique for Simultaneous Estimation of Actual Sensing Matrix Coefficients on Modulated Wideband Converters,” IEEE Transactions on Circuits and Systems-I: Regular Papers, vol. 67, no. 12, pp. 5561 - 5573, Dec. 2020.

3.1 組織概要

東京大学大規模集積システム設計教育研究センター(略称VDEC)は、日本の国公立大学と工業高等専門学校におけるVLSI設計教育の充実と研究活動の推進のために平成8年5月に全国共同利用施設として発足した。平成16年度の国立大学法人化に伴い、東京大学の学内の1部局として位置づけとなって以降も、各位のご理解の元、それまで同様の活動を継続してきた。令和元年10月に、東京大学における半導体関連研究の強化を目指して設置された東京大学大学院工学系研究科附属システムデザイン研究センター(d.lab)に合流し、これまでVDECが担ってきた日本の国公立大学と工業高等専門学校におけるVLSI設計教育の充実と研究活動の推進の活動を基盤設計研究部門における「VDEC機能」として継続しつつ、先端設計研究部門における産学連携をも強化した最先端設計研究の強化を目指した活動を開始した。

VDECは発足当初は専任教員5名と事務官1名という小さな組織であったが、平成9年度には専任教員2名と事務官1名が増員され、令和元年9月時点では専任教員8名、客員教授1名、そして20名以上の非常勤スタッフや学外協力研究員が在籍していた。

また、平成9年4月から平成19年3月まで、全国9大学のVDECサブセンターから連携を密にする目的で、2

年を単位として2名の教官を派遣する「流動教官制度」を実施していた(平成16年度からは国立大学法人になったことに伴い「客員研究員制度」に名称変更)。この流動教官制度の終了に伴い、全国運営協議会における了解のもと、VDECにおけるチップ試作料金に手数料を上乗せし、その資金により特任教員を雇用することでVDECの活動(現在のVDEC機能)の充実を図っている。

加えて、平成20年4月からは「協力教員制度」を開始し、現在は10大学の各拠点校等の協力教員が移籍することなくその運営を担っていただいている。(下記参照)

さらに産業界との連携のため、1名の客員教員に協力をお願いしており、引き続き産業界との連携を充実させていきたい。

現在、VDEC機能を含めたd.labの事務については、非常勤スタッフと工学系・情報理工学系研究科等事務部が連携をとりながら行っている。

令和4年4月1日現在、d.labの人員構成は、教授10名(内専任2名、兼任7名、特任1名)、准教授3名(内専任2名、兼任1名)、講師2名(内専任1名、特任1名)、助教2名、研究員14名(内上席研究員2名、主幹研究員1名、特任研究員11名)、学術専門職員14名、副課長1名、係長2名、特任専門職員1名、係員1名となっている。

表 流動教官派遣大学

年 度	派 遣 大 学
平成9・10年度	東北大学、横浜国立大学
平成11・12年度	金沢大学、広島大学
平成13年度	千葉大学、東京工業大学
平成14年度	千葉大学、東京工業大学、京都大学
平成15年度	京都大学、九州大学
平成16年度	大阪大学、九州大学
平成17年度	名古屋大学、大阪大学
平成18年度	北海道大学、名古屋大学
平成19年度	北海道大学
平成20年度以降	協力教員派遣実績のある大学 (北海道大学、東北大学、東京工業大学、金沢大学、名古屋大学、京都大学、京都工芸繊維大学、立命館大学、大阪大学、広島大学、九州大学、福岡大学)

3.2 人事報告

d.lab 人事（2022年4月1日付け）

センター長・教授	黒田 忠 広
先端設計研究部門長・特任教授	濱田 基 嗣
基盤設計研究部門長・教授	池田 誠
先端デバイス研究部門長・教授 (東京大学生産技術研究所)	平本 俊 郎
基盤デバイス研究部門長・准教授 (東京大学大学院工学系研究科 電気系工学専攻)	三田 吉 郎
教 授 (東京大学大学院情報理工学系 研究科)	中村 宏
教 授 (東京大学大学院工学系研究科 電気系工学専攻)	竹内 健
教 授 (東京大学大学院工学系研究科 電気系工学専攻)	高木 信 一
教 授 (東京大学大学院工学系研究科 電気系工学専攻)	染谷 隆 夫
教 授 (東京大学大学院工学系研究科 マテリアル工学専攻)	内田 建
教 授 (東京大学大学院工学系研究科 電気系工学専攻)	竹中 充
非常勤講師（産業界客員教員）	水野 正 之
准 教 授	小林 正 治
准 教 授	飯塚 哲 也
講 師	小菅 敦 丈
特任講師	肥後 昭 男
助 教	NGUYEN NGOC MAI KHANH
助 教	松本 高 士
上席研究員	若林 一 敏
上席研究員	丹羽 正 昭
主幹研究員	高木 剛
特任研究員	島本 直 伸
特任研究員	荒川 文 男
特任研究員	落合 幸 徳
特任研究員	陳 翔 宇
特任研究員	吉川 俊 之
特任研究員	BYAMBADORJ ZOLBOO
特任研究員	YANG ZUNSONG
特任研究員	二宮 健 生
特任研究員	坪井 伸 二
特任研究員	川野 連 也
特任研究員	竹内 魁

学術専門職員	狭 間 雅 人
学術専門職員	島 津 之 彦
学術専門職員	長谷川 淳
学術専門職員	有 本 久 成
学術専門職員	岡 田 光 司
学術専門職員	四手井 綱 章
学術専門職員	林 泰 弘
学術専門職員	太 田 悦 子
学術専門職員	YIP WAI YEUNG
学術専門職員	窪 田 通 孝
学術専門職員	有 賀 浩
学術専門職員	大 竹 和 生
学術専門職員	小 倉 建 治
学術専門職員	井 上 友里恵
副 課 長	岡 野 孝 之
係 長	丹 羽 靖
係 長	原 田 正 史
特任専門職員	小田嶋 輝 明
係 員	高 梨 芳 郎

※ () が記載されている教員は、() 内が本務先である。



2021年度東京大学大学院工学系研究科附属システムデザイン研究センター基盤設計研究部門 (VDEC)
全国運営協議会委員名簿

氏名	所属・職位	任期	連絡先	
			TeL/Fax	E-mail
藤田 昌宏	東京大学大学院工学系研究科附属システムデザイン研究センター 教授	2020.4.1～ 2022.3.31	TEL 03(5841)6673 FAX 03(5841)6724	fujita@ee.t.u-tokyo.ac.jp
池田 誠	東京大学大学院工学系研究科附属システムデザイン研究センター 教授	2020.4.1～ 2022.3.31	TEL 03(5841)6661	ikedata@silicon.u-tokyo.ac.jp
黒田 忠広	東京大学大学院工学系研究科附属システムデザイン研究センター 教授	2020.4.1～ 2022.3.31	TEL 03(5841)6561	kurodata@ee.t.u-tokyo.ac.jp
高木 信一	東京大学大学院工学系研究科電気系工学専攻 教授	2020.4.1～ 2022.3.31	TEL 03(5841)7467	takagi@ee.t.u-tokyo.ac.jp
池辺 将之	北海道大学量子集積エレクトロニクス研究センター 教授	2020.4.1～ 2022.3.31	TEL/FAX 011-716-6004	ikebe@ist.hokudai.ac.jp
須川 成利	東北大学未来科学技術共同研究センター 教授 東北大学リサーチプロフェッサ	2020.4.1～ 2022.3.31	TEL 022(795)5022 FAX 022(795)3986	shigetoshi.sugawa.d4@tohoku.ac.jp
一色 剛	東京工業大学 工学院 情報通信系 教授	2020.4.1～ 2022.3.31	TEL/FAX 03(5734)2842	issiki@ict.e.titech.ac.jp
岡田 健一	東京工業大学 工学院 電気電子系 教授	2020.4.1～ 2022.3.31	TEL 03-5734-3764	okada@ee.e.titech.ac.jp
史 又 華	早稲田大学基幹理工学部電子物理システム学科 教授	2020.4.1～ 2022.3.31	TEL 03-5286-3400	shi@waseda.jp
北川 章夫	金沢大学理工研究域電子情報通信学系 教授	2020.4.1～ 2022.3.31	TEL 076(234)4863 FAX 076(234)4863	kitagawa@is.t.kanazawa-u.ac.jp
石原 亨	名古屋大学大学院工学研究科情報システム学専攻 教授	2020.4.1～ 2022.3.31	TEL 052(789)4363	ishihara@i.nagoya-u.ac.jp
佐藤 高史	京都大学大学院情報学研究所通信情報システム専攻 教授	2021.8.1～ 2022.3.31	TEL 075(753)4801 FAX 075(753)4802	takashi@i.kyoto-u.ac.jp
三浦 典之	大阪大学大学院情報科学研究科情報システム工学専攻 教授	2021.7.15～ 2022.3.31	TEL 06(6879)7810 FAX 06(6879)7812	nmiura@ist.osaka-u.ac.jp
藤島 実	広島大学大学院先進理工系科学研究科 量子物質科学プログラム 教授	2020.4.1～ 2022.3.31	TEL 082(424)6269	fujii@hiroshima-u.ac.jp
井上 弘士	九州大学大学院システム情報科学研究科情報知能工学部門 教授	2020.4.1～ 2022.3.31	TEL 092(802)3793 FAX 092(802)3786	inoue@ait.kyushu-u.ac.jp
藤野 毅	立命館大学理工学部電子情報工学科 教授	2020.4.1～ 2022.3.31	TEL:077-561-5150(直通) 8391(内線) FAX: 077-561-5150, 2663	fujino@se.ritsumeai.ac.jp
兵庫 明	立命館大学理工学部電子情報工学科 教授	2020.4.1～ 2022.3.31	TEL 04(7124)1501内3756 FAX 04(7122)5171	hyogo@ee.noda.tus.ac.jp
石黒 仁揮	慶應義塾大学理工学部電子工学科 教授	2020.4.1～ 2022.3.31	TEL 045(566)1815内 42255	ishikuro@elec.keio.ac.jp
吉本 雅彦	神戸大学大学院システム情報科学研究科特命教授	2020.4.1～ 2022.3.31	TEL 078(803)6630 FAX 078(803)6630	yosimoto@cs.kobe-u.ac.jp
名倉 徹	福岡大学工学部電子情報工学科 教授	2020.4.1～ 2022.3.31	TEL 092(871)6631	nakura@fukuoka-u.ac.jp

2021年度 システムデザイン研究センター運営委員会委員名簿

区分	氏名	所属	任期	メールアドレス
委員長	黒田 忠広	システムデザイン研究センター センター長	—	kuroda@dlab.t.u-tokyo.ac.jp
1号委員	染谷 隆夫	工学系研究科長	—	dean@t.u-tokyo.ac.jp
2号委員	森川 博之	電気系工学専攻長	—	mori@mlab.t.u-tokyo.ac.jp
3号委員	柴田 直哉	総合研究機構長	—	shibata@sigma.t.u-tokyo.ac.jp
4号委員	藤田 昌宏	システムデザイン研究センター	2021.4.1～ 2022.3.31	fujita@ee.t.u-tokyo.ac.jp
4号委員	池田 誠	システムデザイン研究センター	2021.4.1～ 2023.3.31	ikedas@silicon.u-tokyo.ac.jp
4号委員	小林 正治	システムデザイン研究センター	2021.4.1～ 2023.3.31	masa-kobayashi@nano.iis.u-tokyo. ac.jp
4号委員	飯塚 哲也	システムデザイン研究センター	2021.4.1～ 2023.3.31	iizuka@vdec.u-tokyo.ac.jp
5号委員	高木 信一	電気系工学専攻	2021.4.1～ 2023.3.31	takagi@ee.t.u-tokyo.ac.jp
5号委員	霜垣 幸浩	マテリアル工学専攻	2021.4.1～ 2023.3.31	shimo@dpe.mm.t.u-tokyo.ac.jp
5号委員	鈴木 雄二	機械系工学専攻	2021.4.1～ 2023.3.31	ysuzuki@mesl.t.u-tokyo.ac.jp
6号委員	中村 宏	情報理工学系研究科	2021.4.1～ 2023.3.31	nakamura@hal.ipc.i.u-tokyo.ac.jp
6号委員	平本 俊郎	生産技術研究所	2021.4.1～ 2023.3.31	hiramoto@nano.iis.u-tokyo.ac.jp

3.3 退任のご挨拶

藤田 昌宏

このたび定年退職にあたり、少し述べさせていただきますと思います。

私は本学で博士をとったあと、富士通に就職し、川崎の研究所から富士通の米国研究所を経て、2000年3月から東京大学の教授を務めさせていただき、旧VDECの活動にも参加してきました。

研究内容は、実は卒論から一貫して同じで、電子機器の設計技術、設計支援技術、一般にEDA、Electronic Design Automationといわれる技術に関するものです。今、日本でも半導体技術や半導体産業の重要性が認識され、多くの計画が進行中だと思いますが、私は、卒論の時からその中心技術の1つであるEDAを基本研究テーマとしてきています。

電子機器は大規模化、複雑化しており、500億を超える素子を的確に結合し融合することで、大規模半導体チップ、例えばAIチップが実現され、高速・高機能処理が実現されています。それに利用されるEDA技術の重要性は広く認識され、1960年代から開発が進められており、今もAI技術の利用も含めて、活発に研究されています。

また、設計最適化や設計検証技術は、EDA以外にも応用可能で、種々の社会的解析でも広く活用されています。実際、EDAで学位をとった人の過半数は、最近ではEDA関連ではなく、グローバルIT企業で活躍しています。

EDAで面白いのは、設計対象が常に大規模化しているため、また、新しい素子やアーキテクチャが考案・実用化されるため、EDAには常に新しい研究の需要があるということです。仮にその時点での半導体技術が100万素子を集積できるものだとすると、その設計支援を行うEDAツールについては、それよりも少し大きな規模までを対象として効率的に研究開発されます。一方、次世代の1000万素子には、そもそもEDAツールのプログラム内のデータ構造が合わないなど根本的

な理由もあり、まったく対応できず、したがってまた研究開発する、ということを繰り返しています。また、新しい実装に対応するもの、たとえば最近では量子コンピュータの設計と利用に関するEDA技術の研究開発も鋭意進められています。

そのEDA技術に関してですが、私が最も重要であると感じていることについて触れたいと思います。現在、EDAツールは、EDAベンダーと呼ばれる主に欧米の企業（開発は台湾やインドなども）から購入して、使用することが一般的になっています。お金があれば、最先端EDAツールを導入して、最も進歩的なチップを設計できるということになるのですが、実際には、だれでもできるEDAツールの使い方では、だれでもできる設計しかできない、ということになります。ツールの単純利用では、自分にできることは基本的に他の人もできるということで、設計では差別化できないことになります。ところが実際の設計では、ツールの使い方では性能が大きく、例えば10倍以上、変化しています。これは、EDAツールを効率的に利用する能力が極めて重要であるということであり、そのためにはEDA技術がわかっていて、ツールが中でどのように処理しているかを理解し、必要に応じてツールを人が助けてやることで、チップ設計の差別化がされているということです。残念ながら、日本ではEDA技術に関する研究が盛んであるとはいいがたいのですが、それだけでなく、EDA教育とくに、高度な利用技術の教育が重要で、現在少し抜けているのではないかと感じています。だれでもできる何とかというだけでなく、私にしかできない何かも重要です。そういう人たちを増やしていくことが将来のジャンプにつながるやではないかと思えます。

大学やVDECには、どれだけ貢献できたかはよくわかりませんが、いろいろ助けていただいたことは確かであり、お礼申し上げます。今後は、個人的にやり残した研究を少しずつ趣味としてやっていければと思っています。ありがとうございました。

徐 祖樂 (Zule Xu)

2008年に留学生として来日し、旧VDECのCADツール、試作、セミナーなどを通して集積回路設計の扉を開きました。それから10年後の2018年に旧VDEC・d.lab基盤設計研究部門に特任講師として着任しました。この4年間、d.lab-VDEC教育活動に関するセミナーやフォーラムの運営を担当していました。全国の大学の先生方、学生様、およびベンダー企業の講師方とやり取りをしており、日本の集積回路教育・研究の最新動向をはじめ、様々ことを勉強させて頂きました。

今年4月からはimec-Netherlandsに移しましたが、analog/RF集積回路に関する研究を続けて新たな形で当分野に貢献する道を模索します。d.lab、そして日本に教わったことを糧に、新しい挑戦に向けて行きます。これまで関わって頂いた皆様、ありがとうございました。

3.4 決算報告

1. 運営費交付金

(円)

事項	収入(予算配分)額	支出額	過不足額
共通経費	577,117,069	499,400,545	77,716,524
研究経費	11,693,248	11,868,301	△ 175,053
計	588,810,317	511,268,846	77,541,471

2. 2021年度公的機関からの研究費

	教員名	委託者	研究課題	種類	受入金額(円)
1	黒田 忠広	国立研究開発法人 科学技術振興機構	積層型AIチップの低電力高効率アーキテクチャ	受託研究	3,666,000
2	黒田 忠広	国立研究開発法人 宇宙航空研究開発機構	近接場接続(Transmission Line Coupler)のエリアアレイパッケージへの応用の研究	共同研究	788,686
3	藤田 昌宏	独立行政法人 日本学術振興会	丘陵地域における地滑りの予測・検出・監視システム	受託研究	280,000
4	藤田 昌宏	国立研究開発法人 科学技術振興機構	IoTとモバイルビッグデータ処理のための高信頼高機能サイバーフィジカルシステムの構築	受託研究	18,252,000
5	池田 誠	電子商取引安全技術研究組合(ECSEC)	戦略的イノベーション創造プログラム(SIP)第2期/IoT社会に対応したサイバー・フィジカル・セキュリティ/(A1)IoTサプライチェーンの信頼の創出技術基盤の研究開発	受託研究	11,931,000
6	池田 誠	電子商取引安全技術研究組合(ECSEC)	「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発/研究開発項目①革新的AIエッジコンピューティング技術の開発」AIエッジデバイスの横断的なセキュリティ評価に必要な基盤技術の研究開発	受託研究	15,755,000
7	池田 誠	国立研究開発法人 新エネルギー・産業技術総合開発機構	IoT推進のための横断技術開発プロジェクト/Sensor-to-Cloud Security～ビッグデータを守る革新的IoTセキュリティ基盤技術の研究開発	受託研究	460,000
8	池田 誠	国立研究開発法人 新エネルギー・産業技術総合開発機構	研究開発課題発掘のための先導調査研究/RISC-Vシステム設計プラットフォームの研究開発	受託研究	2,995,000
9	池田 誠	国立研究開発法人 新エネルギー・産業技術総合開発機構	AIチップ開発加速のためのイノベーション推進事業/研究開発項目2:AIチップ開発を加速する共通基盤技術の開発	受託研究	1,306,545,000
10	池田 誠	国立研究開発法人 産業技術総合研究所	AIチップ開発を加速する共通基盤技術の開発	共同研究	1,650,000
11	池田 誠	国立研究開発法人 産業技術総合研究所	AI機能付デジタル・アナログ・センサ(DAS)集積システムに関する研究開発	共同研究	550,000
12	三田 吉郎	国立大学法人 京都大学	微細加工プラットフォーム	受託研究	67,260,000
13	小林 正治	国立研究開発法人 科学技術振興機構	ナノスケール強誘電体トランジスタの研究開発と機械学習アクセラレータへの応用	受託研究	1,999,800
14	小林 正治	国立研究開発法人 科学技術振興機構	知財活用支援事業スーパーハイウェイ「不揮発性記憶素子」	受託研究	1,950,000

15	飯塚 哲也	国立研究開発法人 科学技術振興機構	リアルタイム学習推論機能創出に向けた回路設計技術基盤構築	受託研究	22,100,000
16	飯塚 哲也	国立研究開発法人 科学技術振興機構	AIによる回路トポロジー合成を実現する高度なアナログ回路設計プラットフォームの開発	受託研究	16,276,000
17	小菅 敦丈	国立研究開発法人 科学技術振興機構	デバイス・システム協調による超低電圧布線論理型AIプロセッサ	受託研究	7,800,000
18	小菅 敦丈	国立研究開発法人 新エネルギー・産業技術総合開発機構	オンデバイス教師なし学習型AI外觀検査ソリューションの研究開発	補助金	4,992,000
19	若林 一敏	国立研究開発法人 科学技術振興機構	MEC用マルチノード向けの総合高位合成システムの研究開発	受託研究	13,000,000
20	若林 一敏	国立研究開発法人 新エネルギー・産業技術総合開発機構	高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発/研究開発課題発掘のための先導調査研究/データ構造処理を加速可能な新型計算機構の研究開発	受託研究	23,595,000
合 計					1,521,845,486

※合計金額は、上記1～20の各課題の合計金額を記載している。(円)

3. 2021年度民間企業等からの研究費

	教員名	委託者	研究課題	種類	受入金額(円)
1	黒田 忠広	三菱電機株式会社	基地局増幅器のための広帯域化回路技術の研究開発	共同研究	-
2	黒田 忠広	三菱電機株式会社	チップ間ミリ波信号無線伝送技術の研究(2)	共同研究	-
3	藤田 昌宏	株式会社アドバンテスト	先端LSI開発環境・テスト技術	共同研究	-
4	池田 誠	キオクシア株式会社	ストレージシステムにおける属性暗号を用いたセキュアアクセスの最適実装の検討	受託研究	-
5	池田 誠	株式会社村上開明堂、株式会社シルバアイ	ドライバー見守りシステム用セキュリティ技術の研究	共同研究	-
6	三田 吉郎	株式会社アドバンテスト	集積化微小MEMSによる高機能センサの研究	共同研究	-
7	三田 吉郎	株式会社ニューフレアテクノロジー	三次元MEMS構造プロセスの研究	共同研究	-
8	三田 吉郎	東レ株式会社	有機材料を用いたハイブリットボンディング用プロセス開発	共同研究	-
9	小林 正治	Taiwan Semiconductor Manufacturing Company, Ltd	Channel and Interface Engineering of Ferroelectric-HfO ₂ FeFET for 3D integrated high density memory	受託研究	-
10	小林 正治	株式会社神戸製鋼所	酸化半導体の大規模集積回路応用に向けたデバイスプロセスの研究開発	共同研究	-
合 計					57,919,100

※合計金額は、上記1～10の各課題の合計金額を記載している。

※受入金額の「-」は非公表を意味している。

4. 2021年度寄附金

受入件数：5件 受入額計 37,366,334円

(株式会社アドバンテスト、株式会社ジューダット、Zeno Semiconductor, Inc.、一般財団法人電子回路基板技術振興財団、公益財団法人マツダ財団)

第4章 研究報告

4.1 全体概況

	研究室構成 人数（名）	研究発表			著書（冊）	特許（冊）	受賞（件）
		研究論文	国際会議	その他			
d.lab 教員	85	21	37	71	1	6	9
協力教員	131	49	77	118	3	0	15

4-1

第4章
研究報告

4.2 研究室構成員(2021年度)

黒田・小菅研究室 構成

黒田 忠広	教授
濱田 基嗣	特任教授
小菅 敦丈	講師
丹羽 正昭	上席研究員
若林 一敏	上席研究員
高木 剛	主幹研究員
川野 連也	特任研究員
二宮 健生	特任研究員
竹内 魁	特任研究員
四手井 綱章	学術支援専門職員
岡田 光司	学術支援専門職員
Wai-Yeung Yip	学術支援専門職員
林 泰弘	学術支援専門職員
窪田 通孝	学術支援専門職員
柴 康太	修士2年
Meng Haopeng	修士2年
大森 達夫	修士2年
三浦 礼士	修士2年
柴田 彩登	修士1年
Lixing Yu	修士1年
Yao-Chung Hsu	修士1年
Ximing Wang	修士1年
澄川 玲維	学部4年
本堂 楓馬	学部4年
末廣 知士	学部4年
内間 典子	特任専門職員
豊井 弘美	特任専門職員
向井 律子	特任専門職員
田所 久美子	特任専門職員

竹内研究室 構成

竹内 健	教授
松井 千尋	特任助教
三澤 奈央子	学術支援専門職員
合田 晃	修士2年
樋口 和英	修士2年
越能 俊介	修士1年
吉清 秦生	修士1年

范 忠忠	修士1年
孫 英皓	修士1年
山田 步	学部4年
市川 裕也	学部4年
小林 知幾	学部4年
小林 英太郎	学部4年

中村研究室 構成

中村 宏	教授
高瀬 英希	准教授
小島 拓也	助教
上野 洋典	博士3年
胡 思己	博士2年
植原 悠	修士2年
岡田 怜士	修士2年
仮屋 郷佑	修士2年
小山 大次郎	修士2年
高瀬 圭一郎	修士2年
茆 黄潤	修士1年
國分 海渡	修士1年
富田 祐永	修士1年
中島 創太	修士1年
前田 志温	修士1年
山崎 雄輔	修士1年
佐藤 弘之	学部4年
中川 雅人	学部4年
檜原 陽一郎	学部4年

藤田研究室 構成

藤田 昌宏	教授
松本 高士	助教
Zhang Xinpei	博士2年
宮坂 幸雄	博士2年
Wang Junbo	修士2年
Zhang Yuechuan	修士2年
小池 良吾	修士2年
Yu Mingfei	修士2年
Yi Qingyang	修士2年
門井 丈丸	学部4年

池田研究室 構成

池田 誠	教授
吉川 俊之	特任研究員
荒川 文男	特任研究員
繆 逸杰	博士1年 (Yijie Miao)
Bayasgalan Amartuvshin	博士1年
Zeyu Wang	博士1年
蔣 定宇	修士2年 (現在 Huawei)
池田 健人	修士2年 (現在 SONY)
渡辺 直	修士2年 (現在 SONY)
Anawin Opatatian	修士2年
Hung Quoc Bui	修士1年
赵寅帆 (Yinfa Zhao)	修士1年
阿部 浩太郎	修士1年
島田 泰慎	修士1年
菊岡 才人	学部4年 (現在修士1年)
藤田 将大	学部4年 (現在竹中研修士1年)
正田 薫	学部4年 (現在修士1年)
松岡 瞳	学部4年 (現在三田研修士1年)

飯塚研究室 構成

飯塚 哲也	准教授
徐 祖 楽	特任講師
ゲンゴックマイカーン	助教
ビャムバドルジゾルポー	特任研究員
陳 翔 宇	特任研究員
楊 尊 松	特任研究員
長 田 将	博士1年
李 燦 焯	博士1年
堀川 貴道	修士2年
松岡 英	修士2年
岩下 僚我	修士1年
柴田 凌弥	修士1年
袁 浩 晨	修士1年
郭 晟	修士1年
張 浩 明	修士1年
大塚 日嵩	学部4年
加納 創太	学部4年
熊野 陽	学部4年

平本研究室 構成

平本 俊郎	教授
竹内 潔	特任研究員
水谷 朋子	特任研究員
伊藤 一夫	特任研究員
鈴木 慎一	特任研究員
高倉 俊彦	特任研究員
高瀬 博行	特任研究員
福井 宗利	特任研究員
柳田 知義	シニア協力員
周 翔	博士1年
山中 勇人	修士2年
刘 子豪	修士2年
余 虹 寛	修士2年
姫 佩琳	修士1年
金 駿 午	修士1年

小林研究室 構成

小林 正治	准教授
武 継 璇	特任研究員
進藤 怜史	特任研究員 (10月退職)
李 卓	博士1年
梅 瀟 然	修士2年 (9月卒業)
沢辺 慶起	修士2年
糸矢 祐喜	修士1年
宮 綺 雲	修士1年
金 在 顕	修士1年
郝 俊 翔	修士1年
黄 星 宇	修士1年
Deepak Ganesh Sharma	修士1年

高木研究室 構成

高木 信一	教授
トープラサートボンカシディット	講師
李 宗 恩	博士3年 (工学系)
羅 璇	博士3年 (工学系)
陳 家 聰	博士2年 (工学系)
姜 旼 秀	博士2年 (工学系)

隅田圭	博士2年(工学系)
韓雪揚	修士2年(工学系)
王澤宇	修士2年(工学系)
名幸瑛心	修士2年(工学系)
川野麻琴	修士1年(工学系)
吉津遼平	修士1年(工学系)
岩重宏一郎	学部4年(工学部)

竹中研究室 構成

竹中充	教授
唐睿	特任助教
ロダヌル	博士3年(工学系)
趙子強	博士3年(工学系)
湯涵智	博士2年(工学系)
宮武悠人	博士1年(工学系)
ティパットピヤパッタラクン	博士1年(工学系)
渡辺耕坪	修士2年(工学系)
張超	修士2年(工学系)
高城和馬	修士1年(工学系)
中山武壽	修士1年(工学系)
黄明智	修士1年(工学系)
赤澤智熙	学部4年(工学部)
車谷瞭文	学部4年(工学部)

内田研究室 構成

内田建	教授
田中貴久	助教
加藤るみ	学術支援職員
加藤太朗	博士1年
野木壮一郎	修士2年
松村美貴也	修士2年
梅田竜生	修士1年
濱中悠輔	修士1年
今西創生	学部4年
成田雄紀	学部4年
宮尾知寿	学部4年

染谷・横田・李研究室 構成

染谷隆夫	教授
横田知之	准教授
李成薰	講師
多川友作	特任助教
松葉頼重	特任研究員
川島伊久衛	学術支援専門職員
立花勇太郎	学術支援専門職員
小泉真里	学術支援専門職員
雪田和歌子	学術支援専門職員
池ヶ谷智子	学術支援専門職員
松岡一代	学術支援専門職員
山崎祥子	学術支援職員
原五月	学術支援職員
程董凱	博士2年
汪浩洋	博士2年
王佳辰	博士2年
杜宝才	博士1年
加藤裕	博士1年
ハリムルティ スクスマンディラ	博士1年
相浦琢人	修士2年
中村裕成	修士2年
角祐太郎	修士2年
王文清	修士2年
加藤由太郎	修士1年
森一馬	修士1年
ウィジャヤ テオドルス	修士1年
郭舒揚	修士1年
奥田知華	学部4年
宮田寛生	学部4年

三田研究室 構成

三田 吉郎	准教授
肥後 昭男	特任講師 (ADVANTEST D2T)
黄 吉卿	客員研究員 (LIMMS研究所 / 仏CNRS C2N研究所)
落合 幸徳	特任研究員 (ナノテクノロジー・プラットフォーム 専任マネージャ)
ルブラスール エリック	特任研究員 (ナノテクノロジー・プラットフォーム 技術支援担当)
藤原 誠	支援職員 (ナノテクノロジー・プラットフォーム 技術支援担当)
水島 彩子	技術専門職員 (ナノテクノロジー・プラットフォーム 技術支援担当)
太田 悦子	学術専門職員 (ナノテクノロジー・プラットフォーム 技術支援担当)
島本 直伸	特任研究員 (ナノテクノロジー・プラットフォーム代表機関 東日本方面コーディネータ)
大西 廉伸	学術専門職員 (ナノテクノロジー・プラットフォーム代表機関 東日本方面コーディネータ)
澤村 智紀	技術専門職員 (武田先端知クリーンルーム管理室)
廣澤 公彦	学術専門職員 (ナノテクノロジー・プラットフォーム 武田クリーンルーム管理室担当)
豊倉 敦	技術専門職員 (電気系一般電子実験室、武田先端知204 バックエンド加工室支援担当)
河井 哲子	学術専門職員 (ナノテクノロジー・プラットフォーム

渡邊 かをる	ディレクション担当) 特任専門職員 (ナノテクノロジー・プラットフォーム事務局)
高田 晃広	d.lab 共同研究員 (アドバンテスト)
中山 雄太	工学系共同研究員 (コミュニケーション)
三角 啓	修士2年
山口 貴史	修士1年
辻 啓吾	修士1年
山形 昌弘	学部4年
海老原 祐輔	学部4年

4.3 研究概要

黒田・小菅研究室

(<http://www.kuroda.t.u-tokyo.ac.jp/index.html>)

TCI: ThruChip Interface

黒田 忠広、濱田 基嗣、小菅 敦丈、四手井 綱章、岡田 光司、イップ ウエイイエン、柴康太、大森達夫

チップの配線を巻いて作ったコイルの誘導結合を用いて積層チップ間でデータ転送を行う3次元集積技術の研究を行っている。TSV（シリコン貫通電極）と同等以上の性能を低コストで実現可能である。本年度は、TCIを用いた3次元SRAM積層技術に関する発表及びそれに向けたアーキテクチャ、AI処理アルゴリズムの研究と、RaaSと共同でTCIを活用した3次元積層SRAMのテストチップの設計を行った。またTCIに向けた3次元積層の設計検証方法の基礎検討を行った。3次元実装技術についてはESSCIRC'21にて、そして3次元積層の設計検証ツールについてはEDAPS'21にてそれぞれ学会発表を行った。

TLC: Transmission Line Coupler

黒田 忠広、濱田 基嗣、小菅 敦丈、林 泰弘、Ximing Wang

ボード上の伝送線路の電磁結合を用いて、ボード間でデータ転送を行う技術の研究を行っている。従来型のコネクタで問題となる、摩耗、耐震性、インピーダンス整合などの問題がなく、安価で高性能な無線コネクタを実現可能である。本年度は企業との共同研究を通じ、パッケージ基板とPCBとを接続するための小型かつ高密度TLC実装技術の研究開発、そして非接触給電とTLCとを同軸配置し近接させた状態で同時通信を行う完全密封型の非接触コネクタ技術の研究を行った。特に後者においては無線給電と非接触通信との相互干渉を防ぐため、GNDシールド技術の基礎検討を実施した。

RFID 無線タグ

黒田 忠広、濱田 基嗣、小菅 敦丈、三浦礼二、柴田 彩登

1mm角以下の極小チップにアンテナと無線回路を集積した無線タグを実現し、インテリジェントなリーダーと組み合わせることで通信距離を確保し、極めて安価なIoE（Internet of Everything）システムを追究する。

今年度は断熱回路を活用し受信信号に基づいて決定論的に衝突を回避する新たな衝突回避機能を実現し、さらに断熱論理回路自体を工夫することにより低電力化を実現したRFIDタグ回路をTSMC 0.18 μ m CMOSプロセスで開発した。開発した成果はA-SSCC'21にて学会発表した。同じくRFIDタグ上に実装したコイルとPCB基板上のコイルとが磁界結合する、ボンディングレス実装技術も新たに開発した。コストの高いフリップチップ実装やボンディングが不要になる。TSMC 0.18 μ m CMOSプロセスでテストチップを開発評価し、SSDM'21, ASP-DAC'21及びJJAP'22にて論文発表を行った。

Wired-logic AI プロセッサ

黒田 忠広、濱田 基嗣、小菅 敦丈、柴康太、Yao-Chung Hsu, 澄川玲維、本堂楓馬

処理量の多いAIが多数社会実装されるにつれて急増する電力消費を抑えるため、Wired-logicに着目した非ノイマン型AI Processorを研究している。Wired-logicを用いることでDRAMやSRAMアクセスを最小化でき電力効率を大幅に向上できるが、膨大な素子をチップ上に実装する必要があるため面積効率は大幅に劣化する。そこで(1)人間の脳におけるプルーニングと呼ばれる不要なニューロンとシナプスを削除しネットワークを最適化する技術、そして(2)従来以上に大幅にプルーニングし素子数を節約するため、人間のニューロンが持つ多種多様な非線形関数を適材適所使い分けて演算強度を増す性質を取り入れた、非線形ニューラルネットワーク技術、そして(3)畳み込みアルゴリズムの処理に合わせて回路を再利用する畳み込み型Wired-logic architecture回路の3つの技術を開発している。本年度は手書き文字認識MNIST、10種の一般物体を見分けるCIFAR-10のそれぞれのデータセットに対して基礎技術検討と学習アルゴリズムの開発を行い、FPGAを用いて原理実証した。それぞれの成果はIEEEの主要ジャーナル誌であるJETCAS'21、OJCAS'22に採択された。またこれらの成果に対し、MIT Technology Review JapanよりInnovators Under 35として小菅講師が表彰された。

ミリ波イメージングレーダ

黒田 忠広、濱田 基嗣、小菅 敦丈、イップ ウエイイ

エン、末廣 知士

過酷環境下（悪天候、不十分な夜間照明、カメラへの汚れ付着）では、従来の画像認識による人・物体識別器は精度が低い課題があった。高い耐環境性を持つミリ波は有望であるが、画像と異なり深層学習型AI適用には学習データ作成に課題があった。本研究では新規半自動学習データ生成技術を軸に、ミリ波イメージを扱う深層学習AI技術を新規開発し、高精度な人・物体識別AI技術を開発する。本年度は主にミリ波レーダーのデータ特徴とそれに即したネットワーク構造の検討、並びにカメラ-レーダー協調半自動学習データ生成技術の開発に取り組み、6種類の物体の種類と位置を画像認識と同等の精度で検知できるミリ波レーダーAIシステムを開発した。

竹内研究室

(<https://co-design.t.u-tokyo.ac.jp/>)

Computation in memory (CiM) に関する研究

竹内健、松井千尋

Computation in Memory (CiM) はメモリアレイ構造を利用して乗算・累積 (multiply-and-accumulate: MAC) 演算を行う事が可能になる。MAC演算はディープニューラルネットワーク (DNN) の中で最も計算資源を消費する演算である。DNNの精度を評価するシミュレータを開発した。シミュレータでは畳み込み層と全結合層における重みを任意に量子化し、重みに任意の分布に従ったばらつきを付加することや、一定の値で加減させることができる。以上により、DNNの重みを操作することでCiMメモリセルにおけるデバイスの非理想性を再現することが可能になった。

Simulated Annealing に関する研究

竹内健、松井千尋、三澤奈央子

組み合わせ最適化問題の1つであるナップサック問題を、シミュレーティッドアニーリングを用いてコンピューテーション・イン・メモリ (CiM) で解く場合、従来のエンコーディングはナップサック容量が増えると回路面積が線形的に大きくなるという課題があった。そこでログ・エンコーディングによるReRAMコンピューテーション・イン・メモリを提案した。提案のログ・エンコーディングは従来のエンコーディングに比べ、

CiMの回路面積が97.6%縮小する。ReRAMデバイスの非対称なエラー特性を考慮し、二次形式のハミルトニアンにおけるQUBO行列の“0”をHRSに記憶することで、許容できるビット・エラー率 (BER) が10倍、許容できるビット精度が5ビットまで減らすことが可能になった。

インセンサ・コンピューティングの研究

竹内健、松井千尋

センシングのためのEvent-based vision sensor (EVS) と統合し演算する低消費エネルギーのSRAM Computation-in-Memory (CiM) を提案した。従来のフレームカメラと比較して、EVSは画素の光の強度変化を非同期で検出し出力するため、データは空間的に疎で時間的に密という特徴がある。提案するSRAM CiMはEVSから出力されるイベントを受け取り、On-eventおよびOff-eventをそれぞれ演算する。イベントデータを演算するspiking neural network (SNN) のマルチビット重みはSRAM CiMに保存されている。提案したEVS向けのSRAM CiMはEVSのデータの特徴により、フレームカメラと比較して10-6倍のエネルギー効率を達成できた。

中村研究室

(<http://www.hal.ipc.i.u-tokyo.ac.jp/index-e.html>)

IoTネットワークセキュリティに関する研究

中村宏

Zigbeeは近距離無線通信規格の一つで、転送可能距離が短く転送速度も低速である代わりに、安価で消費電力が少ないという特徴を持っており、電池で動くような小型のセンサやIoTなどで幅広く使用されている。Zigbeeはこの低消費電力を実現するために間接通信を採用しているため、LDoS攻撃への脆弱性の要因ともなっている。この問題に対し、処理にさける資源が少なく許容消費電力も小さいというIoT機器の制約を満たしつつ、LDoS攻撃を防ぐ手法、ならびに、攻撃者を特定する手法を提案し、シミュレーション実験によりその有効性を示した。

粗粒度再構成アーキテクチャ Coarse-Grain Reconfigurable Architecture

小島拓也、中村宏

粗粒度再構成可能アーキテクチャ CGRA (Coarse-Grained Reconfigurable Architecture) は高いエネルギー効率とプログラミング柔軟性という特徴を有するため、組込みシステムから高性能コンピューティングまでの広い応用が期待されている。CGRA は多くの PE (Processing Element) が2次元アレイ状に配置された構成であり、その有効性は、処理をこれらの PE にマッピングするコンパイラの質に依存する。我々は、このマッピングのフレームワークとして、遺伝的アルゴリズムを用いた GenMap (A Genetic Algorithmic Approach for Optimizing Spatial Mapping) という手法を提案している。この GenMap を空間だけではなく時間的にも再構成可能な CGRA へ適用できるように拡張し、その有効性を確認した。

組込みデバイス向けの ROS 2 ノード軽量実行環境

高瀬英希、中村宏

ROS (Robot Operating System) 及びその後継である ROS2 は、分散型のロボットシステムにおけるソフトウェア開発プラットフォームとして注目されている。ROS2 の問題の1つは、動作環境として Linux を必要とするため、高性能で消費電力の大きい計算リソースを必要とすることである。そのため、応答性や消費電力の点で、ROS2 を組み込みデバイスへ適用する際の障害となっている。

そこで組込みデバイス向けの実行環境である mROS2 の研究を行っている。mROS2 の利点は、高効率な通信を実現しメモリ軽量であることである。現在、目的の実現に求められる設計要件を整理し、効率的な通信処理を実現するためのソフトウェア構成および動作フローを設計している。この研究はモバイルロボットシステムの低消費電力化とリアルタイム性の向上に貢献することが期待されている。

藤田研究室

(<http://www.cad.t.u-tokyo.ac.jp/>)

汎化のための論理合成と加算演算の学習

藤田 昌 宏、Xinpei ZHANG、Mingfei YU、Qingyang YI、宮坂幸雄

論理合成ではある与えられたブール関数について小面積で低遅延になるように最適化して論理回路を生成する。一方機械学習は近年活発に研究され、多くのアプリケーションに用いられている。機械学習において、ある入出力集合で訓練する一般的な手法は特定されていない入力パターンを external ドントケアとみなした場合の論理合成に似ている。本研究では与えられた不完全な入出力関係が汎化されるような論理合成を試みる。よく用いられる論理合成法と機械学習モデルを比較し、それらの特徴を分析した結果、従来の学習モデルでは効果的に学習できない算術関数があることが分かった。それらの中から加算演算について木構造のモデルを用いてさらに検討を行った結果、BDD の発見的な最小化手法が最も精度が高いことが分かった。

ニューラルネットワーク計算のためのフレキシブルなパイプライン構造を備えた FPGA アクセラレータ

藤田昌宏、Heming SUN、Qingyang YI

固定小数点でのニューラルネットワーク計算においては高いエネルギー効率とコンフィギュアビリティのために FPGA が適している。しかし限られたハードウェア資源で高性能化しようとするとき鋭意 FPGA を設計する必要がある。本研究では FPGA に基づいたニューラルネットワークとその最適化フレームワークについて提案する。本提案では様々な CNN モデルと FPGA リソースに対して最適化を行う。高スループットを目標とし、我々は層ごとのパイプライン構造を採用して DSP 使用率を高めた。また、最適な性能を得るために、各層にバランスの取れたハードウェア資源を割り当てるアルゴリズムを提案した。ZC706 上の 4 つの CNN モデルの実装では DSP の使用率は 90% を超える。ZC706 上の VGG16 では、提案したアクセラレータは参照用の非パイプラインアーキテクチャ A、パイプラインアーキテクチャ B、C に対してそれぞれ 2.58 倍、1.53 倍、1.35 倍の高性能化を達成した。

Inductive Invariant での効率的フリップフロップ選択による形式的検証とその応用

藤田昌宏、小池良吾

近年では論理回路の設計が大規模化し、設計を数学的に検証する形式的検証技術はより重要な技術になっている。その形式的検証技術の1つに順序回路の到達可能性を解析する Inductive Invariant がある。Inductive Invariant では特定のフリップフロップの集合に対して、順序回路が到達可能な状態を計算することができる。Inductive Invariant では回路が持つすべてのフリップフロップからその一部を対象として計算を行うことで得られる状態は到達可能状態の上位集合となる。このようにすることで真の到達可能状態を計算するよりも計算量を抑えて解析を行うことが可能である。ここで計算の対象とするフリップフロップによって計算される到達可能状態の上位集合の大きさが変化する。本研究ではこのフリップフロップの選択方法を効率的に探索するアルゴリズムを提案し、またその計算量を削減する方法を提案した。提案手法はまずフリップフロップを選択する問題を MUX を用いて QBF 問題として定式化し、それをインクリメンタルに解くことによって効率的な探索を可能にした。また Inductive Invariant の応用として計算された到達不可能な状態を利用して回路を最適化する方法を提案した。いずれの手法に関しても ISCAS89 ベンチマーク回路を用いた実験によって有効性を確認した。

池田研究室

(<http://www.mos.t.u-tokyo.ac.jp>)

完全準同型暗号の実装

池田 誠、島田 泰慎、赵寅帆 (Yinfa Zhao)、藤田 将大
完全準同型暗号 (FHE) は、あらゆる演算が秘密鍵なしで暗号文のままで行えるような公開鍵暗号方式である。この技術は、現在のクラウドを利用したサービスの最大の懸念点であるプライバシーの問題の解決策として期待される一方で、要求される計算リソースが大変大きいという問題点がある。本研究は、完全準同型暗号のうち TFHE や BGV 等の形式について、専用のハードウェアを実装することで高速化することを目指す。本年試作したチップでは CPU 比4倍の高速化を達成しており、今後さらなる高速化を目指す。

また、ハードウェア実装した際により高速化しやすいようにアルゴリズムやセキュリティパラメータを改良するという観点でも研究を行っている。具体的には、TFHE のアルゴリズムの変更により、1ステップで行える演算の種類を増やす手法を提案した。また、ハードウェアのアーキテクチャとセキュリティレベル等の制約条件から、実行時間が最も短くなるようなセキュリティパラメータを導き出す最適化手法を検討した。

高機能暗号の設計最適化

池田 誠、池田 健人、Anawin Opasatian、正田 薫、荒川 文男

IoT における大量のデバイスの通信を促進する集約署名や、暗号化されたデータへのアクセスをより柔軟にする属性ベース暗号などの楕円曲線上の高機能暗号は現状の暗号方式と比較して暗号・復号に必要な計算量が多い。そのため我々は楕円曲線上の暗号演算をより高速かつ低消費電力で実現するための専用ハードウェアの設計に取り組んでいる。楕円曲線上のスカラ乗算やペアリングなどの様々な演算をハードウェアで設計し、これらの演算を拡張して一つの楕円曲線のみでなく複数の曲線上で実現する手法を研究している。加えて、ハードウェア設計における課題の一つである柔軟性の低さを補うためにソフトウェアの演算の一部をハードウェアで実行し高速かつ柔軟なシステムの検討も行っている。

耐量子計算暗号の実装

池田 誠、Bui Hung Quoc Bui、島田 泰慎

耐量子暗号は、古典コンピュータと量子コンピュータの両方からの攻撃に対して耐性があり、かつ通常のコンピュータで実行可能な公開鍵暗号の一種である。古典的な Diffie-Hellman、RSA、楕円曲線などの公開鍵暗号は量子コンピュータがあれば多項式時間で解読可能であり、PQC はこれらの古典的な暗号の代替として検討されている。PQC アルゴリズムには、格子暗号 (NTRU)、Code-based 暗号 (Classic McEliece)、超特異種写像暗号 (SIKE) などがある。

本研究では、これらの PQC アルゴリズムのうち、楕円曲線暗号を拡張した SIKE の実装に着目している。SIKE は、他の PQC アルゴリズムに比べ、実行速度が一桁以上遅いという問題がある。本研究では、アルゴ

リズムの並列性を利用し、データフロー型の設計を行ったハードウェアアクセラレーションのためのASICを実装することで、アルゴリズムの高速化を目指している。それに向けて、十分大きいハードウェアリソースを仮定した場合にSIKEが達成できる最大速度を検討した。現在はクロック技術を使ってハードウェアリソースを削減しつつ、ほぼ同等の速度を維持することを目指している。

暗号の安全性評価

池田 誠, 阿部 浩太郎, 菊岡 才人

暗号回路は、サイドチャネル攻撃に耐性を持つことが必要である。耐性評価として、256ビットECDSAのハードウェア実装を対象に、測定した消費電流を用いたプレート攻撃を実行することで秘密情報の一部を漏洩させ、格子攻撃と組み合わせることで秘密鍵を復元できることを確認した。また、攻撃結果から攻撃が成功しやすい条件と対策について検討した。

楕円曲線ペアリングを用いた暗号回路のハードウェア実装では、十分な安全性と低コストを両立する最適曲線の選択が重要となる。曲線選択に関して、DLP（離散対数問題）やECDLP（楕円曲線上の離散対数問題）に対する暗号としての安全性と、演算器面積や所要サイクル数、演算器遅延時間といったハードウェア的観点におけるコストを、BN曲線、BLS12曲線といった現在演算で用いられている主要な楕円曲線によるペアリング暗号方式に関して、複数のパラメータを用いて見積もり比較した。

ニューラルネットワークとそのセキュリティ

池田 誠, Zeyu Wang, Bayasgalan Amartuvshin

ニューラルネットワークにおける膨大な計算量は広範な応用への障害になっている。専用ハードウェアの使用は計算時間や消費エネルギーを大幅に低減するが、そのリソースの最適化が課題となっている。近年、バイナリニューラルネットワーク（BNN）がコンパクト化及び容易な実装のため注目されている。我々は、自己同期のBNN回路を設計し、更なるエネルギー効率と計算速度の向上を目指す。シミュレーションの結果により、その軽量化を実現した同時に、高いデータの処理能力が保持する。

一方、クラウドコンピューティングがPCに負担を

与えないため注目されている。しかし、元データをクラウドサーバにアップロードするため、プライバシーに関する懸念が伴う。完全準同型暗号（FHE）は解決策として期待されるが、計算量が非常に大きい、しかも加算と乗算しか演算できないため、精度が低下するという問題点がある。本研究は、専用ハードウェアを設計し、汎用CPUやGPUより高速に計算することを目指す。FHE暗号の中にBGVという方式を暗号化されたニューラルネットワークの計算に使用し、それを高速化するための多項式乗算器を設計した。また、FHEに適用できるニューラルネットワーク構成の調整を進めている。加算と乗算で構築したニューラルネットワークの活性化関数、訓練法やレイヤー構造の影響を研究し、元のネットワークとほぼ同じ精度が実現された。

スマートイメージセンサ/SPADと計測手法

池田 誠, 繆 逸杰, 蔣 定宇, 渡辺 直, 松岡 瞳, 吉川 俊之

スマートイメージセンサやSPADセンサなど、高機能・高性能を有する新しいタイプのイメージセンサの開発に取り組んでいる。

スマートイメージセンサでは、センサに高度な情報処理を統合することにより、多様な機能を実現する。我々は、多ユーザ干渉下において信号を識別することを目的として、パルス周波数変調およびデジタル処理により、符号化された信号を復号する画素機能を有するToFイメージセンサを考案し、回路設計および実測による評価を行った。また、長距離測距実現するために、ToFイメージセンサと移相器を組み合わせた手法の提案を行いバラツキ耐性を含めた測距性能評価を行った。

単一光子を検知できるSPADセンサは、極めて高い感度と時間分解能を持ち、距離測定や蛍光寿命イメージング等の応用展開が期待される。蛍光寿命の測定は光子が検知された時間からヒストグラムを生成することにより行うが、本研究では検出効率を向上させる目的で、階級幅を調整できるようにし、蛍光強度が高い減衰初期には細かく、減衰が進んでからは粗く測定を行う手法を提案し、回路実装・評価を進めている。また、入力光子の時間的情報をリアルタイムで効率的に処理することを目指し、イベントベース方式のデータ処理をイメージセンサに取り組む検討を行い実装を進めている。

飯塚研究室

(<http://www.mos.t.u-tokyo.ac.jp/iizuka>)

低雑音位相同期回路技術

飯塚 哲也、徐 祖榮、楊 尊松、長田 将、岩下 僚我、熊野 陽

Switched-capacitor sampling PLL (SC-SPLL) は、低位相雑音と低消費電力の両立に有力な周波数生成回路である。しかしながら、従来の Type-I アーキテクチャは fractional-N 動作に向けないという課題がある。この課題に対し、type-II PLL がより良い解決案だが、従来回路構成では、transconductance (gm cell) をベースとした積分器または余分なデジタルアナログ変換器 (DAC) が必要となり、そのための消費電力と面積が必要となる。本研究では、type-II hybrid sampling PLL を提案し、サンプリング容量を容量 DAC (CDAC) として再利用する。この CDAC はデジタル積分器の出力をそのまま受け取り、電荷保存則によってアナログ領域で高精度な加算動作をすることが可能である。これによって、提案 PLL は gm-cell や余分の DAC が用いずに簡潔かつ高性能な全体構成となった。65nm CMOS で試作して実測した結果、-80dBc reference spur, 236fs 積分 RMS ジッタ、4.6mW 消費電力、および -246dB FoM を達成した。

リング電圧制御発振器 (VCO) は小さい面積や複数位相の出力、さらには磁気的なカップリングがないなどの利点がある。しかし 5 GHz を超える低ジッター PLL の場合、ほとんどの先行研究では大面積のインダクタや磁気的な結合という課題を抱えている LC 型 VCO が用いられている。本研究では低周波と高周波のリング VCO 間の大きなパフォーマンスギャップを活用する、超低ジッタのインダクタレスカスケード PLL を提案した。第1ステージではシングルステージのサンプルアンドホールドサブサンプリング位相検出器が提案されている。この検出器ではインパルス感度関数がゼロの場合にのみ発振器の制御電圧が更新されるためループ帯域幅が広くなり、ジッタおよびスプリアスが低くなる。65 nm CMOS で試作した 10 GHz で動作するプロトタイプは 125MHz の基準クロックで -63 dBc の reference spur, 175-fs の積分 RMS ジッタ、-240dB の FOM を実現します。

高調波ミキサ (HM) によるフィードバック構造およ

び補助 PLL に基づく位相領域フィルタを用いた低位相雑音リング発振器型フラクショナル N 位相同期回路を提案した。リング発振器は LC 型発振器と比べて小さい面積や複数位相の出力、さらには磁気的なカップリングがないなどの利点がある。しかしその一方で高い位相雑音を抑えるためには位相同期回路の帯域を広げる必要があり、分周器における量子化雑音の寄与があるフラクショナル N 位相同期回路に用いるのは容易ではない。そこで本研究では HM に基づいたフィードバック構造によるノイズ非増幅効果と、補助 PLL に基づく位相領域フィルタによる量子化雑音のフィルタリングとシェイピング周波数の上昇を組み合わせる方法を提案した。この手法の効果は計算・シミュレーション、さらには実チップ (65nm CMOS プロセス) で検証済みである。

ノイズシェーピングにより雑音低減を可能にした従来の 2 次 $\Delta \Sigma$ FDC (Frequency-to-Digital Converter) -PLL を基に、広帯域化とより低い位相雑音の実現のために高次 $\Delta \Sigma$ FDC-PLL を提案した。高次 $\Delta \Sigma$ FDC の安定性の問題のために MASH (Multi-stage noise Shaping) を導入した。MATLAB Simulink でのシミュレーションにより、MASH 2-k FDC の量子化雑音の高次シェーピングと提案した FDC-PLL の位相雑音やジッタの低減を示した。MASH FDC について、初段の ADC を SAR ADC、次段の ADC を FIA (Floating Inverter Amplifier) を用いた $\Delta \Sigma$ ADC とすることで設計する。

電圧制御発振器 (VCO) の性能指標は位相雑音、消費電力、回路面積、発振周波数などが存在しているが、無線通信などの分野では一般的に位相雑音特性に優れた LC-VCO が利用されている。このトポロジーの一つとして、クロスカップリングトランジスタにゲートバイアスを印加し、常に飽和領域で動作させることで、直流電力から信号電力への変換効率を高めることが可能である。この位相雑音を従来と同程度に抑えつつ、消費電力を抑える Class-C 型 VCO を NMOS 型と CMOS 型について設計・試作を行った。残念ながら NMOS 型はバッファの設計ミスにより位相雑音を確認することができなかったが、1月に TO した CMOS 型のチップが届き次第、測定を行う予定である。シミュレーションによる FoM は 188-190dBc/Hz と見込んでいる。

高精度アナログ-デジタル変換回路とその自動設計技術

飯塚 哲也、徐 祖樂、李 燦煒、松岡 英、柴田 凌弥、張 浩明

高精度・高電力効率のADCは常に求められている。エッジデバイスの電力効率を高めるため、動作周波数と消費電力がスケラブルに変更可能である完全ダイナミック型離散時間アナログ-デジタル変換器(DTADC)が注目されている。本研究では、Floating Inverter Amplifier (FIA) を用いた完全ダイナミック型DTADCを提案する。FIAにはCorrelated level shifting (CLS)を適用し、一段アンプで50dBを実現している。また、CLS, FIAと組み合わせた、効率の良いサンプリング雑音キャンセル技術を提案した。シミュレーション結果によると、提案ADCはSNDRが91.8 dB、消費電力は76.2 μ Wと見積もられた。

高速通信および高速アナログ-デジタルコンバータの需要が増大し続けるにつれて、高速および低電力コンパレータの設計要件が高まっている。数学的モデルを確立し、それを簡素化した。いくつかのパラメータを制御することにより、ストロングアームコンパレータのキャリブレーションの程度を完全に予測できる。設計者は、校正を行うための設計ガイドラインに基づいて、ストロングアームコンパレータの回路を簡単に設定できる。また、アナログ回路の設計を簡素化するために、標準セルに基づいてADCを設計しようとしている。サンプリング回路のコンデンサ選択では、適切なチャンネル長を選択し、トランジスタのソース端子とドレイン端子をフロートさせて、バイアス電圧にほとんど依存しないMOSFETベースのコンデンサを取得し、一般的なコンデンサを置き換えることができることを発見した。MIMおよびMOMコンデンサを使用した。標準セルをベースにしたサンプリング回路の設計が可能となる。

一般的に雑音はシステムの性能低下を引き起こすものであり、その雑音を避けるために様々な手法が用いられ、追加の電力が消費されたりしている。確率共鳴現象は非線形な系においてある強度の雑音を加えることにより、システムの性能が向上するという現象である。この現象をアナログ-デジタル変換器に適用した場合、微弱な信号の検出精度の向上や回路内雑音を許容することによる消費電力の低下が期待できる。本研究では電荷再分配式逐次比較レジスタ型アナログ

-デジタル変換器と同じ構造を提案回路に用いる。現在まで理想的な雑音印加を想定した性能解析を行った。またシミュレーションでは比較器の入力換算雑音が入力信号の振幅と同等なときに、逐次比較レジスタ型アナログ-デジタル変換器に比べて提案回路の性能が高くなるという結果が得られている。

ダイナミック回路はスタティック回路とは異なるタイプの回路であり、キャパシタの電荷の形で情報の保存を柔軟に利用する組み合わせ回路である。一般的に使用されているスタティック組み合わせロジックと機能的には同じだが、トランジスタ、特にP-MOSの使用量が少ないため、電力効率が高く、速度が速く、面積が小さいという利点がある。しかし、正しい論理機能を確認しながら周期的な充電と放電の位相を制御するには、クロック信号を追加する必要があるため、ダイナミックのタイミングは一般的スタティックロジックよりもはるかに複雑であり、常に困難な作業である。適切に配置するには、大きな手動の力が必要である。この研究では、タイミングの配置を半自動化することにより、その手動の力を減らしたいと考えている。具体的な方法は、ダイナミック回路をタイミング情報を含んでいるスタンダードセルに作成し、EDAツールを使用して複雑なタイミングを適切な方法でチェックすることである。伝統的な回路ではないため、ダイナミック回路のモデルの構築とツールの使用は本研究の課題である。

広帯域通信の実現に向けた高周波回路設計

飯塚 哲也、堀川 貴道、加納 創太

近年無線通信における高速大容量化の需要が高まり、Beyond 5G・6Gといった次世代通信規格では100Gb/sを超える超高速通信が期待されている。30GHzから300GHzのミリ波帯は周波数帯域幅を広くとることができるため、これらBeyond 5G・6Gへの応用を目指し研究が盛んである。

本研究では、ミリ波帯集積回路において必要不可欠な構成要素である発振器に着目し、動作周波数を150GHzとする発振器を設計した。トランジスタの動作限界に近づくような高い周波数では、発振のために必要な利得を確保することが難しい。そこで本研究では電力増幅回路における電力利得の最適化手法を発振器にも適用し、発振周波数の拡張と出力電力の増大を

達成した。提案手法では、伝送線路によるインピーダンス整合を用いてトランジスタから得られる電力を最大化したうえで、さらに線路長による位相変化を利用して発振周波数を目的の値へ合わせている。SiGe BiCMOS 130nm プロセスを用いて実際に発振器を設計し、シミュレーションにおいて147.5 GHz、-0.13 dBmの出力が見積もれることを示した。さらに、設計した発振器の300 GHzでの使用を見据え、周波数二倍倍器の検討をシミュレーションベースで行い、全体で-12 dBm程度の出力を持つ300 GHz発振器として性能を見込めることを示した。

CMOSアナログ回路によるニューロン素子の実装

飯塚 哲也、陳 翔宇、ビヤムバドルジゾルポー

フォン・ノイマンのボトルネックが深刻化し、ムーアの法則の終焉が迫る中、研究者はかつてないほどの難題に直面している。これらの課題に対する解決策の一つとして、人間の脳からヒントを得た計算モデル・アーキテクチャであり、フォン・ノイマンのボトルネックを解消して次世代のコンピュータ工学を牽引する可能性を秘めたニューロモーフィック・コンピューティングが研究のホットスポットとして浮上している。人工ニューラルネットワーク（ANN）の第2世代であるディープニューラルネットワーク（DNN）は、複数のプロセッサ層で演算を行うことができ、パターン認識、言語翻訳、物体検出など多くの分野で広く利用されている。2017年には、Google DeepMindが開発したAlphaGoというDNNsベースの囲碁プログラムが、人間の囲碁世界チャンピオンと対戦し、ついに勝利を取めた。DNNの大活躍で、人間の脳を打ち負かしたようである。この性能は本当に素晴らしいものですが、しかし、本当にDNNは人間の脳に勝ったと言えるのでしょうか？ひとつ、避けて通れない重要な疑問がある。この計算処理に必要なパワーはどのくらいなのだろうか。ディープラーニングは基本的に勾配降下法という手法で重みを調整して最適値を求めるだけであり、その過程でDNNが行う大量の乗算・積算演算は大きな消費電力となるのである。AlphaGoは2000以上のCPUと300以上のGPUを使用し、100~200kWの電力を消費しているが、これは人間の脳の消費電力が20W程度であるのと比べると 10^4 桁ほど高く、DNNと比較して消費電力の面で明らかに優位であることを示し

ている。

脳内の数十億個の神経細胞は、数兆個のシナプスによって相互に結合され、様々な感覚器官を通じて受け取った膨大な情報を並列処理できる複雑で高度な計算システムを形成していることはよく知られている。これらのニューロンは、活動電位やスパイク信号を通じて互いに通信し、情報を処理する。スパイクニューラルネットワーク（SNN）は、ANNの第3世代として知られ、ANNとバイオロジカルニューラルネットワーク（BNN）の間のギャップを大きく埋めるものである。SNNは外部ストレージを必要としないイベントベースの学習であり、最も有望なニューロモーフィック・コンピューティング・システムと考えられている。SNNはBNNと同様、ニューロンとシナプスで構成され、最も有望なニューロモーフィック計算システムであると考えられている。したがって、SNNをハードウェアで実現するための最初の、そして最も重要なステップは、スパイクニューロンやシナプスといった基本的な構成要素を設計することである。

これまで、ハードウェアで実装されたスパイクニューロンやシナプスが数多く報告されている。しかし、これら従来のスパイクニューロンの多くは、電圧や電流などのアナログ情報を用いて通信を行っているため、電圧や電流の大きさに対する要求がある。ニューロンのリーク積分機能を信号で実現するために、オペアンプを用いた積分器が作られることが多く、長い時定数を実現するために大きなオンチップキャパシタや抵抗が使用されている。さらに言えば、ニューロンの「発火」機能を実現するために、コンパレータを搭載してニューロンの閾値をシミュレートすることも行われている。これらのアプローチにより、ニューロンの消費電力が非常に高くなり、チップの占有面積が非常に大きくなる。

上記の課題を解決するために、時間領域のアナログ信号（パルス間隔、パルス幅、周波数）を信号伝達として用いるニューロン・シナプス構造を提案した。その構造はリーキーインテグレートアンドファイヤー（LIF）ニューロン、シナプス、重み回路から構成されている。提案したLIFニューロンは、比較器だけでなく演算増幅器も使用せず、信号が入力されない場合は線形領域の状態を維持する。また、提案した構造は、電圧や電流ではなく、時間信号を伝達するため、リザ

ーバコンピューティングやSTDP構築への応用に適している。提案した素子を組み合わせて完全なニューロン構造にし、65nmのCMOSプロセスで試作した。提案回路はリーク電流で発振器を動作させるため、消費電力はごくわずかである。シナプスはニューロンからのインパルスを積分し、積分値に応じた周波数信号を出力し、次のニューロンへ送信する。測定によりシナプス回路の興奮性および抑制性の機能、重み回路、ニューロン回路などの動作を確認した。

また、これらの提案した素子を用いてニューラルネットワークを構築し、Recursive least squares(RLS)で学習させることで、正弦波形の学習機能を実現した。

無線通信用アンテナ計測・試験技術

飯塚 哲也、グエン ゴック マイカーン、ビヤムバドルジ ソルポー、郭 晟

5Gテクノロジーでは、ミリ波周波数と小型端末に依存するテクノロジーのため、5Gアンテナの無線(OTA)測定が必要です。従来のOTA測定は遠方界測定に基づいていました。ただし、ミリ波では、パス損失が大きく、測定精度が低いいため、遠方界測定はほとんど実行できません。したがって、ミリ波範囲でのOTA測定の代わりに近接場測定が行われます。遠方界測定データは、近距離場から遠距離場へを使用することにより、近距離場測定から取得できます。

この研究では、自動化された近接場測定装置、ミリ波プローブ、近接場から遠方場への変換方法など、ハードウェアからソフトウェアまで多くの課題があります。

ミリ波プローブアプリケーションでは、標準のPCBボード上の矢印型のモノポールアンテナの設計に焦点を当てています。放射パターンは、シミュレーション環境で効果的な指向性を持っていることが証明されています。矢印型アンテナ製作後の測定結果では、矢印型導体の物理的寸法の不一致により、目標周波数が28GHzから27.5GHzにわずかに変化しています。

近接場測定では、最も簡単な方法の1つは、被試験アンテナ(AUT)の前の平面走査領域でSパラメータを測定することです。測定が簡単であるだけでなく、測定後の変換方法も簡単です。この研究では、AUTからの近接場距離の範囲内の長方形の平面上で近接場測定が行われます。長方形の平面でのスキャンプロセス

中、AUTとプローブの接続は、スライダの移動による不要な振動の影響を受けます。

私たちの研究における近接場から遠方場への変換の方法は、平面波スペクトル(PWS)に基づいています。未知のパターン化された矢印型モノポールプローブアンテナを備えた未知のパターン化されたAUTのいくつかの異なる方向の測定を使用して、AUTのパターンはいくつかの仮定の下で理論的に取得可能です。物理的パラメータの不一致により、近接場測定データに望ましくない影響をもたらすような理想的な仮定を達成することは不可能です。

予備的な結果は、測定データからの近接場から遠方場への変換データには、ハードウェアの不要な不一致のために、シミュレーションデータおよびAUTの参照データと比較していくつかのエラーがあることを示しています。正しい測定設定の下で、遠方界パターンで中程度のパフォーマンスを達成できます。

VLSI自動テスト向け高精度ピン間スキュー検出技術

飯塚 哲也、大塚 日嵩

半導体の自動テスト装置(ATE)で行う自動テストではピン間スキューの較正(Timing Calibration)が必要である。従来のCAL手法では10ps未満のCALが不可能であるが、プロセスの微細化・信号の高速化に伴いより高精度なCAL手法が今後求められる。また多ピンであることもATEの特徴であり、CAL手法も多チャネルに対応しなければならない。精度1psのCALを実現するためのピン間スキュー検出回路の設計と測定を行った。

従来のCAL手法ではATE自体のドライバとコンパレータを用いて相互にスキューの検出を行っている。提案する手法では、CALボード(パフォーマンス・ボード)上にスキュー検出回路を実装し、よりDUTに近い点でスキューの検出を行うことを想定している。回路内にクロックツリーがあり、各チャンネルへ精緻にタイミングを揃えた信号を分配できる。この信号をATEのコンパレータに通すことでDUTからコンパレータへのピン間スキューを検出する。また回路内各チャンネルにスキュー検出器があり、チャンネル入力信号とクロックツリー信号のスキューを検出できる。検出されたスキューは電圧領域に次元変換され外部読み出しが可能である。各チャンネルにATEのドライバの信号を通し

この機能を用いることで、ドライバからDUTへのピン間スキューを検出する。

TSMC CMOS65nmプロセスで設計し、プロービングによるチップの測定までを行った。シミュレーションではチャンネル間スキューのプロセスばらつきを $\sigma 93\text{fs}$ に抑え、環境変動に対するクロックツリーのチャンネル間スキューの変化量についても 80fs 以下に抑えた。測定ではシミュレーションでモデル化できていない要因によりチャンネル間スキューが大きく出た。しかし、電源電圧を1%変動させた場合と、回路内部のヒーターに 20mA 程度の電流を流した場合においても、スキューの変化量が 1ps 未満に収まる場合があることが確認できた。

電気回路によるトポロジカル量子状態検証のための回路設計

飯塚 哲也、袁 浩晨

トポロジカル量子コンピューティング (TQC) は、フォールトトレラント量子コンピューティングの方法であり、「エニオン」と呼ばれる特定のトポロジカル量子オブジェクトの編組によって単一の量子ゲートを生成できる。通常のフェルミ-ディラック統計に従い、特定のメカニズムであるマヨラナゼロモード (MZM) を所有するマヨラナフェルミオンという準粒子が示される。したがって、ノードの固有モード電圧と2点インピーダンスを測定することにより、マヨラナゼロエネルギーエッジ状態の1D回路チェーンの実現に焦点を当て、MZMが境界に現れるかどうかを発見する事を目的とする。

マヨラナエッジモードを実現するために、1D SSHモデルと1D Kitaevモデルを含むいくつかのモデルがある。本研究では、1D Kitaevモデルの回路実現に焦点を当てる。

回路チェーンには2本のメインラインがあり、1本は電子バンドを表す直列のコンデンサ C で構成され、もう1本は正孔バンドを表す直列のインダクタ L で構成され、電子と正孔バンドの間で反対のホッピングパラメータを実現する。電子と正孔の間の相互作用は、コンデンサ C_X とインダクタ L_X をブリッジすることによってシミュレートされ、各電子/正孔ノードは、コンデンサ C_0 またはインダクタ L_0 を介してグラウンドに接続され、回路チェーンをトポロジカルモードにする。

コンデンサとインダクタの値を調整することにより、共振周波数が異なる3つのトポロジカル回路チェーンを構築した。また、比較のために3つのトリビアルチェーンの作成も行った。急速に増加する2点インピーダンスは、EMシミュレーション結果を含むトポロジカルモデルに見られ、両端にMZMが存在することが示された。

平本・小林研究室

(<http://nano-lsi.iis.u-tokyo.ac.jp/>)

ナノスケールCMOSデバイスの特性ばらつきに関する研究

平本俊郎, 小林正治

MOSトランジスタが微細化されるとともに、ランダムな特性ばらつきの影響が無視できないほど大きくなってきている。その原因は従来のバルクプレーナ型トランジスタでは主にチャンネル中の不純物数の揺らぎであるが、将来のデバイス構造候補であるナノワイヤトランジスタでは不明な点が多い。本研究では、シリコンナノワイヤトランジスタ特有のばらつき原因について詳細を調べ、ナノワイヤ幅のランダムな揺らぎと量子閉じ込め効果がしきい値電圧ばらつきの主要原因であることを明らかにするとともに、ドレイン電流ばらつきへの影響も検討している。

ナノスケールCMOSデバイスの低温特性に関する研究

平本俊郎, 小林正治

CMOSによるバイナリーデジタル演算に代わるコンピューティング手法として量子計算が注目されている。量子計算では従来のCMOS回路が量子ビットの制御回路に用いられるため、CMOSデバイスの低温特性を明らかにしておくことが必須である。本研究室では、MOSトランジスタの低温におけるサブスレッショルド特性に注目し、サブスレッショルド係数が低温で理論通りに温度に比例しない理由を検討した。また、低温における特性ばらつきの評価も行い、特に低温では不純物揺らぎによるパーコレーションパスが特性に大きな影響を与えることを明らかにした。

シリコンパワートランジスタに関する研究

平本俊郎, 小林正治

半導体パワートランジスタは、家電製品や電気自動車、鉄道などに広く用いられるパワーエレクトロニクスの基幹部品である。最近ではSiCやGaNなどワイドバンドギャップ材料を用いたパワーデバイスの研究が進展しているが、従来のシリコンデバイスでもさらなる性能向上が可能である。本研究では、絶縁ゲート型バイポーラトランジスタ (IGBT) と呼ばれるパワートランジスタを実際に試作し、スケーリングや両面ゲート化により性能向上を目指している。

Snを添加したIGZOを用いた混載メモリのモノリシック集積化技術の研究

小林正治, 平本俊郎

現在ディスプレイ用途で製品に用いられているIGZOをはじめとする酸化物半導体は、低温で高移動度な薄膜が形成されることに加えて、ワイドバンドギャップであるためリーク電流を著しく削減でき、さらには耐圧が高いことから、集積デバイスとしての応用も期待されている。IGZOの信頼性を向上するためにSnを添加した材料であるIGZTOでは、PBTI等について高い信頼性を得ることができる。さらにIGZTOはIGZOに比べて2倍以上の高い移動度が得られる。本研究では、IGZTOで移動度が向上する物理的な起源を第一原理計算を用いて明らかにした。Snの広く分布するs軌道の波動関数がcation disorderに由来するポテンシャル揺らぎを低減することを理論的に示した。本研究ではさらに、IGZTOが強誘電体 HfO_2 のキャップ材料として優れた性質をもち、通常みられる電氣的サイクル時の不安定性(wake-up減少)を引き起こさず安定に書き換え動作ができることを示した。最終的にIGZTOのFETと強誘電体 HfO_2 キャパシタを 400°C 以下の温度で作製できる同時集積プロセスを開発し、1T1C型のメモリセルの動作実証と、SPICEシミュレーションによるサブ1秒動作が可能であることを示した。

HfO_2 系強誘電体の基礎物性に関する研究

小林正治, 平本俊郎

HfO_2 系強誘電体材料は、CMOSプロセスとの整合性が高く、10nm以下の薄膜でも高い強誘電性を示し、高い保持電界を有する、という特徴から次世代強誘電体メモリ材料として大きく期待されている。一般的に

HfO_2 系強誘電体材料は、従来のペロブスカイト系材料とは異なり、単結晶ではなく多結晶として成膜される。メモリ応用としては強誘電体相が面直方向に配向し自発分極がそろえることが望ましいが、実際にこれが実現できるかについては十分に系統的な検討がなされてこなかった。本研究では、第一原理計算を用いて熱力学的に安定な結晶方位が(010)であり面内配向であることを示し、また実験でも作製直後の HfO_2 系強誘電体キャパシタでは(010)配向であることを電子線回折マッピングの手法で確認した。そして、電圧を印加したサンプルで同様に電子線回折マッピングをとったところ、(001)配向が支配的になることを見出した。この(010)配向から(001)配向への遷移を動力学的過程として第一原理計算で検討したところ、この配向の遷移が、中間相として正方晶を介して小さいエネルギーで実現できることを明らかにした。この結果は、 HfO_2 系強誘電体が任意の三次元構造でも配向できることを意味しており、非常に意義がある。

三次元積層型強誘電体/反強誘電体トランジスタ型メモリに関する研究

小林正治, 平本俊郎

強誘電体 HfO_2 をゲート絶縁膜とする強誘電体トランジスタ (FeFET) は低消費電力で高密度なストレージ用メモリデバイスとして期待されている。NANDフラッシュメモリと同じく、一つのトランジスタでメモリセルとして動作するので、三次元積層化することで高密度化が可能である。本研究室ではこれまでに、三次元積層型FeFETの実現に向けて、従来のポリシリコンチャネルに代わり、酸化物半導体チャネルを用いることを提案してきた。シミュレーションを用いて、ゲート長を短くし、酸化物半導体の膜厚を薄くすることによって大きなメモリウィンドウが得られることを示してきた。しかしデバイスの実現に向けては、酸化物半導体を三次元のトレンチ構造に均一に成膜する技術が必要であった。本研究では、酸化インジウム (InOx) をALDで三次元構造に均一に成膜する技術を開発し、先述の設計指針に基づきFeFETを設計・試作、1V以上のメモリウィンドウを示すメモリ動作の実証に成功した。また、強誘電体の代わりに反強誘電体を用いた反強誘電体トランジスタ (AFFeFET) において、ハーフループヒステリシスを用いることで容易に消去動作

ができることを提案して試作し、その動作実証に成功した。この成果は、FeFETまたはAFFeFETが三次元積層型構造をとり、エッジデバイス向けの高密度・低消費電力メモリデバイスとなりうることを示す成果である。

高木研究室

(<https://sites.google.com/g.ecc.u-tokyo.ac.jp/mosfet/>)

III-V Metal-Oxide-Semiconductor (MOS) FETとその3次元集積化に関する研究

高木信一、隅田圭、吉津遼平、トーブラサートポン カシディット、竹中充

将来のロジックLSIの本命デバイスとして、トランジスタを縦型に積層した3次元集積CMOSが期待されている。このような積層型MOSFETを実現する上では、低温で素子が作製できかつ高い移動度や注入速度が期待できるIII-V化合物半導体やGeなどのチャンネルが有望である。我々は3次元集積CMOSを目指して、Si基板上に極薄のIII-V-On-Insulator (III-V-OI) 構造を実現する技術やこの構造をチャンネルに用いたIII-V nMOSFETの実証と高性能化、その電気特性を決定しているデバイス物理の研究を進めている。今年度は、薄膜チャンネルMOSFETの電子移動度を決める重要な散乱機構である膜厚揺らぎ（表面ラフネス）散乱の定量化を進め、MOS界面の平坦性の向上によりInAs nMOSFETの更なる移動度向上が可能であることを示した。更に、InAs MOS界面のInAsバンド内界面準位の評価方法を提案し、優れた界面特性を有することを実験的に示した。

Ge/SiGe Metal-Oxide-Semiconductor (MOS) FETとその3次元集積化に関する研究

高木信一、李宗恩、陳家驄、韓雪揚、トーブラサートポン カシディット、竹中充

3次元集積CMOSへの適用を目指して、Si基板上の極薄Ge-On-Insulator (GOI) 構造を実現する技術やこれらの構造を用いた高性能GOI CMOSの実現と性能向上、電気特性を決定しているデバイス物理の研究を進めている。今年度は、圧縮ひずみをもつ酸化濃縮GOI構造を細線化することにより、一軸性ひずみを導入し、極薄膜においても極めて高い正孔移動度が得ら

れることを実証した。また、原子層堆積 (ALD) 法による極薄膜の Y_2O_3 を用いたTiN/ Y_2O_3 /SiGeゲートスタック構造において、低い界面欠陥密度を維持しながら、EOTを1 nm まで低減できることを明らかにした。

HfO₂-系強誘電体ゲート絶縁膜トランジスタと強誘電体メモリに関する研究

高木信一、トーブラサートポン カシディット、羅璇、川野真琴、岩重宏一郎、竹中充

分極反転を伴う強誘電体をゲート絶縁膜としたMOSFET (FeFET) や金属とのサンドイッチ構造 (MFM構造) をメモリセルとするFeRAMは、将来の極低消費電力メモリやロジック用素子として期待されている。特に近年発見された $Hf_{1-x}Zr_xO_2$ や ZrO_2 などの強誘電体・反強誘電体を用いたデバイスは、現在のSi CMOSテクノロジーとの親和性が極めて高く、大きな関心を集めている。我々は、ALD法によって堆積したこれら強誘電体薄膜の物性やFeFETの素子動作原理の明確化を通じて、優れた素子特性を実現する研究を進めている。今年度は、FeRAM向けHZO MFMメモリにおいて、低電圧動作が期待できる4 nm程度に薄膜化した $Hf_{0.5}Zr_{0.5}O_2$ を用いることで、絶縁膜信頼性が大幅に向上し、1.2 V動作で 10^{14} サイクル以上の書き込みが可能となることを実証した。

強誘電体デバイスを用いたリザバーコンピューティングに関する研究

高木信一、トーブラサートポン カシディット、名幸瑛心、王澤宇、中根了昌、竹中充

計算負荷の軽いAI計算手法として、リザバーコンピューティングが近年注目を集めている。我々は、メモリ・イン・ロジック機能や非線形アナログ計算機能をもつFeFETやFeRAMが、リザバーコンピューティングを物理実装できるハードウェアとして有望であることを提案しており、Siプラットフォーム上で極低消費電力で推論・学習を行うことができる新しいAIハードウェアとして、動作方式やデバイスの工夫によるAI性能の向上の研究を進めている。今年度は、ゲート電極に印加するデータ入力として、0と1を反転させた入力データも併せて用いることでAI性能が向上することを実証した。また、FeFETの特性劣化がAI性能に与える影響を調べ、FeFETメモリ特性が大きく劣化しても、

重みの更新をすればAI性能は維持できることを明らかにした。

量子コンピュータ制御回路に向けたSi CMOSの極低温での動作特性の理解

高木信一、姜旼秀、トープラサートポン カシディット、竹中充

量子コンピューティングシステムでは、量子ビット数向上のためには、4 Kなどの極低温で動作できるSi CMOS回路を量子ビットチップの近くに置くことが必要である。この目的のために、極低温でのMOSトランジスタの動作を定量的に明らかにして、その物理機構を明確化するための実験的・理論的研究を進めている。今年度は、基板濃度の異なるSi n-MOSFETsの室温から4 KまでのSS (sub-threshold swing) 値の変化を実験的に評価し、バンド端近傍に存在するtail stateと局在界面準位の両方を仮定することで、基板濃度によらずSS値が定量的に再現できることを明らかにした。

竹中研究室

(<https://sites.google.com/g.ecc.u-tokyo.ac.jp/takenaka-lab/>)

光配線LSIに関する研究

竹中 充、唐 睿、湯 涵智、宮武 悠人、ティパット ピヤパッタラクン、高城 和馬、中山 武壽、赤澤 智熙

シリコンフォトニクス等を用いてLSIの配線やI/Oを光化する研究を進めている。III-V族半導体薄膜を用いた光集積回路において、量子井戸インターミキシングを用いてIII-V-OI基板上の多重量子井戸のバンドギャップエネルギーを短波長化させることに成功した。これにより、パッシブ導波路、導波路型受光器、電界吸収光変調器をモノリシックに集積することに成功した。

AI用シリコン光回路に関する研究

竹中充、湯 涵智、宮武 悠人、渡辺 耕坪、高城和馬、黄 明智、車谷 瞭文

ユニバーサル光回路などのプログラマブル光回路を用いたAI用深層学習の研究を進めている。III-V族半導体薄膜をSi導波路上に貼り合わせたハイブリッドMOS光位相シフタを強誘電体トランジスタで駆動する

ことで、不揮発的に動作する光位相シフタの動作実証に成功した。

Ge中赤外光集積回路に関する研究

竹中充、趙 子強、宮武 悠人、張 超

Ge-on-insulator (GeOI)基板上に形成したGe導波路を用いた中赤外光集積回路の研究を進めている。GeOI基板作製において、水素イオンを高いエネルギーで注入することで、デバイス層中の結晶欠陥密度を低減可能であることが分かった。この結果、残留ホール密度が低減し、n型GeOI基板の作製手法を確立し、低損失導波路の実証に成功した。

二次元材料デバイスに関する研究

竹中充、ロダ ヌル、ティパット ピヤパッタラクン グラフェンや二硫化モリブデンを用いた半導体デバイスの研究を進めている。二硫化モリブデンを高誘電率ゲート絶縁膜上に貼り合わせたフォトトランジスタの実証に成功した。ゲート絶縁膜中のホールトラップを用いることで極めて高感度な受光特性を示すことが分かった。

内田研究室

(<http://www.ssn.t.u-tokyo.ac.jp/>)

ナノスケール電子材料を用いたエレクトロニクス・デバイスに関する研究

揮発性有機化合物 (VOC) などを検知するナノスケール分子センサ

ヒトの呼吸には、ヒトの代謝物を含めて、様々な揮発性有機化合物 (Volatile Organic Compounds: VOC) が含まれている。そのため、呼吸に含まれる、ヒトの疾病と関連する特定のVOCを選択的に検出できれば、疾病の超早期診断を実現することが期待される。我々は、金属ナノシートを用いた低電力の水素センサ素子をこれまで開発してきた。しかし、金属ナノシートによる分子センシングを原子論的にシミュレーションする方法は確立されていない。今回、分子動力学法と非平衡グリーン関数法を組み合わせることで、センサ応答を原子論的にシミュレートする手法を新たに開発した。今後、この手法を様々な系に応用することで、計

算手法の改善を行うと共に、新たなセンサ向け材料の探索にも活用をしていく。

ナノデバイスの熱配慮設計

LSIは、その構成要素であるMOSトランジスタのサイズ縮小によってこれまで飛躍的に性能を向上してきた。近年はナノシートトランジスタなどの新たなデバイス構造の導入が予定されており、トランジスタ動作中のジュール発熱による素子の温度上昇が最も深刻な問題のひとつとして指摘されている。我々は、熱配慮設計によりCMOSチャンネル部の動作時温度を極力抑制する技術の開発に取り組むとともに、シリコンチャンネルにおける電子-フォノン輸送特性について精緻な評価を展開してきた。今回、分子動力学法と非平衡グリーン関数法を組み合わせることで、Si/SiO₂界面に特有の振動モードが存在し、その振動モードによって界面近傍の電子-フォノン散乱が増大することを示唆する結果が得られた。

染谷・横田・李研究室

(<http://www.ntech.t.u-tokyo.ac.jp/>, <https://fles.t.u-tokyo.ac.jp/>)

高耐久性の皮膚貼り付け電極による心電計測

Yan Wang、李成薫、横田知之、染谷隆夫

世界最薄・最軽量の皮膚貼り付け電極によって、高精度に心電図を1週間計測することに成功した。この皮膚貼り付け電極は、超薄型でありながら、高耐久性と高粘着性、通気性を兼ね備える伸縮性ナノシートの上に作製した。ナノシートは、糊や粘着性ゲルなどの粘着剤を用いずに皮膚に貼り付けることができるため、装着した際の皮膚への負荷を格段に低減できる。非常に薄いジメチルポリシロキサンを数層のポリウレタンナノファイバーで強化することで、優れた機械的な耐久性を実現しており、皮膚の伸縮や日常生活におけるこすりなどに対して高い耐摩耗性を有する。実際、日常生活の自然な活動における健康状態を長期間計測することができるようになり、今後、医療・ヘルスケア分野において、病気や体調不良を早期発見するためのウェアラブルデバイスとして応用が期待される。

三田研究室

(<http://www.if.t.u-tokyo.ac.jp>)

TopoMEMS：トポロジカル量子計算機に必要な可変電子素子および理想MEMS素子の開発

三田吉郎、辻啓吾、Anne-Claire Eiler、肥後昭男、飯塚哲也、徐祖榮、江澤雅彦（物理工学専攻）

量子コンピューティング分野における次世代の計算手法として、物質が持つトポロジカルな状態をハミルトン演算子として用いるトポロジカル計算機が期待され、幅広い系で研究が行われている。我々のチームでは、JST-CRESTプロジェクトとして、ハミルトン演算子を電気回路部品の集合体として捉え、電気回路のトポロジーによって演算を行う手法の探索を担当しており、三田グループは集積MEMSの専門家として計算機に必要な理想の可変素子・MEMS素子を「TopoMEMS」と命名し、研究開発している。初期成果としてSu-Schrieffer-Heegerによるモデルを取り上げ、状態可変式MEMSキャパシタを用いた電子回路を実装、トポロジカル状態とトリビアル状態との切り替え実験の成功をトップ国際会議で発表。さらにMEMSの動きそのものを演算に用いる構想に向けた、双安定MEMSアクチュエータの開発に成功し、国際会議で発表した。

Programmable Matter プロジェクト-エネルギー自立型分散マイクロシステムによる形状可変体

三田吉郎、三角啓、宇佐美尚人（航空宇宙工学専攻）、エリック ルプラスール、黄吉卿（CNRS LIMMS 研究所）、ロマン カトリ（仏FEMTO-ST研究所）、ユリアック グェン（仏FEMTO-ST研究所）、ジュリアン ブルジョワ（仏FEMTO-ST研究所）、ブノワ ピランダ（仏FEMTO-ST研究所）、ステファン ドラランド（仏Groupe PSA）

集積化MEMS（微小電気機械システム）のトップダウンアプリケーションとして、自立マイクロシステムの研究を行っている。「大きさ1cm以下のマイクロロボットを多数環境に放出し、個々のロボットは近傍のロボットと通信を行いながら、協調的に環境測定などの高度な機能を実現するという自律分散システムを目指している。2016年度より、集積化マイクロメカトロニクス研究室（東京大学生産技術研究所LIMMS, CNRS-IIS, UMI 2820）Host Professorの立場でフラン

ス共和国国立研究エージェンシー（ANR）の助成を得て、仏FEMTO-ST研究所とPSA-Peugeotとの産学共同で「組み合わせにより集合の形状変化が可能な自律マイクロロボット Programmable Matter」の研究を開始している。特に、水中で自立泳動するマイクロシステムの実現と背景物理の理解に研究目標を定めている。2020年度は、3Dプリンタで微細造形したMatter外骨格に静電引力を実際に加え吸着するシステムの会議発表を行い、実験結果を踏まえた理想的な柔軟電極（Flexiboard）の断面構成を同定、薄層化した集積化太陽電池との高歩留まり接合技術を開発した。

電子線リソグラフィとMEMSプロセスによる微細電極構造の流体素子への集積化作製手法の研究

三田吉郎, Anne-Claire Eiler, 肥後昭男, 江澤智也, 太田悦子, 水島彩子, 岡本有貴（産業技術総合研究所）, 鷺津信栄（アドバンテスト）, 高田晃広（アドバンテスト）, 藤原誠, 澤村智紀

電極構造の微細化によるセンサ素子の更なる高感度化、高機能化を目指し、電子線リソグラフィとMEMS加工プロセスを組み合わせた微細電極のトップダウン作製手法の高度化に取り組んでいる。局所的に測定電極を集積化した微細孔構造や、マイクロアクチュエータと微細構造を組み合わせた電極ギャップの精密制御に取り組んでいる。本年度は、完全空乏型のSOIトランジスタ構造（FDSOI）によるVLSIウエーハを入手し、ポストプロセス加工によってデバイスを得るためのプロセス開発を行った。

電子線リソグラフィによる大面積精細描画手法の研究

三田吉郎, 肥後昭男, 藤原誠, 澤村智紀

従来垂直水平方向（矩形）に限られ表現能力に乏しかった大面積電子線描画技術を高度化する。VDECに平成25年に新規導入された高速大面積電子線描画装置F7000S-VD02の持つ高ドーズ対応性、セル（キャラクタ）プロジェクション方式による鮮明なエッジを利用して、自由曲面や繰り返し微細構造などの描画を可能とする。本年度は、パターン描画の微細化限界に挑戦し、16nmを切るギャップ構造の作製が可能なパターンおよびプロセスデザインに成功し、トップ国際会議で発表、さらに国内研究会で論文賞を受賞した。

CMOS-VLSIのMEMS後加工による高機能システムの産学連携研究

三田吉郎, 山口貴史, ティモテ レヴィ（仏ポルドー大学IMS研究所）, ギレム ラリユー（仏LAAS-CNRS研究所）, 池内与志穂（生産技術研究所）, 齊藤健（日本大学）

D.labを通じて試作したVLSIウエーハを、武田先端知ビルスーパークリーンルームやその他のクリーンルームにおいて後加工することによって新規センサデバイスを製作、評価する研究を行っている。後加工に関する知見として、トランジスタが作製された直後（配線前）のウエーハ引き渡しを受け、熱工程を伴う後加工プロセス（成膜、インプラ、ドライブイン）を施してもトランジスタ特性の劣化はそれほど進行しないこと、VLSIをあらかじめSilicon-on-Insulator（SOI）基板の上に配置した構造をMEMS後加工できることなどが分かっている。共同研究開発する素子の種類は共同研究先との相談により様々だが、作製テクノロジーは共通のものを利用できるところが産業的に重要である。数多くの企業の興味を引き、会社との共同研究や国際共同研究等様々なプロジェクトで電子デバイスの研究が進行している。特に、生きた細胞を柔軟に把持できる自己変形型マイクロアクチュエータの研究に取り組み、世界最低電圧（1.5V）で高い性能指数を示すことに成功し、トップ国際会議で発表した。

集積化MEMSによる高感度超音波プローブの研究

三田吉郎, 肥後昭男, 吉村武（大阪府立大学）, 水野隆（コニカミノルタ）, 鈴木謙次（コニカミノルタ）, 中山雄太（コニカミノルタ）, 遠藤登喜子（名古屋医療センター）

CMOS-VLSIのMEMS後加工と同一のスキームを用い、圧電材料と集積しかつMEMS構造とすることによって、医療診断などに用いることが出来る超音波プローブ素子の従来比100倍の高感度化が可能となること、共同研究によって示されている。2018年度より受託している日本医療研究開発機構（AMED）公的資金（「送受相補型圧電MEMSによる乳がん検診用高感度超音波プローブの研究」代表：吉村武准教授）で前年度受けた加配によるテスト回路を評価した後、完全集積化に向けたバージョンを試作した。

CMOS-MEMS高密度集積接合の信頼性検証のための テスト構造研究

三田吉郎, 海老原祐輔, 水島彩子, 依田孝 (東京工業大学), 平川顕二 (東京工業大学), 岩瀬正幸 (東京工業大学), 小笠原宗博 (東京工業大学), 肥後昭男, 落合幸徳

高機能なCMOS-MEMSシステムを簡便に得る方法として、チップレベル接合技術に期待が高まるが、数百万個に至る数 μm 角のパッドの接合状況を個々に調べることはこれまでの技術では出来ず、新しい検査方式が必要とされている。本研究では、1つのパッドに対して2個の電極を接合し、そのうちの一つを検査用の電極として用い、所謂「ループバックテスト」を行うことを提案。テスト用LSI回路を試作し、実際に金バンプをLSIとMEMSを模したテスト基板上に作製し、故障状態を模して動作を確認した。結果を国際会議で口頭発表した。

4.4 研究発表

黒田・小菅研究室

研究論文

- [1] A. Kosuge, M. Hamada, and T. Kuroda, "A 6.5Gb/s Shared Bus Using Electromagnetic Connectors for Downsizing and Lightening Satellite Processor System," *IEICE Trans. on Fundamentals of Electronics*, Vol. E105-A, no. 3, pp. 478-486, Mar. 2022.
- [2] R. Miura, S. Shibata, M. Usui, K. Shiba, A. Kosuge, M. Hamada and T. Kuroda, "A bonding-less 5-GHz RFID module using inductive coupling between IC and antenna," *Japanese Journal of Applied Physics (JJAP)*, vol. 61, no. SC, pp. SC1058, Feb. 2022.
- [3] A. Kosuge, M. Hamada, T. Kuroda, "A 6-Gb/s Inductively-Powered Non-Contact Connector With Rotatable Transmission Line Coupler and Interface Bridge IC," *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 57, no. 2, pp. 535-545, Feb. 2022.
- [4] A. Kosuge, Y. -C. Hsu, M. Hamada, and T. Kuroda, "A 0.61- μ J/Frame Pipelined Wired-logic DNN Processor in 16-nm FPGA Using Convolutional Non-Linear Neural Network," *IEEE Open Journal of Circuits and Systems (OJCAS)*, vol. 3, pp. 4-14, Jan. 2022.
- [5] A. Kosuge, M. Hamada, and T. Kuroda, "A 16nJ/Classification FPGA-based Wired-Logic DNN Accelerator Using Fixed-Weight Non-Linear Neural Net," *IEEE Journal on Emerging and Selected Topics in Circuits and Systems (JETCAS)*, vol. 11, no. 4, pp. 751-761, Dec. 2021.

国際会議論文

- [6] R. Miura, S. Shibata, M. Usui, A. Kosuge, M. Hamada, and T. Kuroda, "A 5.2GHz RFID Chip Contactlessly Mountable on FPC at Any 90-Degree Rotation and Face Orientation," *27th Asia and South Pacific Design Automation Conference (ASP-DAC'22)*, pp.

5-6, Jan. 2022.

- [7] T. Omori, K. Shiba, A. Kosuge, M. Hamada, and T. Kuroda, "A Physical Verification Methodology for 3D-ICs Using Inductive Coupling," *IEEE Electrical Design of Advanced Packaging and Systems (EDAPS)*, pp. 72-74, Dec. 2021.
- [8] S. Shibata, R. Miura, Y. Sawabe, K. Shiba, A. Kosuge, M. Hamada, and T. Kuroda, "A 5-GHz 0.15-mm² Collision Avoidable RFID Employing Complementary Pass-transistor Adiabatic Logic with an Inductively Connected External Antenna," *IEEE Asian Solid-State Circuits Conference (A-SSCC'21)*, Nov. 2021.
- [9] T. Kuroda, "Semiconductor Strategy and 3D Integration (invited)," *JSAP Advanced Metallization Conference 2021 (ADMETAplus2021)*, Extended Abstracts, pp. 61-62, Oct. 2021.
- [10] K. Shiba, T. Omori, M. Hamada, and T. Kuroda, "Area-Efficient Multi-Hop Inductive Coupling Interface for 3D-Stacked Memory with 0.23-V Transmitter and Sub-10- μ m Coil Design," *IEEE European Solid-State Circuits Conference (ESSCIRC)*, Sep. 2021.
- [11] R. Miura, S. Shibata, M. Usui, K. Shiba, A. Kosuge, M. Hamada, and T. Kuroda, "A Bonding-less 5-GHz RFID Module Using a 300 μ m x 500 μ m IC Chip," *JSAP International Conference on Solid State Devices and Materials (SSDM'21)*, Extended Abstracts, pp. 686-687, Sep. 2021.
- [12] S. Morinaga, T. Ishikawa, M. Yasui, M. Hamada, and T. Kuroda, "CA2 Area Detection from Hippocampal Microscope Images Using Deep Learning," *IEEE International Midwest Symposium on Circuits and Systems*, pp. 603-606, Aug. 2021.

著書

- [1] T. Kuroda, W. -Y. Yip, "Wireless Interface Technologies for 3D IC and Module

Integration," ISBN 978-1-10884121-4,
Cambridge University Press, 2021.

シンポジウム・研究会・大会等発表

- [1] 小菅敦丈, “オンデバイス教師なし学習型AI
外観検査ソリューションの研究開発” 経産
省・NEDO 若手研究者の研究シーズ紹介イベ
ント, Feb. 2021.
- [2] 黒田忠広, “半導体戦略と3D集積,” 半導体・
センサ パッケージング技術展, Jan. 2022.
- [3] 黒田忠広, “d.labのパーパス ～半導体の民主
化～,” 先進半導体・デザインで拓く未来社会
創成シンポジウム, Jan. 2022.
- [4] 小菅敦丈, “社会課題解決に向けたAIチップ
の研究,” 集積システム材料産学連携コンソー
シアム, Jan. 2022.
- [5] 黒田忠広, “半導体戦略 - 先々の先を撃つ -,”
半導体産業人協会, Dec. 2021.
- [6] 黒田忠広, “ポスト5Gの半導体戦略,”
SEMICON Japan, Dec. 2021.
- [7] 黒田忠広, “今、実装技術者に聴いていただく
べき、半導体戦略,” (JFK)実装フェスタ大阪
2021, Dec. 2021.
- [8] 黒田忠広, “グリーン半導体戦略,” 日経SDGs
フェスティバル グリーンデバイス会議, Dec.
2021.
- [9] 小菅敦丈, “超低電力AIプロセッサ,” MIT
Technology Review, Innovators Under 35
Japan Summit 2021, Dec 2021.
- [10] 黒田忠広, “d.labの半導体戦略,” Pre- KEIO
TECHNO-MALL 2021, Nov. 2021.
- [11] T. Kuroda, “Semiconductor Industry
Megatrends, Challenges, & UTokyo’s
Endeavor,” TSMC - Corporate Research
Seminar meeting, Nov. 2021.
- [12] T. Kuroda, “Semiconductor’s Changing
Strategy, Its Challenges, & UTokyo’s
Endeavor,” International Workshop on Future
Semiconductor Technology 2021, Nov. 2021.
- [13] 黒田忠広, “半導体戦略 - 先々の先を撃つ -,”
JEVeC Day 2021, キーノート, Nov. 2021.
- [14] 黒田忠広, “新・半導体戦略,” 芝浦工業大学

特別講義, Oct. 2021.

- [15] 黒田忠広, “半導体戦略 ～先々の先を撃つ
～,” 「日本半導体産業 激動の21年史」 発刊
記念セミナー, Oct. 2021.
- [16] 黒田忠広, “民主化が切り拓く半導体戦略
(Discussion),” NGCI Democratic Day, The
University of Tokyo, Oct. 2021.
- [17] T. Kuroda, “Time-Performance Improvement
by Agile Design and 3D Integration,” The 16th
D2T Symposium, The University of Tokyo,
Sep. 2021.
- [18] 黒田忠広, “半導体戦略と3D集積,” 第20回情
報科学技術フォーラム FIT2021, Aug. 2021.
- [19] 黒田忠広, “d.labの半導体戦略とRaaSの取り
組み,” OPTICS and PHOTONICS
International Exhibition (OPIE) ’21, July
2021.
- [20] T. Kuroda, “Time-Performance Improvement
by Agile Design and 3D Integration,” IEEE
Symposium on VLSI Circuits, workshop, June
2021.
- [21] 黒田忠広, “d.labの半導体戦略,” パターニング
戦略会議2021, May 2021.

竹内研究室

研究論文

- (1) Naoko Misawa, Kenta Taoka, Chihiro Matsui
and Ken Takeuchi, “97.6% array area
reduction, ReRAM computation-in-memory
with hyperparameter optimization based on
memory bit-error rate and bit precision of log-
encoding simulated annealing,” Japanese
Journal of Applied Physics (JJAP), vol. 61, pp.
SC1001, February 8, 2022.
- (2) Kazuhide Higuchi, Chihiro Matsui, Naoko
Misawa and Ken Takeuchi, “Computation-in-
memory simulation platform to investigate
inference accuracy degradation by device non-
ideality interactions in deep neural network
applications,” Japanese Journal of Applied
Physics (JJAP), vol. 61, pp. SC1054, February

21, 2022.

国際会議論文

- (1) Kenta Taoka, Naoko Misawa, Shunsuke Koshino, Chihiro Matsui and Ken Takeuchi, “Simulated Annealing Algorithm & ReRAM Device Co-optimization for Computation-in-Memory,” IEEE International Memory Workshop, pp. 119-122, May 21, 2021.
- (2) Mamoru Fukuchi, Shun Suzuki, Kyosuke Maeda, Chihiro Matsui and Ken Takeuchi, “BER Evaluation System Considering Device Characteristics of TLC and QLC NAND Flash Memories in Hybrid SSDs with Real Storage Workloads,” IEEE International Symposium on Circuits and Systems (ISCAS), May 26, 2021.
- (3) Daiki Kojima and Ken Takeuchi, “Error Suppression of Last-Programmed Word-Line for Real Usage of 3D-NAND Flash Memory,” IEEE International Symposium on Circuits and Systems (ISCAS), May 27, 2021.
- (4) Ken Takeuchi, “Memory Circuit & Technology Co-Design for AI Applications,” Silicon Nanoelectronics Workshop (SNW), June 13, 2021. 【基調講演】
- (5) Chihiro Matsui, Kasidit Toprasertpong, Shinichi Takagi and Ken Takeuchi, “Energy-Efficient Reliable HZO FeFET Computation-in-Memory with Local Multiply & Global Accumulate Array for Source-Follower & Charge-Sharing Voltage Sensing,” IEEE Symp. on VLSI Technology, June 18, 2021.
- (6) Chihiro Matsui, Kazuhide Higuchi, Shunsuke Koshino and Ken Takeuchi, “Event-Driven SRAM Computation-in-Memory with Partitioned WL Activation for 3D Heterogeneous Integration of Event-based Vision Sensor”, International Conference on Solid State Devices and Materials (SSDM), September 7, 2021.
- (7) Naoko Misawa, Kenta Taoka, Chihiro Matsui and Ken Takeuchi, “Small Array Area, Memory Error Tolerant ReRAM Computation-in-Memory with Log-encoding Simulated Annealing for Combinational Optimization Problems”, International Conference on Solid State Devices and Materials (SSDM), September 8, 2021.
- (8) Kazuhide Higuchi, Chihiro Matsui, Naoko Misawa and Ken Takeuchi, “Comprehensive Computation-in-Memory Simulation Platform with Non-volatile Memory Non-Ideality Consideration for Deep Learning Applications”, International Conference on Solid State Devices and Materials (SSDM), September 8, 2021.
- (9) Ken Takeuchi, “How to heterogeneously integrate PIM for Edge AI?,” IEEE Asian Solid-State Circuits Conference (A-SSCC) Panel PIM (Processing in Memory) will go with Analog or Digital?, November 8, 2021.
- (10) Ken Takeuchi, “Co-design of non-volatile memory devices, circuits and systems in AI era,” 2021 International Workshop on DIELECTRIC THIN FILMS FOR FUTURE ELECTRON DEVICES (IWDTF), November 14, 2021. 【基調講演】
- (11) Kasidit Toprasertpong, Eishin Nako, Zeyu Wang, Chihiro Matsui, Ryosho Nakane, Ken Takeuchi, Mitsuru Takenaka and Shinichi Takagi, “HfZrO₂-based ferroelectric FETs for emerging computing technologies,” 2021 International Workshop on DIELECTRIC THIN FILMS FOR FUTURE ELECTRON DEVICES (IWDTF), November 15, 2021. 【招待講演】
- (12) Akira Goda, Chihiro Matsui and Ken Takeuchi, “Inter Spike Interval and Stochasticity Engineering of Floating Gate Technology-based Neurons for Spiking Neural Network Hardware”, 6th IEEE Electron Devices Technology and Manufacturing (EDTM) Conference 2022, March 8, 2022.

シンポジウム・研究会・大会等発表

- (1) Chihiro Matsui, Kasidit Toprasertpong, Shinichi Takagi and Ken Takeuchi, “Energy-Efficient Reliable HZO FeFET Computation-in-Memory with Local Multiply & Global Accumulate Array for Source-Follower & Charge-Sharing Voltage Sensing,” 2021 Symposia on VLSI Technology and Circuit 報告会, 2021年7月30日.
- (2) 松井千尋, トープラサートボンカシディット, 高木信一, 竹内健, “ソースフォロワ読み出しおよびチャージシェアリングにより積和演算を行う電圧センス型 FeFET CiM”, シリコン材料・デバイス研究会, 信学技報, vol. 121, no. 138, SDM2021-37, pp. 38-41, 2021年8月18日. 【招待講演】
- (3) 竹内健, “AI応用に向けた不揮発性メモリを用いた Computation-in-Memory”, 第85回半導体・集積回路技術シンポジウム, 2021年8月30日. 【招待講演】
- (4) 竹内健, “不揮発性メモリを用いた Computation-in-Memory による AI アクセラレータ”, 強制的秩序とその操作に関わる研究会夏の学校, 2021年9月14日.
- (5) 竹内健, “AI時代のコンピューティング: ハード・ソフトの Co-design”, 日本学術振興会シリコン超集積化システム第165委員会 第104回研究会, 2022年3月2日.
- (6) 松井千尋, 竹内健, “アプリケーション特性に起因する TaOx ReRAMセルの信頼性ばらつきを許容する高速ストレージ”, シリコン材料・デバイス研究会, 信学技報, vol. 121, no. 71, SDM2021-27, pp. 21-22, 2021年6月22日.
- (7) 三澤奈央子, 田岡健太, 越能俊介, 松井千尋, 竹内健, “組合せ最適化問題に向けた ReRAM を用いたコンピュテーション・イン・メモリにおける量子化ビット数とエラー率の解への影響”, シリコン材料・デバイス研究会, 信学技報, vol. 121, no. 71, SDM2021-28, pp. 23-26, 2021年6月22日.
- (8) 松井千尋, トープラサートボンカシディット, 高木信一, 竹内健, “ソースフォロワ読み出し・チャージシェアリングにより32 ML & 1024 AL 並列で積和演算を行う66 TOPS/W 強誘電体 FET CiM”, DA シンポジウム2021 ポスターセッション, 2021年9月2日.
- (9) 三澤奈央子, 松井千尋, 竹内健, “シミュレーション・アニーリングに向けた ReRAM Computation-in-Memory のマッピング手法”, DA シンポジウム2021 ポスターセッション, 2021年9月2日.
- (10) 松井千尋, 竹内健, “階層型5Gネットワークとヘテロジニアス不揮発性メモリシステムの協調設計”, 応用物理学関係連合講演会, 12p-N304-3, 2021年9月12日.
- (11) 三澤奈央子, 松井千尋, 竹内健, “シミュレーション・アニーリングに向けたコンピュテーション・イン・メモリの ReRAM デバイスのエラー評価”, 応用物理学関係連合講演会, 13a-S101-1, 2021年9月13日.
- (12) 松井千尋, トープラサートボンカシディット, 高木信一, 竹内健, “ソースフォロワ読み出し・チャージシェアリングにより積和演算を行う FeFET Computation-in-Memory (CiM)”, 応用物理学関係連合講演会, 13a-S101-6, 2021年9月13日.
- (13) 三澤奈央子, 松井千尋, 竹内健, “シミュレーション・アニーリングに向けたログ・エンコーディングによる ReRAM Computation-in-Memory,” 第33回コンピュータシステム・シンポジウム (ComSys2021), ポスターセッション, 2021年12月2日.
- (14) 樋口和英, 松井千尋, 三澤奈央子, 竹内健, “メモリエラーを考慮した Computation-in-Memory 向けニューラルネットワーク精度評価シミュレータ,” 第33回コンピュータシステム・シンポジウム (ComSys2021), ポスターセッション, 2021年12月2日.
- (15) 松井千尋, 樋口和英, 越能俊介, 竹内健, “Event-based Vision Sensor (EVS) 向け低消費エネルギーのイベント駆動型 SRAM Computation-in-Memory (CiM)”, 22p-E102-6, 第69回応用物理学会春季学術講演会, 22p-E102-6, 2022年3月22日.

- (16) 樋口和英, 松井千尋, 三澤奈央子, 竹内健, “メモリデバイスの非理想性を考慮した Computation-inMemory 向けニューラルネットワーク精度評価シミュレータ”, 第69回応用物理学会春季学術講演会, 22p-E102-7, 2022年3月22日.
- (17) 23a-E102-2, 2022年3月23日.
- (18) 三澤奈央子, 松井千尋, 竹内健, “組合せ最適化問題に向けたログ・エンコーディングによる ReRAM を用いたコンピューション・イン・メモリ”, 第69回応用物理学会春季学術講演会, 23a-E102-2, 2022年3月23日.
- (19) 合田晃, 松井千尋, 竹内健, “Spiking Neural Network (SNN) ハードウェア向けフローティングゲート型 Stochastic ニューロン”, 第69回応用物理学会春季学術講演会, 22a-E102-1, 2022年3月22日.

中村研究室

研究論文

- [1] 山下智也, 宮本大輔, 関谷勇司, 中村宏, “通信挙動に基づいたスキャン攻撃検知”, 情報処理学会論文誌, vol. 67, no. 12, pp. 1904-14, 2021年12月.

国際会議論文

- [1] Siyi Hu, Masaaki Kondo, Yuan He, Ryuichi Sakamoto, Hao Zhang, Jun Zhou and Hiroshi Nakamura “GraphDEAR: An Accelerator Architecture for Exploiting Cache Locality in Graph Analytics Applications”, in Proc. of the 30th Euromicro International Conference on Parallel, Distributed, and Network-based Processign, PDP2022, 9pages, Mar 2022
- [2] Satoshi Okada, Daisuke Miyamoto, Yuji Sekiya, Hideki Takase, and Hiroshi Nakamura, "LDoS Attacker Detection Algorithms in Zigbee Network," in Proceedings of the 14th IEEE International Conference on Internet of Things, Dec 2021.
- [3] Shaswot Shresthamali, Masaaki Kondo, and

Hiroshi Nakamura, "Multi-Objective Reinforcement Learning for Energy Harvesting Wireless Sensor Nodes," in 14th IEEE International Symposium on Embedded Multicore/Many-Core Systems-on-Chip (MCSoc 2021), Dec 2021.

- [4] Satoshi Okada, Daisuke Miyamoto, Yuji Sekiya, and Hiroshi Nakamura, "New LDoS Attack in Zigbee Network and Its Possible Countermeasures," in The 5th IEEE International Workshop on Big Data and IoT Security in Smart Computing, Aug 2021.

シンポジウム・研究会・大会等発表

- [1] 檜原陽一郎, 中村宏, 高瀬英希, ROS 2ノード軽量実行環境 mROS 2における任意型メッセージの通信処理方式, 情報処理学会研究報告組込みシステム (EMB), Vol. 2022-EMB-59, No. 38, pp. 1-8, 2022年3月.
- [2] 佐藤弘之, 武田大輝, 菊地俊介, 中村宏, 高瀬英希, Elixirによる ROS 2クライアントライブラリの任意型メッセージの通信手法, 情報処理学会研究報告システム・アーキテクチャ (ARC), Vol. 2022-ARC-248, No. 50, pp. 1-8, 2022年3月.
- [3] 中川雅人, 小島拓也, 高瀬英希, 中村 宏, “遺伝的アルゴリズムを用いた CGRA 向けソフトウェアパイプラインスケジューリング手法”, CPSY研究会, 2022年3月.
- [4] 小島拓也, Carlos Cesar Cortes Torres, Boma Adhi, Yiyu Tan, 佐野健太郎, "HPC 向け RIKEN CGRA のためのコンパイル環境整備と予備評価", RECONF 研究会, 2022年1月.

藤田研究室

研究論文

1. V. S. Vineesh; Binod Kumar; Rushikesh Shinde; Neelam Sharma; Masahiro Fujita; Virendra Singh: Enhanced Design Debugging With Assistance From Guidance-Based Model Checking: IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (Volume: 40, Issue: 5, May 2021), pp. 985-998, DOI: 10.1109/TCAD.2020.3011039
2. He-Teng Zhang; Masahiro Fujita; Chung-Kuan Cheng; Jie-Hong R. Jiang: SAT-Based On-Track Bus Routing: IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (Volume: 40, Issue: 4, April 2021), pp. 735-747, DOI: 10.1109/TCAD.2020.3007253
3. Yukio Miyasaka, Masahiro Fujita, Alan Mishchenko & John Wawrzynek: SAT-Based Mapping of Data-Flow Graphs onto Coarse-Grained Reconfigurable Arrays: In: Calimera, A., Gaillardon, PE., Korgaonkar, K., Kvatinsky, S., Reis, R. (eds) VLSI-SoC: Design Trends. VLSI-SoC 2020. IFIP Advances in Information and Communication Technology, vol 621. Springer, Cham. https://doi.org/10.1007/978-3-030-81641-4_6, (2021) pp 113-131
- Carvalho; Mateus Grellert; Sergio Bampi; Aditya Lohana; Akash Kumar; Wei Zeng; Azadeh Davoodi; Rasit O. Topaloglu; Yuan Zhou; Jordan Dotzel; Yichi Zhang; Hanyu Wang; Zhiru Zhang; Valerio Tenace; Pierre-Emmanuel Gaillardon; Alan Mishchenko; Satrajit Chatterjee: Logic Synthesis Meets Machine Learning: Trading Exactness for Generalization: 2021 Design, Automation & Test in Europe Conference & Exhibition (DATE)(2021), pp. 1026-1031, DOI: 10.23919/DATE51398.2021.9473972
2. Yukio Miyasaka; Xinpei Zhang; Mingfei Yu; Qingyang Yi; Masahiro Fujita: Logic Synthesis for Generalization and Learning Addition: 2021 Design, Automation & Test in Europe Conference & Exhibition (DATE)(2021), pp. 1032-1037, DOI: 10.23919/DATE51398.2021.9474169

国内学会, 研究会等

1. 小池 良吾, 藤田 昌宏: Inductive Invariantでの効率的フリップフロップ選択による形式的検証とその応用: 第240回システム・アーキテクチャ・第198回システムとLSIの設計技術・第59回組込みシステム合同研究発表会 (ETNET2022)
2. 易 慶陽, 藤田 昌宏, 孫 鶴鳴: FPGA based accelerator for neural networks computation with flexible pipelining: 第196回システムとLSIの設計技術研究発表会 (デザインガイア 2021)

国際会議

1. Shubham Rai; Walter Lau Neto; Yukio Miyasaka; Xinpei Zhang; Mingfei Yu; Qingyang Yi; Masahiro Fujita; Guilherme B. Manske; Matheus F. Pontes; Leomar S. da Rosa; Marilton S. de Aguiar; Paulo F. Butzen; Po-Chun Chien; Yu-Shan Huang; Hoa-Ren Wang; Jie-Hong R. Jiang; Jiaqi Gu; Zheng Zhao; Zixuan Jiang; David Z. Pan; Brunno A. de Abreu; Isac de Souza Campos; Augusto Berndt; Cristina Meinhardt; Jonata T.

池田研究室

論文

- [1] F. ARAKAWA, M. IKEDA, FOREWORD, IEICE Transactions on Electronics, 2021, E104.C, No. 6, pp. 213-214, June 2021.
- [2] K. Abe and M. Ikeda, "Estimating the Effectiveness of Lattice Attacks," IACR Cryptology ePrint Archive, 2021, Nov 2021.
- [3] M. Ikeda and F. Arakawa, "Special Issue on Cool Chips," in IEEE Micro, vol. 42, no. 2, pp. 6-7, 1 March-April 2022.

国際会議

- [4] N. Watanabe and M. Ikeda, "ToF Image Sensor with Pulse-Frequency-Modulation Pixel for In-Pixel Code Discrimination," 2021 IEEE International Symposium on Circuits and Systems (ISCAS), 2021, pp. 1-5, May 2021, doi: 10.1109/ISCAS51556.2021.9401132.
- [5] R. Nakayama and M. Ikeda, "BN-254 based Multi-Core, Multi-Pairing Crypto-Processor for Functional Encryption," 2021 IEEE International Symposium on Circuits and Systems (ISCAS), 2021, pp. 1-5, May 2021, doi: 10.1109/ISCAS51556.2021.9401283.
- [6] T. Shimada and M. Ikeda, "High-throughput Polynomial Multiplier Architecture for Lattice-based Cryptography," 2021 IEEE International Symposium on Circuits and Systems (ISCAS), 2021, pp. 1-5, May 2021, doi: 10.1109/ISCAS51556.2021.9401755.
- [7] M. Ikeda, "Hardware Acceleration of Elliptic-Curve based Crypto-Algorithm, ECDSA and Pairing Engines," 2021 IEEE 14th International Conference on ASIC (ASICON), 2021, pp. 1-4, Oct. 2021.
- [8] Hitomi Matsuoka, Makoto Ikeda, "Fluorescence Lifetime Measurement Circuit with In-Pixel Time Correlation," ISSCC 2022 Next Generation Circuit Designer Workshop, February 2022.
- [9] K. Masada, R. Nakayama and M. Ikeda, "Hardware Acceleration of Aggregate Signature Generation and Authentication by BLS Signature over BLS12-381 curve," 2022 IEEE Symposium in Low-Power and High-Speed Chips (COOL CHIPS), 2022, pp. 1-3, April, 2022.

国内研究会

- [10] 池田健人, 池田誠, "大規模ジョブショップ・スケジューリング問題の近似解及びハードウェア暗号設計への応用," 電子情報通信学会ハードウェアセキュリティ研究会, vol. 121, no. 1, HWS2021-2, pp. 7-12, 2021年4月
- [11] 阿部浩太郎, 池田誠, "消費電流シミュレーションによるECDSAサイドチャネル漏洩評価手法の検討," 電子情報通信学会LSIとシステムのワークショップ2021, P17, 2021年5月
- [12] 島田泰慎, 池田誠, "耐量子計算機暗号CRYSTALS-Kyber向け暗号プロセッサの設計と実装," 電子情報通信学会LSIとシステムのワークショップ2021, P19, 2021年5月
- [13] 渡辺直, 池田誠, "パルス周波数変調ピクセルを有する画素内符号認識向けToFイメージセンサ," 電子情報通信学会LSIとシステムのワークショップ2021, P22, 2021年5月
- [14] 池田健人, 池田誠, "楕円曲線ペアリングアルゴリズムにおける最適なハードウェア設計手法の検討," 電子情報通信学会LSIとシステムのワークショップ2021, P43, 2021年5月
- [15] 渡辺直, 池田誠, "パルス周波数変調ピクセルを有する画素内符号認識向けToFイメージセンサの設計と評価," 情報センシング研究会, IST2020-40, pp.13-18, 2021年8月
- [16] 正田薫, 中山亮平, "高速・高電力効率ペアリングプロセッサの設計", d.lab-VDEC デザイナーズフォーラム2021, 2021年9月
- [17] 菊岡才人, 池田誠, "ペアリング暗号の特殊拡大数体篩法に対する安全性評価", 電子情報通信学会ハードウェアセキュリティ研究会, vol. 121, no. 206, HWS2021-52, pp. 57-62, 2021

- 年10月
- [18] A. Opatatian and M. Ikeda, "Attribute-based Encryption for File Encryption Application," IEICE Technical Committee on Hardware Security (HWS), vol. 121, no. 206, HWS2021-47, pp. 32-37, October 2021.
- [19] 松岡瞳, 池田誠, "蛍光寿命測定のための SPAD クエンチング時間制御と時間相関回路の設計," 電気情報通信学会 ICD/CAS 研究会 学生・若手研究会, 2021年12月
- [20] 藤田 将大, 島田 泰慎, 池田 誠, "トーラス型完全準同形暗号における多入力任意論理関数のハードウェア実現の検討," 電子情報通信学会 ICD/CAS 研究会 学生・若手研究会, 2021年12月
- [21] 菊岡才人, 池田誠, "ペアリング暗号のハードウェア実装を考慮した安全性評価," 電子情報通信学会 ICD/CAS 研究会 学生・若手研究会, 2021年12月
- [22] 正田薫, 池田誠, "BLS署名生成アルゴリズムのハードウェア実装最適化", 電子情報通信学会 ICD/CAS 研究会 学生・若手研究会, 2021年12月
- [23] 池田健人, 池田誠, "Pairing-friendly 曲線を用いたペアリング演算器の設計空間探索," 電子情報通信学会ハードウェアセキュリティフォーラム2021, P13, 2021年12月
- [24] 島田泰慎, 池田誠, "完全準同形暗号TFHEの演算高速化のためのチップ設計," 電子情報通信学会ハードウェアセキュリティフォーラム2021, P14, 2021年12月
- [25] 阿部浩太郎, 池田誠, "ECDSAハードウェア実装におけるテンプレート攻撃と格子攻撃," 電子情報通信学会ハードウェアセキュリティフォーラム2021, P15, 2021年12月
- [26] 正田薫, 中山亮平, 池田誠, "BLS12-381上のIDベース暗号用ハードウェアの設計," 電子情報通信学会ハードウェアセキュリティフォーラム2021, P16, 2021年12月
- [27] A. Opatatian and M. Ikeda, "Timing Estimation of the File Encryption System based on Attribute-based Encryption with Pairing Engine Equipped," IEICE Hardware Security Forum 2021, P17, December 2021.
- [28] 藤田 将大, 池田 誠, "トーラス型完全準同形暗号における多入力論理関数の実装の検討," 電子情報通信学会ハードウェアセキュリティフォーラム2021, P18, 2021年12月
- [29] 菊岡才人, 池田誠, "ペアリング暗号の安全性評価および効率的な安全性向上の検討," 電子情報通信学会ハードウェアセキュリティフォーラム2021, P19, 2021年12月
- [30] 阿部浩太郎, 池田誠, "ECDSAハードウェア実装におけるテンプレート攻撃と格子攻撃による秘密鍵復元の検討," 暗号と情報セキュリティシンポジウム(SCIS2022), 1C4-4, 2022年1月
- [31] 島田泰慎, 池田誠, "耐量子計算機暗号 Crystals-Kyber向け暗号プロセッサの設計と測定," 電子情報通信学会VLD/HWS研究会, vol. 121, no. 413, HWS2021-58, pp. 31-36, 2022年3月
- [32] A. Opatatian and M. Ikeda, "Attribute-based Encryption Acceleration by Pairing Engine Hardware on FPGA," IEICE Technical Committee on Hardware Security (HWS), vol. 121, no. 413, HWS2021-57, pp. 25-30, 2022年3月

国内大会

- [33] 池田健人, 池田誠, "BLS12-381 曲線上のペアリングに向けた最適なハードウェア実装の検討," 電子情報通信学会ソサイエティ大会, A-7-9, 2021年9月
- [34] 阿部浩太郎, 池田誠, "ECDSA サイドチャネル漏洩の消費電流による評価," 電子情報通信学会ソサイエティ大会, A-19-3, 2021年9月
- [35] 池田誠, "トーラス型完全準同形暗号および耐量子計算暗号エンジンの最適実装," 電子情報通信学会総合大会, AI-6-3, 2022年3月。
- [36] 池田健人, 池田誠, "Pairing-friendly 曲線群のペアリングに向けたハードウェア設計手法の最適化," 電子情報通信学会総合大会, A-7-2, 2022年3月

- [37] H. Bui and M. Ikeda, "Fully-Parallelized FPGA Implementation of the SIDH Key-Exchange Algorithm," IEICE General Conference, A-19-1, March 2022.
- [38] 渡辺直, 池田誠, "信号光の識別に向けた画素内復号機能を有するToFイメージセンサの設計," 電子情報通信学会総合大会, C-12-24, 2022年3月

飯塚研究室

研究論文

- [1] Ryoga Iwashita, Zule Xu, Masaru Osada and Tetsuya Iizuka, "A Fractional-N MASH2-k FDC PLL Architecture Enabling Higher-Order Quantisation Noise Shaping," IET Electronics Letters, vol. 58, No. 7, pp. 274 - 276, Mar. 2022.
- [2] Shuowei Li, Zule Xu and Tetsuya Iizuka, "Analysis of Strong-Arm Comparator with Auxiliary Pair for Offset Calibration," Springer Journal of Analog Integrated Circuits and Signal Processing, vol. 110, no. 3, pp. 535 - 546, Mar. 2022.
- [3] Akira Matsuoka, Tomohiro Nezuka and Tetsuya Iizuka, "Fully Dynamic Discrete-Time $\Delta \Sigma$ ADC using Closed-Loop Two-Stage Cascoded Floating Inverter Amplifiers," IEEE Transactions on Circuits and Systems-II: Express Briefs, vol. 69, no. 3, pp. 944 - 948, Mar. 2022.
- [4] Zolboo Byambadorj, Koji Asami, Takahiro J. Yamaguchi, Akio Higo, Masahiro Fujita and Tetsuya Iizuka, "High-Precision Sub-Nyquist Sampling System Based on Modulated Wideband Converter for Communication Device Testing," IEEE Transactions on Circuits and Systems-I: Regular Papers, vol. 69, no. 1, pp. 378 - 388, Jan. 2022.
- [5] Zule Xu, Naoki Ojima, Shuowei Li and Tetsuya Iizuka, "An All-Standard-Cell-Based Synthesizable SAR ADC with Nonlinearity-Compensated RDAC," IEEE Transactions on Very Large Scale Integration Systems, vol. 29, no. 12, pp. 2153 - 2162, Dec. 2021.
- [6] Nguyen Ngoc Mai-Khanh, Tetsuya Iizuka and Kunihiro Asada, [Invited] "Integrated On-Silicon and On-glass Antennas for mm-Wave Applications," REV Journal on Electronics and Communications, vol. 11, no. 1-2, pp. 8 - 15, Jan.-Jun. 2021.

国際会議論文

- [1] Zolboo Byambadorj, Koji Asami, Takahiro J. Yamaguchi, Akio Higo, Masahiro Fujita and Tetsuya Iizuka, "High-Precision Sub-Nyquist Sampling System Based on Modulated Wideband Converter for Communication Device Testing," IEEE International Symposium on Integrated Circuits and Systems (ISICAS), Dec. 2021.
- [2] Hisashi Inoue, Ai Kitoh, Xiangyu Chen, Tetsuya Iizuka, Dror Miron, Lior Kornblum, Doo Seok Jeong and Isao H. Inoue, [Invited] "Leaky-Integrator Neuron for Sporadic Spike Inputs," International Conference on Memristive Materials, Devices & Systems (MEMRISYS), Nov. 2021.
- [3] Tetsuya Iizuka, Hao Xu and Asad A. Abidi, [Invited] "A Tutorial on Systematic Design of CMOS A/D Converters: Illustrated by a 10 b, 500 MS/s SAR ADC with 2 GHz RBW," in Proceedings of IEEE European Solid-State Circuits Conference (ESSCIRC), Sep. 2021.
- [4] Nguyen Ngoc Mai-Khanh, Tetsuya Iizuka and Kunihiro Asada, [Invited] "Shock-Wave Transceiver Integration for mm-Wave Active Sensing Applications," in Proceedings of IEEE International Conference on IC Design and Technology (ICICDT), Sep. 2021.
- [5] Xiangyu Chen, Takeaki Yajima, Isao H. Inoue, Tetsuya Iizuka, "A Compact On-Chip Implementation of Leaky Integrate-and-Fire Neuron with Long and Tunable Time Constant

- Utilizing Pseudo Resistors," in Extended Abstract of International Conference on Solid State Devices and Materials (SSDM), L-2-02, Sep. 2021.
- [6] Zule Xu, Masaru Osada and Tetsuya Iizuka, "A 3.3-GHz 4.6-mW Fractional-N Type-II Hybrid Switched-Capacitor Sampling PLL Using CDAC-Embedded Digital Integral Path with -80-dBc Reference Spur," in IEEE Symposium on VLSI Circuits Digest of Technical Papers, Jun. 2021.
- [7] Tetsuya Iizuka, Hao Xu and Asad A. Abidi, "Nyquist A/D Converter Design in Four Days," in IEEE Symposium on VLSI Circuits Workshop: Deep Analysis Can Compress the Time to Design Optimum Analog/Mixed-Signal Circuits, Jun. 2021.

シンポジウム・研究会・大会等発表

- [1] 飯塚 哲也, Hao Xu, Asad Abidi, [招待講演] "CMOS A/D 変換回路のシステムティック設計手法," 電子情報通信学会 総合大会, TK-2-3, 2022年3月.
- [2] 松岡 英, 根塚 智裕, 飯塚 哲也, "閉ループダイナミックFIAを用いた低電力デルタシグマアナログ-デジタル変換器," 電子情報通信学会 LSIとシステムのワークショップ2021, 2021年5月.
- [3] 陳 翔宇, 矢嶋 赳彬, 飯塚 哲也, "Leaky Integrate-and-Fire Neuron Circuit with Long and Tunable Time Constant Utilizing Pseudo Resistors," 電子情報通信学会 LSIとシステムのワークショップ2021, 2021年5月

平本・小林研究室

研究論文

- (1) Youngmin Lee, Jin Woo Lee, Sejoon Lee, Toshiro Hiramoto, and Kang L. Wang, "Reconfigurable Multivalued Logic Functions of a Silicon Ellipsoidal Quantum-Dot Transistor Operating at Room Temperature", ACS Nano, Vol. 15, pp. 18483 - 18493, November, 2021. <https://doi.org/10.1021/acsnano.1c08208>.
- (2) Jixuan Wu, Fei Mo, Takuya Saraya, Toshiro Hiramoto, Mototaka Ochi, Hiroshi Goto, and Masaharu Kobayashi, "Monolithic Integration of Oxide Semiconductor FET and Ferroelectric Capacitor Enabled by Sn-Doped InGaZnO for 3-D Embedded RAM Application", IEEE Transactions on Electron Devices, Vol. 62, No.12, pp. 6617 - 6622, December, 2021. DOI: 10.1109/TED.2021.3111145.
- (3) Shohei Sekiguchi, Min-Ju Ahn, Tomoko Mizutani, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, "Subthreshold Swing in Silicon Gate-All-Around Nanowire and Fully Depleted SOI MOSFETs at Cryogenic Temperature", IEEE Journal of the Electron Devices Society, Vol. 9, pp. 1151 - 1154, December, 2021. DOI: 10.1109/JEDS.2021.3108854.
- (4) Jiawen Xiang, Wen Hsin Chang, Takuya Saraya, Toshiro Hiramoto, Toshifumi Irisawa, and Masaharu Kobayashi, "Ultrathin MoS₂-Channel FeFET Memory With Enhanced Ferroelectricity in HfZrO₂ and Body-Potential Control", IEEE Journal of the Electron Devices Society, Vol. 10, pp. 72 - 77, February, 2022. DOI: 10.1109/JEDS.2021.3133570.
- (5) Fei Mo, Jiawen Xiang, Xiaoran Mei, Yoshiki Sawabe, Takuya Saraya, Toshiro Hiramoto, Chun-Jung Su, Vita Pi-Ho Hu, and Masaharu Kobayashi, "Efficient Erase Operation by GIDL Current for 3D Structure FeFETs With Gate Stack Engineering and Compact Long-

- Term Retention Model”, IEEE Journal of the Electron Devices Society, Vol. 10, pp. 115 - 122, February, 2022. DOI: 10.1109/JEDS.2022.3142046.
- (6) Zihao Liu, Tomoko Mizutani, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, “Cause analysis of width-dependence of on-current variability in thin gate-all-around silicon nanowire MOSFET”, Japanese Journal of Applied Physics, Vol. 61, No. SC, SC1002, March, 2022. <https://doi.org/10.35848/1347-4065/ac3a8c>.
- (7) Tomoko Mizutani, Kiyoshi Takeuchi, Takuya Saraya, Hiroshi Oka, Takahiro Mori, Masaharu Kobayashi, and Toshiro Hiramoto, “Effect of percolation path on temperature dependence of threshold voltage variability in bulk MOSFETs”, Japanese Journal of Applied Physics, Vol. 61, No. SC, SC1006, March, 2022. <https://doi.org/10.35848/1347-4065/ac3a92>.
- (8) Fei Mo, Xiaoran Mei, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, “A simulation study on memory characteristics of InGaZnO-channel ferroelectric FETs with 2D planar and 3D structures”, Japanese Journal of Applied Physics, Vol. 61, No. SC, SC1013, March, 2022. <https://doi.org/10.35848/1347-4065/ac3d0e>.
- (9) Kiyoshi Takeuchi, Tomoko Mizutani, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, “A robust single device MOSFET series resistance extraction method considering horizontal-field-dependent mobility”, Japanese Journal of Applied Physics, Vol. 61, No. SC, SC1016, March, 2022. <https://doi.org/10.35848/1347-4065/ac3eb7>.
- (10) Hongkuan Yu, Tomoko Mizutani, Kiyoshi Takeuchi, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, “Estimation of minimum operating voltage in fully depleted SOI SRAM cells using gamma distribution”, Japanese Journal of Applied Physics, Vol. 61, No. SC, SC1064, March, 2022. <https://doi.org/10.35848/1347-4065/ac4447>.
- (11) Kiyoshi Takeuchi, Masaharu Kobayashi, and Toshiro Hiramoto, “A Threshold Voltage Definition Based on a Standardized Charge Versus Voltage Relationship”, IEEE Transactions on Electron Devices, Vol. 69, No. 3, pp. 942 - 948, March, 2022. DOI: 10.1109/TED.2022.3144623.

国際会議論文

- (1) Shohei Sekiguchi, Min-Ju Ahn, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, “Subthreshold Swing in Silicon Gate-All-Around Nanowire MOSFET at Cryogenic Temperature”, 5th Electron Devices Technology and Manufacturing Conference (EDTM), Century City International Convention Centre, Chengdu, China, TH3P1-3, April 10, 2021.
- (2) Masaharu Kobayashi, "Physics and Applications of Emerging Ferroelectric Devices", IEEE Electron Devices Technology and Manufacturing Conference (EDTM) 2021, pp.106-108, April 11 (2021), Virtual Conference.
- (3) M. Watanabe, N. Shigyo, T. Hoshii, K. Furukawa, K. Kakushima, K. Satoh, T. Matsudai, T. Saraya, T. Takakura⁴, I. Muneta, H. Wakabayashi, A. Nakajima, S. Nishizawa, K. Tsutsui, T. Hiramoto, H. Ohashi, and H. Iwai (Invited), “Accurate TCAD simulation of trench-gate IGBTs and its application to prediction of carrier lifetime requirements for future scaled devices”, 5th Electron Devices Technology and Manufacturing Conference (EDTM), Century City International Convention Centre, Chengdu, China, FR2A2-5, April 11, 2021.
- (4) Masaharu Kobayashi, "Ferroelectric-HfO₂ FeFET for 3D High-Density Memory

- Application", MRS Spring Meeting, April 19 (2021), Virtual Conference.
- (5) Kiyoshi Takeuchi, Tomoko Mizutani, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, "Validation of an Intercept-at-Zero-Gate-Length MOSFET Series Resistance Extraction Method", International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA), Ambassador Hotel Hsinchu, Hsinchu, Taiwan, T3-17, April 20, 2021.
 - (6) Toshiro Hiramoto (Invited), "Recent Progress of Silicon IGBT Technologies", 2021 IEEE Latin America Electron Devices Conference (LAEDC), Virtual Conference, April 20, 2021.
 - (7) Kiyoshi Takeuchi, Tomoko Mizutani, Takuya Saraya, Masaharu Kobayashi, Toshiro Hiramoto, "A Charge-Based Analytical Threshold Voltage Definition Applicable to Cryogenic Temperatures", Silicon Nanoelectronics Workshop, Online Conference, S2-3, June 13, 2021.
 - (8) Zihao Liu, Tomoko Mizutani, Takuya Saraya, Masaharu Kobayashi, Toshiro Hiramoto, "Analysis of Drain Current Variability Components in Extremely Narrow GAA Silicon Nanowire MOSFETs of 4nm Width", Silicon Nanoelectronics Workshop, Online Conference, S2-4, June 13, 2021.
 - (9) Tomoko Mizutani, Kiyoshi Takeuchi, Takuya Saraya, Masaharu Kobayashi, Toshihiro Hiramoto, "Statistical analysis of characteristics variability in bulk MOSFETs at Cryogenic Temperature", Silicon Nanoelectronics Workshop, Online Conference, S2-7, June 13, 2021.
 - (10) Jiawen Xiang, Wen Hsin Chang, Takuya Saraya, Toshiro Hiramoto, Toshifumi Irisawa, Masaharu Kobayashi, "Experimental Demonstration of HfO₂-based Ferroelectric FET with MoS₂ Channel for High-Density and Low-Power Memory Application", Silicon Nanoelectronics Workshop, Online Conference, S3-2, June 13, 2021.
 - (11) J. Wu, F. Mo, T. Saraya, T. Hiramoto, M. Ochi, H. Goto, and M. Kobayashi, "Mobility-Enhanced FET and Wakeup-Free Ferroelectric Capacitor Enabled by Sn-doped InGaZnO for 3D Embedded RAM Application", Symposium on VLSI Technology, Online Conference, T6-2, June 17, 2021.
 - (12) F. Mo, J. Xiang, X. Mei, Y. Sawabe, T. Saraya, T. Hiramoto, C.-J. Su, V. P-H. Hu, and M. Kobayashi, "Critical Role of GIDL Current for Erase Operation in 3D Vertical FeFET and Compact Long-Term FeFET Retention Model", Symposium on VLSI Technology, T16-2, June 19, 2021.
 - (13) Toshiro Hiramoto, "Future Logic-Device Technologies", Short Course "Evolution and Progress of CMOS Logic Technology ~from the Past to the Future~", 2021 International Conference on Solid State Devices and Materials (SSDM), Online Conference, SC-06, September 6, 2021.
 - (14) Tomoko Mizutani, Kiyoshi Takeuchi, Takuya Saraya, Hiroshi Oka, Takahiro Mori, Masaharu Kobayashi and Toshiro Hiramoto, "Effect of Percolation Path on Temperature Dependence of Threshold Voltage Variability in Bulk MOSFETs", 2021 International Conference on Solid State Devices and Materials (SSDM), Online Conference, A-1-06, pp. 17 - 18, September 7, 2021.
 - (15) Masaharu Kobayashi, Fei Mo, Jiawen Xiang, Jixuan Wu, Takuya Saraya and Toshiro Hiramoto (Invited), "Technology Challenge and Opportunity of HfO₂-based FeFET Memory", 2021 International Conference on Solid State Devices and Materials (SSDM), Online Conference, B-6-01, pp. 133 - 134, September 8, 2021.
 - (16) Kiyoshi Takeuchi, Tomoko Mizutani, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, "A Robust Single Device MOSFET

- Series Resistance Extraction Method Considering Horizontal-Field-Dependent Mobility”, 2021 International Conference on Solid State Devices and Materials (SSDM), Online Conference, A-6-06, pp. 53 - 54, September 8, 2021.
- (17) Hongkuan Yu, Tomoko Mizutani, Kiyoshi Takeuchi, Takuya Saraya, Masaharu Kobayashi and Toshiro Hiramoto, “Distribution Analysis of Minimum Operating Voltage in Fully Depleted SOI SRAM Cells”, 2021 International Conference on Solid State Devices and Materials (SSDM), Online Conference, A-6-09, pp. 59 - 60, September 8, 2021.
- (18) Zihao Liu, Tomoko Mizutani, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, “Width Dependence of Drain Current Variability Components in Extremely Narrow GAA Silicon Nanowire MOSFETs down to 2nm Width”, 2021 International Conference on Solid State Devices and Materials (SSDM), Online Conference, A-7-04, pp. 69 - 70, September 9, 2021.
- (19) Fei Mo, Xiaoran Mei, Takuya Saraya, Toshiro Hiramoto and Masaharu Kobayashi, “Simulation Study on Memory Characteristics of IGZO-Channel FeFET from 2D Planer to 3D Vertical Structure for Channel Structure Engineering”, 2021 International Conference on Solid State Devices and Materials (SSDM), Online Conference, A-8-04, pp. 83 - 84, September 9, 2021.
- (20) Masaharu Kobayashi, "Monolithic 3D Integration of IGZO FET and Ferroelectric Memory for Embedded RAM Application", 2021JP-TW Advanced Materials and Semiconductor Technology Workshop, October 28, online
- (21) Masaharu Kobayashi, Jixuan Wu, Fei Mo, Takuya Saraya, Toshiro Hiramoto, Kohei Nishiyama, Mototaka Ochi, Hiroshi Goto, "Monolithic Integration of Sn-Doped IGZO Transistor and Ferroelectric Memory for High-Density Memory Applications", International Display Workshops 2021, 28, pp.145-148 (2021), virtual conference, Dec.3, 2021.
- (22) H. Baba, S. Ohshita, T. Hamada, Y. Ando, R. Hodo, T. Ono, T. Hirose, Y. Kurokawa, T. Murakawa, H. Kunitake, T. Nakura, M. Kobayashi, H. Yoshida, M.-C. Chen, M.-H. Liao, S.-Z. Chang, S. Yamazaki, "Novel Analog in-Memory Compute with < 1 nA Current/Cell and 143.9 TOPS/W Enabled by Monolithic Normally-off Zn-rich CAAC-IGZO FET-on-Si CMOS Technology", International Electron Device Meeting (IEDM) 2021, pp. 466-469 (2021), December 14, Hybrid conference, San Francisco, USA.
- (23) N. Okuno, Y. Sato, Y. Jimbo, H. Honda, M. Kurata, M. Wakuda, H. Kunitake, M. Kobayashi, and S. Yamazaki, "Source/Drain Engineering by Tantalum Nitride (Ta_nx) Electrode for Boosting OSFET Performance", International Electron Device Meeting (IEDM) 2021, pp. 801-804 (2021), December 15, Hybrid conference, San Francisco, USA.
- (24) Masahide Yuki Honda, Masakazu Nanba, Yoshinori Iguchi, Takuya Saraya, Masaharu Kobayashi, Eiji Higurashi, Hiroshi Toshiyoshi, and Toshiro Hiramoto, “3-Layer stacked pixel-parallel CMOS image sensors using hybrid bonding of SOI wafers”, Imaging Sensors and Systems 2022 (ISS) Conference, Online Conference, January 19, 2022.
- (25) Toshiro Hiramoto, Tomoko Mizutani, Kiyoshi Takeuchi, Takuya Saraya, Hiroshi Oka, Takahiro Mori, and Masaharu Kobayashi (Invited), “Effect of Random Potential Fluctuations on Threshold Voltage Variability in Bulk MOSFETs at Cryogenic Temperature”, 6th Electron Devices Technology and Manufacturing Conference (EDTM), Virtual

- Conference, pp. 381 - 383, March 16, 2022.
- (26) Kiyoshi Takeuchi, Tomoko Mizutani, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, "Single Device MOSFET Series Resistance Extraction Methods: Comparison Between Newer and Older", 34th IEEE International Conference on Microelectronic Test Structures (ICMETS), Virtual Conference, March 22, 2022.
- (27) Masaharu Kobayashi, "Monolithic 3D Integration of Oxide Semiconductor FETs and Memory Devices for AI Acceleration", International Reliability Physics Symposium (IRPS) 2022, 9C.1, hybrid conference, Dallas, Texas, USA, March 31, 2022.
- 季学術講演会, 名城大学, 愛知, 11a-N205-10, 2021年9月11日.
- (6) Jixuan Wu, Fei Mo, Takuya Saraya, Toshiro Hiramoto, Mototaka Ochi, Hiroshi Goto, and Masaharu Kobayashi, "Monolithic Integration of FET and Ferroelectric-Capacitor Enabled by Sn-doped InGaZnO for 3D Embedded RAM Application", 第82回応用物理学会秋季学術講演会, 名城大学, 愛知, 11a-N205-11, 2021年9月11日.
- (7) Zihao Liu, Tomoko Mizutani, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, "Decomposition of Drain Current Variability Components in Extremely Narrow GAA Silicon Nanowire MOSFETs", 第82回応用物理学会秋季学術講演会, 名城大学, 愛知, 12a-N304-1, 2021年9月12日.
- (8) 竹内 潔, 水谷朋子, 更屋拓哉, 小林正治, 平本 俊郎, 「極低温に対応した反転電荷密度に基づく新しい解析的しきい値定義の提案」, 第82回応用物理学会秋季学術講演会, 名城大学, 愛知, 13a-N304-2, 2021年9月13日.
- (9) 水谷朋子, 竹内 潔, 更屋拓哉, 小林正治, 平本 俊郎, 「低温におけるバルクMOSFETの特性ばらつきの統計解析」, 第82回応用物理学会秋季学術講演会, 名城大学, 愛知, 13a-N304-3, 2021年9月13日.
- (10) 小林正治, 「酸化物半導体による集積メモリデバイスの新展開」, 2021年 電気学会 電子・情報・システム部門大会, 9月17日, オンライン開催
- (11) 平本俊郎, 更屋拓哉 (招待講演), 「シリコンIGBTの新展開～スケーリングIGBTと両面ゲートIGBT～」, 電子情報通信学会シリコン材料・デバイス研究会 (SDM研究会), オンライン会議, 2021年11月11日.
- (12) 小林正治, Mo, Fei, Xiang, Jiawen, Mei, Xiaoran, 沢辺慶起, 更屋拓哉, 平本俊郎, Su, Chun-Jung, Hu, Vita Pi-Ho (招待講演), 「三次元積層構造に向けた強誘電体HfO₂ FeFETの消去動作の効率化に関する研究」, 電子情報通信学会シリコン材料・デバイス研究
- シンポジウム・研究会・大会等発表
- (1) 平本俊郎, 「VLSIシンポジウム報告 先端CMOS技術関連」, d.lab協賛事業, オンライン開催. 2021年6月29日.
- (2) 平本俊郎, 「IGBTスケーリングによるパワーエレクトロニクスのパラダイム変換」, 応用物理学会システムデバイスロードマップ委員会 (SDRJ) BC/MtM合同委員会, オンライン開催, 2021年7月8日.
- (3) 平本俊郎, 「シリコン先端半導体の技術動向」, 日本学術振興会R031ハイブリッド量子ナノ技術委員会, オンライン開催, 2021年7月9日.
- (4) Xiaoran Mei, Fei Mo, Toshiro Hiramoto, and Masaharu Kobayashi, "Simulation Study on the Role of GIDL Current for Erase Operation in FeFETs", 第82回応用物理学会秋季学術講演会, 名城大学, 愛知, 11a-N205-9, 2021年9月11日.
- (5) Fei Mo, Jiawen Xiang, Xiaoran Mei, Yoshiki Sawabe, Takuya Saraya, Toshiro Hiramoto, Chun-Jung Su, Vita Pi-Ho Hu, and Masaharu Kobayashi, "Role of GIDL Current for Efficient Erase Operation and Interfacial Layer Engineering for Low-Voltage Operation in HfO₂-based FeFET", 第82回応用物理学会秋

- 会 (SDM研究会), オンライン会議, 2021年11月11日.
- (13) 竹内 潔・水谷朋子・更屋拓哉・小林正治・平本俊郎, 「標準化された電荷密度対電圧特性に基づく新しいしきい値定義の提案」, 電子情報通信学会シリコン材料・デバイス研究会 (SDM研究会), オンライン会議, 2021年11月11日.
- (14) 平本俊郎, 「先端CMOSデバイスの現状と将来展望」, 第42回 ナガセマイクロエレクトロニクスセミナー, オンライン会合, 2022年11月19日.
- (15) 小林正治, 「次世代強誘電体メモリの研究開発動向」, 学振R031ハイブリッド量子ナノ技術委員会 第4回委員会, 2022年1月11日, オンライン開催
- (16) 平本俊郎, 「IEDM概要－先端CMOS・デバイス技術関連」, 東京大学d.lab協賛事業, IEDM報告会, オンライン会合, 2022年1月19日.
- (17) 平本俊郎, 「シリコンパワーデバイスの動向と新しい技術潮流」, 神奈川県川崎市ナノ茶論～先端技術の最新動向とアプリケーション開発, オンライン会合, 2022年1月24日.
- (18) 小林正治, Jixuan Wu, 莫非, 更屋拓哉, 平本俊郎, 越智元隆, 後藤裕史, 「酸化物材料による三次元集積メモリデバイスの新展開」, 第27回 電子デバイス界面テクノロジー研究会 (EDIT27), p.35-38, Virtual conference, January 28, 2022.
- (19) 平本俊郎, 「ALT (Advanced Logic Technology)」, IEEE EDS Japan Joint Chapter IEDM報告会, オンライン会合, 2022年2月8日.
- (20) 平本俊郎, 更屋拓哉, 「IGBTスケールアップと両面ゲートIGBT技術」, 電気学会パワーデバイス・パワーIC高性能化及び高品質化技術調査専門委員会, オンライン会合, 2022年2月14日.
- (21) Hongkuan Yu, Tomoko Mizutani, Kiyoshi Takeuchi, Takuya Saraya, Masaharu Kobayashi, Toshiro Hiramoto, 「Estimation of Minimum Operating Voltage in FDSOI SRAM Using Gamma Distribution」, 第69回応用物理学会春季学術講演会, 青山学院大学相模原キャンパス+オンライン, 23p-E307-7, 2022年3月23日.
- (22) 竹内 潔, 水谷朋子, 更屋拓哉, 小林正治, 平本俊郎, 「単一デバイスを用いたMOSFETの寄生抵抗抽出法」, 第69回応用物理学会春季学術講演会, 青山学院大学相模原キャンパス+オンライン, 23p-E307-8, 2022年3月23日.
- (23) Zihao Liu, Tomoko Mizutani, Takuya Saraya, Masaharu Kobayashi, Toshiro Hiramoto, 「Analysis of Width-Dependent Drain Current Variability in Extremely Narrow GAA Silicon Nanowire MOSFETs」, 第69回応用物理学会春季学術講演会, 青山学院大学相模原キャンパス+オンライン, 23p-E307-11, 2022年3月23日.
- (24) 山中勇人, 水谷朋子, 更屋拓哉, 小林正治, 平本俊郎, 「シリコンナノワイヤトランジスタ特性の室温および低温におけるナノワイヤ幅依存性」, 第69回応用物理学会春季学術講演会, 青山学院大学相模原キャンパス+オンライン, 23p-E307-12, 2022年3月23日.
- (25) 水谷朋子, 竹内 潔, 更屋拓哉, 岡 博史, 森貴洋, 小林正治, 平本俊郎, 「極低温におけるバルクMOSFETランダムばらつきに対するパーコレーションパスの影響」, 第69回応用物理学会春季学術講演会, 青山学院大学相模原キャンパス+オンライン, 23p-E307-14, 2022年3月23日.
- (26) 平本俊郎, 「会長挨拶」, シンポジウム「ジェンダー・イノベーションを通して考える応用物理の男女共同参画」, 第69回応用物理学会春季学術講演会, 青山学院大学相模原キャンパス+オンライン, 24p-E305-2, 2022年3月24日.
- (27) 沢辺慶起, 更屋拓哉, 平本俊郎, 小林正治, 「HfO₂系強誘電体における分極反転ダイナミクスの膜厚依存性」, 第69回応用物理学会春季学術講演会, 青山学院大学相模原キャンパス+オンライン, 24p-E105-1, 2022年3月24日.

- 日.
- (28) 平本俊郎, 「オープニング」, シンポジウム「2050年カーボンニュートラル:これから何をすべきなのか?」, 第69回応用物理学会春季学術講演会, 青山学院大学相模原キャンパス+オンライン, 25p-E101-1, 2022年3月25日.
- (29) 後藤正英, 本田悠葵, 難波正和, 井口義則, 更屋拓哉, 小林正治, 日暮栄治, 年吉 洋, 平本俊郎, 「SOIウェハのハイブリッド接合を用いた3層積層画素並列CMOSイメージセンサ」, 映像情報メディア学会情報センシング研究会, オンライン会議, 2022年3月28日.
- [5] K. Sumita, K. Toprasertpong, M. Takenaka and S. Takagi, “Evaluation of interface traps inside the conduction band of InAs-On-Insulator nMOSFET by self-consistent Hall-QSCV method”, *Appl. Phys. Lett.* 119, 103501, September 2021. DOI: 10.1063/5.0057182
- [6] T.-E. Lee, K. Toprasertpong, M. Takenaka and S. Takagi, “Re-examination of effects of ALD high-k materials on defects reduction in SiGe metal-oxide-semiconductor interfaces”, *AIP Advances*, vol. 11, 08502116, August 2021. DOI: 10.1063/5.0061573
- [7] T.-E. Lee, K. Toprasertpong, M. Takenaka, and S. Takagi, "Impacts of Equivalent Oxide Thickness Scaling of TiN/Y2O3 Gate Stacks With Trimethylaluminum Treatment on SiGe MOS Interface Properties”, *IEEE Electron Device Letters*, Vol. 42, Issue 7, pp. 966-969, July 2021. DOI: 10.1109/LED.2021.3081513
- [8] X. Luo, K. Toprasertpong, M. Takenaka and S. Takagi, “Antiferroelectric properties of ZrO₂ ultra-thin films prepared by atomic layer deposition”, *Appl. Phys. Lett.* 118, Issue 23, 232904, 07 June 2021. DOI: 10.1063/5.0051068
- [9] C.-M. Lim, Z. Zhao, K. Sumita, K. Toprasertpong, M. Takenaka and S. Takagi, “Electrical properties of ultra-thin body (111) Ge on-insulator n-channel MOSFETs fabricated by smart-cut process”, *IEEE J. Electron Device Society*, vol. 9, pp. 612 – 617, 03 June 2021. DOI: 10.1109/JEDS.2021.3085981
- [10] S. Ohno, Q. Li, N. Sekine, H. Tang, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, and M. Takenaka, “Si microring resonator optical switch based on optical phase shifter with ultrathin-InP/Si hybrid metal-oxide-semiconductor capacitor,” *Optics Express*, vol. 29, no. 12, pp. 18502–18025, June 2021. DOI: 10.1364/OE.424963
- ## 高木研究室
- ### 研究論文
- [1] R. Nur, T. Tsuchiya, K. Toprasertpong, K. Terabe, S. Takagi, and M. Takenaka, “Floating gate negative capacitance MoS₂ phototransistor with high photosensitivity,” *Nanoscale*, vol. 14, pp. 2013-2022, January 2022. DOI: 10.1039/D1NR06315D
- [2] C.-T. Chen, K. Sumita, K. Toprasertpong, M. Takenaka and S. Takagi, “Effective Mobility Enhancement Through Asymmetric Strain Channels on Extremely-Thin Body (100) GOI pMOSFETs”, *IEEE Trans. Electron Devices*, vol. 69, No. 1, pp. 25-30, January 2022. DOI: 10.1109/TED.2021.3130221
- [3] Z. Zhao, C.-M. Lim, C. Ho, K. Sumita, Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, “Low-loss Ge waveguide at 2-um band on n-type Ge-on-insulator wafer”, *Optical Materials Express*, 11(12), pp. 4097 - 4106, Dec 2021. DOI: 10.1364/OME.444071
- [4] S. Takagi, K. Toprasertpong, K. Tahara, E. Nako, R. Nakane, Z. Wang, X. Luo, T.-E. Lee and M. Takenaka, “HfZrO-based Ferroelectric devices for lower power AI and memory applications”, *ECS Transactions*, 104 (4), pp. 17 - 26, October 2021. DOI: 10.1149/10404.0017ecst

- [11] K. Sumita, K. Toprasertpong, M. Takenaka, and S. Takagi, "Proposal and experimental demonstration of ultrathin-body (111) InAs-on-insulator nMOSFETs with L valley conduction," *IEEE Trans. Electron Devices*, vol. 68, no. 4, pp. 2003–2009, April 2021. DOI: 10.1109/TED.2021.3049455

国際会議論文

- [1] K. Sumita, C.-T. Chen, K. Toprasertpong, M. Takenaka, and S. Takagi, "Optimum Design of Channel Material and Surface Orientation for Extremely-Thin-Body nMOSFETs under New Modeling of Surface Roughness Scattering", *IEEE International Electron Device Meeting (IEDM)*, 18.4, 406-409, December 2021.
- [2] F. Boeuf, C. Barrera, A. Fincato, H. Tang, S. Guerber, S. Monfray, S. Ohno, D. Fowler, I. Charlet, L. Gianini, A. Simbula, L. Maggi, M. Shaw, K. Toprasertpong, S. Takagi and M. Takenaka, "Silicon Photonics Beyond Optical Interconnects", invited, *IEEE International Electron Device Meeting (IEDM)*, 29.2, 629-632, December 2021.
- [3] M. Takenaka, N. Sekine, K. Toprasertpong and S. Takagi, "III-V CMOS photonics platform based on quantum well intermixing", presented in 11th international symposium on photonics and electronics convergence (ISPEC 2021), online, Dec. 13-15 2021
- [4] K. Watanabe, H. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, "Non-volatility of hybrid MOS optical phase shifter using Si FeFET", presented in 11th international symposium on photonics and electronics convergence (ISPEC 2021), online, Dec. 13-15 2021
- [5] H. Tang, R. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, "Numerical analysis of distributed slab capacitance in III-V/Si hybrid MOS phase shifter", presented in 11th international symposium on photonics and electronics convergence (ISPEC 2021), online, Dec. 13-15 2021
- [6] T. Piyapatarakul, H. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, "Computational analysis of optical phase modulation using graphene/III-V hybrid MOS capacitor", presented in 11th international symposium on photonics and electronics convergence (ISPEC 2021), online, Dec. 13-15 2021
- [7] R. Tang, H. Tang, K. Toprasertpong, S. Takagi and M. Takenaka, "Robust Optimization of Programmable Unitary Optical Processors", presented in 11th international symposium on photonics and electronics convergence (ISPEC 2021), online, Dec. 13-15 2021
- [8] T. Akazawa, K. Sumita, S. Monfray, F. Boeuf, T. Kasidit, S. Takagi and M. Takenaka, "Infrared photodetection using ultrathin InP MSM structure on Si waveguide", presented in 11th international symposium on photonics and electronics convergence (ISPEC 2021), online, Dec. 13-15 2021
- [9] Y. Miyatake, C.-P. Ho, K. Makino, J. Tominaga, N. Miyata, T. Nakano, N. Sekine, K. Toprasertpong, S. Takagi and M. Takenaka, "Reduction of optical loss of phase-change phase shifter based on Ge₂Sb₂Te₅ operating at mid-infrared wavelength", presented in 11th international symposium on photonics and electronics convergence (ISPEC 2021), online, Dec. 13-15 2021
- [10] K. Toprasertpong, E. Nako, Z. Wang, C. Matsui, R. Nakane, K. Takeuchi, M. Takenaka, and S. Takagi, "HfZrO₂-based ferroelectric FETs for emerging computing technologies", invited, presented in 2021 International Workshop on Dielectric Thin Films for Future Electron Devices - Science and Technology -, On-line, November 14-16, 2021.
- [11] R. Nur, T. Tsuchiya, K. Toprasertpong, K. Terabe, S. Takagi and M. Takenaka, "Ferroelectric HfO₂-Based Monolayer MoS₂

- Optical Synaptic Transistor for Neuromorphic Vision Systems”, International Conference on Memristive Materials, Devices & Systems (MEMRISYS), 4A-4, on line, November 1-4, 2021.
- [12] M. Takenaka, K. Toprasertpong and S. Takagi, “Materials drive Si photonics”, keynote speech, 34th International Microprocesses and Nanotechnology Conference (MNC 2021), on line, October 26-29, 2021.
- [13] S. Takagi, K. Toprasertpong, K. Tahara, E. Nako, R. Nakane, Z. Wang, X. Luo, T.-E. Lee and M. Takenaka, “HfZrO-based Ferroelectric devices for lower power AI and memory applications”, (invited), 240th Electrochemical Society Meeting, Semiconductor Process Integration 12, on-line, 10-14 October 2021.
- [14] Z. Zhao, C.-P. Ho, Q. Li, K. Toprasertpong, S. Takagi and M. Takenaka, “Ge Ring Modulator Based on Carrier-injection Phaser Shifter Operating at Two Micrometer Band”, 46th European Conference and Exhibition on Optical Communication (ECOC), Bordeaux, France, 13-16 September, 2021.
- [15] T.-E. Lee, S.-T. Huang, C.-Y. Yang, K. Toprasertpong, M. Takenaka, Y.-J. Lee and S. Takagi, “Improvement of performance of Si_{0.8}Ge_{0.2}/SOI p-FinFETs by ultrathin Y₂O₃ gate stacks with TMA treatment”, 53rd International Conference on Solid State Devices and Materials (SSDM), A-7-05, 9 September 2021.
- [16] Z. Wang, E. Nako, K. Toprasertpong, R. Nakane, M. Takenaka and S. Takagi, “Improvement in computing capabilities of FeFET-based reservoir computing by using an inverted signal scheme”, 53rd International Conference on Solid State Devices and Materials (SSDM), B-3-04, 8 September, 2021.
- [17] K. Toprasertpong, M. Takenaka and S. Takagi, “Four-Terminal Polarization-Voltage Measurement Technique for Analyzing Polarization Characteristics of Ferroelectric FETs”, 53rd International Conference on Solid State Devices and Materials (SSDM), B-3-03, 8 September, 2021.
- [18] M.-S. Kang, K. Toprasertpong, M. Takenaka and S. Takagi, “Characterization of Sub-threshold Swing of Si n-MOSFETs over a Temperature Range of 4 K to 300 K”, 53rd International Conference on Solid State Devices and Materials (SSDM), A-1-03, 7 September, 2021.
- [19] X. Han, C.-T. Chen, C.-M. Lim, K. Toprasertpong, M. Takenaka and S. Takagi, “Introduction of high tensile strain in Ge-on-Insulator structures by oxidation/annealing at high temperature”, 53rd International Conference on Solid State Devices and Materials (SSDM), A-4-02, 8 September, 2021.
- [20] E. Nako, K. Toprasertpong, R. Nakane, Z. Wang, M. Takenaka and S. Takagi, “Impact of endurance characteristics of FeFETs on reservoir computing capabilities”, 53rd International Conference on Solid State Devices and Materials (SSDM), B-5-07, 8 September, 2021.
- [21] X. Luo, K. Toprasertpong, M. Takenaka and S. Takagi, “Antiferroelectric properties of ALD ZrO₂ ultra-thin films: correlation with the crystalline structure”, 53rd International Conference on Solid State Devices and Materials (SSDM), A-5-03, 8 September, 2021.
- [22] T. Piyapatarakul, H. Tang, K. Toprasertpong, S. Takagi and M. Takenaka, “Design of efficient low-loss graphene/InGaAsP hybrid MOS optical phase shifter modulator operating at 2μm wavelength”, 53rd International Conference on Solid State Devices and Materials (SSDM), E-6-02, 8 September, 2021.

- [23] R. Yokogawa, C.-T. Chen, T. Kasidit, M. Takenaka, S. Takagi and A. Ogura, “Anisotropic Strain States in Extremely-Thin Body Ge-on-Insulator p-type MOSFET Observed by Oil-immersion Raman Spectroscopy”, 53rd International Conference on Solid State Devices and Materials (SSDM), A-4-03, 8 September, 2021.
- [24] C. Matsui, K. Toprasertpong, S. Takagi and K. Takeuchi, “Energy Efficient Reliable HZO FeFET Computation-in-Memory with Local Multiply & Global Accumulate Array for Source-Follower & Charge-Sharing Voltage Sensing”, virtual, Symp. on VLSI technology, TJFS2-8, 13-19 June 2021.
- [25] K. Tahara, K. Toprasertpong, Y. Hikosaka, K. Nakamura, H. Saito, M. Takenaka and S. Takagi, “Strategy Toward HZO BEOL-FeRAM with Low-Voltage Operation (≤ 1.2 V), Low Process Temperature, and High Endurance by Thickness Scaling”, virtual, Symp. on VLSI technology, T7-3, 13-19 June 2021.
- [26] C. T. Chen, R. Yokogawa, K. Toprasertpong, A. Ogura, M. Takenaka and S. Takagi, “Impact of asymmetric strain on performance of extremely-thin body (100) GOI and (110) SGOI pMOSFETs”, virtual, Symp. on VLSI technology, T3-4, 13-19 June 2021.
- [27] N. Sekine, K. Toprasertpong, S. Takagi, and M. Takenaka, “Bandgap-tunable III-V-OI Photonics Platform with Quantum Well Intermixing for Versatile Active-passive Integration of Chip-scale Photonic Integrated Circuits”, virtual, Symp. on VLSI technology, TJFS3-6, 13-19 June 2021.
- [28] Z. Wang, K. Toprasertpong, Z. Lin, E. Nako, R. Nakane, M. Takenaka and S. Takagi, “Impact of gate input pulse width on FeFET-based reservoir computing”, virtual, 2021 Silicon Nanoelectronics Workshop (SNW), S3-3, 13 June 2021.
- [29] H. Tang, S. Ohno, Y. Miyatake, K. Toprasertpong, S. Takagi and M. Takenaka, “Thermo-optic Mach-Zehnder Interferometer Integrated with Si PN Diode Switch for Bipolar Optical Phase Control”, The Optical Networking and Communication Conference & Exhibition (OFC), 6-11 June 2021.
- [30] S. Ohno, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi and M. Takenaka, “Monolithic Integration of III-V/Si Hybrid MOS Optical Phase Shifter and InGaAs Membrane Photodetector”, The Optical Networking and Communication Conference & Exhibition (OFC), 6-11 June 2021.
- [31] S. Takagi, K. Kato, M. Takenaka, “Bilayer Tunneling Field Effect Transistors using Oxide Semiconductor/ Group-IV Semiconductor Hetero-structures”, (invited), Display Week 2021, Society for Information Display (SID) INTERNATIONAL SYMPOSIUM, SEMINAR & EXHIBITION, virtual, 16-21 May 2021.
- [32] M. Takenaka, Z. Zhao, C.-P. Ho, T. Fujigaki, K. Toprasertpong, and S. Takagi, “Germanium Mid-infrared Integrated Photonics on GeOI Platform”, (invited), CLEO, San Jose, California, USA, 9-14 May 2021.
- [33] S. Takagi, K. Toprasertpong, K. Kato, K. Sumita, E. Nako, R. Nakane, K.-w. Jo and M. Takenaka, “Advanced CMOS technologies for ultra-low power logic and AI applications”, (invited), IEEE Electron Devices Technology and Manufacturing (EDTM) Conference, Chengdu, China, 8-11 April 2021.

シンポジウム・研究会・大会等発表

- [1] トープラサートポン カンディット, 名幸瑛心, 王澤宇, 中根了昌, 竹中充, 高木信一, “多端子 FeFET のリザーバコンピューティングによる非線形時系列予測の性能評価”, 第69回応用物理学会春季学術講演会, 23p-E102-3, 青山学院大学相模原キャンパス+オンライン, 2022年3月22日-3月26日.

- [2] 名幸瑛心, トープラサートポン カシディット, 王澤宇, 中根了昌, 竹中充, 高木信一, “強誘電体MFMキャパシタを用いたリザバーコンピューティングの実証と動作電圧依存性”, 第69回応用物理学会春季学術講演会, 23p-E102-4, 青山学院大学相模原キャンパス+オンライン, 2022年3月22日-3月26日.
- [3] Tipat Piyapatarakul, Hanzhi Tang, Kasidit Toprasertpong, Shinichi Takagi and Mitsuru Takenaka, “Impact of gate oxide thickness on modulation properties of graphene/III-V hybrid MOS optical modulator”, 第69回応用物理学会春季学術講演会, 22a-E303-8, 青山学院大学相模原キャンパス+オンライン, 2022年3月22日-3月26日.
- [4] 岩重宏一郎, トープラサートポン カシディット, 竹中充, 高木信一, “Hf_xZr_{1-x}O₂強誘電体を用いたGe MFIS構造の界面特性が分極反転挙動に与える影響”, 第69回応用物理学会春季学術講演会, 24p-E105-4, 青山学院大学相模原キャンパス+オンライン, 2022年3月22日-3月26日.
- [5] Hanzhi Tang, Rui Tang, Kasidit Toprasertpong, Shinichi Takagi and Mitsuru Takenaka, “Numerical study of distributed parasitic capacitance in III-V/Si MOS phase shifter”, 第69回応用物理学会春季学術講演会, 24p-D214-2, 青山学院大学相模原キャンパス+オンライン, 2022年3月22日-3月26日.
- [6] 赤澤智熙, 隅田圭, トープラサートポン カシディット, 高木信一, 竹中充, “導波路型InPフォトリランジスタによる赤外光検出”, 第69回応用物理学会春季学術講演会, 22a-E303-9, 青山学院大学相模原キャンパス+オンライン, 2022年3月22日-3月26日.
- [7] 横川凌, Chia-Tsong Chen, Kasidit Toprasertpong, 竹中充, 高木信一, 小椋厚志, “液浸ラマン分光法による極薄膜GOI pMOSFETの異方性二軸応力評価”, 第69回応用物理学会春季学術講演会, 25p-D114-8, 青山学院大学相模原キャンパス+オンライン, 2022年3月22日-3月26日.
- [8] 唐睿, 岡野誠, トープラサートポン カシディット, 高木信一, 竹中充, “高精度な行列演算に向けた光集積回路アーキテクチャの提案”, 第69回応用物理学会春季学術講演会, 22p-E303-7, 青山学院大学相模原キャンパス+オンライン, 2022年3月22日-3月26日.
- [9] 隅田圭, 陳家驄, トープラサートポン カシディット, 竹中充, 高木信一, “表面ラフネス散乱に対してロバストな極薄膜nMOSFETのチャネル材料と面方位の最適設計”, 第69回応用物理学会春季学術講演会, 23p-E307-10, 青山学院大学相模原キャンパス+オンライン, 2022年3月22日-3月26日.
- [10] Min-Soo Kang, Hiroshi Oka, Takahiro Mori, Mitsuru Takenaka Kasidit Toprasertpong, Shinichi Takagi, “Substrate Impurity Concentration Dependence of Sub-threshold Swing of Si n-channel MOSFETs at Cryogenic Temperature”, 第69回応用物理学会春季学術講演会, 23p-E307-16, 青山学院大学相模原キャンパス+オンライン, 2022年3月22日-3月26日.
- [11] 竹中充, 湯涵智, 李強, 関根尚希, 藤方潤一, 野口将高, トープラサートポン カシディット, 高木信一, “III-V族半導体薄膜集積を用いた光変調器, 招待講演, 2022年電子情報通信学会総合大会, 新潟大学(新潟市) オンライン開催, 2022年3月15-18日.
- [12] 高木信一, “異種材料集積による最先端集積Siデバイス技術”, 千葉エリア産官学公金共創イノベーションネットワーク第1回産官学公金マッチングシンポジウム, オンライン開催, 2022年3月3日.
- [13] 隅田圭, 陳家驄, トープラサートポン カシディット, 竹中充, 高木信一, “[招待講演] 表面ラフネス散乱の新モデルに基づく極薄膜nMOSFETの最適なチャネル材料と面方位の設計”, 電子情報通信学会SDM研究会/応用物理学会シリコンテクノロジー分科会共催1月研究会 (IEDM特集), オンライン, 2022年1月31日.
- [14] 高木信一, “先端ロジックCMOSのためのチャ

- ネル材料・デバイス技術”, 基調講演, 電子デバイス界面テクノロジー研究会 (EDIT27), オンライン開催, 2022年1月28-29日.
- [15] 高木信一, トープラサートボン カシディット, 羅璇, 名幸瑛心, 王澤宇, 李宗恩, 田原建人, 竹中充, 中根了昌, “[招待講演] 極低消費電力メモリ・ロジック・AI応用に向けた HfZrO₂系 FeFET への期待”, 電子情報通信学会シリコン材料・デバイス研究会 (SDM), 応用物理学会シリコンテクノロジー分科会第230回研究集会, オンライン開催, 2021年11月11-12日.
- [16] 高木信一, Kasidit Toprasertpong, 名幸瑛心, Zeyu Wang, 竹中充, 中根了昌, “強誘電体デバイスをういたリザバーコンピューティング”, 招待講演, 第82回応用物理学会秋季学術講演会, 10a-S101-6, オンライン開催, 名城大学, 2021年9月10-13日.
- [17] 松井千尋, トープラサートボン カシディット, 高木信一, 竹内健, “ソースフォロワ読み出し・チャージシェアリングにより積和演算を行う FeFET Computation-in-Memory (CiM)”, 第82回応用物理学会秋季学術講演会, 注目講演, 13a-S101-6, オンライン開催, 名城大学, 2021年9月10-13日.
- [18] トープラサートボン カシディット, 田原建人, 彦坂幸信, 中村亘, 齋藤仁, 竹中充, 高木信一, “強誘電体 Hf_xZr_{1-x}O₂ の極薄膜化による低電圧保持特性と書換回数の向上”, 第82回応用物理学会秋季学術講演会, 11a-N205-8, オンライン開催, 名城大学, 2021年9月10-13日.
- [19] 隅田圭, トープラサートボン カシディット, 竹中充, 高木信一, “ラフネスを有するチャンネルにおける2次元電子ガスの基底状態の新たな定式化と表面ラフネス散乱移動度への影響”, 第82回応用物理学会秋季学術講演会, 13a-N304-1, オンライン開催, 名城大学, 2021年9月10-13日.
- [20] 柯夢南, 竹中充, 高木信一, “C-V測定による Al₂O₃/GeOx/p-Ge MOS 界面の電子とホールの遅い準位密度の評価”, 第82回応用物理学会秋季学術講演会, 10p-N323-6, オンライン開催, 名城大学, 2021年9月10-13日.
- [21] 唐睿, 湯涵智, トープラサートボン カシディット, 高木信一, 竹中充, “プログラマブル光ユニタリ回路のロバストな最適化”, 第82回応用物理学会秋季学術講演会, 11p-N207-4, オンライン開催, 名城大学, 2021年9月10-13日.
- [22] T.-E. Lee, S.-T. Huang, C.-Y. Yang, K. Toprasertpong, M. Takenaka, Y.-J. Lee, and S. Takagi, “Performance improvement of Si_{0.8}Ge_{0.2}/SOI p-FinFETs by ultrathin Y₂O₃ gate stacks with TMA treatment”, 第82回応用物理学会秋季学術講演会, 12a-N304-5, オンライン開催, 名城大学, 2021年9月10-13日.
- [23] X. Y. Han, C. T. Chen, C.-M. Lim, K. Toprasertpong, M. Takenaka, and S. Takagi, “Introduction of high tensile strain into Ge-on-Insulator structures by oxidation/annealing at high temperature”, 第82回応用物理学会秋季学術講演会, 12a-N304-4, オンライン開催, 名城大学, 2021年9月10-13日.
- [24] 名幸瑛心, トープラサートボン カシディット, 王澤宇, 中根了昌, 竹中充, 高木信一, “FeFETの電気特性劣化がリザバーコンピューティングにもたらす影響”, 第82回応用物理学会秋季学術講演会, 12a-S101-3, オンライン開催, 名城大学, 2021年9月10-13日.
- [25] 高城和馬, 関根尚希, トープラサートボン カシディット, 高木信一, 竹中充, “HfO₂系強誘電体を用いた光位相変調の検証”, 第82回応用物理学会秋季学術講演会, 11p-N207-8, オンライン開催, 名城大学, 2021年9月10-13日.
- [26] C. -T. Chen, R. Yokogawa, K. Toprasertpong, A. Ogura, M. Takenaka and S. Takagi, “Hole mobility enhancement in extremely-thin body asymmetrically-strained (100) GOI pMOSFETs”, 第82回応用物理学会秋季学術講演会, 12a-N304-7, オンライン開催, 名城大学, 2021年9月10-13日.
- [27] Tipat Piyapatarakul, Hanzhi Tang, Kasidit Toprasertpong, Shinichi Takagi, and Mitsuru

- Takenaka, “Numerical analysis of graphene/III-V hybrid MOS optical modulator for high-efficiency and low-loss optical phase modulation”, 第82回応用物理学会秋季学術講演会, 10p-N405-5, オンライン開催, 名城大学, 2021年9月10-13日.
- [28] Zeyu Wang, Eishin Nako, Kasidit Toprasertpong, Ryosho Nakane, Mitsuru Takenaka and Shinichi Takagi, “Improvement in FeFET-based Reservoir Computing Capabilities by Using an Inverted Signal Scheme”, 第82回応用物理学会秋季学術講演会, 12a-S101-5, オンライン開催, 名城大学, 2021年9月10-13日.
- [29] Xuan Luo, Kasidit Toprasertpong, Mitsuru Takenaka, and Shinichi Takagi, “Antiferroelectric properties in ALD ZrO_2 ultra-thin films and their relations with the crystalline phases”, 第82回応用物理学会秋季学術講演会, 11a-N205-7, オンライン開催, 名城大学, 2021年9月10-13日.
- [30] C. -T. Chen, R. Yokogawa, K. Toprasertpong, A. Ogura, M. Takenaka and S. Takagi, “Asymmetrically-strained (110) SGOI pMOSFETs for hole mobility enhancement in extremely-thin body channels”, 第82回応用物理学会秋季学術講演会, 12a-N304-8, オンライン開催, 名城大学, 2021年9月10-13日.
- [31] 横川凌, C.-T. Chen, K. Toprasertpong, 竹中充, 高木信一, 小椋厚志, “液浸ラマン分光法で観測されるGOI極薄膜ラマンスペクトルのブロードピークと歪の関係に関する考察”, 第82回応用物理学会秋季学術講演会, 10p-N202-14, オンライン開催, 名城大学, 2021年9月10-13日.
- [32] 宮武悠人, トープラサートポン カシディット, 高木信一, 竹中充, “Siストリップ導波路を用いた非対称方向性結合器による波長依存性低減の検討”, 第82回応用物理学会秋季学術講演会, 11a-N207-3, オンライン開催, 名城大学, 2021年9月10-13日.
- [33] Roda Nur, Kasidit Toprasertpong, Shinichi Takagi, and Mitsuru Takenaka, “Evaluation of MoS_2 Phototransistors using Ferroelectric $Hf_{0.5}Zr_{0.5}O_2$ ”, 第82回応用物理学会秋季学術講演会, 10a-N305-3, オンライン開催, 名城大学, 2021年9月10-13日.
- [34] 渡辺耕坪, トープラサートポン カシディット, 高木信一, 竹中充, “ $Hf_{0.5}Zr_{0.5}O_2$ FeFETを用いたMOS型光位相シフタの不揮発性動作”, 第82回応用物理学会秋季学術講演会, 11p-N207-5, オンライン開催, 名城大学, 2021年9月10-13日.
- [35] 松井千尋, トープラサートポン カシディット, 高木信一, 竹内健, “ソースフォロワ読み出し・チャージシェアリングにより積和演算を行う強誘電体FET Computation-in-Memory”, DAシンポジウム2021ーシステムとLSIの設計技術ー, on line, 2021年9月1-3日.
- [36] 松井千尋, トープラサートポン カシディット, 高木信一, 竹内健, “[招待講演] ソースフォロワ読み出しおよびチャージシェアリングにより積和演算を行う電圧センス型FeFET CiM”, 電子情報通信学会ICD/SDM/ITE-IST研究会, 2021年8月17-18日, オンライン開催
- [37] トープラサートポン カシディット, 田原建人, 彦坂幸信, 中村亘, 齋藤仁, 竹中充, 高木信一, “[招待講演] 低電圧動作・低温プロセス・高エンデュランスの極薄膜 HfO_2 系強誘電体の実証ー微細技術ノードの混載メモリへの展開ー”, 電子情報通信学会ICD/SDM/ITE-IST研究会, 2021年8月17-18日, オンライン開催
- [38] トープラサートポン・カシディット, 李宗恩, 林早陽, 田原建人, 渡辺耕坪, 竹中充, 高木信一, “[記念講演] Si/HZO強誘電体FETの動作機構ーMOS (MFIS) 界面で起こる現象ー”, 電子情報通信学会SDM研究会/応用物理学会シリコンテクノロジー分科会「表面・界面・シリコン材料研究委員会」6月度研究会「MOSデバイス・メモリ高性能化ー材料・プロセス技術」, 2021年6月22日, オンライン開催

竹中研究室

研究論文

- [1] R. Nur, T. Tsuchiya, K. Toprasertpong, K. Terabe, S. Takagi, and M. Takenaka, “Floating gate negative capacitance MoS₂ phototransistor with high photosensitivity,” *Nanoscale*, vol. 14, pp. 2013–2022, Jan. 2022. DOI: 10.1039/D1NR06315D
- [2] C.-T. Chen, K. Sumita, K. Toprasertpong, M. Takenaka, S. Takagi, “Effective mobility enhancement through asymmetric strain channels on extremely thin body (100) GOI pMOSFETs,” *IEEE Trans. Electron Devices*, vol. 69, no. 1, pp. 25–30, 2021. DOI: 10.1109/TED.2021.3130221
- [3] Z. Zhao, C.-M. Lim, C. Ho, K. Sumita, Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, “Low-loss Ge waveguide at the 2- μ m band on an n-type Ge-on-insulator wafer,” *Opt. Mater. Express*, vol. 11, no. 12, pp. 4097–4106, 2021. DOI: 10.1364/OME.444071
- [4] S. Takagi, K. Toprasertpong, K. Tahara, E. Nako, R. Nakane, Z. Wang, X. Luo, T.-E. Lee, and M. Takenaka, “HfZrO-based ferroelectric devices for low power AI and memory applications,” *ECS Trans.*, vol. 104, no. 4, pp. 17–26, 2021 (invited). DOI: 10.1149/10404.0017ecst
- [5] K. Sumita, K. Toprasertpong, M. Takenaka, and S. Takagi, “Evaluation of interface traps inside the conduction band of InAs-on-insulator nMOSFET by self-consistent Hall-QSCV method,” *Appl. Phys. Lett.*, vol. 119, 103501, 2021. DOI: 10.1063/5.0057182
- [6] T.-E. Lee, K. Toprasertpong, M. Takenaka, and S. Takagi, “Re-examination of effects of ALD high-k materials on defect reduction in SiGe metal-oxide-semiconductor interfaces,” *AIP Advances*, vol. 11, 085021, August 2021. DOI: 10.1063/5.0061573
- [7] T.-E. Lee, K. Toprasertpong, M. Takenaka, and S. Takagi, “Impacts of equivalent oxide thickness scaling of TiN/Y₂O₃ gate stacks with trimethylaluminum treatment on SiGe MOS interface properties,” *IEEE Electron Dev.*, vol. 42, no. 7, pp. 966–969, July 2021. DOI: 10.1109/LED.2021.3081513
- [8] X. Luo, K. Toprasertpong, M. Takenaka, and S. Takagi, “Antiferroelectric properties of ZrO₂ ultra-thin films prepared by atomic layer deposition,” *Appl. Phys. Lett.*, vol. 118, 232904, 2021. DOI: 10.1063/5.0051068
- [9] C.-H. Lim, Z. Zhao, K. Sumita, K. Toprasertpong, M. Takenaka, and S. Takagi, “Electrical properties of ultra-thin body (111) Ge-on-insulator n-channel MOSFETs fabricated by smart-cut process,” *IEEE Journal of the Electron Devices Society*, vol. 9, pp. 612–617, June 2021. DOI: 10.1109/JEDS.2021.3085981
- [10] S. Ohno, Q. Li, N. Sekine, H. Tang, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, and M. Takenaka, “Si microring resonator optical switch based on optical phase shifter with ultrathin-InP/Si hybrid metal-oxide-semiconductor capacitor,” *Optics Express*, vol. 29, no. 12, pp. 18502–18511, June 2021. DOI: 10.1364/OE.424963

国際会議論文

- [1] M. Takenaka, N. Sekine, K. Toprasertpong, and S. Takagi, “III-V CMOS photonics platform based on quantum well intermixing,” 11th International Symposium on Photonics and Electronics Convergence (ISPEC2021), G-4, Tokyo, 13–15 December 2021.
- [2] T. Piyapatarakul, H. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, “Computational analysis of optical phase modulation using graphene/III-V hybrid MOS capacitor,” 11th International Symposium on Photonics and Electronics Convergence (ISPEC2021), P-16,

- Tokyo, 13–15 December 2021.
- [3] Y. Miyatake, C.-P. Ho, K. Makino, J. Tominaga, N. Miyata, T. Nakano, N. Sekine, K. Toprasertpong, S. Takagi, and M. Takenaka, “Reduction of optical loss of phase-change phase shifter based on Ge₂Sb₂Te₅ operating at mid-infrared wavelength,” 11th International Symposium on Photonics and Electronics Convergence (ISPEC2021), P-22, Tokyo, 13–15 December 2021.
- [4] T. Akazawa, K. Sumita, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, and M. Takenaka, “Infrared photodetection using ultrathin InP MSM structure on Si waveguide,” 11th International Symposium on Photonics and Electronics Convergence (ISPEC2021), P-11, Tokyo, 13–15 December 2021.
- [5] K. Watanabe, H. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, “Non-volatility of hybrid MOS optical phase shifter using Si FeFET,” 11th International Symposium on Photonics and Electronics Convergence (ISPEC2021), P-36, Tokyo, 13–15 December 2021.
- [6] R. Tang, H. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, “Robust Optimization of Programmable Unitary Optical Processors,” 11th International Symposium on Photonics and Electronics Convergence (ISPEC2021), P-02, Tokyo, 13–15 December 2021.
- [7] H. Tang, R. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, “Numerical analysis of distributed slab capacitance in III-V/Si hybrid MOS phase shifter,” 11th International Symposium on Photonics and Electronics Convergence (ISPEC2021), P-17, Tokyo, 13–15 December 2021.
- [8] F. Boeuf, C. Barrera, A. Fincato, H. Tang, S. Guerber, S. Monfray, S. Ohno, D. Fowler, I. Charlet, L. Gianini, A. Simbula, L. Maggi, M. Shaw, K. Toprasertpong, S. Takagi and M. Takenaka, “Silicon photonics beyond optical interconnects,” International Electron Devices Meeting (IEDM2021), 29.2, San Francisco, 11–15 December 2021.
- [9] K. Sumita, C.-T. Chen, K. Toprasertpong, M. Takenaka, and S. Takagi, “Optimum design of channel material and surface orientation for extremely-thin-body nMOSFETs under new modeling of surface roughness scattering,” International Electron Devices Meeting (IEDM2021), 18.3, San Francisco, 11–15 December 2021.
- [10] R. Nur, T. Tsuchiya, K. Toprasertpong, K. Terabe, S. Takagi, and M. Takenaka, “Ferroelectric HfO₂-based monolayer MoS₂ optical synaptic transistor for neuromorphic vision systems,” 4th International Conference on Memristive Materials, Devices and Systems (MEMRISYS2021), 4A-4, Tsukuba, Japan, 1–4 November 2021.
- [11] M. Takenaka, K. Toprasertpong, and S. Takagi, “Materials drive Si photonics,” 34th International Microprocesses and Nanotechnology Conference (MNC2021), virtual, 26–29 October 2021 (keynote).
- [12] K. Toprasertpong, E. Nako, Z. Wang, C. Matsui, R. Nakane, K. Takeuchi, M. Takenaka, and S. Takagi, “HfZrO₂-based ferroelectric FETs for emerging computing technologies,” International Workshop on Dielectric Thin Films for Future Electron Devices: Science and Technology (IWDTF2021), S7-1, virtual, 14–16 November, 2021 (invited).
- [13] S. Takagi, K. Toprasertpong, K. Tahara, E. Nakoh, R. Nakane, Z. Wang, X. Luo, T. E. Lee, and M. Takenaka, “HfZrO-Based ferroelectric devices for lower power AI and memory applications,” 240th ECS Meeting, Symposium G02, Orlando, Florida, USA, 13–17 October 2021 (invited).
- [14] Z. Zhao, C.-P. Ho, Q. Li, K. Toprasertpong, S. Takagi, and M. Takenaka, “Ge ring modulator based on carrier-injection phase shifter

- operating at two micrometer band,” European Conference on Optical Communication (ECOC2021), Tu4D-4, Bordeaux, France, 13–16 September 2021.
- [15] T. Piyapataraku, H. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, “Design of efficient low-loss graphene/InGaAsP hybrid MOS optical phase modulator operating at 2 μ m wavelength,” International Conference on Solid State Devices and Materials (SSDM), E-6-02, virtual, 7–9 Sept. 2021.
- [16] M.-S. Kang, K. Toprasertpong, M. Takenaka, S. Takagi, “Characterization of Sub-threshold Swing of Si n-MOSFETs over a Temperature Range of 4 K to 300 K,” International Conference on Solid State Devices and Materials (SSDM), A-1-03, virtual, 7–9 Sept. 2021.
- [17] X. Han, C.-T. Chen, C.-M. Lim, K. Toprasertpong, M. Takenaka, and S. Takagi, “Introduction of high tensile strain in Ge-on-Insulator structures by oxidation/annealing at high temperature,” International Conference on Solid State Devices and Materials (SSDM), A-4-02, virtual, 7–9 Sept. 2021.
- [18] R. Yokogawa, C.-T. Chen, K. Toprasertpong, M. Takenaka, S. Takagi, A. Ogura, “Anisotropic strain states in extremely-thin body Ge-on-insulator p-type MOSFET observed by oil-immersion raman spectroscopy,” International Conference on Solid State Devices and Materials (SSDM), A-4-03, virtual, 7–9 Sept. 2021.
- [19] K. Toprasertpong, M. Takenaka, and S. Takagi, “Four-terminal polarization-voltage measurement technique for analyzing polarization characteristics of ferroelectric FETs,” International Conference on Solid State Devices and Materials (SSDM), B-3-03, virtual, 7–9 Sept. 2021.
- [20] Z. Wang, E. Nako, K. Toprasertpong, R. Nakane, M. Takenaka, and S. Takagi, “Improvement in computing capabilities of FeFET-based reservoir computing by using an inverted signal scheme,” International Conference on Solid State Devices and Materials (SSDM), B-3-04, virtual, 7–9 Sept. 2021.
- [21] E. Nako, K. Toprasertpong, R. Nakane, Z. Wang, M. Takenaka, S. Takagi, “Impact of endurance characteristics of FeFETs on reservoir computing capabilities,” International Conference on Solid State Devices and Materials (SSDM), B-5-07, virtual, 7–9 Sept. 2021.
- [22] X. Luo, K. Toprasertpong, M. Takenaka, and S. Takagi, “Antiferroelectric properties of ALD ZrO₂ ultra-thin films: correlation with the crystalline structure,” International Conference on Solid State Devices and Materials (SSDM), A-5-03, virtual, 7–9 Sept. 2021.
- [23] T.-E. Lee, S.-T. Huang, C.-Y. Yang, K. Toprasertpong, M. Takenaka, Y.-J. Lee, and S. Takagi, “Improvement of performance of Si_{0.8}Ge_{0.2}/SOI p-FinFETs by ultrathin Y₂O₃ gate stacks with TMA treatment,” International Conference on Solid State Devices and Materials (SSDM), A-7-05, virtual, 7–9 Sept. 2021.
- [24] C.-T. Chen, R. Yokogawa, K. Toprasertpong, A. Ogura, M. Takenaka, and S. Takagi, “Impact of asymmetric strain on performance of extremely-thin body (100) GOI and (110) SGOI pMOSFETs,” VLSI Symposium, T3-4, 13–19 June 2021.
- [25] N. Sekine, K. Toprasertpong, S. Takagi and M. Takenaka, “Bandgap-tunable III-V-OI photonics platform with quantum well intermixing for versatile active-passive integration of chip-scale photonic integrated circuits,” VLSI Symposium, JFS3-6, 13–19 June 2021.
- [26] K. Tahara, K. Toprasertpong, Y. Hikosaka, K. Nakamura, H. Saito, M. Takenaka, and S.

- Takagi, "Strategy toward HZO BEOL-FeRAM with low-voltage operation (≤ 1.2 V), low process temperature, and high endurance by thickness scaling," VLSI Symposium, T7-3, 13–19 June 2021.
- [27] S. Ohno, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, and M. Takenaka, "Monolithic integration of III-V/Si hybrid MOS optical phase shifter and InGaAs membrane photodetector," Optical Fiber Communication Conference (OFC2021), F2C.1, 6–11 June 2021.
- [28] H. Tang, S. Ohno, Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, "Thermo-optic Mach-Zehnder interferometer integrated with Si PN diode switch for bipolar optical phase control," Optical Fiber Communication Conference (OFC2021), Tu5B.5, 6–11 June 2021.
- [29] S. Takagi, K. Kato, and M. Takenaka, "Bilayer Tunneling Field Effect Transistors using Oxide Semiconductor/Group-IV Semiconductor Hetero-structures," Display Week, 7-5, virtual, 16–21 May 2021 (invited).
- [30] M. Takenaka, Z. Zhao, C.-P. Ho, T. Fujigaki, K. Toprasertpong, and S. Takagi, "Germanium mid-infrared integrated photonics on GeOI platform," Conference on Lasers and Electro-Optics (CLEO2021), SM3J.3, 9–14 May 2021 (invited).
- 著書
- [1] 竹中充, "III-V族半導体薄膜接合を用いた光変調器," 月刊オプトロニクス, Vol. 41, No. 3, pp. 91–95, 2022.
- シンポジウム・研究会・大会等発表
- [1] 岩重 宏一郎, トープラサートボン カシディット, 竹中 充, 高木 信一, "Hf_xZr_{1-x}O₂強誘電体を用いた Ge MFIS 構造の界面特性が分極反転挙動に与える影響," 第69回応用物理学会春季学術講演会, 24p-E105-4, 青山学院大学相模原キャンパス, 2022年3月22日–3月26日.
- [2] 唐 睿, 岡野 誠, トープラサートボン カシディット, 高木 信一, 竹中 充, "高精度な行列演算に向けた光集積回路アーキテクチャの提案," 第69回応用物理学会春季学術講演会, 22p-E303-7, 青山学院大学相模原キャンパス, 2022年3月22日–3月26日.
- [3] トープラサートボン カシディット, 名幸 瑛心, 王 澤宇, 中根 了昌, 竹中 充, 高木 信一, "多端子FeFETのリザーブコンピューティングによる非線形時系列予測の性能評価," 第69回応用物理学会春季学術講演会, 23p-E102-3, 青山学院大学相模原キャンパス, 2022年3月22日–3月26日.
- [4] 木村 彰吾, 境野 一輝, 谷澤 健, 岡野 誠, 竹中 充, 山田 博仁, 松田 信幸, "シリコン光導波路を用いた多チャネル量子光源の設計," 第69回応用物理学会春季学術講演会, 24p-P08-1, 青山学院大学相模原キャンパス, 2022年3月22日–3月26日.
- [5] 横 川 凌, Chia-Tsong Chen, Kasidit Toprasertpong, 竹中 充, 高木 信一, 小椋 厚志, "液浸ラマン分光法による極薄膜GOI pMOSFETの異方性二軸応力評価," 第69回応用物理学会春季学術講演会, 25p-D114-8, 青山学院大学相模原キャンパス, 2022年3月22日–3月26日.
- [6] 隅田 圭, 陳 家驄, トープラサートボン カシディット, 竹中 充, 高木 信一, "表面ラフネス散乱に対してロバストな極薄膜nMOSFETのチャネル材料と面方位の最適設計," 第69回応用物理学会春季学術講演会, 23p-E307-10, 青山学院大学相模原キャンパス, 2022年3月22日–3月26日.
- [7] 赤澤 智熙, 隅田 圭, モンフレ ステファン, ブ フレデリック, トープラサートボン カシディット, 高木 信一, 竹中 充, "導波路型 InP フォトトランジスタによる赤外光検出," 第69回応用物理学会春季学術講演会, 22a-E303-9, 青山学院大学相模原キャンパス, 2022年3月22日–3月26日.
- [8] 名幸 瑛心, トープラサートボン カシディット,

- 王澤宇, 中根了昌, 竹中 充, 高木 信一, “強誘電体MFMキャパシタを用いたリザバーコンピューティングの実証と動作電依存性,” 第69回応用物理学会春季学術講演会, 23p-E102-4, 青山学院大学相模原キャンパス, 2022年3月22日-3月26日.
- [9] 境野 一輝, 木村 彰吾, 小田川 朋史, 谷澤 健, 岡野 誠, 竹中 充, 山田 博仁, 松田 信幸, “シリコン光導波路を用いた量子計算用ユニタリ変換光回路の設計,” 第69回応用物理学会春季学術講演会, 24p-P08-2, 青山学院大学相模原キャンパス, 2022年3月22日-3月26日.
- [10] Tipat Piyapatarakul, Hanzhi Tang, Kasidit Toprasertpong, Shinichi Takagi, Mitsuru Takenaka, “Impact of gate oxide thickness on modulation properties of graphene/III-V hybrid MOS optical modulator,” 第69回応用物理学会春季学術講演会, 22p-E303-8, 青山学院大学相模原キャンパス, 2022年3月22日-3月26日.
- [11] Hanzhi Tang, Rui Tang, Kasidit Toprasertpong, Shinichi Takagi, Mitsuru Takenaka, “Numerical study of distributed parasitic capacitance in III-V/Si MOS phase shifters,” 第69回応用物理学会春季学術講演会, 24p-D214-2, 青山学院大学相模原キャンパス, 2022年3月22日-3月26日.
- [12] Minsoo Kang, Hiroshi Oka, Takahiro Mori, Mitsuru Takenaka, Kasidit Toprasertpong, Shinichi Takagi, “Substrate Impurity Concentration Dependence of Sub-threshold Swing of Si n-channel MOSFETs at Cryogenic Temperature,” 第69回応用物理学会春季学術講演会, 23p-E307-16, 青山学院大学相模原キャンパス, 2022年3月22日-3月26日.
- [13] 竹中 充, 湯 涵智, 関根 尚希, 藤方 潤一, 野口 将高, トーブラサートポン カシディット, 高木 信一, “III-V族半導体薄膜集積を用いた光変調器,” 電子情報通信学会総合大会, CI-8-4, オンライン, 2022年3月15日-3月18日 (招待講演).
- [14] 竹中 充, “III-V族半導体薄膜を用いた高効率光変調器,” 電子情報通信学会超高速光エレクトロニクス時限研究専門委員会, オンライン, 2022年3月3日 (招待講演).
- [15] 隅田 圭, 陳 家驄, トーブラサートポン カシディット, 竹中 充, 高木 信一, “表面ラフネス散乱の新モデルに基づく極薄膜nMOSFETの最適なチャネル材料と面方位の設計,” 電子情報通信学会シリコン材料・デバイス研究会 (SDM), オンライン, 2022年1月31日 (基調講演).
- [16] 高木 信一, 隅田 圭, 陳家驄, 韓雪揚, 林 澈敏, 曹光元, トーブラサートポン カシディット, 竹中 充, “先端ロジックCMOSのためのチャネル材料・デバイス技術,” 第27回電子デバイス界面テクノロジー研究会, オンライン, 2022年1月28日-29日 (基調講演).
- [17] 竹中 充, “シリコンフォトニクスを用いた異種材料集積光変調器の開発,” 技術情報協会セミナー, オンライン, 2021年12月7日.
- [18] 竹中 充, “異種材料集積シリコンフォトニクスを用いた非ノイマン型情報処理応用,” JEITA非ノイマン型情報処理へ向けたデバイス技術分科会, オンライン, 2021年11月15日 (招待講演).
- [19] 高木 信一, トーブラサートポン カシディット, 羅 璇, 名幸瑛心, 王 澤宇, 李 宗恩, 田原 建人, 竹中 充, 中根了昌, “極低消費電力メモリ・ロジック・AI応用に向けた HfZrO₂系FeFETへの期待,” 電子情報通信学会SDM研究会, オンライン開催, 2021年11月11日-11月12日 (招待講演).
- [20] 竹中 充, “シリコンプログラマブル光回路を用いたAIフォトニクス,” 応用物理学会フォトニクス分科会第6回フォトニクスワークショップ, 沖縄青年会館, 2021年11月5日-11月6日 (招待講演).
- [21] 竹中 充, “ウェハ接合を用いた異種材料集積シリコンフォトニクスの最新動向,” 電子デバイスフォーラム京都, オンライン開催, 2021年10月28日 (招待講演).
- [22] 竹中 充, “プログラマブル光回路を用いた深層学習,” 日本光学会光エレクトロニクス産学連

- 携専門委員会研究会，オンライン開催，2021年10月18日（招待講演）。
- [23] 竹中 充，“プログラマブル光回路を用いた革新的コンピューティング，” PICS ミニワークショップ，オンライン開催，2021年10月7日（招待講演）。
- [24] 隅田 圭，トープラサートポン カシディット，竹中 充，高木 信一，“ラフネスを有するチャンネルにおける2次元電子ガスの基底状態の新たな定式化と表面ラフネス散乱移動度への影響，” 第82回応用物理学会秋季学術講演会，13a-N304-1，オンライン開催，2021年9月21日-9月23日。
- [25] 渡辺 耕坪，トープラサートポン カシディット，高木 信一，竹中 充，“Hf_{0.5}Zr_{0.5}O₂ FeFETを用いたMOS型光位相シフタの不揮発性動作，” 第82回応用物理学会秋季学術講演会，11p-N207-5，オンライン開催，2021年9月21日-9月23日。
- [26] 宮武 悠人，トープラサートポン カシディット，高木 信一，竹中 充，“Si ストリップ導波路を用いた非対称方向性結合器による波長依存性低減の検討，” 第82回応用物理学会秋季学術講演会，11a-N207-3，オンライン開催，2021年9月21日-9月23日。
- [27] 高木 信一，トープラサートポン カシディット，名幸 瑛心，ワン ゼユ，竹中 充，中根 了昌，“強誘電体デバイスを用いたリザバーコンピューティング，” 第82回応用物理学会秋季学術講演会，10a-S101-6，オンライン開催，2021年9月21日-9月23日（招待講演）。
- [28] 高城 和馬，関根 尚希，トープラサートポン カシディット，高木 信一，竹中 充，“HfO₂系強誘電体を用いた光位相変調の検証，” 第82回応用物理学会秋季学術講演会，11a-N207-8，オンライン開催，2021年9月21日-9月23日。
- [29] 名幸 瑛心，トープラサートポン カシディット，王 澤宇，中根 了昌，竹中 充，高木 信一，“FeFETの電気特性劣化がリザバーコンピューティングにもたらす影響，” 第82回応用物理学会秋季学術講演会，12a-S101-3，オンライン開催，2021年9月21日-9月23日。
- [30] 横川 凌，C.-T. Chen，Kasidit Toprasertpong，竹中 充，高木 信一，小椋 厚志，“液浸ラマン分光法で観測されるGOI極薄膜ラマンスペクトルのブロードピークと歪の関係に関する考察，” 第82回応用物理学会秋季学術講演会，10p-N202-14，オンライン開催，2021年9月21日-9月23日。
- [31] 唐 睿，湯 涵智，トープラサートポン カシディット，高木 信一，竹中 充，“プログラマブル光ユニタリ回路のロバストな最適化，” 第82回応用物理学会秋季学術講演会，11p-N207-4，オンライン開催，2021年9月21日-9月23日。
- [32] トープラサートポン カシディット，田原 建人，彦坂 幸信，中村 亘，齋藤 仁，竹中 充，高木 信一，“強誘電体HfxZr1-xO₂の極薄膜化による低電圧保持特性と書換回数の向上，” 第82回応用物理学会秋季学術講演会，11a-N205-8，オンライン開催，2021年9月21日-9月23日。
- [33] M. Ke, M. Takenaka, and S. Takagi, “Evaluation of electron and hole slow trap density in Al₂O₃/GeO_x/p-Ge gate stacks by C-V measurements,” 第82回応用物理学会秋季学術講演会，10p-N323-6，オンライン開催，2021年9月21日-9月23日。
- [34] X. Luo, K. Toprasertpong, M. Takenaka, and S. Takagi, “Antiferroelectric properties in ALD ZrO₂ ultra-thin films and their relations with the crystalline phases,” 第82回応用物理学会秋季学術講演会，11a-N205-7，オンライン開催，2021年9月21日-9月23日。
- [35] R. Nur, K. Toprasertpong, S. Takagi, and M. Takenaka, “Monolayer MoS₂ phototransistors using ferroelectric Hf_{0.5}Zr_{0.5}O₂ Dielectrics,” 第82回応用物理学会秋季学術講演会，10a-N305-3，オンライン開催，2021年9月21日-9月23日。
- [36] Z. Wang, E. Nako, K. Toprasertpong, R. Nakane, M. Takenaka, and S. Takagi, “Improvement in FeFET-based reservoir computing capabilities by using an inverted signal scheme,” 第82回応用物理学会秋季学術

- 講演会, 12a-S101-5, オンライン開催, 2021年9月21日-9月23日.
- [37] X. Han, C.-T. Chen, C.-M. Lim, K. Toprasertpong, R. Nakane, M. Takenaka, and S. Takagi, "Introduction of high tensile strain into Ge-on-Insulator structures by oxidation/annealing at high temperature," 第82回応用物理学会秋季学術講演会, 12a-N304-3, オンライン開催, 2021年9月21日-9月23日.
- [38] T. Piyapatarakul, H. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, "Numerical analysis of graphene/III-V hybrid MOS optical modulator for high-efficiency and low-loss optical phase modulation," 第82回応用物理学会秋季学術講演会, 10p-N405-5, オンライン開催, 2021年9月21日-9月23日.
- [39] C.-T. Chen, R. Yokogawa, K. Toprasertpong, A. Ogura, M. Takenaka, and S. Takagi, "Hole mobility enhancement in extremely-thin body asymmetrically-strained (100) GOI pMOSFETs," 第82回応用物理学会秋季学術講演会, 12a-N304-7, オンライン開催, 2021年9月21日-9月23日.
- [40] C.-T. Chen, R. Yokogawa, K. Toprasertpong, A. Ogura, M. Takenaka, and S. Takagi, "Asymmetrically-strained (110) SGOI pMOSFETs for hole mobility enhancement in extremely-thin body channels," 第82回応用物理学会秋季学術講演会, 12a-N304-8, オンライン開催, 2021年9月21日-9月23日.
- [41] T.-E. Lee, S.-T. Huang, C.-Y. Yang, K. Toprasertpong, M. Takenaka, Y.-J. Lee, and Shinichi Takagi, "Performance improvement of Si_{0.8}Ge_{0.2}/SOI p-FinFETs by ultrathin Y₂O₃ gate stacks with TMA treatment," 第82回応用物理学会秋季学術講演会, 12a-N304-5, オンライン開催, 2021年9月21日-9月23日.
- [42] 竹中 充, "異種材料集積光変調器の最新動向," 第2回フォトニックデバイス・応用技術研究会, オンライン開催, 2021年7月14日(招待講演).
- [43] トーブラサートポン カシディット, 李宗恩, 林

早陽, 田原建人, 渡辺耕坪, 竹中充, 高木信一, "Si/HZO 強誘電体 FET の動作機構 - MOS (MFIS) 界面で起こる現象 -, " 電子情報通信学会 SDM 研究会, オンライン開催, 2020年6月22日 (招待講演).

内田研究室

研究論文

- [1] T. Tanaka, T. Kato, T. Yajima, K. Uchida, "Atomistic simulation study of impacts of surface carrier scatterings on carrier transport in Pt nanosheets," *IEEE Electron Dev. Lett.*, 42, 1057-1060, May 4, 2021. doi: 10.1109/LED.2021.3077466
- [2] K. Okamoto, T. Tanaka, M. Miyamura, H. Ishikuro, K. Uchida, T. Sakamoto, M. Tada, "Cryogenic operation of NanoBridge at 4K for controlling qubit," *Jpn. J. Appl. Phys.*, 61, SC1049, Dec. 14, 2021. (7 pages) doi: 10.35848/1347-4065/ac4303
- [3] M. Matsumura, T. Tanaka, K. Uchida, "Experimental study on shallow and deep dopant properties at the interface of PtOx/ZnO Schottky diodes," *Jpn. J. Appl. Phys.*, Accepted. Feb.14, 2022 doi: 10.35848/1347-4065/ac54f3
- [4] T. Tanaka, Y. Hamanaka, T. Kato, K. Uchida, "Simultaneous detection of multi-gas components by ionic-gel sensors with multiple electrodes," *ACS Sensors*, Accepted. Mar. 16, 2022. doi:10.1021/acssensors.1c02721

国際会議論文

- [1] K. Okamoto, T. Tanaka, M. Miyamura, H. Ishikuro, K. Uchida, T. Sakamoto, M. Tada, "Cryogenic operation of NanoBridge at 4K for controlling qubit," 2021 International Conference on Solid State Devices and Materials (SSDM), B-5-08, Web Conference, Sep.8, 2021.
- [2] T. Tanaka, K. Uchida, "Enhanced electron

- phonon scattering in Si nanowires covered by oxide,” 240th ECS Meeting, Online, October 10-14, 2021. (Invited)
- [3] Y. Hamanaka, T. Tanaka, K. Uchida, “ Selective Recognition of Acetone in Air Against Hydrogen By Impedance Measurement of Two-Terminal Electrochemical Sensors Based on Ionic Liquids”, 240th ECS Meeting, Online, October 10-14, 2021.
- [4] M. Matsumura, T. Tanaka, K. Uchida, “ Experimental Investigation of Interface Defect Properties in PtOx/ZnO Schottky Diodes by Deep Level Transient Spectroscopy”, 34th International Microprocesses and Nanotechnology Conference (MNC), Online, October 26-29, 2021.
- [5] M. Matsumura, T. Tanaka, K. Uchida, “ Experimental Investigation of Electrical and Interface Properties of PtOx/ZnO Schottky Diodes ”, Tsinghua-UTokyo Trans-scale Materials Science Workshop on Materials, Online, December 3, 2021.
- [6] T. Kato, T. Tanaka, K. Uchida, “Selective Hydrogen Sulfides Sensors using Au Nanofilms”, 2021 NTU-UTokyo Online Joint Conference of Innovation on Emergent Materials, Online, December 9, 2021.
- [7] 田中貴久, 田淵健太, 館洞浩平, 椎木陽介, 中川修哉, 高橋綱己, 清水涼太, 石黒仁揮, 黒田忠広, 柳田剛, 内田建, 「自己ジュール加熱金属ナノシートアレイによる微量な多分子の低消費電力ガスセンシング」, 第69回応用物理学会春季学術講演会 (2022 ハイブリッド開催), 13.5 デバイス/配線/集積化技術, 23p-E307-2, 2022年3月23日 (シリコンテクノロジー分科会論文賞受賞記念講演).
- [8] 濱中悠輔, 田中貴久, 内田建, 「二端子間イオン液体のインピーダンス変化による低分子ガスの選択的認識」, 第69回応用物理学会春季学術講演会 (2022 ハイブリッド開催), 12.3 機能材料・萌芽的デバイス, 22a-E307-3, 2022年3月22日.
- [9] 梅田竜生, 田中貴久, 内田建, 「IrOxナノシートによるCH4センサの作製」, 第69回応用物理学会春季学術講演会 (2022 ハイブリッド開催), 9.2 ナノ粒子・ナノワイヤ・ナノシート, 24a-F408-6, 2022年3月24日.
- [10] 宮尾知寿, 田中貴久, 内田建, 「極低温(4K)におけるMOS容量評価手法の開発」, 第69回応用物理学会春季学術講演会 (2022 ハイブリッド開催), 13.5 デバイス/配線/集積化技術, 23p-E307-17, 2022年3月23日.
- [11] 松村美貴也, 田中貴久, 内田建, 「PtOx/ZnO ショットキー接合の界面近傍におけるドナー濃度とその起源について」, 第69回応用物理学会春季学術講演会 (2022 ハイブリッド開催), 6.3 酸化物エレクトロニクス, 24a-E204-1, 2022年3月24日.
- #### シンポジウム・研究会・大会等発表
- [1] 内田建, 「社会課題解決を目指したナノ電子材料・デバイスにおける熱の課題と利用」, 日本伝熱学会創立60周年記念 第58回 日本伝熱シンポジウム, オンライン開催, 2021年5月26日 (特別講演).
- [2] 加藤太朗, 田中貴久, 内田建, 「Auナノシートを用いた小型・低エネルギー硫化水素センサ」, 第82回応用物理学会秋季学術講演会 (2021 Zoom オンライン開催), 9.2 ナノ粒子・ナノワイヤ・ナノシート, 10p-N403-1, 2021年9月10日 (講演奨励賞受賞記念講演).
- [3] 田中貴久, 内田建, 「ナノスケール化学センサ集積に向けた局所熱制御と表面/界面設計」, 第82回応用物理学会秋季学術講演会 (2021 Zoom オンライン開催), シンポジウム(センサ融合に向けたセンサ集積技術), 13p-S202-7, 2021年9月13日 (招待講演).
- [4] 内田建, 田中貴久, 「低エネルギー・集積化分子認識センサ」, 2021年 電気学会 電子・情報・システム部門大会, TC6 知能化情報環境を支えるナノエレクトロニクス基盤ヘテロ集積化・応用技術の展開, TC-6-5, 2021年9月17日 (依頼講演).
- [5] M. Matsumura, T. Tanaka, K. Uchida, “

研究論文

- [1] Masahito Takakuwa, Kenjiro Fukuda, Tomoyuki Yokota, Daishi Inoue, Daisuke Hashizume, Shinjiro Umezumi, Takao Someya, "Direct gold bonding for flexible integrated electronics", *Science Advances*, vol. 7, no. 52, eabl6228, Dec. 2021. DOI: 10.1126/sciadv.abl6228
- [2] Yancong Qiao, Xiaoshi Li, Jiabin Wang, Shourui Ji, Thomas Hirtz, He Tian, Jinming Jian, Tianrui Cui, Ying Dong, Xinwei Xu, Fei Wang, Hong Wang, Jianhua Zhou, Yi Yang, Takao Someya, Tian-Ling Ren, "Intelligent and multifunctional graphene nanomesh electronic skin with high comfort", *Small*, vol. 18, no. 7, 2104810, Feb. 2022. DOI:10.1002/sml.202104810
- [3] Junwen Zhong, Zhaoyang Li, Masahito Takakuwa, Daishi Inoue, Daisuke Hashizume, Zhi Jiang, Yujun Shi, Lexiang Ou, Md Osman Goni Nayeem, Shinjiro Umezumi, Kenjiro Fukuda, Takao Someya, "Smart Face Mask based on an Ultrathin Pressure Sensor for Wireless Monitoring of Breath Conditions", *Advanced Materials*, vol. 34, no. 6, 2107758, Feb. 2021. DOI: 10.1002/adma.202107758
- [4] Steven I. Rich, Shinyoung Lee, Kenjiro Fukuda, Takao Someya, "Developing the nondevelopable: Creating curved-surface electronics from non-stretchable devices", *Advanced Materials*, vol. 34, no. 22, 2106683, Jun. 2022. DOI: 10.1002/adma.202106683
- [5] Yasutoshi Jimbo, Daisuke Sasaki, Takashi Ohya, Sunghoon Lee, Wonryung Lee, Faezeh Arab Hassani, Tomoyuki Yokota, Katsuhisa Matsuura, Shinjiro Umezumi, Tatsuya Shimizu, Takao Someya, "An organic transistor matrix for multipoint intracellular action potential recording", *Proceedings of the National Academy of Sciences*, vol. 118, no. 39, e2022300118, Sep. 2021. DOI: 10.1073/pnas.2022300118
- [6] Yan Wang, Sunghoon Lee, Haoyang Wang, Zhi Jiang, Yasutoshi Jimbo, Chunyang Wang, Binghao Wang, Jae Joon Kim, Mari Koizumi, Tomoyuki Yokota, Takao Someya, "Robust, self-adhesive, reinforced polymeric nanofilms enabling gas-permeable dry electrodes for long-term application", *Proceedings of the National Academy of Sciences*, vol. 118, no. 38, e2111904118, Sep. 2021. DOI: 10.1073/pnas.2111904118
- [7] Akihiro Maeda, Ruiyuan Liu, Kilho Yu, Shinyoung Lee, Kyohei Nakano, Masahito Takakuwa, Shiwei Zhang, Keisuke Tajima, Kenjiro Fukuda, Shinjiro Umezumi, Takao Someya, "Photoactive layer formation in the dark for high performance of air-processable organic photovoltaics", *Journal of Physics: Materials* vol. 4, no. 4, 044016, Sep. 2021. DOI:10.1088/2515-7639/ac2291
- [8] Binghao Wang, Wei Huang, Sunghoon Lee, Lizhen Huang, Zhi Wang, Yao Chen, Zhihua Chen, Liang-Wen Feng, Gang Wang, Tomoyuki Yokota, Takao Someya, Tobin J. Marks, Antonio Facchetti, "Foundry-compatible high-resolution patterning of vertically phase-separated semiconducting films for ultraflexible organic electronics", *Nature Communications*, vol. 12, 4937, Aug. 2021. DOI: 10.1038/s41467-021-25059-8
- [9] Takashi Ohya, Haruki Ohtomo, Tetsutaro Kikuchi, Daisuke Sasaki, Yohei Kawamura, Katsuhisa Matsuura, Tatsuya Shimizu, Kenjiro Fukuda, Takao Someya, Shinjiro Umezumi, "Simultaneous measurement of contractile force and field potential of dynamically beating human iPSC cell-derived cardiac cell sheet-tissue with flexible electronics", *Lab on a Chip*, vol. 21, no. 20, pp. 3899-3909, Aug. 2021. DOI: 10.1039/d1lc00411e
- [10] Hanbee Lee, Zhi Jiang, Tomoyuki Yokota,

- Kenjiro Fukuda, Sungjun Park, Takao Someya, "Stretchable organic optoelectronic devices: Design of materials, structures, and applications", *Materials Science and Engineering: R: Reports*, vol. 146, 100631, Oct. 2021. DOI: 10.1016/j.mser.2021.100631
- [11] Steven I. Rich, Zhi Jiang, Kenjiro Fukuda, Takao Someya, "Well-rounded devices: the fabrication of electronics on curved surfaces – a review", *Materials Horizons* vol. 8, no. 7, 1926-1958, May 2021. DOI: 10.1039/D1MH00143D
- [12] Hiroaki Jinno, Tomoyuki Yokota, Mari Koizumi, Wakako Yukita, Masahiko Saito, Itaru Osaka, Kenjiro Fukuda, Takao Someya, "Self-powered ultraflexible photonic skin for continuous bio-signal detection via air-operation-stable polymer light-emitting diodes", *Nature Communications*, vol. 12, 2234, Apr. 2021. DOI: 10.1038/s41467-021-22558-6
- [13] Astrid Armgarth, Sandra Pantzare, Patrik Arven, Roman Lassnig, Hiroaki Jinno, Erik O. Gabrielsson, Yonatan Kifle, Dennis Cherian, Theresia Arbring Sjöström, Gautier Berthou, Jim Dowling, Takao Someya, J. Jacob Wikner, Göran Gustafsson, Daniel T. Simon. Magnus Berggren, "A digital nervous system aiming toward personalized IoT healthcare", *Scientific Reports*, vol. 11, 7757, Apr. 2021. DOI:10.1038/s41598-021-87177-z
- [14] Yan Wang, Tomoyuki Yokota, Takao Someya, "Electrospun nanofiber-based soft electronics", *NPG Asia Materials*, vol. 13, 22, Mar. 2021. DOI: 10.1038/s41427-020-00267-8
- [15] Hiroshi Goto, Hyoe Komae, Hidekazu Sekine, Jun Homma, Sunghoon Lee, Tomoyuki Yokota, Katsuhisa Matsuura, Takao Someya, Minoru Ono, Tatsuya Shimizu, "Continuous measurement of surface electrical potentials from transplanted cardiomyocyte tissue derived from human-induced pluripotent stem cells under physiological conditions in vivo", *Heart and Vessels*, vol. 36, no. 6, 899-909, Mar. 2021, DOI: 10.1007/s00380-021-01824-z
- [16] Jae Joon Kim, Yan Wang, Haoyang Wang, Sunghoon Lee, Tomoyuki Yokota, Takao Someya, "Skin electronics: Next-generation device platform for virtual and augmented reality", *Advanced Functional Materials*, vol. 31, no. 39, 2009602, Sep. 2021. DOI:10.1002/adfm.202009602
- [17] Tomoyuki Yokota, Kenjiro Fukuda, Takao Someya, "Recent progress of flexible image sensors for biomedical applications", *Advanced Materials*, vol. 33, no. 19, 2004416, 2021. DOI:10.1002/adma.202004416
- [18] Yasutoshi Jimbo, Wonryung Lee, Masaya, Nishinaka, Tomoyuki Yokota, Takao Someya, "Effect of ionic conduction under dielectric barriers on PEDOT: PSS electrochemical interfaces", *Applied Physics Express*, vol. 14, no. 3, 031003, Feb. 2021. DOI:10.35848/1882-0786/abe165
- [19] Chunya Wang, Tomoyuki Yokota, Takao Someya, "Natural biopolymer-based biocompatible conductors for stretchable bioelectronics", *Chemical Reviews*, vol. 121, no. 4, 2109-2146, Jan. 2021, DOI: 10.1021/acs.chemrev.0c00897
- [20] Binghao Wang, Alberto Scaccabarozzi, Haoyang Wang, Mari Koizumi, Mohamad Insan Nugraha, Yuanbao Lin, Yuliar Firdaus, Yan Wang, Sunghoon Lee, Tomoyuki Yokota, Thomas D. Anthopoulos, Takao Someya, "Molecular doping of near-infrared organic photodetectors for photoplethysmogram sensors", *Journal of Materials Chemistry C*, vol. 9, no. 9, 3129-3135. Jan. 2021. DOI: 10.1039/D0TC05549B

國際會議論文

- [1] (INVITED) Takao Someya, "Electronic skins for medical and sports applications",

- Distinguished Medical Engineering Seminar, Virtual, May 2021.
- [2] (INVITED Paper) Tomoyuki Yokota, "SheetType Image Sensor with Near Infrared Sensitive Organic Photodiode", 2021 SID (The Society for Information Display) Virtual Display Week Symposium, Virtual, May 2021.
- [3] (INVITED Paper) Tomoyuki Yokota, "Nanomesh Based On Skin Electronics ", 2021 SID (The Society for Information Display) Virtual Display Week Symposium, Virtual, May 2021.
- [4] (INVITED) Tomoyuki Yokota, "Conformable imager for biometric data measurement", 2021 KPS Spring Meeting, Virtual, April 2021.
- [5] (KEYNOTE) Takao Someya, "Electronic Skins for Robotics and Wearables", VLSI-DAT Symposium, Virtual, April 2021.

シンポジウム・研究会・大会等発表

- [1] 中村 裕成, 李 成薫, 染谷 隆夫, 横田 知之, “蛍光イメージングに向けた超柔軟カラーフィルタの開発”, 第69回応用物理学会春季学術講演会, オンライン, 2022年3月.
- [2] 角 祐太郎, 奥谷 智裕, 横田 知之, 染谷 隆夫, “転写技術による極薄デバイスの集積化に向けた極薄基板と支持基板間の密着性評価”, 第69回応用物理学会春季学術講演会, オンライン, 2022年3月.
- [3] (招待講演)横田 知之, “フレキシブルエレクトロニクスの医療応用”, 電子情報通信学会総合大会, オンライン, 2022年3月.
- [4] (招待講演)横田 知之, “ウルトラフレキシブルOLEDを用いた生体・医療デバイスへの応用”, 情報ディスプレイ研究会 (IDY), オンライン, 2022年3月.
- [5] 宮田 寛生, 李 成薫, 横田 知之, 染谷 隆夫, “運動中の脳波測定に向けた運動ノイズ評価可能な測定系の構築”, 日本生体医工学会関東支部若手研究者発表会2021, オンライン, 2021年12月.
- [6] (招待講演)染谷 隆夫, 横田 知之, イソンプ

ン, 福田 憲二郎, “有機薄膜デバイスの生体計測応用”, 第82回応用物理学会秋季学術講演会, オンライン, 2021年9月.

- [7] 奥田 知華, 王 燕, 汪 浩洋, 李 成薫, 横田 知之, 染谷 隆夫, “極薄ゴム基板上への有機トランジスタの作製”, 第82回応用物理学会秋季学術講演会, オンライン, 2021年9月.
- [8] Theodorus Jonathan Wijaya, Mari Koizumi, Sunghoon Lee, Tomoyuki Yokota, Takao Someya, “Improvement of dark current stability of ZnO-based organic photodiode by control of annealing condition”, 第82回応用物理学会秋季学術講演会, オンライン, 2021年9月.
- [9] 森 一馬, 染谷 隆夫, 横田 知之, “アプリケーションを用いた低暗電流を有する有機フォトダイオードの開発”, 第82回応用物理学会秋季学術講演会, オンライン, 2021年9月.
- [10] 加藤 由太郎, 染谷 隆夫, 横田 知之, “電子輸送層にZnOナノ粒子を用いた大気安定な有機フォトダイオードの開発”, 第82回応用物理学会秋季学術講演会, オンライン, 2021年9月.

三田研究室

学会誌

- [1] Norihiro Miyazawa, Naoto Usami, Haibin Wang, Takaya Kubo, Hiroshi Segawa, Takahito Takeda, Masaki Kobayashi, Yoshio Mita, and Akio Higo, "Improvement of ZnO/Si Heterojunctions with a Coaxial Circular Transmission Line Model Applicable to both Ohmic and Schottky," IEEE Transactions on Semiconductor Manufacturing, Vol. 34, No. 3, pp. 256-261 (2021) doi: 10.1109/TSM.2021.3083069
- [2] Gilgueng Hwang, Christophe David, Alisier Paris, Dominique Decanini, Ayako Mizushima, and Yoshio Mita, "Manufacturing of 3D Helical Microswimmer by AFM

- Micromanipulation for Microfluidic Applications ", IEEE Transactions on Semiconductor Manufacturing, vol. 34, no. 3, pp. 248-255, (2021) doi: 10.1109/TSM.2021.3082902
- [3] Naoto Usami, Etsuko Ota, Akio Higo, Takeshi Momose, and Yoshio Mita, "Drop-in test structure to evaluate residual stress in conformally grown films," IEEE Transactions on Semiconductor Manufacturing, Vol. 34, No.3, pp. 270-277, (2021) doi: 10.1109/TSM.2021.3082905
- [4] Norihiro Miyazawa, Haibin Wang, Naoto Usami, Takaya Kubo, Hiroshi Segawa, Yoshio Mita, and Akio Higo, "PbS Colloidal Quantum Dots/ZnO/Si Hybrid Photodiode with Various Reverse Bias Voltages," IEEE Transactions on Sensors and Micromachines, (2022,1) in press
- Higo, "TopoMEMS circuit: step-variable-resettable MEMS capacitor for topological electrical circuit (oral presentation)," The 21st International Conference on Solid-State Sensors, Actuators, and Microsystems (Transducers), 20-25 June 2021, online, accepted for publication (2021)

その他の講演・シンポジウム

- [1] Takafumi Yamaguchi, Naoto Usami, Kei Misumi, Atsushi Toyokura, Akio Higo, Shimpei Ono, Gilgueng Hwang, Guilhem Larrieu, Yoshiho Ikeuchi, Agnès Tixier-Mita, Ken Saito, Timothée Lévi, and Yoshio Mita, "SELF-DEFORMABLE FLEXIBLE MEMS TWEezer MADE OF POLY (VINYLIDENEFLUORIDE) / IONIC LIQUID GEL WITH ELECTRICAL MEASUREMENT CAPABILITY " The 21st International Conference on Solid-State Sensors, Actuators and Microsystems Transducers 2021 , Virtual Conference (2021.06.21)
- 査読付き国際学会
- [1] Akio Higo, Yukinori Ochiai, and Yoshio Mita, "High throughput 16 nm nanogap by variable shaped beam method using F7000S-VD02 EB lithography," The 21st International Conference on Solid-State Sensors, Actuators, and Microsystems (Transducers), 20-25 June 2021, online, accepted for publication (2021)
- [2] Takafumi Yamaguchi, Naoto Usami, Kei Misumi, Atsushi Toyokura, Akio Higo, Shimpei Ono, Gilgueng Hwang, Guilhem Larrieu, Yoshiho Ikeuchi, Agnes Tixier-Mita, Ken Saito, Timothee Levi, and Yoshio Mita, "Self-deformable flexible MEMS tweezer made of poly (vinylidene fluoride) / ionic liquid gel with electrical measurement capability (oral presentation)," The 21st International Conference on Solid-State Sensors, Actuators, and Microsystems (Transducers), 20-25 June 2021, online, accepted for publication (2021)
- [3] Yoshio Mita, Eric Lebrasseur, Motohiko Ezawa, Keigo Tsuji, Minoru Kawamura, and Akio

4.5 特許、受賞等

黒田・小菅研究室

特許

- [1] 小菅敦丈、黒田忠広, “機械学習回路及び情報処理装置”, 特願2021-076487, 2021年4月28日出願.
- [2] 小菅敦丈、黒田忠広, “情報処理装置、及びプログラム”, 特願2021-138412, 2021年8月26日出願.

受賞

- [1] Takahisa Tanaka, Kenta Tabuchi, Kohei Tatehara, Yohsuke Shiiki, Shuya Nakagawa, Tsunaki Takahashi, Ryota Shimizu, Hiroki Ishikuro, Tadahiro Kuroda, Takeshi Yanagida, and Ken Uchida, 第13回応用物理学会シリコンテクノロジー分科会論文賞, Mar. 2022.
- [2] 小菅敦丈, MIT Technology Review Japan Innovators Under 35, Dec. 2021.

竹内研究室

受賞

- [1] Chihiro Matsui, Kasidit Toprasertpong, Shinichi Takagi and Ken Takeuchi, IEEE Symposium on VLSI Technology, Best Demo Paper Award, “Energy-Efficient Reliable HZO FeFET Computation-in-Memory with Local Multiply & Global Accumulate Array for Source-Follower & Charge-Sharing Voltage Sensing”, June 18, 2021.
- [2] 樋口和英, 松井千尋, 三澤奈央子, 竹内健, 第33回コンピュータシステム・シンポジウム (ComSys2021) 最優秀ポスター発表賞 “メモリエラーを考慮した Computation-in-Memory 向けニューラルネットワーク精度評価シミュレータ”, 2021年12月2日.
- [3] Akira Goda, Chihiro Matsui and Ken Takeuchi, IEEE Electron Devices Technology and Manufacturing (EDTM) Conference 2022, Best Paper Award, “Inter Spike Interval and Stochasticity Engineering of Floating Gate

Technology-based Neurons for Spiking Neural Network Hardware”, March 8, 2022.

中村研究室

受賞

- [1] 岡田怜士: 情報理工学系研究科長賞, 2022年3月

藤田研究室

受賞

1. Yukio Miyasaka, Xinpei Zhang, Mingfei Yu, Qingyang Yi, Ryogo Koike, Takemaru Kadoi, Advisor: Prof. Masahiro Fujita: Functional ECO with Behavioral Change Guidance in 2021 ICCAD CAD contest, Honorable mention (4th place): 2021-11-1

池田研究室

受賞

2021年6月3日 2021年電子情報通信学会業績賞
浅田邦博, 池田誠, 東京大学大規模集積システム設計教育センター (VDEC) における集積回路設計教育研究に対する多大な貢献

飯塚研究室

特許

- ・ 浅見 幸司, 飯塚 哲也, ビヤムバドルジ ゴルポー “較正装置、変換装置、較正方法、および較正プログラム,” 特願2021-163815.
- ・ 飯塚 哲也, 矢嶋 起彬, 井上 悠, “モジュール回路、及びレザバー回路,” 特願2021-198579.

受賞

- ・ 令和3年度 工学部長賞
加納 創太, 2022年3月.
- ・ 令和3年度 優秀卒業論文賞
加納 創太, “伝送線路によるステージ間整合を用いたミリ波帯発振器の動作周波数拡張,” 2022年3

月.

- 令和3年度 優秀修士論文賞
松岡 英, ``閉ループフローティングインバータ増幅器を用いた完全ダイナミック離散時間 $\Delta\Sigma$ 型A/D変換器," 2022年3月.
- 第11回 d.lab-VDEC デザインアワード 優秀賞
松岡 英, ``閉ループ二段カスコードFIAを用いた完全ダイナミック型離散時間デルタシグマA/D変換器," 2021年9月.

平本・小林研究室

特許

国際特許

題目：三維陣列装置

発明者・発案者名：Masaharu Kobayashi, Fei Mo, Toshiro Hiramoto

番号(出願番号/公開番号)：台湾特許出願番号 110112909

年月日：2021年4月9日

国内特許

題目：絶縁ゲート型半導体装置

発明者・発案者名：平本俊郎, 榎田知義

番号(出願番号/公開番号)：特願2021-166487

年月日：2021年9月8日

国際特許

題目：Ferroelectric memory device and operation method thereof

発明者・発案者名：Masaharu Kobayashi, Fei Mo, Toshiro Hiramoto

番号(出願番号/公開番号)：米国特許出願番号 US17/591,102

年月日：2022年2月2日

受賞

氏名：Jiawen Xiang 修士課程学生

受賞名(機関・団体名)：Best Student Paper Award

授与機関・団体：IEEE EDS

受賞対象の研究題目：Experimental Demonstration of HfO₂-based Ferroelectric FET with MoS₂ Channel

for High-Density and Low-Power Memory Application Silicon Nano Workshop

受賞年月日：2021年8月2日

氏名：Masahide Goto, Yuki Honda, Masakazu Nanba, Yoshinori Iguchi, Takuya Saraya, Masaharu Kobayashi, Eiji Higurashi, Hiroshi Toshiyoshi, and Toshiro Hiramoto

受賞名(機関・団体名)：Arnaud Darmont Award for Best Paper, Electronics Imaging 2022

授与機関・団体：Society for Imaging Sciences and Technology

受賞対象の研究題目：3-Layer stacked pixel-parallel CMOS image sensors using hybrid bonding of SOI wafers

受賞年月日：2022年1月22日

高木研究室

受賞等

- [1] SDM研究会 第8回若手優秀発表賞, トープラサートポンカシディット
- [2] The 2020 Roger A. Haken Best Student Paper Award (IEDM 2020 Best Student Award), 隅田 圭
- [3] 第19回IEEE EDS Japan Joint Chapter Student Award, 陳家聰
- [4] 第19回IEEE EDS Japan Joint Chapter Student Award, 隅田 圭
- [5] 電気学会技術委員会奨励賞, 隅田 圭

竹中研究室

特許

- [1] 竹中 充、藤方 潤一、高橋 重樹、「光変調器及びその製造方法」、登録番号11054675

受賞等

- [1] 工学部長賞(卒論論文) 赤澤 智熙
- [2] 電気電子工学科優秀卒業論文賞 赤澤 智熙

内田研究室

受賞

- [1] 第50回（2021年春季）応用物理学会学術講演会講演奨励賞（加藤 太朗，2021年9月21日）
- [2] 応用物理学会シリコンテクノロジー分科会論文賞受賞（田中 貴久，2022年3月23日）

染谷・横田・李研究室

受賞

- [1] 横田知之，令和3年度科学技術分野の文部科学大臣表彰若手科学者賞
- [2] 横田知之，第20回船井学術賞
- [3] 横田知之，IDW '21 Best Paper Award, “Ultra-Flexible Organic Light Emitting Diodes for Bio-medical Application”

三田研究室

受賞

外部団体よりの学術受賞

- [1] シンポジウム優秀技術論文賞 肥後昭男 特任講師、宇佐美尚人博士、山口貴史、落合幸徳 特任研究員、三田吉郎 准教授 電気学会センサ・マイクロマシン部門 部門大会第38回「センサ・マイクロマシンと応用システム」(2021.11.11)

Appendix

A.1 CADソフトウェアの整備

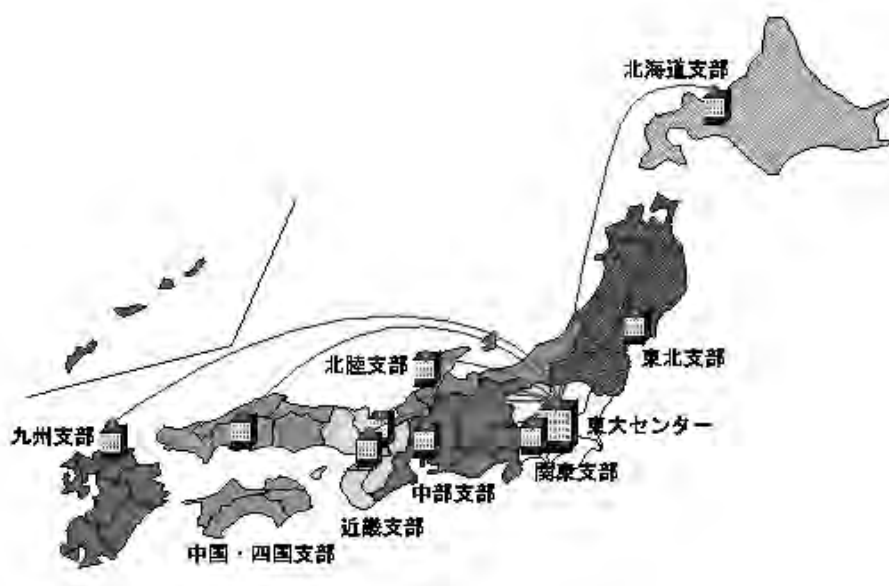
1996年度から整備を行っているCADソフトウェアは、2022年度は表A.1.1に示すツール群を全国の大学に提供している。CADソフトウェアの利用は、図A.1.1に示す全国地域拠点校10箇所 licensesサーバを設置し、全国各大学の利用者が手許の計算機にインストールしたCADソフトウェアを、最寄のライセンスサーバにおいて認証を行うことで、ネットワークを利用した運用形態となっている。ライセンス数はCADの項

目ごとに100から1000程度のフローティングライセンスとなっており、全国の国・公・私立大学・高専において教育・研究目的に限り利用できるようになっている。

東京大学VDEC活動を通じたVDECのCADの利用、および「1.3章」のチップ試作の利用のためには、あらかじめユーザ登録が必要となっている。

表A.1.1 導入されたCADシステム

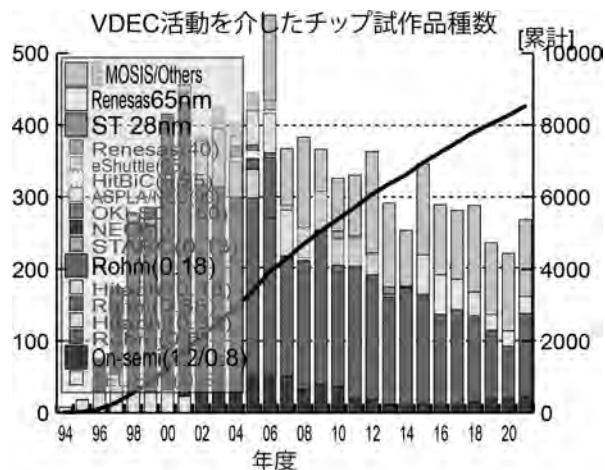
名称	用途	メーカー
Cadence 社設計システム	VerilogHDL/VHDL ベースの入力、シミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線とバックアノテーション、会話型の回路図およびマスクレイアウト入力、アナログ機能・回路シミュレーション、設計検証、回路抽出	Cadence Design Systems, Inc.
Synopsys 社設計システム	VerilogHDL/VHDL シミュレーション、論理合成、テスト生成。マクロセルを含むセルベースの配置配線設計とバックアノテーション、回路シミュレーション、デバイスシミュレーション	Synopsys, Inc.
Mentor 社設計ツール	レイアウトのデザインルールチェック及び検証	Mentor Graphics Co. Ltd.
Silvaco 社設計ツール	高速回路シミュレーション	Silvaco
ADS/Golden Gate	通信機器や関連デバイスなどの高周波回路/システムの設計、検証	Keysight Technologies
Bach	BachC言語での設計	Sharp
LAVIS	レイアウト表示プラットフォーム	TOOL



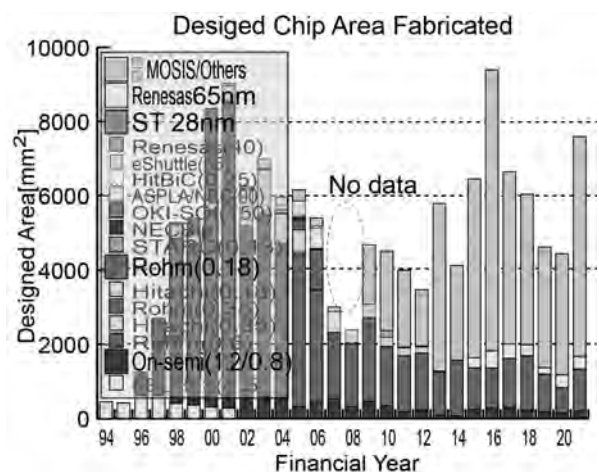
図A.1.1 全国地域拠点校

A.2 基盤設計研究部門におけるチップ試作支援の実施状況

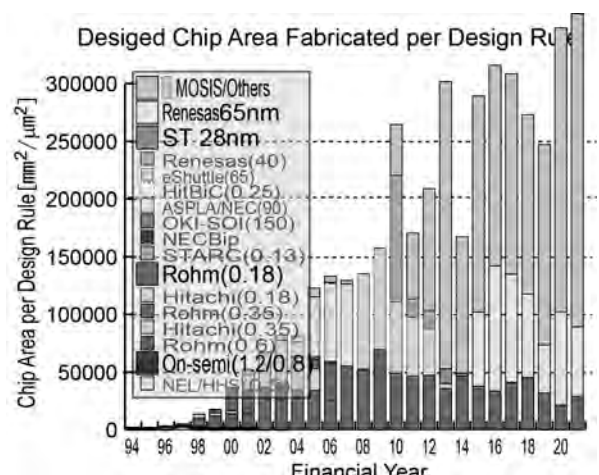
VLSIチップ試作支援に関しては、平成6、7年度(1994、1995年度)のパイロットプロジェクトでは、ファウンドリはNEL社のCMOS0.5 μ m(当該プロセスはその後日立北海セミコンダクタ社に継続)1社であったが、平成8年度(1996年度)のVDEC発足後、日本モトローラ社のCMOS1.2 μ m(平成11年度からは、オン・セミコンダクターにて継続)が協力を開始し、平成9年度からはローム社のCMOS0.6 μ mが加わった。さらに平成10年度には日立製作所のCMOS0.35 μ m、平成11年度にはローム社0.35 μ mがそれぞれ加わった。また、IP開発プロジェクトの一環としてSTARCO.13 μ mの試作を行った。平成13年度から、日立製作所のCMOS0.18 μ mのサービスを実施している。平成14年度は、広島大学岩田先生の主導の下に、VDECとMOSISの協力による試作サービスを試行的に実施した。これは、TSMC、IBMといった海外のファブをMOSISを経由することで格安で提供するものである。さらに、東京大学柴田先生主導の元に、NEC化合物デバイス株式会社によるバイポーラLSIの試作サービスも行った。平成16年からテスト試作として沖電気CMOS SOI 0.15 μ mプロセスおよびASPLA 90nmプロセスの試作を開始し、90nm試作については平成17年度より通常の試作として公募の形で運用。平成18年度からはローム社0.18 μ mの試作を開始し、日立製作所0.25 μ m SiGeBiCMOSのテスト試作を実施した。平成19年度で終了した90nm CMOSの後継の先端プロセスの検討を平成19年度から開始し、平成20年度にeShuttle社の65nm CMOSによる試作を開始した。さらに経済産業省-STARCOのプロジェクト「次世代半導体回路アーキテクチャ実用化支援事業」の一環として、ルネサスエレクトロニクス社の40nm CMOSによる試作も開始した。一方で平成23年9月試作をもってCMOS1.2 μ mを終了することとなったほか、平成24年度をもってルネサスエレクトロニクス社の40nm CMOS試作が終了、平成25年8月シャトルをもってeShuttle社の65nm CMOS試作が終了した。CMOS1.2 μ mの後継として、オンセミー三洋半導体製造社の協力により平成24年10月にCMOS0.8 μ mのテスト試作を実施し、平成25年度から定常試作として継続している。最先端試作としては、平成25年度からフランスCMPを介してSTマイクロ社FD-SOI 28nm CMOS試作を開始。また、平成27年度から定常試作として、ルネサスエレクトロニクス社SOTB 65nm



(a) 設計チップ品数



(b) 設計チップ面積



(c) 規格化した設計チップ面積

図A.2.1 チップ試作数・面積推移

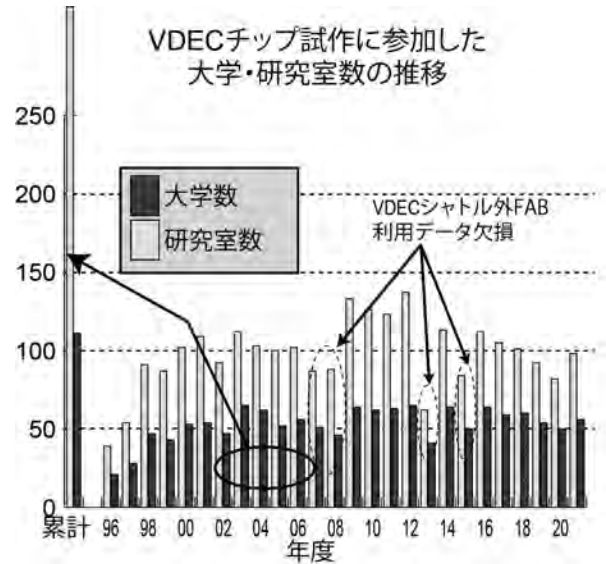
CMOS試作を開始。また平成28年度にリコー電子デバイス株式会社による CMOS 0.6 μ m高耐压試作の検討および、三重富士通株式会社による CMOS 40nm試作の検討を開始した。令和2年度にはドイツIHP社との協定によりBiCMOS0.18 μ m試作の検討を開始し、令和3年度に最初のテープアウトを実施した。

図A.2.1(a)は設計されたチップ品種数を示す。図中の棒グラフは、試作品種数の順調な増加を表しており、VLSI試作研究・教育に直接的に係わった学生数を表しているものと考えられることから、研究・教育効果が劇的に向上していることが想像される。試作されたチップの品種数は、平成14年度に減少しているが、これはROHM社の0.6 μ mプロセスを終了したことによる減少が考えられる。またそれ以降ほぼ400品種程度で推移しているが、その中でより微細なプロセスへ試作の中心が推移していることが読み取れる。また平成18年度に0.35 μ mが終了し、平成19年度以降0.18 μ mへの移行したことにより、試作数が130品種程度減少し、さらに平成19年度にASPLA 90nmCMOS試作が終了し、eShuttle 65nmCMOSへの移行に伴う試作数の減少がみられる。

この減少傾向は試作面積においてさらに顕著で、試作プロセスの微細化進展に伴い、集積度が向上することも重なり、試作面積が大幅に減少する結果となっている。図A.2.1(b)は設計されたチップ面積を示す。一方設計量の指標として、図A.2.1(c)は試作面積をそれぞれの試作プロセスにおける特性寸法で規格化した、規格化試作面積の傾向も併せて示す。こちらはまだ増加し続けていることから、プロセスの微細化に伴うチップ当たりおよび面積当たりの設計工数の増大が試作数、試作面積の減少主要因になっていることが考えられる。

また、図A.2.2はこれまでに試作に参加した教員数、大学数の推移およびその累計を示す。また、チップ試作に必要な設計規則などの、試作会社固有の機密情報にアクセスするための「機密保持契約」締結教員数は、ルネサスの65nmプロセスが92名、ロームの0.18 μ mプロセスが287名、オンセミ三洋 0.8 μ mプロセスが49名となっている。

2021年度は、表A.2.1に示す日程でチップ試作を行った。チップ試作の参加者・試作の内容は、第4章のチップ試作報告を参照されたい。



図A.2.2 VDECチップ試作参加教員数・大学数の推移とその累計

表A.2.1 2021年度チップ試作日程

CMOS 0.8um (オンセミコンダクター三洋半導体製造)

	試作申込締切	設計締切	納品・試作完了
2021年度第1回	2021/7/5	2021/9/27	2022/2/1
2021年度第2回	2022/1/11	2022/3/28	2022/6/16(予定)

CMOS 0.18um (ローム)

	試作申込締切	設計締切	納品・試作完了
2021年度第1回 (2021年7月試作)	2021/4/5	2021/6/28	2021/9/21
2021年度第2回 (2021年9月試作)	2021/6/14	2021/9/6	2021/12/24
2021年度第3回 (2021年11月試作)	2021/8/4	2021/10/27	2022/2/13
2021年度第4回 (2022年3月試作)	2021/12/6	2022/2/28	2022/6/10

SOTB 65nm CMOS

	試作申込締切	設計締切	納品・試作完了
2021年度第1回 (2021年8月試作)	2021/6/14	2021/7/26	2022/1/28
2021年度第2回 (2022年3月試作)	2022/1/24	2022/3/7	2022/8/27(予定)

A.3 セミナー

LSI 設計技術の向上にはセミナーは欠くことができない存在である。令和3年度にも、CAD 利用のための技術セミナー、社会人のためのリフレッシュセミナー、若手教官・学生のためのデザイナーズフォーラム等のセミナー、フォーラムを企画、実施した。ただし、コロナ感染拡大防止を鑑み、すべてのイベントはオンライン開催となった。

A.3.1 VDECユーザ向けCAD セミナー

CAD 技術セミナーへの参加要望は常に非常に大きく、これは CAD 技術セミナーに対する需要が依然として大きなことを表しており、VDEC はこの状況に

応じ、大規模な CAD 技術セミナー開催の仕組みの整備を行ってきた。CAD 利用のための技術セミナーでは、VDEC で使用可能なCadence、Synopsys、Keysight などCADベンダーのそれぞれのCAD ツールの操作方法等を各ツールベンダーから講師を派遣していただき講習を行っている。東大VDECがメイン会場として開催し、VDEC拠点校にストリーミング配信をする。年度内2回開催し、それぞれ、数日間の講習会となる。一つのツールは1日や二日間となっている。教員・学生は本講習会を通して最新版CADツールの使用方法やVDECライブラリを用いたVLSI設計フローを修得している。

表A.3.1 令和3年度 CAD 技術セミナー開催状況

第1回CAD講習会

日程	講習会	場所	参加人数
8/3	Keysight Empro	オンライン	40
8/17	Synopsys IC Compiler-II	オンライン	41
8/24	Synopsys IC Validator	オンライン	40
8/30	Cadence Virtuoso Schematic, Layout	オンライン	22
9/22	Synopsys Custom Designer	オンライン	6
9/30まで	Cadence Innovus	オンライン	12
9/30まで	Keysight Empro	オンライン	12

第2回CAD講習会

日程	講習会	場所	参加人数
3/4	Cadence Innovus	オンライン	31
3/8, 9	Cadence Layout (GXL, EAD)	オンライン	58
3/11	Cadence EMX	オンライン	34
3/15, 16	Cadence SKILL	オンライン	37
3/29	Synopsys TCAD Q&A Meeting	オンライン	29
3/31まで	Synopsys Design Compiler	On-demand	65
3/31まで	Synopsys ICC-II	On-demand	61
3/31まで	Synopsys TCAD	On-demand	38

表A.3.2 リフレッシュセミナー開催状況

日程	コース	内容	講師	参加人数
5/31, 6/1	コース R: CMOS-RF 集積回路設計と演習	変復調、多次元接続方式 回路の基本性能、トランシーバアーキ テクチャ 要素回路、設計フロー	伊藤 浩之 (東京工業大学)	20
8/11, 12	コース VD: VDEC 環 境でのデジタル設計講 習会	VDEC連携提供したツールとプロセス でのデジタル設計フロー	小林 和淑 (京都工芸繊維大学)	44
8/25, 26, 27	コース A: アナログ集 積回路設計と演習	回路設計、回路シミュレーション アナログ集積回路の特徴と役割 レイアウト設計、検証 (DRC、LVS)	杉本泰博 (中央大学) 飯塚哲也 (東京大学) 小谷光司 (東北大学)	67
9/2, 3	コース VT: VDEC 環 境でのトランジスタレ ベル設計講習会	VDEC連携提供したツールとプロセス でのカスタマイズ設計フロー	名倉 徹 (福岡大学)	23

A.3.3 大学向けデザイナーズフォーラム

学生および若手教官を対象としたVDEC LSI デザイ
ナーフォーラム (VDEC Designers Forum) を開催し
ている。VDEC LSI デザイナーフォーラムは、LSI 設
計者が、互いの研究成果だけではなく、チップ設計で
苦労した点、失敗事例と解決策、研究室に於ける設計
環境の構築法など、通常の研究会や学会などでは得る
ことのできない情報を共有し、大学または研究室の枠
を越えて研究者が連携を深めることを目的としている。

表A.3.3 令和3年度デザイナーズフォーラムプログラム

9/24 オンライン 参加人数54人

9/24

9:30-	会場受付 (オンライン入室開始)
10:00-10:15	開会 挨拶 (IEEE Japan Chapter Chair 東北大学 羽生貴弘 教授) 挨拶、趣旨の紹介 (東京大学 d.lab-VDEC 池田誠 教授)
10:15-11:15	アイデアコンテスト部門発表会 (10分×6名)
11:15-12:30	投票+昼休み
12:30-13:30	基調講演 大池 祐輔 様 (ソニーセミコンダクタソリューションズ) タイトル: イメージング技術の進化とセンシング応用への展望
13:30-13:40	休憩
13:40-15:00	d.lab-VDEC デザインアワード発表会1 (20分×4名)
15:00-15:10	休憩
15:10-16:30	d.lab-VDEC デザインアワード発表会2 (20分×4名)
16:30-16:40	休憩
16:40-17:40	d.lab-VDEC デザインアワード発表会3 (20分×3名)
17:30-	d.lab-VDEC デザインアワード投票+集計
18:00-	アイデアコンテスト表彰式 デザインアワード表彰式 IEEE SSCS Japan Chapter 賞授与式 閉会 挨拶

A.4 VDEC発ベンチャー

VDECでの設計/試作経験、人材育成が有効には機能した事例といたしまして、VDECと関連があった（ある）教員が起業したベンチャー企業のリスト（順不同）を以下に示します。

[1] エイ・アイ・エル株式会社 (<http://www.ailabo.co.jp/>)

代表の先生： 神戸大学 瀧 和男 教授（同社、代表取締役社長）

- 事業内容： (1) LSI設計受託開発・
(2) エンジニア派遣
(3) 人材の紹介
(4) 経営コンサルティング業務

[2] 株式会社シンセシス

(2017年7月1日に株式会社ソリトンシステムズと合併、<https://www.soliton.co.jp>)

代表の先生： 大阪大学 白川 功 名誉教授（同社、取締役）

- 事業内容： (1) システムLSI開発・設計受託
(2) IP開発及び販売
(3) システムソリューション提供
(4) 設計支援ツール開発及び販売

[3] エイシップ・ソリューションズ株式会社 (<https://asip-solutions.com/>)

代表の先生： 大阪大学 今井 正治 教授（同社、代表取締役 CTO）

- 事業内容： (1) IoT応用システムの研究、開発、教育およびコンサルテーション
(2) ASIP設計ツールの販売、ASIP開発のコンサルテーション

[4] 株式会社ナノデザイン (<http://www.nanodesign.co.jp/>)

代表の先生： 九州工業大学 中村 和之 教授（同社、代表取締役）

- 事業内容： (1) 大規模半導体集積回路（LSI）の設計・開発
(2) LSI設計用CAD、及びLSI評価用装置の開発
(3) 設計コンサルティング、他

[5] 株式会社エイアールテック (<http://www.a-r-tec.jp/>)

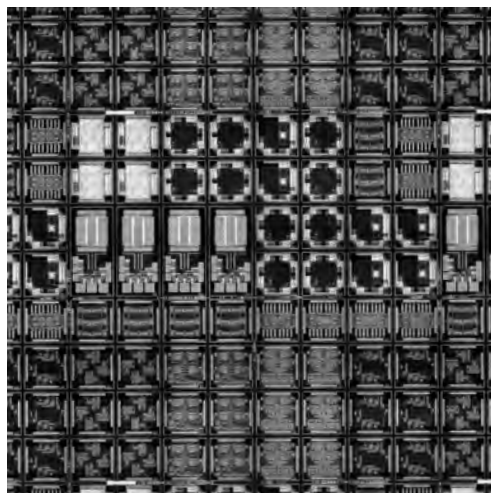
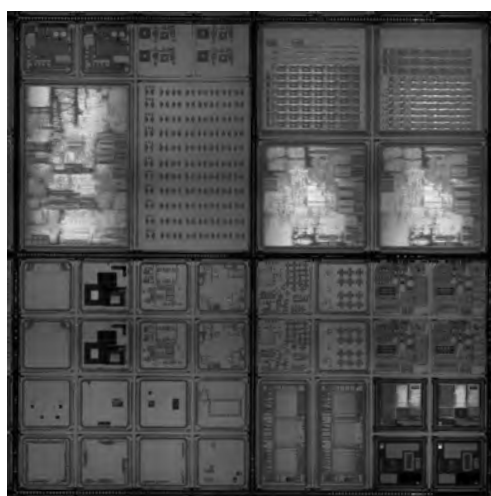
代表の先生： 広島大学 岩田 穆 名誉教授（同社、代表取締役）

- 事業内容： (1) アナログ回路設計・測定
(2) 基板雑音解析
(3) 人材育成やOJT、講習会

[6] 有限会社 石島電子技研 (<http://ishi.main.jp/>)

- 事業内容： (1) 電子回路・基板開発
(2) ソフトウェア開発
(3) コンサルティング

B. チップ試作結果報告



B.1 試作ラン別一覧

令和2年度第2回オンセミコンダクター—三洋 CMOS 0.8um 試作

題名	大学名	研究者	掲載頁
静電容量式CMOS-MEMS加速度センサとCV変換回路	東京電機大学大学院工学研究科電気電子工学専攻 東京電機大学工学部電子システム工学科	清水 優作 小松 聡	105
スタンダードセルを用いたフルデジタルの逐次比較型ADC (SAR ADC)	東京電機大学大学院工学研究科電子システム工学専攻 東京電機大学工学部電子システム工学科	福島 拓実 小松 聡	105
四足歩行ロボットに搭載するニューロ回路の改良チップ	日本大学理工学部	加藤 真也, 宇佐見 雄, 榊 亜理沙, 高柳 拓生, 齊藤 健	105
マイクロロボットの駆動波形を生成するニューラルネットワークのTEGチップ	日本大学理工学部	宇佐見 雄, 榊 亜理沙, 加藤 真也, 高柳 拓生, 齊藤 健	106
静電モータで駆動する6脚マイクロロボットの歩容を生成するニューラルネットワークのTEGチップ	日本大学理工学部	高柳 拓生, 宇佐見 雄, 加藤 真也, 榊 亜理沙, 齊藤 健	106
広い発火範囲をもつパルス形ハードウェアニューロンモデルのTEGチップ	日本大学理工学部	宇佐見 雄, 加藤 真也, 榊 亜理沙, 高柳 拓生, 大隈 井輔, 田邊 魁晟, 森下 克幸, 齊藤 健	106
ペアチップIC一体型4足MEMSマイクロロボットの歩行制御用パルス形ハードウェアニューラルネットワーク	日本大学理工学部	早川 幹人, 加藤 凌, 金子 美泉, 齊藤 健, 内木場 文男	107
電源搭載型6足MEMSマイクロロボットの歩行制御用パルス形ハードウェアニューラルネットワーク	日本大学理工学部	早川 幹人, 加藤 凌, 金子 美泉, 齊藤 健, 内木場 文男	107

令和3年度第1回オンセミコンダクター—三洋 CMOS 0.8um 試作

題名	大学名	研究者	掲載頁
2軸向け静電容量式CMOS-MEMS加速度センサとCV変換回路	東京電機大学大学院工学研究科電気電子工学専攻 東京電機大学工学部電子システム工学科	清水 優作 小松 聡	108
静電容量式CMOS-MEMS加速度センサ	東京電機大学工学研究科電子システム工学専攻 東京電機大学工学部電子システム工学科	佐藤 優大 小松 聡	108
静電容量式MEMS加速度センサに向けたスイッチトキャパシタ型CV変換回路	東京電機大学工学研究科電子システム工学専攻 東京電機大学工学部電子システム工学科	鈴木 崇仁 小松 聡	108
コンタクトイメージング用回路TEG	豊田工業高等専門学校電気・電子システム工学科 小山工業高等専門学校機械工学科	熊谷 勇喜 今泉 文伸	109
四足歩行ロボットに搭載するニューロ回路の実装用チップ	日本大学理工学部	加藤 真也, 宇佐見 雄, 榊 亜理沙, 高柳 拓生, 大隈 井輔, 田邊 魁晟, 齊藤 健	109
静電モータで駆動する6脚マイクロロボットの歩容を生成するニューラルネットワークのTEGチップ	日本大学理工学部	高柳 拓生, 宇佐見 雄, 加藤 真也, 榊 亜理沙, 齊藤 健	109
広い発火範囲をもつパルス形ハードウェアニューロンモデルの改良	日本大学理工学部	宇佐見 雄, 加藤 真也, 榊 亜理沙, 高柳 拓生, 大隈 井輔, 田邊 魁晟, 森下 克幸, 齊藤 健	110
マイクロロボット用の歩容変化が可能なハードウェアニューラルネットワーク	日本大学理工学部	宇佐見 雄, 加藤 真也, 榊 亜理沙, 高柳 拓生, 大隈 井輔, 田邊 魁晟, 齊藤 健	110
受容体モデルを用いた筋シナジーに基づくCPGモデルのTEGチップ	日本大学理工学部	武田 健嗣, 加藤 凌, 早川 幹人, 石橋 元邦, 石濱 拓実, 栗飯原 萌, 金子 美泉, 内木場 文男	110
人の歩行と走行切り替え制御に向けた筋シナジーに基づくCPGモデルのTEGチップの改良	日本大学理工学部	武田 健嗣, 加藤 凌, 早川 幹人, 石橋 元邦, 石濱 拓実, 栗飯原 萌, 金子 美泉, 内木場 文男	111

令和2年度第4回ローム CMOS 0.18um 試作

題名	大学名	研究者	掲載頁
高効率FIRデジタルフィルタ回路の試作	早稲田大学理工学術院	葉 静浩, 史 又華	112
スタンダードセル設計手法を用いた逐次比較型ADCに用いるDAC回路の測定	東京電機大学大学院工学研究科電気電子工学専攻 東京電機大学工学部電子システム工学科	平野 皓士 小松 聡	112
フルカスタム設計による遅延生成回路とフラッシュ型TDC	東京電機大学大学院工学研究科電気電子工学専攻 東京電機大学工学部電子システム工学科	瀬端 康平 小松 聡	112

新方式の神経細胞モデルおよびギャップジャンクションモデルの実装	日本大学理工学部	日本大学理工学部	113
SERV_and_ChaChaほか	電気通信大学情報理工学研究科情報ネットワーク工学専攻	Duran Ckristian, 範 公可, 石橋 孝一郎	113
TEEHW_Rocket64x2	電気通信大学情報理工学研究科情報ネットワーク工学専攻	Hoang Trong-Thuc, 範 公可, 石橋 孝一郎	114
CMOSイメージセンサ用読み出し回路チップ	立命館大学理工学研究科 立命館大学理工学部	大谷 愛 大倉 俊介	114
ポテンショスタットを用いた双方向電流検出可能生体センサおよび高速通信伝送に用いる電流ロジックモード (CML) 回路	明治大学理工学研究科	関根 かをり, 和井田 優太, 阿部 真也, 木下 功喜	114
LRPUF	芝浦工業大学工学部	宇佐美 公良	115
脳波取得フロントエンドの改良及び自立動作可能LSIチップのための各要素回路の改良	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦, 小貫 怜央, 山村 健太 三河 樹由, 吉田 祐威, 三浦 大毅, 八木 健太	115
アナログマルチプレクサ, 単相差動変換器, 広帯域増幅器	東京理科大学理工学部電気電子情報工学科 東京理科大学理工学研究科電気工学専攻	榎田 洋太郎, 高野 恭弥 川原 啓輔	115
アナログマルチプレクサ, 単相差動変換器, 広帯域増幅器	東京理科大学理工学部電気電子情報工学科 東京理科大学理工学研究科電気工学専攻	榎田 洋太郎, 高野 恭弥 川原 啓輔	116

令和3年度/令和元年度第1回ローム CMOS 0.18um 試作

題名	大学名	研究者	掲載頁
低電圧で動作するイメージセンサTEGほか	立命館大学大学院情報理工学研究科 立命館大学情報理工学部	室原 脩人, 木村 知也 堀越 俊行, 越智 裕之	117
フォトセンサのTEG	立命館大学情報理工学部	越智 裕之	117
弛張型発振回路の試作	東京電機大学大学院工学研究科電子システム工学専攻 東京電機大学工学部電子システム工学科	原 航太 小松 聡	117
スタンダードセルを用いたフラッシュADCとサブレンジングADC	東京電機大学大学院工学研究科電子システム工学専攻 東京電機大学工学部電子システム工学科	福島 拓実 小松 聡	118
Ring amplifier を用いた列並列小面積パイプラインAD変換器を有するCMOSイメージセンサ	東京理科大学工学研究科	小嶋 隆, 甲田 紘己, 浜本 隆之	118
800MHz動作を実現する差動シグナリング入出力回路と安定動作を資するバンドギャップ参照回路	東京理科大学工学研究科	大高 俊徳, 小嶋 隆, 浜本 隆之	118
熱電発電素子とバッテリーを備えたハイブリッドDC-DCコンバータと配線Cap test structure	静岡大学工学部	丹沢 徹	119
低RTSノイズ型磁気センサアレイの特性評価用TEG	茨城大学理工学研究科	木村 孝之	119
Basic Digital LDOほか	電気通信大学情報理工学研究科情報ネットワーク工学専攻	植田 健斗, 範 公可, 石橋 孝一郎	119
4bit ALUほか	電気通信大学情報理工学研究科情報ネットワーク工学専攻	山村 修平, 範 公可, 石橋 孝一郎	120
TEEHW_RocketBoom32	電気通信大学情報理工学研究科情報ネットワーク工学専攻	Hoang Trong-Thuc, 範 公可, 石橋 孝一郎	120
TEEHW_RocketBoom64	電気通信大学情報理工学研究科情報ネットワーク工学専攻	Hoang Trong-Thuc, 範 公可, 石橋 孝一郎	121
光通信用トランスインピーダンスアンプの試作	九州大学システム情報科学研究院	賀 正陽, 木村 俊二	121
SAR-DSM型2ステップADCにおける残差ゲインエラーを低減するDEM	法政大学理工学研究科 法政大学理工学部	渡邊 嶺 藤本 悠作, 水野 聡太, 小林 海太	121
電流制御発振器と周波数デジタル変換回路を用いたADCおよび弱反転領域動作のMOSFETを用いた低電圧カレントミラー 他	明治大学理工学研究科 明治大学理工学部	関根 かをり, 阿部 真也, 京嶋 拓人, 山本 遥哉 安藤 夏輝	122
脳波取得フロントエンドの改良及び自立動作可能LSIチップのための各要素回路の改良	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦, 頃安 裕貴, 渡邊 悠太 三浦 大毅, 八木 健太, 小貫 怜央, 山村 健太	122
単相差動変換器, 高周波デバイスTEG, 狭帯域増幅器	東京理科大学理工学部電気電子情報工学科 東京理科大学理工学研究科電気工学専攻	榎田 洋太郎, 高野 恭弥 川原 啓輔	122
トータルドーズ耐性試験向け光再構成型ゲートアレイVLSI	岡山大学学術研究院 自然科学学域	渡邊 実	123
電気と光による構成が可能な光再構成型ゲートアレイVLSI	岡山大学学術研究院 自然科学学域	渡邊 実	123

令和3年度/令和元年度第2回ローム CMOS 0.18um 試作

題名	大学名	研究者	掲載頁
フォトセンサのTEG	立命館大学大学院情報理工学研究科 立命館大学情報理工学部	木村 知也 越智 裕之	124
低電圧で動作するイメージセンサTEG	立命館大学大学院情報理工学研究科 立命館大学情報理工学部	室原 脩人, 木村 知也 越智 裕之	124
ニューロンCMOSインバータを用いたFGC付き4入力可変論理回路	東海大学情報通信学部 東海大学情報通信学研究科	福原 雅朗, 伊藤 祥磨 西口 大嗣	124
スタンダードセル設計手法を用いた逐次比較型ADC	東京電機大学大学院工学研究科電気電子工学専攻 東京電機大学工学部電子システム工学科	平野 皓士 小松 聡	125
IoTのためのアナログ回路TEG	広島工業大学工学部	升井 義博	125
Tracking ADC, スキュー調整回路, チョッパーアンプ, NIRS測定回路	芝浦工業大学工学部電子工学科	佐々木 昌浩, 福岡 慶祐, 今田 資啓, 横山 桃子, 高崎 航汰	125
容量マルチプライヤ回路の作製および樹状突起モデルと細胞体モデルの作製	日本大学理工学部	佐伯 勝敏, 佐々木 芳樹, 鈴木 克典, 近藤 宏樹, 菊池 優作, 竹前 諒也, 中村 圭吾, 野村 幸司	126
MOSFETリザーバ計算のためのばらつき評価回路	京都大学情報学研究科	村田 寛也, 佐藤 高史	126
熱電発電素子・バッテリーのハイブリッドDC-DCコンバータと配線Cap test structure #2	静岡大学工学部	丹沢 徹	126
細胞インピーダンス測定のための要素回路	立命館大学理工学部	宇野 重康, 春日 秀介, 柳瀬 智史, 河野 亮太	127
細胞インピーダンス測定のためのセンサー微小電極アレイ	立命館大学理工学部	宇野 重康	127
音楽プレーヤー回路の作製と電源ノイズの影響	福岡大学工学部	武久 遥香, 名倉 徹	127
time domain adc ほか	電気通信大学情報理工学研究科情報ネットワーク工学専攻	甘田 貴大, 範 公可, 石橋 孝一郎	128
TEEHW_Rocket32_RDFS	電気通信大学情報理工学研究科情報ネットワーク工学専攻	Dao Ba-Anh, 範 公可, 石橋 孝一郎	128
遅延故障・断線故障検査容易化回路の試作	徳島大学大学院創成科学研究科	大寺 佑都, 奥本 裕也, 出口 祥大, 知野 遥香	128
複数FABでのチップ製造手順の実証回路	金沢大学理工学域 金沢大学自然科学研究科	秋田 純一 大河 亮	129
FSKを用いた無線電力・データ同時伝送システム制御回路	明治大学理工学部	藤田 誉大, 和田 和干	129
各種要素回路の試作	明治大学理工学部	和田 和干, 藤田 誉大, 中條 洋資, 石井 祐典, 福田 隆造	129
電流ロジックモード(CML)回路を用いた遅延器および温度係数を増加したPTAT電圧発生回路	明治大学理工学研究科	関根 かをり, 木下 功喜	130
脳液取得フロントエンドの改良及び自立動作可能LSIチップのための各要素回路の改良	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦, 頃安 裕貴, 渡邊 悠太 三浦 大毅, 八木 健太, 小貫 怜央, 山村 健太	130
D級電力増幅器コア回路	東京理科大学理工学部電気電子情報工学科 東京理科大学理工学研究科電気工学専攻	榎田 洋太郎, 高野 恭弥 佐藤 龍太	130
トータルドーズ耐性試験向け光再構成型ゲートアレイVLSI	岡山大学学術研究院 自然科学学域	渡邊 実	131
電気構成と光構成が可能な耐放射線光再構成型ゲートアレイVLSI	岡山大学学術研究院 自然科学学域	渡邊 実	131
PVTばらつきに耐性の高いトランスインピーダンス回路実証TEGチップ	滋賀県立大学工学部	土田 知史, 浅岡 知哉, 土谷 亮, 井上 敏之, 岸根 桂路	131
容量型TIAを用いた光プローブ電流センサ向けCMOSアナログフロントエンド回路の精度改善	信州大学大学院 総合理工学研究科	Nguyen La Hong Phuc, 宮地 幸祐	132
FICC (Fishbone-in-Cage Capacitor)を用いた不揮発SRAM, SCMの特性評価試作チップ	京都工芸繊維大学工芸科学研究科電子システム工学専攻	阿部 佑貴, 浦部 孝樹, 小林 和淑	132

令和3年度/令和元年度第3回ローム CMOS 0.18um 試作

題名	大学名	研究者	掲載頁
確率的Flash ADCを用いた11bitサブレンジングADC	東京電機大学大学院工学研究科電子システム工学専攻 東京電機大学工学部電子システム工学科	坂口 平 小松 聡	133
アナログスライキングニューラルネットワーク回路および多数決回路	東北大学電気通信研究所 東北大学大学院工学研究科	守谷 哲, 山本 英明, 佐藤 茂雄 小野 哲史	133
2足歩行ロボット制御のためのSRAM構造を持つ長時定数回路	日本大学理工学部	佐伯 勝敏, 佐々木 芳樹, 鈴木 克典	133
圧力センサ用アナログフロントエンドIC	富山県立大学情報システム工学専攻	吉河 武文, 島崎 凌, 高木 駿	134

耐放射線用PLL	富山県立大学情報システム工学専攻 富山県立大学工学部	吉河 武文 旭 満里奈, 山下 達矢	134
128ビットAES内SBoxの電力解析攻撃耐性検証用チップ	福岡大学工学部	請園 智玲	134
オペアンプ試作	東北大学電気通信研究所	堀尾 喜彦, 石井 豪, 辻 孟	135
磁界共鳴方式無線電力伝送向けスイッチングドライバほか	電気通信大学情報理工学研究科情報ネットワーク工学専攻	武士俣 勇斗, 石橋 孝一郎, 範 公可	135
AIチップ設計フロー評価のためのMNIST手書き数字認識チップ	弘前大学大学院理工学研究科	今井 雅	135
ハードウェアトロイと電源供給最小化セル評価用TEG	弘前大学大学院理工学研究科	今井 雅	136
低消費エネルギープロセッサSoC	弘前大学大学院理工学研究科	金本 俊幾	136
集積素子を増やしたFSKを用いた無線電力・データ同時伝送システム制御回路	明治大学理工学部	藤田 誉大, 中條 洋資, 和田 和千	136
各種要素回路の試作	明治大学理工学部	和田 和千, 藤田 誉大, 中條 洋資, 石井 祐典, 福田 隆造	137
電流制御発振器と周波数デジタル変換回路を用いたADCおよび温度係数を増加したPTAT電圧発生回路	明治大学理工学研究科 明治大学理工学部	関根 かをり, 阿部 真也 安藤 夏輝, 小林 寛	137
疑似伝送線路	東京理科大学理工学部電気電子情報工学科 東京理科大学理工学研究科電気工学専攻	榎田 洋太郎, 高野 恭弥 川原 啓輔	137
トータルドーズ耐性試験向け光再構成型ゲートアレイVLSI	岡山大学学術研究院 自然科学学域	渡邊 実	138
電気構成と光構成が可能な耐放射線光再構成型ゲートアレイVLSI	岡山大学学術研究院 自然科学学域	渡邊 実	138
光受信用アナログフロントエンド回路TEG7	岐阜大学大学院自然科学技術研究科 岐阜大学工学部	加藤 篤史, 山田 拓磨 伊藤 大輔, 中村 誠	138

令和2年度第1回ルネサス CMOS 65nm 試作

題名	大学名	研究者	掲載頁
超低電圧エネルギーハーベスティング電源回路ver.1	金沢大学理工研究域	北川 章夫	139
超低電圧エネルギーハーベスティング電源回路ver.2	金沢大学理工研究域	北川 章夫	139
ガードゲート構造を利用した耐放射線フリップフロップ	京都工芸繊維大学工学科学研究科	古田 潤, 記伊 智也, 小林 和淑	139
耐放射線用SAR-ADC	富山県立大学情報システム工学専攻 富山県立大学工学部	吉河 武文 青木 友哉	140
超低電圧エネルギーハーベスティング電源回路ver.3	金沢大学理工研究域	北川 章夫	140
耐放射線用SAR-ADC	富山県立大学情報システム工学専攻 富山県立大学工学部	吉河 武文 青木 友哉	140
制御スイッチ付きリングオシレータを用いた経年劣化評価試作チップ	東京理科大学理工学部 電気電子情報工学科 東京理科大学理工学研究科 電気工学専攻 京都工芸繊維大学電子システム工学専攻	岸田 亮 関根 慧 須田 郁生, 小林 和淑	141

令和3年度第1回ルネサス CMOS 65nm 試作

題名	大学名	研究者	掲載頁
DLLを用いた多相クロック生成回路	芝浦工業大学電子情報システム学科	ニコデムス レディアン	142
耐放射線用SAR-ADC	富山県立大学情報システム工学専攻 富山県立大学工学部	吉河 武文 青木 友哉	142
AD変換器	東京都市大学理工学部	傘 昊	142
TIQコンパレータベースのフラッシュ型A/Dコンバータほか	電気通信大学情報理工学研究科情報ネットワーク工学専攻	橋本 悠平, 範 公可, 石橋 孝一郎	143
高周波デバイスTEG	東京理科大学理工学部電気電子情報工学科 東京理科大学理工学研究科電気工学専攻	榎田 洋太郎, 高野 恭弥 川原 啓輔	143
動作速度の改善を目的とした耐放射線フリップフロップ	京都工芸繊維大学工学科学研究科	古田 潤, 記伊 智也, 小林 和淑	143

B.2 チップ種別一覧

MEMS

ラン名	タイトル	研究者	掲載頁
OS08202	静電容量式CMOS-MEMS加速度センサとCV変換回路	清水 優作, 小松 聡	105
OS08211	2軸向け静電容量式CMOS-MEMS加速度センサとCV変換回路	清水 優作, 小松 聡	108

TEG (特性評価回路など)

ラン名	タイトル	研究者	掲載頁
OS08202	四足歩行ロボットに搭載するニューロ回路の改良チップ	加藤 真也, 宇佐見 雄, 榊 亜理沙, 高柳 拓生, 齊藤 健	105
OS08202	マイクロロボットの駆動波形を生成するニューラルネットワークのTEGチップ	宇佐見 雄, 加藤 真也, 榊 亜理沙, 高柳 拓生, 齊藤 健	106
OS08202	広い発火範囲をもつパルス形ハードウェアニューロンモデルのTEGチップ	宇佐見 雄, 加藤 真也, 榊 亜理沙, 高柳 拓生, 大隈 井輔, 田邊 魁晟, 森下 克幸, 齊藤 健	106
OS08202	ペアチップIC一体型4足MEMSマイクロロボットの歩行制御用パルス形ハードウェアニューラルネットワーク	早川 幹人, 加藤 凌, 金子 美泉, 齊藤 健, 内木場 文男	107
OS08202	電源搭載型6足MEMSマイクロロボットの歩行制御用パルス形ハードウェアニューラルネットワーク	早川 幹人, 加藤 凌, 金子 美泉, 齊藤 健, 内木場 文男	107
OS08211	静電容量式MEMS加速度センサに向けたスイッチトキャパシタ型CV変換回路	鈴木 崇仁, 小松 聡	108
OS08211	コンタクトイメージング用回路TEG	熊谷 勇喜, 今泉 文伸	109
OS08211	四足歩行ロボットに搭載するニューロ回路の実装用チップ	加藤 真也, 宇佐見 雄, 榊 亜理沙, 高柳 拓生, 大隈 井輔, 田邊 魁晟, 齊藤 健	109
OS08211	静電モータで駆動する6脚マイクロロボットの歩容を生成するニューラルネットワークのTEGチップ	高柳 拓生, 宇佐見 雄, 加藤 真也, 榊 亜理沙, 齊藤 健	109
OS08211	広い発火範囲をもつパルス形ハードウェアニューロンモデルの改良	宇佐見 雄, 加藤 真也, 榊 亜理沙, 高柳 拓生, 大隈 井輔, 田邊 魁晟, 森下 克幸, 齊藤 健	110
OS08211	マイクロロボット用の歩容変化が可能なハードウェアニューラルネットワーク	宇佐見 雄, 加藤 真也, 榊 亜理沙, 高柳 拓生, 大隈 井輔, 田邊 魁晟, 齊藤 健	110
OS08211	受容体モデルを用いた筋シナジーに基づくCPGモデルのTEGチップ	武田 健嗣, 加藤 凌, 早川 幹人, 石橋 元邦, 石濱 拓実, 栗飯原 萌, 金子 美泉, 内木場 文男	110
OS08211	人の歩行と走行切り替え制御に向けた筋シナジーに基づくCPGモデルのTEGチップの改良	武田 健嗣, 加藤 凌, 早川 幹人, 石橋 元邦, 石濱 拓実, 栗飯原 萌, 金子 美泉, 内木場 文男	111
RO18204	ポテンショスタットを用いた双方向電流検出可能生体センサおよび高速通信伝送に用いる電流ロジックモード(CML)回路	関根 かをり, 和井田 優太, 阿部 真也, 木下 功喜	114
RO18211	フォトセンサのTEG	越智 裕之	117
RO18211	弛張型発振回路の試作	原 航太, 小松 聡	117
RO18211	低RTSノイズ型磁気センサアレイの特性評価用TEG	木村 孝之	119
RO18211	電流制御発振器と周波数デジタル変換回路を用いたADCおよび弱反転領域動作のMOSFETを用いた低電圧カレントミラー 他	関根 かをり, 阿部 真也, 京嶋 拓人, 山本 遥哉, 安藤 夏輝	122
RO18212	フォトセンサのTEG	木村 知也, 越智 裕之	124
RO18212	IoTのためのアナログ回路TEG	升井 義博	125
RO18212	MOSFETリザーバ計算のためのばらつき評価回路	村田 寛也, 佐藤 高史	126
RO18212	電流ロジックモード(CML)回路を用いた遅延器および温度係数を増加したPTAT電圧発生回路	関根 かをり, 木下 功喜, 小林 寛	130
RO18212	PVTばらつきに耐性の高いトランスインピーダンス回路実証TEGチップ	土田 知史, 浅岡 知哉, 土谷 亮, 井上 敏之, 岸根 桂路	131
RO18213	オペアンプ試作	堀尾 喜彦, 石井 豪, 辻 孟	135
RO18213	電流制御発振器と周波数デジタル変換回路を用いたADCおよび温度係数を増加したPTAT電圧発生回路	関根 かをり, 阿部 真也, 安藤 夏輝, 小林 寛	137
RO18213	疑似伝送線路	榎田 洋太郎, 高野 恭弥, 川原 啓輔	137
RS65202	ガードゲート構造を利用した耐放射線フリップフロップ	古田 潤, 記伊 智也, 小林 和淑	139
RS65202	制御スイッチ付きキングオシレータを用いた経年劣化評価試作チップ	岸田 亮, 関根 慧, 須田 郁生, 小林 和淑	141
RS65211	高周波デバイスTEG	榎田 洋太郎, 高野 恭弥, 川原 啓輔	143
RS65211	動作速度の改善を目的とした耐放射線フリップフロップ	古田 潤, 記伊 智也, 小林 和淑	143

アナログ/デジタル信号処理プロセッサ

ラン名	タイトル	研究者	掲載頁
RO18213	アナログスパイクニューラルネットワーク回路および多数決回路	守谷 哲, 山本 英明, 佐藤 茂雄, 小野 哲史	133
RO18213	圧力センサ用アナログフロントエンドIC	吉河 武文, 島崎 凌, 高木 駿	134
RO18213	AIチップ設計フロー評価のためのMNIST手書き数字認識チップ	今井 雅	135
RO18213	ハードウェアトイと電源供給最小化セル評価用TEG	今井 雅	136
RO18213	各種要素回路の試作	和田 和千, 藤田 誉大, 中條 洋資, 石井 祐典, 福田 隆造	137

アナログ (PLL, A-D/DC-DCコンバータなど)

ラン名	タイトル	研究者	掲載頁
OS08202	スタンダードセルを用いたフルデジタルの逐次比較型ADC (SAR ADC)	福島 拓実, 小松 聡	105
RO18204	スタンダードセル設計手法を用いた逐次比較型ADCに用いるDAC回路の測定	平野 皓士, 小松 聡	112
RO18204	フルカスタム設計による遅延生成回路とフラッシュ型TDC	瀬端 康平, 小松 聡	112
RO18204	新方式の神経細胞モデルおよびギャップジャンクションモデルの実装	佐伯 勝敏, 佐々木 芳樹, 山口 拓人, 鈴木 克典	113
RO18204	CMOSイメージセンサ用読み出し回路チップ	大谷 愛, 大倉 俊介	114
RO18211	スタンダードセルを用いたフラッシュADCとサブレンジングADC	福島 拓実, 小松 聡	118
RO18211	熱電発電素子とバッテリーを備えたハイブリッドDC-DCコンバータと配線Cap test structure	丹沢 徹	119
RO18211	SAR-DSM型2ステップADCにおける残差ゲインエラーを低減するDEM	渡邊 嶺, 藤本 悠作, 水野 聡太, 小林 海太	121
RO18212	ニューロンCMOSインバータを用いたFGC付き4入力可変論理回路	福原 雅朗, 伊藤 祥磨, 西口 大嗣	124
RO18212	スタンダードセル設計手法を用いた逐次比較型ADC	平野 皓士, 小松 聡	125
RO18212	容量マルチプライヤ回路の作製および樹状突起モデルと細胞体モデルの作製	佐伯 勝敏, 佐々木 芳樹, 鈴木 克典, 近藤 宏樹, 菊池 優作, 竹前 諒也, 中村 圭吾, 野村 幸司	126
RO18212	熱電発電素子・バッテリーのハイブリッドDC-DCコンバータと配線Cap test structure #2	丹沢 徹	126
RO18212	音楽プレーヤー回路の作製と電源ノイズの影響	武久 遥香, 名倉 徹	127
RO18212	FSKを用いた無線電力・データ同時伝送システム制御回路	藤田 誉大, 和田 和千	127
RO18212	容量型TIAを用いた光プローブ電流センサ向けCMOSアナログフロントエンド回路の精度改善	Nguyen La Hong Phuc, 宮地 幸祐	132
RO18213	確率的Flash ADCを用いた11bitサブレンジングADC	坂口 平, 小松 聡	133
RO18213	2足歩行ロボット制御のためのSRAM構造を持つ長時定数回路	佐伯 勝敏, 佐々木 芳樹, 鈴木 克典	133
RO18213	耐放射線用PLL	吉河 武文, 旭 満里奈, 山下 達矢	134
RO18213	磁界共鳴方式無線電力伝送向けスイッチングドライバほか	武士 勇斗, 石橋 孝一郎, 範 公可	135
RO18213	集積素子を増やしたFSKを用いた無線電力・データ同時伝送システム制御回路	藤田 誉大, 中條 洋資, 和田 和千	136
RS65202	超低電圧エナジーハーベスティング電源回路 ver.1	北川 章夫	139
RS65202	超低電圧エナジーハーベスティング電源回路 ver.2	北川 章夫	139
RS65202	耐放射線用SAR-ADC	吉河 武文, 青木 友哉	140
RS65202	超低電圧エナジーハーベスティング電源回路 ver.3	北川 章夫	140
RS65202	耐放射線用SAR-ADC	吉河 武文, 青木 友哉	140
RS65211	DLLを用いた多相クロック生成回路	ニコデムス レディアン	142
RS65211	耐放射線用SAR-ADC	吉河 武文, 青木 友哉	142
RS65211	AD変換器	傘 昊	142
RS65211	TIQコンパレータベースのフラッシュ型A/Dコンバータほか	橋本 悠平, 範 公可, 石橋 孝一郎	143

イメージセンサ/スマートセンサ

ラン名	タイトル	研究者	掲載頁
RO18211	低電圧で動作するイメージセンサTEGほか	室原 脩人, 木村 知也, 堀越 俊行, 越智 裕之	117
RO18211	Ring amplifierを用いた列並列小面積パイプラインAD変換器を有するCMOSイメージセンサ	小嶋 隆, 甲田 紘己, 浜本 隆之	118
RO18211	800MHz動作を実現する差動シグナリング入出力回路と安定動作を資するバンドギャップ参照回路	大高 俊徳, 小嶋 隆, 浜本 隆之	118
RO18212	低電圧で動作するイメージセンサTEG	室原 脩人, 木村 知也, 越智 裕之	124

マイクロプロセッサ

ラン名	タイトル	研究者	掲載頁
OS08202	静電モータで駆動する6脚マイクロロボットの歩容を生成するニューラルネットワークのTEGチップ	高柳 拓生, 宇佐見 雄, 加藤 真也, 榊 亜理沙, 齊藤 健	106
RO18204	SERV_and_ChaChaほか	Duran Ckristian, 範 公可, 石橋 孝一郎	113
RO18204	TEEHW_Rocket64x2	Hoang Trong-Thuc, 範 公可, 石橋 孝一郎	114
RO18204	脳波取得フロントエンドの改良及び自立動作可能LSIチップのための各要素回路の改良	中野 誠彦, 小貫 怜央, 山村 健太, 三河 樹由, 吉田 祐威, 三浦 大毅, 八木 健太	115
RO18211	TEEHW_RocketBoom32	Hoang Trong-Thuc, 範 公可, 石橋 孝一郎	120
RO18211	TEEHW_RocketBoom64	Hoang Trong-Thuc, 範 公可, 石橋 孝一郎	121
RO18212	time domain adcほか	甘田 貴大, 範 公可, 石橋 孝一郎	128
RO18212	TEEHW_Rocket32_RDFS	Dao Ba-Anh, 範 公可, 石橋 孝一郎	128
RO18212	PVTばらつきに耐性の高いトランスインピーダンス回路実証TEGチップ	土田 知史, 浅岡 知哉, 土谷 亮, 井上 敏之, 岸根 桂路	131
RO18213	128ビットAES内SBoxの電力解析攻撃耐性検証用チップ	請園 智玲	134
RO18213	低消費エネルギープロセッサSoC	金本 俊幾	136

メモリ

ラン名	タイトル	研究者	掲載頁
RO18212	FICC (Fishbone-in-Cage Capacitor)を用いた不揮発SRAM, SCMの特性評価試作チップ	阿部 佑貴, 浦部 孝樹, 小林 和淑	132

通信 (RF回路, ATMなど)

ラン名	タイトル	研究者	掲載頁
RO18204	アナログマルチプレクサ, 単相差動変換器, 広帯域増幅器	榎田 洋太郎, 高野 恭弥, 川原 啓輔	115
RO18204	アナログマルチプレクサ, 単相差動変換器, 広帯域増幅器	榎田 洋太郎, 高野 恭弥, 川原 啓輔	116
RO18211	光通信用トランスインピーダンスアンプの試作	賀 正陽, 木村 俊二	121
RO18211	単相差動変換器, 高周波デバイスTEG, 狭帯域増幅器	榎田 洋太郎, 高野 恭弥, 川原 啓輔	122
RO18212	D級電力増幅器コア回路	榎田 洋太郎, 高野 恭弥, 佐藤 龍太	130
RO18213	光受信用アナログフロントエンド回路TEG7	加藤 篤史, 山田 拓磨, 加藤 篤史, 山田 拓磨	138

アナデジ混載

ラン名	タイトル	研究者	掲載頁
RO18212	Tracking ADC, スキュー調整回路, チョッパアンプ, NIRS測定回路	佐々木 昌浩, 福岡 慶祐, 今田 資啓, 横山 桃子, 高崎 航汰	125

その他

ラン名	タイトル	研究者	掲載頁
RO18204	LRPUF	宇佐美 公良	115

B.3 各チップの詳細

令和2年度第2回オンセミコンダクター—三洋 CMOS 0.8 μ m 試作

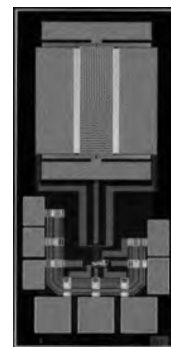
静電容量式CMOS-MEMS加速度センサとCV変換回路

東京電機大学大学院工学研究科電気電子工学専攻 清水 優作

東京電機大学工学部電子システム工学科 小松 聡

概要：MEMSとは、半導体微細加工技術を応用して製造するデバイスである。MEMS加速度センサは、自動車やスマートフォンなど様々な製品に採用されている。また、これらの製品の小型化に伴いコスト削減や小型化が要求されている。そこで、MEMSセンサと読み出し回路のワンチップ化を目的とし、CMOSプロセスを用いた静電容量式のMEMS加速度センサと読み出し回路を設計した。読み出し回路にはスイッチトキャパシタ型のCV変換回路を採用した。試作したチップは武田クリーンルームで加工を行い、加速度センサの製作を行う。加速度センサとして機能させるためにシリコン層のエッチングを行い、浮遊構造を形成する。その後、ワイヤボンディングを行い、特性評価を行う。MEMSセンサと読み出し回路のワンチップ化の評価を行う。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 HSPICE(RF), トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mmx5.0mmチップ チップ種別：MEMS



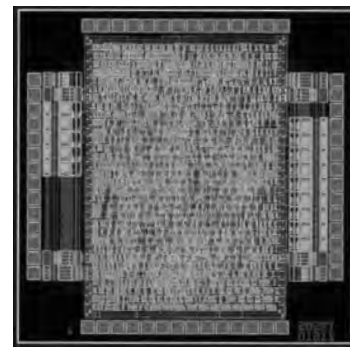
スタンダードセルを用いたフルデジタルの逐次比較型ADC (SAR ADC)

東京電機大学大学院工学研究科電子システム工学専攻 福島 拓実

東京電機大学工学部電子システム工学科 小松 聡

概要：スタンダードセルを用いたフルデジタルの逐次比較型ADC (SAR ADC) のチップ試作を行った。このSARADC回路はRail-to-Railの範囲で動作するスタンダードセル設計によるデジタルハイブリッドコンパレータ、SARロジック、トライステートバッファから構成されるDACから構成されている。ハイブリッドコンパレータは動作範囲の異なる2種類のコンパレータを用いて同時に比較動作を行うことにより広い入力電圧範囲を得ている。トライステートバッファから構成されるDACはMOSFETがオン状態になるときに存在している微小な抵抗成分であるオン抵抗を利用している。複数個のトライステートバッファにはVSSまたはVDDが接続されており、nMOS,pMOSのみが動作するように固定される。これより、VSSからVDDまでの範囲をオン抵抗で分圧することにより中間的なアナログ電圧を生成することができる。トライステートバッファを用いて、それぞれ駆動するMOSFETをエンコードで選び、調節することで出力電圧を変化させる。しかし、この動作では常に電流が流れるため消費電力が大きくなるという欠点が存在する。試作チップ測定により、提案回路が複数プロセスにおいて部分的にADC回路として動作可能であることを確認した。

設計期間：0.5人月以上、1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10,000~100,000 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

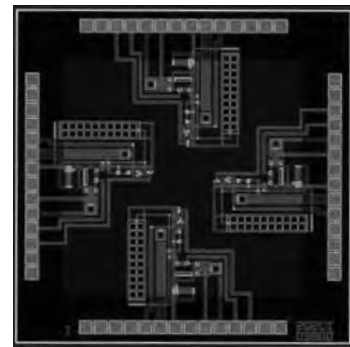


四足歩行ロボットに搭載するニューロ回路の改良チップ

日本大学理工学部 加藤 真也, 宇佐見 雄, 榊 亜理沙, 高柳 拓生, 齊藤 健

概要：本試作チップでは、歩容を能動的に生成する四足歩行ロボットに搭載するニューロ回路の改良および回路定数の変更をおこなった。昨年度に作製したOS0819_2_O9802の出力測定の結果、各回路から出力されるパルス周期が v_w によって変更可能であることを確認した。しかし、チップ内に存在する同一の4つの回路がそれぞれ異なった出力特性を持っていたために安定した出力特性を得ることができなかった。この問題について我々は、抑制性シナプスモデルのMOSFETが閾値電圧以下の範囲で動作していることが原因であると考えた。したがって本試作チップでは、抑制性シナプスモデルの回路定数を変更し閾値電圧以降で回路が動作するように再設計し、上記の問題改善を試みた。本試作チップの出力測定の結果、4つの回路が同様の変化特性を示し、安定した出力特性を得ることに成功した。

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

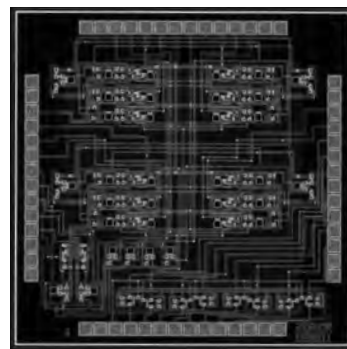


マイクロロボットの駆動波形を生成する ニューラルネットワークのTEGチップ

日本大学理工学部 宇佐見 雄, 榊 亜理沙, 加藤 真也, 高柳 拓生, 齊藤 健

概要：本試作チップでは、マイクロロボットのアクチュエータである静電モータの駆動波形及びマイクロロボットの駆動波形を生成するハードウェアニューラルネットワークを設計した。マイクロロボットの駆動波形は1秒周期で逆位相同期発振をおこなう。また、静電モータの駆動波形は50-100Hzの逆位相同期した2相方形波である。マイクロロボットの駆動波形に合わせて静電モータの駆動波形を出力することで、マイクロロボットの歩行パターンに合わせて静電モータを駆動する。さらに、簡易的なオペアンプを導入することで出力の増幅を可能とした。本ネットワークは自励振動細胞体モデル、他励振動細胞体モデル、興奮性シナプスモデル、抑制性シナプスモデルで構成した。測定の結果、マイクロロボットの歩行パターンに合わせて静電モータの駆動波形である50-100Hzの逆位相同期方形の出力に成功した。今後は回路定数の調整および、実装用チップの作製をおこなう予定である。

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10~100
試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

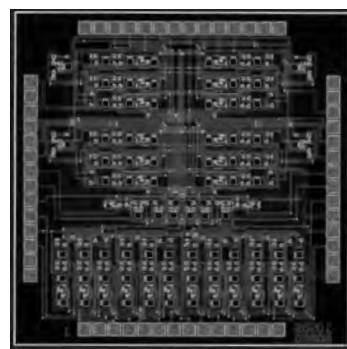


静電モータで駆動する6脚マイクロロボットの 歩容を生成するニューラルネットワークのTEGチップ

日本大学理工学部 高柳 拓生, 宇佐見 雄, 加藤 真也, 榊 亜理沙, 齊藤 健

概要：本試作チップでは、静電モータの駆動波形を出力するハードウェアニューラルネットワークを設計した。静電モータの駆動には50~100Hzの逆位相同期した2相方形波が必要である。本ネットワークは自励振動・他励振動細胞体モデル、興奮性シナプスモデル、抑制性シナプスモデルで構成した。本試作チップでは、昨年度に作製した「マイクロロボット用静電モータの駆動波形を生成するニューラルネットワークのTEGチップ」の一部を引継いだチップである。測定の結果、逆位相同期した2相の50~100Hzの方形波の出力に成功した。以上の回路におけるコンデンサ容量を外図で変更することが可能な回路を作製し、コンデンサ容量を変更した場合の出力の周波数特性を得ることができた。このハードウェアニューラルネットワークによって静電モータで駆動する6脚マイクロロボットの歩容を生成することを明らかにした。

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10~100
試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：マイクロプロセッサ

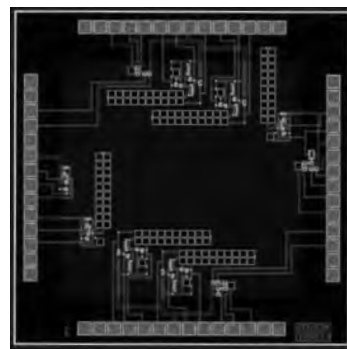


広い発火範囲をもつ パルス形ハードウェアニューロンモデルのTEGチップ

日本大学理工学部 宇佐見 雄, 加藤 真也, 榊 亜理沙, 高柳 拓生, 大隈 井輔, 田邊 魁晟,
森下 克幸, 齊藤 健

概要：本試作チップは、OS0820_1_O9802「階層型のパルス形ハードウェアニューラルネットワークの改良」で問題となった、パルス形ハードウェアニューロンモデルの周波数変動範囲が狭い問題を解決するため、新たに広い発火範囲をもつパルス形ハードウェアニューロンモデルを設計した。従来モデルとの違いは、pチャンネルMOSFETをnチャンネルMOSFETに変更した点である。これによりnチャンネルMOSFETを流れる電流は非線形に変化する。従来モデルに存在しない非線形項が微分方程式に追加されることにより、従来モデルに比べ広い発火範囲を持つと考えられる。測定の結果、シミュレーションと同様の波形は確認できなかった。原因として、放電経路が確保できていないためだと考えられる。今後は放電経路を確保したモデルを設計し、再設計をおこなう予定である。

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10~100
試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

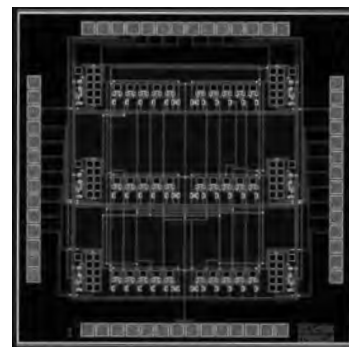


ベアチップIC一体型4足MEMSマイクロロボットの 歩行制御用パルス形ハードウェアニューラルネットワーク

日本大学理工学部 早川 幹人, 加藤 凌, 金子 美泉, 齊藤 健, 内木場 文男

概要：本試作チップは、ベアチップを4足歩行型マイクロロボットと一体化させることを目的に設計した、パルス形ハードウェアニューラルネットワークの実装用チップである。先に我々は、日本大学の佐伯らによって開発された、間質細胞体モデルを用いた低容量型CPGモデルを構築した。低容量型CPGモデルは細胞体モデルを構成するコンデンサ容量が削減されたことで、IC外部に接続するコンデンサを不要としたものである。本試作では、先に試作した回路構成と同じ低容量型CPGモデルを、2.5mm四方のベアチップにて設計することで、マイクロロボット天板パーツに直接搭載することが可能となった。今後は脚を駆動するためアクチュエータやマイクロロボット本体の構成要素再検討を行い、本試作チップによるベアチップIC一体型4足MEMSマイクロロボットの歩行動作実現を目指していく。

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10~100
試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

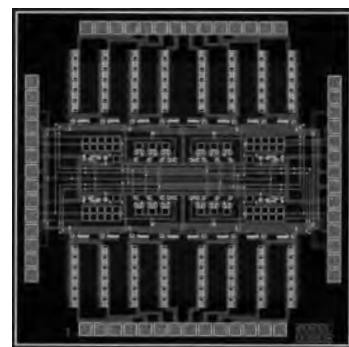


電源搭載型6足MEMSマイクロロボットの 歩行制御用パルス形ハードウェアニューラルネットワーク

日本大学理工学部 早川 幹人, 加藤 凌, 金子 美泉, 齊藤 健, 内木場 文男

概要：本試作チップでは、電源搭載型6足MEMSマイクロロボットの歩行制御を目的とするパルス形ハードウェアニューラルネットワークを設計した。本ネットワークは自励振動細胞体モデル、抑制性シナプスモデルで構成し、IC内に集積化できないコンデンサは外部に搭載した。定電圧源を用いた測定の結果、MEMSマイクロロボットの脚部の駆動源である形状記憶合金アクチュエータを十分に駆動させることが可能な、位相のずれた4相のパルス波形の生成を確認した。本試作チップはマイクロロボットに搭載したコイン型リチウムイオン電池および酸化銀電池からの電圧印加による駆動を想定しているため、実際にベアチップを歩行制御用回路基板に実装し、電池を用いて測定を行った。その結果、4相の位相のずれたパルス波形は確認できたが、形状記憶合金アクチュエータを駆動させるだけの出力は得られなかった。今後は電池の種類や個数について再度検討を行い、実際にベアチップを歩行制御用回路基板に実装し、6足MEMSマイクロロボットに搭載させることで歩行動作の実現を目指していく。今回は新規のマイクロロボット作製のため、以前と同一のチップの発注を行った。

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF) トランジスタ数：10~100
試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)



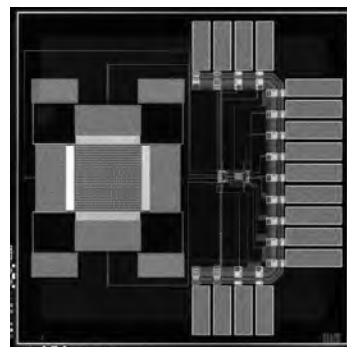
2軸向け静電容量式CMOS-MEMS加速度センサとCV変換回路

東京電機大学大学院工学研究科電気電子工学専攻 清水 優作

東京電機大学工学部電子システム工学科 小松 聡

概要：MEMSとは、半導体微細加工技術を応用して製造するデバイスである。MEMS加速度センサは、自動車やスマートフォンなど様々な製品に採用されている。また、これらの製品の小型化に伴いコスト削減や小型化が要求されている。そこで、MEMSセンサと読み出し回路のワンチップ化を目的とし、CMOSプロセスを用いた静電容量式のMEMS加速度センサと読み出し回路を設計した。設計したCMOS-MEMS加速度センサは、2軸方向を検出する構造となっている。読み出し回路にはスイッチトキャパシタ型のCV変換回路を採用した。試作したチップは武田クリーンルームで加工を行い、加速度センサの製作を行う。加速度センサとして機能させるためにシリコン層のエッチングを行い、浮遊構造を形成する。その後、ワイヤボンディングを行い、特性評価を行う。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Synopsys社 HSPICE(RF), トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 5.0mm角チップ チップ種別：MEMS



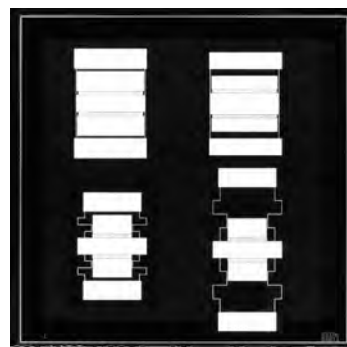
静電容量式CMOS-MEMS加速度センサ

東京電機大学工学研究科電子システム工学専攻 佐藤 優大

東京電機大学工学部電子システム工学科 小松 聡

概要：MEMSとは、半導体微細加工プロセスを応用して製造するデバイスである。MEMS加速度センサは、小型化、低コスト、低消費電力化により、デバイスの小型化が進んでいく中で需要が高まっている。ここ数十年の間にMEMSの技術は小型化された機械構造と電子部品との統合を実現するために急速に開発が進められている。今回の試作ではCMOSプロセスを用いた静電容量式のMEMS加速度センサを設計した。今後、試作したチップを武田クリーンルームにて加工を行い、加速度センサを製作する。金属間絶縁膜とシリコン層のエッチングを行い、加速度センサとして動作するように製作を行う。加速度センサとしての動作が確認できたら、センサの感度を測定し、計算から見積もった感度とシミュレーションから見積もった感度とをそれぞれ比較する。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula, トランジスタ数：~10 試作ラン：オンセミー三洋 CMOS 0.8 μ m 5.0mm角チップ チップ種別：MEMS



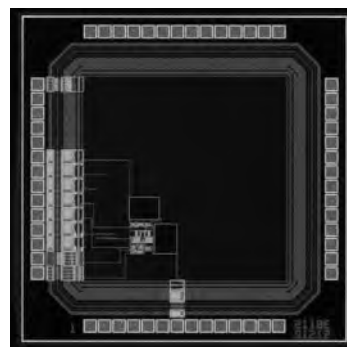
静電容量式MEMS加速度センサに向けた スイッチトキャパシタ型CV変換回路

東京電機大学工学研究科電子システム工学専攻 鈴木 崇仁

東京電機大学工学部電子システム工学科 小松 聡

概要：近年のIoT技術の発展により製品の小型化が進んでいる。MEMS(Micro Electro Mechanical Systems)加速度センサは情報通信機器や自動車分野、医療分野等の幅広い分野で用いられており、小型化や高感度化が求められている。MEMSは立体的な構造を作ることができる微細加工技術によって作られており、シリコンのチップ上に回路やセンサ、アクチュエータを一体化・集積化した高性能なデバイスである。センサには出力を処理できるようにするための読み出し回路が必要となる。そこで静電容量式MEMS加速度センサに向けたCV変換回路の設計を行った。そして、今回の試作では静電容量式MEMS加速度センサに向けたスイッチトキャパシタ型CV変換回路の製作を行った。スイッチトキャパシタ型CV変換回路は帰還抵抗を必要としないことから省面積化が可能で、寄生容量の影響を無視できることから採用した。今後はMEMS加速度センサ側の試作をし、今回設計した回路とワイヤボンディングにて集積化することで回路の測定・評価を行っていく。またCMOSプロセスを用いセンサと回路を同一チップ上に実装し、測定・評価を行っていく予定である。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG(特性評価回路など)



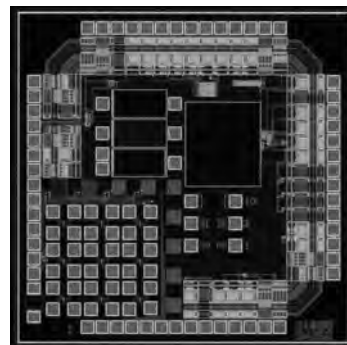
コンタクトイメージング用回路TEG

豊田工業高等専門学校電気・電子システム工学科 熊谷 勇喜

小山工業高等専門学校機械工学科 今泉 文伸

概要：本試作では2次元コンタクトイメージングセンサを実現するための要素回路を設計し搭載した。吸光分析および微小不純物検出へ応用する専用チップを開発するため基礎特性を研究している。nMOSFET, pMOSFETともにゲート長依存性測定TEG, MOSキャパシタ, PIPキャパシタTEG, 各種ダイオード, IOバッファの有無による信号伝播遅延測定TEG, インバーター, D-flipflop, シフトレジスタ等の基本的なロジック回路の動作検証用TEG, クロックパルス速度検証用リングオシレータ, イメージセンサ画素TEGを設計し搭載した。また前回の試作では電源からのリーク電流が大きかったため, 問題切り分けのためIOバッファを変更したTEGを搭載した。また前回, 出力IOバッファが無く周波数1MHzのクロック波形を取り出すことができない不具合がありその改良をおこなった。微小不純物検出回路では, PADの金属電極を用いてPAD間に付着する不純物の容量が検出できるようにした。不純物の容量から有機・無機の判別を行うことができ, また不純物の形状変化を観測することができる回路とした。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

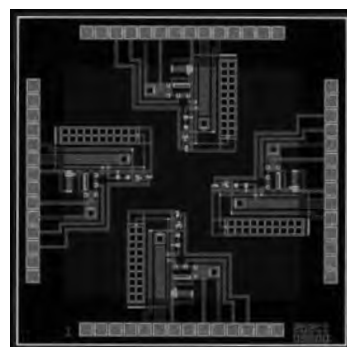


四足歩行ロボットに搭載するニューロ回路の実装用チップ

日本大学理工学部 加藤 真也, 宇佐見 雄, 榊 亜理沙, 高柳 拓生, 大隈 井輔, 田邊 魁晟, 齊藤 健

概要：本試作チップでは, 前回作製したOS0820_2_O9800「四足歩行ロボットに搭載するニューロ回路の改良チップ」の四足歩行ロボット実装に向けレイアウトの変更をおこなった。本モデルは細胞体モデルと抑制性シナプスモデルで構成されている。前回の試作チップにて安定した出力を得ることに成功したが, 更なる安定性の向上とユーザーの使用しやすさ向上を目的にレイアウトの変更をおこなった。主な変更内容として電流の流れる向きを調節するためにMOSFETのドレイン・ソースの方向の統一および外部回路へ配線がしやすいように出力パッドの位置の変更などをおこなった。本試作チップの出力測定の結果, 4つの回路が同様の变化特性を示し, 安定した出力特性を得ることに成功した。

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

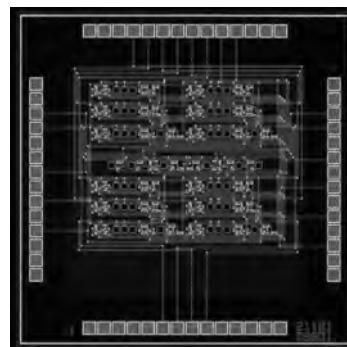


静電モータで駆動する6脚マイクロロボットの歩容を生成するニューラルネットワークのTEGチップ

日本大学理工学部 高柳 拓生, 宇佐見 雄, 加藤 真也, 榊 亜理沙, 齊藤 健

概要：本試作チップでは, 静電モータの駆動波形を出力するハードウェアニューラルネットワークを設計した。静電モータの駆動には50-100Hzの逆位相同期した2相方形波が必要である。本ネットワークは自励振動・他励振動細胞体モデル, 興奮性シナプスモデル, 抑制性シナプスモデルで構成した。本試作チップでは, 昨年度に作製した「マイクロロボット用静電モータの駆動波形を生成するニューラルネットワークのTEGチップ」の一部を引継いだチップである。自励振細胞体モデルの回路定数を変更し, 特性を変更した。測定の結果, 逆位相同期した2相の50-100Hzの方形波の出力に成功した。このハードウェアニューラルネットワークによって静電モータで駆動する6脚マイクロロボットの歩容を生成することを明らかにした。

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：~10 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

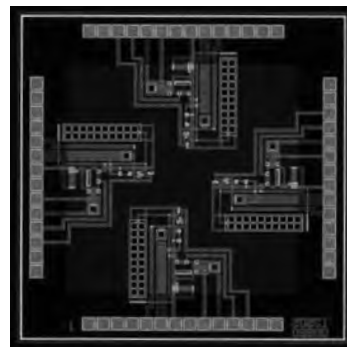


広い発火範囲をもつパルス形ハードウェアニューロンモデルの改良

日本大学理工学部 宇佐見 雄, 加藤 真也, 榊 亜理沙, 高柳 拓生, 大隈 井輔, 田邊 魁晟,
森下 克幸, 齊藤 健

概要：本試作チップは、OS0820_2_O9803「広い発火範囲をもつパルス形ハードウェアニューロンモデルのTEGチップ」の改良チップである。先のチップの問題点であった放電経路の確保をおこなった。以前追加したnチャンネルMOSFETと平行にpチャンネルMOSFETを追加した。測定の結果、シミュレーションと同様の波形は確認できなかった。原因として、放電経路が確保できていないためだと考えられる。今後は放電経路を確保したモデルを設計し、再設計をおこなう予定である。

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG（特性評価回路など）

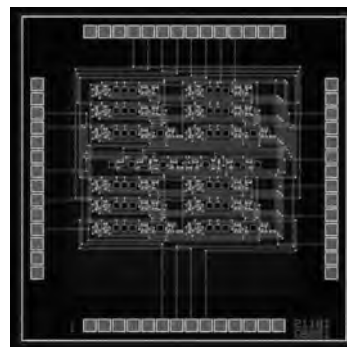


マイクロロボット用の歩容変化が可能なハードウェアニューラルネットワーク

日本大学理工学部 宇佐見 雄, 加藤 真也, 榊 亜理沙, 高柳 拓生, 大隈 井輔, 田邊 魁晟,
齊藤 健

概要：我々は昆虫サイズのマイクロロボットの制御方法として、生物の脳が出力するパルス波形を模倣した、パルス形ハードウェアニューロンモデルを用いて研究を行っている。本試作チップは細胞体モデル、興奮性シナプスモデル、抑制性シナプスモデル、興奮抑制シナプスモデルの基本特性を測定することを目的として設計した。測定の結果、細胞体モデル、興奮性シナプスモデル、抑制性シナプスモデル、興奮抑制シナプスモデルはシミュレーション結果と同様の出力を得た。また、細胞体モデルはマイクロロボットの駆動に必要な1.0sの周期で発振可能であることを確認した。今後はこれらのモデルを組み合わせてマイクロロボットの駆動するハードウェアニューラルネットワークを作製する予定である。

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG（特性評価回路など）

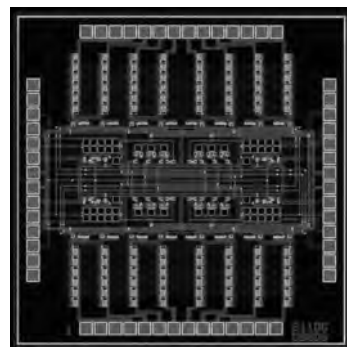


受容体モデルを用いた筋シナジーに基づくCPGモデルのTEGチップ

日本大学理工学部 武田 健嗣, 加藤 凌, 早川 幹人, 石橋 元邦, 石濱 拓実, 粟飯原 萌,
金子 美泉, 内木場 文男

概要：本試作チップはO9806「人の歩行と走行切り替え制御に向けた筋シナジーに基づくCPGモデルのTEGチップの改良」にて問題となった配線の接続を変更したものである。以前の試作チップでは、細胞体モデルと抑制性シナプスモデルを用いて、6つの連続した時空間パターンの生成が可能なICチップを作製し、歩行と走行パターンを出力する上で基本となる、6つのパルスの生成を試みた。6つの細胞体モデルを抑制性シナプスモデルで全て相互抑制接続し、連続した時空間パターンの生成を行う。6つの時空間パターンの内、2つめと3つめの細胞体モデルの出力を切り替えることで、歩行パターンと走行パターンの切り替えを行う。本試作チップでは、細胞体モデルを受容細胞体モデルへと変更した。受容細胞体モデルとは、入力に対し発振するパルスを変化させるアナログ回路である。これにより、外部電源による電圧変化によってパルス幅の変更を可能にした。また、コンデンサを外付けに変更することにより、以前のチップより導線部分の距離を短くし、導線抵抗を低くすることで回路全体の安定性の向上を図った。

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG（特性評価回路など）



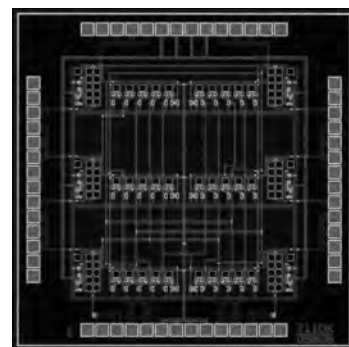
人の歩行と走行切り替え制御に向けた筋シナジーに基づくCPGモデルのTEGチップの改良

日本大学理工学部 武田 健嗣, 加藤 凌, 早川 幹人, 石橋 元邦, 石濱 拓実, 粟飯原 萌,
金子 美泉, 内木場 文男

概要: 本試作チップは「人の歩行と走行切り替え制御に向けた筋シナジーに基づくCPGモデルのTEGチップ」の改良チップである。本試作チップでは、人の歩行と走行の切り替えを可能とする筋シナジーに基づいたCPGモデルを作製した。本チップは、歩行と走行パターンを出力する上で基本となる、6つのパルスを生成する。6つの細胞体モデルを抑制性シナプスモデルで全て相互抑制接続し、連続した時空間パターンの生成を行う。6つの時空間パターンの内、2つめと3つめの細胞体モデルの出力を切り替えることで、歩行パターンと走行パターンの切り替えを行う。また、本試作チップは以前のチップより導線部分の幅を広げることで導線抵抗を低くした。測定結果は6つのパルスが出力されなかった。原因は一部の回路の配線を誤っており、C_GとC_Mを直列に接続していた。また、発振していた部分も測定を繰り返していくと、発振を起さなくなってしまう。今後は複数人での最終チェックを行い、回路の安定性を高めるため再設計を行う予定である。

設計期間: 0.1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), **トランジスタ数:** 10~100

試作ラン: オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



高効率 FIR デジタルフィルタ回路の試作

早稲田大学理工学術院 葉 静浩, 史 又華

概要: 畳み込み演算を含むシステムが、画像処理、音声処理、映像処理、生体電気信号処理、人工知能、通信など多くの分野で広く利用されている。この役割を担う回路の例として、有限インパルス応答 (FIR: Finite Impulse Response) デジタルフィルタや畳み込みニューラルネットワーク (CNN: Convolutional Neural Network) などがあげられる。しかし、高精度なアプリケーションでは、畳み込みシステムの積和演算 (MAC: Multiply Accumulation) の量は非常に大きくなるため、演算時間が長く、消費電力が高く、そして回路面積も大きくなってしまふ。これらの問題を解決するために、1次元/2次元の畳み込み演算を行う有限インパルス応答 (FIR: Finite Impulse Response) デジタルフィルタ回路に注目し、高効率な畳み込み演算回路の設計・試作を行った。試作した回路は、線形 FIR フィルタのインパルス応答の対称性を利用し、乗算器の数を半分に削減することによって、高い面積効率のハードウェア設計を示している。面積・遅延・消費電力などが評価され、既存の FIR 設計技術と比較し、面積効率と電力効率の指標である面積遅延積と電力遅延積の改善を示している。

参考文献: J. Ye, M. Yanagisawa and Y. Shi, "A high-performance symmetric hybrid form design for high-order FIR filters," in Proc. IEEE Asia Pacific Conference on Circuits and Systems, Dec. 2020, pp. 121 - 124. **設計期間:** 3人月以上, 4人月未満 **設計ツール:** Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 PowerCompiler, Synopsys社 ICCompiler II, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 PrimeTime, **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)



スタンダードセル設計手法を用いた 逐次比較型ADCに用いるDAC回路の測定

東京電機大学大学院工学研究科電気電子工学専攻 平野 皓士

東京電機大学工学部電子システム工学科 小松 聡

概要: 様々な製品に半導体が組み込まれ、それらを制御するために、A/D変換器を用いている。しかし、各製品に必要な精度やビット数が異なるため、アナログ半導体設計者は各製品に必要なA/D変換器を設計する必要がある。そこで、本研究ではA/D変換器としてよく用いられる逐次比較型ADCを完全自動設計する手法を提案した。本研究では逐次比較型ADCに必要なアナログ回路、キャパシタを予め、ライブラリ化し、Synopsys社のIC Compilerを用いて自動配置配線することで、逐次比較型ADCの完全自動設計を行った。逐次比較型ADCに用いられる容量型DAC回路の特性を測定するために、今回の試作を行った。また、容量型DAC回路内部の各キャパシタに接続されているアナログスイッチの個数を変化させることによって、DAC回路のキャリブレーションを行い、補正することが出来るかの検証を行った。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



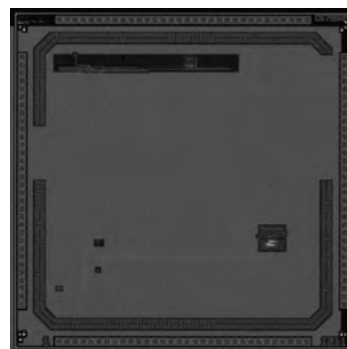
フルカスタム設計による遅延生成回路とフラッシュ型TDC

東京電機大学大学院工学研究科電気電子工学専攻 瀬端 康平

東京電機大学工学部電子システム工学科 小松 聡

概要: 半導体製造技術が向上し、集積回路の微細化によって大規模化・高集積化が進んでいる。それに伴って、集積回路が高速動作することでタイミングエラーやジッタの影響が大きくなっている。そのため、オンチップ上で時間領域での測定をより高精度に行う必要がある。その回路として時間差をデジタル値に変換するTDC (時間デジタル変換器) というものが用いられる。今回の設計ではデジタル値によってTDCに入力する遅延時間差を制御する遅延生成回路と単純なフラッシュ型TDCを設計した。配線容量、配線抵抗などによる配線遅延の影響を考慮するために、レイアウト設計はフルカスタム手法でTDC及び遅延生成回路の設計を行った。遅延生成回路から出力された遅延時間を正しくTDCが測定できるかを今後検証していく。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



新方式の神経細胞モデルおよび ギャップジャンクションモデルの実装

日本大学理工学部 佐伯 勝敏, 佐々木 芳樹, 山口 拓人, 鈴木 克典

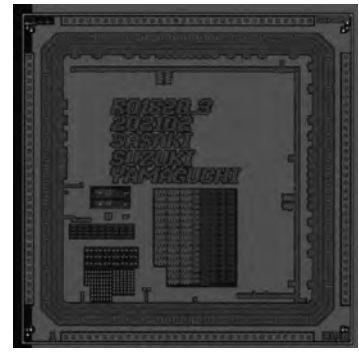
概要: "本試作チップでは、

①前回作成した新規構造を持つ Λ 形負性抵抗素子を用いたパルス形カオスニューロンモデルについて、短チャネル効果の影響や寄生素子、その他パラメータの影響を確かめるためパラメータのバリエーションを増やすとともに、ニューロンモデルの発火特性をそのまま流用した、時間遅延生成用の軸索モデルについて作製した。

②2足ロボットの歩行リズムを自動静的に生成するためのセンサフィードバック用回路を以前制作しているが、ノイズ等に対する耐性が少なく動作が不安定であったため、一部のアルゴリズムに変更を加え再作製した。

③生体が持つ細胞体同士を信号的に結合する方式として最も有名なものはシナプス結合であるが、それ以外の方式として信号の変換を要さない直接的な結合方式であるギャップ結合が存在する。今回、最も基本的な特性を取得するため、1つのギャップ結合で接続された2つの細胞体モデルを作製した。"

設計期間: 4人月以上, 5人月未満 設計ツール: Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数: 100~1,000 試作ラン: ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別: アナログ (PLL, A-D/DC-DCコンバータなど)



SERV_and_ChaChaほか

電気通信大学情報理工学専攻情報ネットワーク工学専攻 Duran Ckristian, 範 公可,
石橋 孝一郎

概要: Circuit with a RISC-V-based microcontroller, 4KB of RAM, and one security peripheral for communication purposes. The microcontroller contains a RISC-V processor named SERV, which executes the instructions in a serial configuration, saving more resources like area and power. Interconnection buses use a barebones version of the Wishbone protocol for saving power. Peripherals include SPI Flash, UART, SRAM controller, and the ChaCha20 cryptographic peripheral. The SPI flash is capable of offering the processor instructions directly without previous pre-loading or bootloaders. The ChaCha20 peripheral implements a cryptographic algorithm which can be used in part of the TLS protocol. The ChaCha20 algorithm is based in Salsa20. Initially, the algorithm generates an Initial Matrix I_M using a 256-bit key, a 32-bit initial counter, a 96-bit nonce, and four constants defined in the documentation. The states of the I_M are organized in little-endian form. All matrices have 16 states, and each state is a 32-bit register. A Finite State Machine (FSM) runs the 20 rounds using the QR modules. The ChaCha20 primitive can have 1, 2, and 4 Quarter Round operations to paralleling the round. However, the ChaCha20 algorithm presents the impossibility of paralleling between column and diagonal rounds. In this way, the maximum number of Quarter Round operations is four. The FSM controls the input of the Quarter Round operators in each column and diagonal round, respectively. Each round depends only on the result of the previous rounds. The VLSI integration was done using digital-on-top techniques rather than analog-on-top. The sea-of-fates directly connects to the PADs without manual intervention.

設計期間: 1人月以上, 2人月未満 設計ツール: Cadence社 GENUS, Cadence社 Innovus, Cadence社 Virtuoso, Mentor社 Calibre, Xilinx社 Vivado, トランジスタ数: 100,000~1,000,000 試作ラン: ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別: マイクロプロセッサ

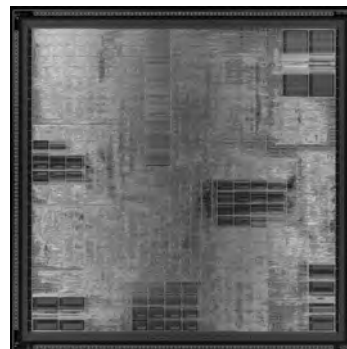


TEEHW_Rocket64x2

電気通信大学情報理工学研究科情報ネットワーク工学専攻 Hoang Trong-Thuc,
範 公可, 石橋 孝一郎

概要: This chip is a 5×5-mm² chip packaged with the QFP208 socket. There is only one circuit in this chip, and it is a Trusted Execution Environment (TEE) System-on-Chip (SoC) implementation with a dual-core Rocket. The Instruction Set Architecture (ISA) configuration is RV64GC. Each processor has 2-KB of instruction cache and 2-KB of data cache. There is no L2 cache. The embedded hardware cryptographic accelerators are SHA3 (512bit), AES (128bit or 256bit, and can be changed on the fly), Ed25519 (with base-point multiplier and sign function), and True Random Number Generator (TRNG). The peripherals are General-Purpose In-Out (GPIO), boot Read-Only Memory (ROM), UART, Serial Peripheral Interface (SPI) for using SD-card, and Queued SPI (QSPI) for using flash memory. Furthermore, a hidden Micro-Controller Unit (MCU) is also included. This hidden MCU is the first step in doing the secure boot process for the TEE system. The whole circuit was spanned on 4,620×4621.68- μm^2 (1,499,863-NAND2 gate-count) with 408,187 cells and 7,462,616 MOSFETs. The simulation results gave the maximum operating frequency at about 50-MHz with 2,113-mW power consumption at the 1.8-V power supply. For the chip measurement results, at the 1.8-V power supply, the sleep power (the circuit is not running) was about 1.5-mW, and the active power (the circuit is running continuously) was about 200-mW at the maximum operating frequency of about 30-MHz.

設計期間: 1人月以上, 2人月未満 設計ツール: Cadence社 Xcelium, Cadence社 GENUS, Cadence社 Innovus, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社: Conformal, Cadence社: Tempus, Synopsys社: Finesim, トランジスタ数: 1,000,000~10,000,000 試作ラン: ローム CMOS 0.18 μm 5.0mm角チップ チップ種別: マイクロプロセッサ

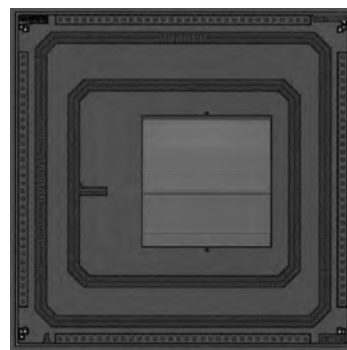


CMOSイメージセンサ用読み出し回路チップ

立命館大学理工学研究科 大谷 愛
立命館大学理工学部 大倉 俊介

概要: 高ダイナミックレンジを実現するLOFIC型イメージセンサは低変換利得(LCG)と高変換利得(HCG)における信号をそれぞれ高い飽和信号と低い読み出しノイズのために用いるが、LCGとHCGの信号極性が逆であるため、読み出し回路が2チャンネル必要になる。そこで、LCG信号とHCG信号に対して、それぞれ非反転減衰および反転増幅で読み出し可能な回路を検討した。1チャンネル読出しにより小面積化が可能となり、また、LCG信号はアンプを用いない減衰回路読出しのため、消費電力を減らすことも可能となる。イメージセンサの列並列読出し回路として用いるため、MIM容量の最小ピッチである6.02 μm 幅でレイアウトし、160列回路を並列配置した。試作チップは、機能検証を完了し、特性評価を実施している。

参考文献: [1] 大谷, 他, "LOFIC型CMOSイメージセンサに用いる小面積読み出し回路", 映像学技報, vol. 45, no. 21, IST2021-46, pp. 103-107, 2021年8月. 設計期間: 5人月以上, 6人月未満 設計ツール: Synopsys社 DesignCompiler, Synopsys社 IComp, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), Synopsys社 Formality, トランジスタ数: 1,000~10,000 試作ラン: ローム CMOS 0.18 μm 5.0mm角チップ チップ種別: アナログ(PLL, A-D/DC-DCコンバータなど)

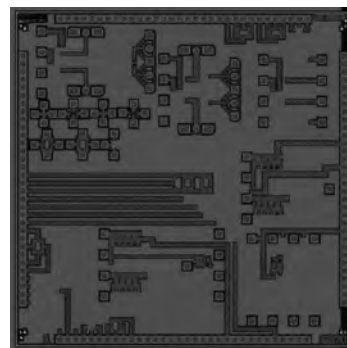


ポテンショスタットを用いた双方向電流検出可能生体センサおよび高速通信伝送に用いる電流ロジックモード(CML)回路

明治大学理工学研究科 関根 かをり, 和井田 優太, 阿部 真也, 木下 功喜

概要: 低電圧・小面積CMOSアナログ回路を設計することを根底に置き、評価に必要な回路の設計を行った。ポテンショスタットを使用した微弱な生体信号を扱う低消費電力動作・小面積化が電流制御発振器(CCO)と周波数デジタル変換回路(FDC)を接続したADCを試作した。CCOとFDCをそれぞれ単体で評価するレイアウトと、CCOとFDCを接続したレイアウトを作成した。また、高速通信伝送の波形の歪みを補償することを目的としたアナログFIRフィルタの要素回路であるギルバートセルと電流ロジックモード(CML)回路を用いた遅延器を試作した。これらの回路は測定器による動作確認を通して妥当性の評価を行っている。

設計期間: 2人月以上, 3人月未満 設計ツール: Cadence社 Virtuoso, Cadence社 Spectre, トランジスタ数: 100~1,000 試作ラン: ローム CMOS 0.18 μm 2.5mm角チップ チップ種別: TEG (特性評価回路など)

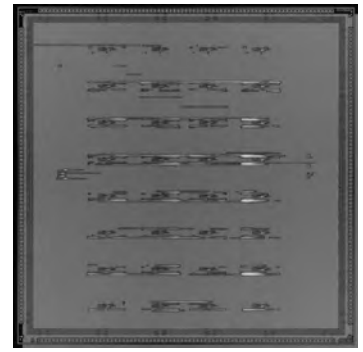


LRPUF

芝浦工業大学工学部 宇佐美 公良

概要：リーク電流の製造ばらつきを用いた新しいPUF回路 (Leak-Racing PUF, LRPUF) のTEGである。pMOSアレイを流れるリーク電流の多寡により出力電圧の上昇速度が変化するが、同一構造/同一サイズのpMOSアレイのペアに対し、リークのばらつきによって生ずる両者の出力の上昇速度の差を検出して、PUFのレスポンスとする回路を設計し、実装した。シミュレーションによる事前評価では、PUFの性能として、環境温度-10度~50度に対し、ユニーク性が約50%、均一性が約50%、再現性が約74~89%という結果が得られている。さらに、LRPUFの機械学習攻撃耐性の事前評価では、10000個のCRPを学習に使い、サポートベクタマシン(SVM)で機械学習させた場合には予測率が最大84%で、既存のリーク電流を使ったPUFよりも耐性が高いことが明らかになった。また、ディープニューラルネットワーク(DNN)を用いて機械学習させた場合には、予測率が最大89%であることも判明した[1]。本TEGの試作により、実機にてPUFの性能および機械学習攻撃に対する耐性を評価する。

参考文献：[1] 笈川, 宇佐美, "リーク電流の製造ばらつきを利用したLR-PUFの機械学習攻撃に対する耐性評価", 信学技報VLD2021-93, pp.93-98, 2022年3月8日. **設計期間：**5人月以上, 6人月未満 **設計ツール：**Synopsys社 DesignCompiler, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), Synopsys社 Formality, **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別：**その他



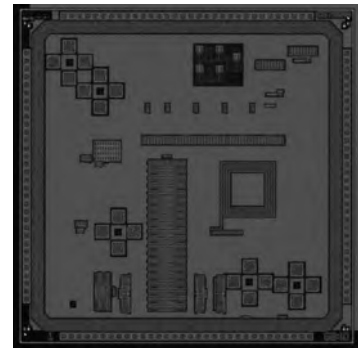
脳波取得フロントエンドの改良及び 自立動作可能LSIチップのための各要素回路の改良

慶應義塾大学理工学部 中野 誠彦, 小貫 怜央, 山村 健太

慶應義塾大学理工学研究科 三河 樹由, 吉田 祐威, 三浦 大毅, 八木 健太

概要：筋電, 心電, 脳波などの生体電位信号は皮膚に電極を接触させて非侵襲に測定することができ, 医療, 研究用途に広く用いられている。生体電位信号を扱う低雑音増幅器, フィルタはウェアラブル端末へ応用するために小型化, 低電圧化が求められており, 我々はこれらをオンチップで実現することを目指している。本試作ではPGA及び差動増幅回路の設計を行なった。自立動作可能なLSIチップのための, オンチップ太陽電池と電源回路とアプリケーション回路の研究を行っている。電源回路は太陽電池の出力を6V以上に昇圧することで様々なアプリケーション回路の動作を目指す。本試作では20段DC-DCコンバータ, RO電源用のSOCP, メモリ書き込み用のHVドライバ回路の設計を行なった。

設計期間：6人月以上, 7人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE(RF), **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**マイクロプロセッサ



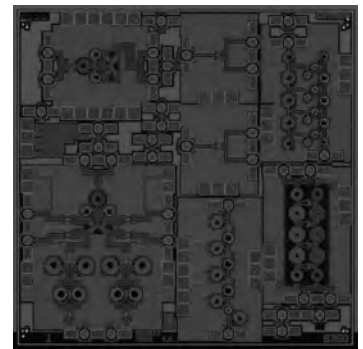
アナログマルチプレクサ, 単相差動変換器, 広帯域増幅器

東京理科大学理工学部電気電子情報工学科 榎田 洋太郎, 高野 恭弥

東京理科大学理工学研究科電気工学専攻 川原 啓輔

概要：近年の光ファイバ通信では信号の多値化が進んでおり, 高速なデジタル・アナログ変換器(DAC)が求められている。本シャトルでは, デジタル信号処理とアナログ乗算を用いてDACの帯域幅を3倍に拡大可能なDAC帯域トリプラ技術の実現に向けて, アナログマルチプレクサ(AMUX)を試作した。また, AMUXの入力部で使用するためのインダクタレス単相差動変換器も試作した。単相差動変換時に生じる利得位相偏差を正負の帰還を用いて低減し, かつ能動ピーキングによって帯域幅を向上させる回路構成を提案した。加えて, カスコードピーキングを用いた分布型増幅器および結合インダクタを用いた省面積差動分布型増幅器を試作した。

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Virtuoso, TOOL社 Lavis, Mentor社 Calibre, Cadence社 Spectre, Keysight社 ADS, **トランジスタ数：**10~100 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**通信通信(RF回路, ATMなど)



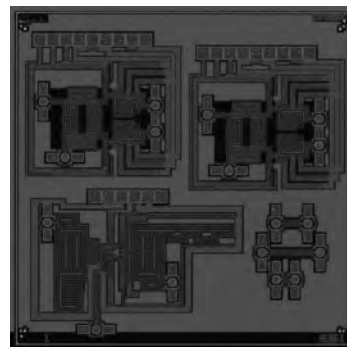
アナログマルチプレクサ，単相差動変換器，広帯域増幅器

東京理科大学工学部電気電子情報工学科 榎田 洋太郎，高野 恭弥

東京理科大学工学研究科電気工学専攻 川原 啓輔

概要：近年の光ファイバ通信では信号の多値化が進んでおり，高速なデジタル・アナログ変換器（DAC）が求められている．本チャトルでは，デジタル信号処理とアナログ乗算を用いてDACの帯域幅を3倍に拡大可能なDAC帯域トリプラ技術の実現に向けて，アナログマルチプレクサ（AMUX）を試作した．また，AMUXの入力部で使用するためのインダクタレス単相差動変換器も試作した．単相差動変換時に生じる利得位相偏差を正負の帰還を用いて低減し，かつ能動ピーキングによって帯域幅を向上させる回路構成を提案した．加えて，カスコードピーキングを用いた分布型増幅器および結合インダクタを用いた省面積差動分布型増幅器を試作した．

設計期間：1人月以上，2人月未満 設計ツール：Cadence社 Virtuoso，TOOL社 Lavis，Mentor社 Calibre，Cadence社 Spectre，Keysight社 ADS，トランジスタ数：10～100 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：通信（RF回路，ATMなど）



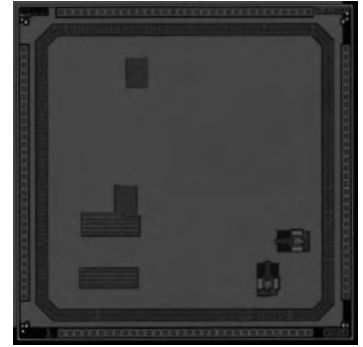
低電圧で動作するイメージセンサTEGほか

立命館大学大学院情報理工学研究科 室原 脩人, 木村 知也

立命館大学情報理工学部 堀越 俊行, 越智 裕之

概要: 集積回路上にPN接合ダイオードを形成して光を照射すると太陽電池として機能するため, これを同一チップ上の回路の電源として利用すれば, エネルギーを自給自足する単一ダイのシステムが構築できると期待される. 本試作では, 単一のオンチップ太陽電池セルから得られる0.50~0.55V程度の電源電圧で(昇圧回路が無くても)動作可能なイメージセンサを0.18 μ m標準CMOSプロセスで実現することを目指し, 低電圧動作に適した画素アレイ(8 \times 8画素)およびADコンバータからなるTEGを搭載しており, 低電圧下で動作可能であるかどうかを測定により明らかにする予定である. 本試作チップには上記のほか, フォトセンサなどのTEGも搭載している.

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数: 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** イメージセンサ/スマートセンサ



フォトセンサのTEG

立命館大学情報理工学部 越智 裕之

概要: CMOS集積回路上にPN接合ダイオードを形成すると, フォトセンサとして利用できる. 本試作では, ローム0.18 μ mプロセスにおけるフォトダイオードの特性に関する基礎データの測定, および低電圧で動作可能なフォトダイオードの光電流の大きさの読み出し回路の検討を目的としたTEGを設計・試作した. フォトダイオードからの光電流の大きさを計測するため, 本試作では光電流に比例して発振周波数に変化する発振回路を設計した. 実装にあたっては, 低電圧動作する発振回路がノイズに敏感であることに鑑み, 十分なノイズ対策を施した. 基礎データ測定用のフォトダイオードTEGは, P基板-N拡散接合面を用いたものとし, 面積やアスペクト比の異なるものを実装した. 併せて, フォトダイオード上やフォトダイオード近傍に様々な形状のメタルを配置し, メタルによる遮光(あるいは反射)の影響も測定できるようにした.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数: 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



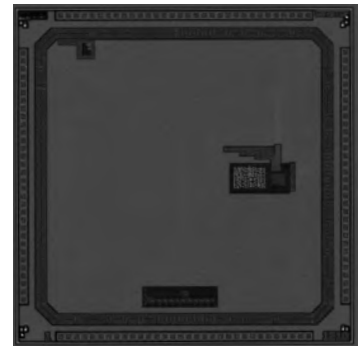
弛張型発振回路の試作

東京電機大学大学院工学研究科電子システム工学専攻 原 航太

東京電機大学工学部電子システム工学科 小松 聡

概要: 今回のチップ試作では, 回路設計やチップ評価の練習, コンパレータベースの弛張型発振回路の動作を理解するために設計を行った. 設計にはRohm 0.18 μ mプロセスを使用した. 弛張型発振回路は, 基準電圧源, 基準電流源, キャパシタ, コンパレータからなり, 低消費電力動作に適したオンチップの発振回路である. 今回試作した回路では, 基準電流源とカレントミラー回路を用いて, 基準電圧源とキャパシタの充電電流を生成して弛張発振している. レイアウトからRC抽出を行い, 電源電圧1.8V, 温度25 $^{\circ}$ Cの条件でシミュレーションを行った際の発振周波数は31.4kHzであった. 試作チップの実測した平均周波数は53.2kHzであった. 同様にRC抽出後に行ったシミュレーションでは, 消費電力が2.99 μ Wであり, 実測した平均消費電力は2.34 μ Wであった.

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Synopsys社 HSPICE(RF), トランジスタ数: 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



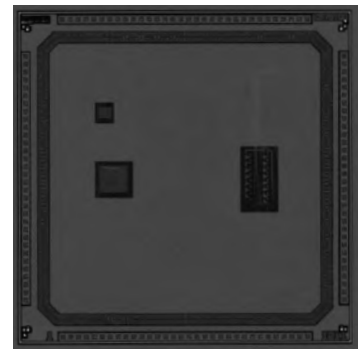
スタンダードセルを用いた フラッシュADCとサブレンジングADC

東京電機大学大学院工学研究科電子システム工学専攻 福島 拓実

東京電機大学工学部電子システム工学科 小松 聡

概要：スタンダードセルを用いたフラッシュADCとサブレンジングADCのチップ試作を行った。フラッシュADCはRail-to-Railの範囲で動作するスタンダードセル設計によるデジタルハイブリッドコンパレータ、NOTゲートによる参照電圧生成回路、エンコーダから構成される。サブレンジングADCはデジタルコンパレータとスタンダードセルのみで構成されるSAR ADCにより構成されている。ハイブリッドコンパレータは動作範囲の異なる2種類のコンパレータを用いて同時に比較動作を行うことにより広い入力電圧範囲を得ることが可能となっている。NOTゲートによる参照電圧生成回路ではNOTゲート内の、nMOS,pMOSのオン抵抗によりVSSからVDDまでの範囲をオン抵抗で分圧することにより中間的なアナログ電圧を生成する。サブレンジングADCは、CoarseADCとしてSAR ADC、FineADCとして確率的フラッシュADCを用いている。SAR ADCを構成するDACの出力がそのまま確率的フラッシュADCに参照電圧として入力される。提案するSAR ADCは出力を維持した状態にするとDACの出力アナログ電圧が維持される。これを参照電圧として確率的フラッシュADCが変換動作を行うことで出力コードを決定する。試作チップ測定により、提案回路が部分的にはあるがADC回路として動作可能であることを確認した。

設計期間：0.5人月以上，1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10,000～100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

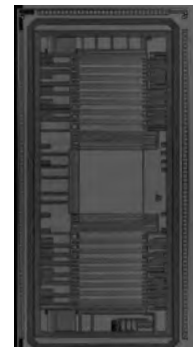


Ring amplifier を用いた列並列小面積 パイプラインAD変換器を有するCMOSイメージセンサ

東京理科大学工学研究科 小嶋 隆, 甲田 紘己, 浜本 隆之

概要：高速イメージングを目的としてRing amplifierを用いた列並列小面積パイプラインAD変換器を有するCMOSイメージセンサを試作した。パイプラインAD変換器は高速に動作可能だが、面積が非常に大きいため、イメージセンサで用いた場合に並列性を損なうことでパイプラインAD変換器の高速性が高速イメージングに十分に活かさない問題点があった。そこで、リングアンプを比較器と増幅器として用いて動作させることでパイプラインAD変換器のステージ回路に必要な構成要素を削減し従来の方式と比較して12%の小面積化を達成し、パイプラインAD変換器の列ごとの配置を実現している。本チップは画素アレイ、垂直走査回路、プログラマブルゲインアンプ、パイプラインAD変換器、水平走査回路、クロック生成回路から構成されている。画素アレイは縦128x横128個の画素回路からなり、画素ピッチは7.28 μ mである。画素回路は標準的な3トランジスタ構成である。また、画素回路の出力は偶数列、奇数列に応じて上下方向に読み出す構成とした。垂直走査回路及び水平走査回路は出力データレートを抑えるために読み飛ばし機能を備えている。プログラマブルゲインアンプは画素回路からの出力電圧を疑似的に相関二重サンプリングできるように構成した。

設計期間：3人月以上，4人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre, トランジスタ数：100,000～1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mmx5.0mmチップ チップ種別：イメージセンサ/スマートセンサ

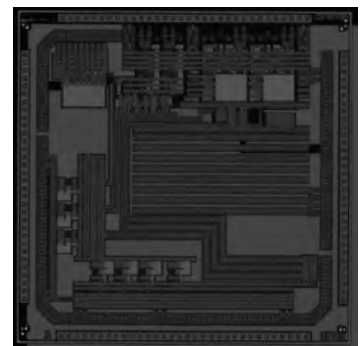


800MHz動作を実現する差動シグナリング入出力回路と 安定動作を資するバンドギャップ参照回路

東京理科大学工学研究科 大高 俊徳, 小嶋 隆, 浜本 隆之

概要：列ごとに信号処理回路を実装できる列並列読出し回路を高速動作させることで、1行当たり0.64マイクロ秒と、非常に短い期間でも画素アレイ（フォーカルプレーン）を走査可能なCMOSイメージセンサを、これまで試作及び動作確認をしてきた。ただし、チップからの出力において、CMOSレベルのバラレルI/O出力構成では、1ピン当たりのデータ転送帯域を増加させることができず、センサーチップから外部に出力するところで速度的なボトルネックとなり、その結果として高フレームレートを実現するには、画素数が律速されるという問題があった。一方、差動シグナリング (LVDS) 回路は、信号振幅をCMOSレベルの約1/10程に抑えることでSlewing時間を低減し、かつ電流モードで常に電流を流し続けることで、セットリング動作を高速に実現する。これにより多画素で、かつ高フレームレートなCMOSイメージセンサの実現を目論む。本チップでは、TEGチップとして800MHzでの動作可能なLVDS入出力回路、PLL回路と温度補償したバイアス電流及び電圧を供給するバンドギャップ参照回路を設計した。また、このTEGチップの評価基板を設計及び製造を行い、これから評価を実施する予定である。

設計期間：3人月以上，4人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre, トランジスタ数：10,000～100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：イメージセンサ/スマートセンサ



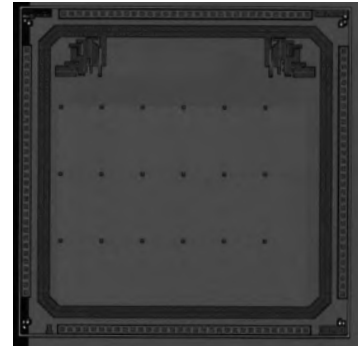
熱電発電素子とバッテリーを備えた ハイブリッドDC-DCコンバータと配線Cap test structure

静岡大学工学部 丹沢 徹

概要: 1) 熱電発電素子を用いてバッテリー寿命を延ばすDC-DCコンバータのコンセプト実証。バッテリーで制御回路を低電力で動作させ、発電素子の発電電力を負荷へ供給する。実用的な回路パラメータ (バッテリー1.5V, 熱電素子の開放電圧1.2V, 熱電素子の出力抵抗1.2k Ω , 負荷電圧1.5V, 負荷電流20 μ A) 条件でバッテリー寿命を一桁延ばせる。

2) 配線Capの最大Cap密度の構造の配線デザインルール依存性を与えるモデルの実証。配線Capを決めるパラメータは横方向のデザインルールと縦方向の配線厚・層間膜厚のプロセスパラメータ。これらの組み合わせに応じてCap密度を最大にする最適なCap構造が決まる。このモデルを実証するための回廊Test Structure。

参考文献: Y. Sakamoto and T. Tanzawa, A Design of DC-DC Converter for Thermoelectric Energy Harvesting with Battery Backup, IEICE society conf., C-12-1, Sep. 2021. **設計期間:** 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

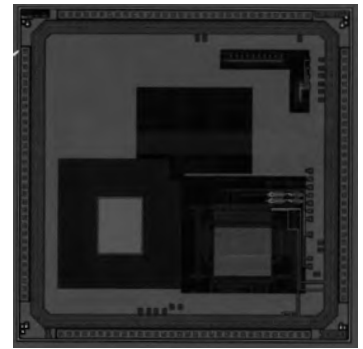


低RTSノイズ型磁気センサアレイの特性評価用TEG

茨城大学理工学研究科 木村 孝之

概要: これまで、2次元集積化磁気センサの微細化と高感度化を両立するために、RTS (random telegraph signal) ノイズを減少するための研究が行われてきた。その結果、画素内に存在していた微小面積のソースフォロアを除去し、ホールエレメントのサイズを大きくすることでRTSノイズを印可磁場換算で1.43mTrmsまで減少する事に成功していた。そこで本研究では、さらなる微小磁場の観測を実現するために、低ノイズ化のための検討を行った。まずホールエレメントの端子位置の最適化により、出力電圧の増加の検討を行った。その結果、端子位置をホールエレメントの中心から27%ずらしたところで最大となり、中心位置の場合より18%感度を上昇させることができた。さらに、磁気センサアレイの列アンプの面積を大きくし、RTSノイズの低減を目指した。その結果、面積を9倍にすることで印可磁場換算ノイズを0.63mTrms (平均化1.2秒) まで低減することができた。このように端子位置の最適化とアンプ回路の最適化によりRTSノイズの低減を実現できた。今後はこれらのホールエレメントを搭載した磁気センサアレイにおいて応答速度の評価を行う予定である。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



Basic Digital LDOほか

電気通信大学情報理工学研究科情報ネットワーク工学専攻 植田 健斗, 範 公可, 石橋 孝一郎

概要: 今回の試作では、Basic Digital LDO, Flash ADC, スイッチングドライバなどの設計を行った。今回はBasic Digital LDOについて報告する。回路機能を一つのチップにまとめたSoCにおいて、回路機能ごとに最適な電圧を決定してチップ全体の消費電力を下げる取り組みがあり、異なる電源電圧を供給するための電源回路にLDOレギュレータが注目されている。また、近年の集積回路の低電圧化に伴い、電源電圧が低下しているため、低電源電圧で動作するDigital LDOが注目されている。基本のDigital LDOは、クロック同期のコンパレータ、値を双方向にシフトする双方向シフトレジスタ、PMOSアレイで構成される。本試作では基本となるDigital LDOを設計した。しかし、設計を行う上で構成を間違えてしまい、動作しなかった。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Xcelium, Cadence社 GENUS, Cadence社 Innovus, Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 ModelSim, Cadence社 QUANTUS, Synopsys社 HSPICE(RF), **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナデジ混載



4bit ALUほか

電気通信大学情報理工学研究所情報ネットワーク工学専攻 山村 修平, 範 公可, 石橋 孝一郎

概要: 本試作はCOMS半導体の設計, プロセスの理解と学習を目的にCMOS0.18 μ mでチップの試作を行った。試作した回路は2つの4bitの入力に対し指定された計算を行って8bitの計算結果を出力する回路である。具体的な仕様は次の通りである。①4bitの値をパラレル入力する。②制御部から4bitの値を入力し, 加算, 減算, 乗算, 除算, NOT, AND, OR, XOR, XORの演算を選択する。③RESETで格納されている値をクリアする。④ENBが入力された後, クロックが立ち上がったタイミングで演算を開始する。⑤8bitの値と繰り上がりをパラレル出力として得る。作成時にはVerilogファイルをModelsimにてテストベンチを実行し, LVSにより生成されたspファイル, フレーム配線後のgdsファイルによるHSPICEシミュレーションと併せて検討し, 所望の性能が得られることを確認した。より動作周波数を向上させるためには, 入力信号をレジスタに保持させる際のクロック遅延を調整するといった工夫が考えられる。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 HSPICE(RF), **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)

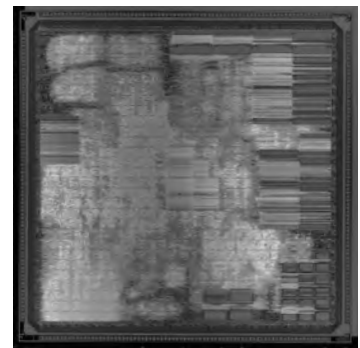


TEEHW_RocketBoom32

電気通信大学情報理工学研究所情報ネットワーク工学専攻 Hoang Trong-Thuc, 範 公可, 石橋 孝一郎

概要: This chip is a 5.0 \times 5.0-mm² chip packaged with the BGA257 socket. There is only one circuit in this chip, and it is a Trusted Execution Environment (TEE) System-on-Chip (SoC) implementation with a dual-core of Rocket and BOOM. The Rocket core is numbered as the first core, and the BOOM core is numbered as the second. The Instruction Set Architecture (ISA) configurations of both processors are RV32IMAC. Each processor has 2-KB of instruction cache and 2-KB of data cache. There is no L2 cache. The embedded hardware cryptographic accelerators are SHA3 (512bit), AES (128bit or 256bit, and can be changed on the fly), and True Random Number Generator (TRNG). The peripherals are General-Purpose In-Out (GPIO), boot Read-Only Memory (ROM), UART, Serial Peripheral Interface (SPI) for using SD-card, and Queued SPI (QSPI) for using flash memory. The whole circuit was spanned on 4,559.52 \times 4,556.16- μ m² (1,545,599-NAND2 gate-count) with 360,339 cells and 7,332,462 MOSFETs. The simulation results gave the maximum operating frequency at about 50-MHz with 846.5-mW power consumption at the 1.8-V power supply. For the chip measurement results, at the 1.8-V power supply, the sleep power was about 2.25- μ W when the circuit was not running (there is a power supply, but no clock provided); and the active power was about 425-mW when the circuit was running continuously with the maximum operating frequency of about 75-MHz.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Xcelium, Cadence社 GENUS, Cadence社 Innovus, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Conformal, Cadence社 Tempus, Synopsys社 Finesim, **トランジスタ数:** 1,000,000~10,000,000 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別:** マイクロプロセッサ

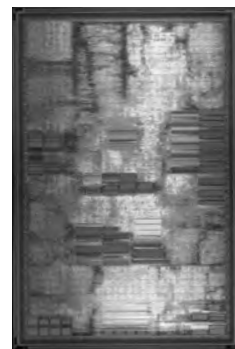


TEEHW_RocketBoom64

電気通信大学情報理工学研究科情報ネットワーク工学専攻 Hoang Trong-Thuc, 範 公可,
石橋 孝一郎

概要：This chip is a 5×7.5-mm² chip packaged with the BGA257 socket. There is only one circuit in this chip, and it is a Trusted Execution Environment (TEE) System-on-Chip (SoC) implementation with a dual-core of Rocket and BOOM, with Rocket core being the first core. The Instruction Set Architecture (ISA) configuration is RV64GC. Each processor has 2-KB of instruction cache and 2-KB of data cache. There is no L2 cache. The embedded hardware cryptographic accelerators are SHA3 (512bit), AES (128bit or 256bit, and can be changed on the fly), Ed25519 (with base-point multiplier and sign function), and True Random Number Generator (TRNG). The peripherals are General-Purpose In-Out (GPIO), boot Read-Only Memory (ROM), UART, Serial Peripheral Interface (SPI) for using SD-card, and Queued SPI (QSPI) for using flash memory. A hidden Micro-Controller Unit (MCU) was also included in this chip. This hidden MCU is for the secure boot process, thus separating the boot procedure and the TEE processors. The whole circuit was spanned on 4,559.52×7,217.28-μm² (2,418,005-NAND2 gate-count) with 631,597 cells and 11,722,810 MOSFETs. The simulation results gave the maximum operating frequency at about 50-MHz with 1,378-mW power consumption at the 1.8-V power supply. For the chip measurement results, at the 1.8-V power supply, the sleep power (the circuit is not running) was about 3.7-μW, and the active power (the circuit is running continuously) was about 443-mW at the maximum operating frequency of about 45-MHz.

設計期間：1人月以上，2人月未満 設計ツール：Cadence社 Xcelium，Cadence社 GENUS，Cadence社 Innovus，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Cadence社 Conformal，Cadence社 Tempus，Synopsys社 Finesim，トランジスタ数：10,000,000～ 試作ラン：ローム CMOS 0.18 μ m 5.0mm×7.5mm チップ チップ種別：マイクロプロセッサ



B-3

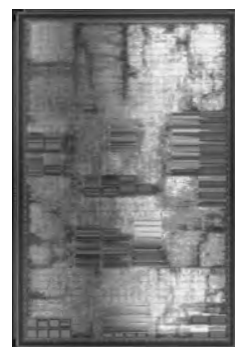
Appendix

光通信トランスインピーダンスアンプの試作

九州大学システム情報科学研究所 賀 正陽, 木村 俊二

概要：光通信トランスインピーダンスアンプの試作を実施。Regulated Cascode型コア増幅器構成を採用し、設計性能としては14GHz以上の帯域と59dBΩのトランスインピーダンス利得が確保できる見通しであったが、試作チップをネットワークアナライザで測定するも設計との乖離が大きく、利得は58dBΩが得られたものの帯域性能が8GHzと十分な性能が得られなかった。PDKで供給されているCMOSの大信号モデルと実際のトランジスタの間で、設計動作点付近の小信号特性に乖離がある可能性がある。同試作に搭載したトランジスタ単体のTEGを評価し、AC解析用の小信号等価回路パラメータの抽出を行って設計精度を改善する予定。残念ながら発表できるレベルに至らなかったため、論文投稿や学会発表等も未定である。改良試作を2022年度に予定している。

設計期間：1人月以上，2人月未満 設計ツール：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Synopsys社 HSPICE(RF)，トランジスタ数：～10 試作ラン：ローム CMOS 0.18 μ m 5.0mm×7.5mm チップ チップ種別：通信 (RF回路，ATMなど)



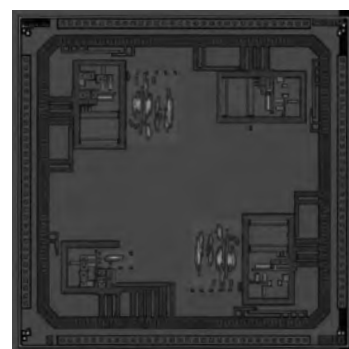
SAR-DSM型2ステップADCにおける 残差ゲインエラーを低減するDEM

法政大学理工学研究科 渡邊 嶺

法政大学理工学部 藤本 悠作, 水野 聡太, 小林 海太

概要：SAR-DSM型2stepADCは、前段にSAR ADC、後段にDSMを採用したADCです。この構成のADCは非線型歪と伝送誤差が発生することが問題でした。この2つの問題を補償するDEMを設計し、シミュレーションにてSNの改善を見ることができたので、これをチップに実装して性能を評価しました。結果は、SAR ADCが所定の通りに動作していませんでした。レイアウト設計で配線が細かったなど、何か不備があったのではないかと考えています。もしくは、ERCを行うことができなかったためにショートしてしまったのではないかと考えています。DSM側の動作も満足いくものではなく、SN比が大幅に低下してしまっていました。これについては、特にオペアンプの特性で出力振幅範囲が若干満たせていなかったことや、他の要求された仕様に対して設計したオペアンプの特性がぎりぎりだったことが原因だと考えています。

設計期間：3人月以上，4人月未満 設計ツール：Xilinx社 VIVADO，Synopsys社 ICCompiler，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，トランジスタ数：1,000～10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



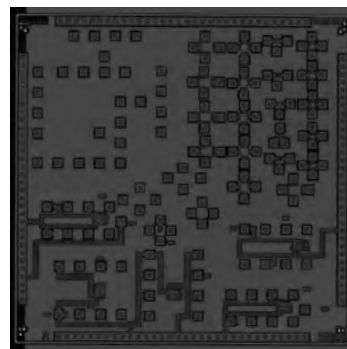
電流制御発振器と周波数デジタル変換回路を用いたADCおよび弱反転領域動作のMOSFETを用いた低電圧カレントミラー 他

明治大学理工学研究科 関根 かをり, 阿部 真也, 京嶋 拓人, 山本 遥哉

明治大学理工学部 安藤 夏輝

概要: 低電圧・小面積CMOSアナログ回路を設計することを根底に置き、評価に必要な回路の設計を行った。ポテンショスタットを使用した微弱な生体信号を扱う低消費電力動作・小面積化が電流制御発振器(CCO)と周波数デジタル変換回路(FDC)を接続したADCを試作した。他には弱反転領域動作のMOSFETを使用した小面積・低消費電力を目的とした低電圧カレントミラー、入門者向けに簡単なVCOやインバータを試作した。これらの回路は測定器による動作確認を通して妥当性の評価を行っている。特に低電圧カレントミラーにおいてプロセスばらつきを考察している。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Spectre, **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



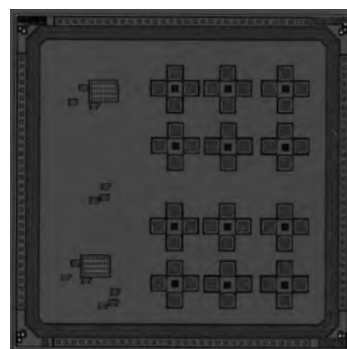
脳波取得フロントエンドの改良及び自立動作可能LSIチップのための各要素回路の改良

慶應義塾大学理工学部 中野 誠彦, 頃安 裕貴, 渡邊 悠太

慶應義塾大学理工学研究科 三浦 大毅, 八木 健太, 小貫 怜央, 山村 健太

概要: 筋電, 心電, 脳波などの生体電位信号は皮膚に電極を接触させて非侵襲に測定することができ、医療、研究用途に広く用いられている。生体電位信号を扱う低雑音増幅器、フィルタはウェアラブル端末へ応用するために小型化、低電圧化が求められており、我々はこれらをオンチップで実現することを目指している。本試作ではスイッチミキサ、バランスミキサの設計を行なった。自立動作可能なLSIチップのための、オンチップ太陽電池と電源回路とアプリケーション回路の研究を行っている。電源回路は太陽電池の出力を6V以上に昇圧することで様々なアプリケーション回路の動作を目指す。本試作ではメモリ書き込み用のHVドライバ回路、書き込み試験用MOSメモリの設計を行なった。

設計期間: 6人月以上, 7人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE(RF), **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** マイクロプロセッサ



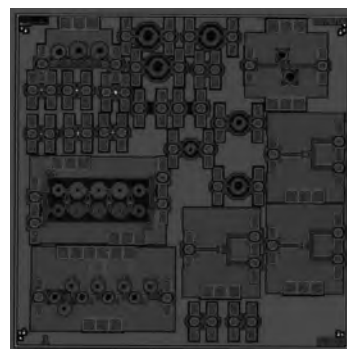
単相差動変換器, 高周波デバイスTEG, 狭帯域増幅器

東京理科大学理工学部電気電子情報工学科 榎田 洋太郎, 高野 恭弥

東京理科大学理工学研究科電気工学専攻 川原 啓輔

概要: 本シャトルでは、前回のシャトル (RO1820_4) において試作した単相差動変換器の再設計を行った。RO1820_4で試作した単相差動変換器は、シミュレーション上の設計値と比較してわずかに周波数特性が悪化していたため、能動ピーキングに使用するキャパシタの容量値を大きくすることで対処した。試作した単相差動変換器を測定した結果、直流から8.0 GHzまでの広帯域において -0.12 ± 0.21 dBと $-0.18 \pm 1.17^\circ$ の良好な利得位相偏差特性を確認した。また、デバイス・モデリング用にMOSFETを2種、MOM (Metal-Oxide-Metal) キャパシタとスパイラル・インダクタをそれぞれ6種ずつ試作した。スパイラル・インダクタはテーパ構造を用いてQ値の向上を図った。モデルの精度確認用の狭帯域増幅器も併せて試作した。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, TOOL社 Lavis, Mentor社 Calibre, Cadence社 Spectre, Keysight社 ADS, **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 通信 (RF回路, ATMなど)

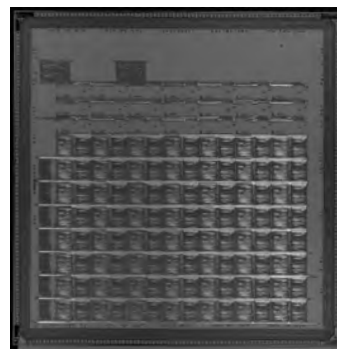


トータルドーズ耐性試験向け光再構成型ゲートアレイ VLSI

岡山大学学術研究院 自然科学学域 渡邊 実

概要：トータルドーズ耐性試験向けの耐放射線・光再構成型ゲートアレイ VLSI を試作した。耐放射線・光再構成型ゲートアレイはホログラムメモリ、レーザアレイ、ゲートアレイ VLSI から構成される光電子デバイスである。FPGA (Field Programmable Gate Array) のシリアル構成回路は放射線に脆弱であるが、耐放射線・光再構成型ゲートアレイ VLSI では光技術を活用することで完全並列な構成が可能になり、放射線に強い構成回路が実現できる。その結果、故障を許容したゲートアレイの運用が可能になり、スタンダードな CMOS プロセスを用いても既存の FPGA よりも高いトータルドーズ耐性が実現できる。光再構成型ゲートアレイ VLSI のゲートアレイ構造は既存の FPGA と同じであり、プールの関数を実装する Look-Up Table やフリップフロップが実装された論理ブロックとスイッチングマトリックスから構成される。本チップにはトータルドーズ耐性試験向けに、故障ブロックを検査する機能を追加してある。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 HSPICE(RF), トランジスタ数：1,000,000~10,000,000 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：ニューテクノロジー

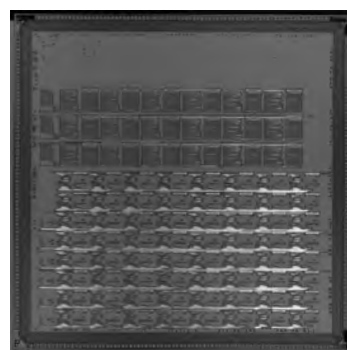


電気と光による構成が可能な光再構成型ゲートアレイ VLSI

岡山大学学術研究院 自然科学学域 渡邊 実

概要：光再構成型ゲートアレイとは FPGA の1種で、ホログラムメモリ、レーザアレイ、ゲートアレイ VLSI から構成される光電子デバイスである。光再構成型ゲートアレイ VLSI 単体の性能を評価する時には光学機材と分離して評価できることが望ましく、この試作では既存の FPGA (Field Programmable Gate Array) の電気的なシリアル構成機能と光再構成型ゲートアレイの光並列構成機能の双方の機能を持つ光再構成型ゲートアレイ VLSI を試作した。この光再構成型ゲートアレイでは光再構成機能を用いる場合にはホログラムメモリやレーザが必要になるが、電気構成機能を用いる時には既存の FPGA と同様にシリアル的な構成となり、光学機材無しにゲートアレイを動作させることができる。ここで、光再構成では数ナノ秒でゲートアレイに回路をプログラムできるが、電気構成の場合、ミリ秒の構成時間が必要となる。

設計期間：0.1人月以上, 0.5人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Milkyway, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 HSPICE(RF), トランジスタ数：1,000,000~10,000,000 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：ニューテクノロジー



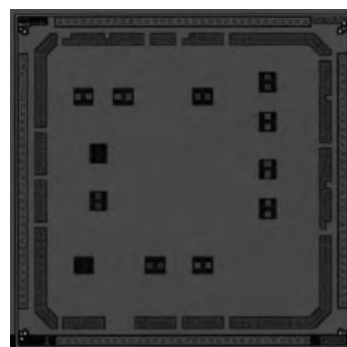
フォトセンサのTEG

立命館大学大学院情報理工学研究科 木村 知也

立命館大学情報理工学部 越智 裕之

概要：CMOS集積回路上にPN接合ダイオードを形成すると、フォトセンサとして利用できる。本試作では、ローム0.18 μ mプロセスにおけるフォトダイオードの特性に関する基礎データの測定、および低電圧で動作可能なフォトダイオードの光電流の大きさの読み出し回路の検討を目的としたTEGを設計・試作した。フォトダイオードからの光電流の大きさを計測するため、本試作では光電流に比例して発振周波数が変化する発振回路を設計した。実装にあたっては、低電圧動作する発振回路がノイズに敏感であることに鑑み、十分なノイズ対策を施した。基礎データ測定用のフォトダイオードTEGは、P基板-N拡散接合面を用いたものとし、面積やアスペクト比の異なるものを実装した。併せて、フォトダイオード上やフォトダイオード近傍に様々な形状のメタルを配置し、メタルによる遮光（あるいは反射）の影響も測定できるようにした。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG（特性評価回路など）



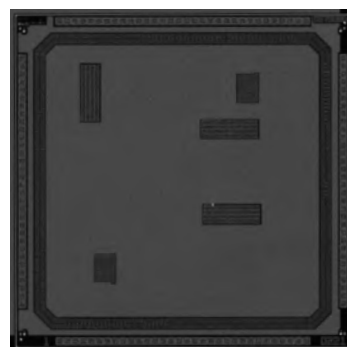
低電圧で動作するイメージセンサTEG

立命館大学大学院情報理工学研究科 室原 脩人, 木村 知也

立命館大学情報理工学部 越智 裕之

概要：集積回路上にPN接合ダイオードを形成して光を照射すると太陽電池として機能するため、これを同一チップ上の回路の電源として利用すれば、エネルギーを自給自足する単一ダイのシステムが構築できると期待される。本試作では、単一のオンチップ太陽電池セルから得られる0.50~0.55V程度の電源電圧で（昇圧回路が無くても）動作可能なイメージセンサを0.18 μ m標準CMOSプロセスで実現することを目指し、低電圧動作に適した画素アレイ（8×8画素）およびADコンバータからなるTEGを搭載しており、低電圧下で動作可能であるかどうかを測定により明らかにする予定である。本試作チップは6月にテープアウトしたイメージセンサTEGの測定性を向上させるための改良を行ったものである。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：イメージセンサ/スマートセンサ



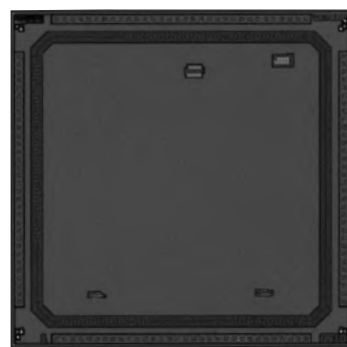
ニューロンCMOSインバータを用いたFGC付き4入力可変論理回路

東海大学情報通信学部 福原 雅朗, 伊藤 祥磨

東海大学情報通信学研究科 西口 大嗣

概要：本試作チップでは、ニューロンCMOSインバータを用いたFGC付き4入力可変論理回路を設計、試作した。本回路は4入力の可変論理回路であり、制御信号を切り替えることで、AND、NOT、ORの基本論理回路の動作だけでなく、XOR、XNORを含む8種類の4入力対称論理機能を実現している。回路は温度変化等によるCMOSインバータの閾値変動の影響を受けないようにするためのFGC(Floating-Gate Calibration)回路を持つ3つのニューロンCMOSにより構成されている。また、HSPICEシミュレーションによる動作検証を行い、チップを試作した。試作チップを評価した結果、出力された波形はHSPICEシミュレーションの通りにはならず、8種類の論理機能を満たさなかった。原因についてはFGC回路が正常に動作しておらず、もともと蓄えられている電荷の影響をなくすことが出来ていないことなどが考えられる。今後は、動作不良の原因究明をし、次年度に再度チップを試作したい。

参考文献：大塚, 八木, 福原, "ニューロンCMOSインバータを用いたFGC付き4入力可変論理回路の提案", 電子情報通信学会論文誌C, Vol. J104-C, No. 05pp. 166-167, 2021年05月 設計期間：5人月以上、6人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ(PLL, A-D/DC-DCコンバータなど)



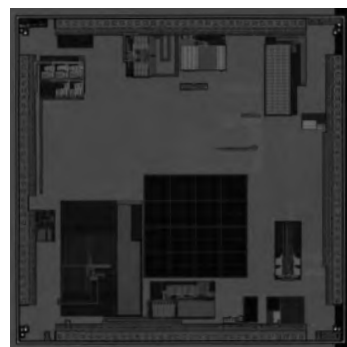
スタンダードセル設計手法を用いた逐次比較型ADC

東京電機大学大学院工学研究科電気電子工学専攻 平野 皓士

東京電機大学工学部電子システム工学科 小松 聡

概要：様々な製品に半導体が組み込まれ、それらを制御するために、A/D変換器を用いている。しかし、各製品に必要な精度やビット数が異なるため、アナログ半導体設計者は各製品に必要なA/D変換器を設計する必要がある。そこで、本研究ではA/D変換器としてよく用いられる逐次比較型ADCを完全自動設計する手法を提案した。本研究では逐次比較型ADCに必要なアナログ回路、キャパシタを予め、ライブラリ化し、Synopsys社のIC Compilerを用いて自動配置配線することで完全自動設計を行った。今回、前回の逐次比較型ADCの設計から改善を行い、キャパシタの配置配線の最適化を行い、コア面積を削減することが出来た。実際にキャパシタの配置配線が最適化された逐次比較型ADCが動作するのを検証を行う。

設計期間：0.5人月以上、1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



IoTのためのアナログ回路TEG

広島工業大学工学部 升井 義博

概要：近年ではIoTの研究・開発・実用化に伴い、無線センサーネットワークの利用が開始されつつある。最近の無線センサーネットワークでは信号通信用の配線だけでなく、電源配線の無線化もすすみつつある。そこで、本試作ではエネルギーハーベストを電源とし、無線センサーネットワークでの利用を想定したアナログ要素回路の試作を行った。低電圧駆動、低消費電力というテーマで0.18 μ m CMOS プロセスを用いたアナログ回路TEGとして以下の回路を集積した。基準電圧生成回路、照度センサ、温度センサ、差動型-非同期動作の12bit逐次比較型AD変換器、電流センサ、連続時間型 $\Delta\Sigma$ ADC、オンチップ発電のための光発電セル等。特に照度センサの測定結果では10000lux以下の照度を1 μ W以下で検出可能であることを、また集積した温度センサと光発電セルを組み合わせることで外部からの電源供給無しで動作可能であることを実測で確認した。

設計期間：10人月以上 設計ツール：Cadence社 Virtuoso, Cadence社 QUANTUS, Cadence社 Spectre, トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

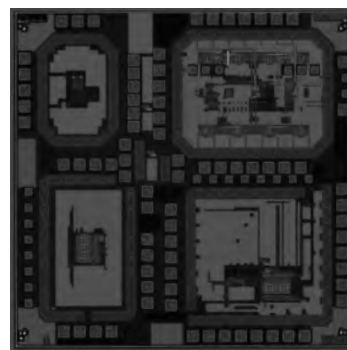


Tracking ADC, スキュー調整回路, チョッパアンプ, NIRS測定回路

芝浦工業大学工学部電子工学科 佐々木 昌浩, 福岡 慶祐, 今田 資啓, 横山 桃子, 高崎 航汰

概要：本試作では異なる複数の回路を実装した。1つ目の回路はTracking A/D変換器である。この回路は、Tracking A/D変換器特有の出力コードが安定しないという問題点を解決することができる回路構成になっている。2つ目の回路はスキュー調整回路である。この回路は、入力した2つのクロック信号のスキューを自動で削減する機能を搭載し、調整前後の時間差をプローブによって測定できる回路構成となっている。3つ目の回路はチョッパアンプ回路である。この回路は、入力信号の変調・復調により低周波領域に影響が大きい1/fノイズを低減させる機能があり、チョッパ前と後で測定できる回路構成になっている。4つ目の回路はCMOS-APDを用いたNIRS測定回路である。この回路は、NIRS測定の問題とされている環境光に対して、回路内で除去を行い生体信号のみ出力する回路である。

設計期間：3人月以上、4人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ混載



容量マルチプライヤ回路の作製および 樹状突起モデルと細胞体モデルの作製

日本大学理工学部 佐伯 勝敏, 佐々木 芳樹, 鈴木 克典, 近藤 宏樹, 菊池 優作, 竹前 諒也,
中村 圭吾, 野村 幸司

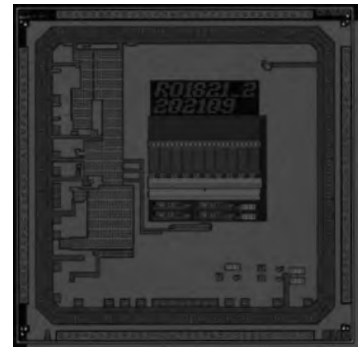
概要：本試作チップでは、

- ①細胞体モデル ②ソースフォロアを用いた容量マルチプライヤ回路 ③樹状突起モデル
④神経細胞モデルのパラメータバリエーション ⑤CPG用補助回路

の試作を行った。詳細は以下の通りである。

- ①各自の細胞体モデル研究に使用する目的で、当研究室にて最もベーシックな細胞体モデルのレイアウト作製を行った。測定が容易となるよう、細胞体モデルは自発的な発振が可能となるパラメータを使用し、電源電圧を印加するだけで、その他は測定用ポート1つで構成可能としている。
- ②容量マルチプライヤ回路は、通常オペアンプを用いて構成することが主流である。本回路では、オペアンプがバッファとしてのみ機能していることに着目し、立上りもしくは立下りのどちらかに限定をした場合に容量の増加が可能であると見込み作製をおこなった。
- ③～⑤バリエーション作製として制作した"

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：100～1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

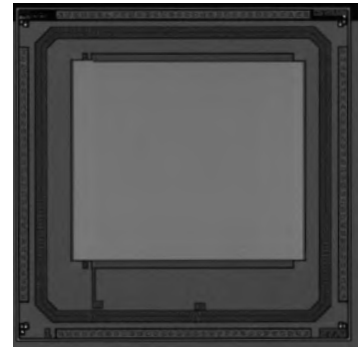


MOSFET リザーバ計算のためのばらつき評価回路

京都大学情報学研究所 村田 寛也, 佐藤 高史

概要：トランジスタ (MOSFET) の特性ばらつきをリザーバ計算に用いるための基礎検討として、約1万8千個のトランジスタに対して電流電圧特性を正確に測定するデバイスアレイを作成した。リザーバ計算では、デバイスアレイの同一行または同一列上において、複数のトランジスタがオンとなる動作を行うことが求められるため、その際の電流経路やリーク電流の影響等を人手を可能な限り無くす半自動での測定を実現する工夫を行っている。測定により得られているトランジスタの特性ばらつきの空間的な分布をもとに、構築済みのシミュレータと組み合わせることで、リザーバ計算への応用可能性を定量的に評価できる。

参考文献：村田 寛也, 久米 祐貴, 辺 松, 粟野 皓光, 佐藤 高史, "大規模MOSFETリザーバの高速度シミュレーション," DA シンポジウム, pp.112-118, August 2021. 設計期間：1人月以上, 2人月未満 設計ツール：Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 HSPICE(RF), Synopsys社 PrimeTime, トランジスタ数：100,000～1,000,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)



熱電発電素子・バッテリーのハイブリッド DC-DCコンバータと配線Cap test structure #2

静岡大学工学部 丹沢 徹

概要：RO1821_1の改良版：

- 1) 熱電発電素子を用いてバッテリー寿命を延ばすDC-DCコンバータのコンセプト実証。バッテリーで制御回路を低電力で動作させ、発電素子の発電力を負荷へ供給する。実用的な回路パラメータ (バッテリー1.5V, 熱電素子の開放電圧1.2V, 熱電素子の出力抵抗1.2k Ω , 負荷電圧1.5V, 負荷電流20 μ A) 条件でバッテリー寿命を一桁延ばせる。
- 2) 配線Capの最大Cap密度の構造の配線デザインルール依存性を与えるモデルの実証。配線Capを決めるパラメータは横方向のデザインルールと縦方向の配線厚・層間膜厚のプロセスパラメータ。これらの組み合わせに応じてCap密度を最大にする最適なCap構造が決まる。このモデルを実証するための回廊 Test Structure。

参考文献：Y. Sakamoto and T. Tanzawa, A Design of DC-DC Converter for Thermoelectric Energy Harvesting with Battery Backup, IEICE society conf., C-12-1, Sep. 2021. 設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：100～1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

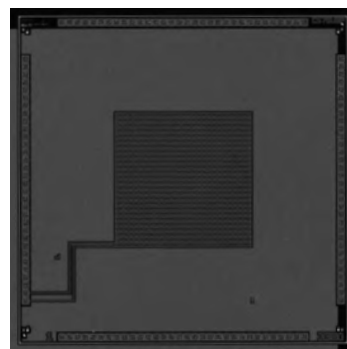


細胞インピーダンス測定のための要素回路

立命館大学理工学部 宇野 重康, 春日 秀介, 柳瀬 智史, 河野 亮太

概要: CMOSチップ上に直接溶液滴下して培養された接着性の哺乳類血球細胞を測定することを目的として、チップ上の微小なセンサー電極によりインピーダンス測定を行うための要素回路を開発した。インピーダンス測定回路は、Transimpedance amplifier回路、ミキサー回路、その他周辺回路を含み、今回はそれぞれ以前に設計されたものの評価結果に基づく改善を加えた。Transimpedance amplifierは交流電流信号を電圧信号に変換するものであるが、前回のものに比べてトランジスタ配置および配線配置に工夫を加えることで、ほぼ要求性能を満たす回路を試作するに至った。ミキサー回路はまだ発展途上であるが、ノイズ耐性が高いと考えられる新しい回路トポロジーを試作し、基本的な動作を検証した。周波数10MHz程度までの動作を目指し消費電力を若干犠牲にしたが、寄生抵抗による電圧降下や発熱の影響は確認されておらず、実用上支障ない性能の要素回路が試作されたとみている。今後はこれらを組み合わせてインピーダンス測定を高精度かつ広ダイナミックレンジで測定する回路の完成を目指す。

設計期間: 9人月以上, 10人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数: 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** その他

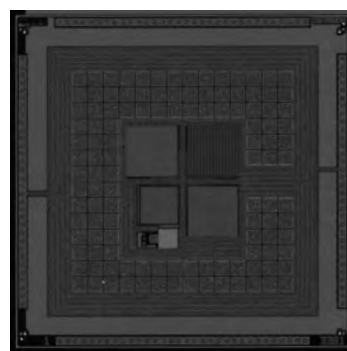


細胞インピーダンス測定のためのセンサー微小電極アレイ

立命館大学理工学部 宇野 重康

概要: CMOSチップ上に直接溶液滴下して培養された接着性の哺乳類血球細胞を測定することを目的として、チップ上の微小なセンサー電極によりインピーダンス測定を行うための微小電極センサーアレイチップを試作した。チップ上には一辺が10 μ mおよび4 μ mのセンサー電極がPADとして形成されており、それぞれ16x16 = 256個のセンサーアレイを構成している。アレイ中の任意の単一電極が周辺デジタル回路によってランダムアクセスされ、それを外部の測定装置あるいはCMOSチップ上の測定回路によりインピーダンス測定を行う。今回は以前のものに比べて寄生容量を大幅に減少させるための配線配置を工夫するとともに、配線周辺を別のレイヤーのメタルによりシールドすることで更に寄生容量の低減を図った。これにより高周波数においても比較的高いインピーダンスを測定することが可能になり、微小電極による細胞インピーダンス測定の実際の値を観測できる見込みである。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数: 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** その他

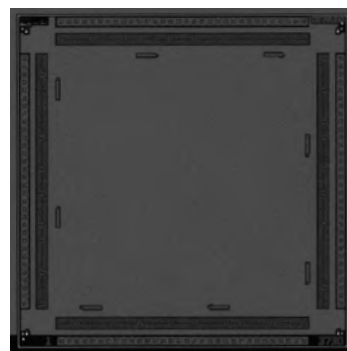


音楽プレーヤー回路の作製と電源ノイズの影響

福岡大学工学部 武久 遥香, 名倉 徹

概要: 電圧制御発振回路による音楽スピーカーのチップ作製と、そのチップを用いた楽曲の演奏と電源ノイズの影響を調べることを目的とする。音は空気が振動することで発生する。音の高低は振動の速さで決まり、この振動数のことを周波数といい、一般的に単位はヘルツ [Hz] で表される。人間の耳で聞くことができるのは20Hz~20000Hzと言われている。電圧制御発振回路を作製した。この回路はアナログ電圧を入力し、回路内部で発振と周波数の変化を行うことで、自分の出力したい周波数を正確な音程の周波数で出力する。これを搭載したチップを用いてスピーカーから奏でたい楽曲の音を出力し、楽曲の演奏を行った。電源ノイズとは、電子機器内の電源により回路が動作すると電流が流れ、この電流により電源にノイズが誘導され、電源電圧が変化してしまいその結果、電源やグランドにノイズが発生し、その回路が安定に動作するのを防いでしまう原因にもなる現象である。今回はキャパシタを用いることで観察する。今回アナログ回路を用いた音楽プレーヤーを作成したため、このノイズを与えてしまうデジタル回路を模した回路を組みこんだ。

参考文献: 武久, "音楽プレーヤー回路の作製と電源ノイズの影響", 福岡大学 卒業論文 2022年3月 **設計期間:** 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数: 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

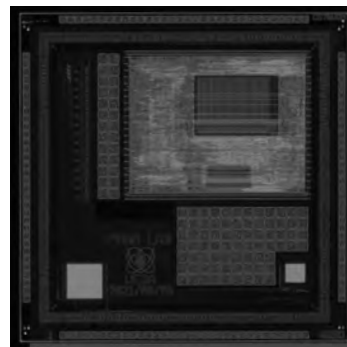


time domain adcほか

電気通信大学情報理工学専攻 甘田 貴大, 範 公可, 石橋 孝一郎

概要：本試作では、TDCを用いた4bitのtime domain ADCをRohm 0.18 μ mプロセスで試作した。このA/D変換器はVTCとTDCの構成で設計した。近年、IoTが急速に普及してきている。このアプリケーションを実現するためには感知したアナログ信号をデジタル信号に変換するA/D変換器が必要不可欠である。加えて、IoTでは持ち運びやすさや長時間稼働が求められる。小型化や低消費電力化が重要となってくる。Time domain ADCはVTCで入力電圧をクロックとの遅延時間に変換し、TDCで遅延時間をデジタル化することでA/D変換を行う。TDCは全てデジタル素子で構成が可能であり、プロセスの恩恵を受け、小型化・低消費電力化が容易である。このADCを用いて、DNLI, INLI, ENOB等の精度の確認を行うことを目的とした。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：マイクロプロセッサ

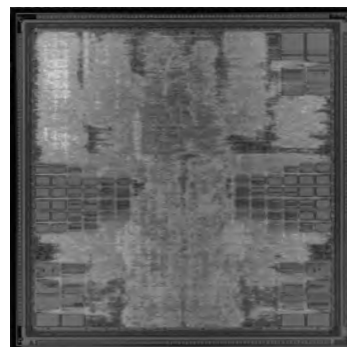


TEEHW_Rocket32_RDFS

電気通信大学情報理工学専攻 Dao Ba-Anh, 範 公可, 石橋 孝一郎

概要：This chip is a 5 \times 5-mm² chip packaged with the QFP160 socket. There is only one circuit in this chip, and it is a Trusted Execution Environment (TEE) System-on-Chip (SoC) with a special implementation of Random Dynamic Frequency Scaling (RDfs). There are two Rocket cores with the Instruction Set Architecture (ISA) of RV32IMAC. Each processor has 16-KB of instruction cache and 16-KB of data cache. There is no L2 cache. The embedded hardware cryptographic accelerators are SHA3 (512bit), AES (128bit or 256bit, and can be changed on the fly), Ed25519 (with base-point multiplier and sign function), ChaCha20, Poly1305, and True Random Number Generator (TRNG). The peripherals are General-Purpose In-Out (GPIO), boot Read-Only Memory (ROM), UART, Serial Peripheral Interface (SPI) for using SD-card, and Queued SPI (QSPI) for using flash memory. This circuit aims to test out the effect of the RDfs on the security level to see how resilient it is against power analysis attacks. Each core has its own clock, and each bus also has its own clock, including the system bus, memory bus, peripheral bus, and crypto bus. After the test, the protection was indeed increased when the operating clock frequency was changed randomly. The used test is a power analysis attack to guess the AES key. The whole circuit was spanned on 4,660.8 \times 4,660.8- μ m² (1,752,571-NAND2 gate-count) with 381,258 cells and 7,391,002 MOSFETs. The simulation results gave the maximum operating frequency at about 50-MHz with 869.5-mW power consumption at the 1.8-V power supply.

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Xcelium, Cadence社 GENUS, Cadence社 Innovus, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Conformal, Cadence社 Tempus, Synopsys社 Finesim, トランジスタ数：1,000,000~10,000,000 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：マイクロプロセッサ



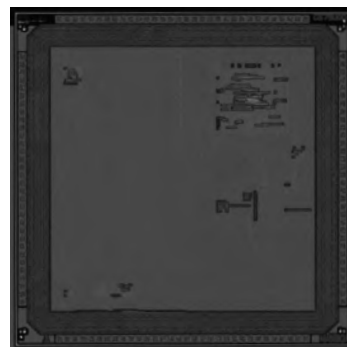
遅延故障・断線故障検査容易化回路の試作

徳島大学大学院創成科学研究科 大寺 佑都, 奥本 裕也, 出口 祥大, 知野 遥香

徳島大学大学院社会産業理工学専攻 四柳 浩之, 橋爪 正樹

概要：遅延故障の検査容易化回路とIC間断線およびIC内断線の電氣的検査容易化回路3種を含むチップを試作した。1) 時間-デジタル変換回路組込型検査容易化回路内のフリップフロップ初期値を観測可能としPUF機能も持たせた回路を設計した。2) チャージポンプ回路を用いた注入電荷量によるIC内断線検査回路を実装した。3) 弛緩発振器を用いるIC間断線検査回路を実装した。4) オンラインテスト可能なIC間配線の電流検査回路を実装した。各回路について動作検証を終え、検出可能故障についての実験および個体識別用PUF機能の検証を行なっている。

設計期間：5人月以上, 6人月未満 設計ツール：Cadence社 Xcelium, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, TOOL社 Lavis, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre, Synopsys社 PrimeTime, トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)



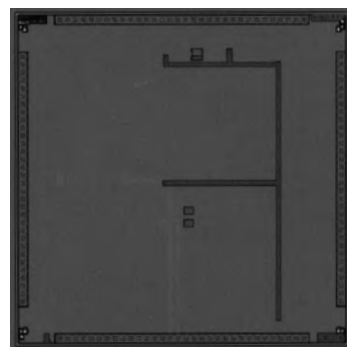
複数FABでのチップ製造手順の実証回路

金沢大学理工学域 秋田 純一

金沢大学自然科学研究科 大河 亮

概要：半導体試作製造においては、製造FABごとに固有の設計情報（マスク構成や設計ルールなど）があるため、プリント基板のように製造先を自由に切り替えることが困難である。そこで、複数FABで製造可能なチップ設計を実現するために、MOSISのscmosをベースとした仮想PDKの開発を行っている。仮想PDKでは、回路図ベースの設計を起点とし、そこで用いるトランジスタモデルやスタンダードセルの遅延モデルを製造FABごとのものを用いて設計を行う。その後、その回路図に基づいてレイアウト設計を行うという手順をとる。これによって、製造FAB固有のNDA対象の情報を使うことなくチップ設計が可能となる、本試作チップでは、その仮想PDKを用いて、オペアンプとリングオシレータ、NOTゲートの試作を行った。パッド配線にミスがあったためにオペアンプ以外の計測はできなかったが、チップ中央部にブローピング用パッドとともに置いたオペアンプの計測の結果、設計通りの特性を確認できた。

設計期間：1人月以上，2人月未満 **設計ツール：**Mentor社 Calibre, Cadence社 Spectre, **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**TEG（特性評価回路など）

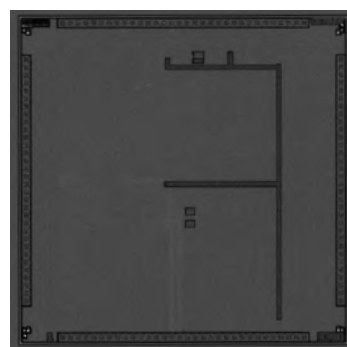


FSKを用いた無線電力・データ同時伝送システム制御回路

明治大学理工学部 藤田 誉大, 和田 和千

概要：磁界共鳴無線電力伝送回路に周波数偏移変調を適用した無線電力・データ同時伝送システムの制御回路を実装した。制御回路は、2つの位相同期ループ（Phase Locked Loop: PLL）と、FSK変調回路、ハーフブリッジインバータ等を含む。一般に、磁界共鳴無線電力伝送回路の出力電力は、送受信コイル間の結合係数に依存することが知られている。実装した回路においては、磁界共鳴無線電力伝送回路の駆動周波数をPLLで適切に負帰還制御することにより、送受信コイル間の結合係数によらず一定の電力を出力することができる。本研究では、個別部品を用いた実装で動作確認までが出来ている回路を集積化することを目標とし、一部のキャパシタ等を除いて、制御回路の大半を集積化することができた。実装した回路の特性を回路ブロックごとに測定したところ、ほとんどの回路ブロックは所望の動作が実現できていることを確認したが、一部回路に不具合があり、同時伝送システムとしての動作は確認できなかった。

設計期間：1人月以上，2人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 ASSURA, **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ（PLL, A-D/DC-DCコンバータなど）

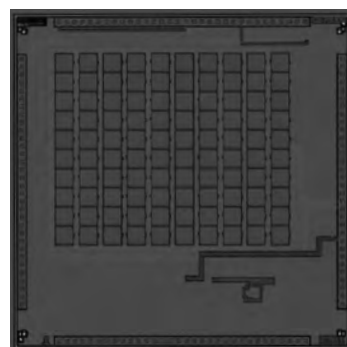


各種要素回路の試作

明治大学理工学部 和田 和千, 藤田 誉大, 中條 洋資, 石井 祐典, 福田 隆造

概要：3名の卒業研究で必要となる要素回路を設計した。具体的には次のとおりである。①最適な無線電力伝送（WPT）のために送電周波数を調整する位相同期回路において、位相周波数比較器（PFD）の駆動能力を以前の設計から改善している。チャージポンプのMOSFETの大きさを変更するとともに、動作時の内部の状態を調べられるように適切なバッファを介した出力端子を設けた。さらに、近距離小電力でデータを同時伝送するWPTのデータ速度の高周波速化を目指し、PFDを構成するMOSFETのチャンネル長・幅を小さくサイズ変更もした、テスト用PDFも試作を行った。② 100 kbpsデジタル可視光通信の受信回路で用いる増幅回路と比較回路の試作を行っている。③ インピーダンス計測技術の習得用題材としての、スパイラルコイルならびに容量を試作している。

設計期間：0.5人月以上，1人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ/デジタル信号処理プロセッサ



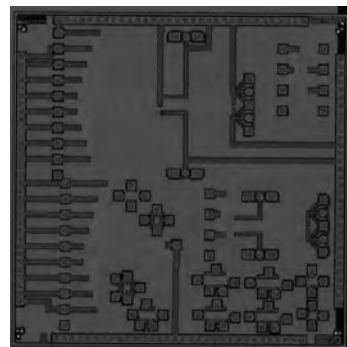
電流ロジックモード(CML)回路を用いた 遅延器および温度係数を増加したPTAT電圧発生回路

明治大学理工学研究科 関根 かをり, 木下 功喜

明治大学理工学部 小林 寛

概要: 低電圧・小面積CMOSアナログ回路を設計することを根拠に置き、評価に必要な回路の設計を行った。高速通信伝送に用いる電流ロジックモード(CML)回路を用いた遅延器に対して、ソース接地カレントミラーを接続したものと、DA変換回路を接続したものの2種類の回路を試作した。電流ロジックモード(CML)回路を用いた遅延器において、寄生抽出のシミュレーションを行った結果をレイアウトに反映させている。また、温度センサとして熱源の温度分布検出のために用いる従来のものより、温度係数を高くしたPTAT電圧発生回路を試作した。要素回路のNMOSレベルシフト回路とNMOSソース接地回路について、3ウェル構造をとっている。これらの回路は測定器による動作確認を通して妥当性の評価を行っている。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Spectre, **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



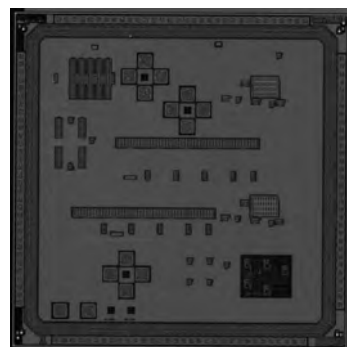
脳波取得フロントエンドの改良及び 自立動作可能LSIチップのための各要素回路の改良

慶應義塾大学理工学部 中野 誠彦, 頃安 裕貴, 渡邊 悠太

慶應義塾大学理工学研究科 三浦 大毅, 八木 健太, 小貫 怜央, 山村 健太

概要: 筋電, 心電, 脳波などの生体電位信号は皮膚に電極を接触させて非侵襲に測定することができ、医療、研究用途に広く用いられている。生体電位信号を扱う低雑音増幅器、フィルタはウェアラブル端末へ応用するために小型化、低電圧化が求められており、我々はこれらをオンチップで実現することを目指している。本試作ではオペアンプ、反転増幅回路、超音波受信回路の設計を行なった。自立動作可能なLSIチップのための、オンチップ太陽電池と電源回路とアプリケーション回路の研究を行っている。電源回路は太陽電池の出力を6V以上に昇圧することで様々なアプリケーション回路の動作を目指す。本試作ではアプリケーション制御回路、20段SOCPの設計を行なった。

設計期間: 6人月以上, 7人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE(RF), **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** マイクロプロセッサ



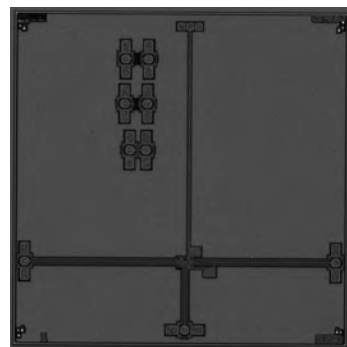
D級電力増幅器コア回路

東京理科大学理工学部電気電子情報工学科 榎田 洋太郎, 高野 恭弥

東京理科大学理工学研究科電気工学専攻 佐藤 龍太

概要: 本シャトルでは、前回RO1818_2試作のシャトルに搭載したD級電力増幅器からオンチップのLC共振器部分を除いたコア回路の設計を行った。前回試作したD級電力増幅器はオンチップによるLC共振器部分の損失が大きいため、電力増幅器全体の電力効率が大きく低下する問題があった。これに対し本回路ではLC共振器部分をオフチップとし、FR4の基板上に作製してワイヤーボンディングにより接続することにより、共振器による損失を低減し電力増幅器全体の電力効率の向上を図る構成とした。本D級電力増幅器は、本研究室が提案している2値直交変調型包絡線パルス幅変調(QM-EPWM)送信機に使用することにより、小型かつ低消費電力な無線送信機が実現できるものと期待される。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, TOOL社 Lavis, Mentor社 Calibre, Cadence社 Spectre, Keysight社 ADS, **トランジスタ数:** ~10 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** 通信 (RF回路, ATMなど)

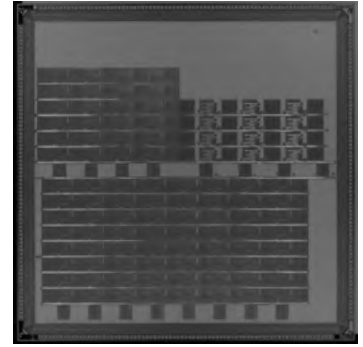


トータルドーズ耐性試験向け光再構成型ゲートアレイ VLSI

岡山大学学術研究院 自然科学学域 渡邊 実

概要：トータルドーズ耐性試験向けの耐放射線・光再構成型ゲートアレイ VLSI を試作した。耐放射線・光再構成型ゲートアレイはホログラムメモリ、レーザアレイ、ゲートアレイ VLSI から構成される光電子デバイスである。FPGA (Field Programmable Gate Array) のシリアル構成回路は放射線に脆弱であるが、耐放射線・光再構成型ゲートアレイ VLSI では光技術を活用することで完全並列な構成が可能になり、放射線に強い構成回路が実現できる。その結果、故障を許容したゲートアレイの運用が可能になり、スタンダードな CMOS プロセスを用いても既存の FPGA よりも高いトータルドーズ耐性が実現できる。ただ、これまでの耐放射線光再構成型ゲートアレイでは並列構成が可能ではあるものの、構成回路にはクロック信号とフォトダイオードをリフレッシュする共通信号が含まれており、これらの信号線のバッファが放射線で破壊されると、構成ができなくなるという弱点があった。この試作では構成回路からフリップフロップを除き、かつ、フォトダイオードのリフレッシュコントロールを無くした耐放射線・光再構成型ゲートアレイ VLSI を実現した。

設計期間：0.1 人月以上, 0.5 人月未満 **設計ツール：**Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Milkyway, Mentor 社 Calibre, Mentor 社 ModelSim, Synopsys 社 HSPICE(RF), **トランジスタ数：**1,000,000~10,000,000 **試作ラン：**ローム CMOS 0.18 μm 5.0mm 角チップ **チップ種別：**ニューテクノロジー

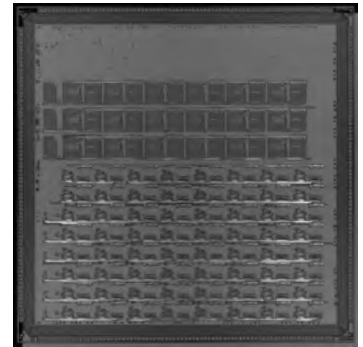


電気構成と光構成が可能な耐放射線光再構成型ゲートアレイ VLSI

岡山大学学術研究院 自然科学学域 渡邊 実

概要：耐放射線光再構成型ゲートアレイとは FPGA (Field Programmable Gate Array) の 1 種で、ホログラムメモリ、レーザアレイ、ゲートアレイ VLSI から構成される光電子デバイスである。放射線に強い電気構成機能の実現に向けて、既存の FPGA の電気的なシリアル構成機能と光再構成型ゲートアレイの光並列構成機能の双方の機能を持つ耐放射線光再構成型ゲートアレイ VLSI を試作した。電気的な構成機能のトータルドーズ耐性は、光並列構成のトータルドーズ耐性には遠く及ばないが、電気構成回路は冗長化され、放射線で壊れにくい設計としてある。電気構成機能が放射線で早期に破壊されたとしても光構成機能を用いてゲートアレイを評価することができ、この機能により電気構成機能の放射線に対する脆弱な個所を特定し、改良していくことで、耐放射線性の高い電気構成機能の実現を目指す。

設計期間：0.1 人月未満 **設計ツール：**Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler, Milkyway, Mentor 社 Calibre, Mentor 社 ModelSim, Synopsys 社 Hercules, **トランジスタ数：**1,000,000~10,000,000 **試作ラン：**ローム CMOS 0.18 μm 5.0mm 角チップ **チップ種別：**ニューテクノロジー

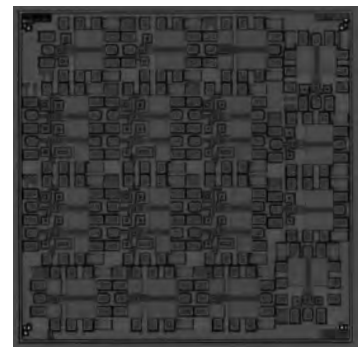


PVT ばらつきに耐性の高い トランスインピーダンス回路実証 TEG チップ

滋賀県立大学工学部 土田 知史, 浅岡 知哉, 土谷 亮, 井上 敏之, 岸根 桂路

概要：本チップは我々が提案する PVT ばらつきに耐性の高いトランスインピーダンスの実証用 TEG を搭載したチップである。トランスインピーダンスアンプは光通信の受信器に使われる回路で、受信器の並列実装が進むにしたがって各チャネルの特性ばらつきが問題になっている。我々は特性を劣化させずに PVT ばらつきに対する耐性の高いトランスインピーダンスアンプを提案しており [1], これによってチャネル間の特性補正回路の負担を軽減することを期待している。過去の試作 [1] では 1 チャネルごとの測定しかできなかったが、本チップでは 2 チャネルを同時に動作させ、チャネル間のクロストークノイズを観測できるようにしたことが特徴である。これによってより実動作に近い状況でのノイズ耐性を評価することができる。設計したトランスインピーダンスアンプは 10 Gbps で動作する高周波回路であり、学生 2 名と教員 1 名によるフルカスタム設計で設計期間は約 1 ヶ月である。測定はオンウェハプロービングでアイダイアグラムを観測する予定である。

参考文献：[1] 土田, 土谷, 井上, 岸根, "A Transimpedance Amplifier Topology Considering the Impact of Variability on Inductive Peaking", SASIMI 2021, pp.192-196, 2021年3月. **設計期間：**3 人月以上, 4 人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, Synopsys 社 StarRC(XT), Synopsys 社 Hercules, Synopsys 社 HSPICE(RF), Keysight 社 ADS, **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別：**TEG (特性評価回路など)

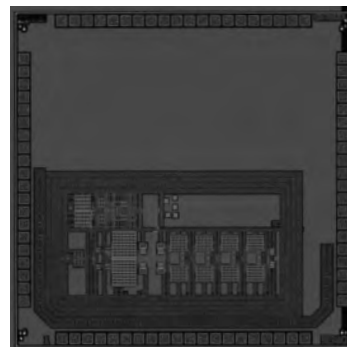


容量型TIAを用いた光プローブ電流センサ向け CMOSアナログフロントエンド回路の精度改善

信州大学大学院 総合理工学研究科 Nguyen La Hong Phuc, 宮地 幸祐

概要：バッテリーモニタリング用途光プローブ電流センサ向けのアナログフロントエンド (AFE) 回路を設計した。AFEはこれまで同様にオフセット除去用の変復調チョッパ、AFE前段のフォトダイオードの接合容量を電流電圧増幅段から分離する Regulated Cascode (RGC) バッファ、電流電圧増幅を行う Capacitive Transimpedance Amplifier (CTIA)、CTIA出力のS&H回路、残留オフセットに起因するリップルを除去する Ripple Reduction Loop (RRL) から構成されるが[1]、今年度は帯域100kHzの4次バターワースアクティブフィルタを追加し、出力をアナログにした。この他にAFEクロック周波数を高め、CTIAの実効容量を削減することでCTIAの帯域を向上させつつ、CTIA容量ミスマッチを押さえるためにラダー構成を採用した。AFE全体として電流電圧変換利得 (TIG) 86dB Ω かつ帯域100kHzを実測にて確認することができた。

参考文献：赤羽和哉, Nguyen La Hong Phuc, 曾根原誠, 佐藤敏朗, 宮地幸祐, "容量型TIAを用いた光プローブ電流センサ向けCMOSアナログフロントエンド回路の精度改善", 電子情報通信学会信越支部大会, 4G-4, 126, 2020. **設計期間：**2人月以上, 3人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)



FiCC (Fishbone-in-Cage Capacitor)を用いた 不揮発SRAM, SCMの特性評価試作チップ

京都工芸繊維大学工学科学研究科電子システム工学専攻 阿部 佑貴, 浦部 孝樹, 小林 和淑

概要：近年, IoT (Internet of Things) やモバイルデバイスの普及に伴い, そのバッテリー駆動時間延長のため, プロセッサの低消費電力化および待機時電力削減が求められている. 待機時電力削減手法としては, 待機時に電源を落とし, リーク電力を削減する不揮発パワーゲーティング技術が挙げられる. そのためFiCC (Fishbone-in-Cage Capacitor)を用いた不揮発メモリを揮発性のSRAM, SCM (Standard Cell Memory) およびフリップフロップに適用することで不揮発化をおこなった. また従来の欠点であった復帰時にデータ反転が生じる問題も解決した. 本チップは現在測定中であり, 今後, 実測評価を論文等で報告する予定である.

参考文献：阿部, 小林, 塩見, 越智, "間欠動作を行うIoT向けプロセッサに適したFiCCを用いた不揮発スタンダードセルメモリの実測評価", pp. 3-8, DAシンポジウム(2021) **設計期間：**2人月以上, 3人月未満 **設計ツール：**Synopsys社 DesignCompiler, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数：**100,000~1,000,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mmx5.0mmチップ **チップ種別：**メモリ



確率的Flash ADCを用いた11bitサブレンジングADC

東京電機大学大学院工学研究科電子システム工学専攻 坂口 平

東京電機大学工学部電子システム工学科 小松 聡

概要：粗く変換するCoarse段に通常の5bit Flash ADC、細かく変換するFine段では6bit 確率的Flash ADCを用いた11bit サブレンジングADC のチップ試作を行った。通常のFlash ADCは0~1.8[V]の範囲で動作するようにnmos入力のコmpレータとpmos入力のコmpレータを半分ずつで構成した。確率的Flash ADCではnmos入力のコmpレータのみで構成されており、HSPICEのモンテカルロシミュレーションにて3[mV]の標準偏差を与えたときの入力電圧範囲が ± 4.5 [mV]程度のもとなっている。そのため確率的Flash ADCの入力電圧範囲が、必要な入力電圧範囲より狭いため変換が荒いものになることが予想される。実際のバラつきがシミュレーションのものとの程度違いが生まれるかが本チップによって確認ができると考えられる。また、確率的Flash ADCの参照電圧は前段のCoarse段にて生成された参照電圧を適切に選択する回路によって入力されている。

設計期間：0.5人月以上, 1人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



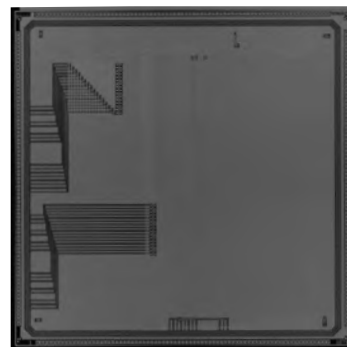
アナログスパイクニューラルネットワーク回路および多数決回路

東北大学電気通信研究所 守谷 哲, 山本 英明, 佐藤 茂雄

東北大学大学院工学研究科 小野 哲史

概要：本試作では、エッジ上で推論・学習が可能な超低消費電力の脳型ハードウェアの実現にむけて、スパイクニューラルネットワークおよび多数決の動作を実現する回路の実装を行った。スパイクニューロン回路中のトランジスタを弱反転領域で動作させることで、消費電力を1/100程度に抑えつつ神経スパイクの動作を再現することが出来る。またマトリクス状に配置されたレジスタに結線情報を格納することで、ネットワーク構造を変更できるように設計した。多数決回路では、入力数Nに対してO(N)個のトランジスタのみで構成される回路を設計した。多数決のしきい値を決定する電位のマージンを確保することで、Nが101程度まで増大しても正確に多数決論理を演算できる。またトランジスタのゲート長およびゲート幅を適切に設定することによって、トランジスタのサイズばらつきに対してロバスト性を確保した。

参考文献：小野, 守谷, 菅家, 山本, 弓仲, 佐藤, “ニューロン回路への応用を目的としたアナログCMOS多数決回路の設計”, 信学技報, pp. 45-48, 2022年1月. 設計期間：6人月以上, 7人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Synopsys社 HSPICE(RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ



2足歩行ロボット制御のためのSRAM構造を持つ長時定数回路

日本大学理工学部 佐伯 勝敏, 佐々木 芳樹, 鈴木 克典

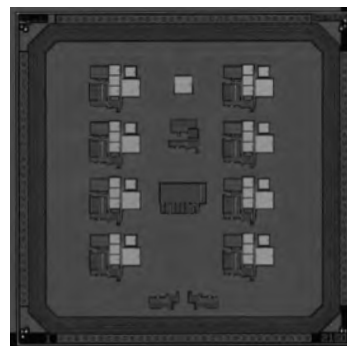
概要：本試作チップでは、

①神経細胞モデルおよび軸索モデル ②CPG用補助回路 の試作を行った。詳細は以下の通りである。

①前回作成した新規構造を持つ Δ 形負性抵抗素子を用いたパルス形カオスニューロンモデルについて、短チャネル効果の影響や寄生素子、その他パラメータの影響を確かめるためパラメータのバリエーションモデルを作製した。

②2足ロボットの歩行リズムを自動的に生成するためのセンサフィードバック用回路を以前制作しているが、ノイズ等に対する耐性が少なく動作が不安定であり、また小型ICチップで制御可能な周波数範囲は高周波に偏りが生じやすいことから、SRAMを用いて長時定数化を行い、低周波数領域を取り扱うことが可能となるよう作製した。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 Hercules, Synopsys社 HSPICE(RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

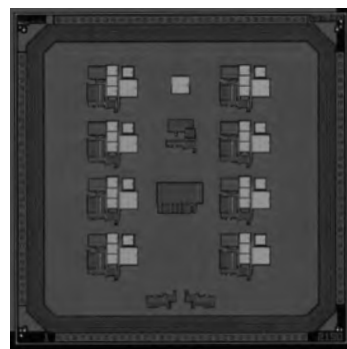


圧力センサ用アナログフロントエンドIC

富山県立大学情報システム工学専攻 吉河 武文, 島崎 凌, 高木 駿

概要：本ICは、この容量式圧力センサ用のアナログフロントエンドICである。容量変化を電圧変化に変換するCV変換回路においては、式(1)のようにセンサ容量 C_s と固定の基準容量 C_{ref} の差分に応じた出力電圧 V_{amp} が得られる。 V_r は電荷再配分時の平衡点電圧である。 $V_{amp} = (C_s - C_{ref}) / C_f \times V_r + V_r$ (1) ここで、無圧状態においては、理想的には $C_s - C_{ref}$ が0となるため、出力は平衡点電圧 V_r となる。しかしながら、センサ容量に容量オフセットがある場合、 $C_s - C_{ref} \neq 0$ となるため、無圧状態にも関わらず、微妙な圧力が検知され測定ノイズとして出力されてしまう。センサ容量の容量オフセットは製造バラツキによって発生するので、システムの電源投入時に C_{ref} と特定の C_s の容量値の比較を行い、基準容量 C_{ref} に補助容量を逐次追加することにより対応している。この逐次追加アルゴリズムは、Verilogで記述し論理合成によりハードウェア化している。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：100,000~1,000,000 試作ラン：CMOS SOTB 65nm 2mmx1.5mm チップ種別：アナログ(PLL, A-D/DC-DCコンバータなど)



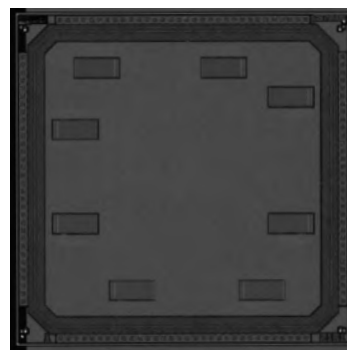
耐放射線用PLL

富山県立大学情報システム工学専攻 吉河 武文

富山県立大学工学部 旭 満里奈, 山下 達矢

概要：本ICは、耐放射線性能を高めた位相同期ループ(PLL)である。アナログ特性を変更したPLLを8個搭載している。電圧制御オシレータ(VCO)は、リングオシレータを使用しているが、このリングオシレータを3重構造とし、そのうちの1つに放射線により周波数変動が発生したとしても、外の2つのリングオシレータの発振周波数を参照することによって、システムとして放射線照射の影響が緩和されるようにしている。また、VCO以外にも、チャージポンプ(CP)と分周回路(DIV)にも工夫を施した。CPは、レイアウトによりバルク内で発生したキャリアがトランジスタのドレインに吸い込まれないようにしたバージョンを用意している。また、DIVは、通常のフリップフロップに加えてDICE式のフリップフロップも用意した。このVCO、CP、DIVの組み合わせにより8個のPLLのパラエティを構成している。発振周波数は、500 MHzから1 GHz程度であり、分周比は16である。

設計期間：4人月以上, 5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ(PLL, A-D/DC-DCコンバータなど)



128ビットAES内SBoxの電力解析攻撃耐性検証用チップ

福岡大学工学部 請園 智玲

概要：本チップは内部に128ビットのAESの暗号処理専用回路とシリアルインターフェースを有する。UARTから受信した平文データをバッファに取り込み、暗号化処理後、バッファリングした暗号文をUARTで送信する単純な作りの暗号チップである。このため、実装面積が比較的小さい。現段階ではチップ外の通信はシリアルTXとRXのみを実装し、外部との同期のためにBUSY信号のみが出力されることから、最小限のI/O数で十分であるが、今後の修正・拡張のために、本試作ではQFP160を選択した。本チップは暗号処理中の消費電力を計測することで、得られた電力消費波形からチップ内部で処理に用いる共通鍵を推測する電力解析攻撃の対象として設計した。攻撃対象はSBoxである。我々の研究は面積オーバーヘッドを最小にして電力解析攻撃の耐性を高めることにある。本チップはそのベンチマークのベースラインとして使用することを目的としている。このため、AESのSBox処理部には通常の合成体SBoxが実装されている。このチップを用いてまずは、動作検証とオシロスコープを用いた消費電力波形の取得を試みる。回路の論理はFPGAにより動作確認済みであり、またFPGAにおける電力消費波形も取得済みである。同じ論理の回路を0.18 μ mでASIC実装した場合の消費電力波形の違いを確認する予定である。

設計期間：3人月以上, 4人月未満 設計ツール：Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 PowerCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Synopsys社 PrimeTime, Synopsys社 Synplify, Synopsys社 Formality, トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：マイクロプロセッサ

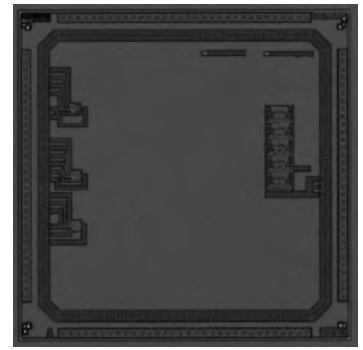


オペアンプ試作

東北大学電気通信研究所 堀尾 喜彦, 石井 豪, 辻 孟

概要: 学部4年生が、オペアンプ回路の設計・シミュレーション・レイアウトを通して、アナログ集積回路の基礎を学ぶため、2種類のオペアンプ回路と、測定用要素TEG回路を、Cadence CADツールを用いて設計・シミュレーションを行い、Rohm 180 nm CMOSプロセスにより集積回路化した。いずれのオペアンプ回路も2段構成の標準的な回路をベースとしたが、低電源電圧、レイルツーレイル振幅特性、高ゲイン、広バンド幅などの厳しい仕様を満たすよう回路の改良を行った。その結果、例えば入力差動ついにNMOS-PMOSの差動対のペアを用い、それぞれをフォールドドカスコード構成にするなどの工夫を施した。実験においても、特に、高入力インピーダンスによるノイズの混入や、高DCゲインの測定等に対する回路的工夫を導入した。これらの試作及び試作チップを用いた実験によるオペアンプ回路の主要特性の評価を通して、アナログ集積回路設計やシミュレーション、測定に関する基本的な事柄を学習でき、今後の研究の助けとなった。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Spectre, Synopsys社 HSPICE(RF), トランジスタ数: 100~1,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

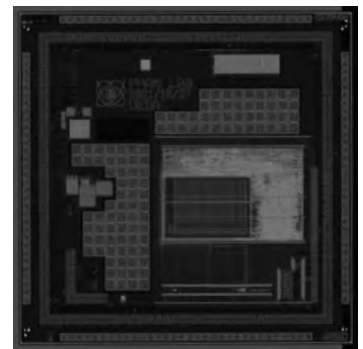


磁界共鳴方式無線電力伝送向けスイッチングドライバほか

電気通信大学情報理工学研究所情報ネットワーク工学専攻 武士俣 勇斗, 石橋 孝一郎, 範 公可

概要: 磁界共鳴方式無線電力伝送向けに、無線電力伝送で用いるコイルとコンデンサの共振周波数に合わせたMOSFETのスイッチング信号を生成し、直流電力から共振を起こすことのできる電力に変換する回路である。チップ内部の回路は、主に3つの部分に分かれ、共振信号の入力を直接ジェネレータなどから波形を入力する方式と水晶振動子で発生する交流波形を通す方式を選択するためのインバータによるANDとOR回路で構成された部分、入力された信号をインバータバッファにより波形整形し後段のスイッチングのパフォーマンスを引き出す部分、そしてゲートのW幅を広く取り、mW級の比較的大きな電力にも耐えうるMOSFETを2つ用いた、伝送する電力となる直流の入力をスイッチングする部分から構成される。このチップにより、伝送する電力を交流で用意する必要がなくなり、無線電力伝送をするにあたって共振を利用して高いシステム効率を引き出しながら小型化・軽量化が期待される。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数: 10~100 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



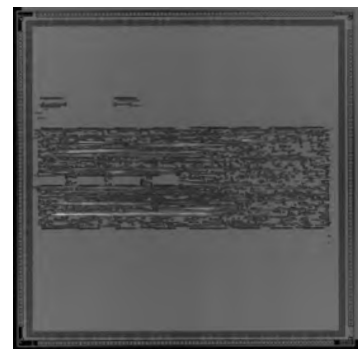
AIチップ設計フロー評価のためのMNIST手書き数字認識チップ

弘前大学大学院理工学研究科 今井 雅

概要: 画像認識や音声認識などの様々な分野において、深層学習などに基づく推論を行うシステムが提案されており、FPGAを用いたシステムの実装・評価も行われている。一方、FPGAによるシステム実装では最適化に限界があるため、量産が望めるのであれば専用のAIチップを用いることも考えられる。本試作では、FPGA上で実装・評価した設計を、ASICチップとして設計・製造・評価するフローを確立することを目的として、MNIST手書き数字の認識を行うAIチップを設計した。初めにC、Pythonで手書き数字の判定を行うプログラムを作成して学習・評価を行うことにより、数字推定を行うニューラルネットを持つ判定器を構築した。次に、Xilinx Vivado HLSでFPGA向けのRTL Verilog記述を生成した後、ASIC向けの記述に手動で変換した。

RTL Verilog記述は手動及びDesign Compilerにより論理合成を行い、IC Compilerで配置配線を行った。テープアウト後にはFPGAでの実装評価に用いたテストベンチ記述を活用し、製造されたASICチップの評価を行うシステムの構築を行った。FPGAによる実装では、デュアルポートを前提とした記述に対し、シングルポートSRAMを用いて実装しなければならなかったことや、不定値の扱いに注意が必要なことなど、FPGA向けの記述からのASICチップの設計における問題点や課題などが確認された。今後チップの評価を進め、設計フローの確立を目指す。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 ICCompiler II, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数: 1,000,000~10,000,000 **試作ラン:** ローム CMOS 0.18 μm 5.0mm角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ

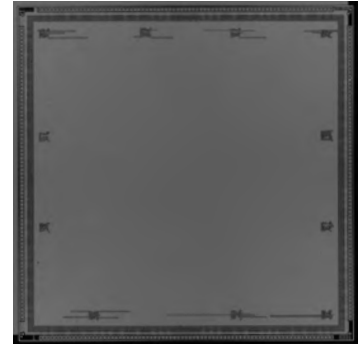


ハードウェアトロイと電源供給最小化セル評価用 TEG

弘前大学大学院理工学研究科 今井 雅

概要：様々な機能が1チップに実装されたシステムオンチップ（SoC）が実現されている一方、SoC設計・製造に第三者が関わらざるを得なくなっており、ハードウェアに仕込まれるハードウェアトロイが問題となっている。その対象となるICは、プロセッサレベルの大規模なものから、単一目的のために使用される単一機能のディスクリート半導体まで、幅広く広がっている。本試作では、ハードウェアトロイと検知手法の評価を目的として、TRUST-HUBホームページで提供されているハードウェアトロイベンチマーク回路を参考に、同一機能に対して、ハードウェアトロイが挿入された複数の回路と、いくつかの制約のもとで設計した複数の正常な回路を1チップに実装した。製造時のプロセスパラメータ変動を考慮して、モンテカルロシミュレーションにより評価した結果では、遅延や消費電力の比較などではハードウェアトロイの検知は難しいことが確認されたが、実チップでの評価を今後進めていく。また、本試作では、不揮発メモリの代替機能を安価に実現することを目的として、バッテリーや電池などによる電源供給能力が著しく低下した時に、最低限必要な情報を退避用記憶素子に保存し、その記憶素子部のみに電源を供給することで延命を図るシステムの構築に必要な、電源供給最小化セルの評価用 TEG 回路を実装した。

設計期間：0.5ヶ月以上、1ヶ月未満 **設計ツール：**Synopsys社 VCS, Synopsys社 ICCompiler II, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Synopsys社 HSPICE(RF), **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別：**アナログ/デジタル信号処理プロセッサ

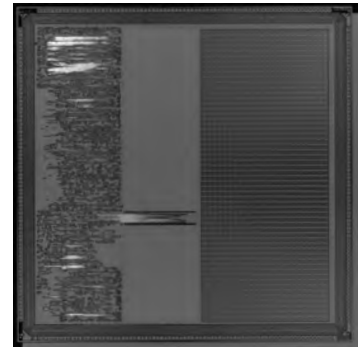


低消費エネルギープロセッサSoC

弘前大学大学院理工学研究科 金本 俊幾

概要：積雪厳寒期における低温下で機材の設置およびメンテナンスが困難な地域において、低消費エネルギーで故障なく連続稼働し、気象・地象・生態系のモニタリングが確実に実行されるセンサノードの実現を目指し、プロセッサSoCの研究を行っている。本試作では、低消費エネルギーとノイズ耐性を両立するため、実動作において最適な電源電圧を探索するセンサノード向けプロセッサ本体に、電源電圧変動を抑制するデカップリング容量素子 TEG を結合した構成としている。180nm CMOS プロセスを用いたチップ全体は5mm角の大きさで、シングルステージ動作を行うプロセッサの片側に nF オーダーのインターデジタル型容量を形成している。本 TEG の実測および回路シミュレーションにより、低温下において総消費エネルギーが最小となる電源電圧と、インターデジタル容量が最も有効となる給電点の探索を行い、併せて LSI、パッケージ、ボード協調設計に向けたオンチップインピーダンスモデルの構築を行う。

参考文献：葛西瀬梨亜, 畠山寛, 今井雅, 黒川敦, 金本俊幾, "低消費エネルギープロセッサの SoC 物理設計," 情報処理学会東北支部研究報告, Vol.2021-6, No.5-3, Feb., 2022 **設計期間：**3ヶ月以上, 4ヶ月未満 **設計ツール：**Synopsys社 DesignCompiler, Synopsys社 ICCompiler II, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Synopsys社 PrimeTime, **トランジスタ数：**100,000~1,000,000 **試作ラン：**ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別：**マイクロプロセッサ

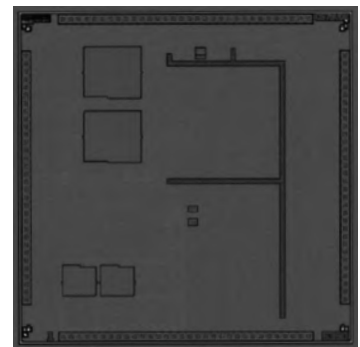


集積素子を増やした FSK を用いた無線電力・データ同時伝送システム制御回路

明治大学理工学部 藤田 誉大, 中條 洋資, 和田 和千

概要：磁界共鳴無線電力伝送回路に周波数偏移変調を適用した無線電力・データ同時伝送システムの制御回路を実装した。制御回路は、2つの位相同期ループ（Phase Locked Loop: PLL）と、FSK 変調回路、ハーフブリッジインバータ等を含む。回路の構成は、本試作以前に実装したチップ（PC579UDFR5390：「FSK を用いた無線電力・データ同時伝送システムの制御回路」）と同一であるが、その試作で集積化できていなかった一部の容量等の部品等を新たに集積化して実装した。その他、今後のチップ試作や研究等に活用するため、MOS トランジスタの形状比を数通り変えた、特性測定用の TEG トランジスタを併せて実装した。以前に試作したチップより前に本試作の設計メ切を迎えたため、不具合の改善を行うことができず、以前に試作したチップと同様の問題が発生し、同時伝送システムとしての動作を確認することができなかった。

設計期間：1ヶ月以上, 2ヶ月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 ASSURA, **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)



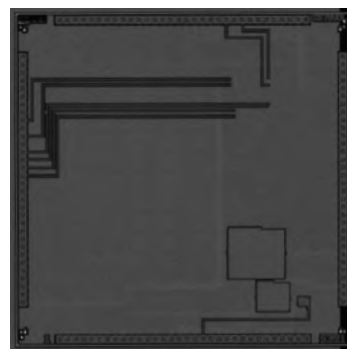
各種要素回路の試作

明治大学理工学部 和田 和千, 藤田 誉大, 中條 洋資, 石井 祐典, 福田 隆造

概要：3名の卒業研究で必要となる要素回路をそれぞれ設計した。具体的には次のとおりである。

①最適な無線電力伝送 (WPT) のために送電周波数を調整する位相同期回路において、位相周波数比較器 (PFD) の高周波化を目指した設計を行った。位相周波数比較器 (PFD) の NAND 回路を、前回試作に比べて0.3倍に縮小している。②1 Mbps デジタル可視光通信の受信回路で用いる増幅回路と比較回路の試作を行っている。また、送信回路で外付けLEDを駆動するためのソースフォロワを設計している。このソースフォロワには大きな電流を流すために、並列接続したMOSFETで大きな等価チャンネル長を実現している。さらに、その動作時のチップ温度を管理するために、センシング用の19個の抵抗を配している。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ



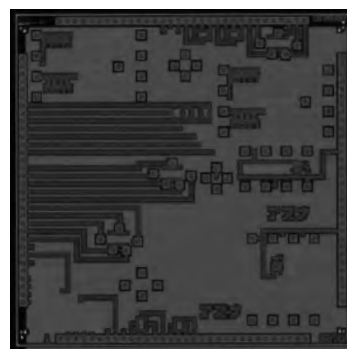
電流制御発振器と周波数デジタル変換回路を用いた ADC および温度係数を増加した PTAT 電圧発生回路

明治大学理工学研究科 関根 かをり, 阿部 真也

明治大学理工学部 安藤 夏輝, 小林 寛

概要：低電圧・小面積CMOSアナログ回路を設計することを根拠に置き、評価に必要な回路の設計を行った。ポテンショスタットを使用した微弱な生体信号を扱う低消費電力動作・小面積化が電流制御発振器 (CCO) と周波数デジタル変換回路 (FDC) を接続したADCを試作した。CCOに関して、動作確認のために要素回路である遅延回路と差動アンプをそれぞれ単体で測定が可能な設計をした、温度センサとして熱源の温度分布検出のために用いる従来のものより、温度係数を高めたPTAT電圧発生回路を試作した。熱源を配置し、その距離によって温度特性を検討する。これらの回路は測定器による動作確認を通して妥当性の評価を行っている。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Spectre, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)



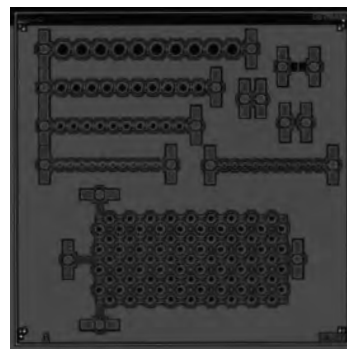
疑似伝送線路

東京理科大学理工学部電気電子情報工学科 榎田 洋太郎, 高野 恭弥

東京理科大学理工学研究科電気工学専攻 川原 啓輔

概要：疑似伝送線路は有限の繰り返し構造から成る伝送線路状の電気回路であり、通常の伝送線路にはみられない周波数特性を示すことが知られている。これを応用して波形整形や広帯域信号の電力合成などの新たな機能回路を作製できる可能性が示されており、開発が期待されている。本チャトルでは、集積回路チップ上の疑似伝送線路の特性を調べるために、スパイラル・インダクタとMIM (Metal - Insulator - Metal) キャパシタを用いた疑似伝送線路を試作した。また、インダクタとキャパシタを2次元格子状に配置した2次元疑似伝送線路も試作した。これらの試作回路は2ポートのSパラメータを測定することにより評価する。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, TOOL社 Lavis, Mentor社 Calibre, Cadence社 Spectre, Keysight社 ADS, トランジスタ数：~10 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

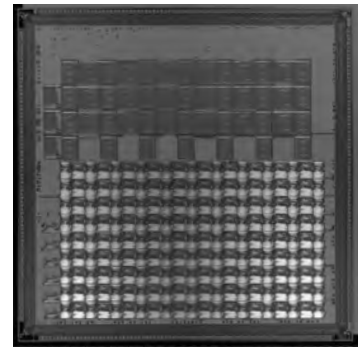


トータルドーズ耐性試験向け光再構成型ゲートアレイ VLSI

岡山大学学術研究院 自然科学学域 渡邊 実

概要：トータルドーズ耐性試験向けの耐放射線・光再構成型ゲートアレイ VLSI を試作した。耐放射線・光再構成型ゲートアレイはホログラムメモリ、レーザアレイ、ゲートアレイ VLSI から構成される光電子デバイスである。FPGA (Field Programmable Gate Array) のシリアル構成回路は放射線に脆弱であるが、耐放射線・光再構成型ゲートアレイ VLSI では光技術を活用することで完全並列な構成が可能になり、放射線に強い構成回路が実現できる。その結果、故障を許容したゲートアレイの運用が可能になり、スタンダードな CMOS プロセスを用いても既存の FPGA よりも高いトータルドーズ耐性が実現できる。ただ、これまでの耐放射線光再構成型ゲートアレイでは並列構成が可能ではあるものの、構成回路にはクロック信号とフォトダイオードをリフレッシュする共通信号が含まれており、これらの信号線のバッファが放射線で破壊されると、構成ができなくなるという弱点があった。この試作では構成回路からフリップフロップを除き、かつ、フォトダイオードのリフレッシュコントロールを無くした耐放射線・光再構成型ゲートアレイ VLSI を実現した。先に試作した耐放射線・光再構成型ゲートアレイ VLSI の改良チップである。

設計期間：0.1人月以上, 0.5人月未満 **設計ツール：**Synopsys社 DesignCompiler, Milkyway, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 HSPICE(RF), **トランジスタ数：**1,000,000~10,000,000 **試作ラン：**ローム CMOS 0.18 μm 5.0mm角チップ **チップ種別：**ニューテクノロジー

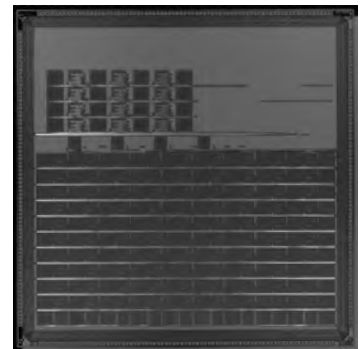


電気構成と光構成が可能な耐放射線光再構成型ゲートアレイ VLSI

岡山大学学術研究院 自然科学学域 渡邊 実

概要：耐放射線光再構成型ゲートアレイとは FPGA (Field Programmable Gate Array) の1種で、ホログラムメモリ、レーザアレイ、ゲートアレイ VLSI から構成される光電子デバイスである。放射線に強い電気構成機能の実現に向けて、既存の FPGA の電気的なシリアル構成機能と光再構成型ゲートアレイの光並列構成機能の双方の機能を持つ耐放射線光再構成型ゲートアレイ VLSI を試作した。電気的な構成機能のトータルドーズ耐性は、光並列構成のトータルドーズ耐性には遠く及ばないが、電気構成回路は冗長化され、放射線で壊れにくい設計としてある。電気構成機能が放射線で早期に破壊されたとしても光構成機能を用いてゲートアレイを評価することができ、この機能により電気構成機能の放射線に対する脆弱な個所を特定し、改良していくことで、耐放射線性の高い電気構成機能の実現を目指す。先に試作した耐放射線・光再構成型ゲートアレイ VLSI の改良チップである。

設計期間：0.1人月未満 **設計ツール：**Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Milkyway, Mentor社 Calibre, Mentor社 ModelSim, Synopsys社 HSPICE(RF), **トランジスタ数：**1,000,000~10,000,000 **試作ラン：**ローム CMOS 0.18 μm 5.0mm角チップ **チップ種別：**ニューテクノロジー



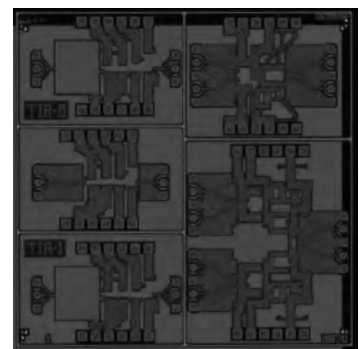
光受信用アナログフロントエンド回路 TEG7

岐阜大学大学院自然科学技術研究科 加藤 篤史, 山田 拓磨

岐阜大学工学部 伊藤 大輔, 中村 誠

概要：我々の研究グループでは、光パケット伝送用アナログフロントエンド回路の設計を行っている。光アクセス (FTTH) や光パケットルータでは、信号強度の異なるパケットデータの送受信を行うため、受信したパケットデータに高速応答可能なアナログフロントエンド回路が求められている。これまでの試作で、信号強度 (振幅) の大きく異なるパケット信号 (バースト信号) に対応した高速利得切り替え回路を検討してきた。今回の試作では、パケットデータ対応光/電気変換回路 (TIA) の後段で出力信号を一定にするために信号強度に応じて利得可変を行う可変利得増幅回路 (VGA) の試作を行った。特に、複数の伝送速度に対応可能とするために帯域切り替え機能を組み込み、さらに PAM4 符号にも対応可能とするために線形増幅が得られる構成とした。また、帯域に応じた増幅器を設けず受信データ速度に応じて帯域を切り替えるため、低電力で複数速度に対応可能である。尚、試作 IC の詳細評価は今後行う予定である。

参考文献：[1] 加藤, 湯浅, 石原, 中村, 伊藤, “帯域切り替えによるトリプルレート対応低電力可変利得増幅器の検討”, 信学会ソ大会, A-1-2, 2021年9月. **設計期間：**4人月以上, 5人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別：**通信 (RF回路, ATMなど)



超低電圧エネルギーハーベスティング電源回路 ver.1

金沢大学理工研究域 北川 章夫

概要：新規考案した理想整流回路を用いたエネルギーハーベスティング電源回路を試作した。このチップには、(1) 理想整流回路単体、(2) 多段倍電圧整流回路、(3) 同期式磁束抽出回路、(4) 発振回路内臓DC-DCコンバータが含まれる。これらの電源回路は、入力電力の一部を使用して動作し、別途電源を用意する必要はない。性能評価の結果、(1) 理想整流回路は、約5mVの超低電圧から電流が立ち上がる超低電圧での整流動作が確認された。この回路を用いて構成した(2) 多段倍電圧整流回路では、理論的な出力DC電圧が、入力電圧振幅の2N倍 (Nは段数) となるのに対して、97%の電圧効率、94%の蓄電エネルギー効率を達成した。これに対して、従来のショットキーダイオードを用いた多段倍電圧整流回路では、電圧効率が70%以下、蓄電エネルギー効率が50%となる。(3) 同期式磁束抽出回路、(4) 発振回路内臓DC-DCコンバータについても評価を行ったが、予想より出力DC電圧が低かった。この回路の性能は、パワーインダクタの性能に依存しており、数種類のパワーインダクタに対して実験を行ったところ、性能改善が見られたが、理論通りの性能を引き出すためには、さらに、スイッチングタイミングの微調整が必要であることが分かった。

設計期間：2人月以上, 3人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数：**100,000~1,000,000 **試作ラン：**CMOS SOTB 65nm 2mmx1.5mm **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)

超低電圧エネルギーハーベスティング電源回路 ver.2

金沢大学理工研究域 北川 章夫

概要：新規考案した理想整流回路を用いたエネルギーハーベスティング電源回路を試作した。このチップには、(1) 理想整流回路単体、(2) 多段倍電圧整流回路、(3) 同期式磁束抽出回路、(4) 発振回路内臓DC-DCコンバータが含まれる。これらの電源回路は、入力電力の一部を使用して動作し、別途電源を用意する必要はない。超低電圧エネルギーハーベスティング電源回路 ver.1と同じ回路構成だが、SOTBトランジスタのパラメータを変更し、充電速度を下げる代わりに、入力周波数帯域を広くとっている。性能評価の結果、ver.1と同様に、理想ダイオードが約5mVの超低電圧から整流動作することが確認された。電流値 (ON抵抗) は、予想通り、理想ダイオード内のスイッチングトランジスタの低列接続数に比例する確認された。また、(1) 多段倍電圧整流回路、(2) 同期式磁束抽出回路、(3) 発振回路内臓DC-DCコンバータの性能評価を行い、シミュレーションと一致する結果が得られた。

設計期間：2人月以上, 3人月未満 **設計ツール：**2人月以上, 3人月未満 **トランジスタ数：**100,000~1,000,000 **試作ラン：**CMOS SOTB 65nm 2mmx1.5mm **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)

ガードゲート構造を利用した耐放射線フリップフロップ

京都工芸繊維大学工学科学研究科 古田 潤, 記伊 智也, 小林 和淑

概要：放射線が集積回路を通過すると、その電離作用により電子正孔対が生じる。生じた電荷によりトランジスタの出力が一時的に反転するシングルイベント効果が回路の信頼性を低下させている。放射線による一時的な反転の影響を防ぐ方法として、ガードゲート構造と呼ばれる遅延素子を使用したローパスフィルタがある。このガードゲート構造をフリップフロップ内部に構成した耐放射線フリップフロップ、FRFFを65nm FDSOIプロセスを利用して試作した。比較対象として通常のFFと、stacked FFと呼ばれる遅延時間のオーバーヘッドの大きい既存の耐放射線FFも同一のチップに搭載している。FRFFの放射線耐性はローパスフィルタの遅延の大きさに依存するため、遅延素子の構造を変更したFRFFを設計した。準単色中性子の照射試験により各FRFFの放射線耐性を実測により評価し、FRFFではソフトエラーが生じない結果となった。

参考文献：[1] 記伊, 古田, 小林, "FDSOIプロセスにおける遅延を増加させたガードゲート型フリップフロップのソフトエラー耐性の実測評価", pp. 155-159, DAシンポジウム(2021) **設計期間：**1人月以上, 2人月未満 **設計ツール：**Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), **トランジスタ数：**100,000~1,000,000 **試作ラン：**CMOS SOTB 65nm 3mm角 **チップ種別：**TEG (特性評価回路など)

耐放射線用 SAR-ADC

富山県立大学情報システム工学専攻 吉河 武文

富山県立大学工学部 青木 友哉

概要：耐放射線性能を高めたアナログ-デジタル変換回路 (ADC) である。変換方式は差動型の逐次比較型 (SAR) を採用している。一般的に SAR-ADC は、放射線の照射によりバルク内で発生したキャリアが AD 変換用のキャパシタに混入すると、AD 変換の途中で電荷量が変わることになるため、所望のデジタルコードが発生されずエラーコードとなる。本 SAR-ADC は、キャリアの混入する経路である一対のサンプリングスイッチの近傍に放射線検出回路をそれぞれ搭載し、一方にキャリアを検出したら、その検出した方のサンプリングスイッチに係る変換を止めて他方のサンプリングスイッチに係る変換のみで AD 変換を行わせしめる。これにより、SNR は低下するものの、エラーコードの発生は抑制できることとなる。本 SAR-ADC では、デジタル回路の耐放射線性能の向上のためデジタル回路のみに SOTB トランジスタを使用している。このため、マルチ電圧 (3.3V と 1.2V) となるので、耐放射線用のレベルシフタも搭載している。

設計期間：3人月以上, 4人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数：**100~1,000 **試作ラン：**CMOS SOTB 65nm 2mmx1.5mm **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

超低電圧エネルギーハーベスティング電源回路 ver.3

金沢大学理工研究域 北川 章夫

概要：新規考案した理想整流回路を用いたエネルギーハーベスティング電源回路を試作した。このチップには、(1) 理想整流回路単体、(2) 多段倍電圧整流回路、(3) 同期式磁束抽出回路、(4) 発振回路内臓 DC-DC コンバータが含まれる。これらの電源回路は、入力電力の一部を使用して動作し、別途電源を用意する必要はない。超低電圧エネルギーハーベスティング電源回路 ver.1 と同じ回路構成だが、基板電位、ウエル電位、回路の基準電位の関係を変更することができる。提案回路の入力段には、交流電圧が印可されるため、基板およびウエル電位によって、回路動作に支障を来す可能性がある。しかし、ディープ N ウェルが回路抽出されなかったため、シミュレーションにより動作確認を行うことができなかった。このため、基板や各種ウエル電位を外部から設定した状態で回路動作を観測できるように、レイアウトと IO ピンに改造を加えた。このチップを用いて、回路が安定して動作するための条件を求めることができたので、来年度の試作に生かす予定である。

設計期間：2人月以上, 3人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数：**100,000~1,000,000 **試作ラン：**CMOS SOTB 65nm 2mmx1.5mm **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

耐放射線用 SAR-ADC

富山県立大学情報システム工学専攻 吉河 武文

富山県立大学工学部 青木 友哉

概要：耐放射線性能を高めたアナログ-デジタル変換回路 (ADC) である。変換方式は差動型の逐次比較型 (SAR) を採用している。一般的に SAR-ADC は、放射線の照射によりバルク内で発生したキャリアが AD 変換用のキャパシタに混入すると、AD 変換の途中で電荷量が変わることになるため、所望のデジタルコードが発生されずエラーコードとなる。本 SAR-ADC は、キャリアの混入する経路である一対のサンプリングスイッチの近傍に放射線検出回路をそれぞれ搭載し、一方にキャリアを検出したら、その検出した方のサンプリングスイッチに係る変換を止めて他方のサンプリングスイッチに係る変換のみで AD 変換を行わせしめる。これにより、SNR は低下するものの、エラーコードの発生は抑制できることとなる。本 SAR-ADC では、デジタル回路の耐放射線性能の向上のためデジタル回路のみに SOTB トランジスタを使用している。このため、マルチ電圧 (3.3V と 1.2V) となるので、耐放射線用のレベルシフタも搭載している。

設計期間：5人月以上, 6人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数：**CMOS SOTB 65nm 2mmx1.5mm **試作ラン：**CMOS SOTB 65nm 2mmx1.5mm **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

制御スイッチ付きリングオシレータを用いた 経年劣化評価試作チップ

東京理科大学工学部 電気電子情報工学科 岸田 亮

東京理科大学工学研究科 電気工学専攻 関根 慧

京都工芸繊維大学電子システム工学専攻 須田 郁生, 小林 和淑

概要：集積回路の微細化により経年劣化などの信頼性問題が顕在化しており、経年劣化の影響を評価することが重要となっている。本チップに搭載した経年劣化評価回路では、制御スイッチを付けたインバータでリングオシレータを構成することで、経年劣化の影響をPMOSとNMOSで分離することや、経年劣化を抑制できる。また、IoT (Internet of Things) などで用いられるセンサなどでは、省面積かつ低消費電力なアナログデジタル変換器 (AD変換器) が求められる。単位容量のみで構成した逐次比較型AD変換器を搭載することで、従来の欠点であった面積と消費電力を小さくした。本チップは現在鋭意測定中であり、今後、実測評価結果を論文等で報告する予定である。

参考文献：菊田, 小林, 岸田, "65 nm FDSOI 構造における標準しきい値電圧 MOSFET の経年劣化の実測評価", p. B6-3, 電子情報通信学会学生会研究発表講演会 (2022) **設計期間**：4人以上, 5人未満 **設計ツール**：Cadence社 Xcelium, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC(XT), Synopsys社 HSPICE(RF), **トランジスタ数**：1,000,000~10,000,000 **試作ラン**：CMOS SOTB 65nm 3mm角 **チップ種別**：TEG (特性評価回路など)

DLLを用いた多相クロック生成回路

芝浦工業大学電子情報システム学科 ニコデムス レディアン

概要: 本試作ではDelay Locked Loop (DLL) を用いた多相クロックの試作を行った。DLLは位相比較器 (PD:Phase Detector) とチャージポンプ、遅延ラインから構成される。PDはTSPC Dフリップフロップで実装され、分解能の向上を図った。レイアウト最適化のため、論理ゲートはすべてカスタム設計で実装している。MiM容量は面積のオーバーヘッドが大きいため、チャージポンプは定電流源とスイッチ、MOS容量で実現している。遅延ラインは電流制御遅延セルで実現し、PDでの位相差検出の誤差を削減するために外部クロックの再形成とダミーセルを追加している。回路のレイアウトは手動で行い、遅延のミスマッチを削減するためにレイアウトの対称性や配線長の調整を行った。回路全体の占有面積は約55um×31umであり、その多くは遅延セルとバイアス回路、デカップリング容量に占められている。ポストレイアウト検証ではトランジスタレベルでの検証結果と顕著な差が見られた。特に動作周波数がトランジスタレベル検証時と比べて40%~50%ほど低下しているため設計時に十分なマージンが必要であることが分かった。

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC(XT),
トランジスタ数: 1,000~10,000 **試作ラン:** CMOS SOTB 65nm 2mm×1.5mm **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

耐放射線用 SAR-ADC

富山県立大学情報システム工学専攻 吉河 武文

富山県立大学工学部 青木 友哉

概要: 耐放射線性能を高めたアナログ-デジタル変換回路 (ADC) である。変換方式は差動型の逐次比較型 (SAR) を採用している。一般的に SAR-ADCは、放射線の照射によりバルク内で発生したキャリアがAD変換用のキャパシタに混入すると、AD変換の途中で電荷量が変わることになるため、所望のデジタルコードが発生されずエラーコードとなる。本 SAR-ADCは、キャリアの混入する経路である一対のサンプリングスイッチの近傍に放射線検出回路をそれぞれ搭載し、一方にキャリアを検出したら、その検出した方のサンプリングスイッチに係る変換を止めて他方のサンプリングスイッチに係る変換のみでAD変換を行わせしめる。これにより、SNRは低下するものの、エラーコードの発生は抑制できることとなる。本 SAR-ADCでは、デジタル回路の耐放射線性能の向上のためデジタル回路のみにSOTBトランジスタを使用している。このため、マルチ電圧 (3.3Vと1.2V) となるが、耐レベルシフトは通常のものを使用している。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 100~1,000 **試作ラン:** CMOS SOTB 65nm 2mm×1.5mm **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

AD変換器

東京都市大学理工学部 傘 昊

概要: SOTB CMOSを用いる低電圧 (電源電圧は1V以下) のサイクリック型非2進AD変換器回路である。スイッチドキャパシタ型マルチプライヤー型DA変換器とダイナミック比較器回路を内蔵し、小型で高精度 (14ビット分解能) ADCを実現している。また、スイッチドキャパシタ回路を制御するノーオーバーラップパルス信号を発生するクロック信号発生器回路も内蔵している。SOTB基板電位変更可能の特徴を活用し、MOSの基板電圧を変化させることにより、トランジスタのスレッシュホールド電圧を制御し、トランジスタの特性を変更させ、必要に応じて使い分けて、低電圧CMOS回路の動作を実現させている。また、ダイナミック型増幅器回路であるリングアンプを採用し、低電圧でアナログ信号の増幅を実現している。入力段では、トランジスタのスレッシュホールド電圧を低く設計し、低電圧時の高いダイナミックレンジを確保している。一方、出力段では、トランジスタのスレッシュホールド電圧を高く設計し、増幅器回路の出力インピーダンスを増加させ、増幅回路の帯域制限と安定性確保を実現している。

参考文献: Eiki Kayama, Kenta Mori, Maebou Taichi, Yuanchi Chen, Hao San, Tatsuji Matsuura, Masao Hotta, "A 0.8V 14bit 294kSPS non-binary cyclic ADC in 65nm SOTB CMOS technology," ISPACS 2021, Nov. 2021 **設計期間:** 2人月以上, 3人月未満 **設計ツール:** Synopsys社 DesignCompiler, Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 10,000~100,000 **試作ラン:** 10,000~100,000 **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

TIQコンパレータベースのフラッシュ型A/Dコンバータほか

電気通信大学情報理工学専攻情報ネットワーク工学専攻 橋本 悠平, 範 公可, 石橋 孝一郎

概要：今回の試作では、TIQコンパレータベースのフラッシュ型ADC、Open8_SERV_SoC、Digital LDOの設計を行った。今回はTIQコンパレータベースのフラッシュ型ADCの回路について報告する。本回路は、TIQ (Threshold Inverter Quantizer) コンパレータと呼ばれる、インバータの論理閾値電圧を利用したコンパレータを用いたフラッシュ型ADCである。一般的にフラッシュ型ADCは、コンパレータに供給する外部参照電圧を抵抗ラダーによって生成するため、消費電力が大きいという欠点がある。一方で、このTIQコンパレータはインバータによる内部参照電圧によって電圧がスイッチングされるため、抵抗ラダーが不要となり、消費電力が大幅に削減される。本ADCはフルスケール電圧0.9[V]、ステップ幅0.15[V]で設計を行い、分解能は3bitである。DNLの最大値/最小値は+0.004/-0.042、INLは+0.054/-0.006であった。シミュレーションによると、本回路は温度特性が悪いことが明らかになったため、閾値補償機能を持つ回路の設計が求められる。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE(RF), トランジスタ数：10~100 試作ラン：CMOS SOTB 65nm 2mmx1.5mm チップ種別：アナログ(PLL, A-D/DC-DCコンバータなど)

高周波デバイスTEG

東京理科大学工学部電気電子情報工学科 榎田 洋太郎, 高野 恭弥

東京理科大学工学部電気工学専攻 川原 啓輔

概要：本シャトルでは、SOTB 65nm CMOS プロセスの高周波特性を明らかにするためにデバイスTEGを試作した。内容は、MOSFET 12種、MOMキャパシタ 2種、ポリ抵抗 1種、スパイラル・インダクタ 1種、伝送線路 2種、高周波パッド 1種である。ダブルウェル型n-MOSFETの最大安定利得は1GHzで25.8dB、10GHzで16.1dB、30GHzで11.8dBであった。p-MOSFETの最大安定利得は1GHzで23.4dB、10GHzで13.4dB、30GHzで9.2dBであった。MOMキャパシタは、PDKにサンプルとして含まれていたレイアウト2種(100ffと27ff)をそのまま試作した。いずれもPDKの値どおりの容量値が得られ、高周波特性も良好であった。スパイラル・インダクタは自己インダクタンスが1nHのものを試作した。自己共振周波数は32GHz、Q値は4.5であった。伝送線路の損失は、最上位メタルを用いたグラウンデッド・コプレーナ線路が30GHzにおいて500 μ m長で-1.0dB程度、Metal8層を用いたコプレーナ線路が-1.5dB程度であった。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, TOOL社 Lavis, Mentor社 Calibre, Cadence社 Spectre, Keysight社 ADS, トランジスタ数：10~100 試作ラン：CMOS SOTB 65nm 2mmx1.5mm チップ種別：TEG (特性評価回路など)

動作速度の改善を目的とした耐放射線フリップフロップ

京都工芸繊維大学工学部工学専攻 古田 潤, 記伊 智也, 小林 和淑

概要：放射線が集積回路を通過すると、その電離作用により電子正孔対が生じる。生じた電荷によりトランジスタの出力が一時的に反転するシングルイベント効果が回路の信頼性を低下させている。放射線による一時的な反転の影響を防ぐ方法として、ガードゲート構造と呼ばれる遅延素子を使用したローパスフィルタがある。本設計ではガードゲート構造を用いた耐放射線FFであるFRFFの速度向上を目的とする。遅延時間の低下が大きいセカンダリラッチの構造についてガードゲート構造以外の構造を組み合わせたFFを設計した。設計した回路について動作確認を終えており、2022年には中性子の照射試験により各FRFFの放射線耐性を評価する予定である。

設計期間：1人月以上、2人月未満 設計ツール：Synopsys社 ICSCompiler, Cadence社 Virtuoso, Synopsys社 HSPICE(RF), トランジスタ数：100,000~1,000,000 試作ラン：CMOS SOTB 65nm 3mm角 チップ種別：TEG (特性評価回路など)

C. Publication list

原著論文

- [1] Weiyu Zhou(周威宇), Satoshi Ono, Koji Wada, "A multi-layer SIW resonator loaded with asymmetric E-shaped slot-lines for a miniaturized tri-band BPF with low radiation loss," IEICE Transactions on Electronics, Manuscript ID: 2021ECP5033Vol., No., pp. -, (2022.01 早期公開)
- [2] Y. Yamauchi, T. Sai, K. Hata, and M. Takamiya, "0.55 W, 88%, 78 kHz, 48 V-to-5 V Fibonacci Hybrid DC-DC Converter IC Using 66 mm³ of Passive Components With Automatic Change of Converter Topology and Duty Ratio for Cold-Crank Transient," IEEE Transactions on Power Electronics, Vol.36, No.8, pp. 9273 - 9284, Aug. 2021.
- [3] H. Qiu, Y. Jiang, Y. Shi, T. Sakurai, and M. Takamiya, "Analysis and Mitigation of Coupling-Dependent Data Flipping in Wireless Power and Data Transfer System," IEEE Transactions on Circuits and Systems—I: Regular Papers, Vol. 68, No. 12, pp. 5182 - 5193, Dec. 2021.
- [4] Keisuke Fukuda and Yoshihiko Horio, "Analysis of dynamics in chaotic neural network reservoirs: Time-series prediction tasks," Nonlinear Theory and Its Applications, IEICE, vol. 12, no. 4, pp. 639-661, DOI: 10.1587/nolta.12.639, October 1, 2021.
- [5] Takemori and Yoshihiko Horio, "Preliminary experimental results of a stacked 3D cyclic chaotic neural network reservoir integrated circuit," Nonlinear Theory and Its Applications, IEICE, vol. 13, no. 2, pp. 306-311, DOI: 10.1587/nolta.13.3306, April 1, 2022.
- [6] Keisuke Fukuda and Yoshihiko Horio, "Analysis of dynamics in chaotic neural network reservoirs: Time-series prediction tasks," Nonlinear Theory and Its Applications, IEICE, vol. 12, no. 4, pp. 639-661, DOI: 10.1587/nolta.12.639, October 1, 2021.
- [7] 森, 榎原, 附田, 古田, 小林, "Intrinsic Vulnerability to Soft Errors and a Mitigation Technique by Layout Optimization on DICE Flip Flops in a 65 nm Bulk Process", vol.68, no.8, pp. 1727-1735, IEEE Trans. on Nuclear Science(2021)
- [8] Nguyen Ngoc Mai-Khanh, Tetsuya Iizuka and Kunihiko Asada, [Invited] "Integrated On-Silicon and On-glass Antennas for mm-Wave Applications," REV Journal on Electronics and Communications, vol. 11, no. 1-2, pp. 8 - 15, Jan.-Jun. 2021.
- [9] Zule Xu, Naoki Ojima, Shuowei Li and Tetsuya Iizuka, "An All-Standard-Cell-Based Synthesizable SAR ADC with Nonlinearity-Compensated RDAC," IEEE Transactions on Very Large Scale Integration Systems, vol. 29, no. 12, pp. 2153 - 2162, Dec. 2021.
- [10] Akira Matsuoka, Tomohiro Nezuka and Tetsuya Iizuka, "Fully Dynamic Discrete-Time $\Delta \Sigma$ ADC using Closed-Loop Two-Stage Cascoded Floating Inverter Amplifiers," IEEE Transactions on Circuits and Systems-II: Express Briefs, vol. 69, no. 3, pp. 944 - 948, Mar. 2022.
- [11] Shuowei Li, Zule Xu and Tetsuya Iizuka, "Analysis of Strong-Arm Comparator with Auxiliary Pair for Offset Calibration," Springer Journal of Analog Integrated Circuits and Signal Processing, vol. 110, no. 3, pp. 535 - 546, Mar. 2022.
- [12] Ryoga Iwashita, Zule Xu, Masaru Osada and Tetsuya Iizuka, "A Fractional-N MASH2-k FDC PLL Architecture Enabling Higher-Order Quantisation Noise Shaping," IET Electronics Letters, vol. 58, No. 7, pp. 274 - 276, Mar. 2022.
- [13] Xiangyu Chen, Takeaki Yajima, Isao H. Inoue and Tetsuya Iizuka "An Ultra-Compact Leaky Integrate-and-Fire Neuron with Long and Tunable Time Constant Utilizing Pseudo Resistors for Spiking Neural Networks," Japanese Journal of Applied Physics (JJAP), vol. 61, no. SC1051, May 2022.
- [14] Y. Matsuda, R. Shioya, and H. Ando, Reducing Energy Consumption of Wakeup Logic through

- Double-stage Tag Comparison, IEICE Transactions on Information and Systems, Vol. E105-D, No.2, pp.320-332, February 2022.
- [15] Md Shamim Sarker, Shumpei Nakamura, Hiroyasu Yamahara, Munetoshi Seki, Hitoshi Tabata, "Multifrequency Spin-Wave Propagation for Parallel Data Processing using Microstructured Yttrium Iron Garnet Thin Films", IEEE Transactions on Magnetics, 58(2), 4300706(1-6) (2022)
- [16] Siyi Tang, Md Sarker, Kaijie Ma, Hiroyasu Yamahara, Hitoshi Tabata, and Munetoshi Seki, "Efficient spin-wave transmission in epitaxial thin films of defect spinel γ -Fe_{2-x}Al_xO₃", Appl. Phys. Lett., 119(8) 082402(1-6) (2021)
- [17] Hinano Sugimoto, Hitoshi Tabata, "Nonlabeled detection of specific intermolecular bondings by terahertz surface plasmon resonance of topological insulator", Optics Letters, 46(16) 3897-3900 (2021)
- [18] Ming Che, Haruichi Kanaya, and Kazutoshi Kato, "Optically controlled THz power tuning based on interference at transmission line", Optics Express Vol. 29, Issue 13, pp. 20034-20044, June 2021.
- [19] 金谷晴一, 鳥越翔太, 山本修也, Mohamed Mansour, 滝口 收, "無線通信用電磁波を用いたエネルギーハーベスタの開発", 電気評論 5・6月号, pp.48-52, 2021.6.
- [20] Mohamed M. Mansour, Shota Torigoe, Shuya Yamamoto and Haruichi Kanaya, "Compact and Simple High-Efficient Dual-Band RF-DC Rectifier for Wireless Electromagnetic Energy Harvesting", Electronics, 10, 1764 (10pages), 2021.7.
- [21] Peiyi Qiu, Quanyuan Feng, Koto Miyahara, Haruichi Kanaya, "Quasi-Yagi antenna with parasitic cells and its array for 5G mm-wave operations", Microwave and Optical Technology Letters, vol. 64, pp.117-122, 2022, Jan.
- [22] Yuya Kitazawa, Kazuhito Ito, "Register Minimization and its Application in Schedule Exploration for Area Minimization for Double Modular Redundancy LSI Design," IEICE Trans. Fundamentals, Vol. E105-A, No. 3, pp. 530-539, Mar. 2022.
- [23] Yuki Imai, Shinichi Nishizawa, Kazuhito Ito, "Reduction of LSI Maximum Power Consumption with Standard Cell Library of Stack Structured Cells," IEICE Trans. Fundamentals, Vol. E105-A, No. 3, pp. 487-496, Mar. 2022.
- [24] 榎澤瑠奈, 高柳拓生, 宇佐見諭, 加藤真也, 榎重理沙, 森下克幸, 武井裕樹, 齊藤健 "静電モータ駆動のマイクロロボットの歩行パターンが生成可能なニューラルネットワーク集積回路の開発" 第34回 回路とシステムワークショップ オンライン開... 2021.8.26
- [25] 高柳拓生, 宇佐見諭, 加藤真也, 榎重理沙, 森下克幸, 武井裕樹, 齊藤健 "四足歩行ロボットに搭する自己回帰を持つニューロモーフィック回路の集積化に対する検討" 第34回 回路とシステムワークショップ オンライン開... 2021.8.26
- [26] 武田 健嗣, 早川 幹人, 石橋 元邦, 栗飯原 萌, 金子 美泉, 齊藤 健, 内木場 文男, "人の歩行と歩行に関わる筋骨格モデルの解析と歩行運動制御用ニューラルネットワークICの設計", 回路とシステムワークショップ 2021
- [27] 武田 健嗣, 早川 幹人, 石橋 元邦, 石濱 拓実, 石原 みのり, 栗飯原 萌, 金子 美泉, 齊藤 健, 内木場 文男, "筋シナジー理論に基づいたパルス形ハードウェアニューラルネットワークICチップによる筋骨格ロボットの2足歩行制御", 日本ロボット学会 学術講演会2021
- [28] 森下克幸, 加藤真也, 武井裕樹, 齊藤健 "センサへの入力強度に応じて発振周波数が変化する受容』胞モデルの開発" 電気学会論文誌C 2022.1.4:1
- [29] A. Kosuge, M. Hamada, and T. Kuroda "A 6.5Gb/s Shared Bus Using Electromagnetic Connectors for Downsizing and Lightening Satellite Processor System," IEICE Trans. on Fundamentals of Electronics, Vol. E105-A, no. 3, pp. 478-486, Mar. 2022.
- [30] R. Miura, S. Shibata, M.Usui, K. Shiba, A. Kosuge, M. Hamada and T. Kuroda, "A bonding-less 5-GHz RFID module using inductive coupling between IC and antenna," Japanese Journal of Applied Physics (JJAP), vol.

- 61, no. SC, pp. SC1058, Feb. 2022.
- [31] A. Kosuge, M. Hamada, T. Kuroda, "A 6-Gb/s Inductively-Powered Non-Contact Connector With Rotatable Transmission Line Coupler and Interface Bridge IC," *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 57, no. 2, pp. 535-545, Feb. 2022.
- [32] A. Kosuge, Y. -C. Hsu, M. Hamada, and T. Kuroda, "A 0.61- μ J/Frame Pipelined Wired-logic DNN Processor in 16-nm FPGA Using Convolutional Non-Linear Neural Network," *IEEE Open Journal of Circuits and Systems (OJCAS)*, vol. 3, pp. 4-14, Jan. 2022.
- [33] A. Kosuge, M. Hamada, and T. Kuroda, "A 16nJ/Classification FPGA-based Wired-Logic DNN Accelerator Using Fixed-Weight Non-Linear Neural Net," *IEEE Journal on Emerging and Selected Topics in Circuits and Systems (JETCAS)*, vol. 11, no. 4, pp. 751-761, Dec. 2021.
- [34] Kataoka, Kameda, Hamamoto, "Adaptive Exposure-time Control Based on Image Entropy for Multiple-exposure-time Image Sensor", *ITE Transactions on Media Technology and Applications*, vol.9, no.2, pp.128-135, 2021年4月.
- [35] Shikakura, Kameda, Hamamoto, "Scene Adaptive Exposure Time Control for Imaging and Apparent Motion Sensor", *IEICE Transactions on Fundamentals of Electronics, Communications and Computer*, vol.E104-A, no.6, pp.907-911, 2021年6月
- [36] Kurata, Otaka, Kameda, Hamamoto, "CMOS Image Sensor with Pixel-Parallel ADC and HDR Reconstruction from Intermediate Exposure Images", *IEICE Transactions on Fundamentals of Electronics, Communications and Computer*, vol.E105-A, no.1, pp.82-86, 2021年11月.
- [37] 岩本, 大竹, "SATを用いた遅延故障BIST向け LFSR シード生成法", *信学技報*, vol. 121, no. 388, DC2021-74, pp. 57-62, 2022年3月.
- [38] Kosuke Katayama, Takaaki Baba and Ohsawa Takashi, "Wireless Distributed Computing System Using High-Gain Array Yagi-Antenna," *Journal of Signal Processing*, Vol. 25, No. 3, pp. 93-101, May 2021.
- [39] Takuya Sakuma, Hiroki Matsutani, "An Area-Efficient Recurrent Neural Network Core for Unsupervised Time-Series Anomaly Detection", *IEICE Transactions on Electronics*, Vol.E104-C, No.6, pp.247-256, Jun 2021.
- [40] Yihan ZHU, Takashi OHSAWA, "A Loadless 4T SRAM Powered by Gate Leakage Current with a High Tolerance for Fluctuations in Device Parameters," *Jpn. J. Appl. Phys.* 61, SC1053 (2022).
- [41] Zian CHEN and Takashi OHSAWA, "A Low-Cost Training Method of ReRAM Inference Accelerator Chips for Binarized Neural Networks to Recover Accuracy Degradation due to Statistical Variabilities." *IEICE Trans. Electron.*, 2022 (to be published).
- [42] F. W. Tan, J. Hirofani, and Y. Ohno, "PMMA/Al₂O₃ bilayer passivation for suppression of hysteresis in chemically doped carbon nanotube thin-film transistors", *Jpn. J. Appl. Phys.* 61, 034002-1-5 (2022).
- [43] K. Funayama, H. Tanaka, J. Hirofani, K. Shimaoka, Y. Ohno, and Y. Tadokoro, "Carbon Nanotube-Based Nanomechanical Receiver for Digital Data Transfer", *ACS Appl. Nano Mater.* 4, 13041-13047 (2021).
- [44] K. Funayama, J. Hirofani, A. Miura, H. Tanaka, Y. Ohno, and Y. Tadokoro, "Tunable carbon nanotube diode with varying asymmetric geometry", *AIP Advances* 11, 075212-1-1 (2021).
- [45] 市原, 溝畑, 芦田, 井上, "アプリケーションの要求精度に応じた近似加算器と補正機構による乗算器の設計," *電子情報通信学会論文誌D*, Vol. J104-D, No. 7, 2021年7月.
- [46] Kazuki Monta, Hiroki Sonoda, Takaaki Okidono, Yuuki Araga, Naoya Watanabe, Haruo Shimamoto, Katsuya Kikuchi, Noriyuki Miura, Takuji Miki, and Makoto Nagata, "3-D CMOS Chip Stacking for Security ICs Featuring Backside Buried Metal Power Delivery Networks With Distributed Capacitance," *IEEE Transactions on Electron Devices*, Vol. 68, No. 4, pp. 2077-2082, Apr. 2021.

- [47] Sho Tada, Yuki Yamashita, Kohei Matsuda, Makoto Nagata, Kazuo Sakiyama, and Noriyuki Miura, "Design and Concept Proof of an Inductive Impulse Self-Destructor in Sense-and-React Countermeasure against Physical Attacks," *Japanese Journal of Applied Physics*, Vol. 60, No. SB, SBBL01, May 2021.
- [48] Makoto Nagata, Takuji Miki, and Noriyuki Miura, "Physical Attack Protection Techniques for IC Chip Level Hardware Security," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, pp. 1-10, May 2021.
- [49] Xuechen Zang and Shigetoshi Nakatake, MLUTNet: A Neural Network for Memory Based Reconfigurable Logic Device Architecture, *Appl. Sci.* 2021, 11(13), 6213; <https://doi.org/10.3390/app11136213>
- [50] Z. Qin, K. Kuribara, Y. Ogasahara, and T. Sato, "Hybrid CMOS and pseudo-CMOS Organic Memory for Flexible Sensors," *IEEE Sensors Journal*, February 2022.
- [51] S. Morita, S. Bian, M. Shintani, and T. Sato, "Efficient analysis and mitigation of workload-dependent aging degradation," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, February 2022.
- [52] M. Shintani, A. Ueda, and T. Sato, "Accelerating parameter extraction of power MOSFET models using automatic differentiation," *IEEE Transactions on Power Electronics*, Vol.37, No.3, pp.2970-2980, February 2022.
- [53] K. Matsuyama and T. Tanzawa, "A Circuit Analysis of Pre-Emphasis Pulses for RC Delay Lines," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, Vol. E104-A, No. 6, pp. 912-926, Jun. 2021.
- [54] Y. Ishida and T. Tanzawa, "A Fully Integrated AC-DC Converter in 1 V CMOS for Electrostatic Vibration Energy Transducer with an Open Circuit Voltage of 10 V," *Electronics* 2021, 10(10), 1185; DOI: 10.3390/electronics10101185
- [55] K. Koketsu and T. Tanzawa, "Design of a Charge Pump Circuit and System with Input Impedance Modulation for a Flexible-Type Thermoelectric Generator with High-Output Impedance," *Electronics* 2021, 10(10), 1212; doi: 10.3390/electronics10101212
- [56] Y. Sugiura and T. Tanzawa, "Pre-Emphasis Pulse Design for Random-Access Memory," *Electronics* 2021, 10(12), 1454; doi: 10.3390/electronics10121454
- [57] Y. Tone and T. Tanzawa, "An Optimum Structure of Scalable Capacitors in 3D Crosspoint Memory Technology", *Electronics* 2021, 10(22), 2755; <https://doi.org/10.3390/electronics10222755>.
- [58] S. Okura, et al., "Area-Efficient Post-Processing Circuits for Physically Unclonable Function with 2-Mpixel CMOS Image Sensor" *Sensors* 21, no. 18: 6079
- [59] T. Mori, and J. Ida, "Investigation of capacitor-less integrate and fire neuron by using dual-gate PN-body tied silicon on insulator field-effect transistor", *Japanese Journal of Applied Physics*, vol. 60, no. SB, pp. 1-8, May 2021.
- [60] Y. Somei, H. Shimada, and Y. Mizugaki, "Enhanced Operation Frequencies of Bipolar Double-Flux-Quantum Amplifiers Fabricated Using 10-kA/cm² Nb/AlOx/Nb Integration Process," *Japanese Journal of Applied Physics*, vol. 60, no. 7, 073001, July, 2021
- [61] T. Cheng, Y. Masuda, J. Nagayama, Y. Momiyama, J. Chen, and M. Hashimoto, "Activation-Aware Slack Assignment Based Mode-Wise Voltage Scaling for Energy Minimization," *IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences*, volume E105-A, number 3, pages 497--508, March 2022.
- [62] Mutsumi Kimura, Yuki Shibayama, and Yasuhiko Nakashima, Neuromorphic Chip integrated with a Large-scale Integration Circuit and Amorphous-Metal-Oxide Semiconductor Thin-Film Synapse Devices, *Nature, Scientific Reports*, to be published
- [63] Yuki Shibayama, Yuki Ohnishi, Tetsuya Katagiri, Yuhei Yamamoto, Yasuhiko Nakashima, and Mutsumi Kimura, Amorphous-Metal-Oxide-Semiconductor Thin-Film Planar-type Spike-

- Timing-Dependent-Plasticity Synapse Device, *IEEE Electron Device Lett.*, Vol. 42, No. 7, pp. 1014-1016, July 2021, DOI: 10.1109/LED.2021.3082083
- [64] Irfan Mujahidin, Akio Kitagawa, "CP Antenna with 2 x 4 Hybrid Coupler for Wireless Sensing and Hybrid RF Solar Energy Harvesting", *Sensors*, Vol.21, Issue 22, 7721, 2021.11
- [65] Irfan Mujahidin, Akio Kitagawa, "The Novel CPW 2.4 GHz Antenna with Parallel Hybrid Electromagnetic Solar for IoT Energy Harvesting and Wireless Sensors", *International Journal of Advanced Computer Science and Applications*, Vol.12, No.8, pp.393-400, 2021.8
- [66] Muhammad Fauzan Edy Purnomo, Vita Kusumasari, Rudy Yuwono, Rahmadwati Rahmadwati, Rakhmad Romadhoni, Azizurrahman Rafli, Yuyu Wahyu, Akio Kitagawa, "LHCP four patches stack triangular truncated antenna using corporate feed microstrip-line for CP-SAR sensor", *International Journal of Electrical and Computer Engineering*, Vol.11, No.5, pp.4125-4134, 2021.10
- [67] Muhammad Fauzan Edy Purnomo, Vita Kusumasari, Rusmi Ambarwati, Sholeh Hadi Pramono, Sigit Kusmariyanto, Dwi Fadila KURNiawan, Akio Kitagawa, "Development of patch stack antenna for CP-SAR sensor", *Bulletin of Electrical Engineering and Informatics*, Vol.10, No.1, pp.200-207, 2021.2
- [68] Norihiro Miyazawa, Haibin Wang, Naoto Usami, Takaya Kubo, Hiroshi Segawa, Yoshio Mita, and Akio Higo, "PbS Colloidal Quantum Dots/ZnO/Si Hybrid Photodiode with Various Reverse Bias Voltages," *IEEJ Transactions on Sensors and Micromachines*, (2022,1) in press
- [69] Naoto Usami, Etsuko Ota, Akio Higo, Takeshi Momose, and Yoshio Mita, "Drop-in test structure to evaluate residual stress in conformally grown films," *IEEE Transactions on Semiconductor Manufacturing*, early access, (2021) doi: 10.1109/TSM.2021.3082905
- [70] Norihiro Miyazawa, Naoto Usami, Haibin Wang, Takaya Kubo, Hiroshi Segawa, Takahito Takeda, Masaki Kobayashi, Yoshio Mita, and Akio Higo, "Improvement of ZnO/Si Heterojunctions with a Coaxial Circular Transmission Line Model Applicable to both Ohmic and Schottky," *IEEE Transactions on Semiconductor Manufacturing*, early access, (2021) doi: 10.1109/TSM.2021.3083069
- [71] Gilgueng Hwang, Christophe David, Alisier Paris, Dominique Decanini, Ayako Mizushima, and Yoshio Mita, "Manufacturing of 3D Helical Microswimmer by AFM Micromanipulation for Microfluidic Applications," early access, (2021) doi: 10.1109/TSM.2021.3082902
- [72] Mitsuki Nishizawa, Takuya Hoshii, Hitoshi Wakabayashi, Kazuo Tsutsui, Yoshiaki Daigo, Ichiro Mizushima, Takashi Yoda and Kuniyuki Kakushima, "Minority carrier lifetime extraction methodology based on parallel pn diodes with a field plate", *Jpn. J. Appl. Phys.*, in press (2022)
- [73] Van Tinh NGUYEN, Quang-Kien Trinh, Renyuan Zhang and Yasuhiko Nakashima: "STT-BSNN: An In-Memory Deep Binary Spiking Neural Network Based on STT-MRAM", *IEEE Access*, Vol.9, 10.1109/ACCESS.2021.3125685, Nov. (2021)
- [74] 分部 寛道, 福島 誉史, 田中 徹, "脂質二分子膜センサのための埋植チップ上SU-8 マイクロチャネル直接形成法の開発", *IEEJ Transactions on Sensors and Micromachines*, vol. 141, No. 10, pp.327-pp.335
- [75] Guowei Chen, Yue Wang, Tran Minh Quan, Naofumi Matsuyama, Takuya Tsujimura and Kiichi Niitsu, "A 0.5 mm² Solar Cell-Powered Biofuel Cell-Input Biosensing System with LED Driving for Stand-Alone RF-Less Continuous Glucose Monitoring Contact Lens", *IEEE Solid-State Circuits Letters*, vol. 5, pp. 41–44, Feb. 2022.
- [76] Guowei Chen and Kiichi Niitsu, "A Solar-Cell-Assisted, 99% Biofuel Cell Area Reduced, Biofuel-Cell-Powered Wireless Biosensing System in 65nm CMOS for Continuous Glucose Monitoring Contact Lenses", *IEICE Transactions on Electronics*, Dec. 2021.
- [77] L. Ye, J. Ye, M. Yanagisawa and Y. Shi, "Power-

- Efficient Deep Convolutional Neural Network Design Through Zero-Gating PEs and Partial-Sum Reuse Centric Dataflow," *IEEE Access*, vol. 9, pp. 17411 - 17420, 2021.
- [78] Takefumi. Yoshikawa, Masahiro. Ishimaru, Tatsuya. Iwata, Fuma. Mori, Kazutoshi. Kobayashi, "A Bit-Error Rate Measurement and Error Analysis of Wireline Data Transmission using Current Source Model for Single Event Effect under Irradiation Environment ", Springer, *Journal of Electronic Testing Theory and Applications* 37(5) 2021年10月
- [79] Mamoru Ugajin, Yuya Kakei, Nobuyuki Itoh, "A quadrature voltage-controlled oscillator using phase-adjusting architecture for suppressing phase noise," *IEICE Electronics Express*, Vol.18 (No.10), 20210173, 2021年05月
- [80] Ying Ying Lim, Yuichi Kimura, Martial David Hardy, Shun Watanabe, Jun Takeya, "Thin and flexible printed antenna designed for curved metal surfaces", *Flexible and Printed Electronics*, 6, 045001, 2021
- [81] R. Kashima, I. Nagaoka, M. Tanaka, T. Yamashita, and A. Fujimaki, "64-GHz datapath demonstration for bit-parallel SFQ microprocessors based on a gate-level-pipeline structure," *IEEE Trans. Appl. Supercond.*, vol. 31, no. 5, p. 1301006, Aug. 2021.
- [82] I. Nagaoka, K. Ishida, M. Tanaka, K. Sano, T. Yamashita, T. Ono, K. Inoue, and A. Fujimaki, "Demonstration of a 52-GHz bit-parallel multiplier using low-voltage rapid single-flux-quantum logic," *IEEE Trans. Appl. Supercond.*, vol. 31, no. 5, p. 1302505, Aug. 2021.
- [83] S. Nagasawa, M. Tanaka, N. Takeuchi, Y. Yamanashi, S. Miyajima, F. China, T. Yamae, K. Yamazaki, Y. Somei, N. Sega, Y. Mizugaki, H. Myoren, H. Terai, M. Hidaka, N. Yoshikawa, and A. Fujimaki, "Planarized Nb 4-layer fabrication process for superconducting integrated circuits and its fabricated device evaluation," *IEICE Trans. Electron.*, vol. E104-C, no. 9, pp. 435-445, Sept. 2021.
- [84] M. Irita, K. Takano, and Y. Umeda. "Terahertz WR-2.2 Waveguide to Transmission-Line Transition on Silicon Substrate Fabricated Using MEMS Technology," *IEEE Microwave and Wireless Components Letters*, Nov. 2021.
- [85] Takuji Miki, Makoto Nagata, "Countermeasures against physical security attacks on ICs utilizing on-chip wideband ADCs," *Japanese Journal of Applied Physics*, vol. 61, no. SC0803, pp. 1-8, 2022.
- [86] Hiroki Sonoda, Takuji Miki, Makoto Nagata, "Measurement of Electromagnetic Field Immunity of Voltage-Controlled Oscillator-Based Analog-to-Digital Converters in 28 nm CMOS Technology," *Japanese Journal of Applied Physics*, Vol. 61, No. SC1045, pp. 1-7, Feb. 2022.
- [87] Takuji Miki, Ryoza Takahashi, Makoto Nagata, "An 11-bit 0.008mm² charge-redistribution digital-to-analog converter operating at cryogenic temperature for large-scale qubit arrays," *IEICE Electronics Express*, vol.19, no.8, Apr. 2022.
- [88] 佐野響紀、ニコデムスレディアン、"合成開口法による超音波診断装置のための0.18umCMOSを用いた演算増幅器設計",第25回電気学会東京支部埼玉支所研究発表会、pp.15-16,2022年3月
- [89] R. Iimura, S. Kitamura and T. Kawahara, "Annealing Processing Architecture of 28-nm CMOS Chip for Ising Model With 512 Fully Connected Spins," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 68, no. 12, pp. 5061-5071, Dec. 2021.
- [90] 大塚, 八木, 福原, "ニューロンCMOSインバータを用いたFGC付き4入力可変論理回路の提案", *電子情報通信学会論文誌C*, Vol. J104-C, No. 05pp. 166-167, 2021年05月
- [91] Akifumi Ogiwara, Minoru Watanabe, "Analysis of optical properties and internal structures of γ -ray-irradiated holographic devices formed using liquid crystal composites," *Optical Materials*, Vol. 123, pp. 111932, Jan., 2022.
- [92] Y. Morishita, S. Lee, T. Teraoka, R. Dong, Y. Kashino, H. Asano, S. Hara, K. Takano, K. Katayama, T. Sakamoto, N. Shirakata, K. Takinami, K. Takahashi, A. Kasamatsu, T. Yoshida, S. Amakawa, M. Fujishima, "300-GHz-

- Band OFDM Video Transmission with CMOS TX/RX Modules and 40 dBi Cassegrain Antenna Toward 6G," *IEICE Transactions on Electronics*, Jan. 26 2021.
- [93] S. Lee, S. Amakawa, T. Yoshida, S. Hara and M. Fujishima, "A 32-Gb/s CMOS Receiver With Analog Carrier Recovery and Synchronous QPSK Demodulation," in *IEEE Microwave and Wireless Components Letters*, vol. 31, no. 6, pp. 768-770, June
- [94] 江馬健太郎; 安田彰; 大島史也. 音声認識技術を用いた低消費電力端末におけるゼロクロスおよび LPC 音声検出法の検討. *電気学会論文誌 C (電子・情報・システム部門誌)*, 141.12: 1424-1429, 2021.
- [95] Mark Christian Guinto, Makito Haruta, Yuki Kurauchi, Taisuke Saigo, Kazuki Kurasawa, Sumika Ryu, Yasumi Ohta, Mamiko Kawahara, Hironari Takehara, Hiroyuki Tashiro, Kiyotaka Sasagawa, Hiroshi Katsuki, Jun Ohta "Modular head-mounted cortical imaging device for chronic monitoring of intrinsic signals in mice" *The Journal of Biomedical Optics (JBO)*, vol.27, no.2, pp.26501, 2022.2.14.
- [96] Joshua Philippe Olorocisimo, Jeric Briones, Kiyotaka Sasagawa, Makito Haruta, Hironari Takehara, Hiroyuki Tashiro, Norihiro Ishida-Kitagawa, Yasumasa Bessho, Jun Ohta "Ultrasmall compact CMOS imaging system for bioluminescence reporter-based live gene expression analysis" *Journal of Biomedical Optics*, vol.26, no.11, pp.116002, 2021.11.3.
- [97] Yasuto Mori, Chang Chia-Chi, Hiroki Endo, Maho Hata, Kenzo Shodo, Yasuo Terasawa, Toshihiko Noda, Takashi Tokuda, Makito Haruta, Hiroyuki Tashiro, Kiyotaka Sasagawa, Jun Ohta "AC Power Supply Circuit Architecture for a Miniaturised Retinal Prosthesis Device" *The Journal of Engineering*, vol.2021, no.10, pp.546-551, 2021.9.16.
- [98] Kuang-Chih Tso, Yuki Fukunari, Mizuki Hagita, Makito Haruta, Hironari Takehara, Hiroyuki Tashiro, Kiyotaka Sasagawa, Pu-Wei Wu, Jun Ohta "Honeycomb-type Retinal Device using Chemically derived Iridium Oxide Biointerfaces" *AIP Advances*, 2021.9.2.
- [99] 笹川 清隆, 森 康登, 春田 牧人, 鐘堂 健三, 寺澤 靖雄, 竹原 浩成, 田代 洋行, 野田 俊彦, 徳田 崇, 太田 淳 "セラミック基板を用いた人工視覚用多電極CMOSデバイスの試作" *電子情報通信学会論文誌 C*, vol.J104-C, no.6, pp.177-184, 2021.6.1.
- [100] R. Okada, K. Sasagawa, M. Haruta, H. Takehara, H. Tashiro and J. Ohta "A polarisation-analysing CMOS image sensor for sensitive polarisation modulation detection" *Electronics Letters*, vol.57, no.12, pp.472-474, 2021.4.22.
- [101] Thanet Pakpuwadon, Kiyotaka Sasagawa, Mark Christian Guinto, Yasumi Ohta, Makito Haruta, Hironari Takehara, Hiroyuki Tashiro, Jun Ohta "Self-reset image sensor with a signal-to-noise ratio over 70 dB and its application to brain surface imaging" *Frontiers in Neuroscience*, 2021.6.15.
- [102] Romeo Rebusi, Joshua Olorocisimo, Jeric Cruz Briones, Yasumi Ohta, Makito Haruta, Hironari Takehara, Hiroyuki Tashiro, Kiyotaka Sasagawa, Jun Ohta "Simultaneous CMOS-based imaging of calcium signaling of the central amygdala and the dorsal raphe nucleus during nociception in freely-moving mice" *Frontiers in Neuroscience*, 2021.5.21.
- [103] Kenji Sugie, Kiyotaka Sasagawa, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro, Jun Ohta "Implantable CMOS Image Sensor with Neural Amplifier for Imaging and Electrophysiological Recording" *10th International IEEE EMBS Conference on Neural Engineering(NER'21)*, 2021.5.5.
- [104] C. Monteiro, and Y. Takahashi, "Low-power two-phase clocking adiabatic PUF circuit," *MDPI Electronics*, vol. 10, no. 11, 1258 (15 pages), June 2021.
- [105] R. Miura, S. Shibata, M.Usui, K. Shiba, A. Kosuge, M. Hamada and T. Kuroda, "A bonding-less 5-GHz RFID module using inductive coupling between IC and antenna," *Japanese Journal of Applied Physics (JJAP)*, vol. 61, no. SC, pp. SC1058, Feb. 2022.
- [106] A. Kosuge , M. Hamada, T. Kuroda, "A 6-Gb/s

- Inductively-Powered Non-Contact Connector With Rotatable Transmission Line Coupler and Interface Bridge IC," *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 57, no. 2, pp. 535-545, Feb. 2022.
- [107] A. Kosuge, M. Hamada, and T. Kuroda "A 6.5Gb/s Shared Bus Using Electromagnetic Connectors for Downsizing and Lightening Satellite Processor System," *IEICE Trans. on Fundamentals of Electronics*, Vol. E105-A, no. 3, pp. 478-486, Mar. 2022.
- [108] T. Sugiura, S. Matsumoto, and N. Nakano, "Bifacial Heterojunction Back Contact Solar Cell: 29-mW/cm² Output Power Density in Standard Albedo Condition," *IEEE Transactions on Electron Devices (T-ED)* Vol.68, Iss.11, pp.5645-5651, Nov. 2021.
- [109] T. Sugiura, S. Matsumoto, and N. Nakano, "Advanced Industrial Tunnel Oxide Passivated Contact Solar Cell by the Rear-side Local Carrier-Selective Contact," *IEEE Transactions on Electron Devices (T-ED)* Vol.69, Iss.5, pp.2481-2487, May. 2022.
- [110] Yuki Ikiri, Fumiya Sako, Masaki Hashizume, Hiroyuki Yotsuyanagi, Lu Shyue-Kung, Yazaki Toru, Ikeda Yasuhiro and Uematsu Yutaka, "Open Defect Detection in Assembled Circuit Boards with Built-In Relaxation Oscillators," *IEEE Transactions on Components, Packaging, and Manufacturing Technology*, Vol.11, No.6, pp.931-943, 2021.
- [111] 四柳, 橋爪, "ディレイテスト可能なバウンダリスキャン設計手法," *エレクトロニクス実装学会誌*, Vol.24, No.7, pp.663-667, 2021年
- [112] S. Moriya, T. Kato, D. Oguchi, H. Yamamoto, S. Sato, Y. Yuminaka, Y. Horio, J. Madrenas, "Analog-circuit implementation of multiplicative spike-timing-dependent plasticity with linear decay.", *Nonlinear Theory and Its Applications*, *IEICE*, pp. 685-694, 2021.
- [113] Takeaki Yajima, Ultra-low-power switching circuits based on a binary pattern generator with spiking neurons, *Scientific Reports* 12, 1150 (2022)
- [114] M. Horio, Y. Feng, T. Kokado, T. Takasawa, K. Yasutomi, S. Kawahito, T. Komuro, H. Nagahara, K. Kagawa *Sensors* vol.22, Issue7
- [115] K. Yasutomi, S. Kawahito *IEICE Transactions on Electronics* 2022.1.5
- [116] Performance of a silicon-on-insulator direct electron detector in a low-voltage transmission electron microscope, Takafumi Ishida, Akira Shinozaki, Makoto Kuwahara, Toshinobu Miyoshi, Koh Saitoh and Yasuo Arai. *Microscopy*, 2021, 321–325.
- [117] Low-energy X-ray performance of SOI pixel sensors for astronomy, "XRPIX", Ryota Kodama, Takeshi Go Tsuru, Takaaki Tanaka, Hiroyuki Uchida, Kazuho Kayama, Yuki Amano, Ayaki Takeda, Koji Mori, Yusuke Nishioka, Masataka Yukumoto, Takahiro Hida, Yasuo Arai, Ikuo Kurachi, Takayoshi Kohmura, Kouichi Hagino, Mitsuki Hayashida, Masatoshi Kitajima, Shoji Kawahito, Keita Yasutomi, Hiroki Kamehama, *Nuclear Inst. and Methods in Physics Research*, A 986 (2021) 164745.
- [118] Development of on-chip pattern processing in event-driven SOI pixel detector for X-ray astronomy with background rejection purpose, A. Takeda, K. Mori, Y. Nishioka, T. Hida, M. Yukumoto, Y. Kanemaru, S. Yonemura, K. Mieda, T. G. Tsuru, T. Tanaka, I. Kurachi and Y. Arai, 2020 *JINST* 15 P12025
- [119] Spectroscopic performance improvement of SOI pixel detector for X-ray astronomy by introducing Double-SOI structure, A. Takeda, K. Mori, Y. Nishioka, K. Fukuda, M. Yukumoto, T. Hida, T.G. Tsuru, T. Tanaka, H. Uchida, H. Hayashi, S. Harada, T. Okuno, K. Kayama, Y. Arai, I. Kurachi, T. Kohmura, K. Hagino, K. Negishi, K. Oono, K. Yarita, H. Matsumura, S. Kawahito, K. Kagawa, K. Yasutomi, S. Shrestha, S. Nakanishi and H. Kamehama, 2020 *JINST* 15 P11001.
- [120] 三輪, 國枝, 石原, 中村, 伊藤, "電気分散補償回路のバースト対応化への基本検討", *信学会和文誌, 基礎・境界*, Vol. J104-A, No. 5, pp. 130-134, May 2021.
- [121] 霜田, 生田, 林, 伊藤, 中村, "PAM4 符号対応 CTLE の補償量設計法の検討", *電気学会論*

- 文誌C、Vol. 142, No. 1, pp. 1-5, Jan. 2022.
- [122] 及川, 原田, “集積回路内に搭載可能な磁界検出動作 $0.18\mu\text{m}$ 8角形多端子 MOSFETの研究”, 電気学会論文誌E, 141 巻 12 号 p. 388-393, 2021年12月
- [123] Tomoya Ide, Yong-Joon Choi, Yasuyuki Kimura, Takeshi Hizawa, Kazuhiro Takahashi, Hiromu Ishii, Toshihiko Noda, Kazuaki Sawada, Development of an on-chip microfluidic system with filter-free multiple-wavelength sensor for microflow cytometry, *Sensors and Actuators B: Chemical*, Volume 350, 2022, 130896
- [124] K. Yahamashita et al., "A floating 5-um-diameter needle-electrode on the tissue for damage-reduced chronic neuronal recording in mice" *Lab Chip*, 2022,22, 747-756
- [125] 小島拓也, 池添起治, 天野英晴, “3次元積層SiPを用いたマルチコアシステムのためのサイクルアキュレートシミュレータCubeSimの開発”, 電子情報通信学会論文誌D, Vol.J104-D, No.04, pp.228-241, Apr. 2021.
- [126] Takeharu Ikezoe, Takuya Kojima, Hideharu Amano, “Recovering faulty Non-volatile Flip Flops for Coarse-Grained Reconfigurable Architectures”, *IEICE Transactions on Electronics*. Vol.E104-C, No.6, pp.215-225, Jun. 2021.
- [127] Takuya Kojima, Ayaka Ohwada, Hideharu Amano, “Mapping-aware Kernel Partitioning Method for CGRAs Assisted by Deep Learning”, *IEEE Transactions on Parallel and Distributed Systems*. [Early access]
- [128] Kentaro Nagai, Jun Shiomi, Hidetoshi Onodera, “A DLL-Based Body Bias Generator with Independent P-Well and N-Well Biasing for Minimum Energy Operation,” *IEICE TRANSACTIONS on Electronics*, Vol.E104-C, No.10, pp.617-624, Oct. 2021. DOI: 10.1587/transele.2020CTP0002
- [129] Hongjie Xu, Jun Shiomi, Hidetoshi Onodera, “Evaluation Metrics for the Cost of Data Movement in Deep Neural Network Acceleration,” *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, Vol.E104.A, No.11, pp.1488-1498, Nov. 2021. DOI: 10.1587/transfun.2020KEP0003
- [130] Shoya Sonoda, Jun Shiomi, Hidetoshi Onodera, “Supply and Threshold Voltage Scaling for Minimum Energy Operation over a Wide Operating Performance Region,” *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, Vol. E104.A, No.11, pp.1566-1576, Nov. 2021. DOI: 10.1587/transfun.2020KEP0013
- [131] Fei Mo, Xiaoran Mei, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, "A simulation study on memory characteristics of InGaZnO-channel ferroelectric FETs with 2D planar and 3D structures", *Japanese Journal of Applied Physics*, 61, SC1013 (2022), February 9, 2022.
- [132] Fei Mo, Jiawen Xiang, Xiaoran Mei, Yoshiki Sawabe, Takuya Saraya, Toshiro Hiramoto, Chun-Jung Su, Vita Pi-Ho Hu, and Masaharu Kobayashi, "Efficient Erase Operation by GIDL Current for 3D Structure FeFETs With Gate Stack Engineering and Compact Long-Term Retention Model", *IEEE Journal of Electron Devices Society*, 10, pp. 115-122 (2022), January 11, 2022.
- [133] Shohei Sekiguchi, Min-Ju Ahn, Tomoko Mizutani, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, “Subthreshold Swing in Silicon Gate-All-Around Nanowire and Fully Depleted SOI MOSFETs at Cryogenic Temperature”, *IEEE Journal of the Electron Devices Society*, Vol. 9, pp. 1151 - 1154, December, 2021. DOI: 10.1109/JEDS.2021.3108854.
- [134] Zihao Liu, Tomoko Mizutani, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, “Cause analysis of width-dependence of on-current variability in thin gate-all-around silicon nanowire MOSFET”, *Japanese Journal of Applied Physics*, Vol. 61, No. SC, SC1002, March, 2022.
- [135] Minati L, Tokgoz KK, Ito H. Distributed sensing via the ensemble spectra of uncoupled electronic chaotic oscillators. *Chaos, Solitons & Fractals*

- [136] Munehiro Ogasawara, Ryoichiro Yoshida, Yuta Oshima, Motoki Ando, Arisa Kimura, Kenji Hirakawa, Masayuki Iwase, Shinsuke Nabeya, Takashi Yoda, Noboru Ishihara, Hiroyuki Ito, "Dependence of total ionizing dose effect of nMOS transistors on the on/off duty ratio of a gate voltage," *Japanese Journal of Applied Physics*, vol. 60, no. 10, 2021, pp. 104501-1-8,
- [137] 澤山 唯人, 森下 賢幸, 小椋 清孝, 伊藤 信之, "二帯域同時受信LNAにおける入出力整合回路の最適構成の検討," *電子情報通信学会論文誌 C*, Vol.J104-C, No.4, pp.71-81, Apr. 2021.
- [138] M. Ugajin, Y. Kakei, N. Itoh, "A quadrature voltage-controlled oscillator using phase-adjusting architecture for suppressing phase noise," *IEICE Electronics Express*, Vol. 18, No.10, pp.1-3, May 2021.
- [139] Hayato Yoshida, Yusaku Shiotsu, Daiki Kitagata, Shuu'ichirou Yamamoto, and Satoshi Sugahara, "Ultralow-Voltage Retention SRAM With a Power Gating Cell Architecture Using Header and Footer Power-Switches", *IEEE Open Journal of Circuits and Systems*, vol. 2, 2021, pp. 520-533.
- 国際会議**
- [1] R. Katada, K. Hata, Y. Yamauchi, T. -W. Wang, R. Morikawa, C. -H. Wu, T. Sai, P. -H. Chen, and M. Takamiya, "5 V, 300 MSa/s, 6-bit Digital Gate Driver IC for GaN Achieving 69 % Reduction of Switching Loss and 60 % Reduction of Current Overshoot," *The Institute of Electrical Engineers of Japan, 33rd International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, Virtual, pp. 55 – 58, May 2021.
- [2] H. Qiu and M. Takamiya, "A 6.78 MHz Wireless Power Transfer System for Simultaneous Charging of Multiple Receivers with Maximum Efficiency using Adaptive Magnetic Field Distributor IC," *IEEE Symposium on VLSI Circuits*, Virtual, pp. 1-2, June 2021.
- [3] M. Takamiya, "Digitalized Power Electronics for Incorporating IoT and AI," *International Conference on Solid State Devices and Materials (SSDM)*, Virtual, pp. 712-713, Sep. 2021. (Invited)
- [4] R. Katada, K. Hata, Y. Yamauchi, T. -W. Wang, R. Morikawa, C. -H. Wu, T. Sai, P. -H. Chen, and M. Takamiya, "Digital Gate Driving (DGD) is Double-Edged Sword: How to Avoid Huge Voltage Overshoots Caused by DGD for GaN FETs," *IEEE Energy Conversion Congress & Exposition (ECCE)*, Virtual, pp. 5412-5416, Oct. 2021.
- [5] Yoshihiko Horio, Takemori Orima, Koji Kiyoyama, and Mitsumasa Koyanagi, "Implementation of a chaotic neural network reservoir on a TSV/ μ bump stacked 3D cyclic neural network integrated circuit," in *Proc. 2021 IEEE International 3D System Integration Conference*, paper number 5b (4 pages), Online, November 16-19, 2021.
- [6] Takemori Orima and Yoshihiko Horio, "Preliminary experimental results of chaotic neural network reservoir using improved cyclic neuron circuit for stacked 3D integrated circuit," in *Proc. The 2021 Nonlinear Science Workshop*, p. NLSW-9, Online, December 6-8, 2021.
- [7] Koji Kiyoyama, Yoshihiko Horio, Takafumi Fukushima, Hiroyuki Hashimoto, Takemori Orima, and Mitsumasa Koyanagi, "Design for 3-D stacked neural network circuit with cyclic analog computing," in *Proc. 2021 IEEE International 3D System Integration Conference*, paper number 5a (4 pages), Online, November 16-19, 2021.
- [8] 野池, 長尾, 古田, 小林, "An Asynchronous Buck Converter by Using a Monolithic GaN IC Integrated by an Enhancement-Mode GaN-on-SOI Process" , pp. PO1_2, *Workshop on Wide Bandgap Power Devices and Applications(2021)*
- [9] 高橋, 長尾, 古田, 小林, "A Capacitor-Based Multilevel Gate Driver for GaN HEMT Only with a Single Voltage Supply" , *Workshop on Wide Bandgap Power Devices and Applications(2021)*
- [10] 浦部, 越智, 小林, "Nonvolatile SRAM Using Fishbone-in-Cage Capacitor in a 180 nm

- Standard CMOS Process for Zero-standby and Instant-powerup Embedded Memory on IoT" , Symposium on Low-Power and High-Speed Chips and Systems (COOL Chips)(2021)
- [11] Tetsuya Iizuka, Hao Xu and Asad A. Abidi "Nyquist A/D Converter Design in Four Days," in IEEE Symposium on VLSI Circuits Workshop: Deep Analysis Can Compress the Time to Design Optimum Analog/Mixed-Signal Circuits, Jun. 2021.
- [12] Zule Xu, Masaru Osada and Tetsuya Iizuka, "A 3.3-GHz 4.6-mW Fractional-N Type-II Hybrid Switched-Capacitor Sampling PLL Using CDAC-Embedded Digital Integral Path with -80-dBc Reference Spur," in IEEE Symposium on VLSI Circuits Digest of Technical Papers, Jun. 2021.
- [13] Xiangyu Chen, Takeaki Yajima, Isao H. Inoue, Tetsuya Iizuka "A Compact On-Chip Implementation of Leaky Integrate-and-Fire Neuron with Long and Tunable Time Constant Utilizing Pseudo Resistors," in Extended Abstract of International Conference on Solid State Devices and Materials (SSDM), L-2-02, Sep. 2021.
- [14] Nguyen Ngoc Mai-Khanh, Tetsuya Iizuka and Kunihiko Asada [Invited] "Shock-Wave Transceiver Integration for mm-Wave Active Sensing Applications," in Proceedings of IEEE International Conference on IC Design and Technology (ICICDT), Sep. 2021.
- [15] Tetsuya Iizuka, Hao Xu and Asad A. Abidi [Invited] "A Tutorial on Systematic Design of CMOS A/D Converters: Illustrated by a 10 b, 500 MS/s SAR ADC with 2 GHz RBW," in Proceedings of IEEE European Solid-State Circuits Conference (ESSCIRC), Sep. 2021.
- [16] Motohiro Kanai, Ryuya Maki, Norifumi Matsuda, Kyohei Tanimura, Hidetoshi Taki, and Kousuke Miyaji, "A 24V VIN 5-to-20V VOUT 10MHz 2-Phase GaN DC-DC Buck Converter with CF-AOOT Control for Wide Range Voltage Conversion Ratio," International Conference on Solid State Devices and Materials (SSDM), 714-715, 2021.
- [17] Kousuke Miyaji, "3D-Integrated Magnetics using Fe-based Metal Composite Materials for Beyond-10MHz Switching Power Supply," 2021 International Workshop on Power Supply On Chip (PwrSoC), 3.2, 2021.
- [18] Tomohiro Higuchi, Dai Suzuki, Ryo Ishida, Yasuaki Isshiki, Kazuki Arai, Kohei Onizuka, Kousuke Miyaji, "A 5.7GHz RF Wireless Power Transfer Receiver Using 84.5% Efficiency 12V SIDO Buck-Boost DC-DC Converter with Internal Power Supply Mode", IEEE Asian Solid-State Circuits Conference(A-SSCC), pp.1-3, 2021.
- [19] Masamitsu Matsuura, Tanemasa Asano, Haruichi Kanaya, "Stress Reduced Embedded Die Substrate Structure Fabricated for Heterogeneous Integration Using Selective Laser Ablation", Proc.17th Annual Device Packaging Conference, pp.1-4, 2021.4.
- [20] Masaya Murakami, Mohamed M. Mansour, Shota Torigoe, Shuya Yamamoto, Haruichi Kanaya, "Development of Power Management System for RF Energy Harvester", Proc. ICEP International Conference on Electronics Packaging 2021, pp. 33-34, 2021.4.
- [21] Haruichi Kanaya, Osamu Takiguchi, Shunsuke Uto, Katsumi Shimomura, "Battery Less Soil Moisture Sensors for Strawberry Seedlings", Proc. ICEP International Conference on Electronics Packaging 2021, pp. 27-28, 2021.4
- [22] Mohamed M. Mansour, Masaya Murakami, Shota Torigoe, Shuya Yamamoto, Haruichi Kanaya, "Experimental Demonstration of Wireless Energy Harvesting for ZigBee Wireless Communication", Proc. International Conference on Electronics Packaging 2021, pp. 149-150, 2021.4.
- [23] Shunsuke Yamamoto, and Haruichi Kanaya, "One-sided directional wideband slot array antenna for 28 GHz application", Proc. 26th International Symposium on Antennas and Propagation, pp.1-2, 2021.10.
- [24] Haruichi Kanaya, Osamu Takiguchi, Hatsune Ogra, Hisayoshi Eto, Hideyuki Takahashi, "Ear Tag Type Sustainable Sensing Platform for

- livestock", Proc. 2021 International Conference On Future Intelligent Computing, pp.108-109, 2021.11.
- [25] PeiYi Qiu, Quanyuan Feng, Haruichi Kanaya, "One-Sided Directional Slot Unit and Its Array Antenna With AMC Reflector for 5G N257 Band Applications", Proc.2021 Asia Pacific Microwave Conference, pp.1-3, 2021.11.
- [26] Mohamed M. Mansour, Torigoe Shota, Haruichi Kanaya, "Design of a High Gain and Miniaturized Inter-digital CPW Antenna for Energy Harvesting", Proc. 2021 IEEE International Symposium on Antennas and Propagation and USNC-URSI Radio Science Meeting, pp.263-264, 2021.12.
- [27] Syuya Yamamoto, Mohamed M. Mansour, Shota Torigoe, Osmu Takiguchi, Haruichi Kanaya, "High Efficient RF Energy Harvesting Circuit using Cascade Structure", Proc. 23rd IEEE Electronics Packaging Technology Conference, pp.322-325, 2021.12
- [28] Shunsuke Yamamoto, Haruichi Kanaya, "One-sided directional slot array antenna for 28GHz wideband operation", Proc. 23rd IEEE Electronics Packaging Technology Conference, pp.330-333, 2021.
- [29] Yuki Fujii, Hiroaki Nagano, Yuya Ishiguro, Teruo Horiguchi, Naoya Akita, Koichi Sakamoto, Haruichi Kanaya, "Development of a wide-band compact diplexer using a redistribution layer for 5G application", Proc. 23rd IEEE Electronics Packaging Technology Conference, pp.339-342, 2021.12.
- [30] Kohei Tasaki, Ryo Takigawa, Haruichi Kanaya, "Terahertz band on-chip one-sided directional wide band slot array antenna", Proc. 23rd IEEE Electronics Packaging Technology Conference, pp.326-329, 2021.
- [31] Masamitsu Matsuura, Tanemasa Asano, Haruichi Kanaya, "Study of Laser Ablation Slits in Stress Reduced Embedded Die Substrate Fabricated for Heterogeneous Integration", Proc. 23rd IEEE Electronics Packaging Technology Conference, pp.563-567, 2021.12.
- [32] Haruichi Kanaya, "RF Energy Harvesting Circuit for Vital Sensing Platform", Proc. 2021 IEEE Asia-Pacific Conference on Applied Electromagnetics, pp.1-3, 2021.12
- [33] Runa Enosawa, Masato Ishikawa, Hotaka Ito, Noriyuki Yamada, Shinya Kato, Katsuyuki Morishita, Yuki Takei, and Ken Saito A Study on Capacitance Detection Circuit of Electrostatic Sensor for Microrobot The Twenty-seventh international Symposium on Artificial Life and Robotics 2022 (AROB 27th 2022) 2022.1.26
- [34] Katsuyuki Morishita, Yu Usami, Isuke Okuma, Yuki Takei, Ken Saito Development of Pulse-Type Hardware Neuron Model with Wide Oscillation Frequency Range The Twenty-seventh international Symposium on Artificial Life and Robotics 2022 (AROB 27th 2022) 2022.1.26
- [35] Hiroki Takayanagi, Arisa Sakaki, Yu Usami, Shinya Kato, Masato Ishikawa, Hotaka Ito, Noriyuki Yamada, Runa Enosawa, Sumire Furuya, Katsuyuki Morishita, Yuki Takei, Ken Saito Development of Neural Networks Integrated Circuit Driving Electrostatic Motors for Microrobot The Twenty-seventh international Symposium on Artificial Life and Robotics 2022 (AROB 27th 2022) 2022.1.26
- [36] R. Miura, S. Shibata, M. Usui, A. Kosuge, M. Hamada, and T. Kuroda, "A 5.2GHz RFID Chip Contactlessly Mountable on FPC at Any 90-Degree Rotation and Face Orientation," 27th Asia and South Pacific Design Automation Conference (ASP-DAC'22), pp. 5-6, Jan. 2022.
- [37] T. Omori, K. Shiba, A. Kosuge, M. Hamada, and T. Kuroda, "A Physical Verification Methodology for 3D-ICs Using Inductive Coupling," IEEE Electrical Design of Advanced Packaging and Systems(EDAPS), pp. 72-74, Dec. 2021.
- [38] S. Shibata, R. Miura, Y. Sawabe, K. Shiba, A. Kosuge, M. Hamada, and T. Kuroda, "A 5-GHz 0.15-mm² Collision Avoidable RFID Employing Complementary Pass-transistor Adiabatic Logic with an Inductively Connected External Antenna," IEEE Asian Solid-State Circuits Conference (A-SSCC'21), Nov. 2021.
- [39] K. Shiba, T. Omori, M. Hamada, and T. Kuroda,

- "Area-Efficient Multi-Hop Inductive Coupling Interface for 3D-Stacked Memory with 0.23-V Transmitter and Sub-10- μ m Coil Design," IEEE European Solid-State Circuits Conference (ESSCIRC), Sep. 2021.
- [40] R. Miura, S. Shibata, M. Usui, K. Shiba, A. Kosuge, M. Hamada, and T. Kuroda, "A Bonding-less 5-GHz RFID Module Using a 300 μ m x 500 μ m IC Chip," JSAP International Conference on Solid State Devices and Materials (SSDM'21), Extended Abstracts, pp. 686-687, Sep. 2021.
- [41] H. Myoren, T. Funazawa, and M. Naruse, "Design of SFQ Logic Circuit for Braiding Operations in Topological Josephson Junction Array", 14th Superconducting SFQ VLSI WorkShop, O-19, 2021年11月.
- [42] H. Myoren, T. Funazawa, and M. Naruse, "Braiding Operations for Topological Josephson Array using SFQ Current Pulses", 34th International Symposium on Superconductivity, 2021年12月.
- [43] Masui, Kameda, Sato, Hamamoto, "High Frame Rate Motion Estimation for Image Sensor with Controllable Exposure Patterns", International Workshop on Image Media Quality and its Applications (IMQA2022), OS4-1, 4pages, 2022年3月.
- [44] Kataoka, Kameda, Sato, Hamamoto, "Evaluation of A Moving Subject For Adaptive Exposure Time Control Using Multiple Exposure Time Imaging", International Workshop on Image Media Quality and its Applications (IMQA2022), OS4-2, 4pages, 2022年3月.
- [45] Kai Ichikawa*, Kawori Sekine "Signaling of Analog Counter for Ultrafast Laser Chaos Decision Making", NEWCAS Student Work Shop 2021, A1S-1, 14 June 2021.
- [46] Kai Ichikawa*, Kawori Sekine, Kazuyuki Wada, Shinsuke Hara, Ruibing Dong, Akifumi Kasamatsu, Satoru Tanoi, Makoto Naruse "Analog History Storage Circuit for Ultrafast Photonic Reinforcement Learning", AVIC(Analog VLSI Circuits)2021, No.34, 19 Oct 2021.
- [47] Koki Kinoshita*, Kawori Sekine "Linearization of Voltage Controlled Delay Circuit Used in Analog FIR Filter", NEWCAS Student Work Shop 2021, B1S-2, 15 June 2021.
- [48] Koki Kinoshita*, Kawori Sekine "DA Conversion Circuit Employed for Digital Delay Control of Analog FIR Filters", AVIC(Analog VLSI Circuits)2021, No.32, 19 Oct 2021.
- [49] Hiroki Iwahara*, Kawori Sekine, Kazuyuki Wada, Shinsuke Hara, Ruibing Dong, Akifumi Kasamatsu, Satoru Tanoi, Makoto Naruse "Tolerance Analysis of Comparator for Ultrafast Photonic Reinforcement Learning", AVIC(Analog VLSI Circuits)2021, No.35, 19 Oct 2021.
- [50] Noriki Matsuura and Kazuteru Namba, "Edge Triggered D Flip-Flop Using Complementarity of DICE," Proc. 22nd IEEE Workshop on RTL and High Level Testing / Dependability Workshop @ Matsuyama, Nov., 2021
- [51] Y. Zhu, T. Ohsawa, "Bit-line disturb free loadless 4T SRAM using gate leakage current for sustaining data with high immunity against process variations," Extended Abstracts of the 2021 International Conference on Solid State Devices and Materials (SSDM), pp. 127-128. Sep. 7, 2021.
- [52] K. Shimozato and T. Sato, "dGPLVM: A nonparametric device model for statistical circuit simulation," in Proc. IEEE International Conference on Microelectronic Test Structures (ICMTS), pp.1-6, March 2022.
- [53] K. Oshima, K. Kuribara, and T. Sato, "Investigation of layout-dependent characteristic change for improving performance of organic thin-film transistors," in Proc. IEEE International Conference on Microelectronic Test Structures (ICMTS), pp.1-6, March 2022.
- [54] K. Shimozato, M. Shintani, and T. Sato, "Adaptive outlier detection for power MOSFETs based on Gaussian process regression," in Proc. IEEE Applied Power Electronics Conference and Exposition (APEC), pp.1709-1713, March 2022.
- [55] Y. Nakamura, M. Shintani, and T. Sato, "Sensitivity analysis of device parameter variation

- on current imbalance of parallel connected SiC power MOSFETs," in Proc. IEEE Energy Conversion Congress and Expo (ECCE), pp.5622-5628, October 2021.
- [56] H. Tsukamoto, S. Bian, and T. Sato, "Statistical device modeling with arbitrary model-parameter distribution via Markov Chain Monte Carlo," in Proc. International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), pp.1-4, September 2021.
- [57] K. Shimozato, Y. Nakamura, and T. Sato, "Analysis of thermal concentration failure in unclamped inductive switching based on three-dimensional electro-thermal simulation with on-chip variation," in Proc. International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), pp.1-4, September 2021.
- [58] Z. Qin, K. Kuribara, and T. Sato, "An SRAM-based scratchpad memory for organic IoT sensors," in Proc. IEEE International Conference on Flexible and Printable Sensors and Systems (FLEPS), pp.1-4, June 2021.
- [59] T. Sato, Y. Tanaka, and S. Bian, "Clonable PUF: On the design of PUFs that share equivalent responses," in Proc. IEEE International Symposium on Circuits and Systems (ISCAS), pp.1-5, May 2021.
- [60] T. Sugiura and T. Yoshimasu, "25-GHz-Band High Efficiency Stacked-FET Power Amplifier IC with Adaptively Controlled Gate Capacitor in 45-nm SOI CMOS," in Proc. of Topical Conference on RF/Microwave Power Amplifiers for Radio and Wireless Applications (PAWR), Mo2D-3, Jan. 2022, pp.26-28.
- [61] M. Fang and T. Yoshimasu, "A 201.8-dBc/Hz-FoMT Octave-Tuning-Range LC-VCO IC With a Self-Shifted Voltage-Controlled Novel Varactor in 45-nm CMOS SOI," in Proc. of Asia Pacific Microwave Conference (APMC), Dec. 2021, 3-pages.
- [62] T. sasaki, T. Mori, and J. Ida, "Neuron function with single device by using "PN-body tied SOI-FET" -mimicking leaky integrate and fire characteristics-, in proceeding of Electron Devices Technology and Manufacturing (EDTM), Mar. 2022, 7A-DE3-3.
- [63] Y. Mizugaki, Y. Somei, and H. Shimada, "Operation of Double-Flux-Quantum Amplifiers Fabricated Using a 10 kA/cm² Nb/AlO_x/Nb Integration Process," The 14th Superconducting SFQ VLSI Workshop (SSV 2021) & the 3rd Workshop on Quantum and Classical Cryogenic Devices, Circuits, and Systems (QCCC 2021), Nagoya, November 9-10, 2021.
- [64] N. Sega, Y. Somei, H. Shimada, and Y. Mizugaki, "Operation of a 4-bit RSFQ digital-to-analog converter based on a binary split-confluence configuration," The 34th International Symposium on Superconductivity (ISS 2021), On-line, November 30-December 2, 2021. (ED5-5)
- [65] T. Cheng and M. Hashimoto, "Minimizing Energy of DNN Training with Adaptive Bit-Width and Voltage Scaling," Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS), May 2021.
- [66] 招待講演: Mutsumi Kimura, Development of Neuromorphic Systems and Emerging Devices, AM-FPD '22, July 2022, to be presented
- [67] 招待講演: Mutsumi Kimura, Machine Learning using Thin-Film Devices for Letter Recognition, IDMC 2022, Apr. 2022, to be presented
- [68] 招待講演: Mutsumi Kimura and Yasuhiko Nakashima, Feasibility Studies of Novel Applications using AOS Devices for Flexible Electronics, MRM 2021, D6-O6-05, Dec. 2021
- [69] Y. Takeuchi et al. (COBAND collaboration), "Development of FD-SOI cryogenic amplifier for application to STJ readout in COBAND project", VLSI-TSA Proceedings of Technical Papers, 115-116, 2022年
- [70] Jimpu Suzuki, Hiroshi Tsutsui, Takeo Ohgane, "An Evaluation of 5G LDPC Decoder Using Min-Sum Irregular LDPC Decoder Design Framework Considering Its QC-LDPC Structure," Proceedings of International Workshop on Smart Info-Media Systems in Asia (SISA), pp. 71-76, Sep. 2021. [doi:10.34385/proc.66.RS2-5]

- [71] Chiwen Cheng, Kenichi Ohhata, "A PVT-Robust Closed-Loop Dynamic Amplifier Using Three-Stage Floating Inverter Amplifier," 2021 IEEE Asia Pacific Conference on Circuits and Systems, Nov. 2021.
- [72] Puput Dani Prasetyo Adi, A Kitagawa, V Sihombing, G J Silaen, N E Mustamu, V M M Siregar, F A Sianturi, W Purba, "A Study of Programmable System on Chip (PSoC) Technology for Engineering Education", 2nd Workshop on Engineering, Education, Applied Sciences and Technology, 2021.10
- [73] Puput Dani Prasetyo Adi, Akio Kitagawa, Dwi Arman Prasetya, Aries Boedi Setiawan, "A Performance of ES920LR LoRa? for the Internet of Things: A Technology Review", IEEE 2021 3rd East Indonesia Conference on Computer and Information Technology, pp.1-7, 2021.4
- [74] Maruyama, Tanaka, Wei, "Arithmetic using signed digit number representation for floating point operations", Proc. ICAEE 2021, pp.144-153, Dec. 2021.
- [75] Yoshio Mita, Eric Lebrasseur, Motohiko Ezawa, Keigo Tsuji, Minoru Kawamura, and Akio Higo, "TopoMEMS circuit: step-variable-resettable MEMS capacitor for topological electrical circuit (oral presentation)," The 21st International Conference on Solid-State Sensors, Actuators, and Microsystems (Transducers), 20-25 June 2021, online, accepted for publication (2021)
- [76] Takafumi Yamaguchi, Naoto Usami, Kei Misumi, Atsushi Toyokura, Akio Higo, Shimpei Ono, Gilgueng Hwang, Guilhem Larrieu, Yoshiho Ikeuchi, Agnes Tixier-Mita, Ken Saito, Timothee Levi, and Yoshio Mita, "Self-deformable flexible MEMS tweezer made of poly (vinylidene fluoride) /ionic liquid gel with electrical measurement capability (oral presentation)," The 21st International Conference on Solid-State Sensors, Actuators, and Microsystems (Transducers), 20-25 June 2021, online, accepted for publication (2021)
- [77] Akio Higo, Yukinori Ochiai, and Yoshio Mita, "High throughput 16 nm nanogap by variable shaped beam method using F7000S-VD02 EB lithography," The 21st International Conference on Solid-State Sensors, Actuators, and Microsystems (Transducers), 20-25 June 2021, online, accepted for publication (2021)
- [78] Nobutaka Kito and Kazuyoshi Takagi, "An RSFQ Flexible-Precision Multiplier Utilizing Bit-Level Processing," Journal of Physics: Conference Series, vol. 1975, Article# 012025, Jul. 2021.
- [79] S. Amakawa, S. Lee, K. K. Tokgoz, and H. Ito, "Visualizing small-signal responses of a nonlinear RF circuit under large-signal operating conditions," International Symposium on Biomedical Engineering (ISBE), pp.188–189, December 3, 2021.
- [80] Van Tinh NGUYEN, Quang-Kien Trinh, Renyuan Zhang and Yasuhiko Nakashima: "XNOR-BSNNz In-Memory Computing Model for Deep Binarized Spiking Neural Network", IEEE International Conference on High Performance Big Data and Intelligent Systems(HPBD&IS 2021), technical program, Dec. (2021)
- [81] Haruki Nagasaki, Fen Yang, Shimon Suzuki, Hisashi Kino, Takafumi Fukushima and Tetsu Tanaka, "Development of Ultralow Invasive Opto-neural Mesh Probe with Upconversion Nanoparticles for Optogenetics", Extended Abstracts of the 2021 International Conference on Solid State Devices and Materials, pp.393-pp.394, September 2021
- [82] B. Inoue, Z. Qian, B. Du, Y. Liang, J. Ye, K. Nakamura, S. Wang, Y. Aruga, H. Kino, T. Fukushima, K. Kiyoyama, and T. Tanaka, "Design of Noise Cancellation Circuit for Trans-Nail Pulse-Wave Measurement System", Extended Abstracts of the 2021 International Conference on Solid State Devices and Materials, pp.702-pp.703, September 2021
- [83] Yaogan Liang, Zhengyang Qian, Bang Du, Jinming Ye, Kohei Nakamura, Shengwei Wang, Hisashi Kino, Takafumi Fukushima, Koji Kiyoyama, and Tetsu Tanaka, "Design And Evaluation Of Electronic-Microsaccade With Balanced Stimulation for Artificial Vision System", IEEE 2021 Biomedical Circuits and

- Systems Conference, B2L-B Implantable Medical Electronics, October 2021
- [84] Tomo Odashima, Yuki Susumago, Shuta Nagata, Hisashi Kino, Tetsu Tanaka, and Takafumi Fukushima, "Wafer-Level Flexible 3D Corrugated Interconnect Formation for Scalable In-Mold Electronics with Embedded Chiplets", 2021 IEEE 71st Electronic Components and Technology Conference (ECTC), pp.34-pp.39, June 2021
- [85] Zhe Wang, Ikumi Ozawa, Yuki Susumago, Tomo Odashima, Noriyuki Takahashi, Hisashi Kino, Tetsu Tanaka, and Takafumi Fukushima, "Multi-level Metallization on an Elastomer PDMS for FOWLP-based Flexible Hybrid Electronics", The 2021 IEEE International Interconnect Technology Conference (IITC), PS-1-08-1 ~ PS-1-08-2, July 2021
- [86] Tetsu Tanaka, "Development of Integrated Biomedical Devices with 3D-stacked IC and Advanced Packaging Technology", 2021 Symposium on Engineering, Medicine, and Biology Applications, June 2021
- [87] Tetsu Tanaka, "Development of Integrated Biomedical Devices with 3DIC and Advanced Packaging Technology", IEEE International 3D System Integration Conference 2021 (3DIC), November 2021
- [88] Guowei Chen, Xinyang Yu, Yue Wang, Tran Minh Quan, Naofumi Matsuyama, Takuya Tsujimura, Md. Zahidul Islam and Kiichi Niitsu, "A 0.5 mm² 0.31 V/0.39 V 28 nW/144 nW 65 nm CMOS Solar Cell-Powered Biofuel Cell-Input Biosensing System with PIM/PDM LED Driving for Stand-Alone RF-Less Continuous Glucose Monitoring Contact Lens", in Proc. IEEE European Solid State Circuits Conference (ESSCIRC 2021), Sep. 2021
- [89] Yue Wang, Guowei Chen, Xinyang Yu, Xujiaming Chen and Kiichi Niitsu, "A 22nm CMOS 0.2V 13.3nW 16T SRAM Using Dynamic Leakage Suppression and Half-Selected Free Technique", in Proc. IEEE Asia Pacific Conference on Circuits and Systems (APCCAS 2021), Sep. 2021.
- [90] Akiyoshi Tanaka, Guowei Chen and Kiichi Niitsu, "A 4.8mW 22nm CMOS Fully-Integrated 60-GHz 3×3×2 3D Frequency-Shift Biosensor Array Using Vertically-Stacked LC Oscillators", IEEE International Conference on Electronics, Circuits & Systems (ICECS 2021), Paper 2203, Nov. 2021.
- [91] Akiyoshi Tanaka, Guowei Chen and Kiichi Niitsu, "A 0.2V 0.97nW 0.011mm² Fully-Passive mHBC Tag Using Intermediate Interference Modulation in 65nm CMOS", IEEE International Conference on Electronics, Circuits & Systems (ICECS 2021), Paper 2157, Nov. 2021.
- [92] Yuki Nishimura, Akio Shimizu, Takuro Noguchi, Yohei Ishikawa, Sumio Fukai, "A 10-bit Current-Steering DAC for Urinary Bladder Volume Measurement", in IEEE Asia Pacific Conf. on Circuits and Systems (APCCAS), Nov. 2021.
- [93] T. Tsuchida, A. Tsuchiya, T. Inoue, and K. Kishine, "Supply-Variation-Tolerant Transimpedance Amplifier Using Non-Inverting Amplifier in 180-nm CMOS", ASPDAC2022, pp.96-97, 2022年1月.
- [94] M. Miyabe, T. Inoue, M. Inoue, S. Nakashioya, A. Tsuchiya, and K. Kishine, "A preamplifier circuit with offset-voltage control technique for 50-Gb/s CMOS PAM4 receiver", ICEIC2022, RO14-05, 2022年2月.
- [95] I. Nagaoka, R. Kashima, T. Nakano, M. Tanaka, T. Yamashita, and A. Fujimaki, "Implementation of a High-Throughput Bit-Parallel Microprocessor Using Single-Flux-Quantum Logic," 15th European Conference on Applied Superconductivity (EUCAS 2021), Online, Sep 2021.
- [96] T. Yoshimura, "Mitigation of Mutual Pulling in Two Phase-locked Loops," in Proc. IEEE Int. New Circuits and Systems Conference (NEWCAS), Jun. 2021.
- [97] K. Kawahara, Y. Umeda, and K. Takano, "Design of an Area-Efficient Differential Distributed Amplifier Based on the Theory of Differential Transmission Lines," 2021 IEEE International Symposium on Circuits and Systems (ISCAS),

- Daegu, Korea, May 2021.
- [98] K. Kawahara, Y. Umeda, and K. Takano, "A Broadband Active Balun with Inductor-less Active Peaking and Imbalance Correction," 2021 IEEE 64th International Midwest Symposium on Circuits and Systems (MWSCAS), Lansing, Michigan, USA, Aug. 2021.
- [99] K. Kawahara, J. Sawada, T. Kamo, Y. Umeda, and K. Takano, "A 50 Gbps 49 mW CMOS Analog Multiplexer for a DAC Bandwidth Tripler," 2022 IEEE Radio & Wireless Symposium (RWS), Las Vegas, Nevada, USA, Jan. 2022.
- [100] H. Sakai, K. Takano, Y. Umeda, S. Hara, and A. Kasamatsu, "A 128-GHz Broadband CMOS Amplifier with Distributed Resonance Frequencies of Parasitic Shunt LC Resonators," 13th Global Symposium on Millimeter Waves 2021 (GSMM 2021), May 2021.
- [101] K. Sahara, K. Takano, Y. Umeda, S. Hara, and A. Kasamatsu, "58-GHz Up-Conversion Mixer Using Capacitive Cross-Coupling Neutralization in 180-nm CMOS Technology," 13th Global Symposium on Millimeter Waves 2021 (GSMM 2021), May 2021.
- [102] T. Hagiwara, N. Yamaki, K. Sekine, H. Sakai, K. Sahara, K. Takano, S. Hara, S. Lee, R. Dong, S. Tanoi, S. Kubo, S. Miura, A. Kasamatsu, T. Yoshida, S. Amakawa, K. Sakakibara, Y. Umeda, and M. Fujishima, "A 258-GHz CMOS Transmitter with Phase-Shifting Architecture for Phased-Array Systems," 2021 IEEE MTT-S International Microwave Symposium (IMS 2021), June 2021.
- [103] K. Sekine, T. Hagiwara, K. Takano, S. Hara, A. Kasamatsu, and Y. Umeda, "A 270 GHz CMOS Doubler-Based Up-Conversion Mixer with Output Amplitude Imbalance Detection," The 2021 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT 2021), Aug. 2021.
- [104] K. Sekine, T. Hagiwara, K. Takano, S. Hara, A. Kasamatsu, and Y. Umeda, "A 300-GHz-Band Fundamental Up-Conversion Mixer Using 40-nm CMOS Technology," The IEEE MTT-S International Microwave and RF Conference (IMaRC 2021), Dec. 2021.
- [105] H. Sakai, K. Takano, Y. Umeda, S. Hara, and A. Kasamatsu, "A 220–330 GHz Wideband, Low-Loss and Small Marchand Balun with Ground Shields in SiGe BiCMOS Technology," The IEEE MTT-S International Microwave and RF Conference (IMaRC 2021), Dec. 2021.
- [106] K. Sahara, K. Takano, Y. Umeda, S. Hara, and A. Kasamatsu, "A Wideband Multi-Stage Amplifier with Low Group-Delay Variation Using Transistors with Low Nodal Quality Factors in Sub-Terahertz Band," The IEEE MTT-S International Microwave and RF Conference (IMaRC 2021), Dec. 2021.
- [107] Makoto Nagata, "Exploring Fault Injection Attack Resilience of Secure IC Chips," in Proceedings of the IEEE International Reliability Physics Symposium (IRPS 2022), #11C.1, pp. 1–6, Mar, 2022.
- [108] Koh Watanabe, Takuya Wadatsumi, Kazuki Monta, Mai Aoi, Misaki Komatsu, Ryota Sakai, Satoshi Tanaka, Takuji Miki, Makoto Nagata, "Near Field Measurements of Sub-Millimeter-Wave Noise Emission from Digital Integrated Circuits," in Proceedings of the 13th International Workshop on the Electromagnetic Compatibility of Integrated Circuits (EMC Compo 2021), pp. 45–47, Mar. 2022.
- [109] Hiroki Sonoda, Takuji Miki, Makoto Nagata, "Electromagnetic Susceptibility of VCO-based ADC in 28 nm CMOS Technology," in Extended Abstracts of the 2021 International Conference on Solid State Devices and Materials (SSDM 2021), #L-3-4, pp. 698–699, Sep. 2021.
- [110] Makoto Nagata, "Physical Attack Protection Techniques in IC Chips for IoT Security (Invited)," in Extended Abstracts of the 2021 International Conference on Solid State Devices and Materials (SSDM 2021), #L-2-1, pp. 680–681, Sep. 2021.
- [111] Kazuki Monta, Leonidas Katselas, Ferenc Fodor, Alkis Hatzopoulos, Makoto Nagata, Erik Jan Marinissen, "Testing Embedded Toggle Pattern Generation Through On-Chip IR Drop Monitoring," in Proceedings of the 26th IEEE

- European Test Symposium (ETS 2021), #S1-2, pp. 1-4, May 2021.
- [112] 友利, 長名, "Kyokko: a vendor independent high speed serial communication controller", The 2021 International Symposium on Highly Efficient Accelerators and Reconfigurable Technologies (HEART 2021), online, Jun. 2021.
- [113] Masashi Imai, "Novel Circuit Structure of Basic Standard Cells against Glitches," Proc. ASYNC2021 Fresh idea track paper, Sep., 2021.
- [114] Toshiki Kanamoto, Kan Hatakeyama, Seria Kasai, Masashi Imai, Atsushi Kurokawa, Masami Fukushima, Koichi Kitagishi, Seijin Nakayama, Hideki Ishihara, "An Energy Efficient Processor Applicable to Continuous SPO2 Monitoring," Proc. of GCCE, pp.1-2, Oct., 2021.
- [115] Ohtsuka, Yagi, Fukuhara, "Proposal of 2-Input SHL Circuit with FG Calibration," ICIC Express Letters Part B: Applications, Vol. 12, No. 05, pp. 0413-0418, May 2021
- [116] Hiroshi Ito, Minoru Watanabe, "Total-ionizing-dose tolerance evaluation of an optoelectronic field programmable gate array VLSI during operation," International Conference on Field-Programmable Technology, Dec., 2021.
- [117] Junya Ishido, Minoru Watanabe, Akifumi Ogiwara, "Optically reconfigurable gate array with a 1 Grad total-ionizing-dose tolerant holographic memory," IEEE Photonics Conference, 2pages, Oct., 2021.
- [118] Akifumi Ogiwara, Minoru Watanabe, "Holographic gratings formed by wavelength multiplexing in liquid crystal composites," MICROOPTICS CONFERENCE, pp. 188-189, Hamamatsu, Japan, Sep., 2021.
- [119] T. Hagiwara, N. Yamaki, K. Sekine, H. Sakai, K. Sahara, K. Takano, S. Hara, S. Lee, R. Dong, S. Tanoi, S. Kubo, S. Miura, A. Kasamatsu, T. Yoshida, S. Amakawa, K. Sakakibara, Y. Umeda, M. Fujishima, "A 258-GHz CMOS Transmitter with Phase-Shifting Architecture for Phased-Array Systems," 2021 IEEE MTT-S International Microwave Symposium (IMS), 2021, pp. 705-708, doi: 10.1109/IMS19712.2021.9574976.
- [120] S. Lee, S. Hara, R. Dong, K. Takano, S. Amakawa, T. Yoshida, M. Fujishima, "A 272-GHz CMOS Analog BPSK/QPSK Demodulator for IEEE 802.15.3d," ESSCIRC 2021 –IEEE 47th European Solid State Circuits Conference (ESSCIRC), 2021, pp. 415-418, doi: 10.1109/ESSCIRC53450.2021.9567798.
- [121] S. Hara, R. Dong, S. Lee, K. Takano, N. Toshida, S. Tanoi, T. Hagino, M. H. Mubarak, N. Sekine, I. Watanabe, A. Kasamatsu, K. Sakakibara, S. Kubo, S. Miura, Y. Umeda, T. Yoshida, S. Amakawa, M. Fujishima, "A 76-Gbit/s 265-GHz CMOS Receiver," 2021 IEEE Asian Solid-State Circuits Conference (A-SSCC), 2021, pp. 1-3, doi: 10.1109/A-SSCC53895.2021.9634780.
- [122] S. Fujimoto, R. Smith, S. Amakawa, T. Yoshida and M. Fujishima, "A 30-To-70-GHz CMOS Amplifier for 300-GHz Heterodyne Receivers," 2021 Asia-Pacific Microwave Conference (APMC), Nov. 30, 2021.
- [123] Y. Harada, M. Yahara, M. Fukuhara, D. Nishiguchi, K. Fujimoto, "A Study of a Euclidean Distance Detection circuit for an Associative Memory", 15th International Conference on Innovative Computing, Information and Contro, 2021年9月
- [124] Rei Watanabe, Akira Yasuda, Michitaka Yoshino, Dynamic element matching for successive approximation register and delta-sigma modulator two-step analog-to-digital converter with digital-to-analog converter and residual gain error, Proceedings 2021 International Conference on Analog VLSI Circuits, A2.3, Oct. 18th-21st, 2021.
- [125] Yuki Genkaku, Akira Yasuda, Michitaka Yoshino, Syuji Okage, Second-order delta-sigma down-converting ADC with even harmonic mixer and noise-shaping dynamic element matching, Proceedings 2021 International Conference on Analog VLSI Circuits, A2.1, Oct. 18th-21st, 2021.
- [126] Kenji Sugie, Kiyotaka Sasagawa, Yasumi Ohta, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro, Jun Ohta "Implantable CMOS Image Sensor with a Neural Amplifier for Simultaneous

- Recording of Optical and Electrophysiological Signals" BioCAS2021, 2021.10.7.
- [127] Romeo Brioso Rebusi, Yasumi Ohta, Makito Haruta, Hironari Takehara, Hiroyuki Tashiro, Kiyotaka Sasagawa, Jun Ohta "CMOS-based calcium imaging in the amygdala and the dorsal raphe nucleus of mice during acute pain sensation and inflammatory hyperalgesia" The 44th Annual Meeting of the Japan Neuroscience Society/the 1st CJK International Meeting., 2021.7.28.
- [128] Mark Christian Guinto, Makito Haruta, Taisuke Saigo, Kazuki Kurasawa, Hironari Takehara, Hiroyuki Tashiro, Kiyotaka Sasagawa, Jun Ohta "Chronic monitoring of intrinsic optical signals in the mouse cortex using an implantable CMOS-based imaging device" The 44th Annual Meeting of the Japan Neuroscience Society/the 1st CJK International Meeting., 2021.7.28.
- [129] Joshua Olorocisimo, Paul Regonia, Yasumi Ohta, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro, Kiyotaka Sasagawa, Kazushi Ikeda, Jun Ohta "Brain-implantable CMOS image sensor for simultaneous multi-layer observation of neuronal calcium signaling in the hippocampus during epilepsy" The 44th Annual Meeting of the Japan Neuroscience Society/the 1st CJK International Meeting., 2021.7.28.
- [130] Teixeira Sais Barbara, Tso Kuang-Chih, Makito Haruta, Hironari Takehara, Hiroyuki Tashiro, Kiyotaka Sasagawa, Jun Ohta "Development of Small Fluorescence Imaging Device with Multi-Electrode Array for the Electrophysiology" 10th International IEEE EMBS Conference on Neural Engineering (NER'21), 2021.5.5.
- [131] T. Asano and T. Sugawara, "Simulation Based Evaluation of Bit-Interaction Side-Channel Leakage on RISC-V Processor," PROOFS 2021, 2021.
- [132] R. Miura, S. Shibata, M. Usui, A. Kosuge, M. Hamada, and T. Kuroda, "A 5.2GHz RFID Chip Contactlessly Mountable on FPC at Any 90-Degree Rotation and Face Orientation," 27th Asia and South Pacific Design Automation Conference (ASP-DAC'22), pp. 5-6, Jan. 2022.
- [133] T. Omori, K. Shiba, A. Kosuge, M. Hamada, and T. Kuroda, "A Physical Verification Methodology for 3D-ICs Using Inductive Coupling," IEEE Electrical Design of Advanced Packaging and Systems (EDAPS), pp. 72-74, Dec. 2021.
- [134] S. Shibata, R. Miura, Y. Sawabe, K. Shiba, A. Kosuge, M. Hamada, and T. Kuroda, "A 5-GHz 0.15-mm² Collision Avoidable RFID Employing Complementary Pass-transistor Adiabatic Logic with an Inductively Connected External Antenna," IEEE Asian Solid-State Circuits Conference (A-SSCC'21), Nov. 2021.
- [135] K. Shiba, T. Omori, M. Hamada, and T. Kuroda, "Area-Efficient Multi-Hop Inductive Coupling Interface for 3D-Stacked Memory with 0.23-V Transmitter and Sub-10- μ m Coil Design," IEEE European Solid-State Circuits Conference (ESSCIRC), Sep. 2021.
- [136] R. Miura, S. Shibata, M. Usui, K. Shiba, A. Kosuge, M. Hamada, and T. Kuroda, "A Bonding-less 5-GHz RFID Module Using a 300 μ m x 500 μ m IC Chip," JSAP International Conference on Solid State Devices and Materials (SSDM'21), Extended Abstracts, pp. 686-687, Sep. 2021.
- [137] Okumoto Yuya, Hiroyuki Yotsuyanagi, Masaki Hashizume and Shyue-Kung Lu, "Detectable Resistance Increase of Open Defects in Assembled PCBs by Quiescent Currents through Embedded Diodes," Proc. of 2021 International Conference on Electronics Packaging (ICEP), May 2021.
- [138] Hiroyuki Yotsuyanagi, Kohji Arimoto, Koji Makino and Masaki Hashizume, "Scan Shift Reduction in Delay Testing using Boundary Scan with Embedded TDC," the 22nd IEEE Workshop on RTL and High Level Testing, Nov. 2021.
- [139] S. Sato, S. Moriya, Y. Kanke, H. Yamamoto, Y. Horio, Y. Yuminaka, J. Madrenas, "A Subthreshold Spiking Neuron Circuit Based on the Izhikevich Model", Proc. International Conference on Artificial Neural Networks, pp.177-181, 2021
- [140] Tomoaki Ukezono, "Resistance for Side-Channel

- Attack by Virtual Dual-Rail Effect", Proc. of 3rd International Conference on Electrical, Communication and Computer Engineering (ICECCE 2021), paper-89, Kuala Lumpur, Malaysia (in Virtual), 2021.7.
- [141] Shimoda, Hayashi, Ito, Nakamura, "Feed-Forward Control of PAM4 CTLE for Optical Receivers Based on a Step Response Analysis," ISOC2021, Analog2-3, pp. 126-127, Oct. 6-9, 2021.
- [142] Shunsuke Tanaka, Masahiro Akiyama, "Optimal micromanipulator design for gathering magnetic beads", Proceedings of the 8th IIAE International Conference on Intelligent Systems and Image Processing, pp.148-152, 2021
- [143] Yuya Nakazato, Motoki Amagasaki, Qian Zhao, Masahiro Iida, Morihiro Kuga, "Automation of Domain-specific FPGA-IP Generation and Test," Proc. of International Symposium on Highly Efficient Accelerators and Reconfigurable Technologies (HEART 2021), No. 4, pp.1- 6 , <https://doi.org/10.1145/3468044.3468048>, June 2021.
- [144] Yuya Nakazato, Motoki Amagasaki, Qian Zhao, Masahiro Iida, Morihiro Kuga, "Test of less configuration memory FPGA," Proc. of IEEE Symposium on Low-Power and High-Speed Chips and Systems (COOL Chips 24), Poster 7, May 2021.
- [145] Roberto Andrino Robles, Tomochika Harada, Michio Yokoyama, "Evaluation of a Filter-less AD-PLL with a Wide Input Frequency Range Using a Fast-Locking Algorithm", 2021 28th IEEE International Conference on Electronics, Circuits, and Systems (ICECS), DOI: 10.1109/ICECS53924.2021.9665560, Nov.2021
- [146] Roberto Andrino Robles, Tomochika Harada, "A Low Power 0.6V Filter-less AD-PLL with a Fast Locking Algorithm in the Subthreshold Region", 2021 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS), DOI: 10.1109/ISPACS51563.2021.9651013, Dec.2021
- [147] Atsuya Hirono, Yuki Muramoto, Shunya Tsuchimoto, Naoki Sakai, Kenji Itoh, "The 2.4 GHz band SOI-CMOS high power bridge rectifier IC with the cross coupled CMOS pair," 2021 IEEE Wireless Power Transfer Conference (WPTC), June 2021.
- [148] K. Sembo et al., "Real-Time in Vivo Imaging of Intra-Stem Ion Distribution Using Insertable CMOS Sensor for Plants," 2021 21st International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers), 2021, pp. 259-262, doi: 10.1109/Transducers50396.2021.9495450.
- [149] R. Wada et al., "Functional validation of an additional device to the gas sensor for arbitrary control sensing properties," 2021 IEEE Sensors, 2021, pp. 1-4, doi: 10.1109/SENSORS47087.2021.9639252.
- [150] Naoya Niwa, Yoshiya Shikama, Hideharu Amano, and Michihiro Koibuchi, "A Case for Low-Latency Network-on-Chip using Compression Routers", Proc. of the 29th Euromicro International Conference on Parallel, Distributed and Network-Based Processing (PDP 2021), 10-12 Mar. 2021.
- [151] Yoshiya Shikama, Ryuta Kawano, Hiroki Matsutani, Hideharu Amano, Yusuke Nagasaka, Naoto Fukumoto and Michihiro Koibuchi, "Low-Latency Low-Energy Memory-Cube Networks using Dual-Voltage Datapaths", Proc. of the 29th Euromicro International Conference on Parallel, Distributed and Network-Based Processing (PDP 2021), 10-12 Mar. 2021.
- [152] Ohwada Ayaka, Takuya Kojima, and Hideharu Amano, "MENTAI: A Fully Automated CGRA Application Development Environment that Supports Hardware/Software Co-design", Synthesis And System Integration of Mixed Information technologies(SASIMI2021), Mar. 2021.
- [153] Hideto Kayashima and Hideharu Amano, "Analysis of Resistance Distribution and Voltage Drop in Chips with Inductive Coupling Wireless Communication Interface", 2021 Ninth International Symposium on Computing and Networking (CANDAR), November, 2021.
- [154] Naoya Niwa, Hideharu Amano, Michihiro

- Koibuchi, "Low-Latency High-Bandwidth Interconnection Networks by Selective Packet Compression", 2021 Ninth International Symposium on Computing and Networking (CANDAR), November, 2021.
- [155] Aika Kamei, Takuya Kojima, Hideharu Amano, Daiki Yokoyama, Hisato Miyauchi, Kimiyoshi Usami, Keizo Hiraga, Kenta Suzuki, and Kazuhiro Bessho, "Energy saving in a multi-context coarse grained reconfigurable array with non-volatile flip-flops", The IEEE 14th International Symposium on Embedded Multicore/Many-core Systems-on-Chip (MCSoc-2021), December, 2021.
- [156] Y. Chen, H. San, "Linearity Compensation for Conversion Error in Non-binary and Binary Hybrid ADC," ISPACS2021, Nov. 2021.
- [157] Taichi Maebou, Yuanchi Chen, Eiki Kayama, Kenta Mori, Hao San, Tatsuji Matsuura, Masao Hotta, "A 0.7V 14bit Hybrid ADC in 65nm SOTB CMOS," ISPACS2021, Nov. 2021
- [158] Kenta Mori, Eiki Kayama, Taichi Maebou, Yuanchi Chen, Hao San, Tatsuji Matsuura, Masao Hotta, "A Low-voltage Non-binary Cyclic ADC using Fully Differential Ring Amplifier," ISPACS2021, Nov. 2021
- [159] Eiki Kayama, Kenta Mori, Maebou Taichi, Yuanchi Chen, Hao San, Tatsuji Matsuura, Masao Hotta, "A 0.8V 14bit 294kSPS non-binary cyclic ADC in 65nm SOTB CMOS technology," ISPACS2021, Nov.2021
- [160] Jun Shiomi, Shuya Kotsugi, Boyu Dong, Hidetoshi Onodera, Akihiko Shinya, Masaya Notomi, "Tamper-Resistant Optical Logic Circuits Based on Integrated Nanophotonics," in Proceedings of the 58th ACM/IEEE Design Automation Conference (DAC), pp. 139-144, Dec., 2021, DOI: 10.1109/DAC18074.2021.9586142
- [161] Shoya Sonoda, Jun Shiomi, Hidetoshi Onodera, "Approximation-Based Implementation for a Minimum Energy Point Tracking Algorithm over a Wide Operating Performance Region," in Proceedings of 13th Latin American Symposium on Circuits and Systems (LASCAS), pp. 216-219, Mar. 2022.
- [162] Takashi Yoda, Noboru Ishihara, Yuta Oshima, Motoki Ando, Ryoichiro Yoshida, Shinsuke Nabeya, Kenji Hirakawa, Masayuki Iwase, Munehiro Ogasawara, Hiroyuki Ito, "CMOS 2-D Array Data Transfer Circuit Design and Evaluation for Use in A Radiation Environment", in Proc. 2021 International Conference on Solid State Devices and Materials (SSDM 2021), L-2-05, Online, September 6-9 2021.
- [163] S. Amakawa, S. Lee K. Tokgoz, and H. Ito, "Visualizing small-signal responses of a nonlinear RF circuit under large signal operating conditions," International Symposium on Biomedical Engineering, Dec. 2021. (no review)
- [164] K. Miyazaki, T. Morishita, K. Komoku and N. Itoh, "A Current-Reuse Low-Power LNA Operated in Moderate Inversion Region," 2021 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), 2021, pp. 1-3, doi: 10.1109/RFIT52905.2021.9565250.
- [165] D. Yoshioka, T. Morishita, K. Komoku and N. Itoh, "3.4 to 4.1 GHz Wideband LNA with Gain Flatness and Low Noise Figure," International Conference on Analog VLSI Circuits (AVIC2021), Bordeaux, Oct. 2021.
- [166] S. Seguchi, T. Morishita, K. Komoku and N. Itoh, "1.65/2.5/4.0-GHz Triple-Band Concurrent Low-Noise Amplifier," International Conference on Analog VLSI Circuits (AVIC2021), Bordeaux, Oct. 2021.
- [167] K. Miyazaki, T. Morishita, K. Komoku and N. Itoh, "920 MHz Low-Power LNAs Operated in Moderate Inversion Region," International Conference on Analog VLSI Circuits (AVIC2021), Bordeaux, Oct. 2021.
- [168] Y. Hashimoto, N. Itoh, T. Morishita, and K. Komoku, "A Study on High-Efficiency 24-GHz CMOS Voltage Control Oscillator", Proc. of the 2021 Asia-Pacific Microwave Conference, S2-04-3, Nov. 2021.
- [169] Y. Kayano, K. Komoku, T. Morishita, and N. Itoh, "A Study on 20-GHz Wideband Low-

- Phase-Noise LC VCO,” TJMW Student Workshop, 3A-5, Dec. 7, 2021.
- [170] N. Kaneda, T. Morishita, K. Komoku and N. Itoh, “A Study on Wide Lock Range 28-GHz LC Injection-Locked Frequency Doubler,” TJMW Student Workshop, 3B-1, Dec. 7, 2021.
- [171] K.Miyazaki, T. Morishita, K. Komoku and N. Itoh, “MOSFET Gate Width Optimization for NF of 920-MHz Cascode LNA,” TJMW Student Workshop, 3B-3, Dec. 7, 2021.
- [172] S. Seguchi, T. Morishita, K. Komoku and N. Itoh, “A Study on Area-Saving of Triple-Band Concurrent Low-Noise Amplifier,” TJMW Student Workshop, 3B-4, Dec. 7, 2021.
- [173] Y. Hayashi, T. Morishita, K. Komoku and N. Itoh, “A study on 24-GHz gain-boosted inductor-coupling cascode amplifier,” TJMW Student Workshop, 3B-5, Dec. 7, 2021.
- 国内会議, 研究会等**
- [1] 梅本悠河,小野 哲,和田光司,“飛越結合の影響及び共振周波数のずれを考慮したマイクロストリップBPFの高精度設計法に関する検討,” 電子情報通信学会研究技術報告, vol.121, no.303, MW2021-95, pp.61-66 (2021年12月)
- [2] 神保雄祐,小野 哲,和田光司,“5分配かつ非等分配な1GHz帯 Bagley Polygon型分配率可変ディバイダの設計に関する検討,” 電子情報通信学会総合大会,C-2-44, (2022年3月)
- [3] 成田 剛,小野 哲,和田光司,“ストリップ線路構造によるブロードサイド及びオフセット結合線路を用いた3セクション型90度ハイブリッドの設計手法に関する検討,” 電子情報通信学会研究技術報告, vol.121, no.187, MW2021-61, pp.106-111 (2021年10月)
- [4] 高宮 真,“IoTとAIを内包しデジタル化したパワーエレクトロニクス2.0,” JEITA電子材料・デバイス技術専門委員会 エネルギーマネージメント材料デバイス技術分科会, オンライン開催, 2021年6月.
- [5] 畑 勝裕, 堅田龍之介, 高宮 真,“GaN FET用デジタルゲートドライバICを用いた最適ゲート波形の探索過程における過大オーバーシュート回避手法の提案,” 電気学会 産業応用部門大会, 1-69, オンライン開催, 2021年8月.
- [6] 高宮 真,“パワーエレクトロニクスのデジタル化に向けたゲートIC: デジタルゲートドライバとゲート端子経由のセンシング,” 応用物理学会先進パワー半導体分科会 第8回講演会, pp. 23-24, オンライン開催, 2021年12月. (招待講演)
- [7] 古田, 野池, 小林, “ゲート駆動回路を集積化した GaN HEMT IC を用いた 48V/12V 降圧コンバータの設計と評価”, no.4-008, pp. 11-12, 電気学会総合大会 (2022)
- [8] 菊田, 小林, 岸田, “65 nm FDSOI 構造における標準しきい値電圧MOSFET の経年劣化の実測評価”, pp. B6-3, 電子情報通信学会学生会研究発表講演会 (2022)
- [9] 杉谷, 中島, 古田, 小林, “プロセススケーリングによる耐ソフトエラーフリップフロップの性能比較”, no.B6-2, 電子情報通信学会学生会研究発表講演会 (2022)
- [10] 阿部, 小林, 越智, “間欠動作を行うIoT向けプロセッサに適したFiCC型不揮発フリップフロップの実測評価”, no.VLD2021-85, pp. 45-50, 電子情報通信学会技術報告 (VLSI設計技術) (2022)
- [11] 吉河, 石丸, 岩田, 小林, “A Bit-Error Rate Measurement and Error Analysis of Wireline Data Transmission using Current Source Model for Single Event Effect under Irradiation Environment”, vol.37, no.5, Journal of Electronic Testing(2022)
- [12] 小谷, 中島, 井置, 古田, 小林, “TCADを用いた回路とレイアウト構造によるフリップフロップのソフトエラー耐性の評価”, no.VLD2021-17, pp. 1-6, 電子情報通信学会技術報告 (VLSI設計技術)(2021)
- [13] 記伊, 古田, 小林, “FDSOIプロセスにおける遅延を増加させたガードゲート型フリップフロップのソフトエラー耐性の実測評価”, pp. 155-159, DAシンポジウム (2021)
- [14] 中島, 井置, 小谷, 古田, 小林, “130nmプロセスによるフリップフロップのソフトエラー耐性向上手法の提案”, pp. 148-153, DAシンポジウム (2021)
- [15] 阿部, 小林, 塩見, 越智, “間欠動作を行うIoT向けプロセッサに適したFiCCを用いた不揮発スタンダードセルメモリの実測評価”, pp. 3-8, DAシンポジウム (2021)

- [16] 須田, 岸田, 小林, "FDSOI構造におけるNBTIの基板バイアス依存性の実測評価", システムとLSIのワークショップ(2021)
- [17] 阿部, 小林, 塩見, 越智, "FiCCを用いた不揮発スタンダードセルメモリの設計と実測", システムとLSIのワークショップ(2021)
- [18] 今川, 越智, 宮村, "信号処理の高効率実装に向けた原子スイッチFPGA向けDSPの設計", 第47回パルテノン研究会資料集, pp.47-51, 2021年12月
- [19] 陳翔宇, 矢嶋起彬, 飯塚哲也, "Leaky Integrate-and-Fire Neuron Circuit with Long and Tunable Time Constant Utilizing Pseudo Resistors," 電子情報通信学会 LSIとシステムのワークショップ2021, 2021年5月.
- [20] 松岡英, 根塚智裕, 飯塚哲也, "閉ループダイナミックFIAを用いた低電力デルタシグマアナログ-デジタル変換器," 電子情報通信学会 LSIとシステムのワークショップ2021, 2021年5月.
- [21] 飯塚哲也, Hao Xu, Asad Abidi, [招待講演] "CMOS A/D 変換回路のシステムティック設計手法," 電子情報通信学会 総合大会, TK-2-3, 2022年3月.
- [22] Nguyen La Hong Phuc, 赤羽和哉, 曾根原誠, 佐藤敏郎, 宮地幸祐, "光プローブ電流センサ向け容量型トランスインピーダンスアンプの広帯域化の検討," 2021年電子情報通信学会信越支部大会, 4D-1, 59, 2021.
- [23] 両角光一, 熊谷洸太, 谷村恭兵, 宮地幸祐, "高速・高降圧LLC共振コンバータにおける適応的デッドタイム制御の検討," 2021年電子情報通信学会信越支部大会, 4D-2, 60, 2021.
- [24] 金井素弘, 牧竜矢, 松田寛史, 谷村恭兵, 滝英俊, 宮地幸祐, "10MHz動作24V入力5-20V出力2相Ga_N DC-DC降圧コンバータに向けた制御回路の設計と評価, 2022年電子情報通信学会総合大会, p. 53, 2022.
- [25] 市川響平, 樋口智大, 鈴木大, 石田涼, 一色保明, 宮地幸祐, "RF非接触給電向けDC-DCコンバータにおける定電流-定電圧充電回路の検討", 2021年電子情報通信学会信越支部大会, 4D-3, 61, 2021.
- [26] 樋口智大, 鈴木大, 石田涼, 一色保明, 荒井和輝, 鬼塚浩平, 宮地幸祐, "5.7GHz RF非接触給電に向けた内部電力供給モードを備えた12V SIDO昇降圧DC-DCコンバータ", 2022年電子情報通信学会総合大会, p. 54, 2022.
- [27] 市川響平, 樋口智大, 鈴木大, 石田涼, 一色保明, 宮地幸祐, "RF非接触給電向け受電DC-DCコンバータにおける定電流一定電圧充電回路の設計と評価", 2022年電子情報通信学会総合大会, p.55, 2022.
- [28] 楊明宇, 卯木あゆ美, 李陽, 崎山一男, 原祐子, "少命令セット組込みプロセッサにおけるARX型暗号アルゴリズムの実装と評価," 暗号と情報セキュリティシンポジウム(SCIS), 2022年1月.
- [29] 佐々木, 三輪, ヨウ, 塩谷, 八巻, 本多, "カーボンナノチューブトランジスタを用いて論理合成したプロセッサの電力/面積/回路遅延評価", 情報処理学会研究報告2021-ARC-245, No.4, pp.1-7, (2021)
- [30] C. Shi, K. Sasaki, S. Miwa, T. Yang, R. Shioya, H. Yamaki, and H. Honda, "Evaluation of Microprocessors Placed-and-Routed with CNFET", 情報処理学会研究報告2021-ARC-248, No.5, pp.1-6 (2022)
- [31] 榎澤瑠奈, 古屋董, 石川真聡, 伊藤穂高, 山田哲之, 加藤真也, 森下克幸, 武井裕樹, 齊藤研 "MEMSマイクロロボット用の静電センサの容量検出回路に対する検討", 令和3年度(第65回)日本大学理工学部学術講演会 2021.12.1
- [32] 大隈井輔, 高柳拓生, 加藤真也, 森下克幸, 武井裕樹, 齊藤健 "生物の感覚器を模倣した受容』胞モデルの集積回路化に対する検討" 令和3年度(第65回)日本大学理工学部学術講演会 2021.12.
- [33] 高柳拓生, 田邊魁晟, 宇佐見諭, 加藤真也, 榎垂理沙, 森下克幸, 武井裕樹, 齊藤健 "四足歩行ロボットに搭+する自己回帰を持つニューロモーフィック集積化回路の開発" 令和3年度(第65回)日本大学理工学部学術講演会 2021.12.
- [34] 森下克幸, 宇佐見諭, 大隈井輔, 武井裕樹, 齊藤健 "広い発振周波数範囲を持つパルス形ハードウェアニューロンモデルの周波数特性に対する検討" 電気学会電子回路研究会 2021.12.23
- [35] 榎澤瑠奈, 石川真聡, 伊藤穂高, 山田哲之, 加藤真也, 森下克幸, 武井裕樹, 齊藤健 "』胞モデルを用いたMEMS静電センサの容量検出回路に対する検討" 電気学会電子回路研究会

- 2021.12.23
- [36] 田邊魁晟, 加藤真也, 高柳生拓, 森下克幸, 武井裕樹, 齊藤健 “四足歩行ロボットに搭+するパルス形ハードウェアニューロンモデル集積化回路の安定化に対する検討” 電気学会電子回路研究会 2021.12.23
- [37] 田邊魁晟, 加藤真也, 高柳生拓, 森下克幸, 武井裕樹, 齊藤健 “四足歩行ロボットに搭+するパルス形ハードウェアニューロンモデル集積回路の安定化に対する検討” 電子情報通信学会東京支部学生会第27回研究発表会 2022.3.5
- [38] 大隈井輔, 高柳生拓, 加藤真也, 森下克幸, 武井裕樹, 齊藤健 “生物を模倣した受容』胞モデルの集積回路化に対する検討” 電子情報通信学会東京支部学生会第27回研究発表会 2022.3.5
- [39] 清水 優作, 小松 聡, “0.8 μ m CMOS プロセスを用いたMEMS加速度センサと CV変換回路の統合設計,” 第34回 回路とシステムワークショップ, 2021年8月.
- [40] 平野皓士, 小松聡, “スタンダードセル設計を用いた逐次比較型ADCの自動設計,” 信学技報, vol. 121, no. 388, DC2021-64, 2022年3月.
- [41] 福島拓実, 小松聡, “スタンダードセル設計によるADCのマルチプロセス自動生成,” 信学技報, vol. 121, no. 388, DC2021-65, 2022年3月.
- [42] 小山泰成, 小松聡, “Stochastic Computingのロバスト性を用いた低消費電力化の検討,” 2022年 電子情報通信学会 総合大会 A-6-4, 2022年3月.
- [43] 船澤卓朗, 成瀬雅人, 明連広昭, “SFQ電流パルスによるトポロジカル量子ビットのブレイディング操作”, 電子情報通信学会SCE研究会, SCE2021-8, 2021年11月
- [44] 内田 創坪, 今谷 純平, 成瀬 雅人, 明連 広昭, “デジタルSQUID 用スタック型SQUID 出力アンプの設計”, デジタルSQUID 用スタック型SQUID 出力アンプの設計, 1B-a02, 2021年12月.
- [45] 佐々木 奨平, 成瀬 雅人, 明連 広昭, “SNSPD 応答信号読み出し用低タイミングジッタDC/SFQ 回路の設計”, 1B-a03, 2021年12月.
- [46] 今谷純平, 成瀬雅人, 明連広昭, “サブ磁束量子帰還型デジタルSQUIDのレイアウト設計”, 電子情報通信学会SCE研究会, SCE2021-15, 2022年1月.
- [47] 甲田, 亀田, 佐藤, 浜本, “単一光子検出型撮像方式における動き推定のためのbit-plane画像の蓄積制御”, 映像情報メディア学会技術報告, vol.45, no.13, pp. 7-10, 2021年6月.
- [48] 増井, 亀田, 佐藤, 浜本, “露光パターン制御可能なイメージセンサを用いた高フレームレート動き推定”, 映像情報メディア学会技術報告, vol.45, no.13, pp. 11-15, 2021年6月.
- [49] 川上, 大高, 佐藤, 浜本, “高ダイナミックレンジイメージセンサのための列並列 $\Delta\Sigma$ ADC”, 映像情報メディア学会技術報告, vol.45, no.17, pp. 21--24, 2021年6月.
- [50] 並木, 佐藤, 亀田, 浜本, “単一光子検出型イメージセンサのための複数の光子検出閾値を用いた撮像方式”, Picture Coding Symposium (PCSJ2021), Image Media Processing Symposium (IMPS2021), P1-04, 2pages, 2021年11月.
- [51] 海野悠人*, 関根かをり Haruto Unno, Kawori Sekine: “タイ国際実習を通して考えた科学技術者に求められる異文化理解の重要性” “The importance of cross-cultural understanding, noticed in the experience of international practical training in Thailand, required for Japanese scientists and engineers”, 電気学会電子回路研究会ECT-21-029 25 June 2021.
- [52] 海野悠人*, 関根かをり, 和田和千, 原紳介, 董銳冰, 笠松章史, 田野井聡 Haruto Unno, Kawori Sekine, Kazuyuki Wada, Shinsuke Hara, Ruibing Dong, Akifumi Kasamatsu, Satoru Tanoi, Makoto Naruse: “超高速強化学習システムにおける選択回路への要求仕様の検討” “Requirements for Selection Circuits in Ultrafast photonic Reinforcement Learning Systems”, 電気学会電子回路研究会ECT-22-004 21 Jan 2022.
- [53] 京嶋拓人*, 関根かをり Takuto Kyojima, Kawori Sekine: “CCO型ADCに用いるFDCの低面積化” “Miniaturization of FDC area used for CCO-type ADC”, 電気学会 電子・情報・システム部門大会, PS6-3 15 Sep 2021.
- [54] 小林寛*, 木下功喜, 関根かをり, 和田和千 Hiroshi Kobayashi, Koki Kinoshita, Kawori Sekine, Kazuyuki Wada: “弱反転領域動作により温度係数を向上させた 0.607 mV/K PTAT電

- 圧発生回路” “PTAT voltage generation circuit with improved temperature coefficient 0.607 mV/K operating in subthreshold region”, 電気学会電子回路研究会 ECT-21-044 8 Nov 2021.
- [55] 阿部真也*, 関根かをり Masaya Abe, Kawori Sekine: “周波数デジタル変換器の低消費電力化及びADCシステムへの応用” “Frequency to digital converter with low power consumption and its application to ADC systems”, 電気学会電子回路研究会 ECT-22-003 21 Jan 2022.
- [56] 高橋, 難波, “完全なDNU耐性を有するC-elementを用いたSRラッチ,” 信学技報, FIIS, 2022年3月
- [57] 松浦, 難波, “DICEの相補性に基づくエッジトリガ型D-FF,” 信学技報, DC2021-15, 2021年10月.
- [58] 高橋, 難波, “マルチレベルセル相変化メモリを用いた連想メモリ,” 信学技報, DC2021-1, 2021年7月.
- [59] 岡部幹大, 佐々木伸一, 上瀧修一郎, 田中達也, “容量付加による遠端クロストーク低減技術の検討～付加容量値～”, 2021年度電子情報通信学会九州支部学生会講演会・講演論文集, C-08 (2021年09月)
- [60] 須田麻祐子, 佐々木伸一, 上瀧修一郎”高速信号線の曲がり部の特性評価”, 2021年度電子情報通信学会九州支部学生会講演会・講演論文集, C-15 (2021年09月)
- [61] 江副経介, 佐々木伸一, 田中達也, “プリント配線板電源層における放射雑音の低減～メッシュ電源層～”, 2021年度電子情報通信学会九州支部学生会講演会・講演論文集, C-16 (2021年09月)
- [62] 田中達也, 佐々木伸一, “プリント配線板電源層における放射雑音の低減:抵抗付加法”, 2021年度(第74回)電気・情報関係学会九州支部連合大会, 2021年度電気・情報関係学会講演会論文集, 08-1P-06, (2021.9.24)
- [63] 上瀧修一郎, 佐々木伸一, “プリント配線基板電源層における放射雑音の低減～抵抗構造の影響～”, 2021年度(第74回)電気・情報関係学会九州支部連合大会, 2021年度電気・情報関係学会講演会論文集, 05-2P-03 (2021.9.25)
- [64] 上瀧修一郎, 佐々木伸一, “プリント配線板電源層における放射雑音の低減～抵抗構造の影響～”, 電子情報通信学会 信学技報, vol.121, no.403, EMCJ2021-73, pp.7-pp.10 (2022年3月)
- [65] 田中達也, 佐々木伸一, “プリント配線板電源層における放射雑音の低減～抵抗付加法による低減～” 電子情報通信学会 信学技報, vol.121, no.403, EMCJ2021-74, pp.11-pp.14 (2022年3月)
- [66] 大河亮・秋田純一・松田誠宙・若杉雄彦・土屋忠明, プロセスに依存しないLSI設計・製造フローのためのPDKの構築, 第34回 回路とシステムのワークショップ, C1-3, 2021.8.
- [67] 塩谷亮太, “RISC-Vの特徴と研究・開発への利用”, 第34回 回路とシステムワークショップ, 2021年10月
- [68] 塩谷亮太, “Out-of-order スーパスカラ・プロセッサ RSD と車載向け SIMT 型アクセラレータ HORNET について”, RISC-V Day 2021 Spring, 2021年4月
- [69] 三浦典之, “粉末コンピュータ,” 第20回情報科学技術フォーラム(FIT2021), Aug. 2021.(オンライン)
- [70] 三浦典之, “[招待講演] 近接電磁場設計と先端実装技術に基づく新たなコンピュータのカタチ,” 第41回ナノテストシンポジウム(NANOTS2021), Oct. 2021.(オンライン)
- [71] 三浦典之, “[基調講演] サイバー空間とフィジカル空間の接点:集積システムのあるべきカタチ,” 第196回システムとLSIの設計技術研究発表会(デザインガイア2021), Dec. 2021.(オンライン)
- [72] 佐藤 高史, 塚本 裕貴, 辺 松, 新谷道広, “統計的回路シミュレーションのための非正規分布モデルパラメータの生成(招待),” 信学技報 SDM 研究会, pp.7-12, November 2021.
- [73] 村田 寛也, 久米 祐貴, 辺 松, 栗野 皓光, 佐藤 高史, “大規模MOSFETリザーバの高速シミュレーション,” DA シンポジウム, pp.112-118, August 2021.
- [74] Y. Ishida and T. Tanzawa, “Design of interface circuits fabricated in 1V CMOS for electrostatic energy transducer with an open circuit voltage over 10V,” IEICE Technical Committee Conference on Integrated Circuits and Devices, Aug. 2021.
- [75] Y. Sakamoto and T. Tanzawa, A Design of DC-

- DC Converter for Thermoelectric Energy Harvesting with Battery Backup, IEICE society conf., C-12-1, Sep. 2021.
- [76] H. Makino and T. Tanzawa, A Low Power Design for NAND Flash with 1.2V I/O Power Supply, IEICE society conf., C-12-21, Sep. 2021.
- [77] T. Hashimoto and T. Tanzawa, An Optimum Design of Antenna and On-chip Rectifier for Micro-watt Microwave Wireless Power Transfer, IEICE society conf., C-2-19, Sep. 2021.
- [78] K. Nono and T. Tanzawa, A Design of Charge Pump System with Maximum Power Point Tracking for Low Cost Thermoelectric Energy Harvesting, IEICE society conf., C-12-3, Sep. 2021.
- [79] Y. Demura and T. Tanzawa, Design of switched-capacitor DC-DC converters driven by transducers with high output impedance, IEICE general conference, C-12-21, Mar. 2022.
- [80] S. Tanabe, Y. Sakamoto, and T. Tanzawa, Modeling of Buck converter for TEG-Battery hybrid system, IEICE general conference, C-12-20, Mar. 2022.
- [81] Y. Kotoya, T. Nomura, and T. Tanzawa, Regulator design for resonator-oscillator-rectifier booster, IEICE general conference, C-12-22, Mar. 2022.
- [82] R. Kotsubo and T. Tanzawa, Modeling of Latched RF-DC Converters, IEICE general conference, C-12-19, Mar. 2022.
- [83] Y. Kanayama and T. Tanzawa, Ramp-up performance limit of boost converters, IEICE general conference, C-12-23, Mar. 2022.
- [84] J. Kondo and T. Tanzawa, Pre-emphasis pulse design for ABL sensing of NAND, IEICE general conference, C-12-8, Mar. 2022.
- [85] 赤松, 他, "メッセージ認証符号付 CMOS イメージセンサの小面積回路検討(1)～駆動回路と画素アレイ構成～," 信学技報, vol. 121, no. 413, HWS2021-74, pp. 117-122, 2022年3月
- [86] 関岡, 他, "メッセージ認証符号付 CMOS イメージセンサの小面積回路検討(2)～符号生成回路～," 信学技報, vol. 121, no. 413, HWS2021-75, pp. 123-128, 2022年3月
- [87] 齋, 大倉, "深層学習を用いたイベント検知型 CMOS イメージセンサの検討(2)～低分解能で省電力動作可能な A/D 変換器～," 映情学技報, vol. 45, no. 21, IST2021-44, pp. 35-40, 2021年8月
- [88] 大谷, 他, ""LOFIC型 CMOS イメージセンサに用いる小面積読み出し回路," 映情学技報, vol. 45, no. 21, IST2021-46, pp. 103-107, 2021年8月"
- [89] 齋藤, 岸田, 松浦, 兵庫, 「カレントブリーディングミキサの3次歪みを打ち消す補償 MOSFET とバイアス調整による線形性向上手法」, 電気学会電子回路研究会, pp. 31-36, 2022/03/07.
- [90] 佐藤健太, 瀬賀直功, 曾明裕太, 島田 宏, 小野美武, 水柿義直, "タイミングジッタを利用する RSFQ 真性乱数生成器の性能評価," 2021年電子情報通信学会ソサイエティ大会, C-8-16, 2021年9月
- [91] 瀬賀直功, 曾明裕太, 島田 宏, 水柿義直, "バイナリ分割合成方式を用いた 4-bit RSFQ-DAC の動作実証," 2021年電子情報通信学会ソサイエティ大会, C-8-17, 2021年9月
- [92] 瀬賀直功, 曾明裕太, 島田 宏, 水柿義直, "単一磁束量子の2進パルス列を用いた D/A 変換器の動作実証," 電子情報通信学会技術研究報告(超伝導エレクトロニクス), SCE2021-14, 2022年1月
- [93] 招待講演: 木村 睦, ニューロモーフィックシステム&デバイス, IEEE Computer Society Kansai Chapter, 2021年 第2回技術講演会, ～AI向け次世代計算技術～, 2021年12月
- [94] 木村 睦, 中島 康彦, 薄膜メモデバイスによるニューロモーフィックシステム, 第82回応用物理学会秋季学術講演会, 13a-S101-9, pp. 19-036, 2021年9月
- [95] 秋山, 魏, 田中, "SHA256回路のFPGA実装の研究", 第27回電子情報通信学会 東京支部 学生会研究発表会, 4, 2022年3月.
- [96] 安全寺, 魏, 田中, "FPGAとCPUの協調動作による離散フーリエ変換の実装", 第27回電子情報通信学会 東京支部 学生会研究発表会, 90, 2022年3月.
- [97] 森井, 田中, 魏, "SD数を用いた法集合 $\{2^k, 2^{n+1}, 2^n\}$ の剰余数系逆変換回路の研究", 電子情報通信学会 VLSI 設計技術研究会 VLD2021-50, pp.7-12, 2022年1月.
- [98] 樋山倅太, 升井義博, "車載用電流センサの高

- 性能化" 2021年度(第72回)電気・情報関連学会中国支部連合大会, 2021年10月
- [99] 中佐古祥喜, 升井義博, "インバータベース連続時間型 $\Delta\Sigma$ AD変換器の高精度化" 2021年度(第72回)電気・情報関連学会中国支部連合大会, 2021年10月
- [100] 岩田大志, "非同期式回路のスキュー設計", 令和3年電気関係学会関西連合大会 論文集, G9-5, pp.208--209, Dec. (2021).
- [101] 細見史, 岩田大志, 山口賢一: "演算深度を考慮したテスト容易化高位合成", 令和3年電気関係学会関西連合大会 論文集, G9-4, pp.206--207, Dec. (2021).
- [102] 加藤 隆明, 三宅 庸資, 梶原 誠司, "オンチップ遅延測定における温度電圧の影響補正について", 信学技報, vol.121, no.388, DC2021-67, pp.18-23, 2022年3月
- [103] 煤孫 祐樹, 王 喆, 小田島 輩, 荒山 俊亮, 星 匡朗, 木野 久志, 田中 徹, 福島 誉史, "スマートスキンドisplayの提案とマイクロLEDの常温 Cu 直接接合技術", 第82回応用物理学会秋季学術講演会講演予稿集, pp. 11-063, 2021年9月
- [104] 有賀 優太, 銭 正陽, 梁 耀淦, 杜 邦, 叶 津銘, 中村 皓平, 王 勝璋, 井上 文太, 木野 久志, 福島 誉史, 清山 浩司, 田中 徹, "皮下血管を表示するスマートスキンドisplay用ピクセル回路の開発", 第82回応用物理学会秋季学術講演会講演予稿集, pp. 11-064, 2021年9月
- [105] 大西 青葉, 田中 文悟, 番場 峻太郎, 劉 帥, 木野 久志, 福島 誉史, 田中 徹, "三次元積層人工網膜チップ用TiN薄膜を有するZnO系透明刺激電極の開発", 第82回応用物理学会秋季学術講演会講演予稿集, pp. 11-303, 2021年9月
- [106] 井上 文太, 銭 正陽, 梁 耀淦, 杜 邦, 叶 津銘, 中村 皓平, 王 勝璋, 有賀 優太, 木野 久志, 福島 誉史, 清山 浩司, 田中 徹, "経爪型集積化光電容積脈波計測システムにおけるバックグラウンドノイズキャンセル回路の設計と評価", 第82回応用物理学会秋季学術講演会講演予稿集, pp. 11-302, 2021年9月
- [107] 長崎 春樹, 楊 芬, 鈴木 志門, 木野 久志, 福島 誉史, 田中 徹, "光遺伝学用神経メッシュプローブの作製と評価", 第82回応用物理学会秋季学術講演会講演予稿集, pp. 83, 2021年9月
- [108] 叶 津銘, Filipe Alves Satake, 銭 正陽, 梁 耀淦, 杜 邦, 中村 皓平, 王 勝璋, 有賀 優太, 井上 文太, 木野 久志, 福島 誉史, 清山 浩司, 田中 徹, "経爪型光電容積脈波を利用する多目的コントローラの開発", 2021年ソサイエティ大会講演論文集 エレクトロニクス講演論文集2, pp.42, 2021年9月
- [109] 中村 皓平, 銭 正陽, 梁 耀淦, 杜 邦, 叶 津銘, 王 勝璋, 有賀 優太, 井上 文太, 木野 久志, 福島 誉史, 清山 浩司, 田中 徹, "人工網膜チップの低消費電力化に向けた物体検出回路の開発", 2021年ソサイエティ大会講演論文集 エレクトロニクス講演論文集2, pp.44, 2021年9月
- [110] 杜 邦, 銭 正陽, 梁 耀淦, 中村 皓平, 叶 津銘, 王 勝璋, 有賀 優太, 井上 文太, 木野 久志, 福島 誉史, 清山 浩司, 田中 徹, "GIDL リングオシレータを利用したウェアラブルデバイス用小面積CMOS 温度センサの開発", 2021年ソサイエティ大会講演論文集 エレクトロニクス講演論文集2, pp.41, 2021年9月
- [111] 中村 皓平, 銭 正陽, 梁 耀淦, 杜 邦, 叶 津銘, 王 勝璋, 有賀 優太, 井上 文太, 木野 久志, 福島 誉史, 清山 浩司, 田中 徹, "物体検出機能を有する低消費電力人工網膜チップの開発", 2022年電子情報通信学会総合大会 エレクトロニクス講演論文集2, pp.64, 2022年3月
- [112] 星匡朗, 小田島輩, 煤孫裕樹, 荒山俊亮, 木野久志, 田中徹, 福島誉史, "FOWLPによるフォトバイオモジュレーション用FHEデバイスの開発", 第69回応用物理学会春季学術講演会, 12-244, 2022年3月
- [113] 荒山俊亮, 煤孫裕樹, 小田島輩, 星匡朗, 木野久志, 田中徹, 福島誉史, "アセンブリによるSmart Skin Display用フレキシブル基板貫通配線の形成と評価", 第69回応用物理学会春季学術講演会, 12-245, 2022年3月
- [114] 叶津銘, 銭正陽, 杜邦, 梁耀淦, 中村皓平, 木野久志, 福島誉史, 清山浩司, 田中徹, "Canceling Circuit of Temperature Variation and Individual Difference for Photoplethysmography (PPG) based Motion Sensor", 2022年電子情報通信学会総合大会 エレクトロニクス講演論文集2, pp.63, 2022年3月
- [115] 田中文悟, 荒山俊亮, 大西青葉, 番場峻太郎, 木野久志, 福島誉史, 田中徹, "HMDS-CVDによ

- るTSV絶縁層の低温形成技術の検討”, 第69回応用物理学会春季学術講演会, 12-241, 2022年3月
- [116] Zhe Wang, Shunsuke Arayama, Yuki Susumago, Tomo Odashima, Hisashi Kino, Tetsu Tanaka, and Takafumi Fukushima, “Flexible Full-Color Micro-LED Display Fabrication Technology with Fan-Out Interconnections”, 第31回マイクロエレクトロニクスシンポジウム論文集 (MES2021), 21C4-1 ~ 21C4-3, September 2021
- [117] 鈴木志門, 長崎春樹, 木野久志, 福島誉史, 田中徹, “多段階励起による発光現象を用いた臓器治療用ディスクデバイスの提案と作製”, 2022年第69回応用物理学会春季講演会, 12.7医用工学・バイオチップ 23a-E105-11, March 2022
- [118] 田中徹, “チップレットを用いた三次元ヘテロ集積化技術の開発”, 2021年電気学会電子・情報・システム部門大会, 2021年9月
- [119] 田中徹, “3DIC技術を用いたバイオメディカル集積デバイスの開発”, 実装フェスタ関西 2021, December 2021
- [120] 青木, 岩田, 吉河, “耐放射線性能を向上させたBulk-CMOSレベルシフト回路”, 2021電気・情報関係学会北陸支部連合大会
- [121] 島崎, 岩田, 吉河, “容量式圧力センサアレイにおける基準容量校正システムの提案”, 2021電気・情報関係学会北陸支部連合大会
- [122] 清水暁生, 吉富貴司, 野口卓朗, 石川洋平, 深井澄夫, “小中学生を対象としたアナログLSI設計講座”, 2021年度電気学会電子・情報・システム部門大会, TC5-4, pp. 160-165, Sep. 2021.
- [123] 山内日那, 野口卓朗, 清水暁生, 石川洋平, 吉富貴司, 深井澄夫, “初学者向けアナログLSI測定教育システムの開発”, 2021年度電子情報通信学会九州支部学生会講演会・講演論文集, C-14, Sep. 2021.
- [124] 麻生大聖, 野口卓朗, 清水暁生, 石川洋平, 深井澄夫, “膀胱インピーダンス計測に用いる8-bit電流源の検討”, 2021年度電気・情報関係学会九州支部連合大会, 05-2P-01, p. 319, Sep. 2021.
- [125] 松野龍馬, 吉富貴司, 野口卓朗, 清水暁生, 石川洋平, 深井澄夫, “生体インピーダンス計測に用いる寒天モデル”, 2021年度電気・情報関係学会九州支部連合大会, 07-1A-03, p. 89, Sep. 2021.
- [126] 山下, 土谷, 井上, 岸根, “増幅回路のパラメータ最適化における性能指標の事前予測による探索時間短縮”, DAシンポジウム2021, pp.92-98, 2021年9月.
- [127] 中田, 土谷, 井上, 岸根, “低電力・低電源ノイズを両立する多段構成トランスインピーダンスアンプの設計手法”, LSIとシステムのワークショップ2021, 2021年5月.
- [128] 井上正隆, 井上敏之, 土谷, 岸根, “24-GHz帯マイクロ波センサのビームフォーミングに向けたアナログ移相量制御方式の検討”, 2022年電子情報通信学会総合大会, A-1-3, 2022年3月.
- [129] 中塩屋, 宮部, 井上, 土谷, 岸根, “PAM4伝送システムへの周波数変調技術適応の検討”, 2022年電子情報通信学会総合大会, A-1-9, 2022年3月.
- [130] 井上正隆, 井上敏之, 土谷, 岸根, “24 GHz帯マイクロ波センサビームフォーミングに向けたアンテナ給電移相量誤差が指向性に与える影響の評価”, 令和3年電気関係学会関西連合大会, G9-2, 2021年12月.
- [131] 加島亮太, 長岡一起, 中埜智貴, 田中雅光, 山下太郎, 藤巻朗, “フィードバックパスを伴う単一磁束量子回路の高スループット・低レイテンシ化,” 超伝導エレクトロニクス研究会, オンライン, 2021年8月.
- [132] 中埜智貴, 長岡一起, 加島亮太, 田中雅光, 山下太郎, 藤巻朗, “10kA/cm²プロセスを用いた単一磁束量子100GHzビット並列加算器の実証,” 第82回応用物理学会秋季学術講演会, オンライン, 2021年9月.
- [133] 長岡一起, 加島亮太, 田中雅光, 山下太郎, 川上哲志, 井上弘士, 藤巻朗, “単一磁束量子回路に基づくゲートレベルパイプライン浮動小数点演算器の設計,” 2021年電子情報通信学会ソサイエティ大会, オンライン, 2021年9月.
- [134] 国吉真波, 長岡一起, 田中雅光, 山下太郎, 藤巻朗, “アンシャント接合による加算器の高速化,” 2021年電子情報通信学会ソサイエティ大会, オンライン, 2021年9月.
- [135] 加島亮太, 長岡一起, 中埜智貴, 田中雅光, 山下太郎, 藤巻朗, “低レイテンシ化を目的としたインターリーブ方式レジスタを伴う単一磁束量子

- データパスの動作実証,” 2021年電子情報通信学会ソサイエティ大会, オンライン, 2021年9月.
- [136] 長岡一起, 加島亮太, 田中雅光, 川上哲志, 谷本輝夫, 山下太郎, 井上弘士, 藤巻朗, “単一磁束量子回路に基づくゲートレベルパイプライン浮動小数点演算器の動作実証,” 2022年電子情報通信学会総合大会, オンライン, 2022年3月.
- [137] 田中雅光, 北川佳廣, 佐藤哲朗, 山本剛, “量子ビット制御に向けた250 A/cm²低臨界電流密度プロセスによる単一磁束量子回路の設計,” 第69回応用物理学会春季学術講演会, 相模原市, 2022年3月.
- [138] 田中雅光, 山下太郎, 藤巻朗, 牧瀬圭正, 永沢秀一, 日高睦夫, “25 kA/cm² Nb/Al/AlO_x/Al/Nb接合を用いた単一磁束量子シフトレジスタの170 GHz動作,” 第69回応用物理学会春季学術講演会, 相模原市, 2022年3月.
- [139] 川原啓輔, 榎田洋太郎, 高野恭弥, 原紳介, 「疑似フラクタル状に曲げた伝送線路を用いた省面積分布型増幅器の試作検討」, 電子情報通信学会技術研究報告 (信学技報), vol. 121, no. 31, MW2021-9, pp. 22-27, マイクロ波研究会, オンライン開催, 2021年5月.
- [140] 川原啓輔, 榎田洋太郎, 高野恭弥, 原紳介, 「結合インダクタを用いた差動分布型増幅器の解析と設計」 電子情報通信学会技術研究報告 (信学技報), マイクロ波研究会, 川崎市産業振興会館, 2021年12月.
- [141] 川原啓輔, 榎田洋太郎, 高野恭弥, 「偏差補正と能動ピーキングを用いたインダクタレス広帯域能動バルン」 電子情報通信学会技術研究報告 (信学技報), マイクロ波研究会, オンライン開催, 2022年1月.
- [142] 川原啓輔, 榎田洋太郎, 高野恭弥, 原紳介, 「0.18 μ m CMOSプロセスにむけた準ミリ波帯対応RFセルライブラリの開発」, LSIとシステムのワークショップ2021, オンライン開催, 2021年5月.
- [143] 川原啓輔, 榎田洋太郎, 高野恭弥, 「DAC帯域3通倍のためのCMOSアナログマルチプレクサ」, 2021年電子情報通信学会ソサイエティ大会, C-12-16, オンライン開催, 2021年9月.
- [144] 川原啓輔, 「50 Gbps/49 mW 3:1 CMOSアナログマルチプレクサ」, 2021年度d.lab-VDECデザイナーズフォーラム, オンライン開催, 2021年9月.
- [145] 渡邊航, 青井舞, 小松美早紀, 酒井陵多, 田中聡, 永田真, “30 GHz帯における電磁ノイズの近傍評価,” 2022年電子情報通信学会総合大会, B-4-22, pp. 281, 2022.3.15.
- [146] 門田和樹, レオニダス カタセラス, フェレンク フォーダー, アルキス ハッツォプーロス, 永田真, エリック ヤン マリニッセン, “オンチップモニタを用いたダイナミック電圧ドロップ診断,” 電子情報通信学会技術報告, vol. 121, no. 278, ICD2021-41, pp. 83-86, 2021.12.1.
- [147] 弘原海拓也, 三木拓司, 永田真, “デュアルモードSAR ADCを用いた電源ノイズ解析攻撃の検知手法の考案,” 電子情報通信学会技術報告, vol. 121, no. 278, ICD2021-40, pp. 78-82, 2021.12.1.
- [148] 高橋亮蔵, 門田和樹, 三木拓司, 永田真, “高速非同期逐次比較型AD変換器におけるサイドチャネル漏洩特性の評価,” 電子情報通信学会技術報告, vol. 121, no. 139, ICD2021-14, pp. 68-71, 2021.8.18.
- [149] 渡邊航, 青井舞, 小松美早紀, 田中聡, 永田真, “磁性材料による半導体ICチップの不要電波低減効果の評価と解析” IEEE EMC Society Sendai Chapter, IEEE EMCS 仙台チャプタ 学生研究発表会, 2022.2.14.
- [150] 門田和樹, 永田真, “電源ノイズシミュレーションによるサイドチャネル漏洩評価手法の検討” 電子情報通信学会・集積回路研究会, 学生・若手研究会, 2021.12.20.
- [151] 眞柴 将, 門田和樹, 三木拓司, 永田真, “電源ノイズ解析による電源経路の特徴量抽出,” 電子情報通信学会・集積回路研究会, 学生・若手研究会, 2021.12.18.
- [152] 眞柴 将, 門田和樹, 三木拓司, 永田真, “電源ノイズ解析による電源経路の特徴量抽出,” 電子情報通信学会・ハードウェアセキュリティ研究会, ハードウェアセキュリティフォーラム, 2021.12.10.
- [153] 渡邊航, “ICチップパッケージレベルのノイズ抑制磁性膜の導入と無線通信干渉対策の評価,” マグネティックス技術委員会, 磁性材料の高周波特性活用技術調査専門委員会, 2021.8.23.
- [154] 笹谷, 中野, 瀬部, 毎田, 兼本, 廣瀬, “超低消費電力で動作するオンチップ電圧検知回路の設

- 計”, LSIとシステムのワークショップ2021, PS-14, 2021年5月.
- [155] 三原, 瀬部, 毎田, 兼本, 廣瀬, ”微小温度差発電のための極低電圧昇圧コンバータ用ドライバ回路”, LSIとシステムのワークショップ2021, PS-15, 2021年5月.
- [156] 渥美, 瀬部, 中野, 池田, 毎田, 兼本, 廣瀬, ”高精度参照電流源回路を不要とする品質劣化モニタセンサLSI”, LSIとシステムのワークショップ2021, PS-16, 2021年5月.
- [157] 三井, 兼本, 毎田, 廣瀬, ”FVFを応用したPSRR帯域拡張回路を搭載した脳波計測ウェアラブルデバイス向け低消費LDO, ”信学技報(デザインガイア), vol. 121, no. 277, VLD2021-18, pp. 7-12, 2021年12月.
- [158] 西川, 兼本, 三井, 廣瀬, ”FVFを利用したリップル電圧の基本波・高調波成分除去が可能な低消費電力LDO, ”電子情報通信学会 総合大会2022, A-6-3, 2022年3月.
- [159] 緋田, 佐々木昌浩, ”FPGAを用いた高速インターフェイス回路の測定方法の検証”, The 18th IEEE TOWERS アブストラクト集, pp. 25, 2021年11月.
- [160] 清水智貴, 佐々木昌浩, ”C-DACにおける寄生容量の影響と線形性の改善方法”, The 18th IEEE TOWERS アブストラクト集, pp. 36, 2021年11月.
- [161] 今田資啓, 佐々木昌浩, ”オンチップクロックスキュー調整回路の高精度化に関する研究”, The 18th IEEE TOWERS アブストラクト集, pp. 37, 2021年11月.
- [162] 糠澤龍之介, 佐々木昌浩, ”TDR測定用回路向けサンプルアンドホールド回路の検討”, The 18th IEEE TOWERS アブストラクト集, pp. 38, 2021年11月.
- [163] 山影康平, 佐々木昌浩, ”シリアルインターフェイス向け5相DLLの開発”, The 18th IEEE TOWERS アブストラクト集, pp. 48, 2021年11月.
- [164] 山田敦司, 佐々木昌浩, ”Pipeline A/D Converterにおけるエラーの原因分析と改善手法の提案”, The 18th IEEE TOWERS アブストラクト集, pp. 49, 2021年11月.
- [165] 中村侖, 佐々木昌浩, ”8-bit Flash A/D Converter向けTwin Rom Encoderの高速化・低消費電力化に関する研究”, 2022年電子情報通信学会総合大会 基礎・境界/NOLTA講演論文集, pp. 12, 2022年3月.
- [166] 長澤, 松山, 大山, 郡司, 長名 "次世代ALICE TPCにおけるクラスタ検出アルゴリズムのFPGA実装と入出力の検討.", 電子情報通信学会, RECONF2021-23, 2021年9月.
- [167] 葛西瀬梨亜, 畠山寛, 今井雅, 黒川敦, 金本俊幾, "低消費エネルギープロセッサのSoC物理設計," 情報処理学会東北支部研究報告, Vol.2021-6, No.5-3, Feb., 2022.
- [168] 藤本慎一郎, スミス力紀, 天川修平, 吉田毅, 藤島実, "300GHz帯ヘテロダイン受信機用30-70GHzCMOS増幅器," 電子情報通信学会ICD/CAS研究会, Dec. 18, 2021.
- [169] 浅野祐太, 佐古裕太, 藤島実, 吉田毅, 天川修平, "300GHz帯CMOSダブルバランスミキサの雑音指数の改善," 電子情報通信学会ICD/CAS研究会, Dec. 20, 2021.
- [170] 大景脩志, 安田 彰, ISIシェーパを用いたデジタル直接駆動スピーカシステムについての研究, 電気学会電子回路研究会, ECT-021-089, 2021年12月24日, オンライン.
- [171] 中西 優輝, 塩谷 涼太, 森 康登, 鐘堂 健三, 寺澤 靖雄, 竹原 浩成, 春田 牧人, 田代 洋行, 笹川 清隆, 太田 淳, 高頻度刺激に対応する AC 駆動人工視覚チップの設計, 第26回学生会研究発表講演会, 2022年3月
- [172] 岡田 竜馬, 笹川 清隆, 春田 牧人, 竹原 浩成, 田代洋行, 太田 淳, 電界イメージングに向けた多層偏光子構造による高感度偏光変調検出CMOSイメージセンサ, 映像情報メディア学会2021年冬季大会, 2021年12月
- [173] 岸田 憲明, 王 澤, 湯 鴻浩, 堀木 雄介, 竹原 浩成, 田代 洋行, 春田 牧人, 笹川 清隆, 太田 淳, 単板イメージセンサを用いた近赤外カラー眼底カメラにおける画像処理改善および視線固定法の検討, 映像情報メディア学会 2021年冬季大会, 2021年12月
- [174] 岡田 竜馬, 微弱偏光変調リアルタイム撮像用CMOSイメージセンサ, d.lab-VDEC デザイナーズフォーラム, 2021年9月
- [175] 森 康登, 人工視覚用慢性刺激可能な生体埋植デバイス制御チップの試作, d.lab-VDEC デザイナーズフォーラム, 2021年9月

- [176] 杉江 謙治, 蛍光イメージングと細胞外電位の同時計測を可能にする生体埋植CMOSセンサの試作, d.lab-VDEC デザイナーズフォーラム, 2021年9月
- [177] Pakpuwadon Thanet, Mark Christian Guinto, Makito Haruta, Hironari Takehara, Hiroyuki Tashiro, Kiyotaka Sasagawa, Jun Ohta, A self-reset CMOS image sensor for high signal-to-noise in-vivo imaging, 第21回関西コロキウム電子デバイスワークショップ, 2021年9月
- [178] 長沼 京介, 太田 安美, 邑上 貴秋, Mark Guinto, Mark Guinto, 竹原 浩成, 春田 牧人, 田代 洋行, 笹川 清隆, 太田 淳, 光学的・電氣的同時計測を可能とする多機能埋植型デバイスの開発, 第82回応用物理学会秋季学術講演会, 2021年9月
- [179] 塩谷 涼太, 森 康登, 鐘堂 健三, 寺澤 靖雄, 竹原 浩成, 春田 牧人, 田代 洋行, 笹川 清隆, 太田 淳, 人工視覚システムの高速度駆動化に向けた制御回路の設計, 第82回応用物理学会秋季学術講演会, 2021年9月
- [180] 倉澤 和暉, Guinto Mark Christian, 春田 牧人, 竹原 浩成, 田代 洋行, 笹川 清隆, 太田 淳, マウス頭部に簡易設置可能な小型蛍光・血流観察用イメージングデバイス, 第82回応用物理学会秋季学術講演会, 2021年9月
- [181] 邑上 貴秋, 太田 安美, 須永 圭紀, 河原 麻美子, 竹原 浩成, 春田 牧人, 田代 洋行, 笹川 清隆, 太田 淳, "薬物・光刺激によるドーパミン放出のマイクロダイアリス計測と埋植型イメージングデバイスによる神経活動蛍光計測", 第82回応用物理学会秋季学術講演会, 2021年9月
- [182] 萩田 瑞生, Tso Kuang-Chih, 春田 牧人, 高野 拓郎, 寺澤 靖雄, 竹原 浩成, 田代 洋行, 笹川 清隆, 太田 淳, 人工視覚用CMOSスマート電極搭載フレキシブルアレイデバイスの開発, 第82回応用物理学会秋季学術講演会, 2021年9月
- [183] 岡田 竜馬, 笹川 清隆, 春田 牧人, 竹原 浩成, 田代 洋行, 太田 淳, 微弱偏光変調検出に向けた多層偏光子搭載CMOSイメージセンサ, 情報センシング研究会 (IST), 2021年6月
- [184] 岸田 憲明, 王 澤, 湯 鴻浩, 竹原 浩成, 角 博文, 春田 牧人, 田代 洋行, 笹川 清隆, 太田 淳, 近赤外カラー眼底カメラ用モザイク干渉フィルタ搭載イメージセンサの作製と評価, 情報センシング研究会 (IST), 2021年6月
- [185] 森 康登, Siwadamrongpong Ronnakorn, 鐘堂 健三, 寺澤 靖雄, 竹原 浩成, 春田 牧人, 田代 洋行, 笹川 清隆, 太田 淳, 人工視覚用生体埋植デバイスの慢性刺激可能なCMOS制御チップの設計, LSIとシステムとワークショップ 2021, 2021年5月
- [186] 井上, 吉澤, "0.5V以下で動作する基準電流源回路についての検討", 電子情報通信学会 総合大会, C-12-2, 2022年3月.
- [187] 浅野多聞, 菅原健, "バレルシフトと加算器によるビット非独立なサイドチャネルリークの発生機序とその対策," 2022年暗号と情報セキュリティシンポジウム (SCIS2022), 2C2-3, 2022.
- [188] 山村健、三浦大、渡邊悠、中野誠「マイクロシステム用オンチップ超低周波カウンタ」電子回路研究会 2021.11.08-09 オンライン
- "[189] 三浦大、山村健、渡邊悠、中野誠「オンチップセルフオシレーティングチャージポンプ多段化手法の検討」電子回路研究会 2021.12.23-24 オンライン "
- [190] 八木健、頃安裕、三井隆、中野誠「がん検診を目的とした合成開口超音波イメージング用受信回路の集積化」電子回路研究会 2021.12.23-24 オンライン
- [191] 頃安裕、八木健、三井隆、中野誠「がん検診を目的とした高解像超音波イメージング用スイッチトキャパシタ受信回路の検討」電子回路研究会 2021.12.23-24 オンライン
- [192] 八木健、小貫怜、三井隆、中野誠「Integration of receiver circuits for synthetic aperture ultrasound imaging」第34回回路とシステムのワークショップ 2021.08.26 オンライン
- [193] 知野, 四柳, 橋爪, "遅延検査容易化設計のPUFへの適用に関する検討," 電気・電子・情報関係学会四国支部連合大会講演論文集, 10-7, 2021年9月.
- [194] 細見, 四柳, 橋爪, "電圧-遅延セルを用いる積層型イメージセンサ回路の接続検査について," 電気・電子・情報関係学会四国支部連合大会講演論文集, 10-8, 2021年9月.
- [195] 池田, 四柳, 橋爪, "積層型CMOSイメージセンサの接続検査における検査容易化画素回路の適用について," 電子情報通信学会技術研究報告, Vol.FIIS21, No.546, pp.1-6, 2021年10月.
- [196] 原, 四柳, 橋爪, "電荷注入量に基づく電気検査

- 法におけるスキャン回路を考慮する検査入力制御,"第84回FTC研究会資料,2022年1月.
- [197] 牧野,四柳,橋爪,"近似演算回路を用いた耐故障設計における遅延故障用テストパターン生成について,"電子情報通信学会技術研究報告,Vol.121, No.388, pp.39-44, 2022年3月.
- [198] 大濱,知野,四柳,橋爪,"遅延検査容易化回路のPUFへの適用可能性評価,"電子情報通信学会技術研究報告, Vol.121, No.388, pp.24-29, 2022年3月.
- [199] 片山,有元,四柳,橋爪,"TDC組込み型バウンダリスキャンの遅延信号観測対象判別回路の設計,"第36回エレクトロニクス実装学会春季講演大会, pp.215-218, 2022年3月.
- [200] 守谷,加藤,弓仲,山本,佐藤,堀尾,"減衰付きSTDP学習則のアナログ回路設計とLSI実装",信学技報, p. 44, 2022年1月.
- [201] 小野,守谷,菅家,山本,弓仲,佐藤,"ニューロン回路への応用を目的としたアナログCMOS多数決回路の設計",信学技報, pp. 45-48, 2022年1月
- [202] 請園 智玲,"Wave-FFによるAESへの電力解析攻撃の対タンパ性評価",電子情報通信学会 技術研究報告,信学技報, HWS2021-41, Vol.121, No.206, pp.1--6, ハードウェアセキュリティ研究会 (HWS) / 立命館大学 (オンライン), 2021.10.
- [203] 安富啓太,古橋 樹,佐川航輝,高澤大志,香川景一郎,川人祥二 映像情報メディア学会技術報告 Vol.46, No.14 pp.39-42
- [204] 太田,小川,佐藤,"変動するケーブルの寄生容量の影響を低減する差動容量-電圧変換回路の検討",2022年 総合大会講演論文集,2022年3月
- [205] 佐藤,,佐藤,小川,"時分割型多入力増幅回路におけるバッファのオフセット電圧に起因する出力オフセット電圧の低減",第34回 回路とシステムワークショップ,2021年8月
- [206] 廣永,佐藤,小川,"スイッチング電源回路の補助電源用チャージポンプの小面積化および効率改善",第34回 回路とシステムワークショップ,2022年8月
- [207] 佐藤,山田,中村,伊藤,"TIAの異なる実装条件に応じた周波数帯域制御方法の提案",信学会ソ大会, A-1-1、2021年9月.
- [208] 加藤,湯浅,石原,中村,伊藤,"帯域切り替えによるトリプルレート対応低電力可変利得増幅器の検討",信学会ソ大会, A-1-2、2021年9月.
- [209] 山田,佐藤,伊藤,中村,"CGFW型広帯域TIAの高利得化の検討",信学会ソ大会, A-1-4、2021年9月.
- [210] 霜田,林,安藤,伊藤,中村,"PAM4 光パケット通信用 CTLE の高速制御回路の検討",信学会総合大会, A-1-6、2022年3月.
- [211] 高木颯平,丹羽直也,四釜快弥,矢内洋祐,天野英晴,中里優弥,尼崎太樹,飯田全広,"SLM細粒度再構成ロジックにおける構成情報の圧縮",信学技報, vol. 121, no. 425, CPSY2021-49, pp. 26-31, 2022年3月.
- [212] 木内泉美,中里優弥,趙 謙,飯田全広,"少構成メモリ論理セルSLM向けテクノロジマッピングアルゴリズムの一検討",信学技報, vol. 121, no. 344, RECONF2021-76, pp. 108-113, 2022年1月.
- [213] 中里優弥,尼崎太樹,飯田全広,"少構成メモリFPGAのテスト手法,"LSIとシステムのワークショップ,ポスター57,2021年5月.
- [214] 久我守弘,中里優弥,趙 謙,尼崎太樹,飯田全広,"MECデバイス向けFPGA-IP試作チップの動作検証,"電子情報通信学会総合大会 シンポジウムセッション, ADS-1-4, 2022年3月.
- [215] 山口,鈴木,及川,原田,"多端子MOSFETによるインバータを流れる電流の間接計測とその評価",電子情報通信学会 電子部品・材料研究会, CPM2021-81, 2022年3月
- [216] 原田,"多端子MOSFETによる低電圧回路の温度補償への応用",電気学会 電子回路研究会, ECT-021-055, 2021年11月
- [217] 山中風葵,前田大輔,清水亮之,横式康史,徳田崇,"光駆動による小型連続血糖センサ向けRF送信回路の検討,令和4年電気学会全国大会, 3-109, 3月.
- [218] 光石 幹,横式康史,徳田 崇,永田駿一郎,渡辺剛志,黄 晋二,"単層グラフェンのCMOSチップ上集積化に関する基礎検討",令和4年電気学会全国大会, 3-113, 3月.
- [219] 高松 洸佑,松岡 聡,徳田 崇,横式 康史,"アナログ・デジタル混載 CMOS チップを用いた分散型光電気神経インターフェースデバイスの研

- 究””, 2022年第69回応用物理学会春季学術講演会, 23a-E105-3, 3月
- [220] 深町 賢人, 竹内 瑞希, 横式 康史, 徳田 崇, “生体埋め込みマイクロデバイス向け光電力伝送回路の開発”, 2022年第69回応用物理学会春季学術講演会, 23a-E105-4, 3月
- [221] 清水 堯之, 三浦 良, 深町 賢人, 横式 康史, 徳田 崇, “CMOS制御光駆動による小型連続血糖センサの評価”, 2022年第69回応用物理学会春季学術講演会, 23a-E105-5, 3月
- [222] Reyhan Ramadhan, Kosuke Takamatsu, Yasufumi Yokoshiki, Takashi Tokuda, “Digital-based Design of Optical Power Transfer-based Biomedical and Internet-of-Things Devices”, The 69th JSAP Spring Meeting 2022, 23p-E105-1, Mar.
- [223] 竹内瑞希, 深町賢人, 横式康史, 徳田 崇, “超小型 IoT エッジ向け 光エナジーハーバスティング回路”, 令和4年電気学会全国大会, 3-111, 3月.
- [224] 日比、津田、五島、”低電圧オペアンプのレイアウト設計”電気電子情報関連学会東海支部、F5-7、2021年9月
- [225] 市原悠嗣, 津田紀生, 五島敬史郎”パラメトリック共振回路を用いた強磁性体のイジングモデルのシミュレーション”, 電気電子情報関連学会東海支部F5-8 (2021) 9月
- [226] 笈川, 宇佐美, ”リーク電流の製造ばらつきを利用したLR-PUFの機械学習攻撃に対する耐性評価”, 信学技報VLD2021-93, pp.93-98, 2022年3月.
- [227] 渡邊伊吹, 讃岐純平, 弘中哲夫, 窪田昌史, ”機械学習によるリコンフィギャラブルデバイス用論理素子配置の開発評価環境の構築, ” 2021年度(第72回)電気・情報関連学会中国支部連合大会, R21-19-03, 2021年10月23日.
- [228] 森 健太, 嘉山 永樹, 前防 太智, 陳 遠馳, 傘 昊, 松浦 達治, 堀田 正生, ”リングアンプを用いた差動増幅器の熱雑音解析と検討,” 電気学会電子回路研究会, 2021年11月
- [229] 森 健太, 嘉山 永樹, 前防 太智, 陳 遠馳, 傘 昊, 松浦 達治, 堀田 正生, ”リングアンプを用いた差動増幅器の熱雑音解析と検討,” 電気学会電子回路研究会, 2021年11月
- [230] 嘉山 永樹, 森 健太, 前防 太智, 陳 遠馳, 傘 昊, 松浦 達治, 堀田 正生, ”低電圧高精度サイクリックADCの高速化手法の検討,” 電子情報通信学会 ICD/CAS研究会, 2021年12月
- [231] 船山海斗, 傘昊, ”大振幅入力可能な低電圧・高精度サンプリング回路の検討,” 電気学会 電子回路研究会, 2022年3月
- [232] 園田翔也, 塩見準, 小野寺秀俊, “幅広い動作性能領域で最小エネルギー動作点を追跡するアルゴリズムの近似演算に基づく高効率実装,” DA シンポジウム2021, pp. 24-31, 2021年9月.
- [233] 吉長、木村、斎藤, ”露光効率を改善可能な部分露光型イメージセンサの画素構造に関する検討”, 令和3年度電気学会東京支部茨城支所研究発表会, 2021年11月.
- [234] 木村智宏, 木村孝之, ”部分露光型イメージセンサで問題となる露光領域選択方法の改善に関する研究”, 令和3年度電気学会東京支部茨城支所研究発表会, 2021年11月.
- [235] 吉長、木村、斎藤, ”露光効率を改善可能な部分露光型イメージセンサの画素構造に関する検討”, 令和3年度電気学会東京支部茨城支所研究発表会, 2021年11月.
- [236] 中山、木村、増澤, ”コイルと平行配線の組み合わせによる磁気ビーズの操作性を向上させるための構造改良に関する研究”, 令和3年度電気学会東京支部茨城支所研究発表会, 2021年11月.
- [237] 柴田 滉平, 内山 晃宏, 大西 哲, 李 尚曄, 町田 克之, 石原 昇, 益 一哉, 伊藤 浩之, 「Au 錘1軸差動型CMOS-MEMS加速度センサの統合設計シミュレーションの検討」第13回集積化MEMSシンポジウム, 10A3AP1, オンライン, 2021年11月9日-11月11日.
- [238] 木村有佐, 吉田僚一郎, 安藤幹, 大島佑太, 鍋屋信介, 平川颯二, 岩瀬正幸, 小笠原宗博, 依田孝, 石原昇, 伊藤浩之, 「P型とN型のFETサイズ比が異なるCMOS論理回路への γ 線照射の影響」, 2021年電子情報通信学会ソサイエティ大会(Online), C12-19, 2021年9月15日.
- [239] 石原昇, 吉田僚一郎, 木村有佐, 安藤幹, 大島佑太, 鍋屋信介, 平川颯二, 岩瀬正幸, 小笠原宗博, 依田孝, 伊藤浩之, 「ELT(EnclosedLayoutTransistor)による耐放射線CMOS集積回路の設計」, 情報処理学会, DAシンポジウム2021(Online), 16A-1, 2021年9月1日-3日.
- [240] 木村有佐, 吉田僚一郎, 安藤幹, 大島佑太, 鍋屋

- 信介,平川顕二,岩瀬正幸,小笠原宗博,依田孝,石原昇,伊藤浩之,「CMOSリング発振回路へのγ線照射の影響とその要因解析」,第34回回路とシステムのワークショップ(Online),C5-3,2021年8月27日.
- [241] 柴田 滉平,内山 晃宏,大西 哲,李 尚曄,石原 昇,町田 克之,益 一哉,伊藤 浩之,「1軸差動型CMOS-MEMS加速度センサの統合設計シミュレーションの検討」,令和3年度E部門総合研究会, MSS-21-047, 2021年7月26日-27日.
- [242] Z. Gong, S. Lee, N. Ishihara, and H. Ito, "A divide-by-18 injection locked frequency divider based on harmonic rejection," 電子情報通信学会総合大会, 2022年3月.
- [243] S. Amakawa, S. Lee, K. K. Tokgoz, and H. Ito, "Circuit design and device modeling for biomedical applications," 令和3年度生体医歯工学共同研究拠点成果報告会, 2022年3月.
- [244] 中尾, 武内, "RISC-Vを用いた命令拡張のためのプロセッサ開発環境の検討", DAシンポジウム2021論文集, Vol. 2021, pp. 52-59, 2021年9月.
- [245] 中尾, 武内, "Rocket-Chipへの三角関数演算命令の実装と評価", デザインガイア, Vol. 2021, SLDM-196, No.30, pp.1-6, 2021年12月.
- [246] 吉岡大, 森下賢幸, 小椋清孝, 伊藤信之, "フラットゲイン・低雑音広帯域LNAの検討," 2021年電子情報通信学会ソサイエティ大会C-12-11, オンライン, 2021年9月15日.
- [247] 橋本佳紀, 小椋清孝, 森下賢幸, 伊藤信之, "24 GHz 帯パワーVCO の高効率化に関する検討," 2021年電子情報通信学会ソサイエティ大会C-12-15, オンライン, 2021年9月15日.
- [248] 栢野陽平, 小椋清孝, 森下賢幸, 伊藤信之, "スイッチトレジスタ電流源を用いたLC発振器の低位相雑音に関する研究," 2021年電子情報通信学会ソサイエティ大会C-12-17, オンライン, 2021年9月15日.
- [249] 瀬口慎一郎, 森下賢幸, 小椋清孝, 伊藤信之, "三帯域同時受信低雑音増幅器に関する検討," 2021年電子情報通信学会ソサイエティ大会C-12-26, オンライン, 2021年9月15日.
- [250] 林祐樹, 森下賢幸, 小椋清孝, 伊藤信之, "インダクタ結合による24 GHz ゲインブースト増幅器の検討," 2021年電子情報通信学会ソサイエティ大会C-12-29, オンライン, 2021年9月15日.
- [251] 宮崎和哉, 森下賢幸, 小椋清孝, 伊藤信之, "Subthreshold領域で動作する低消費電力低雑音増幅器の検討," 2021年度(第72回)電気・情報関連学会中国支部連合大会, R21-12-04, オンライン, 2021年10月23日.
- [252] 金田直樹, 森下賢幸, 小椋清孝, 伊藤信之, "28GHz帯低位相雑音インジェクションロックLC型4通倍器に関する検討," 2021年度(第72回)電気・情報関連学会中国支部連合大会, R21-12-05, オンライン, 2021年10月23日.
- [253] 林祐樹, 小椋清孝, 森下賢幸, 伊藤信之, "180 nm CMOS プロセスを用いた24 GHz 帯増幅器回路の高性能化の検討," 2021年度(第72回)電気・情報関連学会中国支部連合大会, R21-12-11, オンライン, 2021年10月23日.
- [254] 栢野陽平, 小椋清孝, 森下賢幸, 伊藤信之, "20 GHz 帯低位相雑音広帯域LC 発振器の検討," 2021年度(第72回)電気・情報関連学会中国支部連合大会, R21-12-12, オンライン, 2021年10月23日.
- [255] 瀬口慎一郎, 森下賢幸, 小椋清孝, 伊藤信之, "三帯域同時受信LNAの省面積化の検討," 2021年度(第72回)電気・情報関連学会中国支部連合大会, R21-12-13, オンライン, 2021年10月23日.
- [256] 塩津勇作, 菅原聡, "ULVR-SRAMを用いたニューラルネットワークアクセラレータの性能", 第69回応用物理学会春季学術講演会, 相模原市, 神奈川県, 2022年3月22日-26日, paper 23p-E307-5.
- [257] 塩津勇作, 山本修一郎, 菅原聡, "不揮発性SRAM: エッジコンピューティングの革新的低消費電力技術", 日本学術振興会先進薄膜界面機能創成委員会第6回研究会, オンライン, 2021年10月4日.
- [258] 矢野広気, 塩津勇作, 山本修一郎, 菅原聡, "超低電圧リテンションSRAMのパワーゲーティング性能とアーキテクチャ", 第69回応用物理学会春季学術講演会, 相模原市, 神奈川県, 2022年3月22日-26日, paper 23p-E307-6
- [259] 佐貫海斗, 遠藤弘之, 塩津勇作, 菅原聡, "各種層間絶縁材料を用いたトランスバース型薄膜

μTEGの高精度集中定数回路モデル”, 第69回応用物理学会春季学術講演会, 相模原市, 神奈川県, 2022年3月22日-26日, paper 24p-E205-12.

- [260] 松崎翼, 塩津勇作, 山本修一郎, 菅原聡, “バルクデバイスを用いた超低電圧リテンションFlip-Flopの設計と解析”, 第82回応用物理学会秋季学術講演会, オンライン, 2021年9月10日-13日, paper 12p-N304-5
- [261] 斎藤修平, 塩津勇作, 原拓実, 山本修一郎, 菅原聡, “ボディバイアス制御ULVR-SRAMの設計と解析”, 第82回応用物理学会秋季学術講演会, オンライン, 2021年9月10日-13日, paper 12p-N304-6.
- [262] 原拓実, 塩津勇作, 山本修一郎, 菅原聡, “ニアスレッショルド電圧動作ULVR-SRAMマクロの設計と解析”, 第82回応用物理学会秋季学術講演会, オンライン, 2021年9月10日-13日, paper 12p-N304-7.
- [263] 塩津勇作, 山本修一郎, 菅原聡, “ULVR-SRAMを用いたBNNアクセラレータの提案と性能予測”, 第82回応用物理学会秋季学術講演会, オンライン, 2021年9月10日-13日, paper 12p-N304-8.
- [264] 遠藤弘之, 塩津勇作, 菅原聡, “薄膜トランスバース型マイクロTEGモジュールの簡略化集中定数回路モデル”, 第82回応用物理学会秋季学術講演会, オンライン, 2021年9月10日-13日, paper 10p-N406-4.
- [265] 塩津勇作, 吉田隼, 山本修一郎, 菅原聡, “ボディバイアス効果を用いたULVR-SRAMセルの設計とそのパワーゲーティング性能”, LSIとシステムのワークショップ2021, オンライン, 2021年5月10日-11日, poster 29
- [266] 原拓実, 塩津勇作, 山本修一郎, 菅原聡, “ニアスレッショルド電圧動作超低電圧リテンションSRAMの設計と性能解析”, LSIとシステムのワークショップ2021, オンライン, 2021年5月10日-11日, poster 55.

著書

- [1] Mutsumi Kimura, Neuromorphic Chip using AOS Thin-Film Devices, Wiley, Amorphous Oxide Semiconductors: IGZO and Related Materials for Display and Memory, Chapter 22,

May 2022, to be published

特許

- [1] 北川章夫 "整流回路、昇圧回路およびSMFE回路" 特願2022-03993044621

D. VDECの利用規程・申し込みガイド

D.1 概要

VDECは、全国の大学・高専向けに様々な支援事業を実施している。

1. CADツールの共同利用
2. VLSI試作サービスの共同利用
3. CADツール講習会(8-9月・3月)
4. 社会人リフレッシュ教育(6月-8月、学生も参加可能)
5. VLSIデザイナーフォーラム(若手の会)
6. 大型装置利用

CADベンダー、試作会社等のアカデミック向けの協力により、それぞれのサービスを大幅なアカデミックディスカウントで提供している。VDEC設立以来、これまでの実績では、CADの利用・CAD講習会は無償、LSI試作サービスは海外での類似サービスの半額以下、大型装置は消耗品実費負担のみとなっている。見返りとして、ユーザにはVDECを利用する「顧客」ではなく、VDECと一緒にサービスを向上させる「主体」としての自己研鑽と協力を期待している。全国の研究室がバーチャルな一つの研究室として助けあいができるような状況を理想とし、限られたスタッフの中、日々支援活動を行っている。

サービスの対象は基本的には、大学・高専であり、端的にはメールアドレスとして「.ac.jp」を持つ教員と、その研究室内の教職員と学生を対象とする。それ以外の研究所の利用や、企業との共同研究については個別の判断を要する。特にCADツールについてはCADベンダーとのライセンス規定に抵触しないよう細心の注意が必要であるため、VDECの担当者(vdec@vdec.u-tokyo.ac.jp)に必ず相談いただきたい。その他のサービスについてはVDECの裁量範囲が広がるので可能性が高くなるが、こちらもあらかじめ相談いただきたい。企業との共同研究については、少なくとも非営利、アカデミック側が51%以上のイニシアチブを取る研究であることが必要である。

また、CADの申込や試作申込、装置利用申込など、契約にかかわる作業は全て、代表の教員の方々に行っていただくことをお願いしている。研究室のメンバが代理で行うことも現実には可能であるが、その場合もあくまで教員の了解をとり、代理としての心構えで望んでいただきたい。

VDECのシステムは、InternetとUnix operating

systemの上になりたっているので、Internetの仕組やUnixについての素養はあらかじめ付いていることを期待している。従って、利用でトラブルが起こったときには研究室や学校のネットワーク管理者と十分連絡をとって、問題を切りわけながら対処することが勧められる。

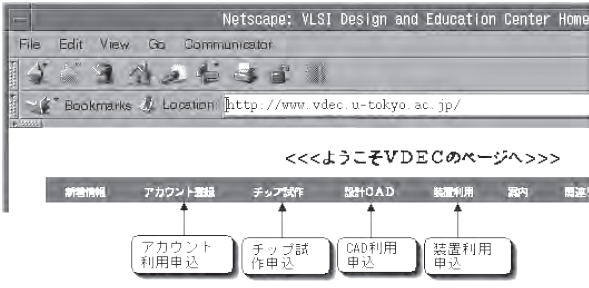
D.2 まずはじめに

VDECからのお知らせ、また講習会・リフレッシュ教育を除く全ての申込や問い合わせには、VDECのWEBページ <http://www.vdec.u-tokyo.ac.jp/> を用いている。一部のページは秘密等が含まれるため、WEBアクセス用アカウント・パスワードならびにアクセスしているマシンのInternet Protocol (IP) アドレスによって制限をかけている。

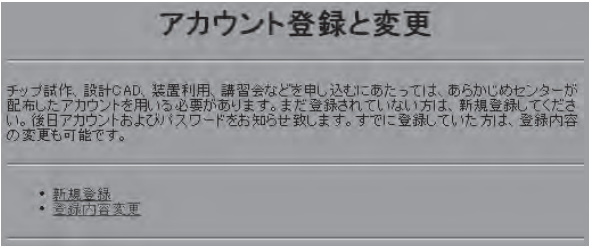
従って、VDECを利用したい場合、前もって教員によるアカウントの申請が必要である。登録は無料。資格の審査を行うため十分な(サービス開始前1ヶ月以上)時間的余裕をもって、申込をお願いしたい。申込から概ね数週間が経過した後、WEBページアクセス用のアカウントとパスワードが発行される。アカウントは、半角英大文字2字+半角数字5桁(例: VD00000)からなる。

申込で特に注意する点は、VDECのWEBにアクセスしたい研究室のマシンのIPアドレスを入力することである。学校の中にあるマシンからのみアクセスを許可しており、プロバイダーのアドレスならびに、Proxyサーバのアドレス登録は禁止する。入力の際は、133.11.58.4,133.11.58.5のように、IPアドレスを全て「半角」の英数字で、「,」(半角カンマ)で区切って、途中改行を入れずに入力する。また、ここで入力するアドレスは、「ネットワークの外部から見えるアドレス」であることに注意する。特に、NAT(IP masqueradeというプログラム名で呼ばれることもある。機能としてはNATが正しい。)で研究室をローカルネットワークにしている場合は、NATサーバのアドレスを入力する。よくある間違いとして、ローカルネットワークのIP、例えば「192.168.X.XX」を登録したためアクセスできなくて困っている例がある。

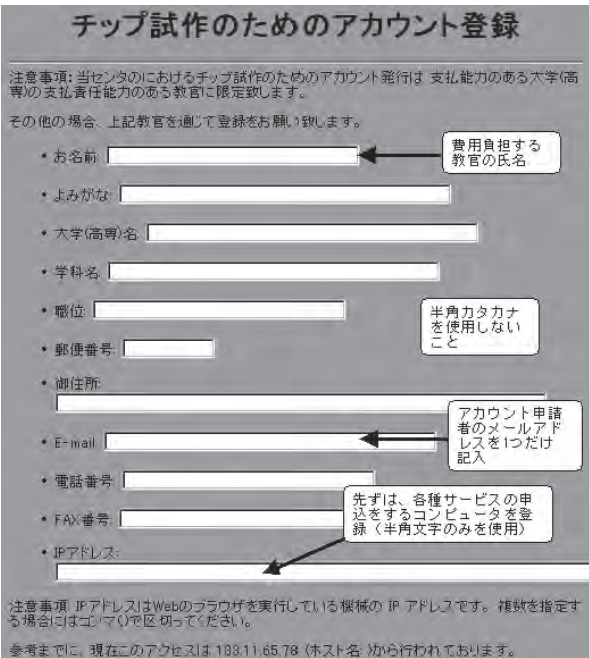
ネットワークが変更になるとか、研究室のマシン増設などでIPアドレスを変更する場合は同じく、申込のページから「登録内容変更」を行う。特に、古いIPが使えなくなるといった大幅なネットワークの変更がわ



図E.1 VDECホームページのインデックスフレーム



図E.2 アカウント登録・変更ページの入口



図E.3 アカウントの新規登録の注意点

かっている場合は、まえもって新旧両方のアドレスを登録しておく。万一アクセスできなくなった場合は、「新規登録」を行い、同じE-Mailアドレスを入力することで上書き変更が可能である。

【登録するIPアドレスに関する要件】

- アクセス制限を行わないページのみを参照するコンピュータのIPアドレスを登録する必要はない
- IPアドレスの登録数には制限を設けませんが、管理の行き届いたコンピュータのみに限定すること
- DHCPサーバにより動的に割り当てられたIPアドレスやローカルアドレスなどは登録できない(して

も意味が無い)

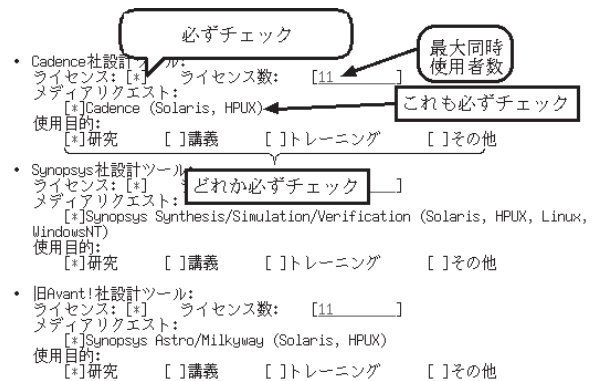
- Proxyサーバ等を介さないアドレスを指定すること。これは、設計規則等の機密情報がProxyサーバに残ってしまい、機密漏洩につながることを防ぐためであるので守っていただきたい。但し、ファイアウォールが設置されているなど学内の事情により直接のアクセスが行えない場合にはその限りではない

E.3 CADツールの共同利用

VDECでは、集積回路の上流から下流まで一連の設計を行うためのCADツールを提供している。これらのソフトウェアは、VDECのVLSI試作以外のアカデミック用途(MOSIS-VDECを通じた試作、教育用の演習、EB等VDECの大型装置利用のためのデータ作成用、等)の利用も可能である。アカデミック向けであるから、企業との研究の際は利用の可・不可が場合により異なるので、心配な場合あらかじめ相談いただきたい。

1つの設計作業を行うために、2つ以上のベンダーからCADを選べる状況(二重化)を理想としている。LSIの設計には、CADソフトと共に、パラメータやライブラリが必要であるが、これも職員や関連研究のボランティアにより、充実のための努力が払われている。ボランティアとしての協力は大変に歓迎される。

CAD申込のWEBページに教員がアクセスする(WEBアカウントが必要である)。NDA事項を了解いただきサイン入りの文書をVDECセンター長室に送付した後、CADの申請ができる。



図E.4 CAD利用申込フォームの「ライセンス数の登録」パート記入における注意点

申請時にWEBから入力する内容は以下のとおり。

- ソフトウェアライセンス数(研究室で同時に使用すると思われる最低数を入力)
- 用途
- メディアリクエスト(使用するOperating Systemを選んでチェックする)。
- 利用する研究室所有ワークステーションのホストネーム(VDEC、端的にはusr1から名前→IPアドレスの解決ができる、「.ac.jp」で終わるホスト名であることが条件。)

ソフトウェアのCDROM(メディア)について、VDECの創設期においては、メディアを近隣の研究室で「回覧」していたが、インターネットの発達により回線が豊富になったので、現在ではCDに書き込めるISOイメージファイルで提供している。VDECホームページの「ライセンスファイルの配布>ここから」からダウンロードできるようにある。当然ながら、VDECのユーザアカウントとパスワードが必要となるため、CADを申請してから数週間程度の時間差が必要となるであろう。

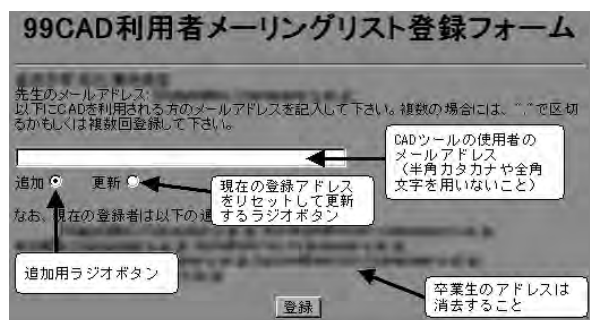
メディアをダウンロードした後、プログラムをインストールし、初期設定ファイルを整備する。特に、ライセンスファイルはWEB経由で別途取得の上設定するか、環境変数LM_LICENSE_FILE等を(ライセンスサーバのポート番号)@(ライセンスサーバ)の形式で設定する。また、/etc/hostsファイル等を設定し、ライセンスサーバを「ローカルのネットワーク相当でアクセスできるように」する。端的には、手元のワークステーションにおいて、例えば「vdec-cad1」と指定するだけで、FQDN形式の「vdec-cad1.vdec.u-tokyo.ac.jp」のマシンのIPアドレスが引けるように設定する。

CADツールを実行するためには、VDECまたは地域拠点校のライセンスサーバによる認証が必要である。ライセンスファイルまたは環境変数の変更により認証を行うライセンスサーバを切り替えることが出来るので、VDECまたは地域拠点校のどちらかのライセンスサーバがメンテナンス等の事情により停止している場合でも、稼働中のもう一方のライセンスサーバを選択することによりCADを実行することが可能である。また、ライセンスサーバの認証は、CADツール起動後も数分おきに行われるので、CADツールを実行中は常時ライセンスサーバとの通信が可能な状態におかなければならない。また、ファイアウォールを使用しているネットワーク環境では、VDECのWebサ

ーバとVDECおよび地域拠点校に対して、ライセンス認証用の特定のポートを空ける必要がある。この場合、各大学・高専のネットワーク管理者と相談すること。

初期設定等はやり方を一度経験すれば簡単であるが、はじめてのときは様々な問題が起こることもある。VDECに対する大幅なアカデミックディスカウントの引き換えとして、各研究室はCADベンダーによる直接のサポートを受けられない。かわりにVDECでは、「CADuser@vdec.u-tokyo.ac.jp」メーリングリストを用意している。質問はこちらのメーリングリストを利用いただきたい。CADを利用する研究室の構成員のどなたでも投稿、返答してよい。CADuser MLの注意点は以下のとおり。

1. WEBページから、利用するメンバのE-Mailアドレスを登録すること。特にその際、「.ac.jp」で終わるアドレスを利用し、メールはプロバイダ等に転送しないこと(情報漏洩の観点から)。
2. リストの更新は頻繁におこない、卒業生へのメール配信は速やかに停止すること。特に4月に注意。
3. メールをする前に、あらかじめCADuser MLの過去記事検索がWEBからできるので、類似の質問が無いかどうか検索してから投稿すること。
4. 機密保持にかかわるような内容のメールは、CADuserに送ってはならない。各試作のメーリングリストに送ること
5. 問題解決したら、問題、原因、解決法をまとめて投稿すること(必須ではないが、ネット利用のエチケットといえる)。



図E.5 CAD利用者メーリングリスト登録における注意点

ライセンスは年度単位で申込みを受けつけている。各CADベンダーとVDECとの交渉がまとまる毎年3月末に、CADuser MLとWEB上に、次年度のCAD利用申込案内が出るので忘れずに申込する。4月中は移行期間として前年度申込のライセンスも有効にしてあるが、4月末に切れるため、そのときになって慌てる例が毎年発生している。「永久ライセンスではない」ことに十分ご注意ください。

【毎月注意を払うべき点。熟読必須。】

1. VDECでは、CADを使用できる計算機のリスト（アクセスリストと呼ぶ）を半年毎に更新している。このときDNSの逆引きができなくなっていた等の何らかの不具合で、アクセスリストに自分の計算機が登録されない場合がある。その場合、CADが使えなくなるので、アクセスリスト更新前に対処する必要がある。サーバの停止は、全国ユーザに影響が及ぶため頻繁には行えないので、万が一アクセスリストの不備に気づかなかった場合は、最悪半年以上CADが使用できなくなる。
2. 以上の理由で、VDECから「CADのアクセスリストを更新します」というアナウンスがあった場合、必ずチェックを行い、自分のコンピュータが登録されていることを確認しなければならない。
3. 登録確認のページは、http://www.vdec.u-tokyo.ac.jp/CAD/cad_access_list.html である。ブックマークを強くお勧めする。
4. IPアドレス(ホスト名) registered という表示が出ていれば登録されている。
5. false(false(ホスト名)) FAIL という表示が出ていれば登録に失敗しているので、原因を探る。

一般的に、DNSの逆引き（ホスト名からIPアドレスを引く）に失敗していることが多い。研究室のネットワーク管理者とも相談して、VDECのサーバから、当該ホスト名の逆引きができるまで原因の除去を行う。

D.4 VLSI 試作サービスの共同利用

VLSI 試作サービスは、教育研究目的に限って認められる。WEBページに本年度のランが掲示され、数ヶ月前から試作が申込可能になり、リンクが張られる。まず、試作会社の持つ機密情報に対するNDA契約を行う。これはVDECホームページの「試作関係>試作案

内>機密保持契約（NDA）の文面」より、希望プロセスのNDAにサインしてVDECに郵送し、VDEC側で手続き終了後にNDA締結となり、設計規則やライブラリにアクセスできるようになる。設計規則はWEB経由のアクセスならびに、WEBでの公開を禁止している会社の場合はCDROM等で送付される。NDAの対象は教員であるが、研究室の職員・学生にも同じNDAが適用されるため、取扱には細心の注意を払っていただきたい。尚、秘密保持契約内容は、以降の同一プロセスによるチップ試作全てにおいて有効である。

試作申込はデザイン提出日切日の6~3ヶ月前、キャンセルの日切は1ヶ月前である。1ヶ月前より遅くなったキャンセルには、原則として試作代金をお支払いいただくので注意いただきたい。特にはじめて試作に参加される場合は、1ヶ月前には回路ができているくらいの、余裕をもったスケジュールを組まれることを強くお勧めする。

VLSI 申込フォームの入力に関する注意点（図5.8）

- 希望チップ寸法の項目のチェックボックスを必ずチェックした上で希望チップ数を入力すること。チェックを行わないと入力した数字は無効となる
- チップ数入力には半角数字を用いる

設計に関する問い合わせについては、各試作についてメーリングリストを用意してあるので、設計者全員のメールアドレスを登録する。「.ac.jp」で終わるアドレスであり、プロバイダに転送をしないよう注意願いたい。これらメーリングリストの過去記事検索もできる。

図D.6 VLSI 試作メーリングリスト登録ページの注意点

レイアウトを設計した後、VDECが提供する最新のDesign Rule Checkファイルでチェックを行い、エラーフリーになったものを提出する。また、シミュレーションはもちろんのこと、レイアウトが回路図と同等であることを確認する Layout Vs Schematic (LVS) チェックを通して、提出しようとする回路が本当に動作しそうだという確信を持つておくことは最低限必要であろう。デザインの提出は指定されたVDECページか

ら行う。提出時にVDEC側で最終DRCを実行する。ここでエラーが出たチップは提出できない。必ず自分の環境でDRCフリーにしてからチップを提出すること。

提出切は月曜日に設定されていることが多いが、できる限り余裕をもって、前の週などに提出をいただきたい。また、月曜日に締め切った後、VDEC側でさらにデザインルールをチェックしている。この際本来出てはいけないエラーが出ることもあり、出た場合設計者に修正のお願いを連絡するので、提出したからといって安心せず、1週間ほどはVDECからの連絡に注意願いたい。

デザイン提出から数ヶ月後に、VLSIチップが納品され、請求書も送付されるので、遅滞なく支払をお願いする。

D.5 CADツール講習会

CADベンダーとの契約により、個々のサポートは提供しないかわりに、毎年2回、夏と春とCAD講習会を開催している。東京大学の武田先端知ビルセミナー室にてメイン会場として開催され、各地方の拠点校へサブ会場としてストリーミング配信される。まずはこういった講習会に参加し、大体の知識を付けてから実際の試作なりCAD利用を行うことをお勧めしている。アナウンスはCADUser メーリングリストで流れる。また、申込は、VDECのWEBページから行う。

D.6 社会人・大学リフレッシュ教育

CADツール講習会からさらに進んだ形で、VDEC環境での回路設計、アナログ回路のレイアウトやシミュレーションを体験したりする「アナログコース」、「RF」コース、「MEMsコース」ならびに一線の研究者による設計事例の講演会などを企画している。6月～9月に開催し、有料である。社会人を主に対象としていたが、近年関係者にも向けている。

D.7 デザイナズフォーラム (旧若手の会)

毎年9月頃、VDECを利用する若手が合宿を行い、最近の動向や研究内容について話しあう機会を設けている。発足当初の「若手」の定義は年齢が5ビット。最近の定義は「自分は若手だと思っている学生・教職員」であるので積極的な参加をお待ちしている。

D.8 大型装置利用

LSIテスターや、EB装置など、公開可能な装置については、利用の案内をWEBページに掲載している。その手順に従って利用方法の学習と申請を行う。基本的なスタンスは以下のとおり。

1. 公開の対象は教員であり、研究室メンバは教員の代理として責任をもって使っていただく。
2. 利用免許を持っている者の付き添いがあれば基本的に自由な利用が可能
3. 数回のトレーニングを受けて免許を持てば自分一人で利用可能

VDEC専任・協力教員のサポートスタッフ数に限りがあるので、免許保持者に積極的な教育をお願いすることがあるので、協力いただきたい。

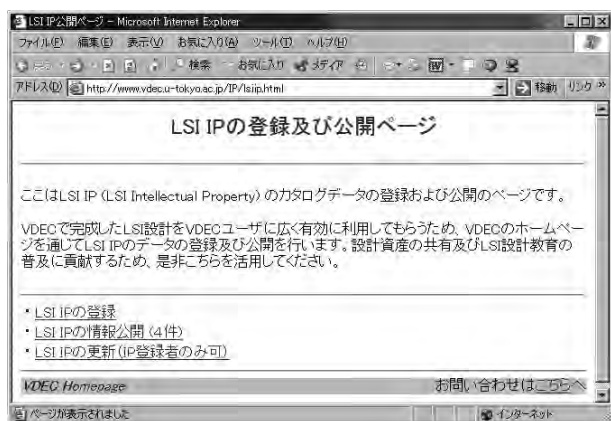
E. IPデータベースの整備

設計資産の再利用のために、VDECではWeb上でのデータベースの構築および公開を行っている（<http://www.vdec.u-tokyo.ac.jp/IP/lsiip.html>、図E.1）。本データベースの利用対象は、IP登録に関してはVDECユーザーに限定しているが、IP利用に関しては任意対象となっている。本データベースに関してのVDECの役割は、IPのカタログデータの整理、公開および登録者一

利用者間の仲介と機密情報の取り扱いの監督である。

平成12年度から平成14年度の3年間、(株)半導体理工学研究センター（STARC）との共同研究としてIPプロジェクトを行ってきたが、その最終成果としてIP開発グループの各参加者へ完成IPの登録を働きかけ、上記データベースによって公開を行っている。

現在までに登録済みのIPを表E.1に示す。



図F.1 VDEC LSI IP Webデータベースの例

表F.1 VDEC LSI IP データベースに登録済みのIP（平成24年3月現在）

登録番号	IP名	カテゴリー
1	Data Encryption Standard (DES) Core	Others
2	Phase Locked Loop (PLL) Core	Others
3	PPRAM-Link Interface (PLIF) Core	Networking
4	SRAM Core	Memory
5	Processor Core with Instruction set Compatibility with Hitachi SuperH	Processor/Controller
6	IEEE-754-Standard Single-Precision Floating-Point Dividers	Datapath
7	Controller Core with Instruction set Compatibility with PIC16F84	Processor/Controller

令和4年度
東京大学大学院工学系研究科附属システムデザイン研究センター
年報

2022年8月

編集・発行

東京大学大学院工学系研究科附属システムデザイン研究センター
黒田 忠広
〒113-8656
東京都文京区本郷7-3-1工学部2号館111A1
TEL 03-5841-6561

印刷・製本

株式会社総北海 東京支店
〒130-0022
東京都墨田区江東橋4丁目25番10号 加藤ビル2F
TEL 03-5625-7321



Systems Design Lab

Systems Design Lab, School of Engineering, The University of Tokyo 2022

