



Systems Design Lab

2023

Systems Design Lab, School of Engineering,
The University of Tokyo

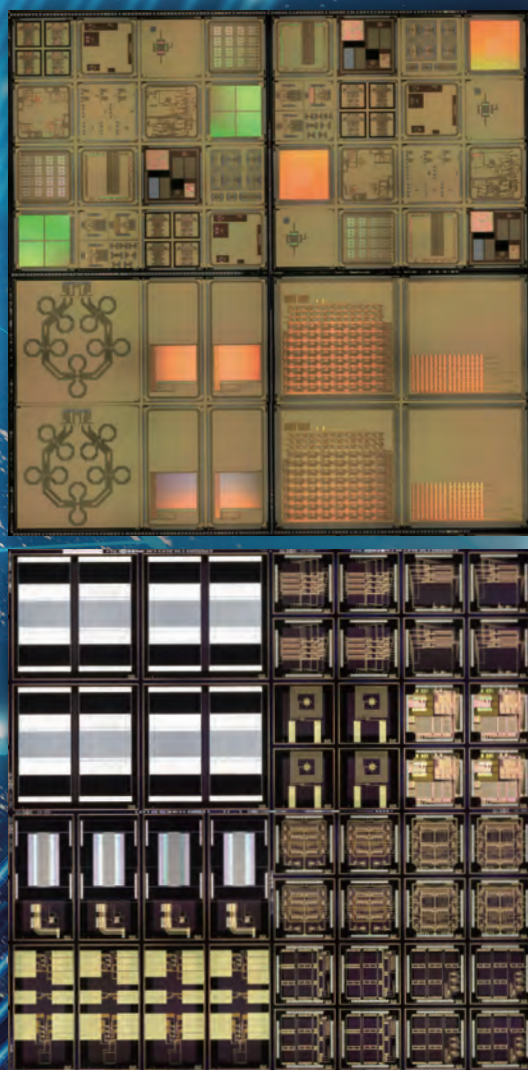
Annual Report

令和5年度

ISSN 2436-6552

東京大学大学院工学系研究科
附属システムデザイン研究センター
先端設計研究部門・先端デバイス研究部門
(旧VDEC) 基盤設計研究部門・基盤デバイス研究部門

年報



Systems Design Lab, School of Engineering
The University of Tokyo 2023



Message from the Director of d.lab

東京大学大学院工学系研究科附属システムデザイン研究センター (d.lab)

黒田 忠広

Chris Miller氏が著した『CHIP WAR』が多くの人に読まれています。副題にThe fight for the world's most critical technologyとあるように、国家間の攻防の歴史が克明に描かれています。

CHIP WARは一面でしかない、別の未来も描ける。そう考えた私は、『半導体民主主義』という原稿を書きました。『半導体超進化論—世界を制する技術の未来—』とタイトルを変更して出版されています。

この本で描いた未来像は以下のとおりです。

◇◇◇◇◇◇◇◇ (あとがきより)

半導体民主主義と半導体戦争はコインの表裏である。私はこの本で半導体民主主義を描きたかった。

19世紀にビスマルクが「鉄は国家なり」と演説した。そして鉄は近代都市をつくり、兵器を生んだ。

現代では半導体の技術覇権が争われる。「半導体は国家なり」である。半導体が何をつくりだし、何を破壊するのか。私たちの創造力と知恵が試される。

チップメーカーは、次世代チップの生産をめぐる熾烈な争いを繰り広げている。

しかし、もはや一つの企業や国家では抱えきれないほどに半導体は巨大な技術集積体となりつつある。グローバルコモンズ人類共有財産として考えるべきであろう。

半導体戦争を煽るのではなく、チップネットワークを構築しなければならない。

技術はますます複雑化する。だから、木を見て森を見ずではいけない。森を育てること、つまり豊かな産業エコシステムをつくるのが、これからの世界の課題である。

それを考えるうえでヒントとなったのが、植物だ。

鮮やかに瑞々しく地球を覆いつくす植物。今日の地球をつくりあげた大革命は、植物が「花」を持ったことで引き起こされた。

花と昆虫の間に「共生」関係が生まれ、互いが互いを進化させる進化の応酬である「共進化」が起こったのである。

花の誕生をきっかけに生き物たちの進化が一気に加速した。

ダーウィンが唱えた進化論では、生存に有利なものが生き残り子孫を残す。つまるところは、この世は競争。しかしながら、最新の科学で解明されようとしている生き物たちの隠された進化の仕組みは、競争だけでなく互いを支え合う協力のルール、つまり「超進化論」である。

「半導体の森」を豊かにするためには、「花」を見つけることが大切であろう。そう考えながら、本書では「半導体の超進化論」を説いた。

まずは、高性能な半導体をいかに製造するかをMore MooreとMore than Mooreの観点で説明した。

次に、高性能な半導体で何を生み出すかをイノベーションの観点、すなわちMore Peopleの観点で考えた。

半導体を競争の時代から共生・共進化の時代に進めるために、半導体の「花」を見つけることができるだろうか。半導体がグローバルコモンズになるためには、お金やムーアの法則以上のものが必要になる。

それは、多くの人を惹きつけること。

More Peopleだ。

◇◇◇◇◇◇◇◇

1点、アジャイルについて、補足します。

◇◇◇◇◇◇◇◇ (1章4節「半導体の森 ～共生と共進化」より)

やがて、花は新しい能力を身につけた。

世代交代のスピードアップである。受粉から受精までに要する時間を1年から数時間に縮めた。これがすべての生物の進化を加速したのだ。

$$y = a (1+r)^n$$

これは複利計算の式である。rが利率でnが運用回数。元本のaが小さくても長く運用すれば将来価値が大きくなる。nを1/tで置き換えれば、デジタル経済の基本式になる。tは開発のサイクルタイムである。この式は、チップの性能向上にも会社の成長にも当てはまる。

いいかえると、高速サイクルで改良を何度も繰り返すことが、デジタル経済の成長戦略である。改善率 (r) よりも改善回数 (n) を大きくすること、つまり開発のサイクルタイム (t) を短くすることが肝要である。

だからアジャイルなのだ。

◇◇◇◇◇◇◇◇◇◇

この本には、d.labの基本思想が記されています。お手にとってご覧いただけると幸いです。

黒田 忠之



2023
Systems Design Lab, School of
Engineering,
(VLSI Design and Education Center),
The University of Tokyo
Annual Report

C O N T E N T S

巻頭言

ご挨拶……………1

第1章 d.labの紹介……………4

第2章 d.lab事業の紹介と2022年度事業報告……………5

- 2.1 先端設計研究部門……………5
- 2.2 先端デバイス研究部門……………10
- 2.3 基盤設計研究部門……………11
- 2.4 基盤デバイス研究部門……………14
- 2.5 「アドバンテストD2T寄附講座」活動報告……………17

第3章 d.lab概要……………20

- 3.1 組織概要……………20
- 3.2 人事報告……………21
- 3.3 決算報告……………25

第4章 研究報告 – 各研究室 –……………27

- 4.1 全体概況……………27
- 4.2 研究室構成員(2022年度)……………28
- 4.3 研究概要……………32
- 4.4 研究発表……………46
- 4.5 特許,受賞等……………79

付録(Appendix)……………82

- A. 旧VDEC事業関連……………82
 - A.1 CADソフトウェアの整備……………82
 - A.2 基盤設計研究部門におけるチップ試作支援の実施状況……………83
 - A.3 セミナー……………86
 - A.4 VDEC発ベンチャー……………88
- B. チップ試作結果報告……………89
 - B.1 試作ラン別一覧……………90
 - B.2 チップ種別一覧……………94
 - B.3 各チップの詳細……………97
- C. Publication list……………130
- D. VDECの利用規程・申し込みガイド……………161
- E. IPデータベースの整備……………166

第1章 d.labの紹介

1996年に大規模集積システム設計教育センター (VDEC) が設立されました。当時は、日本の半導体が世界の半導体市場 (5兆円) の5割を占めており、即戦力となる人材が求められました。VDECは、世界に類のない卓越した教育を行い、優れた人材を半導体産業界に輩出してきました。

しかし、彼らはその才能を遺憾なく発揮できたでしょうか。この四半世紀の間に、世界の半導体産業は年率7%の高成長を遂げたにもかかわらず、日本の半導体は徐々にその地位を低下させ、現在のシェアは市場 (50兆円) の1割程度に落ち込んでいます。

半導体ビジネスは、汎用チップを大量生産する薄利多売のビジネスです。汎用チップが大量に売れる理由は、コンピュータがメモリとプロセッサで構成できるフォン・ノイマン・アーキテクチャを採用しているからです。日本はメモリデバイスのイノベーションで世界をリードしましたが、ビジネスでは資本競争に敗れました。

大量生産・大量消費には、しかしながら限界があります。環境負荷が過大となり、世界はエネルギー危機に直面しています。ビッグデータをAIで分析するためには、さらに大きな電力が必要になります。

そこでついに、ゲームチェンジが起きました。半導

体メーカーから汎用チップを調達していたのでは競争に勝てない、そう考えたGAFAなどの巨大IT企業が専用ロジックチップの自社開発に乗り出したのです。

こうした時代のうねりの中で、東京大学は2019年の10月にシステムデザイン研究センター (d.lab) を開設し、11月にはTSMCと戦略的提携を結びました。d.labには、VDECと武田クリーンルームを運営する基盤設計研究部門と基盤デバイス研究部門に加えて、先端設計研究部門と先端デバイス研究部門が創設されました。2020年の10月からd.lab協賛事業を開始し、協賛会員は現在40社余りに増えています。

加えて、2020年の8月に先端システム技術研究組合 (RaaS) を設立して、産学官連携の体制を整えました。d.labとRaaSのオープン・クローズ戦略を両輪にして、学術・社会連携と産学協創を推進しています。研究の目標は、半導体のタイムパフォーマンスを追究すること、すなわちエネルギー効率と開発効率を10倍高めることです。

日本は、工業・情報社会から人間中心の社会「Society5.0」を目指しています。知価社会において、半導体は産業のコメから社会の神経細胞へと進化します。

半導体戦略はどうあるべきでしょうか？その答えを探すのがd.labのミッションです。

第2章 d.lab事業の紹介と2022年度事業報告

2.1 先端設計研究部門

2.1.1 先端設計研究部門の事業概要紹介

先端設計部門は、教授4名、准教授1名、講師1名、特任教授1名、上席研究員1名、特任研究員1名（兼務含）で構成されており、エネルギー効率と設計効率の高い半導体集積回路の設計を目指しています。

2022年8月に国立研究開発法人新エネルギー・産業技術総合開発機構（以下「NEDO」）の「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発／研究開発項目④AIエッジコンピューティングの産業応用加速のための技術開発」の中で、「万能高位合成と新型汎用データフロー計算機構」を研究テーマとして、日本電気株式会社と東京大学とキャノン株式会社が実施予定先として採択されました。本研究は2025年3月31日までの期間で行う予定であります。

各研究室での研究とは別に、組織として大きく2つの活動を行っています。1つ目は、d.lab協賛事業です。これはd.lab内の他部門の方々にもご協力いただいているものです。2つ目は、先端システム技術研究組合への参画です。本節では、これら2つの2022年度の活動について報告いたします。

2.1.2 d.lab協賛事業

システムデザイナーと半導体関連事業者が集い、情報・意見交換を行い、学術・社会連携をオープンに議論する国際知能センターを目指してd.lab協賛事業を2020年度に開設しました。IoT、AI、5G、自動運転・制御、ヘルスケアなどのシステムデザイナーのアイデアと、先端CMOSや3D集積などの先進半導体技術と、それを支える素材や製造装置を結びつけるハブを目指しています。2022年度は、昨年度よりも6社増え、最終的に49社にご参加いただきました。表2.1.1が2022年度の協賛会員企業一覧です。参加いただいた各社の皆様にこの場であらためてお礼申し上げます。

2022年度は、コロナ禍の影響が幾分和らいだので、協賛事業設立時の構想にあったようにd.labの研究成果の報告にとどまらず、東京大学の著名教授や学生との交流、世界の大学や研究機関との交流、国際会議の情報提供、産業界のトップレベルの交流、TSMCなどの最先端技術の紹介や視察などを従来のWebinar形式の各種セミナーに加えたプログラムを構成できました。

以下2022年度の協賛事業の活動を報告いたします。2022年度も5月から3月のほぼ1年間にわたり活動を行いました。表2.1.2に2022年度に開催したセミナーの一覧を示します。

2022年5月25日に2022年度第1回イベントとして、MITテクノロジーレビュー受賞若手研究者による特別講演及びキックオフ行いました。2021年度MIT Technology Review Innovators Under 35を受賞した3名の若手研究者による次世代エレクトロニクス技術の講演会を開催し、引き続き2022年度の協賛事業の概要説明をいたしました。最初の登壇者は、モーションリブ株式会社 CEO 溝口貴弘様です。感触や力加減を制御するリアルハプティクス技術と、その中核となる半導体チップABC-COREを開発されました。繊細な作業が可能なロボットで人手不足の課題解決を支援する事業についてご講演頂きました。2番目の登壇者は、東京大学大学院工学系研究科 笹谷拓也特任助教です。部屋全体で充電できるワイヤレス充電技術を開発されました。「ケーブルのない」生活スタイルを実現に向け、ワイヤレス充電技術の中核とした応用技術の研究開発についてご講演頂きました。3番目の登壇者は、東京大学大学院附属システムデザイン研究センター 小菅敦丈講師です。超低消費電力のAIチップ技術を開発しておられます。少子高齢化社会における労働力不足解消に向け、工場や建設現場における自動化の普及・進化を可能にする、AIセンシング技術について講演いただきました。その後、d.labセンター長 黒田忠広教授より、22年度d.lab協賛事業の概要説明をさせていただきました。

6月22日には、IBM dayと題し、2021年1月に引き続き、IBM Albanyの御紹介、及びIBM Quantumコンピュータに関するアップデートを行っていただきました。本イベントは、Web通常の配信とあわせてIBM新川崎事業所（新川崎・創造のもり）で開催致しました。現地では講演の前後で量子コンピュータの実機の見学会を行っていただきました。また、ポスターセッションも合せて行いました。Albanyに関しては、IBM AI Hardware Centerで研究・開発している先進的AI Core, Chip, パッケージング、及びテスト環境の技術的アッ

プデット、及び参画方法の説明を、同社 山道新太郎様に行っていただきました。IBM Quantum コンピュータでは、技術、ロードマップ、また、ハードウェアを含めたエコシステム構築について、同社 中野大樹様、岩崎礼江様にご紹介いただきました。

7月20日には、2022 IEEE 72nd Electronic Components and Technology Conference (ECTC 2022) の報告会を行いました。本会議は、IEEE Electronics Packaging Society が主催するパッケージ、部品、マイクロエレクトロニクスシステムについての科学・技術について幅広く議論する、今年で72回目の開催となる伝統のある世界有数の国際会議です。今回は3年ぶりの現地開催となりました。技術プログラムは、パッケージング技術全般にわたる最先端の開発成果と革新技術をカバーし、先端パッケージング、モデリングとシミュレーション、フォトリソ、インターコネクション、材料とプロセス、信頼性、製造技術、コンポーネントとRF、および新興技術が主なトピックスとして構成されています。本報告会では、現行事業の主流技術である先端パッケージング技術と次世代のコア技術であるハイブリッドボンディング技術にフォーカスし、その技術動向とトピックスについて報告しました。

8月25日には6/12~6/17に米国ホノルルにて開催されたVLSIシンポジウム (The 2022 IEEE VLSI Symposium on Technology & Circuits) の報告会を行いました。本会議は、1987年以来、IEEE Electron Device Society/Solid State Circuits Societyと応用物理学会(協賛:電子情報通信学会)が主催する最先端の半導体デバイス・プロセス技術、半導体回路技術に関するマイクロエレクトロニクス業界のプレミア国際会議です。毎年、日米(京都/ホノルル)交互で開催され、今年も米国開催となりました。(コロナ禍の影響により今年も3年ぶりのリアルイベント)今年のテーマである「未来を担う不可欠な社会基盤のためのVLSIテクノロジーと回路」に基づいて、先端ロジックCMOS、メモリー、イメージセンサー、フォトリソ、機械学習、AI、デジタル、通信、アナログなどの最先端技術のプログラムで構成され、将来技術に対する開発・製造、人材育成の在り方なども議論されています。報告会では、回路・通信システム、AI・機械学習、先端CMOS、メモリー、3D集積にフォーカスし、その技術動向とトピックスについて報告しました。

10月26日には、昨年に引き続き、企業交流会を開催しました。皆様からのご要望に応え、今年度は武田先端知ビル5F 武田ホールでの現地開催が実現できまし

た。パネル展示を希望いただいた13社によるショートプレゼンテーションのあと、ホワイエにおいてポスター発表を行っていただきました。会員の皆さんに交流いただける場となり、主催者としてもうれしい限りのイベントでした。

11月29日には、TSMC 3DICセンター見学及び現地交流会を行いました。TSMCジャパン3DIC研究開発センターは、Taiwan Semiconductor Manufacturing Company (TSMC) が、台湾の以外で初めて設立した研究開発拠点です。昨年6月24日には政府要人等を含む来賓を招いたオープニングセレモニーが行われました。3次元(3D)実装を含め、後工程の重要性が高まる中、日本の材料/半導体製造装置メーカーや研究機関、大学と連携しながら最先端の3D IC実装の研究開発を行うことが目的とされています。同社のご厚意により、TSMCジャパン3DIC研究開発センターの見学会が実現しました。当日は、同センターのあるつくば中央駅に近いつくば国際会議場において、同社の講演を聞いた後、3班に分かれて同センターの見学を行いました。真新しいクリーンルームの中にまで入れていただき最新技術の説明を受けました。

先端半導体のさらなる高性能化の実現には、デバイスの微細化技術とチップレットに代表される先端パッケージング技術の両輪の進展が不可欠となっています。12月13日には、昨年に引き続きimec dayと題し、imecからこれらの領域を牽引しておられる幹部をお招きして、世界最先端の3Dシステムインテグレーション技術についてご紹介いただきました。同技術で世界をリードするimecのお話を生で聴ける絶好の機会となりました。「Future CMOS device scaling by 3D architectures」と題し、imec Logic CMOS device program directorである、Naoto Horiguchi様にご講演いただくとともに、「3D Integration Technology: Enabling Heterogeneous System Scaling」と題して、imec Senior Fellow, VP R&D, Program Director 3D System IntegrationであるEric Beyne様にご講演いただきました。

年が明けて2023年1月18日には、IEDM2022報告会を行いました。IEDM (International Electron Devices Meeting) はIEEEが主催するデバイス技術に関する世界最高峰の国際会議で、12月3日~7日にIn-personおよびOn-demandのハイブリッド形式で開催されました。IEDM会議全体概要の報告と先端CMOSデバイス技術・材料技術、不揮発メモリ技術、コンピューティング技術、3D集積技術にフォーカスした最新デバイス技術の動向についてd.lab教授陣が解説を行いました。

近年、ムーアの法則の限界が本格的に議論されるようになり、チップレットや3DIC半導体パッケージの開発が具体化してきました。半導体パッケージの集積度が高くなるに従い、適用される材料には高性能に加え、難度の高いプロセス適合性が要求されています。2月8日には、d.lab材料セミナーと題し、熱制御技術や最新のパッケージング技術とともに、d.labが描く材料戦略について紹介しました。東京大学生産技術研究所 野村政宏教授には、「半導体の放熱で重要となる熱輸送の物理と熱流制御技術」を、株式会社レゾナック 阿部秀則理事には、「新生レゾナックにおける共創型化学会社としての半導体材料開発の取組」をご講演いただきました。加えて、d.lab 山本和徳特任研究員より、「新d.labの描く半導体パッケージ材料戦略」と題して講演させていただきました。

2022年度のセミナーシリーズは、3月15日の2023 International Solid-State Circuits Conference (ISSCC2023)の報告会で結びました。ISSCCは今年で70周年を迎えました。機械学習用プロセッサ技術がますます盛んに議論される一方で、アジア地域が強いイメージ、メモリなども数多く発表されました。2月に開催された集積回路技術に関する最高峰の国際会議ISSCCから、今後の半導体産業を牽引するであろう集積回路技術の最新トレンドをISSCCの技術プログラム委員長などを歴任されてきた池田誠教授をはじめとするd.lab教授陣が解説しました。

2022年度の活動は、コロナ禍の状況を見極めつつ、リモートセミナーとリアルイベントを織り交ぜた開催としました。IBMやTSMCへの見学訪問など従来にはなかったような企画も組み込みことができました。引き続き2023年度も、会員と大学人、あるいは会員間の知的交流を活性化できるイベントの企画を行っていきたいと考えています。

2.1.3 先端システム技術研究組合

先端システム技術研究組合(RaaS: Research Association for Advanced Systems)は2020年8月17日に開設されました。RaaSは、データ駆動型社会を支えるシステムに必要な専用チップのデザインプラットフォームを構築し、オープンアーキテクチャを展開することで、専用チップの開発効率を10倍高めることを目標に掲げています。さらに、3次元集積技術を研究開発し、最新の7nm CMOSテクノロジーで製造したチップを同一パッケージ内に積層実装することで、エネルギー効率を10倍高めることが目標です。

我々は半導体ビジネスの主役が、汎用チップから専用チップに再びスイングすると考えています。その背景にはデータ社会特有の「エネルギー危機」があります。データが急増し、AI処理が高度化して、エネルギー危機に拍車がかかっています。このままいくと、2030年には現在の総電力の倍近い電力をIT関連機器だけで消費し、2050年にはそれが約200倍になると予想されています。デジタルトランスフォーメーションに莫大なエネルギーを費やして地球環境を破壊することになるのなら、サステイナブルな未来は望めません。

こうした状況下では、エネルギー効率を10倍高めた者だけが、コンピュータを10倍高性能にでき、スマートフォンを10倍長く使えます。あらゆるタスクをこなせる汎用チップに比べて、無駄な回路をそぎ落とした専用チップはエネルギー効率を桁違いに改善できます。専用チップが求められる理由がここにあります。さらに、AI処理に用いられる神経回路網はデータを並列処理するので、逐次処理をするフォン・ノイマン・アーキテクチャでは性能を引き出せません。AIアクセラレータのための専用チップが世界中で開発されています。また、ムーアの法則が減速していることも専用チップの時代の追い風になっています。

ところが、専用チップの開発は誰にでも簡単にできるものではありません。チップに集積されるトランジスタ数は世界人口を超えようとしています。開発費は近年急増して100億円にも達する勢いです。数100人の設計者を配しても開発に数年を要します。技術進歩が早い現代においては全く間に合いません。

ソフトウェアは、バグがあっても後でパッチを当てて修復できます。しかし、ハードウェアは完璧に仕上げなければなりません。ハードウェアはソフトウェアより設計が難しく、開発リスクが高く、“hard”です。

もし、ソフトウェアの開発に用いられるコンパイラのような技術がチップの開発にも用いられたならば、すなわちシリコンコンパイラができたならば、ハードウェアの開発費が下がりリスクも下がるでしょう。ハードウェア設計者の人口も増えます。やがてオープンソースの文化が根付き、エコシステムのネットワークが重層的に拡大発展すれば、マスコラボレーションも可能になるでしょう。そうなれば、まさにソフトウェアを書くようにチップを作ることができます。

かつてアラン・ケイが「ソフトウェアを本気で考える人たちは、自分でハードウェアを作ることになる」と言いました。システム開発には、ハードウェアとソフトウェアの両方が必要です。

私たちの目標は、シリコン技術の民主化 (democratize access to silicon technology) です。シリコンコンパイラをイノベーションし (design chips as writing software), 短時間でプロトタイプを作れる開発プラットフォームを創出します (agile authentic prototyping).

技術目標は、開発効率10倍かつエネルギー効率10倍です。開発効率を高めるために、アジャイル設計プラットフォームを創出し、オープンアーキテクチャを展開します。また、エネルギー効率を高めるために、チップを先端CMOS技術で製造し、3次元実装します。

半導体を製品として売るのではなく、サービスとして提供する。そのための技術をRaaS (ラース) は研究開発します。

RaaSは東京大学目白台インターナショナルビレッジ内に各組合員から研究員が集結し、互いに刺激しあいながら研究開発を遂行する計画でありましたが、コロナ禍においてはリモートワーク中心の活動形態をとっております。

2021年度には、国立研究開発法人新エネルギー・産業技術総合開発機構 (以下「NEDO」という。) の、「ポスト5G情報通信システム基盤強化研究開発事業／先端半導体製造技術の開発 (b) 先端半導体の後工程技術 (More than Moore技術) の開発」に係る公募にRaaSとして応募し採択されました。開発テーマは、「(b2) エッジコンピューティング向け実装技術」です。

2022年度は、システム系研究開発においては、7nmプロセスでの試作したチップの評価を進め、RaaSとして東京大学と共著で複数の学会発表を行ったことが成果です。テクノロジー系研究開発においては、前述のNEDOプロジェクトを柱に、ダイレクト接合3D積層技術開発 (WoWおよびCoW向け装置・プロセス開発) としてCu-Cuの低温ハイブリッド接合によるWoW (Wafer on Wafer) 接合技術及びCoW (Chip on Wafer) 接合技術の構築とその実装化に取り組んでおります。

表2.1.1 2022年度d.lab協賛会員 (50音順)

アオハ株式会社
旭化成エレクトロニクス株式会社
株式会社アドバンテスト
アナログ・デバイセズ株式会社
ウシオ電機株式会社
オルガノ株式会社
キオクシア株式会社
ギガフォトン株式会社
株式会社神戸製鋼所
株式会社コベルコ科研
株式会社サムスン日本研究所
シーメンスEDAジャパン株式会社
JSR株式会社
株式会社JCU
信越化学工業株式会社
株式会社SCREENホールディングス (RaaS)
住友商事株式会社
株式会社ソシオネクスト
ソニーグループ株式会社
ダイキン工業株式会社 (RaaS)
大日本印刷株式会社
株式会社ディスコ
東京エレクトロン株式会社
東京応化工業株式会社
東洋紡株式会社
東レ株式会社
凸版印刷株式会社 (RaaS)
長瀬産業株式会社
株式会社ニコン
日本アイ・ビー・エム株式会社
日本ケイデンス・デザイン・システムズ社
日本シノプシス合同会社
日本電子株式会社
株式会社ネクスティ エレクトロニクス
パナソニック インダストリー株式会社
パナソニック コネクタ株式会社 (RaaS)
株式会社半導体エネルギー研究所
株式会社日立製作所 (RaaS)
富士通株式会社
富士フイルム株式会社 (RaaS)
マイクロンメモリ ジャパン株式会社
三井化学株式会社
三菱ケミカル株式会社
三菱電機株式会社
株式会社ミライズテクノロジーズ (RaaS)
株式会社村田製作所
ルネサス エレクトロニクス株式会社
株式会社レゾナック
ローム株式会社

表2.1.2 2022年度d.lab協賛事業セミナー

開催日	タイトル	講師
2022/5/25	MITテクノロジーレビュー受賞若手研究者による特別講演及びキックオフ	モーションリブ株式会社 CEO 溝口貴弘様 東京大学大学院工学系研究科 笹谷拓也特任助教 d.lab 小菅敦丈 講師 d.lab 黒田 忠広 教授
2022/6/22	IBM day	IBM 中野 大樹 様 IBM 岩崎 礼江 様 IBM 山道 新太郎 様
2022/7/20	ECTC 2022 報告会	d.lab 竹内 魁 特任研究員 d.lab 川野 連也 特任研究員 d.lab 丹羽 正昭 上席研究員 d.lab 高木 剛 主幹研究員
2022/8/25	VLSIシンポジウム2022報告会	d.lab 濱田 基嗣 特任教授 d.lab 小菅 敦丈 講師 d.lab 平本 俊郎 教授 d.lab 高木 信一 教授 d.lab 小林 正治 准教授 d.lab 丹羽 正昭 上席研究員
2022/10/26	d.lab協賛企業交流会	d.lab 若林 一敏 上席研究員 株式会社アドバンテスト 株式会社神戸製鋼所 株式会社コベルコ科研 株式会社JCU 昭和電工マテリアルズ株式会社 大日本印刷株式会社 株式会社ディスコ 東洋紡株式会社 東レ株式会社 株式会社ニコン 日本ケイデンス・デザイン・システムズ社 三菱ケミカル株式会社 ルネサス エレクトロニクス株式会社
2022/11/29	TSMC 3DICセンター見学及び現地交流会	d.lab 黒田 忠広 教授
2022/12/13	imec day	imec Dr. Naoto Horiguchi imec Dr. Eric Beyne
2023/1/18	IEDM2022報告会	d.lab 平本 俊郎 教授 d.lab 高木 信一 教授 d.lab 小林 正治 准教授 d.lab 竹内 健 教授 d.lab 高木 剛 主幹研究員
2023/2/8	d.lab 材料セミナー	東京大学生産技術研究所 野村 政宏 教授 株式会社レゾナック 阿部 秀則 理事 d.lab 山本 和徳 特任研究員
2023/3/15	ISSCC2023報告会	d.lab 池田 誠 教授 d.lab 小菅 敦丈 講師 d.lab 濱田 基嗣 特任教授 d.lab 飯塚 哲也 准教授 d.lab 竹内 健 教授

2.2 先端デバイス研究部門

先端デバイス部門では、データ駆動型システムを実現するため半導体システムのエネルギー効率を10倍改善することを目指し、3次元集積技術と先端デバイス技術の研究を行っている。

2.2.1 構成

教授	高木 信一
教授	平本 俊郎 (部門長)
教授	染谷 隆夫
教授	内田 建
准教授	小林 正治
上席研究員	丹羽 正昭
主幹研究員	高木 剛
特任研究員	山本 和徳
特任研究員	最上 徹
特任研究員	川野 連也
特任研究員	二宮 健生
特任研究員	王 俊沙

2.2.2 事業報告

データ駆動型社会の実現を目指して、エネルギー効率10倍を可能とする次世代3D集積技術のコアとなるプロジェクトを行っている。AIをはじめ大量のデータ処理を必要とするコンピューティング技術において、メ

モリとプロセッサとの間の大量で頻繁なデータ移動に伴うエネルギー消費が大きな課題となっている。そのような課題を解決する技術として、チップレベルもしくはウェハレベルで直接接合を形成して、データの移動距離を短縮しエネルギー効率を高めるダイレクト接合3D積層技術に注目し研究を行っている。

2021年度に採択されたNEDO事業「ポスト5G情報通信システム基盤強化研究開発事業／先端半導体製造技術の開発(助成)」において、d.labが組合本部となり運営している3D集積技術に関する技術研究組合である先端システム技術研究組合 (Research Association for Advanced Systems : RaaS) が、『ダイレクト接合3D積層技術開発 (WoWおよびCoW向け装置・プロセス開発)』というテーマにRaaS組合員企業とともに取り組んでいる。Cu-Cuの低温ハイブリッド接合によるWoW (Wafer on Wafer) 接合技術及びCoW (Chip on Wafer) 接合技術に関するチョークポイント技術の開発とその実装化を目指したプロジェクトである。

今年度は、プロジェクト2年目にあたり、主要な設備の導入・立ち上げと、要素技術の構築に注力している。プロジェクトは順調な立ち上がりを示し、概ね計画通り進行している。2023年12月に予定されている中間ゲートの目標値達成に向け研究開発を加速している。

2.3 基盤設計研究部門(旧VDEC部門)2022年度事業報告および2023年度事業計画

2.3.1 基盤設計研究部門概要

東京大学大規模集積システム設計教育研究センター(VDEC)は、1996年の発足以来『LSI教育情報の発信拠点形成』、『VLSI設計支援教育用CADソフトウェアの整備』、『VLSIチップ試作支援』を3つの柱として、日本の大学・高専における集積回路設計教育に資する事業を展開してきた。2019年10月1日に東京大学における、半導体集積回路関係の強化を目指した組織改編により、東京大学大規模集積システム設計教育研究センターは東京大学大学院工学系研究科附属システムデザイン研究センター(d.lab)へと改組され、その中で、基盤設計研究部門がこれまでのVDECの担ってきた機能を引き続き担い、シームレスに活動を継続している。ここでは、d.lab基盤設計研究部門の活動内容に基づき、以下に2022年度の概要を報告する。

VDECの使命は全国の国公立大学および高専のLSI設計研究・教育を高度化し、産業界に対しても優秀なLSI設計技術者を数多く送り出すことである。VDECの発足より27年経過し、各大学におけるCADソフトウェアの利用技術教育やLSI設計・設計フローに関する教育の充実が図られている。その一方で、先端のLSI設計技術およびそれに対応するCADソフトウェアは一層複雑化し続けている。そのため、CADツールの導入に際しては、CADベンダーから講師を招いてのセミナーの開催を継続しており、参加者の利便を図るために2009年度より東京での開催と同時に映像配信による拠点校での遠隔受講としている。VDECとしては各ユーザ研究室内で“技術伝承”され、VDEC主催のセミナーがトリガーとなって最新のCAD利用技術が全国的に広がることを期待している。なお、2022年度においては、すべてのセミナーをオンラインで実施している。一部の項目に関しては、オンデマンド+ライブQ&Aという形で実施し、参加への利便性の向上への取り組みを行った。また、各社のツールチェーンが複雑化し導入しているツールを十分に使いこなすことが困難となっているという現状を鑑み、各ツールベンダーの推奨するツールチェーンに関する講演会もツールセミナーの開催に合わせる形で実施した。なお、2019年度末からのCOVID-19感染拡大を受けて、各EDAベンダーからEDAツールの自宅からの利用に関する許諾を受け、2022年度においても、日本国内における集積回路設計研究・教育に遅滞の生じないよう取り組んだ。

2.3.2 基盤設計研究部門における教育の実施状況

LSI設計フローセミナーはLSI設計の基本概念教育と複数のCADツールを連携する実用的設計例の体験教育である。この目的でVDECでは社会人のリフレッシュ教育プログラムと兼ねてLSI設計教育セミナーを開催してきたが、2022年度は開催を断念している。

これらセミナーに加えてVDECでは年1回、若手教官と学生を中心としたVDEC デザイナー・フォーラムを開催している。これはワークショップ形式の会合であり、企業・大学からの招待講演に交えて、参加者が設計事例を持ち寄ってその成功談、失敗談を交換する。これから設計を始めたいと考えている学生・教官もここでさまざまなノウハウを得ることができる。2022年度はVDEC デザイナー・フォーラムを9月30/10月1日に温泉ゆぼぼ秋田芸術村にてハイブリッド開催した。2011年度から、VDEC活動における表彰として「IEEE SSCS Japan Chapter VDEC Design Award」の最終審査・表彰をVDECデザイナー・フォーラムの場で行っており、2022年は、IEEE SSCS Japan Chapter VDEC Design Awardとして、東京大学の島田泰慎さん、4件のVDEC デザインアワード優秀賞、(島田泰慎(東京大学)、フーシー(東京工業大学)、李政(東京工業大学)、岡田竜馬(奈良先端科学技術大学院大学)、3件のVDEC デザインアワード奨励賞(渡部吉祥(東北大学)、長田将(東京大学)、山口駿(京都大学))、1件のVDEC デザインアワードアイデアコンテスト部門嘱望賞(三井健司(大阪大学))を授与した。

このようなセミナー、フォーラムを通じた教育システムによりLSI設計の基本的項目を学習できるようになっているが、それでも実際のLSI設計の場面では、さまざまな困難に直面することが多い。初心者にとってはCADソフトウェアのセットアップは最大の問題である。セットアップの後もCADソフトウェアが発する“難解なエラーメッセージ”でとまどうことも多い。このような場合に力を発揮するものがVDECメールグループである。VDECユーザはVDECのホームページからCADメールグループや試作技術対応のユーザグループに登録することができ、そこに直面する疑問点を投稿し、助けを求めることができる。メールグループの登録ユーザはそれに回答する義務を負っているわけではないが、ほとんどの場合、数時間から数日以内に経験豊かなユーザからの支援を得ることができる。ぜひこの仕組みを活用することで問題解決の一助としていただきたい。

2.3.3 基盤設計研究部門における発表文献の推移

図2.3.1にVDECに関する発表文献のVDECファシリティ利用状況を示す。論文執筆に当たりCADソフトウェアが幅広く利用されていることが確認できる。CADソフトウェアはチップ設計だけでなくチップ試作の準備段階で利用される場合が多いため、研究の基本アイデアを実証するツールとしての貢献度も大きい。

2.3.4 基盤設計研究部門におけるAIチップ設計拠点活動概況

平成30年度（2018年度）から東京大学VDEC、国立研究開発法人産業技術総合研究所が共同でNEDOから受託している「AIチップ開発加速のためのイノベーション推進事業／研究開発項目②：AIチップ開発を加速する共通基盤技術の開発」により、国内のベンチャー・中小企業向けのEDA利用・設計環境を構築し、AIチップ設計拠点として活動を行っている。本活動では、ベンチャー・中小企業がエンジニアリングサンプルまで試作可能なEDAツールライセンスの導入に加え、40nm、28nm、12nm向けのIPを導入、また、同プロジェクト開始時に経済産業省からの補助金により導入された、ハードウェアエミュレータによる大規模・高速設計検証環境の提供を行っている。2020年度にNoCおよびPCIe、DDR4などを備え、複数の機能IPコアを搭載可能なSoCプラットフォームのAI-One設計を行い、利用者の設計したAI IPコアを複数搭載したSoCとしてテープアウトを行ったものが、組み立て等の関係で大幅に遅れて2022年1月に納品され1週間足らずでSoCの基本機能の検証、2021年度中にほぼすべてのIPコアの基本動作の確認が完了するという大きな成果を上げている。さらに2022年6月には12nmで4種類のAI IPコアを搭載したAI-Twoの設計試作を行い2023年3月までにす

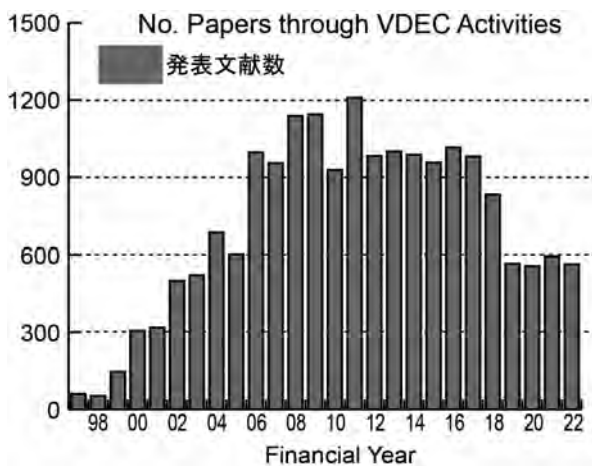


図2.3.1 VDECを利用した発表文献数の推移

べてのIPコアのデモの実現を行っている。また、同活動をより強化するために、2019年9月1日に、「産総研・東大 AIチップデザインオープンイノベーションラボラトリ」(AIDL)を東京大学浅野キャンパス武田ビル内に設置し研究を加速させている。

2.3.5 基盤設計研究部門の2023年度の活動計画

2023年度においても、従来通りアカデミック向けの活動を継続する。

【設計情報発信・セミナー開催】

本年度は、1997年度より継続しているCADツール利用法に関する技術セミナー、1998年度から継続している社会人向けの「リフレッシュセミナー」、1996年度より継続している若手のための「デザイナーズフォーラム」を継続して開催する。教科書、教材の整備充実を行なうことを予定している。

【CADツール提供】

上流設計（Cadence, Synopsys）、中流設計（Synopsys, Cadence）、下流設計（Cadence）の各基本ツールを、2023年度もサポートしていく。これに加え2002年度から導入した設計検証（Mentor: Caribre, ModelSim, Catapult等）、2004年度から導入したアナログRF設計ツール（Agilent: ADS/EMPro/GoldenGate）を継続してサポートするとともに、2005年度より提供を受けている

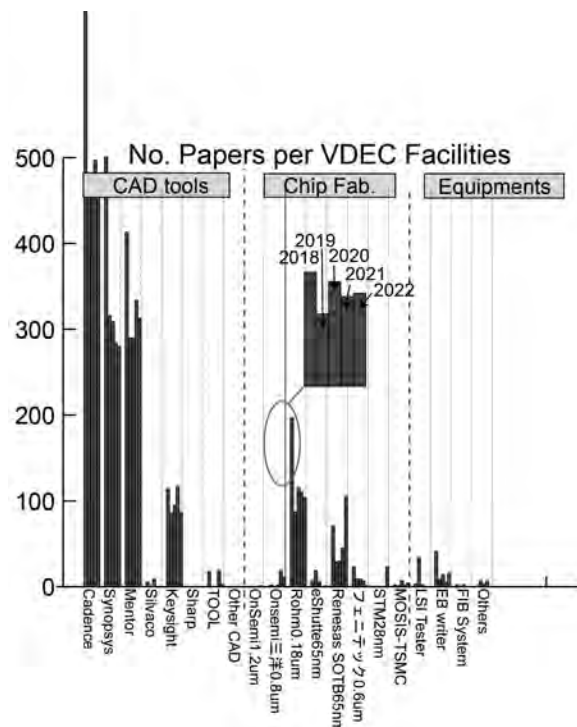


図2.3.2 VDECファシリティ利用状況

Sharp社Cベース設計ツール（BachC）を継続してサポートする。2008年度より提供を開始しているTOOL社レイアウト表示プラットフォーム（Lavis）に関しても利用状況に基づき継続を行うとともに、2011年度からのSpringSoft社の検証ツールは、SpringSoft社がCadence社に買収されCadence社のツール群としてのサポートが継続されることになっている。

【チップ試作支援】

2023年度は、2022年度から引き続きローム株式会社の0.18umCMOSプロセスおよびオンセミ-三洋半導体0.8umCMOSを定常試作として継続する（すでに一部の試作は進行中である）。なお、一部のチップ試作に関

しては試作申込数が少ない場合に試作キャンセルとなることがある。また、2020年度に検討を開始した、IHP SiGeBiCMOS 0.18um試作を継続する。

【その他】

経済産業省・NEDOの「AIチップ開発加速のためのイノベーション推進事業」における「AIチップ開発を加速する共通基盤技術の開発」事業が2023年3月に終了し、この事業を自立して活動するために、「産総研・東大 AIチップデザインオープンイノベーションラボラトリ」（AIDL）第2期を東京大学浅野キャンパス武田ビル内に設置し、AIチップの設計・評価・検証等の開発環境を中小・ベンチャー企業への提供を継続している。

表2. 3. 1 VDECチップ試作スケジュール（2023年度）

【CMOS 0.8μ m 2P2M】 オン・セミコンダクタ

	試作申込締切	設計締切	納品・試作完了
2023年度第1回	2023/7/3	2023/9/25	2023/12/18
2023年度第2回	2023/1/9	2023/3/25	2023/6/24

【CMOS 0.18μ m 1P5M (+MiM)】 ローム株式会社

	試作申込締切	設計締切	納品・試作完了
2023年度第1回（2023年7月試作）	2023/4/3	2023/6/26	2023/10/13
2023年度第2回（2023年9月試作）	2023/6/12	2023/9/4	2023/12/16
2023年度第3回（2023年11月試作）	2023/7/31	2023/10/23	2024/2/9
2023年度第4回（2024年3月試作）	2023/12/4	2024/2/26	2024/6/7

2.4 基盤デバイス研究部門

2.4.1 基盤デバイス研究部門のミッション

d.lab 基盤デバイス研究部門は、自らも現役研究者としてクリーンルームにおいて実験研究を牽引する三田吉郎教授を部門長とし、関連専攻（総合研究機構、電気系工学専攻、機械系工学専攻等）と人的・予算的協力を行いながら、高度微細デバイス研究の必須3要素（後述）を整備・運営・研究する30名規模のチームである。特に令和4年度は、武田先端知に集う人的知を研究レイヤーで見える化するために新しく二つの組織が成立した。一つ目は「ナノシステム集積センター（NanoHub）」であり、このうち三田教授はデバイス試作研究部門長を務め、デバイス研究の国際共同研究を含む活発化を目指す。二つ目は基盤デバイス研究部門の寄付講座「ナノシステム集積技術の創製」である。これは、「武田先端知に集う技術を再利用可能な形で蓄積し、新たな共同研究で展開をする」という主旨に武田先端知がゆかりとなった寄付者の賛同を得て設立したものであり、令和4年度より5年間存続する。

集積回路に代表される半導体エレクトロニクス素子、センサ・マイクロシステムなど新規分野の研究には、①加工・計測装置への膨大な設備投資と、②学問に裏付けられた微細加工技術の厚い蓄積、そして③最先端の加工技術を開拓する研究開発力が必須である。上記高度微細デバイス研究の必須3要素は、個々の研究室で開発され、個々の研究室に知見が蓄積されるのが20世紀後半の我が国の大学における基本形態であった。しかしながら、加工・計測装置は年々高度化・大型化し、21世紀に至り、潤沢に資金を持つ研究室であっても一流装置の調達そして維持が困難な時代となった。もと

より大学高専、企業や国研、NPOにおける個々の研究室全てが等しく潤沢に巨額の資金と潤沢な人的リソースを「独占所有」することは不可能であるが、1996年のVDEC設立時に整備した「集積回路設計研究におけるシェアードエコノミーモデル（ファウンドリ）」を微細加工・計測研究分野に対して水平展開し、何人に対しても開かれた「オープンプラットフォーム」を整備し運用する「互助」の仕組みを成立させられれば、恵まれた環境を「等価的に所有（共有）」でき、全国津々浦々で最先端研究を実施することができる。

上記目的を達成するためにd.lab基盤部門では、2001年に武田郁夫氏（現アドバンテスト創業者）による工学系研究科（小宮山宏工学部長）及び大規模集積システム設計教育研究センター（浅田邦博センター長）に対して行われた巨額の寄付により、2003年12月に竣工した「武田先端知ビル」地下スーパークリーンルーム（ISOクラス3、実測クラス1を含む600㎡）、及び上層階スペースの固有面積および借室面積を利用、価値総額43億円を超える一流の微細加工・計測装置を戦略的に展開、共用授業を展開している（図1）。管理する公開装置は、アドバンテスト株式会社大浦会長決断の寄付による「世界最速」高速電子線描画装置F5112+VD01に始まり、平成24年度補正予算（アベノミクス「第一の矢」）によって導入された高精細電子線描画装置F7000S-VD02、シリコン高速深掘りエッチング装置SPTS MUC-21 ASE-Pegasus、研究室レベルで導入できる最も高精細なクラスの走査型電子顕微鏡Hitachi Regulus SU8230等約100台であり、洗浄、製膜、リソグラフィ、エッチング、組み立て、評価プロセスの大半をカバー



図1 武田先端知スーパークリーンルーム沿革

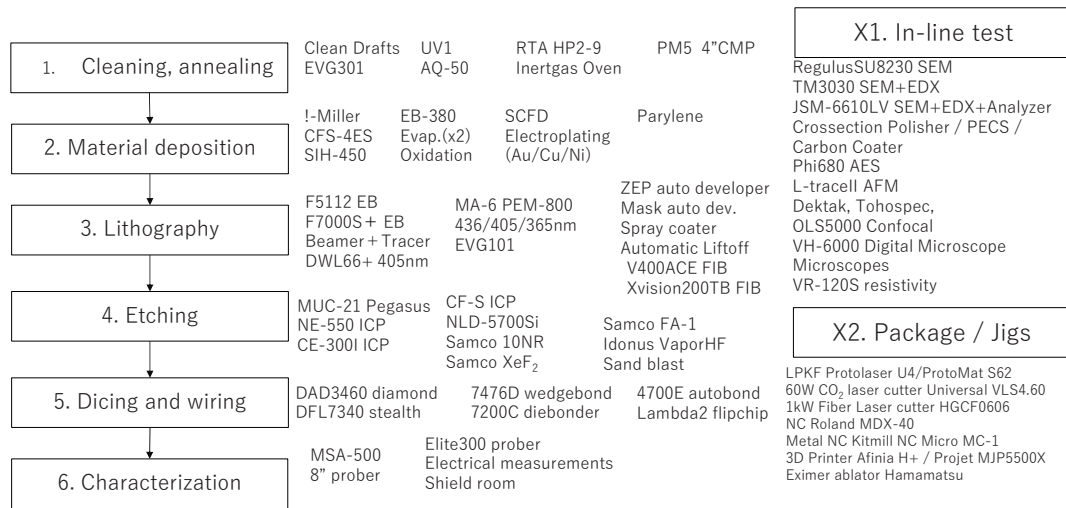


図2 d.lab基盤デバイス部門が管理公開する共同利用装置（抜粋）

している。現時点でカバーできていない技術分野の装置は、ナノテクノロジープラットフォーム16拠点のネットワークによって提供している。

2.4.2 基盤デバイス研究部門が運営する「武田先端知クリーンルーム」共有環境

拠点は、文部科学省事業(2020-2031)「マテリアル先端リサーチインフラ事業東京大学ハブ微細加工拠点」または「武田先端知クリーンルーム」と呼ばれ、「装置共用という価値観を共有する者」に対して広く開かれている。単なる試作の外注先ではないと、利用者一人一人が自覚することが非常に大切であり、「自助・共助・公助」という価値観を理解し共有することによって初めて、研究室運営者としての自分が当然支払うべきコスト（人的、金銭的、時間的）を最低限に抑えて直ちに最先端の研究が展開できる。価値観の共有による利益は例えば、建物も含め83億円を超える施設整備費、年間3.5億円の運転経費、これらを整備し先端プロセスの知見を蓄積していた20年という時間の短縮効果である。このように絶大な効果のため、多数の研究室の賛同を得ている。賛同研究室数は過去12年で550研究室を超え、登録者は年間1062名となった。

運用は「自助・公助・共助」を旨とし、利用者負担金（内規に基づく）、d.lab運営費交付金、文部科学省ナノテクノロジープラットフォーム事業、関連研究室（武田先端知ビルおよびクリーンルームの借室研究室）やd.labと直接共同研究関係のある企業等からの研究資金を収入とし、それぞれの予算用途を厳密に区分して各種法規規則や命令を完全に遵守して公正に運用している。運転資金年間3.5億円の内訳は大づかみに整備費、電気代・修理費・人件費からなる。特に昨今電気代の

負担増が厳しい。法人化以降、中期計画に基づいた弾力的な運用が可能であり、節約できた運営費を原資として職員の安定雇用や小・中規模装置の更新、増強に割り当てている。

基盤デバイス研究部門では、多数の利用者が抱える微細加工への期待に日夜接することで、技術動向の「空気感」を持っている。需要が高く、分野を超えた普遍性が見込まれる基幹技術については自らのチームで技術開発を行い、積極的に論文発表して公共財とするように努めている。

さらに、d.labの一部門であるという「地の利」を活かし、集積回路素子（LSI）と新規MEMS構造の集積化、所謂「集積化MEMS」の研究開発を10年以上にわたって実践している。詳細は原著論文[2]にまとめているとおり、「LSIファウンドリ」機能によって、特定用途向け電子デバイスの搭載されたシリコンウエーハを協力会社（例：フェニテックセミコンダクター社）で試作し、取得したウエーハに対して武田先端知ビルスーパークリーンルームを始めとするオープンプラットフォームにおいて微細後加工を施し、センサ・アクチュエータ素子とする仕組みである。この仕組みによれば、信頼性が必要であるトランジスタ回路部分は全く苦勞することなく入手でき、新規機能であるために外注の引受先が存在しないMEMS部分は自前で行う。まさに「世界初の機能を」「世界最高の性能で」実現することが可能な、世界的にもユニークな仕組みといえる。企業も含む共同研究ベースで年1回の共同試作（固定枠方式）を行っている。

[2] Y. Mita et al., Japanese Journal of Applied Physics, **56**, p. 06GA03, 2017 (2017) DOI: 10.7567/JJAP.56.06GA03

2.4.3 基盤デバイス研究部門2022年活動報告

【受賞】 文部科学省事業ナノテクノロジープラットフォームでは、毎年3000件を超える利用報告書の中から特に優れた利用成果を有識者による委員会により数件選定、顕彰している。基盤デバイス研究部門が推薦した利用成果「静的・動的局所結晶格子制御による酸化物材料の機能創発」課題が秀でた利用成果最優秀賞を受賞した(図3) [3]。2019年の秀でた利用成果受賞、2020年の秀でた利用成果最優秀賞、2021年の秀でた利用成果最優秀賞に続く**四年連続**の受賞、**三年連続最優秀賞**の荣誉。このように、ナノプラ10年の歴史で誰にも超えられない領域に到達しつつあることが客観的に明らかになっている。受賞者は満を持して推薦した東京大学田畑仁教授(バイオエンジニアリング専攻)の研究であり、研究成果の学術的重要性はもちろんのこと、成果をベンチャー展開するにあたり電子デバイスとしての性能を短期間に検証できる武田先端知スーパークリーンルームの効能が認められた。

[3] <https://www.t.u-tokyo.ac.jp/press/pr2023-01-17-001>

【感染0&前年以上の利用成果を得る】 2020年度に引き続き、完全なパンデミック対策を施した、クリーンルームに入った後発症したケースがあった(利用者、業者等)が、伝染は0であった。年間アクセス回数は2万

回に至っており、本拠点で取っている感染症対策は有効であるという事実が着実に積みあがっている。

【ポストナノプラへの参画・採択】 クリーンルーム運営「公助」は、平成24年度より主にナノテクノロジープラットフォーム事業で賄われてきた。令和3年度で10年間の期限が終了したが文部科学省が中心となって、ナノプラのヘリテージを活かした、プロセスを含むマテリアルDX(デジタルトランスフォーメーション)事業が令和3年度より開始された。ナノプラは「構造解析・微細加工・分子物質合成」という分野別の横連携方式であったが、マテリアルDXでは「研究領域ごとのハブスポーク」方式となった。

d.lab基盤部門は、総合研究機構ナノ工学センターと連携し、さらに情報基盤センターを加えて、幾原雄一教授代表で計画に参画している。次世代X-nics研究拠点にd.labが採択され、その一部のプロジェクト実施のため同じく令和3年度、4年度にわたり措置され、装置整備が加速されている。年間運転経費3.5億円に加え、装置で45億円が世界一流のプラットフォームに伍すために必要で、定期的なメンテナンス(例えば14年償還とすると年間3億円ずつ)が引き続き必要とされているので、公助、共助、自助が手を携えながら引き続き「装置・技術・人」の集積化に努めてゆく。



図3 ナノテク展での受賞記念ポスターを前に関係者で記念撮影

2.5 「アドバンテストD2T寄附講座」活動報告

2.5.1 「アドバンテストD2T寄附講座」の紹介

2.5.1.1 アドバンテストD2T寄附研究部門（現寄附講座）設立の趣旨

これまでのVDECの活動を通じ、多くの大学・高専でVLSI設計・試作文化が根付き、活発な設計研究・教育活動が行われています。このような状況の中、株式会社アドバンテストからの寄附金により、「アドバンテストD2T寄附研究部門」が2007年10月にVDEC内に設立されました。「アドバンテストD2T寄附研究部門」は、全国の学生にVLSIの設計からテストまで一貫した研究・教育環境を提供することで、テスト設計の専門家となりえる人材を育成するとともに、SoCの設計に関する研究を支援することを目的としております。従来、VDECではVLSIの「設計・試作」という面からの活動を重点的に行ってまいりましたが、「設計」だけでなく「テスト」の観点からも研究・教育の中心拠点となるべく”Design to Test (D2T)”の理念のもと、国内

の大学・高専における「テスト研究・教育」の拠点としての活動を行っています。

当部門はこれまで2007年10月～2010年9月（第1期）、2010年10月～2013年9月（第2期）、2013年10月～2016年9月（第3期）、2016年10月～2019年9月（第4期）の計12年間に渡るプロジェクトを遂行してきました。東京大学大学院工学系研究科附属システムデザイン研究センター（d.lab）が2019年10月に発足後、D2T寄附研究部門は研究のさらなる発展、D2T教育により重心を置いた「アドバンテストD2T寄附講座」としてセンター内に設置されました。2019年10月から株式会社アドバンテストのご厚意により新たに開始した第6期（2022年10月～2025年9月）の1年目が開始いたしました。本報告は第5期の最終年度、2021年10月～2022年9月の活動報告となります。D2Tに関する研究とともに、教育活動の充実図っていく予定であります。当寄附講座の活動の詳細については、続く各章においてそれぞれ報告いたします。

アドバンテスト D2T 寄附講座 東京大学大学院工学系研究科附属システムデザイン研究センター
Systems Design Lab (d.lab)

第17回 D2Tシンポジウム

~ Verification for MRAM, Atomic clock, Memristor, Silicon photonics, III-V Nanowire electronics, and Millimeter-wave and THz wave ~

東京大学大学院工学系研究科附属システムデザイン研究センター（d.lab）では、株式会社アドバンテストからの寄附によるアドバンテスト D2T 寄附講座において、「D2T (Design-to-Test)」の理念に基づき、「設計」と「テスト」の橋渡しを目的とした研究・教育活動を行っています。その一環として開催して参りました D2T シンポジウムを今年も下記の通り開催いたします。当日までに数名のキーノートークが増える可能性がありますので、ウェブサイトでご確認をどうぞよろしくお願いいたします。

今回はハイブリッド開催をいたしますので、多くの皆様のご来場・ご参加を心よりお待ちしております。

2022

9/15

THU

ハイブリッド開催

10:00~18:00

武田先端ビル 5 階武田ホール + Zoom
同時通訳は Zoom 配信のみ

Keynote Speakers

 <p style="font-size: x-small;"><i>Measurement in millimeter-wave and THz wave band based on photonics</i></p> <p>Shintaro Hisatake Associate Professor Osaka University</p>	 <p style="font-size: x-small;"><i>High-density integrated optical transceiver based on silicon photonics technology</i></p> <p>Takahiro Nakamura Ph.D. AGI Corp. Co., Ltd.</p>	 <p style="font-size: x-small;"><i>Memristor-based ultra-rare networks</i></p> <p>Zhongrui Wang Assistant Professor Department of Electrical and Electronic Engineering of The University of Hong Kong</p>
 <p style="font-size: x-small;"><i>Reliability study of semiconductor P/QD memory using subnational analytical techniques</i></p> <p>Reika Ichihara Member of Memory Technology R&D, Renesas Corporation</p>	 <p style="font-size: x-small;"><i>Vertical III-V Nanowire Transistors and Diodes</i></p> <p>Katsuhiko Tomioka Associate Professor Fukuoka University</p>	 <p style="font-size: x-small;"><i>CLFS: Chip Level Integrated Frequency Standards: How do we approach the 10% of CLFS?</i></p> <p>Motoaki Hara Senior Researcher National Institute of Information and Communications Technology (NICT)</p>



参加のお申し込み

<http://www.vdec-u-tokyo.ac.jp/d2t2022symposium2022-j.html>

主催 東京大学大学院工学系研究科附属システムデザイン研究センター (d.lab)
 協賛 株式会社アドバンテスト
 協賛 (学外) (一社) 電子情報通信学会、(一社) 情報処理学会、IEEE SPSJ Japan Chapter、IEEE SPSJ Kansai Chapter、応用物理学会 島根県 MEMS 情報研究会、メカニクス学会、(一社) 電子情報技術産業協会、(一社) 日本半導体部品協会、SEM-Soft Co., (一社) P/QD-デバイス・イノベーション学協会、財団法人エレクトロニクスシステム株式会社

お問い合わせ 東京大学大学院工学系研究科附属システムデザイン研究センター、アドバンテスト D2T 事務局
 〒113-0032 東京都文京区湯島1-10-16 武田先端ビルA 404号室
 Tel. 03-5841-0233 FAX. 03-5841-1093 <http://www.vdec-u-tokyo.ac.jp/>
 E-Mail: np@dlab.dl.u-tokyo.ac.jp

2.5.1.2 アドバンテストD2T寄附講座構成員

特任教授	池田 誠
特任講師	肥後 昭男
博士研究員	Zolboo Byambadorj
共同研究員	浅見 幸司 (株式会社アドバンテスト研究所)
共同研究員	石田 雅裕 (株式会社アドバンテスト)
学術支援職員	山口 隆弘
事務補佐員	岡崎 真紀子

今回のシンポジウムでは、国内外から著名な招待講演者として香港大学のZhongrui Wang先生、キオクシアの市原麗華様、アイオーコアの中村隆宏様、岐阜大学の久武信太郎先生、NICTの原基揚先生、北海道大学の富岡克広先生をお招きし、最新の研究についての貴重な講演を頂きました。「ミリ波測定、シリコンフォトニクス、メモリ、メモリスタ、III-V族ナノワイヤデバイス、原子時計」をキーワードに最新の研究についての貴重な講演を頂きました。

このようなCOVID-19新型コロナウイルス感染症影響下でしたので、ハイブリッド開催とはなりましたが、大変盛況な会となりましたことを改めて御礼申し上げますとともに、2023年9月8日(金)に開催する第18回シンポジウムは対面実施をいたしますのでご参加を心よりお待ちしております。

2.5.2 「第17回D2Tシンポジウム」開催報告

2022年9月15日(木)に、オンライン(一部ハイブリッド)開催による「第17回D2Tシンポジウム」を開催し、たくさんの皆様にご参加を頂きました。

17th D2T Symposium Program ONLINE September 15, 2022

10:00	Opening Remarks Makoto Ikeda (d.lab, School of Engineering, the University of Tokyo) Yoshiaki Yoshida (President & CEO, ADVANTEST CORPORATION)
10:10	Session 1 (Chairperson: Tetsuya Iizuka, d.lab, the University of Tokyo) <i>Measurements in millimeter-wave and THz wave band based on photonics</i> Shintaro Hisatake , Associate Professor (Gifu University) <i>High-density integrated optical transceiver based on silicon photonics technology</i> Takahiro Nakamura , Ph.D. (AIO Core Co., Ltd.)
11:40	Lunch
13:10	Session 2 (Chairperson: Atsutake Kosuge, d.lab, the University of Tokyo) <i>Reliability study of ferroelectric HfO2 memory using advanced analytical techniques</i> Reika Ichihara (Institute of Memory Technology R&D, Kioxia Corporation) <i>Memristor-based echo state networks</i> Zhongrui Wang , Assistant Professor (Department of Electrical and Electronic Engineering at the University of Hong Kong)
14:40	15min break
14:55	Session 3 (Chairperson: Yoshio Mita, d.lab, the University of Tokyo) <i>Vertical III-V Nanowire Transistors and Prospects</i> Katsuhiko Tomioka , Associate Professor (Hokkaido University) <i>CLIFS: Chip Level Integrated Frequency Standard, How do we approach the cliff of CLIFS?</i> Motoaki Hara , Senior Researcher (National Institute of Information and Communications Technology (NICT))
16:15	Session 4 <i>Recent D2T research department progress</i> Akio Higo , Lecturer (d.lab, the University of Tokyo)
16:30	Closing Remarks Tadahiro Kuroda (Director, d.lab, School of Engineering, the University of Tokyo)

2.5.3 研究活動報告

■高精度波形測定技術

山口 隆弘, 肥後 昭男, 飯塚 哲也, 池田 誠

確率的アナログ-デジタル変換器 (Stochastic Analog to Digital Converter; ADC) の研究をおこなっている。とくに、耐不規則性をより向上させるための、確率の中央値をもちいたレベル交叉時刻検出方式について研究している。

2乗平均誤差の有効性の検証をすすめた。『プロセス変動ありのコンパレータ』に対応する理論を、MC (モンテカルロ) 実験により検証した。

■5G多チャンネル・ミリ波信号測定手法の研究

浅見 幸司, Byambadorj Zolboo, 小池 良吾, Sheng Guo, Mai-Khanh Nguyen Ngoc, 肥後 昭男, 飯塚 哲也, 藤田 昌宏, 松本 高士, 池田 誠

ミリ波信号を over-the-air (OTA) 環境で測定するための、要素技術の研究を行っている。ミリ波用アンテナの近傍界測定のため、4-channelのプラナー型アレイアンテナを開発した。アンテナ間カップリングを低く抑えるため、メタサーフェス技術を採用した。実際にプローブを作製し、特性の確認およびアンテナ測定実験を進めている。また、測定アルゴリズムの確認のため、市販のホーンアンテナをプローブとして使い、5G用アンテナを測定した。測定した近傍界からプローブの影響を補正し、精度よく遠方界を推定できることを確認した。

■ATE向け高速・高精度な多ピンタイミングCAL技術

石田雅裕, 大塚日嵩, 飯塚哲也, 徐祖榮, 肥後昭男, 藤田昌宏, 池田誠

半導体試験装置 (ATE) では数千から数万ピンの信号入出力チャンネルをもち、被試験デバイス (DUT) へ出力される試験信号のタイミングおよびDUTから出力される信号の比較タイミングをそれぞれ一致させるタイミングキャリブレーション (CAL) が必要である。本研究テーマでは、ATEに適用可能な高速かつ高精度な多ピンタイミングCAL方式の研究をおこなっている。本年度は、昨年度TSMC 65nm CMOSプロセスで試作したTEG回路の評価をおこない、コンパレータCAL用の基準タイミング発生器、および、ドライバCAL用のタイミング測定器のCh間特性差が動作環境 (温度, 電源電圧) により大きく変化しないことを確認し、CAL精度の目標1psを実現できる見込みを得た。タイミングCAL用回路を多ch実装したときのクロストークや信号の取り出し、CAL用回路のCALなどの課題をまとめ、多ピンタイミングCAL技術に関する共同研究テーマを完了した。

2.5.4 研究発表

論文誌

- [1] Zolboo Byambadorj, Koji Asami, Takahiro J. Yamaguchi, Akio Higo, Masahiro Fujita and Tetsuya Iizuka, "High-Precision Sub-Nyquist Sampling System Based on Modulated Wideband Converter for Communication Device Testing," IEEE Transactions on Circuits and Systems-I: Regular Papers, vol. 69, no. 1, pp. 378 - 388, Jan. 2022

3.1 組織概要

東京大学大学院工学系研究科附属システムデザイン研究センター（d.lab）は、2019年10月に、東京大学における半導体関連研究の強化を目指し設置された。

d.labは、知識集約型社会の到来に備え、システムのアイデアを持つ者が誰でも専用チップを即座に入手できるよう、デザインの手法と製造のエコシステムを再構築することを目指している。また、データ駆動型システムのデザインプラットフォームを作り、データ駆動型社会で活躍する人材の育成を目標とする。

センター長の下、先端設計研究部門、基盤設計研究部門、先端デバイス研究部門、基盤デバイス研究部門の4つの部門において、互いに連携しながら活動を行っている。なお、専任教員のほか、東京大学の他部局や工学系研究科を本務とする教員が、兼務で在籍している。

東京大学大規模集積システム設計教育研究センター（VDEC）は、1996年5月に全国共同利用施設として発足し、国立大学法人化に伴い東京大学の1部局としての位置づけを経て、国公私立大学と工業高等専門学校におけるVLSI設計教育の充実と研究活動を継続してきたが、d.lab設置の際にこれに合流することとなった。それまでVDECが担ってきた活動は、d.labの基盤設計研究部門における「VDEC機能」として継続しつつ、先端設計研究部門における産学連携をも強化した最先端設計研究の強化を目指した活動が行われている。

VDECの発足当初は、専任教員5名と事務官1名という小さな組織であったが、2023年4月1日現在、d.labの人員構成は、教授11名（内専任2名、兼任8名、特任1名）、准教授3名（内専任2名、特任1名）、講師2名（内

専任1名、特任1名）、助教2名、研究員18名（内上席研究員2名、主幹研究員1名、特任研究員15名）、学術専門職員11名、副課長1名、係長2名、特任専門職員1名、係員1名となっている。

なお、VDECの時代には2年を単位として2名の教官を派遣する「流動教官制度」を実施していたが、現在では基盤設計研究部門に「協力教員制度」を有しており、全国の各大学との教員との連携を図っている。

d.labは、研究探求と技術実践の橋渡しの場、また産学官連携と人的交流を促進する場として、2020年から協賛事業を開始し、40社を越える企業から参加を頂いている。また、2022年には文科省次世代X-nics半導体創成拠点形成事業に採択され、半導体技術の民主化を実現する基幹技術（Agile技術）を整備し、プラットフォームとして研究に展開し、研究成果・産業への波及効果・高度人材の育成を目指している。さらに、目白台インターナショナル・ビレッジに研究スペースを設け、先端システム技術研究組合に参画するなど、活動を日々加速させているところである。

2018年度-2022年度には、経済産業省/NEDOのプロジェクト「AIチップ設計拠点」として、国内の中小企業ベンチャー向けのチップ設計環境の整備を、産業技術総合研究所（産総研）とともに実施した。2023年度からは、産総研が東大内に設けるオープンイノベーションラボラトリ（OIL）「AIDL」が主体として拠点を運営することで、アカデミック向けのチップ設計環境「VDEC機能」、中小ベンチャー向けのチップ設計環境「AIチップ設計拠点」のチップ設計の拠点機能を拡充させていく。

3.2 人事報告

d.lab 人事（2023年4月1日付け）

センター長・教授	黒田 忠 広
先端設計研究部門長・特任教授	濱田 基 嗣
基盤設計研究部門長・教授	池田 誠
先端デバイス研究部門長・教授 (東京大学生産技術研究所)	平本 俊 郎
基盤デバイス研究部門長・教授 (東京大学大学院工学系研究科 電気系工学専攻)	三田 吉 郎
教 授 (東京大学大学院情報理工学系 研究科)	中村 宏
教 授 (東京大学大学院工学系研究科 電気系工学専攻)	竹内 健
教 授 (東京大学大学院工学系研究科 電気系工学専攻)	高木 信 一
教 授 (東京大学大学院工学系研究科 電気系工学専攻)	染谷 隆 夫
教 授 (東京大学大学院工学系研究科 マテリアル工学専攻)	内田 建
教 授 (東京大学大学院工学系研究科 電気系工学専攻)	竹中 充
非常勤講師（産業界客員教員）	水野 正 之
准 教 授	小林 正 治
准 教 授	飯塚 哲 也
特任准教授	中根 了 昌
講 師	小菅 敦 丈
特任講師	肥後 昭 男
助 教	NGUYEN NGOC MAI KHANH
助 教	松本 高 士
上席研究員	若林 一 敏
上席研究員	丹羽 正 昭
主幹研究員	高木 剛
特任研究員	島本 直 伸
特任研究員	荒川 文 男
特任研究員	落合 幸 徳
特任研究員	BYAMBADORJ ZOLBOO
特任研究員	二宮 健 生
特任研究員	坪井 伸 二

特任研究員

特任研究員

特任研究員

特任研究員

特任研究員

特任研究員

特任研究員

特任研究員

特任研究員

学術専門職員

学術専門職員

学術専門職員

学術専門職員

学術専門職員

学術専門職員

学術専門職員

学術専門職員

学術専門職員

学術専門職員

学術専門職員

川野連也

CHITRA PANDY

山本和徳

最上徹

藤田昌宏

DURAN CKRISTIAN

角博文

鈴木康之

WANG JUNSHA

長谷川淳

岡田光司

四手井綱章

林泰弘

太田悦子

YIP WAI YEUNG

窪田通孝

有賀浩

小倉建治

井上友里恵

近藤翔午

副課長

係長

係長

特任専門職員

係員

中村明彦

丹羽靖

原田正史

小田嶋輝明

高梨芳郎

※ () が記載されている教員は、() 内が本務先である。



2022年度東京大学大学院工学系研究科附属システムデザイン研究センター基盤設計研究部門 (VDEC)
全国運営協議会委員名簿

氏名	所属・職位	任期	連絡先	
			TeL/Fax	E-mail
池田 誠	東京大学大学院工学系研究科附属システムデザイン研究センター 教授	2022.4.1～ 2024.3.31	TEL 03 (5841) 6661	ikedas@silicon.u-tokyo.ac.jp
黒田 忠広	東京大学大学院工学系研究科附属システムデザイン研究センター 教授	2022.4.1～ 2024.3.31	TEL 03 (5841) 6561	kuroda@ee.t.u-tokyo.ac.jp
高木 信一	東京大学大学院工学系研究科電気系工学専攻 教授	2022.4.1～ 2024.3.31	TEL 03 (5841) 7467	takagi@ee.t.u-tokyo.ac.jp
池辺 将之	北海道大学量子集積エレクトロニクス研究センター 教授	2022.4.1～ 2024.3.31	TEL/FAX 011-716-6004	ikebe@ist.hokudai.ac.jp
黒田 理人	東北大学大学院工学研究科技術社会システム専攻 教授	2022.4.1～ 2024.3.31	TEL 022 (795) 4836	rihito.kuroda.e3@tohoku.ac.jp
一色 剛	東京工業大学 工学院 情報通信系 教授	2022.4.1～ 2024.3.31	TEL/FAX 03 (5734) 2842	issniki@ict.e.titech.ac.jp
岡田 健一	東京工業大学工学院電気電子系 教授	2022.4.1～ 2024.3.31	TEL 03-5734-3764	okada@ee.e.titech.ac.jp
史 又華	早稲田大学基幹理工学部電子物理システム学科 教授	2022.4.1～ 2024.3.31	TEL 03-5286-3400	shi@waseda.jp
北川 章夫	金沢大学理工研究域電子情報通信学系 教授	2022.4.1～ 2024.3.31	TEL 076 (234) 4863 FAX 076 (234) 4863	kitagawa@is.t.kanazawa-u.ac.jp
石原 亨	名古屋大学大学院情報学研究科情報システム学専攻 教授	2022.4.1～ 2024.3.31	TEL 052 (789) 4363	ishihara@i.nagoya-u.ac.jp
佐藤 高史	京都大学大学院情報学研究科通信情報システム専攻 教授	2022.4.1～ 2024.3.31	TEL 075 (753) 4801 FAX 075 (753) 4802	takashi@i.kyoto-u.ac.jp
廣瀬 哲也	大阪大学大学院工学研究科電気電子情報通信工学専攻 教授	2022.4.1～ 2024.3.31	TEL 06 (6879) 7761	hirose@eei.eng.osaka-u.ac.jp
藤島 実	広島大学大学院先進理工系科学研究科量子物質科学プログラム 教授	2022.4.1～ 2024.3.31	TEL 082 (424) 6269	fujii@hiroshima-u.ac.jp
井上 弘士	九州大学大学院システム情報科学研究科情報知能工学部門 教授	2022.4.1～ 2024.3.31	TEL 092 (802) 3793 FAX 092 (802) 3786	inoue@ait.kyushu-u.ac.jp
宇野 重康	立命館大学理工学部電気電子工学科 教授	2022.4.1～ 2024.3.31	TEL 077 (599) 4278	suno@fc.ritsumei.ac.jp
兵庫 明	東京理科大学理工学部電気電子情報工学科 教授	2022.4.1～ 2024.3.31	TEL 04 (7124) 1501 内3756 FAX 04 (7122) 5171	hyogo@ee.noda.tus.ac.jp
石黒 仁揮	慶應義塾大学理工学部電子工学科 教授	2022.4.1～ 2022.7.31 2023.4.1～ 2024.3.31	TEL 045 (566) 1815 内42255	ishikuro@elec.keio.ac.jp
永田 真	神戸大学大学院科学技術イノベーション研究科 教授	2022.4.1～ 2024.3.31	TEL 078 (803) 6569 or 6221	nagata@cs.kobe-u.ac.jp
名倉 徹	福岡大学工学部電子情報工学科 教授	2022.4.1～ 2024.3.31	TEL 092 (871) 6631	nakura@fukuoka-u.ac.jp

2022年度 システムデザイン研究センター運営委員会委員名簿

区 分	氏 名	所 属	任 期	メールアドレス
委員長	黒田 忠広	システムデザイン研究センター センター長	-	kuroda@dlab.t.u-tokyo.ac.jp
1号委員	染谷 隆夫	工学系研究科長	-	someya@ee.t.u-tokyo.ac.jp
2号委員	竹内 健	電気系工学専攻長	-	takeuchi@co-design.t.u-tokyo.ac.jp
3号委員	柴田 直哉	総合研究機構長	-	shibata@sigma.t.u-tokyo.ac.jp
4号委員	池田 誠	システムデザイン研究センター	2021.4.1～ 2023.3.31	ikeda@silicon.u-tokyo.ac.jp
4号委員	小林 正治	システムデザイン研究センター	2021.4.1～ 2023.3.31	masa-kobayashi@nano.iis.u-tokyo.ac.jp
4号委員	飯塚 哲也	システムデザイン研究センター	2021.4.1～ 2023.3.31	iizuka@vdec.u-tokyo.ac.jp
5号委員	高木 信一	電気系工学専攻	2021.4.1～ 2023.3.31	takagi@ee.t.u-tokyo.ac.jp
5号委員	霜垣 幸浩	マテリアル工学専攻	2021.4.1～ 2023.3.31	shimo@dpe.mm.t.u-tokyo.ac.jp
5号委員	鈴木 雄二	機械系工学専攻	2021.4.1～ 2023.3.31	ysuzuki@mesl.t.u-tokyo.ac.jp
6号委員	中村 宏	情報理工学系研究科	2021.4.1～ 2023.3.31	nakamura@hal.ipc.i.u-tokyo.ac.jp
6号委員	平本 俊郎	生産技術研究所	2021.4.1～ 2023.3.31	hiramoto@nano.iis.u-tokyo.ac.jp

3.3 決算報告

1. 運営費交付金

(円)

事 項	収入(予算配分)額	支 出 額	過 不 足 額
共通経費	637,644,957	454,570,028	183,074,929
研究経費	8,205,354	10,302,962	△ 2,097,608
計	645,850,311	464,872,990	180,977,321

2. 2022年度公的機関からの研究費

	教員名	委託者	研究課題	種 類	受入金額(円)
1	黒田 忠広	文部科学省	Agile-X～革新的半導体技術の民主化拠点	受託研究	1,299,999,999
2	黒田 忠広	国立研究開発法人 科学技術振興機構	積層型AIチップの低電力高効率アーキテクチャ	受託研究	5,382,000
3	黒田 忠広	国立研究開発法人 理化学研究所	三次元積層SRAMの検証とMDシミュレーション加速機構の設計評価	共同研究	29,900,000
4	池田 誠	電子商取引安全技術研究組合(ECSEC)	戦略的イノベーション創造プログラム(SIP)第2期/ IoT社会に対応したサイバー・フィジカル・セキュリティ/ (A1) IoTサプライチェーンの信頼の創出技術基盤の研究開発	受託研究	11,931,000
5	池田 誠	電子商取引安全技術研究組合(ECSEC)	「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発/ 研究開発項目①革新的AIエッジコンピューティング技術の開発」AIエッジデバイスの横断的なセキュリティ評価に必要な基盤技術の研究開発	受託研究	10,005,000
6	池田 誠	国立研究開発法人 新エネルギー・産業技術総合開発機構	AIチップ開発加速のためのイノベーション推進事業/ AIチップ開発を加速する共通基盤技術の開発	受託研究	1,070,598,000
7	池田 誠	国立研究開発法人 新エネルギー・産業技術総合開発機構	高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発/ 研究開発課題発掘のための先導調査研究/ RISC-Vシステム設計プラットフォームの研究開発	受託研究	6,913,000
8	池田 誠	国立研究開発法人 新エネルギー・産業技術総合開発機構	高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発/ AIエッジコンピューティングの産業応用加速のための技術開発/ RISC-Vシステム設計プラットフォームの研究開発	受託研究	59,995,000
9	池田 誠	国立研究開発法人 科学技術振興機構	Smart-Xを実現する高信頼のサイバー・フィジカル・コグニティブ・システムの構築	受託研究	35,100,000
10	池田 誠	国立研究開発法人 産業技術総合研究所	AIチップ開発を加速する共通基盤技術の開発	共同研究	1,650,000
11	池田 誠	国立研究開発法人 産業技術総合研究所	AI機能付デジタル・アナログ・センサ(DAS)集積システムに関する研究開発	共同研究	550,000
12	小林 正治	国立研究開発法人 科学技術振興機構	ナノスケール強誘電体トランジスタの研究開発と機械学習アクセラレータへの応用	受託研究	1,999,800
13	飯塚 哲也	国立研究開発法人 科学技術振興機構	リアルタイム学習推論機能創出に向けた回路設計技術基盤構築	受託研究	16,146,000
14	飯塚 哲也	国立研究開発法人 科学技術振興機構	AIによる回路トポロジー合成を実現する高度なアナログ回路設計プラットフォームの開発	受託研究	15,366,000
15	飯塚 哲也	国立研究開発法人 宇宙航空研究開発機構	深宇宙・表面探査用ワンチップ無線機に向けた研究	共同研究	550,000
16	小菅 敦丈	国立研究開発法人 科学技術振興機構	デバイス・システム協調による超低電圧布線論理型AIプロセッサ	受託研究	14,300,000
17	若林 一敏	国立研究開発法人 科学技術振興機構	MEC用マルチノード向けの総合高位合成システムの研究開発	受託研究	13,000,000

	教員名	委託者	研究課題	種類	受入金額(円)
18	若林 一敏	国立研究開発法人 新エネルギー・産業技術総合開発機構	高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発/研究開発課題発掘のための先導調査研究/データ構造処理を加速可能な新型計算機構の研究開発	受託研究	16,744,000
19	若林 一敏	国立研究開発法人 新エネルギー・産業技術総合開発機構	高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発/AIエッジコンピューティングの産業応用加速のための技術開発/万能高位合成と新型汎用データフロー計算機構」に係る委託業務	受託研究	96,070,000
合計					2,706,199,799

※合計金額は、上記1～19の各課題の合計金額を記載している。

3. 2022年度民間企業等からの研究費

	教員名	申込者	研究課題	種類	受入金額(円)
1	黒田 忠広	Taiwan Semiconductor Manufacturing Company, Ltd.	Read Only Memory-oriented Neuron Cell Array using Non-Linear Neural Network	受託研究	-
2	黒田 忠広	Taiwan Semiconductor Manufacturing Company, Ltd.	Leakage power saving 3D-stacked SRAM module for AI applications	受託研究	-
3	黒田 忠広	三菱電機株式会社	基地局増幅器のための広帯域化回路技術の研究開発	共同研究	-
4	黒田 忠広	三菱電機株式会社	チップ間ミリ波信号無線伝送技術の研究(3)	共同研究	-
5	池田 誠	キオクシア株式会社	ストレージシステム向け高機能暗号回路技術の研究	受託研究	-
6	池田 誠	株式会社アドバンテスト	先端LSI開発環境・テストング技術	共同研究	-
7	池田 誠	株式会社村上開明堂	ドライバー見守りシステム用セキュリティ技術の研究	共同研究	-
8	三田 吉郎	株式会社ニューフレアテクノロジー	集積回路の高密度接合に向けた微細電極形成手法の研究	受託研究	-
9	三田 吉郎	株式会社ニューフレアテクノロジー	先端MEMS構造および製造プロセスにおける指導、助言	受託研究	-
10	三田 吉郎	株式会社ニューフレアテクノロジー	三次元MEMS構造プロセスの研究	共同研究	-
11	三田 吉郎	株式会社アドバンテスト	集積化微小MEMSによる高機能センサの研究	共同研究	-
12	小林 正治	Taiwan Semiconductor Manufacturing Company, Ltd	Channel and Interface Engineering of Ferroelectric-HfO ₂ FeFET for 3D integrated high density memory	受託研究	-
13	小林 正治	株式会社神戸製鋼所 株式会社コベルコ科研	大規模集積回路応用に向けたIn-Ga-Zn-Sn-Oを用いたデバイスプロセスに関する研究	共同研究	-
14	小菅 敦文	株式会社EX-Fusion	レーザー応用に向けた外観検査技術の開発(3)	共同研究	-
15	肥後 昭男	トーカロ株式会社	シリコン微小ピラーの形成プロセスに関する研究	共同研究	-
合計					84,353,064

※合計金額は、上記1～15の各課題の合計金額を記載している。

※受入金額の「-」は非公表を意味している。

4. 2022年度寄附金

受入件数：6件 受入額計 93,200,000円

(株式会社アドバンテスト, 株式会社エフ・イー・ティー・ジャパン, 株式会社ジーダット, 一般財団法人電子回路基板技術振興財団, 東芝デバイス&ストレージ株式会社, 東京エレクトロン株式会社)

第4章 研究報告 -各研究室-

4.1 全体概況

	研究室構成 人数（名）	研究発表			著書（冊）	特許（冊）	受賞（件）
		研究論文	国際会議	その他			
d.lab 教員	80	19	28	88	0	5	15
協力教員	156	42	88	109	2	0	17

4-1

第4章
研究報告 -各研究室-

4.2 研究室構成員(2022年度)

黒田・小菅研究室 構成

黒田 忠 広	教授
濱田 基 嗣	特任教授
小菅 敦 丈	講師
丹羽 正 昭	上席研究員
若林 一 敏	上席研究員
高木 剛	主幹研究員
川野 連 也	特任研究員
山本 和 徳	特任研究員
最上 徹	特任研究員
二宮 健 生	特任研究員
四手井 綱 章	学術支援専門職員
岡田 光 司	学術支援専門職員
Wai-Yeung Yip	学術支援専門職員
林 泰 弘	学術支援専門職員
窪田 通 孝	学術支援専門職員
王 俊 沙	学術支援専門職員
近藤 翔 午	学術支援専門職員
柴 康 太	博士3年
Meng Haopeng	博士1年
柴田 彩 登	修士2年
Lixing Yu	修士2年
Yao-Chung Hsu	修士2年
Ximing Wang	修士2年
澄川 玲 維	修士1年
本堂 楓 馬	修士1年
詹 智 杰	学部4年
内間 典 子	特任専門職員
豊井 弘 美	特任専門職員
大賀 典 子	特任専門職員
中島 幹 子	特任専門職員

竹内健研究室 構成

竹内 健	教授
松井 千 尋	特任助教
三澤 奈央子	学術支援専門職員
合田 晃	博士3年
樋口 和 英	博士3年
越能 俊 介	修士2年

吉清 秦 生	修士2年
范 忠 忠	修士2年
孫 英 皓	修士2年
山田 步	修士1年
市川 裕 也	修士1年
黄 志 遠	修士1年
薛 寒 熙	修士1年
王 一帆王	修士1年
山内 堅 心	学部4年
西村 拓 人	学部4年
山口 竜 平	学部4年
山口 竜 平	学部4年
小林 知 幾	学部4年
小林 英太郎	学部4年

中村研究室 構成

中村 宏	教授
高瀬 英 希	准教授
小島 拓 也	助教
上野 洋 典	学振研究員
胡 思 己	博士3年
岡田 怜 士	博士1年
小山 大次郎	修士2年
茆 黄 潤	修士2年
國分 海 渡	修士2年
富田 祐 永	修士2年
中島 創 太	修士2年
前田 志 温	修士2年
山崎 雄 輔	修士2年
夏 世 傑	修士1年
齋藤 真	修士1年
田中 晴 亮	修士1年
棚瀬 健	修士1年
金森 勇 介	学部4年
杳名 海 斗	学部4年
佐々木 大 祐	学部4年

池田研究室 構成

池田 誠	教授
松本 高士	助教
吉川 俊之	特任研究員
荒川 文男	特任研究員
繆 逸杰(Yijie Miao)	博士2年
Bayasgalan Amartuvshin	博士2年
Zeyu Wang	博士2年
Anawin Opasatian	博士1年
叶子楊(Ziyang Ye)	博士1年
Hung Quoc Bui	修士2年 (現在 NEC)
赵 寅帆(Yinfan Zhao)	修士2年 (現在博士1年)
阿部 浩太郎	修士2年 (現在 SONY)
島田 泰慎	修士2年 (現在 SONY)
Jiyuan Xin	修士1年
菊岡 才人	修士1年
正田 薫	修士1年
小谷 健太郎	学部4年 (現在佐藤研修士1年)
竹島 優太	学部4年 (現在修士1年)
福田 桃子	学部4年 (現在修士1年)

飯塚研究室 構成

飯塚 哲也	准教授
ゲンゴックマイカーン	助教
ビャムバドルジゾルポー	特任研究員
陳 翔宇	特任研究員
楊 尊松	特任研究員
ドラク クリスティアン	特任研究員
長田 将	博士2年
李 燦煒	博士2年
堀川 貴道	修士2年
岩下 僚我	修士2年
柴田 凌弥	修士2年
袁 浩晨	修士2年
郭 晟	修士2年
張 浩明	修士2年
加納 創太	修士1年
熊野 陽	修士1年
朱 玉揚	修士1年
程 鎮宇	修士1年

伊藤 峻	学部4年
竹中 理太郎	学部4年
和久井 優斗	学部4年

平本研究室 構成

平本 俊郎	教授
更屋 拓哉	助手
竹内 潔	特任研究員
水谷 朋子	特任研究員
伊藤 一夫	特任研究員
鈴木 慎一	特任研究員
高倉 俊彦	特任研究員
福井 宗利	特任研究員
高瀬 博行	特任研究員
櫛田 知義	特任研究員
周 翔	博士1年
刘 子豪	博士1年
姫 佩琳	修士2年
金 駿午	修士2年
二木 大輝	修士1年

小林研究室 構成

小林 正治	准教授
Chitra PANDY	特任研究員
李 卓	博士2年
糸 矢 祐 喜	修士2年
金 在 顕	修士2年
郝 俊 翔	修士2年
宮 綺 雲	修士2年
Deepak Ganesh Sharma	修士1年
日 掛 凱 斗	修士1年
黄 星 宇	修士1年

高木研究室 構成

高 木 信 一	教授
トープラサートボンカンディット	講師
陳 家 驄	博士3年 (工学系)
姜 旼 秀	博士3年 (工学系)
隅 田 圭	博士3年 (工学系)
韓 雪 揚	博士1年 (工学系)
名 幸 瑛 心	博士1年 (工学系)
川 野 麻 琴	修士2年 (工学系)
吉 津 遼 平	修士2年 (工学系)
岩 重 宏一郎	修士1年 (工学系)
大 友 将 樹	修士1年 (工学系)
劉 振 泓	修士1年 (工学系)
陳 育 同	修士1年 (工学系)
鈴木 陸 央	学部4年 (工学部)

竹中研究室 構成

竹 中 充	教授
唐 睿	特任助教
湯 涵 智	博士3年 (工学系)
宮 武 悠 人	博士2年 (工学系)
ティパットピヤパッタラクン	博士2年 (工学系)
柴 成 立	博士1年 (工学系)
潘 杰	博士1年 (工学系)
張 超	修士2年 (工学系)

高 城 和 馬	修士2年 (工学系)
中 山 武 壽	修士2年 (工学系)
黄 明 智	修士2年 (工学系)
赤 澤 智 熙	修士1年 (工学系)
藤 田 将 大	修士1年 (工学系)
傅 晟	修士1年 (工学系)
作 本 宙 彌	学部4年 (工学部)
脇 田 耀 介	学部4年 (工学部)

内田研究室 構成

内 田 建	教授
田 中 貴 久	助教
加 藤 る み	学術支援職員
加 藤 太 朗	博士2年
梅 田 竜 生	修士2年
濱 中 悠 輔	修士2年
成 田 雄 紀	修士1年
NAKWARANGKUL Prach	修士1年
宮 尾 知 寿	修士1年
谷 口 雄 麻	学部4年
吉 永 啓 人	学部4年

染谷研究室 構成

染 谷 隆 夫	教授
横 田 知 之	准教授
李 成 薫	講師
多 川 友 作	特任助教
松 葉 頼 重	特任研究員
川 島 伊久衛	学術専門職員
立 花 勇太郎	学術専門職員
小 泉 真 里	学術専門職員
雪 田 和歌子	学術専門職員
池ヶ谷 智 子	特任専門職員
松 岡 一 代	特任専門職員
山 崎 祥 子	特任専門職員
原 五 月	技術補佐員
程 董 凱	博士3年
汪 浩 洋	博士3年

王 佳 辰	博士3年	澤 村 智 紀	技術専門職員 (武田先端知 クリーンルーム管理室)
杜 宝 才	博士2年	太 田 悦 子	学術専門職員 (マテリアル先 端リサーチインフラ事業 技 術支援担当)
加 藤 裕	博士2年	河 井 哲 子	学術専門職員 (マテリアル先 端リサーチインフラ事業 デ ィレクション担当)
ハリムルティスクスマンディア	博士2年	渡 邊 かをる	特任専門職員 (マテリアル先 端リサーチインフラ事業 事 務局)
王 文 清	博士1年	井 上 友里恵	学術専門職員 (マテリアル先 端リサーチインフラ事業 技 術支援担当)
加 藤 由太郎	修士2年	藤 原 誠	支援員 (マテリアル先端リサ ーチインフラ事業 技術支援 担当)
森 一 馬	修士2年	中 山 雄 太	共同研究員 (電気系, コニカ ミノルタ)
ウイジャヤテオドルス	修士2年	梅 田 賢 一	共同研究員 (NanoHub, AGC)
郭 舒 揚	修士2年	三 角 啓	博士1年
奥 田 知 華	修士1年	山 口 貴 史	修士2年
海老原 祐 輔	修士1年	辻 啓 吾	修士2年
徐 嘉 穎	修士1年	山 形 昌 弘	修士1年
江 静 怡	修士1年	松 岡 瞳	修士1年
三室 真 帆	学士4年	島 村 龍 伍	学部4年
佐々木 光 生	学士4年	中 島 志 温	学部4年
宮 瀬 環	学士4年	ほか3名	共同研究員
鷲 見 直	学士4年		

三田研究室 構成

三 田 吉 郎	教授
肥 後 昭 男	特任講師 (ADVANTEST D2T)
黄 吉 卿	客員研究員 (LIMMS研究所 /仏CNRS C2N研究所)
落 合 幸 徳	特任研究員 (マテリアル先端 リサーチインフラ事業 専任 マネージャ)
島 本 直 伸	特任研究員 (次世代X-nics拠 点形成事業)
坪 井 伸 二	特任研究員 (マテリアル先端 リサーチインフラ事業 クリ ーンルーム支援担当)
安 永 竣	特任研究員 (JST CREST)
Anne-Claire EILER	特任研究員 (JST CREST)
水 島 彩 子	技術専門職員 (マテリアル先 端リサーチインフラ事業 技 術支援担当)
豊 倉 敦	技術専門職員 (電気系一般 電子実験室, 武田先端知204パ ックエンド加工室支援担当)

4.3 研究概要

黒田・小菅研究室

(<http://www.kuroda.t.u-tokyo.ac.jp/index.html>)

TCI: ThruChip Interface

黒田 忠広, 濱田 基嗣, 小菅 敦文, 四手井 綱章,
岡田 光司, イップ ウエイイエン, 柴康太

チップの配線を巻いて作ったコイルの誘導結合を用いて積層チップ間でデータ転送を行う3次元集積技術の研究を行っている。TSV（シリコン貫通電極）と同等以上の性能を低コストで実現可能である。本年度は、TCIを用いた3次元SRAM積層技術に関する発表及びそれに向けたアーキテクチャ、AI処理アルゴリズムの研究と、RaaSと共同でTCIを活用した3次元積層SRAMのテストチップの設計を行った。またTCIに向けた3次元積層の設計検証方法の基礎検討を行った。3次元実装技術についてはHotChips'22, A-SSCC'22等の国際学会にて発表を行った。

TLC: Transmission Line Coupler

黒田 忠広, 濱田 基嗣, 小菅 敦文, 林 泰弘,
Ximing Wang

ボード上の伝送線路の電磁結合を用いて、ボード間でデータ転送を行う技術の研究を行っている。従来型のコネクタで問題となる、摩耗、耐震性、インピーダンス整合などの問題がなく、安価で高性能な無線コネクタを実現可能である。本年度は企業との共同研究を通じ、パッケージ基板とPCBとを接続するための小型かつ高密度TLC実装技術の研究開発、そして非接触給電とTLCとを同軸配置し近接させた状態で同時通信を行う完全密封型の非接触コネクタ技術の研究を行った。特に後者においては無線給電と非接触通信との相互干渉を防ぐため、GNDシールド技術の基礎検討を実施した。研究成果はICECS'22にて口頭発表を行った。

RFID 無線タグ

黒田 忠広, 濱田 基嗣, 小菅 敦文, 柴田 彩登

1mm角以下の極小チップにアンテナと無線回路を集積した無線タグを実現し、インテリジェントなリーダーと組み合わせることで通信距離を確保し、極めて安価なIoE（Internet of Everything）システムを追究する。今年度は断熱回路を活用し受信信号に基づいて決定論的に衝突を回避する新たな衝突回避機能を実現し、さらに

断熱論理回路自体を工夫することにより低電力化を実現したRFIDタグ回路をTSMC 0.18 μ m CMOSプロセスで開発した。同じくRFIDタグ上に実装したコイルとPCB基板上的コイルとが磁界結合する、ボンディングレス実装技術も新たに開発した。コストの高いフリップチップ実装やボンディングが不要になる。TSMC 0.18 μ m CMOSプロセスでテストチップを開発評価し、SSC-Lにて論文発表を行った。

超低電力AIプロセッサ

黒田 忠広, 濱田 基嗣, 小菅 敦文, 柴康太,
Yao-Chung Hsu, 澄川 玲維, 本堂 楓馬, 柴康太,
詹 智杰

処理量の多いAIが多数社会実装されるにつれて急増する電力消費を抑えるため、Wired-logicに着目した非ノイマン型AI Processorを研究している。Wired-logicを用いることでDRAMやSRAMアクセスを最小化でき電力効率を大幅に向上できるが、膨大な素子をチップ上に実装する必要があるため面積効率は大幅に劣化する。そこで(1)人間の脳におけるプルーニングと呼ばれる不要なニューロンとシナプスを削除しネットワークを最適化する技術、そして(2)従来以上に大幅にプルーニングし素子数を節約するため、人間のニューロンが持つ多種多様な非線形関数を適材適所使い分けて演算強度を増す性質を取り入れた、非線形ニューラルネットワーク技術、そして(3)畳み込みアルゴリズムの処理に合わせて回路を再利用する畳み込み型Wired-logic architecture回路の3つの技術を開発している。本年度は10種の一般物体を見分けるCIFAR-10のデータセットに対して基礎技術検討と学習アルゴリズムの開発を行い、FPGAを用いて原理実証し、研究成果はHotChips'22にて口頭発表を行った。また省面積回路技術も併せて開発し、手書き文字認識を題材にASICを開発、SSDM'22およびJJAPにて論文発表を行った。同時にSRAMを用いたCompute in Memory技術も開発しており、特にスパースな行列に対して計算効率が向上するように行列を並び替えるPolynomialioアーキテクチャを開発。NEWCAS'22で発表を行った。本成果は高く評価されTCAS-1の特集号に招待されている。

ミリ波イメージングレーダ

黒田 忠広, 濱田 基嗣, 小菅 敦文,
イップ ウエイエン, 末廣 知士

過酷環境下（悪天候，不十分な夜間照明，カメラへの汚れ付着）では，従来の画像認識による人・物体識別器は精度が低い課題があった．高い耐環境性を持つミリ波は有望であるが，画像と異なり深層学習型AI適用には学習データ作成に課題があった．本研究では新規半自動学習データ生成技術を軸に，ミリ波イメージを扱う深層学習AI技術を新規開発し，高精度な人・物体識別AI技術を開発する．本年度は主にミリ波レーダのデータ特徴とそれに即したネットワーク構造の検討，並びにカメラ-レーダ協調半自動学習データ生成技術の開発に取り組み，6種類の物体の種類と位置を画像認識と同等の精度で検知できるミリ波レーダAIシステムを開発した．本成果はIEEEの測定機器分科会のフラグシップジャーナルである，IEEE Transactions on Instrumentation and Measurement誌に論文が採択され掲載された．

竹内研究室

(<https://co-design.t.u-tokyo.ac.jp/>)

Computation in memory (CiM) に関する研究

竹内 健, 松井 千尋

Computation in Memory (CiM) はメモリアレイ構造を利用して乗算・累積 (multiply-and-accumulate: MAC) 演算を行う事が可能になる．MAC演算はディープニューラルネットワーク (DNN) の中で最も計算資源を消費する演算である．DNNの精度を評価するシミュレータを開発した．シミュレータでは畳み込み層と全結合層における重みを任意に量子化し，重みに任意の分布に従ったばらつきを付加することや，一定の値で加減させることができる．以上により，DNNの重みを操作することでCiMメモリセルにおけるデバイスの非理想性を再現することが可能になった．

Simulated Annealingに関する研究

竹内 健, 松井 千尋, 三澤 奈央子

組合せ最適化問題の1つであるナップサック問題を，シミュレーティッドアニーリングを用いてコンピュータ・イン・メモリ (CiM) で解く場合，従来の

エンコーディングはナップサック容量が増えると回路面積が線形的に大きくなるという問題があった．そこでログ・エンコーディングによるReRAMコンピュータ・イン・メモリを提案した．提案のログ・エンコーディングは従来のエンコーディングに比べ，CiMの回路面積が97.6%縮小する．ReRAMデバイスの非対称なエラー特性を考慮し，二次形式のハミルトニアンにおけるQUBO行列の“0”をHRSに記憶することで，許容できるビット・エラー率 (BER) が10倍，許容できるビット精度が5ビットまで減らすことが可能になった．

インセンサ・コンピューティングの研究

竹内 健, 松井 千尋

センシングのためのEvent-based vision sensor (EVS) と統合し演算する低消費エネルギーのSRAM Computation-in-Memory (CiM) を提案した．従来のフレームカメラと比較して，EVSは画素の光の強度変化を非同期で検出し出力するため，データは空間的に疎で時間的に密という特徴がある．提案するSRAM CiMはEVSから出力されるイベントを受け取り，On-eventおよびOff-eventをそれぞれ演算する．イベントデータを演算するspiking neural network (SNN) のマルチビット重みはSRAM CiMに保存されている．提案したEVS向けのSRAM CiMはEVSのデータの特徴により，フレームカメラと比較して 10^6 倍のエネルギー効率を達成できた．

中村研究室

(<http://www.hal.ipc.i.u-tokyo.ac.jp/>)

IoTネットワークセキュリティに関する研究

中村 宏

Zigbee は近距離無線通信規格の一つで，転送可能距離が短く転送速度も低速である代わりに，安価で消費電力が少ないという特徴を持っており，電池で動くような小型のセンサやIoTなどで幅広く使用されている．Zigbeeはこの低消費電力を実現するために間接通信を採用しているため，LDoS攻撃への脆弱性の要因ともなっている．この問題に対し，処理にさける資源が少なく許容消費電力も小さいというIoT機器の制約を満たしつつ，LDoS攻撃を防ぎ攻撃者を特定する手法

を提案した。さらに、その手法を実現するハードウェア機構を検討しその有効性を示した。

粗粒度再構成アーキテクチャ Coarse-Grain Reconfigurable Architecture

小島 拓也, 中村 宏

粗粒度再構成可能アーキテクチャ CGRA (Coarse-Grained Reconfigurable Architecture) は高いエネルギー効率とプログラミング柔軟性という特徴を有するため、組み込みシステムから高性能コンピューティングまでの広い応用が期待されている。CGRAは多くのPE (Processing Element) が2次元アレイ状に配置された構成であり、その有効性は、処理をこれらのPEにマッピングするコンパイラの質に依存する。我々は、このマッピングのフレームワークとして、遺伝的アルゴリズムを用いた GenMap (A Genetic Algorithmic Approach for Optimizing Spatial Mapping) という手法を提案している。この GenMap を空間だけではなく時間的にも再構成可能な CGRA へ適用できるように拡張し、その有効性を確認した。また、CGRA に近似計算を取り入れることで、要求精度を満たしつつ省面積かつ省電力に処理を実現できることを示した。

組み込みデバイス向けの ROS 2 ノード軽量実行環境

高瀬 英希, 中村 宏

ROS (Robot Operating System) 及びその後継である ROS2 は、分散型のロボットシステムにおけるソフトウェア開発プラットフォームとして注目されている。ROS2 の問題の1つは、動作環境として Linux を必要とするため、高性能で消費電力の大きい計算リソースを必要とすることである。そのため、応答性や消費電力の点で、ROS2 を組み込みデバイスへ適用する際の障害となっている。

そこで組み込みデバイス向けの実行環境である mROS2 の研究を行っている。mROS2 の利点は、高効率な通信を実現しメモリ軽量であることである。現在、目的の実現に求められる設計要件を整理し、効率的な通信処理を実現するためのソフトウェア構成および動作フローを設計している。この研究はモバイルロボットシステムの低消費電力化とリアルタイム性の向上に貢献することが期待されている。

池田研究室

(<http://www.mos.t.u-tokyo.ac.jp>)

高機能暗号の設計最適化

池田 誠, Anawin Opasatian, 正田 薫, 福田 桃子, 竹島 優太

ペアリング暗号 (PBC) は最新の様々な暗号方式において最も重要な基盤の一つとなっている。PBC では通常膨大な計算を伴うために高性能なアクセラレータは多くのアプリケーションにとって有用である。我々は暗号演算の最適化を目指し幾つかの曲線 (非対称ペアリング: BLS12-381, BLS24-315, BLS24-317 及び BLS24-509/ 対称ペアリング: SS1024) 上のペアリング演算を実行可能な高性能アクセラレータを設計し、ID ベース暗号 (IBE), 共通鍵ベースの検索可能暗号 (SSE), 属性ベース暗号 (ABE) 等への応用も検討している。設計したアーキテクチャは Hash-to-point の高速化にも発展させている。スケジュールの自動生成による設計時間の短縮と剰余乗算器の最適化の研究も行っている。

完全同型暗号の実装

池田 誠, 島田 泰慎, 趙 寅帆

完全準同型暗号 (Fully homomorphic encryption, FHE) は、データ処理を委任することができ、それにアクセスすることなく処理を行う方法です。この技術は秘密鍵を使用せずに、暗号文を計算することができます。FHE は、安全な委任計算に使用されることが期待されていますが、現在はその計算速度が非常に遅いため、実用的な応用には至っていません。本研究の目的は、TFHE や BGV などの FHE をハードウェア実装によって高速化することです。今年、FPGA 上の実装は CPU に比べて4倍の速さを達成しました。今後もさらなる改善が必要です。また、FHE アルゴリズムの最適化にも注力しています。トレードオフを数多く検討した結果、同型論理ゲートの入力ポートの数を3から10に増やしました。また、FHE のパラメータを最適化して、実行時間、復号失敗率、およびセキュリティレベルを維持しました。

耐量子計算暗号の実装

池田 誠, Hung Quoc Bui, 島田 泰慎, 小谷 健太郎
耐量子計算暗号 (PQC) は、従来の計算機および量

子計算機の両者に対して攻撃態勢を有する公開鍵暗号及びデジタル署名方式となっており、量子計算機により多項式時間で解けるようになるとされている Diffie-Hellman, RSA, 楕円曲線暗号を置き換えるために開発が進んでいる。標準化が進められている PQC は、格子暗号ベースの CRYSTALS-Kyber, CRYSTALS-Dilithium, FALCON, およびハッシュベースの SPHINCS+ の4種類に加え、現在第4ラウンドの議論が進められている。本研究では、CRYSTALS-Kyber を65nmASIC で実装したほか、SIKE および同種写像の基礎演算を FPGA 上で実装し性能評価を行っている。

暗号の安全性評価

池田 誠, 阿部 浩太郎, 菊岡 才人

暗号実装はサイドチャネル攻撃耐性を持つ必要があり、耐性評価が求められる。256ビット ECDSA ハードウェア実装におけるスカラー倍算に対して実測による消費電流波形を利用したテンプレート攻撃を行うことによってサイドチャネル攻撃耐性を評価したうえで、有効と思われるいくつかの対策を組み込んだ実装に関して論理合成後の性能評価と論理シミュレーションに基づくテンプレート攻撃の漏洩成功率の推定を行った。これにより対策手法ごとの有効性の評価と設計段階での定量的な漏洩評価が可能となった。楕円曲線ペアリングを用いた暗号回路のハードウェア実装では、十分な安全性と可能な限り小さいコストを両立する最適曲線の選択が重要となる。本研究では、DLP (離散対数問題) や ECDLP (楕円曲線上の離散対数問題) に対する暗号としての安全性と、演算器面積や所要サイクル数、演算器遅延時間といったハードウェア的観点におけるコストを、有限体の標数のみを変数として見積もる手法を提案し、BN 曲線, BLS12 曲線, BLS24 曲線に対して適用した結果を示した。

ニューラルネットワークとそのセキュリティ

池田 誠, Zeyu Wang, 繆 逸杰,
Bayasgalan Amartuvshin

スパイクニューラルネットワーク (SNN) は高いエネルギー効率を実現する可能性があり、ニューロモフィックセンサーとの統合にも期待されるため、注目を集めています。しかし、SNN のハードウェア実装は、スパイクニューロンによって導入された膜電

位によって、大きな困難を抱えています。そこで我々は、膜電位の圧縮方法を提案し、推論精度に影響を与えずに初めて深層 SNN において膜電位を低精度固定小数点で扱うことを可能にし、同じ FPGA ベースの SNN 推論アクセラレータの中で最小のリソース使用と最高のエネルギー効率を実現した。

一方、近年、ニューラルネットワークの複雑な計算により、クラウドコンピューティングが注目されている。しかし、データプライバシーは、クラウドコンピューティングを広く応用するにおいてまだ問題となっている。完全準同型暗号は、プライバシー保護する方法として期待されているが、速度が遅いという欠点がある。われわれは、ソフトウェアとハードウェアの両面から、完全準同型暗号を用いたニューラルネットワーク計算速度を改善することに取り組んでいる。まず、FHE を用いた再帰型ニューラルネットワーク (RNN) の推論における高速アルゴリズムを設計し、時間がかかるブートストラップの回避とスループットの大幅向上を実現した。完全剰余数系 (RNS) に基づく完全準同型暗号向けのハードウェアにより計算は更に高速化されることができ、他のハードウェア設計に比べて、完全剰余数系を利用することで、複雑な大きな数値計算を避け、ハードウェアリソースを大幅に削減することができる。

論理回路およびプロセッサの安全性

池田 誠, 叶子楊, Jiyuan Xin, 松本 高士,
荒川 文男, 吉川 俊之

ロジカルロッキングは、不正アクセスやリバースエンジニアリングからデジタル回路を保護、回路の改竄や偽造を防止するために用いられる技術である。この技術は、鍵に依存する要素を回路に追加し、回路の構造やレイアウトを鍵に依存する形で変更することで実現される。従来の手法では、オーバーヘッドが大きい欠点に加え、セキュリティ上不十分であるといった課題が存在していた。本研究では、アトラクタによって制御される小空間のカオス構造を回路に挿入し、異なる鍵入力によって異なる論理演算を実現している。カオス構造の数を調整することで、セキュリティとオーバーヘッドのバランスを取ることが可能な手法として期待されている。

オープンソースの命令セットアーキテクチャ RISC-V

飯塚研究室

(http://www.mos.t.u-tokyo.ac.jp/iizuka)

低雑音位同期回路技術

飯塚 哲也, 楊 尊松, 長田 将, 岩下 僚我

リング電圧制御発振器 (VCO) は小さい面積や複数位相の出力, さらには磁気的なカップリングがないなどの利点がある. しかし5 GHzを超える低ジッタPLLの場合, ほとんどの先行研究では大面積のインダクタや磁気的な結合という課題を抱えているLC型VCOが用いられている. 本研究では超低ジッタのインダクタレスカスケードPLLを提案した. 第1ステージではシングルステージのサンプルアンドホールドサブサンプリング位相検出器が提案されている. この検出器ではインパルス感度関数がゼロの場合にのみ発振器の制御電圧が更新されるためループ帯域幅が広くなり, ジッタおよびスプリアスが低くなる. 65 nm CMOSで試作した10 GHzで動作するプロトタイプは125MHzの基準クロックで-63 dBcのreference spur, 175-fsの積分RMSジッタ, -240dBのFOMを実現した.

低ジッタおよび低スプリアスのPLLは, 新たな高速通信システムで強く求められる. 近年, 高い位相検出ゲインを備えたサンプリング/サブサンプリングPLLは, スプリアス, ジッタ, および消費電力を同時に低減する能力を示しており, その結果, -65dBc未満の低いスプリアスと-258dB未満の優れたジッタ電力指数(FoM)を実現している. ただし, 100 fs未満のRMSジッターを達成するには, 通常, 低PNで高スルーレートのクロックを提供するために巨大なリファレンスバッファが必要であり, PLLの電力効率が低下する. PLLの入力負荷と水晶発振器の消費電力を増加させることなく, PDの帯域内位相ノイズ(PN)を3dB下げするために, 低リップルのダブルサンプリング位相検出器を備えた基準サンプリングPLLを提案した. 100 MHzの入力リファレンスを使用して, 65 nm CMOSのプロトタイプは, -80 dBcのスプリアスレベルで63 fsのRMSジッターを達成した. 総消費電力は3.4GHzで3.1mWとなっている.

高調波ミキサ (Harmonic-Mixer: HM) に基づいたフラクショナルN型PLLはキャリブレーションに頼らずに低ノイズの周波数合成を行う上で非常に有効な回路である. 多くの場合, HMはサンプルアンドホールド(S/H)回路における入力周波数の変換を活用して実現され, その出力には多くの不要なトーンがある. そのためこれらを抑えるためにS/Hの前後に適切なフィルタを接続する必要がある. しかし多くの先行研究ではこれらのトーンの生成メカニズムやそれによるフィルタへの必要要件などが明らかにされておらず, その設計方針も不明確な場合が多い. そこで本研究では1) トーンがどのように生成されるのかの定性的な説明, 2) 結果生じるトーン的位置および大きさ, そして3) トーンを十分に抑えるためにフィルタが満たすべき要求性能について解析した. またこれらの解析の正しさはシミュレーション結果により裏付けられた.

リング発振器に基づくPLLはLC型発振器に基づいたそれと比べて様々な利点があり, 省面積や磁気的外乱へのロバストなどを求められる様々な応用にて有効な回路である. またそれと同時にキャリブレーションに頼らないフラクショナルN型PLLは動作のロバストさ, 設計の容易さ, そしてロッキング時間の短さを始めとする利点があるためこちらも非常に有効な回路である. これらのことから分かる通りリング型発振器に基づきかつキャリブレーションに頼らないフラクショナルN型PLLは非常に有効かつ注目を浴びている回路である. しかしリング型発振器とフラクショナルN型PLLはそれぞれLC型発振器やインテグラーN型PLLと比べて大きなノイズを発生してしまうため, これらをいかに抑えるかが鍵となる. そこで本研究ではHMに基づくPLLの中に位相領域フィルタとして動作する補助PLLを組み込むことでリング型発振器のノイズを抑える高帯域構造およびフラクショナルN動作によって生じる量子化雑音の抑制を同時に達成した. 実装した回路は50MHzの参照信号を用いて3.1GHz付近の信号を生成し, -227.6dBというキャリブレーションに頼らないリング型フラクショナルN型PLLの中ではトップクラスの性能指標を達成した.

ノイズシェーピングにより雑音低減を可能にした従来の2次 $\Delta\Sigma$ FDC (Frequency-to-Digital Converter) -PLLに基づき, 広帯域化とより低い位相雑音の実現のためにより高次のMASH (Multi-stage noise Shaping) 2-k FDC-

PLLを提案した。初段のADCをSAR ADC、次段のADCをFIA (Floating Inverter Amplifier) を用いた $\Delta\Sigma$ ADCとすることでMASH 2-1 FDC-PLLを設計した。65nm CMOSプロセスで設計した提案FDC-PLLでは26MHzの参照クロックで帯域内位相雑音-102dBc/Hz, FoM-230dBを実現できることをポストレイアウトシミュレーションにより示した。

高精度アナログ-デジタル変換回路とその自動設計技術

飯塚 哲也, 李 燦煒, 柴田 凌弥, 張 浩明, 熊野 陽,
竹中 理太郎

スタンダードセルに基づくアナログ回路は、高い再利用性、高度な統合性、自動化された設計との互換性、信頼性、安定性などの多くの利点を持つため、現在および将来の研究において非常に有望である。我々は、標準セルに完全にに基づく合成可能な逐次近似レジスタ容量型アナログ・デジタル変換器 (SAR ADC) の新しい設計を提案した。これにより、商用のデジタル実装ツールを使用して自動配置とルーティング (P/R) を実行することができる。また、この設計には差動アーキテクチャを提案し、より広い入力範囲を持つインバータベースの容量型デジタル・アナログ変換器 (CDAC) を利用した。以前の研究では、MOSFETベースのゲート電圧非依存型キャパシタに関する研究結果を発表し、ゲート-チャンネル-基板キャパシタンスのバリエーションをチャンネル-ソース/ドレイン-基板PNP/NPN接合容量のバリエーションを用いて補償できることを発見した。このコンセプトを基に、サンプリングと入力電圧の保持、およびDAC電圧生成の目的で、インバータベースのゲート電圧非依存型キャパシタを提案した。p-MOSFETとn-MOSFETのソースとドレインをインバータに接続することで、入力電圧に起因するキャパシタンスの変動を軽減することができた。また、CDACユニットとしてインバータから抽出されたシリーズキャパシタユニットを利用する場合のDAC電圧の直線性補償の原理を明らかにした。アナログ信号を切り替えるために、特殊なデジタルセルやプロセスを必要としないダミースイッチを含んだインバータベースのスイッチを提案した。

確率共鳴現象は非線形系においてある一定の強度の雑音がシステムの性能に寄与するという現象であり、

様々な分野で研究・応用がなされている。この確率共鳴を逐次比較型アナログ-デジタル変換器 (SAR ADC) に適用した際の有効性を検証した。SAR ADCにおいて二分探索でアナログ-デジタル変換を行う際に複数回の比較が必要になるが、提案回路では通常のSAR ADCの動作の後に追加で比較を繰り返すことによって高分解能化を図る。また、回路内の雑音を確率共鳴に用いることで、雑音抑制に通常用いられる電力を抑え、低消費電力化を図る。性能解析とシミュレーションによって追加比較回数と雑音強度の最適条件が得られ、通常のSAR ADCよりも提案回路の電力効率は高くなるという結果が得られた。

ダイナミック回路はCMOS集積回路の一種である。スタティック CMOS 回路よりも高速だが、タイミングが複雑なため特性評価が難しく、スタンダードセル設計フローでは通常使用できない。本研究では、ダイナミック回路の特性評価を実測で行うため、まず新たなダイナミック回路のタイミングモデルを提案し、次にこのタイミングモデルに基づいていくつかのタイミングパラメータを定義した。タイミングパラメータの値を取得するために、回路のシミュレーションを行い、これらの値を使用してセルの liberty ファイルを作成することに成功した。その後、スタティックタイミング分析 (STA) を実行してタイミング検証を行った。より正確なタイミングモデルを得るために、ダイナミック回路特性評価に必要なタイミングパラメータを実測で評価できるテスト回路の設計を行った。

高精度・高電力効率なADC設計のために、Floating Inverter Amplifier (FIA) を用いた完全ダイナミック離散時間 $\Delta\Sigma$ ADCに関する研究を行った。昨年度から継続している Correlated level shifting (CLS) 及びサンプリングノイズキャンセル技術について実測による評価を行ったほか、実測結果を踏まえ、更なる性能向上に向けた取り組みとして新たな技術を検討している。マルチビット化に必要なディザの雑音効果を打ち消す回路構成及びよりDCゲインの高い積分器構成が求められている。

高速な無線通信や有線通信には、高速かつ高精度なアナログ・デジタル変換回路 (ADC) が必要とされている。タイムインターリーブは複数のADCを並列に動作させることで変換速度を高速化する技術であり、数GS/s以上のADCには欠かせない。タイムインターリー

ブ型ADCはDCオフセットやクロックスキューなどの各ADCの特性の差により性能が悪化するため、その対策が重要となる。それぞれの誤差の要因に対して、回路動作の深い理解に基づく理論解析により最適な実装を提案し、28nm FD-SOIプロセスを用いた8チャンネル、4GS/sのADCの設計を行った。レイアウトの寄生成分や雑音を考慮したシミュレーションでは、先行研究と比較して高い161.6dBのSchreier FoMを達成した。

深宇宙探査機向け低雑音受信回路の設計

飯塚 哲也, 堀川 貴道, 加納 創太

近年の小型宇宙探査機の需要に伴い、搭載されるマイクロ波帯無線通信機についても小型軽量化が強く望まれる。現行の無線通信機では民生の電子部品を用いて小型化を実現しているが、低信頼性の部品の組み合わせは、深宇宙での長期のミッション遂行の信頼性の確保を困難にする。小型化と高い信頼性を同時に達成するためには、アナログ高周波フロントエンドおよびデジタル処理回路を含めた送受信回路全体をワンチップに集積することが一つの解決策である。

深宇宙探査における集積回路設計を考える上で、受信機の雑音指数(NF)と放射線耐性は重要な性能指標となる。遠く離れた地球からの微弱信号が雑音に埋もれるのを防ぐため、回路内部で発生する雑音をできるだけ小さくし受信感度を向上させる必要がある。

本研究では、狭帯域ノイズキャンセリング技術を使用した7.2 GHz帯オンチップ受信機フロントエンドの設計を行った。従来の低雑音受信機(LNA)とダウンコンバージョンミキサから成る受信回路に加え、副次的なノイズキャンセリング経路を並列に追加することで、LNA内のオンチップインダクタから発生する熱雑音を打ち消すことができる。提案回路の設計は宇宙空間における放射線の影響を受けにくい130-nm SiGe BiCMOSプロセスを用いて行った。局部発振器とGM回路にビハイビモデルを用いた回路図レベルでのシミュレーションにより、室温において受信機全体で1.03 dBのNFを達成できることを確認した。これはノイズキャンセリングを行わない主経路のみの場合と比べて1.61 dB改善した値である。また、LNAに与えるバイアス電圧を適切に校正することにより探査機内の温度変化に対する性能補償が可能であることを示した。

時間領域ニューロン素子の設計・実装とそれらを用いた学習システムの検証

飯塚 哲也, 陳 翔宇, ビヤムバドルジ ソルポー,
ドラク クリスティアン, 伊藤 峻, 和久井 優斗

人工ニューラルネットワーク(ANN)の第二世代であるディープニューラルネットワーク(DNN)は、近年、アプリケーションの増加に伴い、広く研究されている。しかし、従来のvon-Neumannアーキテクチャでは、特にメモリアクセスに膨大なエネルギーを消費するため、より電力効率の高いソリューションを実現するための代替手段を模索する必要に迫られている。スパイクニューラルネットワーク(SNN)は、生物学的なニューロンを模倣することにより、低消費電力で学習機能を実現できる第3世代のANNとして、魅力的なソリューションの1つである。SNNはニューロンとシナプスで構成され、通常ボトムアップアプローチで構築される。つまり、SNNの各コンポーネントを最初に設計する必要がある。

パルスニューロンやシナプスのハードウェア実装は数多く報告されている。ニューロンのリーキーインテグレート機能を実装するために、従来の設計では、通常、オペアンプ(演算増幅器)でインテグレーターを構築し、生体ニューロンのミリ秒の時定数を模倣するために、しばしば大きなオンチップコンデンサと抵抗を使用する。さらに、ニューロンの「発火」機能を実現するために、通常、連続時間コンパレータまたはクロックドコンパレータの専用回路構造を用い、ニューロンの励起のための閾値を設定する。また、連続時間コンパレータのバイアス電流は間違いなくニューロンの消費電力を増加させ、クロックドコンパレータは追加のクロック信号分配を必要とし、複雑なコンパレータ構造は大きなチップ面積を占有する。より高度なプロセスでは、電源電圧と静的リーク電流を低減することで低消費電力を実現できるが、これは電圧/電流領域のアナログ回路のダイナミックレンジの狭小化、利用可能マージンの縮小、ノイズ耐性の劣化をもたらすことにもなる。これは、電圧や電流などのアナログ量を用いて通信を行う従来のニューラルネットワークにとって不利になる。一方、トランジスタの微細化により、信号の遷移が鋭くなり動作速度が向上したため、アナログ情報を時間領域、すなわち2つの信号遷移の時間間隔でより効率的に表現することができるようにな

った。このタイムドメイン回路は、インバータやロジックゲートで構成されることが多く、直流電力を消費しないため、電力効率に優れていることも特徴である。このように、タイムドメイン回路は、将来の低消費電力SNNの実装に理想的な回路である。

TSMC65nmプロセス設計したニューロン、シナプス、重み回路を試作し測定した。SNNの実装に用いるシナプス回路の発振周波数範囲が小さいという問題を解決するため、作成したシナプス回路の発振周波数範囲を拡大させるような回路の設計を行った。回路の設計にはTSMCの65nmのプロセスを用いている。このプロトタイプでは発振周波数を15Hzから130kHzまで拡大させることができた。オシレータの部分を変動インバータに変更し、オシレータのNMOSのソースを接地することによってこれを実現した。しかしながら130kHzの発振周波数を出力させるには10MHzで入力を行う必要があり、入出力のオーダーが合わないという問題があった。性能を改善した回路では発振周波数を400Hzから6MHzまで拡大させることができた。本プロトタイプでは興奮生の入力に加えて抑制性入力も可能にし、チャタリングを防ぐためにシュミットトリガインバータを追加した。発振周波数の定常値が20kHzであり、興奮性入力を行うことで最大6MHz、抑制性入力を行うことで最小400Hzを出力する。これらの2つの回路によって、シナプス回路の発振周波数範囲が小さいという問題を解決することができた。

また、実際に設計・試作されたシナプス回路をつなぎ合わせてスパイクングニューラルネットワークを用いた学習を行い、正しく学習できるかを検証することを目的として正弦波を学習させるシミュレーションを行った。結果としては、特定周波数周辺の正弦波のみが学習可能となった。この学習可能な周波数は、電圧の漏れ量やシナプス回路の出力周波数を変更した架空の回路でシミュレーションした場合上下に変動したため、学習させたいものによって用いる回路を使い分ける必要があると考えられる。

無線通信用アンテナ計測・試験技術

飯塚 哲也, グェン ゴック マイカーン,
ビヤムバドルジゾルポー, 郭 晟

5Gテクノロジーでは、ミリ波周波数と小型端末に依存するテクノロジーのため、5Gアンテナの無線(OTA)

測定が必要となる。従来のOTA測定は遠方界測定に基づいていたが、ミリ波では、パス損失が大きく、測定精度が低いため、遠方界測定はほとんど実行できない。したがって、ミリ波範囲でのOTA測定の代わりに近傍界測定が使用できる。遠方界測定データは、近傍界から遠方界へする方法を使用することにより、近傍界測定から取得できる。

本研究では、自動近傍界測定装置、ミリ波プローブ、近傍界から遠方界への変換方法など、ハードウェアからソフトウェアまで多くの課題があるが、遠方界で最も簡単な方法の1つは、被試験アンテナ(AUT)の前の平面走査領域でSパラメータを測定することである。近傍界プロービングハードウェアと測定セットアップのために、PCB上の低コストの平面モノポールを設計および製造した。次に、プロトタイプを作成して測定し、シミュレーション結果を検証した。提案されたアンテナの測定結果は、2.6GHzの広い帯域幅と28GHzの中心周波数を示している。ミリ波周波数範囲での近傍界測定用の自動電動制御を備えたコンパクトな電波暗室の構築に成功した。

遠方界パターンは、測定セットアップが正しく校正され、測定パラメータが適切な値で選択されている場合、仰角と方位角の両方の方向で120°以内で0.5dBの誤差未満で達成された。このようなAUTの120度の範囲をキャプチャするには、指向性の低いプローブが必要となる。予備測定結果では、近傍界測定のサンプリングポイントを効果的に削減して、測定時間とコストを削減できることが示された。

超高感度オンチップネットワークアナライザ回路の設計

飯塚 哲也, 楊 尊松, 朱玉揚, 程 鎮宇

VNAとは、高周波回路網におけるフィルタ、アンテナ、パワーアンプなど、さまざまな受動および能動デバイスの通過・反射電力の周波数特性パラメータを測定するための必要不可欠な装置である。VNAは、被試験物(DUT)に刺激信号を与え、周波数ドメインでインピーダンス、反射係数、透過係数を表すSパラメータS11, S12, S21, S22など位相と大きさを併せ持つベクトルを測定することができる。ただし、多くのVNAは外付けシステムであり、高価で大きな面積を占める。また、DUTから出力される雑音に埋もれた微弱

な信号を、広い周波数帯域（1~5GHz）で測定することも課題となっている。

本研究では、2ポート入力でS21, S23が極めて低い（最小値-95dB）DUTのSパラメータを測定するため、位相補間器（PI）、低ノイズアンプ（LNA）、ロックインアンプ（LIA）で構成されるオンチップVNAを提案した。S23-入力位相差特性を測定するため、1-5GHzのPIでDUTに位相調整可能な信号を二つ印加する。LNAとLIAは、DUTから出力された微弱な信号を測定するためのものである。

これまで、TSMC CMOS 65nmプロセスで、回路図設計とレイアウト設計（PIチップ、LNAチップ、LIAチップ、および全モジュールを含む全体チップ）が完成している。PIについては、2.5GHzでは最大DNLが0.67LSB、最大INLが2.4LSB、5GHzでは最大DNLが0.38LSB、最大INLが3.24LSBとなっている。LNAについては、1-5GHzで3-5dBの雑音係数がポスト・シミュレーションに示されている。システム全体については、プレ・シミュレーションとポスト・シミュレーションでDUTの測定結果と整合性のあるS21, S23を得たことで、提案された回路が適切に機能できることが分かった。実チップテストは、チップの到着後に行う予定である。

今後の方針としては、回路全体のノイズ性能を改善しつつ、PI用の多相クロック信号を供給するための1-5G PLLを設計していく予定である。

電気回路によるトポロジカル量子状態検証のための回路設計

飯塚 哲也, 袁 浩晨

トポロジカル量子コンピューティング（TQC）は、フォールトレラントな量子コンピューティングの手法の一つで、「エニオン」と呼ばれる特定のトポロジカル量子物体の編組によって単一の量子ゲートを生成することができ、トポロジカル量子コンピューティングは、デコヒーレンスに強く、事前に定義したアルゴリズムを正確に実行できるという自然な特性を有している。非アバリアンアニオンの最も単純な実現例として、通常のフェルミ・ディラック統計に従うマヨラナフェルミオンという準粒子があり、マヨラナゼロモード（MZM）という特殊な機構を持つ。そこで、マヨラナゼロエネルギーのエッジ状態を実現する1次元回路チェ

ーンに着目し、左右のエッジノード間の2点インピーダンスを測定することで、境界でMZMが現れるかどうかを明らかにする。

CMOSの180nmプロセスをベースに、Su-Schrieffer-HeegerモデルとKitaevモデルの集積回路をチップ上に実現した。EMシミュレーションツールでのシミュレーションと実チップでの測定により、これらのチェーンのエッジにインピーダンスのピークがあることを確認し、MZMの存在を示した。

第1版チップでは、Kitaevモデルに対して、コンデンサとインダクタの値を調整することで共振周波数の異なる3つのトポロジカル回路チェーンを構築し、比較のために3つのトリビアルチェーンも作成した。その結果、トポロジーの段階でEMシミュレーションとオンチップ測定により、2点インピーダンスの急激な増加が確認され、両エッジにMZMが存在することを確認した。

その後、第2版チップでは、CMOSスイッチを追加し、SSHチェーン全体とKitaevチェーンの各ユニットセルのトポロジー特性を制御するように設計した。計測の結果、SSHモデルチェーンの端にインピーダンスのピークが現れることが確認できた。Kitaevトポロジカル・トリビアル切り替え可能な回路チェーン上で、適切な制御信号を生成することにより、2つの異なる共振周波数を持つKitaevチェーン上で2つのトポロジカルセグメントが移動、分裂、融合する様子をシミュレーションし、各トポロジカルトリビア境界でインピーダンスピークを観測した。これは、トポロジカル量子計算の編組動作に必要なゼロエネルギーモードの存在に対応している。

平本・小林研究室

(<http://nano-lsi.iis.u-tokyo.ac.jp/>)

ナノスケールCMOSデバイスの特性ばらつきに関する研究

平本 俊郎, 小林 正治

MOSトランジスタが微細化されるとともに、ランダムな特性ばらつきの影響が無視できないほど大きくなってきている。その原因は従来のバルクプレーナ型トランジスタでは主にチャンネル中の不純物数の揺らぎであるが、将来のデバイス構造候補であるナノワイヤト

ランジスタでは不明な点が多い。本研究では、シリコンナノワイヤトランジスタ特有のばらつき原因について詳細を調べ、ナノワイヤ幅のランダムな揺らぎと量子閉じ込め効果がしきい値電圧ばらつきの主原因であることを明らかにするとともに、ドレイン電流ばらつきへの影響も検討している。

ナノスケールCMOSデバイスの低温特性に関する研究

平本 俊郎, 小林 正治

CMOSによるバイナリーデジタル演算に代わるコンピューティング手法として量子計算が注目されている。量子計算では従来のCMOS回路が量子ビットの制御回路に用いられるため、CMOSデバイスの低温特性を明らかにしておくことが必須である。本研究では、MOSトランジスタの低温におけるサブスレッショルド特性に注目し、サブスレッショルド係数が低温で理論通りに温度に比例しない理由を検討した。また、低温における特性ばらつきの評価も行い、特に低温では不純物揺らぎによるパーコレーションパスが特性に大きな影響を与えることを明らかにした。

シリコンパワートランジスタに関する研究

平本 俊郎, 小林 正治

半導体パワートランジスタは、家電製品や電気自動車、鉄道などに広く用いられるパワーエレクトロニクスの基幹部品である。最近ではSiCやGaNなどワイドバンドギャップ材料を用いたパワーデバイスの研究が進展しているが、従来のシリコンデバイスでもさらなる性能向上が可能である。本研究では、絶縁ゲート型バイポーラトランジスタ (IGBT) と呼ばれるパワートランジスタを実際に試作し、スケーリングや両面ゲート化により性能向上を目指している。

三次元集積メモリデバイス応用に向けた原子層堆積法による酸化物半導体の形成とデバイス実証に向けた研究

小林 正治, 平本 俊郎

半導体の微細化が鈍化する中、さらなる高集積化と高機能化のためには、配線層へのアクティブデバイスの形成が必要であり、酸化物半導体は低温でトランジスタを形成可能であり注目を集めている。従来酸化物半導体はスパッタ法による平面への成膜が主流であったが、半導体の三次元集積化に向けては三次元構造へ

の均一な成膜が重要となる。本研究では、原子層堆積法による In_2O_3 の成膜を確立し、 HfO_2 系強誘電体および判強誘電体トランジスタ型メモリを設計・試作し、良好なメモリ特性と信頼性を実証することに成功した。

HfO_2 系材料における強誘電性発現のメカニズムの解明

小林 正治, 平本 俊郎

本研究では、三次元構造の強誘電体メモリデバイスの実現に欠かせない、三次元構造への強誘電体薄膜の形成と、強誘電性発現のメカニズムを解明することを目的としている。今年度は、第一原理計算と強誘電体薄膜の電子線回折マッピングの手法により、成膜アニール後には強誘電体が面内配向し、電圧印可によって面直配向することが明らかになり、三次元構造にあっても初期の電圧サイクルで強誘電性が実現できることを示唆する結果を得た。

高木研究室

(<https://sites.google.com/g.ecc.u-tokyo.ac.jp/mosfet/>)

III-V Metal-Oxide-Semiconductor (MOS) FET とその3次元集積化に関する研究

高木 信一, 隅田 圭, 吉津 遼平,

トープラサートポン カシディット, 竹中 充

将来のロジックLSIの本命デバイスとして、トランジスタを縦型に積層した3次元集積CMOSが期待されている。このような積層型MOSFETを実現する上では、低温で素子が作製できかつ高い移動度や注入速度が期待できるIII-V化合物半導体やGeなどのチャネルが有望である。我々は3次元集積CMOSを目指して、極薄膜でも高い移動度を有するチャネル材料系を明らかにすると共に、Si基板上に極薄のIII-V-On-Insulator (III-V-OI) 構造を実現する技術やこの構造をチャネルに用いたIII-V-OI nMOSFETの実証と高性能化、その電気特性を決定しているデバイス物理の研究を進めている。今年度は、薄膜チャネルMOSFETの移動度を決める重要な散乱機構である膜厚揺らぎ (表面ラフネス) 散乱の下でも高い移動度が実現できるチャネル材料の定量的アセスメントを進め、L点の電子が活用できる(111) InAs-OI MOSFETや(111) Ge-On-Insulator (GOI) MOSFETの有用性を明らかにした。更に、InAs MOS界面の界面準位密度を精度良く求める方法として、極低

温でのCV特性を用いた評価方法を提案し、界面単位密度を高精度で評価できることを実験的に示した。

Ge/SiGe Metal-Oxide-Semiconductor (MOS) FETとその3次元集積化に関する研究

高木 信一, 陳 家驄, 韓 雪揚,

トープラサートポン カシディット, 竹中充

3次元集積CMOSへの適用を目指して、Si基板上の極薄Ge-On-Insulator (GOI) 構造を実現する技術やこれらの構造を用いた高性能GOI CMOSの実現と性能向上、電気特性を決定しているデバイス物理の研究を進めている。今年度は、(110)面SiGe/SOI基板に酸化濃縮を施した圧縮ひずみ(110)SiGe-On-Insulator (SGOI) 構造を細線化することにより、一軸性ひずみを導入して、極薄膜においても極めて高い正孔移動度が得られることを実証した。また、酸化濃縮法においてSiの酸化終了後も追加酸化を行うことにより、熱膨張係数で予想されるよりも大きな引張ひずみが導入できることを実験的に示した。

HfO₂-系強誘電体ゲート絶縁膜トランジスタと強誘電体メモリに関する研究

高木 信一, トープラサートポン カシディット,

川野 真琴, 岩重 宏一郎, 大友 将樹, 劉 振泓,

竹中充

分極反転を伴う強誘電体をゲート絶縁膜としたMOSFET (FeFET) や金属とのサンドイッチ構造 (MFM構造) をメモリセルとするFeRAMは、将来の極低消費電力メモリやロジック用素子として期待されている。特に近年発見されたHf_{1-x}Zr_xO₂やZrO₂などの強誘電体・反強誘電体を用いたデバイスは、現在のSi CMOSテクノロジーとの親和性が極めて高く、大きな関心を集めている。我々は、ALD法によって堆積したこれら強誘電体薄膜の物性やFeFETの素子動作原理の明確化を通じて、優れた素子特性を実現する研究を進めている。今年度は、FeFETメモリのメモリウィンドウを決定する機構を調べてその解析式を提案すると共に各種物理パラメータがメモリウィンドウに与える効果を明らかにした。また、FeRAM応用に向けた4 nm厚の極薄膜MFMキャパシタにおいて、動作電界を下げると強誘電体膜の疲労による分極量の低下が発生するものの、高電界パルスを印加することでこの疲労が回復す

ることを見出した。

強誘電体デバイスを用いたリザバーコンピューティングに関する研究

高木 信一, トープラサートポン カシディット,

名幸 瑛心, 鈴木 陸央, 竹中充, 中根了昌

計算負荷の軽いAI計算手法として、リザバーコンピューティングが近年注目を集めている。我々は、メモリ・イン・ロジック機能や非線形アナログ計算機能をもつFeFETやFeRAMが、リザバーコンピューティングを物理実装できるハードウェアとして有望であることを提案しており、Siプラットフォーム上で極低消費電力で推論・学習を行うことができる新しいAIハードウェアとして、動作方式やデバイスの工夫によるAI性能の向上の研究を進めている。今年度は、出力データとして、ドレイン電流だけでなく、ソース電流や基板電流も活用することで、AI性能が向上することを実証した。また、音声認識への応用に向けて、並列動作FeFETリザバーによって、spoken digitの分類タスクを行うシステムの提案を行い、95.9%の分類精度を実験的に達成した。

量子コンピュータ制御回路に向けたSi CMOSの極低温での動作特性の理解

高木 信一, 姜 旼秀, 陳 育同,

トープラサートポン カシディット, 竹中充

量子コンピューティングシステムでは、量子ビット数向上のためには、4 Kなどの極低温で動作できるSi CMOS回路を量子ビットチップの近くに置くことが必要である。この目的のために、極低温でのMOSトランジスタの動作を定量的に明らかにして、その物理機構を明確化するための実験的・理論的研究を進めている。今年度は、基板濃度の異なるSi n-MOSFETsの室温から4 KまでのSS (sub-threshold swing) 値の変化を実験的に評価し、SS値に影響を与えるバンド端近傍に存在するtail stateと局在界面単位が、基板濃度と共に増加していくこと、基板バイアス依存性の実験結果から、tail stateと局在界面単位の物理的起源が共通である可能性が高いことを示した

竹中研究室

(<https://sites.google.com/g.ecc.u-tokyo.ac.jp/takenaka-lab/>)

光配線LSIに関する研究

竹中 充, 唐 睿, 湯 涵智, 宮武 悠人,

ティパット ピヤパッタラクン, 高城 和馬,

中山 武壽, 赤澤 智熙, 傅 晟, 作本 宙彌

シリコンフォトリソグラフィ等を用いてLSIの配線やI/Oを光化する研究を進めている。III-V族半導体薄膜をSiスロット導波路上に集積した受光器の動作実証に成功した。Siスロット導波路を用いることで、InGaAs薄膜での光吸収が増強され、高い受光感度を低い寄生容量の両立に成功した。

AI用シリコン光回路に関する研究

竹中 充, 唐 睿, 湯 涵智, 宮武 悠人, 柴 成立,

高城 和馬, 黄 明智, 赤澤 智熙, 藤田 将大,

脇田 耀介

ユニバーサル光回路などのプログラマブル光回路を用いたAI用深層学習の研究を進めている。新しい相変化材料GeSbTeS (GSTS)を開発し、波長2.34 μm において、GSTSの光吸収が減ることを実験的に示し、光損失の小さい光位相シフトの動作実証に成功した。

Ge中赤外光集積回路に関する研究

竹中 充, 宮武 悠人, 張 超

Ge-on-insulator (GeOI) 基板上に形成したGe導波路を用いた中赤外光集積回路の研究を進めている。GeOI基板を用いたGe導波路にPIN接合を形成することで、雪崩増幅を用いた結晶欠陥誘起受光器の動作を得ることに成功し、1 Gbps以上の動作を得ることに成功した。

二次元材料デバイスに関する研究

竹中 充, ティパット ピヤパッタラクン

グラフェンや二硫化モリブデンを用いた半導体デバイスの研究を進めている。III-V薄膜導波路を用いたMOS型光変調器において、グラフェンを透明電極として用いた素子を新たに提唱した。グラフェンを高濃度でドーピングすることで、光吸収を低減しつつ、グラフェン電極の抵抗を下げるができることから、低損失、高速なMOS型光変調器が実現可能であることで数値計算で明らかにした。

内田研究室

(<http://www.ssn.t.u-tokyo.ac.jp/>)

ナノスケール電子材料を用いたエレクトロニクス・デバイスに関する研究

揮発性有機化合物 (VOC) などを検知するナノスケール分子センサ

ヒトの呼気には、ヒトの代謝物を含めて、様々な揮発性有機化合物 (Volatile Organic Compounds: VOC) が含まれている。そのため、呼気に含まれる、ヒトの疾病と関連する特定のVOCを選択的に検出できれば、疾病の超早期診断を実現することが期待される。我々は、金属ナノシートを用いた低電力の水素センサ素子をこれまで開発してきた。しかし、金属ナノシートによる分子センシングを原子論的にシミュレーションする方法は確立されていない。今回、分子動力学法と非平衡グリーン関数法を組み合わせることで、センサ応答を原子論的にシミュレートする手法を新たに開発した。今後、この手法を様々な系に適用することで、計算手法の改善を行うと共に、新たなセンサ向け材料の探索にも活用していく。

ナノデバイスの熱配慮設計

LSIは、その構成要素であるMOSトランジスタのサイズ縮小によってこれまで飛躍的に性能を向上してきた。近年はナノシートトランジスタなどの新たなデバイス構造の導入が予定されており、トランジスタ動作中のジュール発熱による素子の温度上昇が最も深刻な問題のひとつとして指摘されている。我々は、熱配慮設計によりCMOSチャネル部の動作時温度を極力抑制する技術の開発に取り組むとともに、シリコンチャネルにおける電子-フォノン輸送特性について精緻な評価を展開してきた。今回、分子動力学法と非平衡グリーン関数法を組み合わせることで、Si/SiO₂界面に特有の振動モードが存在し、その振動モードによって界面近傍の電子-フォノン散乱が増大することを示唆する結果が得られた。

染谷・横田・李研究室

(<http://www.ntech.t.u-tokyo.ac.jp/>, <https://fles.t.u-tokyo.ac.jp/>)

有機フォトディテクタの光照射安定性の改善

ウィジャヤ テオドルス, 李 成薫, 横田 知之,
染谷 隆夫

光学式のデバイスを用いることで、血圧や脈拍数、血中酸素濃度などの情報が計測できる。我々は、有機フォトディテクタに熱処理した酸化亜鉛 (ZnO) からなる電子輸送層や ZnO とポリエチレンイミン (PEI) を混合した電子輸送層を用いることで、有機フォトディテクタの安定性を向上させることに成功した。ZnO の成膜方法はいくつかあるが、特にフレキシブル基板と相性の高いゾル・ゲル手法が広く使用されていた。しかしながら、従来のアニール温度は180°Cと低く、前駆体が残っていることにより、電子輸送層内にトラップが存在してしまうという問題があった。このトラップは、光を照射することで暗電流値が大きくなってしまいう原因の1つとして言われており、長期安定性が必要となるウェアラブルセンサ応用を行うためには、改善する必要があった。そこで、この ZnO 層のアニール温度を350°Cまで上昇することで、安定性が劇的に向上することが分かった。これは、高いアニール温度のために、トラップ密度が減ることが要因であることが考えられる。また、ZnO の前駆体と高分子である PEI を混合した PEI-Zn を電子輸送層に用いることで、従来のアニール温度と同じ180°Cにおいても、電子輸送層内のトラップ密度を低減し安定性を向上させることに成功した。さらに、これらのデバイスと有機発光素子を集積化することで、貼り付け型の脈波センサを実現することにも成功し、日常生活内で長期的に脈波をセンシングすることが可能となった。

三田研究室

(<http://www.if.t.u-tokyo.ac.jp/>)

TopoMEMS：トポロジカル量子計算機に必要な可変電子素子および理想 MEMS 素子の開発

三田 吉郎, 辻 啓吾, Anne-Claire Eiler, 安永 竣,
肥後 昭男, 飯塚 哲也, 江澤 雅彦 (物理工学専攻)

量子コンピューティング分野における次世代の計算手法として、物質が持つトポロジカルな状態をハミル

トン演算子として表現し、演算に用いるトポロジカル計算機が期待され、幅広い系で研究が行われている。我々のチームでは、JST-CREST プロジェクトとして、ハミルトン演算子を電気回路部品の集合体として捉え、電気回路のトポロジーによって演算を行う手法の探索を担当しており、三田グループは集積 MEMS の専門家として計算機に必要な理想の可変素子・MEMS 素子を「TopoMEMS」と命名し、精力的に研究開発を行っている。本年度は MEMS の動きそのものを演算に用いる新しい構想が原著論文として採択されたとともに、多段双安定 MEMS アクチュエータの開発に成功し、国際会議で採択された。

Programmable Matter プロジェクト-エネルギー自立型分散マイクロシステムによる形状可変体

三田 吉郎, 三角 啓, 宇佐美 尚人 (航空宇宙工学専攻),
エリック ルブラスール, 黄 吉卿 (CNRS LIMMS 研究所),
ロマン カトリ (仏 FEMTO-ST 研究所),
ユリアック ゲン (仏 FEMTO-ST 研究所),
ジュリアン ブルジョワ (仏 FEMTO-ST 研究所),
ブノワ ピランダ (仏 FEMTO-ST 研究所)

集積化 MEMS (微小電気機械システム) のトップダウンアプリケーションとして、自立マイクロシステムの研究を行っている。「大きさ1cm以下のマイクロロボットを多数環境に放出し、個々のロボットは近傍のロボットと通信を行いながら、協調的に環境測定などの高度な機能を実現するという自律分散システムを目指している。2016年度より、集積化マイクロメカトロニクス研究室 (東京大学生産技術研究所 LIMMS, CNRS-IIS, UMI 2820) Host Professor の立場でフランス共和国国立研究エージェンシー (ANR) の助成を得て、仏 FEMTO-ST 研究所と PSA-Peugeot との産学共同で「組み合わせにより集合の形状変化が可能な自律マイクロロボット Programmable Matter」の研究を開始している。特に、水中で自立泳動するマイクロシステムの実現と背景物理の理解に研究目標を定めている。2022年度は、3D プリンタで微細造形した Matter 外骨格に理想的な柔軟電極 (Flexiboard) 薄層化した集積化太陽電池との高歩留まり接合技術を国際会議発表した。

電子線リソグラフィとMEMSプロセスによる微細電極構造の流体素子への集積化作製手法の研究

三田 吉郎, Anne-Claire Eiler, 肥後 昭男,
太田 悦子, 水島 彩子, 岡本 有貴 (産業技術総合研
究所), 鷺津 信栄 (アドバンテスト), 高田 晃広 (ア
ドバンテスト), 藤原 誠, 澤村 智紀

電極構造の微細化によるセンサ素子の更なる高感度化, 高機能化を目指し, 電子線リソグラフィとMEMS加工プロセスを組み合わせた微細電極のトップダウン作製手法の高度化に取り組んでいる。局所的に測定電極を集積化した微細孔構造や, マイクロアクチュエータと微細構造を組み合わせた電極ギャップの精密制御に取り組んでいる。本年度は, 完全空乏型のSOIトランジスタ構造 (FDSOI) によるVLSIウエーハを入手し, ポストプロセス加工によってデバイスを得るためのプロセス開発を引き続き行った。特に, 加工後のチップを電氣的・化学的システムと統合する部分の研究開発を課題としている。

電子線リソグラフィによる大面積精細描画手法の研究

三田 吉郎, 肥後 昭男, 藤原 誠, 澤村 智紀

従来垂直水平方向 (矩形) に限られ表現能力に乏しかった大面積電子線描画技術を高度化する。VDECに平成25年に新規導入された高速大面積電子線描画装置F7000S-VD02の持つ高ドース対応性, セル (キャラクタ) プロジェクション方式による鮮明なエッジを利用して, 自由曲面や繰り返し微細構造などの描画を可能とする。本年度は, パターン描画の微細化限界に挑戦し, 16nmを切るギャップ構造の作製が可能なパターンおよびプロセスデザインに成功したものを原著論文発表した。

CMOS-VLSIのMEMS後加工による高機能システムの産学連携研究

三田 吉郎, 山口 貴史, 中島 志温, 島村 龍伍,
ティモテ レヴィ (仏ボルドー大学IMS研究所),
ギレム ラリユー (仏LAAS-CNRS研究所),
池内 与志穂 (生産技術研究所), 齊藤 健 (日本大学)

D.labを通じて試作したVLSIウエーハを, 武田先端知ビルスーパークリーンルームやその他のクリーンルームにおいて後加工することによって新規センサデバイスを製作, 評価する研究を行っている。後加工に関

する知見として, トランジスタが作製された直後 (配線前) のウエーハ引き渡しを受け, 熱工程を伴う後加工プロセス (成膜, インプラ, ドライブイン) を施してもトランジスタ特性の劣化はそれほど進行しないこと, VLSIをあらかじめSilicon-on-Insulator (SOI) 基板の上に配置した構造をMEMS後加工できることなどが分かっている。共同研究開発する素子の種類は共同研究先との相談により様々だが, 作製テクノロジーは共通のものを利用できるところが産業的に重要である。数多くの企業の興味を引き, 会社との共同研究や国際共同研究等様々なプロジェクトで電子デバイスの研究が進行している。特に, 生きた細胞を柔軟に把持できる自己変形型マイクロアクチュエータの研究に取り組み, 世界最低電圧 (1.5V) で高い性能指数を示すことに成功し, 国内会議で発表するとともに原著論文発表した。

CMOS-MEMS高密度集積接合の信頼性検証のためのテスト構造研究

三田 吉郎, 松岡 瞳, 水島 彩子,
依田 孝 (東京工業大学), 平川 颯二 (東京工業大学),
岩瀬 正幸 (東京工業大学), 小笠原 宗博 (東京工業大学),
肥後 昭男, 落合 幸徳

高機能なCMOS-MEMSシステムを簡便に得る方法として, チップレベル接合技術に期待が高まるが, 数百万個に至る数 μm 角のパッドの接合状況を個々に調べることはこれまでの技術では出来ず, 新しい検査方式が必要とされている。本研究では, 1つのパッドに対して2個の電極を接合し, そのうちの一つを検査用の電極として用い, 所謂「ループバックテスト」を行うことを提案。テスト用LSI回路を試作し検証を行っている。

4.4 研究発表

黒田・小菅研究室

研究論文

- [1] K. Shiba, M. Okada, A. Kosuge, M. Hamada, and T. Kuroda, "A 12.8-Gb/s 0.5-pJ/b Encoding-Less Inductive Coupling Interface Achieving 111-GB/s/W 3D-Stacked SRAM in 7-nm FinFET," *IEEE Solid-State Circuits Letters (SSC-L)*, vol. 6, pp. 65-68, 2023.
- [2] R. Sumikawa, K. Shiba, A. Kosuge, M. Hamada, and T. Kuroda, "1.2 nJ/classification 2.4 mm² asynchronous wired-logic DNN processor using synthesized nonlinear function blocks in 0.18 μ m CMOS," *Japanese Journal of Applied Physics (JJAP)*, vol. 62, no. SC, pp. SC1019, Jan. 2023.
- [3] A. Kosuge, M. Hamada, T. Kuroda, "A 6-Gb/s Inductively-Powered Non-Contact Connector With Rotatable Transmission Line Coupler and Interface Bridge IC," *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 57, no. 2, pp. 535-545, Feb. 2022.
- [4] K. Shiba, M. Okada, A. Kosuge, M. Hamada, T. Kuroda, "Polyomino: A 3D-SRAM-Centric Accelerator for Randomly Pruned Matrix Multiplication with Simple Reordering Algorithm and Efficient Compression Format in 180-nm CMOS," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 69, no. 11, pp. 4317-4330, Nov. 2022.
- [5] S. Shibata, R. Miura, Y. Sawabe, K. Shiba, A. Kosuge, M. Hamada, and T. Kuroda, "A 5-GHz 0.15-mm² Collision-Avoiding RFID Employing Complementary Pass-Transistor Adiabatic Logic With an Inductively Connected External Antenna in 0.18- μ m CMOS," *IEEE Solid-State Circuits Letters (SSC-L)*, vol. 5, pp. 268-271, Nov. 2022.
- [6] A. Kosuge and T. Kuroda, "Proximity Wireless Communication Technologies: An Overview and Design Guidelines," *IEEE Transactions on Circuits and Systems I: Regular Papers (TCAS-I)*, vol. 69, no. 11, pp. 4317-4330, Nov. 2022.
- [7] A. Kosuge, S. Suehiro, M. Hamada and T. Kuroda, "mmWave-YOLO: A mmWave Imaging Radar-Based Real-Time Multiclass Object Recognition

System for ADAS Applications," *IEEE Transactions on Instrumentation and Measurement*, vol. 71, pp. 1-10, May 2022.

国際会議論文

- [1] Y.-C. Hsu, A. Kosuge, R. Sumikawa, K. Shiba, M. Hamada, and T. Kuroda, "A Fully Synthesized 13.7 μ J/prediction 88% Accuracy CIFAR-10 Single-Chip Data-Reusing Wired-Logic Processor Using Non-Linear Neural Network," *28th Asia and South Pacific Design Automation Conference (ASP-DAC'23)*, pp.182-183, Jan. 2023.
- [2] R. Sumikawa, K. Shiba, A. Kosuge, M. Hamada, and T. Kuroda, "A 1.2nJ/Classification Fully Synthesized All-Digital Asynchronous Wired-Logic Processor Using Quantized Non-linear Function Blocks in 0.18 μ m CMOS," *28th Asia and South Pacific Design Automation Conference (ASP-DAC'23)*, pp.180-181, Jan. 2023.
- [3] K. Shiba, M. Okada, A. Kosuge, M. Hamada, and T. Kuroda, "A 12.8-Gbps 0.5-pJ/b Encoding-less Inductive Coupling Interface Using Clocked Hysteresis Comparator for 3D-Stacked SRAM in 7-nm FinFET," *IEEE Asian Solid-State Circuits Conference (A-SSCC)*, Nov. 2022.
- [4] H. Meng, K. Wakabayashi, and T. Kuroda, "A Scalable Linear Equation Solver FPGA using High-Level Synthesis," *The 24th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI2022)*, Oct. 2022.
- [5] S. Shibata, Y. Sawabe, K. Shiba, A. Kosuge, M. Hamada, and T. Kuroda, "A Low-power RFID with 100kbps Data Rate Employing High-speed Power Clock Generator for Complementary Pass-transistor Adiabatic Logic," *29th IEEE International Conference on Electronics Circuits and Systems (ICECS 2022)*, Oct. 2022.
- [6] X. Wang, A. Kosuge, Y. Hayashi, M. Hamada, T. Kuroda, "A 7 Gb/s Micro Rotatable Transmission Line Coupler with Deep Proximity Coupling Mode and Ground Shielding Vias," *29th IEEE International Conference on Electronics Circuits and Systems*

- (ICECS 2022), Oct. 2022.
- [7] R. Sumikawa, K. Shiba, A. Kosuge, M. Hamada, and T. Kuroda, “A 1.2nJ/Classification 2.4mm² Wired-Logic Neuron Cell Array Using Logically Compressed Non-Linear Function Blocks in 0.18 μ m CMOS,” *JSAP International Conference on Solid State Devices and Materials (SSDM'22)*, Extended Abstracts, pp. 750-751, Sep. 2022.
- [8] K. Shiba, M. Okada, A. Kosuge, M. Hamada, and T. Kuroda, “A 7-nm FinFET 1.2-TB/s/mm² 3D-Stacked SRAM with an Inductive Coupling Interface Using Over-SRAM Coils and Manchester-Encoded Synchronous Transceivers,” *IEEE Hot Chips 34 Symposium (HCS)*, Aug. 2022.
- [9] Y.-C. Hsu, A. Kosuge, R. Sumikawa, K. Shiba, M. Hamada, and T. Kuroda, “A 13.7 μ J/prediction 88% Accuracy CIFAR-10 Single-Chip Wired-logic Processor in 16-nm FPGA Using Non-Linear Neural Network,” *IEEE Hot Chips 34 Symposium (HCS)*, Aug. 2022.
- [10] L. Yu, A. Kosuge, M. Hamada, and T. Kuroda, “An Anomaly Detection System for Transparent Objects Using Polarized-Image Fusion Technique,” *2022 IEEE Sensors Applications Symposium (SAS)*, Aug. 2022.
- [11] K. Shiba, M. Okada, A. Kosuge, M. Hamada, and T. Kuroda, “Polyomino: A 3D-SRAM-Centric Architecture for Randomly Pruned Matrix Multiplication with Simple Rearrangement Algorithm and x0.37 Compression Format,” *IEEE International New Circuits and Systems Conference (NEWCAS)*, June 2022.
- [12] K. Shiba, T. Omori, K. Ueyoshi, S. Takamaeda-Yamazaki, M. Motomura, M. Hamada, and T. Kuroda, “A 96-MB 3D-Stacked SRAM Using Inductive Coupling with 0.4-V Transmitter, Termination Scheme and 12:1 SerDes in 40-nm CMOS,” *IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2022.
- mission Line Coupler Using Deep-Proximity Coupling Mode and Ground-Shield Vias,” 2022年電子情報通信学会 (IEICE) ソサイエティ大会, Sep. 2022.
- [2] 小林英太郎, 小菅敦丈, 末廣知士, 濱田基嗣, 黒田忠広, “mmWave-YOLOによるミリ波レーダを用いたリアルタイム多クラス物体認識,” 第25回 画像の認識・理解シンポジウム, July 2022.
- [3] L. Yu, A. Kosuge, M. Hamada, and T. Kuroda, “Polarized-Image Fusion Based Anomaly Detection System for Food Industry Applications,” The 25th Meeting on Image Recognition and Understanding, July 2022.
- [4] 黒田忠広, “パネルセッション 産学連携による半導体産業を牽引する人材育成,” 応用物理学会春季学術講演会, Mar. 2023.
- [5] 小菅敦丈, “[招待講演] 半導体回路設計製造の民主化拠点 :Agile-X,” 電子情報通信学会総合大会, Mar. 2022.
- [6] 黒田忠広, “半導体戦略,” 熊本県半導体関連企業立地セミナー, Feb. 2023.
- [7] A. Kosuge, “Energy-efficient Neuromorphic Processor for In-Sensor Computing,” Japan India Joint Research Hub Workshop on Trusted Cyber Physical Cognitive System, Feb. 2023.
- [8] 黒田忠広, “日本企業の半導体復権への道を探る,” 長野県経営戦略セミナー, Jan. 2023.
- [9] T. Kuroda, “More Moore, More than Moore, More People,” *ASP-DAC, Keynote Addresses*, Jan. 2023.
- [10] 黒田忠広, “More Moore, More than Moore, More People,” 応用電子物性分科会 研究例会, Dec. 2022.
- [11] 黒田忠広, “More Moore, More than Moore, More People,” シンポジウム 量子技術と半導体が拓く未来社会, Dec. 2022.
- [12] 黒田忠広, “日本半導体産業の復権と産官学連携,” 電子実装工学研究所第3回委員会, Dec. 2022.
- [13] T. Kuroda, “Industry & Workforce Development Panel—,” *International Trade Partners Conference (ITPC 2022)*, Nov. 2022.

シンポジウム・研究会・大会等発表

- [1] X. Wang, A. Kosuge, Y. Hayashi, M. Hamada, T. Kuroda, “A 12.5 Gb/s 1.1 pJ/b Rotatable Trans-

- [14] 黒田忠広, “半導体戦略と3D集積,” ネプコンジャパン名古屋基調講演, Oct. 2022.
- [15] 黒田忠広, “More Moore, More than Moore, More People,” 第9回電子デバイスフォーラム京都基調講演, Oct. 2022.
- [16] 黒田忠広, “Agile-X ~ 革新的半導体技術の民主化拠点,” 第14回TIAシンポジウム, Oct. 2022.
- [17] 黒田忠広, “半導体戦略と3D集積,” ネプコンジャパン秋基調講演, Oct. 2022.
- [18] A. Kosuge, “Computational Sensing Technologies,” *Department Seminar at Princeton University*, Sep. 2022.
- [19] T. Kuroda, “Turning 3D Memory on Its Head - How to Build an SRAM Cube to Replace High-Bandwidth Memory (HBM),” *Department Seminar at Princeton University*, Sep. 2022.
- [20] 黒田忠広, “半導体戦略 ~ More Moore, More than Moore, and More People ~,” *Virtual EXPO 2022 秋*, Sep. 2022.
- [21] 小菅敦丈, “FPGAによる超低電力布線論理型AIプロセッサ,” 情報処理学会DAシンポジウム, Aug. 2022.
- [22] 黒田忠広, “Agile-X半導体民主化拠点,” *Agile-X 革新的半導体の民主化拠点キックオフシンポジウム*, July 2022.
- [23] 黒田忠広, “開所式典スピーチ,” TSMCジャパン3D-IC研究開発センター開所式典, June 2022.
- [24] 黒田忠広, “More Moore, More than Moore and More People,” *Design & Verification Conference & Exhibition Japan 2022*, June 2022.
- [25] A. Kosuge, “Computational Sensing Technologies for Cyber-Physical Infrastructure (invited),” *IEEE Symposium on VLSI Circuits, Friday Forum*, June 2022.
- [26] 柴康太, 小菅敦丈, 濱田基嗣, 黒田忠広, “[招待講演] 三次元積層SRAMと近接場無線接続技術,” 電子情報通信学会 (IEICE) 集積回路研究会 (ICD) メモリ技術と集積回路技術一般, Apr. 2022.

竹内研究室

研究論文

- [1] Chihiro Matsui, Kazuhide Higuchi, Shunsuke Koshino and Ken Takeuchi, “Event Data-based Computation-in-Memory (CiM) Configuration by Co-designing Integrated In-Sensor & CiM Computing for Extremely Energy Efficient Edge Computing,” *Japanese Journal of Applied Physics (JJAP)*, vol. 61, pp. SC1085, April 7, 2022.
- [2] Akira Goda, Chihiro Matsui and Ken Takeuchi, “A Stochastic Leaky-Integrate-and-Fire Neuron Model With Floating Gate-Based Technology for Fast and Accurate Population Coding,” *IEEE Journal of the Electron Devices Society*, vol. 10, pp.861-869, September 13, 2022.
- [3] Chihiro Matsui and Ken Takeuchi, “Heterogeneous Integration of Precise and Approximate Storage for Error-tolerant Workloads,” *IEICE Transactions on Fundamentals of Electronics Communications and Computer Sciences*, vol. E106-A, no. 3, pp. 491-503, September 5, 2022.
- [4] Shinsei Yoshikiyo, Naoko Misawa, Kasidit Toprasertpong, Shinichi Takagi, Chihiro Matsui and Ken Takeuchi, “Write Variation & Reliability Error Compensation by Layer-wise Tunable Retraining of Edge FeFET LM-GA CiM,” *IEICE Transactions on Fundamentals of Electronics Communications and Computer Sciences*, vol. E - , no. , pp. -, December 19, 2022.
- [5] Chihiro Matsui, Eitaro Kobayashi, Naoko Misawa and Ken Takeuchi, “Comprehensive analysis on error-robustness of FeFET computation-in-memory for hyperdimensional computing,” *Japanese Journal of Applied Physics (JJAP)*, vol. 62, pp. SC1053, February 6, 2023.
- [6] Kazuhide Higuchi, Tomoki Kobayashi, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, “Tiny and error-tolerant ConvLSTM for event-based vision sensor with optimized event representation and ReRAM computation-in-memory,” *Japanese Journal of Applied Physics (JJAP)*, vol. 62, pp. SC1068, February 14, 2023.

国際会議論文

- [1] Naoko Misawa, Chihiro Matsui and Ken Takeuchi, “Compact and Tunable ReRAM Computation-in-Memory for Log-encoding Simulated Annealing,” *IEEE Symp. on Low-Power and High-Speed Chips and Systems (Cool Chips 25) Poster*, April 20, 2022.
- [2] Kazuhide Higuchi, Chihiro Matsui, Naoko Misawa and Ken Takeuchi, “Simulation Platform of Computation-in-Memory with Memory Device Non-idealities for DNN,” *IEEE Symp. on Low-Power and High-Speed Chips and Systems (Cool Chips 25) Poster*, April 20, 2022.
- [3] Shinsei Yoshikiyo, Naoko Misawa, Kasidit Toprasertpong, Shinichi Takagi, Chihiro Matsui and Ken Takeuchi, “Edge Retraining of FeFET LM-GA CiM for Write Variation & Reliability Error Compensation,” *IEEE International Memory Workshop*, pp. 128-131, May 18, 2022.
- [4] Yuya Ichikawa, Akira Goda, Chihiro Matsui and Ken Takeuchi, “Non-volatile Memory Application to Quantum Error Correction with Non-uniformly Quantized CiM,” *IEEE International Memory Workshop Poster*, pp. 34-37, May 16, 2022.
- [5] Shinsei Yoshikiyo, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, “Edge Computation-in-Memory for In-Situ Class-Incremental Learning with Knowledge Distillation,” *IEEE International Symposium on Circuits and Systems (ISCAS)*, May 31, 2022.
- [6] Chihiro Matsui, Eitaro Kobayashi, Kasidit Toprasertpong, Shinichi Takagi and Ken Takeuchi, “Versatile FeFET Voltage-Sensing Analog CiM for Fast & Small-Area Hyperdimensional Computing,” *IEEE International Symposium on Circuits and Systems (ISCAS)*, June 1, 2022.
- [7] Naoko Misawa, Kenta Taoka, Chihiro Matsui and Ken Takeuchi, “Domain Specific ReRAM Computation-in-Memory Design Considering Bit Precision and Memory Errors for Simulated Annealing,” *IEEE International Symposium on Circuits and Systems (ISCAS)*, June 1, 2022.
- [8] Shunsuke Koshino, Chihiro Matsui and Ken Takeuchi, “Computation-in-Memory with Hybrid Integration of Non-Volatile Memory & SRAM for Reservoir Computing,” *IEEE Silicon Nanoelectronics Workshop (SNW)*, pp. 25-26, June 25-26, 2022.
- [9] Shunsuke Koshino, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, “Compact CiM Co-optimized by Heterogeneous Multi-level ReRAM & Random Weight SNN for Event-based Vision Sensor of Edge AI,” *IEEE Silicon Nanoelectronics Workshop (SNW)*, pp. 95-96, June 11-12, 2022.
- [10] Kazuhide Higuchi, Chihiro Matsui and Ken Takeuchi, “Investigation of Memory Non-Ideality Impacts on Non-Volatile Memory Based Computation-in-Memory AI Inference by Comprehensive Simulation Platform,” *IEEE Silicon Nanoelectronics Workshop (SNW) Poster*, pp. 57-58, June 11-12, 2022.
- [11] Eitaro Kobayashi, Chihiro Matsui, Naoko Misawa, and Ken Takeuchi, “Read-disturb & Data-retention Error-robust and Fast Training Methods of FeFET LM-GA CiM for Hyperdimensional Computing,” *International Conference on Solid State Devices and Materials (SSDM)*, September 27, 2022, pp. 437-438.
- [12] Tomoki Kobayashi, Kazuhide Higuchi, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, “Tiny and Error Torrent Convolutional LSTM for Event-based Vision Sensor with ReRAM Computation-in-Memory,” *International Conference on Solid State Devices and Materials (SSDM)*, September 29, 2022, pp. 435-436.
- [13] Akira Goda, Chihiro Matsui and Ken Takeuchi, “Inter Spike Interval and Stochasticity Engineering of Floating Gate Technology-based Neurons for Spiking Neural Network Hardware”, *International Symposium on Semiconductor Manufacturing (ISSM) 2022*, December 12, 2022. 【招待講演】
- [14] Ken Takeuchi, “Memory-Centric Computing”, *JST-NSTC Workshop 2022: Nanoelectronics and System Integration for AI*, December 19, 2022. 【招待講演】
- [15] Ayumu Yamada, Naoko Misawa, Shunsaku Murauchi,

- ka, Ken Kawai,, Chihiro Matsui and Ken Takeuchi, “TaOX ReRAM Cell-level Unidirectional Neural Network Weight Control for Non-linearity & Variation Robust Transfer Learning of Low Cost Digital eCiM”, *7th IEEE Electron Devices Technology and Manufacturing (EDTM) Conference 2023*, March, 2023, pp. 169-172.
- [16] Shinsei Yoshikiyo, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, “NN Algorithm Aware Alternate Layer Retraining on Computation-in-Memory for Write Variation Compensation of Non-volatile Memories at Edge AI”, *7th IEEE Electron Devices Technology and Manufacturing (EDTM) Conference 2023*, March, 2023, pp. 389-392.
- [17] Akira Goda, Chihiro Matsui and Ken Takeuchi, “Stochastic Resonance Effects of Floating Gate Technology-based Leaky Integrate-and-Fire (FGLIF) Neurons in Summing Network”, *7th IEEE Electron Devices Technology and Manufacturing (EDTM) Conference 2023*, March, 2023, pp. 304-307.
- [18] Ken Takeuchi, “Neuromorphic Computation-in-Memory System,” *IEEE International Reliability Physics Symposium (IRPS)*, March 28, 2023, pp.2B-3.1-2B-3.3. 【招待講演】
- [19] Ayumu Yamada, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, “ReRAM CiM Fluctuation Pattern Classification by CNN Trained on Artificially Created Dataset,” *IEEE International Reliability Physics Symposium (IRPS)*, March 28, 2023, pp.2B-2.1-2B-3.6.
- シンポジウム・研究会・大会等発表
- [1] 竹内健, “AI向け Computation-in-Memory (CiM)”, 集積回路研究会, 2022年4月12日. 【招待講演】
- [2] 竹内健, “半導体長期保存メモリ”, 日本写真学会 画像保存セミナー, 2022年12月2日. 【招待講演】
- [3] 松井千尋, 樋口和英, 越能 俊介竹内健, “Event-based Vision Sensor (EVS) 向け低消費エネルギーのイベント駆動型SRAM Computation-in-Memory (CiM)”, 22p-E102-6, 第69回応用物理学会春季学術講演会, 22p-E102-6, 2022年3月22日.
- [4] 樋口和英, 松井千尋, 三澤奈央子, 竹内健, “メモリデバイスの非理想性を考慮した Computation-inMemory 向けニューラルネットワーク精度評価シミュレータ”, 第69回応用物理学会春季学術講演会, 22p-E102-7, 2022年3月22日.
- [5] 三澤奈央子, 松井千尋, 竹内健, “組合せ最適化問題に向けたログ・エンコーディングによる ReRAM を用いたコンピューション・イン・メモリ”, 第69回応用物理学会春季学術講演会, 23a-E102-2, 2022年3月23日.
- [6] 合田晃, 松井千尋, 竹内健, “Spiking Neural Network (SNN) ハードウェア向けフローティングゲート型 Stochastic ニューロン”, 第69回応用物理学会春季学術講演会, 22a-E102-1, 2022年3月22日.
- [7] 松井千尋, 小林英太郎, トープラサートポンカシディット, 高木信一, 竹内健, “Hyperdimensional Computing を高速演算する FeFET を用いた電圧センス CiM”, 第83回応用物理学会秋季学術講演会, 20a-M206-3, 2022年9月20日.
- [8] 越能俊介, 三澤奈央, 松井千尋, 竹内健, “ReRAM デバイスと SNN アルゴリズムにより最適化されたイベントベースビジョンセンサーのための小面積 CiM”, 第83回応用物理学会秋季学術講演会, 20a-M206-4, 2022年9月20日.
- [9] 吉清泰生, 三澤奈央子, トープラサートポンカシディット, 高木 信一, 松井千尋, 竹内健, “デバイスエラーを補償するエッジ FeFET CiM の再学習”, 第83回応用物理学会秋季学術講演会, 20a-M206-6, 2022年9月20日.
- [10] 吉清泰生, 三澤奈央子, 松井千尋, 竹内健, “エッジデバイス Computation-in-Memory (CiM) での 知識の蒸留を用いたクラス増分学習”, 第83回応用物理学会秋季学術講演会, 20a-M206-7, 2022年9月20日.
- [11] 市川裕也, 合田晃, 松井千尋, 竹内健, “量子誤り訂正に向けた不均一量子化を適用した不揮発性メモリによる Computation-in-Memory (CiM) ”, 第83回応用物理学会秋季学術講演

- 会, 20a-M206-8, 2022年9月20日.
- [12] 樋口和英, 松井千尋, 竹内健, “Computation-in-Memoryを用いたニューラルネットワークの推論における不揮発性メモリアレイ構成要素の非理想性に関する検討”, 第83回応用物理学会秋季学術講演会, 2022年9月21日, 21a-C201-2.
- [13] 三澤奈央子, 松井千尋, 竹内健, “組合せ最適化問題のドメインに応じたReRAMを用いたコンピューテーション・イン・メモリのデザイン”, 第83回応用物理学会秋季学術講演会, 21a-C201-10, 2022年9月21日.
- [14] 越能俊介, 松井千尋, 竹内健, “リザーブコンピューティングによるカオス時系列の自律的再生におけるサンプリング頻度の影響”, 第83回応用物理学会秋季学術講演会, 23a-M206-8, 2022年9月23日.
- [15] 越能俊介, 三澤奈央子, 松井千尋, 竹内健, “Spiking Pointwise Convolutionを用いたニューラルネットワークによるイベントデータおよびフレーム画像の未来予測,” 第34回コンピュータシステム・シンポジウム (ComSys2022), 2022年12月5日.
- [16] Zhongzhong Fan, Naoko Misawa, Chihiro Matsui, Ken Takeuchi, “2-opt Local Search Optimized ReRAM CiM based Simulated Annealing for Solving Travelling Salesman Problem,” 第34回コンピュータシステム・シンポジウム (ComSys2022), 2022年12月5日.
- [17] 合田晃, 松井千尋, 竹内健, “FG型ニューロンを用いた加算ネットワークにおける確率共鳴効果”, 第70回応用物理学会春季学術講演会, 15a-B414-3, 2023年3月15日.
- [18] 山田歩, 三澤奈央子, 村岡俊作, 河合賢, 松井千尋, 竹内健, “デジタル抵抗変化型メモリの線形書き込み手法と書き込みの非理想性を考慮したニューラルネットワークの学習アルゴリズム”, 第70回応用物理学会春季学術講演会, 15a-B414-4, 2023年3月15日.
- [19] 吉清泰生, 三澤奈央子, 松井千尋, 竹内健, “Computation-in-Memory のデバイスエラー補償1 ニューラルネットワークのアルゴリズムを考慮した層単位の再学習による不揮発性メモリの書き込みばらつき補償”, 第70回応用物理学会春季学術講演会, 15a-B414-6, 2023年3月15日.
- [20] 吉清泰生, 山田歩, 三澤奈央子, 松井千尋, 竹内健, “Computation-in-Memory のデバイスエラー補償 2 Shortcut connectionによる層単位のエラー耐性の違いと入出力分布の検証”, 第70回応用物理学会春季学術講演会, 15a-B414-7, 2023年3月15日.
- [21] Zhongzhong Fan, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, “2-opt ReRAM CiM: Traveling Salesman Problem Targeted ReRAM CiM based Simulated Annealing Using 2-opt Local Search”, 第70回応用物理学会春季学術講演会, 15p-B414-6, 2023年3月15日.
- [22] 松井千尋, 小林英太郎, 三澤奈央子, 竹内健, “FeFET CiMのエラーを許容するHyperdimensional Computingの学習アルゴリズム”, 第70回応用物理学会春季学術講演会, 15p-B414-7, 2023年3月15日.
- [23] 樋口和英, 小林知幾, 三澤奈央子, 松井千尋, 竹内健, “ReRAM Computation-in-Memoryを用いた イベントベースビジョンセンサ向け畳み込みLSTM”, 第70回応用物理学会春季学術講演会, 15p-B414-8, 2023年3月15日.
- [24] 越能俊介, 三澤奈央子, 松井千尋, 竹内健, “スパイクングニューラルネットワークによるイベントデータおよびフレーム画像の未来予測”, 第70回応用物理学会春季学術講演会, 15p-B414-9, 2023年3月15日.

中村研究室

研究論文

- [1] Shresthamali Shaswot, Masaaki Kondo, and Hiroshi Nakamura, “Multi-Objective Resource Scheduling for IoT Systems Using Reinforcement Learning”, *J. Low Power Electron. Appl.* 2022, 12 (4), 53; <https://doi.org/10.3390/jlpea12040053> (Oct. 2022)

国際会議論文

- [1] Takuya Kojima, Boma Adhi, Carlos Cortes, Yiyu Tan, Kentaro Sano, “An Architecture-Independent CGRA Compiler enabling OpenMP Applications”, 2022 IEEE International Parallel and Distributed Processing Symposium Workshops (IPDPSW), May 2022

シンポジウム・研究会・大会等発表

- [1] Takuya Kojima, Hayate Okuhara, Masaaki Kondo, Hideharu Amano, “Body Bias Control on a CGRA based on Convex Optimization”, COOLCHIPS25, Japan, April, 2022
- [2] 前田志温, 中村 宏, 高瀬英希, “精度保証付き高速モデル予測制御の固定小数点実装に向けた検討”, 電子情報通信学会信学技報RECONF2022-2 (2022年5月)
- [3] 富田祐永, 上野洋典, 谷本輝夫, 田中雅光, 井上弘士, 中村 宏, “通信量に着目したQAOA向け極低温NISQコンピューティングのアーキテクチャ検討”, 情報処理学会研究報告システム・アーキテクチャ (ARC), Vol. 2022-ARC-250, No. 12, pp. 1-11, 2022年10月
- [4] 中島創太, 坂本龍一, 中村 宏, “動的スケジューリングによるマイクロサービスの応答性能改善”, コンピュータシステム・シンポジウム論文集, Vol. 2022, pp. 63-70, 2022年11月.
- [5] 小島拓也, 齋藤 真, 中村 宏, “多様なCGRAを実現するDiplomacyを活用した設計手法の検討”, 電子情報通信学会信学技報VLD2022-22 (2022年11月)
- [6] 杵名 海斗, 小島 拓也, 高瀬 英希, 中村 宏, “近似演算器を用いたCGRAとアプリケーションマッピングの協調設計”, 電子情報通信学会信学技報VLD2022-88, HWS2022-59 (2023-03)

池田研究室

論文

- [1] H. AWANO, and M. IKEDA, “BayesianPUFNet: Training Sample Efficient Modeling Attack for

Physically Unclonable Functions,” IEICE Trans. on Fundamentals, Vol.E106-A, No.5, pp.840-850.

- [2] K. MASADA, R. NAKAYAMA, and M. IKEDA, “High Speed ASIC Architectures for Aggregate Signature over BLS12-381,” IEICE Trans. on Electronics, Vol.E106-C, No.6, pp.331-334.

国際会議

- [3] K. Masada, R. Nakayama and M. Ikeda, “Hardware Acceleration of Aggregate Signature Generation and Authentication by BLS Signature over BLS12-381 curve”, 2022 IEEE Symposium on Low-Power and High-Speed Chips and Systems (COOL Chips), April 2022, pp.1-3.
- [4] [Invited] M. Ikeda, “Agile-X: Platform for semiconductor integrated circuits design and fabrication democratization,” The 11th IEEE Non-Volatile Memory Systems and Applications Symposium August 23-25, 2022, Taipei, Taiwan.
- [5] T. Shimada and M. Ikeda, “High-speed and energy-efficient crypto-processor for post-quantum cryptography CRYSTALS-Kyber,” 2022 IEEE Asian Solid-State Circuits Conference (A-SSCC), pp. 12-14, Nov. 2022.
- [6] [Invited] M. Ikeda, “Democratize chip design,” 2022 IEEE Asian Solid-State Circuits Conference (A-SSCC), IVA4, Nov. 2022.

国内研究会

- [7] 阿部浩太郎, 池田誠, “ECDSAスカラ倍算実装におけるサイドチャネル攻撃対策の検討,” 電子情報通信学会, LSIとシステムのワークショップ2023, D2-学生45, 2022年5月
- [8] 正田薫, 中山亮平, 池田誠, “楕円曲線上の集約署名向けハードウェアの設計”, 情報処理学会DAシンポジウム2022, 2022年8月
- [9] 島田泰慎, “耐量子計算機暗号CRYSTALS-Kyber用高速暗号プロセッサ,” d.lab-VDEC デザイナーズフォーラム, 2022年10月
- [10] 正田薫, 池田誠, “BLS署名生成アルゴリズム向け高速ハードウェアの設計”, d.lab-VDEC デザイナーズフォーラム, 2022年10月

- [11] 島田泰慎, 池田誠, 完全準同型暗号 TFHE のマルチチップ設計による高速化, ハードウェアセキュリティフォーラム 2022, 2022年12月
- [12] Yinfan Zhao, Ikeda Makoto, “Hardware Acceleration of TFHE-based Adder by Controlling Error”, 電子情報通信学会, 信学技報, vol. 122, no. 228, ICD2022-32, pp. 58-63, 2022年10月.
- [13] 正田薫, 池田誠, “BLS12-381上集約署名生成アルゴリズムの Full Word パイプライン乗算器による高速化”, ハードウェアセキュリティフォーラム, 2022年12月
- [14] 福田桃子, 池田誠, “BLS24 ペアリングアルゴリズム向け高速ハードウェアの設計“, ハードウェアセキュリティフォーラム, 2022年12月
- [15] 菊岡才人, 池田誠, “ペアリング暗号の安全性およびペアリング演算ハードウェアにおけるコストの見積もり,” ハードウェアセキュリティフォーラム2022, 2022年12月
- [16] Yinfan Zhao, Ikeda Makoto, “Hardware Design Optimization of TFHE-based Adder”, 電子情報通信学会 ハードウェアセキュリティフォーラム2022, Dec.2022
- [17] 竹島優太, 池田誠, “検索可能暗号への応用に向けた超特異楕円曲線上の対称ペアリングのハードウェア実装“, ハードウェアセキュリティフォーラム, 2022年12月
- [18] H. Bui and M. Ikeda, “VLIW-based Design of Post Quantum Cryptosystem SIDH,” 電子情報通信学会 ハードウェアセキュリティフォーラム2022, Dec.2022.
- [19] H. Bui and M. Ikeda, “High-Performance Hardware Implementation of Supersingular Isogeny-based Cryptosystems,” 2023 Symposium on Cryptography and Information Security (SCIS 2023), 3B4-3, Jan. 2023.
- [20] 竹島優太, 池田誠, “超特異楕円曲線上の対称ペアリングにおけるミラーリングのスケジューリング“, ICD/CAS 若手研究会, 2022年12月
- [21] 福田桃子, 池田誠, “複数の楕円曲線に対応したペアリングアルゴリズム向けハードウェアの自動設計, “ ICD/CAS 若手研究会, 2022年12月
- [22] 菊岡才人, 池田誠, “ペアリング暗号向け乗算器に対するサイドチャネル攻撃のトグルベースシミュレーション,” 電子情報通信学会, 信学技報, vol. 122, no. 402, VLD2022-109, pp. 197-202, 2023年3月.
- [23] Yinfan Zhao, Ikeda Makoto, “Design Optimization of TFHE-based 4+ Input Homomorphic Logic Gates by Error Controlling”, 電子情報通信学会, 信学技報, vol. 122, no. 403, HWS2022-81, pp. 203-208, 2023年3月.
- [24] [invited] 池田誠, “半導体集積回路設計の民主化と d.lab-VDEC・AIDC・Agile-X の取り組み,” 半導体テクノロジーシンポジウム, 2022年11月
- [25] [Invited] 池田誠, “半導体集積回路の民主化と Agile-X の取り組み,” NF-FPGA Initiative 第3回公開シンポジウム, 2023年3月.

国内大会

- [26] 阿部浩太郎, 池田誠, “スカラー倍算におけるサイドチャネル攻撃対策効果について,” 電子情報通信学会, 2022年ソサイエティ大会, A-19-1, 2022年9月
- [27] 菊岡才人, 池田誠, “BN, BLS12曲線を用いたペアリング暗号のハードウェア的安全性効率,” 電子情報通信学会, 2022年ソサイエティ大会, A-19-2, 2022年9月

飯塚研究室

研究論文

- [1] Motohiko Ezawa, Shun Yasunaga, Tetsuya Iizuka, Akio Higo and Yoshio Mita, “Universal quantum computer based on Carbon Nanotube Rotators,” Japanese Journal of Applied Physics (JJAP), Mar. 2023.
- [2] Xiangyu Chen*, Zolboo Byambadorj*, Takeaki Yajima, Hisashi Inoue, Isao H. Inoue and Tetsuya Iizuka, “CMOS-based area-and-power-efficient neuron and synapse circuits for time-domain analog spiking neural networks,” Applied Physics Letters, 122,

- 074102, Feb. 2023. (* Equally contributed authors).
- [3] Masaru Osada, Zule Xu, Ryoya Shibata and Tetsuya Iizuka, "Analysis of Offset Spurs in Phase-Locked-Loops Employing Harmonic-Mixer-Based Feedback with Sample-and-Hold Operation," IEEE Transactions on Circuits and Systems-I: Regular Papers, vol. 69, no. 12, pp. 5072 - 5084, Dec. 2022.
- [4] Tetsuya Iizuka, Meikan Chin, Toru Nakura and Kunihiro Asada, "4-Cycle-Start-Up Reference-Clock-Less Digital CDR Utilizing TDC-Based Initial Frequency Error Detection with Frequency Tracking Loop," IEICE Transactions on Electronics, vol. E105-C, no. 10, pp. 544 - 551, Oct. 2022.
- [5] Shuwei Li, Naoki Ojima, Zule Xu and Tetsuya Iizuka, "Analysis and Simulation of MOSFET-Based Gate-Voltage-Independent Capacitor," Japanese Journal of Applied Physics (JJAP), vol. 61, no. 064501, May 2022.
- [6] Xiangyu Chen, Takeaki Yajima, Isao H. Inoue and Tetsuya Iizuka, "An Ultra-Compact Leaky Integrate-and-Fire Neuron with Long and Tunable Time Constant Utilizing Pseudo Resistors for Spiking Neural Networks," Japanese Journal of Applied Physics (JJAP), vol. 61, no. SC1051, May 2022.

国際会議論文

- [1] Nguyen Ngoc Mai-Khanh, Zolboo Byambadorj, Akio Higo, Koji Asami, Hiroyuki Mineo, Natsuki Shiota, Masahiro Fujita and Tetsuya Iizuka, "A Low-Cost Planar Arrow-Shaped Monopole Antenna for 5G Near-Field Measurement," in Proceedings of IEEE Conference on Antenna Measurement and Applications (CAMA), Dec. 2022.
- [2] Tetsuya Iizuka and Nobukazu Takai, "Does AI make analog automation different?," IEEE Asian Solid-State Circuits Conference (A-SSCC) Panel Discussion, The analog automation: What is the expectation? What is the reality?, Nov. 2022.
- [3] Masaru Osada, Zule Xu and Tetsuya Iizuka, "An Inductorless Fractional-N PLL Using Harmonic-Mixer-Based Dual Feedback and High-OSR Delta-Sigma-Modulator with Phase-Domain Filter-

ing," in Proceedings of IEEE European Solid-State Circuits Conference (ESSCIRC), pp. 245 - 248, Sep. 2022.

- [4] Nguyen Ngoc Mai-Khanh, Daisuke Yamazaki and Tetsuya Iizuka, [Invited] "140-GHz Energy-Efficient OOK Receiver using Self-Mixer-Based Power Detector in 65nm CMOS," in Proceedings of IEEE International Conference on IC Design and Technology (ICICDT), Sep. 2022.
- [5] Zunsong Yang, Zule Xu, Masaru Osada and Tetsuya Iizuka, "A 10-GHz Inductorless Cascaded PLL with Zero-ISF Subsampling Phase Detector Achieving -63-dBc Reference Spur, 175-fs RMS Jitter and -240-dB FOMjitter," in IEEE Symposium on VLSI Technology and Circuits Digest of Technical Papers, Jun. 2022.
- [6] Ryoya Shibata, Zule Xu, Yasushi Hotta, Hitoshi Tabata and Tetsuya Iizuka, "A Charge-Redistribution Multi-Bit Stochastic-Resonance ADC Enhancing SNDR for Weak Input Signal," in Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS), pp. 3224 - 3228, May 2022.
- [7] Zule Xu, Naoki Ojima, Shuwei Li and Tetsuya Iizuka, "An All-Standard-Cell-Based Synthesizable SAR ADC with Nonlinearity-Compensated RDAC," IEEE International Symposium on Circuits and Systems (ISCAS), May 2022.

シンポジウム・研究会・大会等発表

- [1] Sheng Guo, Zolboo Byambadorj, Ryogo Koike, Koji Asami, Nguyen Ngoc Mai-Khanh, Akio Higo, Masahiro Fujita and Tetsuya Iizuka, "ミリ波アンテナ遠方界放射再構築のための近傍界シミュレーションプラットフォーム," 電気学会 全国大会, 1-015, 2023年3月.
- [2] Haochen Yuan, Anne-Claire Eiler, Shun Yasunaga, Motohiko Ezawa, Yoshio Mita and Tetsuya Iizuka, "Measurement Investigation of Si Substrate Impact on On-Chip Resonance Circuits," 電子情報通信学会 総合大会, C-12-25, 2023年3月.
- [3] 堀川 貴道, 加納 創太, 飯塚 哲也, "SiGe Bi-CMOS 130nm プロセスを用いた300GHz帯電力

増幅回路の設計,” 電子情報通信学会 総合大会, C-12-26, 2023年3月.

- [4] 岩下僚我, 徐祖楽, 長田将, 柴田凌弥, 熊野陽, 飯塚哲也, “帯域内位相雑音の低減に向けた3次MASH型 $\Delta\Sigma$ FDCに基づくデジタル位相同期回路の設計,” 電子情報通信学会 技術研究報告, 2022年11月.
- [5] 飯塚 哲也, [招待講演] “ソフトウェア無線のための広帯域受信機向け集積回路技術,” 電子情報通信学会 ソサイエティ大会, BI-12-3, 2022年9月.
- [6] 徐 祖楽, 長田 将, 飯塚 哲也, [招待講演] “A 3.3-GHz 4.6-mW Fractional-N Type-II Hybrid Switched-Capacitor Sampling PLL Using CDAC-Embedded Digital Integral Path with -80 -dBc Reference Spur,” 電子情報通信学会 技術研究報告, 2022年8月.
- [7] 大塚 日嵩, 石田 雅裕, 名倉 徹, 肥後 昭男, 飯塚 哲也, “VLSI自動テスト装置への応用に向けた高精度ピン間スキュー検出回路の設計と評価,” 電子情報通信学会 LSIとシステムのワークショップ2022, 2022年5月.
- [8] 加納 創太, 飯塚 哲也, “伝送線路によるステージ間整合を応用したSiGe 130nmプロセスによる150GHz発振器の設計,” 電子情報通信学会 LSIとシステムのワークショップ2022, 2022年5月.
- [9] 飯塚 哲也, Hao Xu, Asad Abidi, [招待講演] “CMOS A/D 変換回路のシステムティック設計手法,” 電子情報通信学会 総合大会, TK-2-3, 2022年3月.
- [10] 松岡 英, 根塚 智裕, 飯塚 哲也, “閉ループダイナミックFIAを用いた低電力デルタシグマアナログ-デジタル変換器,” 電子情報通信学会 LSIとシステムのワークショップ2021, 2021年5月.
- [11] 陳 翔宇, 矢嶋 起彬, 飯塚 哲也, “Leaky Integrate-and-Fire Neuron Circuit with Long and Tunable Time Constant Utilizing Pseudo Resistors,” 電子情報通信学会 LSIとシステムのワークショップ2021, 2021年5月.

平本・小林研究室

研究論文

- [1] 更屋拓哉, 平本俊郎, 「Si-IGBTの技術動向と新世代IGBTの開発」, クリーンテクノロジー, vol. 32, No. 6, pp. 41 - 48, 2022年6月.
- [2] Zhuo Li, Jixuan Wu, Xiaoran Mei, Xingyu Huang, Takuya Saraya, Toshiro Hiramoto, Takanori Takahashi, Mutsunori Uenuma, Yukiharu Uraoka, and Masaharu Kobayashi, “A 3D Vertical-Channel Ferroelectric/Anti-Ferroelectric FET with Indium Oxide”, IEEE Electron Devices Letters, vol. 43, No. 8, pp. 1227 - 1230, August, 2022. DOI: 10.1109/LED.2022.3184316.
- [3] 平本俊郎, 更屋拓哉, 「パワー半導体の新展開—シリコンIGBTのスケーリング—」, 光技術コンタクト, Vol. 60, No. 7, pp. 12 - 17, 2022年7月.
- [4] Yoshiki Sawabe, Takuya Saraya, Toshiro Hiramoto, Chun-Jung Su, Vita Pi-Ho Hu, and Masaharu Kobayashi, “On the thickness dependence of the polarization switching kinetics in HfO₂-based ferroelectric”, Applied Physics Letters, Vol. 121, No. 8, 082903, August, 2022. DOI: 10.1063/5.0098436.
- [5] Masaharu Kobayashi, Jixuan Wu, Yoshiki Sawabe, Saraya Takuya and Toshiro Hiramoto, “Mesoscopic-scale grain formation in HfO₂-based ferroelectric thin films and its impact on electrical characteristics”, Nano Convergence, Vol. 9, No. 50, November, 2022. <https://doi.org/10.1186/s40580-022-00342-6>.
- [6] 平本俊郎, 「巻頭言: 我が国の半導体復権と応用物理学会」, 応用物理学会応用電子物性分科会誌, Vol. 28, No. 5, 2022年12月.
- [7] Kiyoshi Takeuchi, Tomoko Mizutani, Takuya Saraya, Hiroshi Oka, Takahiro Mori, Masaharu Kobayashi, and Toshiro Hiramoto, “MOSFET series resistance extraction at cryogenic temperatures”, Japanese Journal of Applied Physics, Vol. 62, No. SC, SC1023, March, 2023. <https://doi.org/10.35848/1347-4065/acac3c>.
- [8] Xingyu Huang, Yuki Itoya, Zhuo Li, Takuya Saraya,

Toshiro Hiramoto, and Masaharu Kobayashi, “Device modeling of oxide–semiconductor channel antiferroelectric FETs using half-loop hysteresis for memory operation”, *Japanese Journal of Applied Physics*, Vol. 62, No. SC, SC1024, March, 2023. <https://doi.org/10.35848/1347-4065/acac3b>.

国際会議論文

- [1] T. Saraya, K. Itou, T. Takakura, M. Fukui, S. Suzuki, K. Takeuchi, and T. Hiramoto, “Superior Eoff–Vcesat Trade-off of 5V-Gate-Driven 3.3kV Back-gate-Controlled IGBTs (BC-IGBTs)”, *IEEE International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, Marriott Pinnacle Downtown Hotel, Vancouver, Canada, pp. 45 - 48, May 23, 2022.
- [2] Z. Li, J. Wu, X. Mei, X. Huang, T. Saraya, T. Hiramoto, T. Takahashi, M. Uenuma, Y. Uraoka, M. Kobayashi, “A Vertical Channel Ferroelectric/Anti-Ferroelectric FET with ALD InOx and Field-Induced Polar-Axis Alignment for 3D High-Density Memory,” *IEEE Silicon Nanoelectronics Workshop*, Hilton Hawaiian Village, Honolulu, HI, USA, pp. 9 - 10, June 11, 2022.
- [3] Toshiro Hiramoto, “Toward Integration of Silicon Power Transistors”, *TSMC-UTokyo Symposium*, Online Conference, August 9, 2022.
- [4] Kiyoshi Takeuchi, Tomoko Mizutani, Takuya Saraya, Hiroshi Oka, Takahiro Mori, Masaharu Kobayashi and Toshiro Hiramoto, “Temperature Dependence of MOSFET Series Resistance from 300 K to 4 K”, *2022 International Conference on Solid State Devices and Materials (SSDM)*, Makuhari Messe, Chiba, G-1-05, pp. 483 - 484, September 27, 2022.
- [5] Xingyu Huang, Yuki Itoya, Zhuo Li, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, “Modeling and Simulation of Antiferroelectric FETs with Oxide Semiconductor Channel Using Half-Loop Hysteresis for Memory Applications” *2022 International Conference on Solid State Devices and Materials (SSDM)*, Makuhari Messe, Chiba, G-6-07, pp. 537 - 538, September 28, 2022.
- [6] Toshiro Hiramoto (Plenary), “Everlasting CMOS Innovation: The Future Perspectives”, *International Microprocesses and Nanotechnology Conference (MNC 2022)*, JR Hotel Clement Tokushima, Tokushima, November 9, 2022.
- [7] M. Endo, S. Numata, K. Ohshima, Y. Egi, F. Isaka, T. Ohno, S. Tezuka, T. Hamada, K. Furutani, K. Tsuda, T. Matsuzaki, T. Onuki, T. Murakawa, H. Kunitake, M. Kobayashi, and S. Yamazaki, “A c-axis crystalline IGZO FET and a 0.06-um2 HfO2-based Capacitor 1T1C FeRAM with High Voltage and 10-ns Write Time”, *International Electron Devices Meeting (IEDM)*, pp. 134-137, San Francisco, December 5, 2022.
- [8] Junxiang Hao, Xiaoran Mei, Takuya Saraya, Toshiro Hiramoto and Masaharu Kobayashi, “3D NAND Memory Operation of Oxide-Semiconductor Channel FeFETs and the Potential Impact of In-Plane Polarization”, *7th Electron Devices Technology and Manufacturing Conference (EDTM)*, COEX, Seoul, Korea, pp. 325 - 327, March 8, 2023.
- [9] Xiang Zhou, Munetoshi Fukui, Kiyoshi Takeuchi, Takuya Saraya and Toshiro Hiramoto, “Suppressed Dynamic Avalanche and Enhanced Turn-Off dV/dt Controllability in 3300V Scaled IGBTs”, *7th Electron Devices Technology and Manufacturing Conference (EDTM)*, COEX, Seoul, Korea, pp. 360 - 362, March 8, 2023.
- [10] Hirotaka Yamada, Satoru Furue, Takehiko Yokomori, Yuki Itoya, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, “Energy-efficient Annealing Process of HfO2-based Ferroelectric Capacitor using UV-LED for Green Manufacturing”, *7th Electron Devices Technology and Manufacturing Conference (EDTM)*, COEX, Seoul, Korea, pp. 513 - 515, March 9, 2023.
- [11] Kiyoshi Takeuchi, Tomoko Mizutani, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, “Variability of MOSFET Series Resistance Extracted from Individual Devices: Is Direct Variability Measurement Possible?”, *35th International Confer-*

ence on Microelectronic Test Structures (ICMTS), The University of Tokyo, Tokyo, No. 5-2, March 29, 2023.

シンポジウム・研究会・大会等発表

- [1] 小林正治, 「HfO₂系強誘電体を用いた三次元集積メモリデバイスの展望」, 電子情報通信学会集積回路研究会 (ICD), ハイブリッド開催 (川崎), 2022年4月12日
- [2] 平本俊郎, 「VLSIシンポジウム報告 先端CMOS技術」, d.lab協賛事業, オンライン開催, 2022年8月25日.
- [3] 小林正治, 「VLSIシンポジウム報告 メモリデバイス技術 (MTを中心に)」, d.lab協賛事業, オンライン開催, 2022年8月25日.
- [4] 更屋拓哉, 平本俊郎, 「新世代Si-IGBTの開発～量産可能な両面ゲートIGBTの技術開発と性能向上への取り組み～」, 応用物理学会シリコンテクノロジー分科会第238回研究会「シリコンIGBTを切り拓くプロセス・評価・材料の高性能化」, オンライン研究会, 2022年8月26日.
- [5] 平本俊郎, 「応用物理学会からの挨拶」, 最先端で活躍するガラスとガラス状態～2022年国際ガラス年 IYOG 記念シンポジウム, 第83回応用物理学会秋季学術講演会, 東北大学川内北キャンパス, 宮城, 20a-B200-1, 2022年9月20日.
- [6] 川戸勇人, 高橋崇典, 上沼睦典, 小林正治, 浦岡行治, 「原子層積法を用いた高移動度In₂O₃薄膜トランジスタの作製」, 2022年第83回応用物理学会秋季学術講演会, 21p-B203-18, 2022年9月21日, 東北大学
- [7] 高橋崇典, 上沼睦典, 小林正治, 浦岡行治, 「三次元集積デバイス応用に向けた非晶質酸化半導体材料の開発」, 2022年第83回応用物理学会秋季学術講演会, 21p-B203-19, 2022年9月21日, 東北大学
- [8] Zhuo Li, Jixuan Wu, Xiaoran Mei, Xingyu Huang, Takuya Saraya, Toshiro Hiramoto, Takanori Takahashi, Mutsunori Uenuma, Yukiharu Uraoka, Masaharu Kobayashi, “A Vertical Channel Ferroelectric/Anti-Ferroelectric FET with ALD InO_x”, 第83回応用物理学会秋季学術講演会, 東北大学川内北キャンパス, 宮城, 22p-A307-1, 2022年9月22日.
- [9] 藤原 弘和, 糸矢 祐喜, 小林 正治, Bareille Cédric, 辛 埴, 谷内 敏之, 「HfO₂系強誘電体キャパシタにおける絶縁破壊過程の非破壊観察: オペランドレーザー励起光電子顕微鏡」, 2022年第83回応用物理学会秋季学術講演会, 22p-A307-15, 2022年9月22日, 東北大学
- [10] 李 卓, 武 继璇, 梅 潇然, 黄 星宇, 更屋拓哉, 平本俊郎, 高橋崇典, 上沼睦典, 浦岡行治, 小林正治, 「Field-Induced Polar-Axis Alignment for 3D High-Density Memory」, 第83回応用物理学会秋季学術講演会, 東北大学川内北キャンパス, 宮城, 22p-A307-2, 2022年9月22日.
- [11] 平本俊郎, 「iSyMs コンソーシアム紹介」, EISESiV・iSyMs コンソーシアム合同シンポジウム, 東京工業大学大岡山キャンパス, 2022年10月19日.
- [12] 小林正治, 「HfO₂系強誘電体と酸化物半導体を用いた新規メモリデバイス～酸化物半導体はスパッタからALDへ」, NEDIA第9回電子デバイスフォーラム, 2022年10月25日, 京都市サーチパーク
- [13] 後藤正英, 本田悠葵, 難波正和, 井口義則, 更屋拓哉, 小林正治, 日暮栄治, 年吉 洋, 平本俊郎, 「SOI ウェハのハイブリッド接合を用いた画素並列3層積層CMOSイメージセンサ」, 電気学会第39回「センサ・マイクロマシンと応用システム」シンポジウムアスティとくしま (徳島県立産業観光交流センター), 14P2-A-3, 2022年11月14日.
- [14] 小林正治, 「酸化物半導体を用いた三次元集積メモリデバイスの研究動向」, 薄膜材料デバイス研究会第19回研究集会, 2022年11月17日, オンライン開催
- [15] 更屋拓哉, 伊藤一夫, 高倉俊彦, 福井宗利, 鈴木慎一, 竹内 潔, 平本俊郎, 「低オン電圧と低スイッチング損失を両立する3.3kV両面ゲートIGBT (BC-IGBT) の性能向上への取り組み

- み], 電気学会電子デバイス/半導体電力変換合同研究会, 北海道大学およびオンライン開催, EDD-22-062, SPC-22-202, 2022年12月2日.
- [16] 福井宗利, 小林勇介, 末代知子, 坂野竜則, 井口智明, 高尾和人, 下條亮平, 更屋拓哉, 伊藤一夫, 高倉俊彦, 鈴木慎一, 平本俊郎, 「Back-Gate-Controlled IGBT (BC-IGBT) のターンオフ損失低減に向けた寄生素子動作のTCAD検討」, 電気学会電子デバイス/半導体電力変換合同研究会, 北海道大学およびオンライン開催, EDD-22-063, SPC-22-203, 2022年12月2日.
- [17] 小林正治, 「次世代強誘電体と酸化物半導体で切り拓くメモリデバイス技術」, 応用電子物性分科会研究例会, 2022年12月20日, オンライン開催
- [18] 平本俊郎, 「半導体の進歩は止まらないー先端CMOSの技術動向」, 応用物理学会応用電子物性分科会研究例会「半導体産業を支える研究・技術および現状と展望」, オンライン開催, 2022年12月20日.
- [19] 平本俊郎, 「IEDM概要および先端CMOS・デバイス技術関連」, d.lab協賛事業, オンライン開催, 2023年1月18日.
- [20] 小林正治, 「メモリデバイス技術 (MTを中心に)」, d.lab協賛事業 IEDM報告会, オンライン開催, 2023年1月18日.
- [21] 平本俊郎, 「先端ロジックデバイスの技術動向」, AIチップ設計抛フォーラム, オンライン開催, 2023年1月27日.
- [22] 若林 整, 廣井聡幸, 平本俊郎, 澤田和明, 寺本章伸, 堀 敦, 亙理誠夫, 日向寺 朗, 吉川淳一郎, 「集積エレクトロニクス産業向け産学連携Keep-Neutral Consortia」, 日本MOT学会, オンライン開催, 2023年3月11日.
- [23] 藤原弘和, 糸矢祐喜, 小林正治, Bareille Cédric, 辛埴, 谷内敏之, 「強誘電特性評価可能なオペランドレーザー励起光電子顕微鏡の開発」, 2023年第70回応用物理学会春季学術講演会, 15p-A404-6, 2023年3月15日, 上智大学
- [24] 糸矢祐喜, 藤原弘和, Bareille Cédric, 辛埴, 谷内敏之, 小林正治, 「レーザー励起光電子顕微鏡を用いたHfO₂系強誘電体キャパシタの絶縁破壊に関する評価」, 2023年第70回応用物理学会春季学術講演会, 15p-A404-7, 2023年3月15日, 上智大学
- [25] 平本俊郎, 「応用物理学会会長挨拶」, 一般シンポジウム「グリーントランスフォーメーションに挑む応用物理: 持続可能な未来社会に向けて」, 第70回応用物理学会春季学術講演会, 上智大学四谷キャンパス, 15p-A402-2, 2023年3月15日.
- [26] 金 駿午, 水谷朋子, 更屋拓哉, 岡 博史, 森貴洋, 小林正治, 平本俊郎, 「シリコンダブル量子ドットの作製と低温特性評価」, 第70回応用物理学会春季学術講演会, 上智大学四谷キャンパス, 16a-A403-5, 2023年3月16日.
- [27] Junxiang Hao, Xiaoran Mei, Takuya Saraya, Toshiro Hiramoto, Masaharu Kobayashi, 「3D NAND Memory Operation of Oxide-Semiconductor Channel FeFETs」, 第70回応用物理学会春季学術講演会, 上智大学四谷キャンパス, 16p-A403-6, 2023年3月16日.
- [28] 山田裕貴, 古江 悟, 横森岳彦, 糸矢祐喜, 更屋拓哉, 平本俊郎, 小林正治, 「UV-LEDを用いたHfO₂系強誘電体キャパシタのアニールプロセス省電力化に関する研究」, 第70回応用物理学会春季学術講演会, 上智大学四谷キャンパス, 16p-A403-7, 2023年3月16日.
- [29] Xingyu Huang, Yuki Itoya, Zhuo Li, Takuya Saraya, Toshiro Hiramoto, Masaharu Kobayashi, 「A Simulation Study on Memory Characteristics of Oxide-Semiconductor Channel Antiferroelectric FETs Using Half-Loop Hysteresis」, 第70回応用物理学会春季学術講演会, 上智大学四谷キャンパス, 16p-A403-8, 2023年3月16日.
- [30] 金 在顕, 更屋拓哉, 平本俊郎, 小林正治, 「強誘電体トンネル接合の電荷トラップ影響シミュレーション」, 第70回応用物理学会春季学術講演会, 上智大学四谷キャンパス, 16p-A403-9, 2023年3月16日.
- [31] Peilin Ji, Munetoshi Fukui, Takuya Saraya, Masaharu Kobayashi, Toshiro Hiramoto, 「Analysis of

- Lateral Superjunction Silicon Power Device with Multiple Layers by TCAD Simulation」, 第70回応用物理学会春季学術講演会, 上智大学四谷キャンパス, 16p-PA04-20, 2023年3月16日.
- [32] 高橋崇典, 上沼睦典, 小林正治, 浦岡行治, 「三次元集積デバイス応用に向けた原子層堆積法で成膜した三元系非晶質酸化物半導体 In-Ga-O」, 2023年第70回応用物理学会春季学術講演会, 17p-E302-7, 2023年3月17日, 上智大学
- [33] 平本俊郎, 「応用物理学会会長挨拶」, 一般シンポジウム「これからの半導体産業を牽引する人材育成と産学連携」, 第70回応用物理学会春季学術講演会, 上智大学四谷キャンパス, 17p-A402-1, 2023年3月17日.
- [34] 平本俊郎, 「応用物理学会会長挨拶」, 一般シンポジウム「多様な視点から進むダイバーシティ&インクルージョン」, 第70回応用物理学会春季学術講演会, 上智大学四谷キャンパス, 18p-A402-2, 2023年3月18日.
- 著書
- [1] Masaharu Kobayashi, “Ferroelectric-HfO₂ Transistor Memory with IGZO Channels”, pp.473-486, “Amorphous Oxide Semiconductors, IGZO and Related Materials for Display and Memory”, Wiley, 2022年5月.
- 研究論文
- [1] X. Han, C.-T. Chen, M. Ke, Z. Zhao, K. Toprasertpong, M. Takenaka, and S. Takagi, “Effects of Post Deposition Annealing Temperature and Atmosphere on Interface Properties in ALD Al₂O₃/Plasma Oxidation GeO_x/(111) and (100) n-Ge MOS structures”, *Jpn. J. Appl. Phys.*, 62, SC1089, March, 2023 (DOI: 10.35848/1347-4065/acbb89)
- [2] K. Iwashige, K. Toprasertpong, M. Takenaka and S. Takagi, “Effect of HfxZr1-xO₂/Ge Metal-Ferroelectrics-Insulator-Semiconductor interfaces on Polarization Reversal Behavior”, *Jpn. J. Appl. Phys.*, 62, SC1093, March, 2023 (DOI: 10.35848/1347-4065/acb8)
- [3] R. Yoshizu, K. Sumita, K. Toprasertpong, M. Takenaka, and S. Takagi, “Accurate Evaluation of Interface Trap Density at InAs MOS Interfaces by Using C-V Curves at Low Temperatures”, *Jpn. J. Appl. Phys.* 62, SC1055, Feb, 2023 (DOI: 10.35848/1347-4065/acb1bd)
- [4] M.-S. Kang, K. Sumita, H. Oka, T. Mori, K. Toprasertpong, M. Takenaka, and S. Takagi, “Influence of substrate impurity concentration on sub-threshold swing of Si n-Channel MOSFETs at cryogenic temperatures down to 4 K,” *Jpn. J. Appl. Phys.*, 62, no. SC, p. SC1062, Feb. 2023 (DOI: 10.35848/1347-4065/acb362)
- [5] T. Piyapatarakul, H. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, “Efficient optical phase modulator based on III-V metal-oxide-semiconductor structure with doped graphene transparent electrode,” *Jpn. J. Appl. Phys.*, vol. 62, no. SC, p. SC1008, Dec. 2022 (Spotlight). (DOI: 10.35848/1347-4065/aca59c)
- [6] K. Toprasertpong, M. Takenaka, and S. Takagi, “Breakdown-Limited Endurance in HZO FeFETs: Mechanism and Improvement Under Bipolar Stress”, *Frontiers in Electronics, Hafnia-Based Ferroelectric Electronic Devices and Applications*, vol. 3, p. 1091343, Dec. 22, 2022. (DOI: 10.3389/felec.2022.1091343)
- [7] T. Ochiai, T. Akazawa, Y. Miyatake, K. Sumita, S. Ohno, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi and M. Takenaka, “Ultrahigh-responsivity waveguide-coupled optical power monitor for Si photonic circuits operating at near-infrared wavelengths”, *Nature Communications*, vol. 13, 7443, December 2022 (DOI: 10.1038/s41467-022-35206-4)
- [8] K. Toprasertpong, M. Takenaka and S. Takagi, “Memory Window in Ferroelectric Field-Effect Transistors: Analytical Approach”, *IEEE Trans. Electron Devices*, vol. 69, no. 12, p. 7113-7119, December 2022 (DOI: 10.1109/TED.2022.3215667)

- [9] T. Akazawa, D. Wu, K. Sumita, N. Sekine, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, “Low-capacitance Ultrathin InGaAs Membrane Photodetector on Si Slot Waveguide towards Receiver-less System”, *IEEE Trans. Electron Devices*, vol. 69, no. 12, p. 7184 - 7189, December 2022 (DOI: 10.1109/TED.2022.3214797)
- [10] Y. Miyatake, C.-P. Ho, P. Pitchappa, R. Singh, K. Makino, J. Tominaga, N. Miyata, T. Nakano, K. Toprasertpong, S. Takagi, and M. Takenaka, “Non-volatile Compact Optical Phase Shifter based on Ge₂Sb₂Te₅ operating at 2.3 μm”, *Optical Materials Express*, vol. 12, Issue 12, pp. 4582-4593, December 2022 (DOI: 10.1364/OME.473987)
- [11] K. Toprasertpong, M. Takenaka, and S. Takagi, “On the strong coupling of polarization and charge trapping in HfO₂/Si-based ferroelectric field-effect transistors: Overview of device operation and reliability”, invited paper, *Applied Physics A*, 128, p. 1114, 28 November 2022. (DOI: /10.1007/s00339-022-06212-6)
- [12] K. Toprasertpong, K. Tahara, Y. Hikosaka, K. Nakamura, H. Saito, M. Takenaka, and S. Takagi, “Low Operating Voltage, Improved Breakdown Tolerance, and High Endurance in Hf_{0.5}Zr_{0.5}O₂ Ferroelectric Capacitors Achieved by Thickness Scaling Down to 4 nm for Embedded Ferroelectric Memory”, *ACS Appl. Mater. Interfaces*, vol. 14, no. 45, pp.51137-51148, November 1, 2022. (DOI: 10.1021/acami.2c15369)
- [13] S. Takagi, C.-T. Chen, X. Han, K. Sumita, K. Toprasertpong and M. Takenaka, “Extremely-thin body GOI channel technology in nano-sheet FET era”, *ECS Transactions*, 109 (4), pp. 59-71, October 2022 (DOI: 10.1149/10904.0059ecst)
- [14] M. Takenaka, Z. Zhao, C.-P. Ho, T. Fujigaki, T. Piypatarakul, Y. Miyatake, R. Tang, K. Toprasertpong, and S. Takagi, “Ge-on-insulator Platform for Mid-infrared Photonic Integrated Circuits”, *ECS Transactions*, 109 (4), pp. 47-58, October 2022 (DOI: 10.1149/10904.0047ecst)
- [15] R. Yokogawa, C. -T. Chen, K. Toprasertpong, M. Takenaka, S. Takagi, and A. Ogura, “Evaluation of Strained Group IV Semiconductor Devices by Oil-Immersion Raman Spectroscopy”, *ECS Transactions*, 109 (4), pp. 351-357, October 2022 (DOI: 10.1149/10904.0351ecst)
- [16] R. Tang M. Okano, K. Toprasertpong, S. Takagi, D. Englund, and M. Takenaka, “Integrated photonic architectures for matrix multiplication”, *Optics Express*, vol. 30, no. 19, pp. 33940-33954, September 2022. (DOI: 10.1364/OE.457258)
- [17] K. Toprasertpong, E. Nako, Z. Wang, R. Nakane, M. Takenaka, and S. Takagi, “Reservoir computing on a silicon platform with a ferroelectric field-effect transistor”, *Communications Engineering*, 1, 21, August 2022. (DOI: 10.1038/s44172-022-00021-8)
- [18] S. Ohno, R. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, “Si microring resonator crossbar array for on-chip inference and training of optical neural network”, *ACS Photonics*, vol. 9, pp. 2614-2622, 22 July 2022. (DOI: 10.1021/acsp Photonics.1c01777)
- [19] N. Sekine, K. Sumita, K. Toprasertpong, S. Takagi and M. Takenaka, “Monolithic integration of electro-absorption modulators and photodetectors on III-V CMOS photonics platform by quantum well intermixing”, *Opt. Express*, vol. 30, no. 13, pp. 23318-23329, June 2022. (DOI: 10.1364/OE.462626)
- [20] H. Tang, Q. Li, C. Ho, J. Fujikata, M. Noguchi, S. Takahashi, K. Toprasertpong, S. Takagi and M. Takenaka, “Modulation Bandwidth Improvement of III-V/Si Hybrid MOS Optical Modulator by reducing Parasitic Capacitance”, *Optics Express*, vol. 30, no. 13, pp. 22848- 22859, June 2022. (DOI: 10.1364/OE.457444)
- [21] M. Yokoyama, H. Yokoyama, M. Takenaka, and S. Takagi, “Characterization of interface properties of Al₂O₃/n-GaSb and Al₂O₃/InAs/ n-GaSb metal-oxide-semiconductor structures”, *Jpn. J. Appl. Phys.*, vol. 61, Number 6, 061010, June 2022. (DOI: 10.35848/1347-4065/ac66b0).

- [22] X. Han, C.-T. Chen, C.-M. Lim, K. Toprasertpong, M. Takenaka, and S. Takagi, "Introduction of high tensile strain in Ge-on-Insulator structures by oxidation and annealing at high temperature", *Jpn. J. Appl. Phys.*, vol. 61, Number SC, SC1027, May 2022. (DOI: 10.35848/1347-4065/ac4075)
- [23] T. Piyapatarakul, H. Tang, K. Toprasertpong, S. Takagi and M. Takenaka, "Numerical analysis of optical phase modulator operating at 2 mm wavelength using graphene/III-V hybrid metal-oxide-semiconductor capacitor", *Jpn. J. Appl. Phys.*, vol. 61, Number SC, SC1031, May 2022. (DOI: 10.35848/1347-4065/ac4443)
- [24] M.-S. Kang, K. Toprasertpong, M. Takenaka, and S. Takagi, "Verification of Influence of Tail states and Interface states on Sub-threshold Swing of Si n-channel MOSFETs over a Temperature Range of 4 K to 300 K", *Jpn. J. Appl. Phys.*, vol. 61, Number SC, SC1032, May 2022. (DOI: 10.35848/1347-4065/ac4444)
- [25] K. Sumita, C.-T. Chen, K. Toprasertpong, M. Takenaka, and S. Takagi, "Optimum Channel Design of Extremely-Thin-Body nMOSFETs by Utilizing Anisotropic Valley -Robust to Surface Roughness Scattering", *IEEE Trans. Electron Devices*, Vol. 69, Issue 4, pp. 2115-2121, April 2022. (DOI: 10.1109/TED.2022.3143484)
- [4] M. Takenaka, T. Ochiai, T. Akazawa, Y. Miyatake, K. Sumita, S. Ohno, S. Monfray, F. Boeuf, K. Toprasertpong, and S. Takagi, "Si hybrid integration using ultrathin III-V membrane for photodetection", invited talk, The 12th International Symposium on Photonics and Electronics Convergence -Advanced Nanophotonics and Silicon Device Systems- (ISPEC2022), Tokyo Institute of Technology, Tokyo, Japan, December 3-7, 2022.
- [5] Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, "Optimization of Compact and Low-loss 2'2 Si Optical Coupler based on CMA-ES", The 12th International Symposium on Photonics and Electronics Convergence -Advanced Nanophotonics and Silicon Device Systems- (ISPEC2022), Tokyo Institute of Technology, Tokyo, Japan, December 1-2, 2022.
- [6] T. Piyapatarakul, H. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, "Design of the III-V MOS optical modulator with doped graphene electrode for efficient, high-speed phase modulation", The 12th International Symposium on Photonics and Electronics Convergence -Advanced Nanophotonics and Silicon Device Systems- (ISPEC2022), Tokyo Institute of Technology, Tokyo, Japan, December 1-2, 2022.
- [7] C. Zhang, Z. Zhao, K. Toprasertpong, S. Takagi, and M. Takenaka, "Sub-bandgap photodetection at mid-infrared wavelengths using Ge Micro-ring resonator on Ge-on-insulator platform", The 12th International Symposium on Photonics and Electronics Convergence -Advanced Nanophotonics and Silicon Device Systems- (ISPEC2022), Tokyo Institute of Technology, Tokyo, Japan, December 1-2, 2022.
- [8] T. Akazawa, D. Wu, K. Sumita, N. Sekine, M. Nakano, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Record-low Loss Non-volatile Mid-infrared PCM Optical Phase Shifter based on Ge₂Sb₂Te₃S₂", 19.1., pp. 447-450, 68th Annual IEEE International Electron Devices Meeting (IEDM), San Francisco, CA, USA, December 3-7, 2022. (DOI: 10.1109/IEDM45625.2022.10019420)

国際会議論文

- [1] S. Takagi, K. Toprasertpong, E. Nako, M. Takenaka, and R. Nakane, "Hafnia-based ferroelectric devices for lower power memory and AI applications, IEEE 7th Electron Devices Technology and Manufacturing Conference (EDTM), invited, Seoul, Korea, March 7-10, 2023.
- [2] S. Takagi, K. Sumita, C.-T. Chen, X. Han, K. Toprasertpong and M. Takenaka, "Superiority of extremely-thin body GOI channels in nano-sheet MOSFETs", invited, 13th International Workshop on New Group IV Semiconductor Nanoelectronics, Sendai, Japan, Jan. 23- 24, 2023.
- [3] Y. Miyatake, K. Makino, J. Tominaga, N. Miyata, T.

- Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Low-capacitance InGaAs/Si Waveguide Photodetector for Energy-efficient Receiver System", The 12th International Symposium on Photonics and Electronics Convergence -Advanced Nanophotonics and Silicon Device Systems- (ISPEC2022), Tokyo Institute of Technology, Tokyo, Japan, December 1-2, 2022.
- [9] T. Fukui, K. Sumita, M. Takenaka, S. Takagi, Y. Nakano, and T. Tanemura, "Numerical Investigation of High-Speed Surface-Normal Modulator Using InP High-Contrast Grating", 28th International Semiconductor Laser Conference, Shimane, Japan, October 16-19, 2022.
- [10] S. Takagi, C. T. Chen, X. Han, K. Sumita, K. Toprasertpong, and M. Takenaka, "Extremely-Thin Body GoI Channel Technology in Nano-Sheet FET Era", invited talk, 242nd ECS Meeting, G03 - SiGe, Ge, and Related Materials: Materials, Processing, and Devices 10, Atlanta, USA, October 9-13, 2022.
- [11] M. Takenaka, Z. Zhao, T. Piyapatarakul, Y. Miyatake, K. Toprasertpong, and S. Takagi, "Ge-on-insulator platform for mid-infrared photonic integrated circuits", invited talk, 242nd ECS Meeting, G03 - SiGe, Ge, and Related Materials: Materials, Processing, and Devices 10, Atlanta, USA, October 9-13, 2022.
- [12] R. Yokogawa, C. -T. Chen, K. Toprasertpong, M. Takenaka, S. Takagi, and A. Ogura, "Evaluation of Strained Group IV Semiconductor Devices by Oil-Immersion Raman Spectroscopy", invited talk, 242nd ECS Meeting, G03 - SiGe, Ge, and Related Materials: Materials, Processing, and Devices 10, Atlanta, USA, October 9-13, 2022.
- [13] K. Sumita, M.-S. Kang, K. Toprasertpong, M. Takenaka, and S. Takagi, "Electron mobility of Si nMOSFETs in a nonlinear model of surface roughness scattering at cryogenic temperature", G-1-02, 2022 International Conference on Solid State Devices and Materials (SSDM), Makuhari, Chiba, September 26-29, 2022.
- [14] M.-S. Kang, K. Sumita, H. Oka, T. Mori, K. Toprasertpong, M. Takenaka, and S. Takagi, "Substrate Impurity Concentration Dependence of Sub-threshold Swing of Si n-Channel MOSFETs at Cryogenic Temperatures down to 4 K", G-1-01, 2022 International Conference on Solid State Devices and Materials (SSDM), Makuhari, Chiba, September 26-29, 2022.
- [15] K. Toprasertpong, E. Nako, Z. Wang, R. Nakane, M. Takenaka and S. Takagi, "FeFET Reservoir with Four-Terminal Operation for Efficient and Flexible Reservoir Computing Hardware", F-7-03, 2022 International Conference on Solid State Devices and Materials (SSDM), Makuhari, Chiba, September 26-29, 2022.
- [16] R. Yoshizu, K. Sumita, K. Toprasertpong, M. Takenaka, and S. Takagi, "Accurate Evaluation of Interface Trap Density at InAs MOS Interfaces by Using C-V characteristics at Low Temperatures", G-1-04, 2022 International Conference on Solid State Devices and Materials (SSDM), Makuhari, Chiba, September 26-29, 2022.
- [17] K. Iwashige, K. Toprasertpong, M. Takenaka and S. Takagi, "Effects of HfxZr1-xO2 ferroelectrics/Ge MFIS interfaces on polarization reversal behavior", G-8-02, 2022 International Conference on Solid State Devices and Materials (SSDM), Makuhari, Chiba, September 26-29, 2022.
- [18] X. Han, C.-T. Chen, M. Ke, Z. Zhao, K. Toprasertpong, M. Takenaka, and S. Takagi, "Impacts of Annealing Temperature and Atmosphere on (111) and (100) n-Ge MOS Interface Properties with Plasma Oxidation GeOx and ALD Al2O3", G-10-04, 2022 International Conference on Solid State Devices and Materials (SSDM), Makuhari, Chiba, September 26-29, 2022.
- [19] Y. Miyatake, K. Toprasertpong, S. Takagi and M. Takenaka, "Compact, low-loss, fabrication-tolerant, and thermally stable 2x2 Si optical coupler designed by CMA-ES", A-10-04, 2022 International Conference on Solid State Devices and Materials (SSDM), Makuhari, Chiba, September 26-29, 2022.
- [20] X. Luo, K. Toprasertpong, M. Takenaka, and S.

- Takagi, "ZrO₂/Si Gate Stack for Antiferroelectric MFIS Capacitors and Antiferroelectric Si n-FETs, G-6-06, 2022 International Conference on Solid State Devices and Materials (SSDM), Makuhari, Chiba, September 26-29, 2022.
- [21] C.-T. Chen, X. Han, K. Toprasertpong, M. Takenaka, and S. Takagi, "Mobility Enhancement in Extremely-Thin Body (110) SiGe-on-insulator pMOS-FETs using Starting Substrates with Thin SiGe Layers", G-7-02, 2022 International Conference on Solid State Devices and Materials (SSDM), Makuhari, Chiba, September 26-29, 2022.
- [22] T. Nakayama, K. Toprasertpong, S. Takagi, M. Takenaka, "Investigation of Au-InGaAs Alloy for Plasmonic InGaAs Waveguide Photodetector", A-9-04, 2022 International Conference on Solid State Devices and Materials (SSDM), Makuhari, Chiba, September 26-29, 2022.
- [23] T. Piyapatarakul, H. Tang, K. Toprasertpong, S. Takagi and M. Takenaka, "Analysis of III-V MOS optical modulator with transparent doped graphene gate electrode", A-2-04, 2022 International Conference on Solid State Devices and Materials (SSDM), Makuhari, Chiba, September 26-29, 2022.
- [24] H. Tang, R. Tang, J. Fujikata, M. Noguchi, S. Takahashi, K. Toprasertpong, S. Takagi and M. Takenaka, "Crossbar Wiring for III-V/Si MOS Optical Phase Shifters with Diode Selectors", European Conference on Optical Communication (ECOC), Basel, Switzerland, September 18-22, 2022.
- [25] S. Takagi, K. Toprasertpong, E. Nako, M. Takenaka, and R. Nakane, "HfZrO₂-based Si FeFETs for low power AI applications", invited talk, International Workshop on Future Intelligent Circuits and Systems, on-line, August 3, 2022.
- [26] M. Takenaka, H. Tang, K. Watanabe, T. Ochiai, T. Akazawa, Y. Miyatake, S. Ohno, K. Sumita, S. Monfray, F. Boeuf, R. Tang, K. Toprasertpong, and S. Takagi, "III-V/Si hybrid integration for scalable optical switching and computing", invited talk, 27th OptoElectronics and Communications Conference/ International Conference on Photonics in Switching and Computing 2022 (OECC/PSC2022), Toyama, Japan, July 3-7, 2022.
- [27] E. Nako, K. Toprasertpong, R. Nakane, M. Takenaka, and S. Takagi, "Experimental demonstration of novel scheme of HZO/Si FeFET reservoir computing with parallel data processing for speech recognition", Symposia on VLSI Technology and Circuits, C25-1, pp. 220-221, Honolulu, HI, USA, June 13-17, 2022.
- [28] T. Akazawa, D. Wu, K. Sumita, N. Sekine, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Low-capacitance Ultrathin InGaAs Membrane Photodetector on Si Slot Waveguide towards Receiver-less System", Symposia on VLSI Technology and Circuits, T15-4, pp. 411-412, Honolulu, HI, USA, June 13-17, 2022.
- [29] S. Takagi, K. Sumita, C.-T. Chen, X. Han, K. Toprasertpong, and M. Takenaka, "Extremely-Thin Channel FET Technology for Advanced Logic CMOS", Keynote speech, 28th Silicon Nanoelectronics Workshop (SNW) 2022, Hawaii, USA, June 11-12, 2022.
- [30] C. Matsui, K. Toprasertpong, S. Takagi and K. Takeuchi, "Versatile FeFET Voltage-sensing Analog CiM for Fast & Small-area Hyperdimensional Computing", International Symposium on Circuits and Systems (ISCAS) 2022, Austin, Texas, USA, May 28 - June 1, 2022.
- [31] S. Yoshikiyo, N. Misawa, K. Toprasertpong, S. Takagi, C. Matsui and K. Takeuchi, "FeFET CiM Edge Retraining for Write Variation & Reliability Error Compensation", 14th International Memory Workshop (IMW), Dresden, Germany, May 15-18th 2022.
- [32] F. Boeuf, S. Monfray, C. Barrera, A. Fincato, H. Tang, S. Guerber, S. Ohno, D. Fowler, I. Charlet, L. Maggi, M. Shaw, K. Toprasertpong, S. Takagi and M. Takenaka, "Beyond Interconnects Applications using a 300mm Silicon Photonics Technology", invited, 23rd European Conference on Integrated Optics (ECIO2022), Milan, Italy, 4-6 May 2022.
- [33] S. Takagi, "Impact of MFIS interface properties on

HZO FeFET characteristics and AI applications of FeFETs”, International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA) 2022, Short Course A: Ferroelectric Devices and Memory, Hsinchu, Taiwan, April 18, 2022.

シンポジウム・研究会・大会等発表

- [1] Shinichi Takagi, Kasidit Toprasertpong, Kento Tahara and Mitsuru Takenaka, “HZO-based ferroelectric devices for lower-power memory applications”, 【第4回サイエンス・サロン】～次世代グリーンパワー技術における最先端研究～, 横浜ベイシェラトンホテル&タワーズ, 2023年3月23日.
- [2] トーブラサートポン カシディット, 名幸瑛心, 中根了昌, 竹中充, 高木信一, “強誘電体の非線形ダイナミクス活用したリザバーコンピューティング”, 16a-A404-5, 招待講演, 「誘電体研究と機械学習」シンポジウム, 第70回応用物理学会春季学術講演会, 上智大学 四谷キャンパス, 2023年3月15-18日.
- [3] 隅田圭, 陳家聰, トーブラサートポン カシディット, 竹中充, 高木信一, “[第14回シリコンテクノロジー分科会論文賞受賞記念講演] 表面ラフネス散乱を抑制する為に電子谷の異方性を利用した極薄膜nMOSFETのチャネル材料と面方位の最適設計”, 16p-A403-2, 第70回応用物理学会春季学術講演会, 上智大学 四谷キャンパス, 2023年3月15-18日.
- [4] 隅田圭, トーブラサートポン カシディット, 竹中充, 高木信一, “表面ラフネス散乱の非線形モデルにおける移動度と実効電界の関係とユニバーサリティを説明する係数 η の解釈”, 17a-A403-5, 第70回応用物理学会春季学術講演会, 上智大学 四谷キャンパス, 2023年3月15-18日.
- [5] 名幸瑛心, トーブラサートポン カシディット, 中根了昌, 竹中充, 高木信一, “並列処理FeFETリザバーコンピューティングにおける入力データの特性を考慮した音声認識率の向上”, 16a-A410-2, 第70回応用物理学会春季学術講演会, 上智大学 四谷キャンパス, 2023年3月15-18日.
- [6] 川野麻琴, トーブラサートポン カシディット, 竹中充, 高木信一, “3.6 nm厚極薄膜Hf_{0.5}Zr_{0.5}O₂強誘電体のwakeup特性の周波数依存性”, 16p-B508-6, 第70回応用物理学会春季学術講演会, 上智大学 四谷キャンパス, 2023年3月15-18日.
- [7] 宮武悠人, 牧野孝太郎, 富永淳二, 宮田典幸, 中野隆志, 岡野誠, トーブラサートポン カシディット, 高木信一, 竹中充, “Ge₂Sb₂Te₃S₂に基づく不揮発性相変化中赤外光位相シフトの低損失化”, 15p-A502-8, 第70回応用物理学会春季学術講演会, 上智大学 四谷キャンパス, 2023年3月15-18日.
- [8] 作本宙彌, 中山武壽, 宮武悠人, トーブラサートポン カシディット, 高木信一, 竹中充, “ドーピング最適化によるInP-EOポリマーハイブリッド光変調器の高速化, 低損失化の検証”, 16a-A409-8, 第70回応用物理学会春季学術講演会, 上智大学 四谷キャンパス, 2023年3月15-18日.
- [9] 高城和馬, 関根尚希, 宮武悠人, トーブラサートポン カシディット, 高木信一, 竹中充, “強誘電体Hf_{0.5}Zr_{0.5}O₂における不揮発的位相変化の観測”, 15p-A502-9, 第70回応用物理学会春季学術講演会, 上智大学 四谷キャンパス, 2023年3月15-18日.
- [10] 脇田耀介, 唐睿, 湯涵智, 大野修平, 赤澤智熙, モンフレステファン, ブフフレデリック, トーブラサートポン カシディット, 高木信一, 竹中充, “ハイブリッドMOS位相シフトを用いたadd-drop型リング共振器の実証”, 15p-A502-12, 第70回応用物理学会春季学術講演会, 上智大学 四谷キャンパス, 2023年3月15-18日.
- [11] 唐睿, 湯涵智, 池田和浩, 岡野誠, トーブラサートポン カシディット, 高木信一, 竹中充, “4×4ユニバーサル光集積回路での最適化の実証”, 16a-A409-6, 第70回応用物理学会春季学術講演会, 上智大学 四谷キャンパス, 2023年3月15-18日.
- [12] 萩原拓永, K. Toprasertpong, 高木信一, 藤村紀

- 文, 吉村武, “正圧電応答顕微鏡法を用いた電極下分極ドメイン観察における空間分解能”, 15p-A404-3, 第70回応用物理学会春季学術講演会, 上智大学 四谷キャンパス, 2023年3月15-18日.
- [13] 高木信一, “初心者のための半導体デバイス入門講座”, on-line, サイエンス&テクノロジー株式会社, 2023年2月20日.
- [14] 柯夢南, 李宗恩, トープラサートポン カシディット, 竹中充, 高木信一, “プラズマ酸化による n-Ge ゲートスタックにおける遅い準位の特異性”, 第28回 電子デバイス界面テクノロジー研究会, 東レ総合研修センター, 静岡県三島市, 2023年2月3-4日.
- [15] 柯夢南, 李宗恩, トープラサートポン カシディット, 竹中充, 高木信一, “高電界における Al₂O₃/GeOx/Ge nMOS 界面中の異なるトラップの分離”, 第28回 電子デバイス界面テクノロジー研究会, 東レ総合研修センター, 静岡県三島市, 2023年2月3-4日.
- [16] 隅田圭, 姜旼秀, 陳家驄, トープラサートポン カシディット, 竹中充, 高木信一, “[招待講演] 表面ラフネス散乱の非線形理論に基づく極薄膜 nMOSFET チャンネル材料と面方位の最適設計”, 招待講演, 電子情報通信学会シリコン材料・デバイス研究会 (SDM), オンライン, 信学技報, SDM2022-65, pp.7-12, 2022年11月10-11日.
- [17] 高木信一, “CMOSとその微細化技術の基礎”, シリコンテクノロジー・チュートリアル2022, 東京大学武田ホール, 2022年10月22日.
- [18] 高木信一, “先端ロジック CMOS の技術動向と3次元集積技術”, 名古屋大学・先進半導体プラズマプロセスコンソーシアム (CASPP) ・サタデーモーニングプラズマ講座, on-line, 2022年10月8日.
- [19] 福井太郎, 隅田圭, 竹中充, 高木信一, 中野義昭, 種村拓夫, “InP 高屈折率差格子と電気光学ポリマーを用いた垂直入射型光変調器の提案と数値解析”, 第83回応用物理学会秋季学術講演会, 22a-C101-4, 川内北キャンパス+オンライン, 2022年9月20-23日.
- [20] X. Han, C.-T. Chen, M. Ke, Z. Zhao, K. Toprasertpong, M. Takenaka, and S. Takagi, “(100) and (111) n-Ge/GeOx/Al₂O₃ MOS Interface Properties with Different Annealing Temperature and Atmosphere”, 第83回応用物理学会秋季学術講演会, 23p-C102-9, 東北大学 川内北キャンパス+オンライン, 2022年9月20-23日.
- [21] 吉津遼平, 隅田圭, トープラサートポン カシディット, 竹中充, 高木信一, “低温下での C-V 測定による InAs MOS 界面の界面準位密度の評価”, 第83回応用物理学会秋季学術講演会, 21p-C105-9, 東北大学 川内北キャンパス+オンライン, 2022年9月20-23日.
- [22] 隅田圭, 姜旼秀, トープラサートポン カシディット, 竹中充, 高木信一, “表面ラフネス散乱の非線形モデルにより決定された Si nMOS-FET の電子移動度の極低温下での妥当性”, 第83回応用物理学会秋季学術講演会, 21p-C105-1, 東北大学 川内北キャンパス+オンライン, 2022年9月20-23日.
- [23] Tipat Piyapatarakul, Hanzhi Tang, Kasidit Toprasertpong, Shinichi Takagi, and Mitsuru Takenaka, “Numerical analysis of III-V MOS optical modulator with graphene transparent electrode for efficient phase modulation”, 第83回応用物理学会秋季学術講演会, 21p-A205-5, 東北大学 川内北キャンパス+オンライン, 2022年9月20-23日.
- [24] 唐睿, 岡野誠, トープラサートポン カシディット, 高木信一, 竹中充, “光行列-行列演算回路の提案”, 第83回応用物理学会秋季学術講演会, 21p-A205-8, 東北大学 川内北キャンパス+オンライン, 2022年9月20-23日.
- [25] 宮武悠人, トープラサートポン カシディット, 高木信一, 竹中充, “CAM-ESに基づく小型低損失2×2カブラの設計”, 第83回応用物理学会秋季学術講演会, 21a-A205-9, 東北大学 川内北キャンパス+オンライン, 2022年9月20-23日.
- [26] C. -T. Chen, X. Han, K. Toprasertpong, M. Takenaka and S. Takagi, “Highly-asymmetric-strain (110) SiGe-on-insulator pMOSFETs with ex-

- tremely-thin body channels down to 3.2 nm fabricated by using Ge condensation technique”, 第83回応用物理学会秋季学術講演会, 21p-C105-8, 東北大学 川内北キャンパス+オンライン, 2022年9月20-23日.
- [27] 名幸瑛心, トープラサートポン カシディット, 王澤宇, 中根了昌, 竹中充, 高木信一, “強誘電体MFMキャパシタを用いたりザバーコンピューティング”, 講演奨励賞受賞記念講演, 第83回応用物理学会秋季学術講演会, 23p-M206-1, 東北大学 川内北キャンパス+オンライン, 2022年9月20-23日.
- [28] 名幸瑛心, トープラサートポン カシディット, 中根了昌, 竹中充, 高木信一, “音声認識に向けた並列処理FeFETリザバーコンピューティングの提案と認識性能の検証”, 第83回応用物理学会秋季学術講演会, 23p-M206-11, 東北大学 川内北キャンパス+オンライン, 2022年9月20-23日.
- [29] 名幸瑛心, トープラサートポン カシディット, 中根了昌, 竹中充, 高木信一, “音声認識に向けた並列処理FeFETリザバーコンピューティングの認識性能向上手法”, 第83回応用物理学会秋季学術講演会, 23p-M206-12, 東北大学 川内北キャンパス+オンライン, 2022年9月20-23日.
- [30] 吉清泰生, 三澤奈央子, トープラサートポン カシディット, 高木信一, 松井千尋, 竹内健, “デバイスエラーを補償するエッジFeFET CiMの再学習”, 第83回応用物理学会秋季学術講演会, 20a-M206-6, 東北大学 川内北キャンパス+オンライン, 2022年9月20-23日.
- [31] 松井千尋, 小林英太郎, トープラサートポン カシディット, 高木信一, 竹内健, “Hyperdimensional Computingを高速演算するFeFETを用いた電圧センスCiM FeFET”, 第83回応用物理学会秋季学術講演会, 20a-M206-3, 東北大学 川内北キャンパス+オンライン, 2022年9月20-23日.
- [32] 萩原拓永, Kasidit Toprasertpong, 高木信一, 藤村紀文, 吉村武, “正圧電応答顕微鏡法によるHfO₂薄膜の分極ドメイン構造の観察II”, 第83回応用物理学会秋季学術講演会, 22p-A307-14, 東北大学 川内北キャンパス+オンライン, 2022年9月20-23日.
- [33] 赤澤智熙, 呉冬睿, 隅田圭, 関根尚希, 岡野誠, トープラサートポン カシディット, 高木信一, 竹中充, “極薄InGaAsを用いた高感度・低容量Siスロットハイブリッド導波路受光器の実証”, 第83回応用物理学会秋季学術講演会, 21p-A205-13, 東北大学 川内北キャンパス+オンライン, 2022年9月20-23日.
- [34] 中山武壽, トープラサートポン カシディット, 高木信一, 竹中充, “プラズモン導波路受光器のためのAu-InGaAs合金の光学特性評価”, 第83回応用物理学会秋季学術講演会, 21p-A205-12, 東北大学 川内北キャンパス+オンライン, 2022年9月20-23日.
- [35] 高木信一, “先端CMOSデバイスの動向と3次元集積技術”, 基調講演, 東京大学大学院工学系研究科附属ナノシステム集積センター(NanoHub)設立記念シンポジウム 超微細加工技術と半導体の融合による新展開, 東京大学武田ホール, 2022年7月5日.
- [36] 高木信一, “強誘電体デバイスを用いた物理リザバーコンピューティング”, IEEE Electron Devices Society Kansai Chapter (EDSK) Distinguished Lecturer (DL) 技術講演会, 2022年5月16日.
- [37] 高木信一, “AI・IoT時代における次世代半導体デバイス”, パターニング戦略会議 2022, 2022年5月13日.

竹中研究室

研究論文

- [1] K. Toprasertpong, M. Takenaka, and S. Takagi, “Breakdown-limited endurance in HZO FeFETs: Mechanism and improvement under bipolar stress,” *Frontiers in Electronics*, vol. 3, 1091343, December 2022. DOI: 10.3389/felec.2022.1091343
- [2] T. Ochiai, T. Akazawa, Y. Miyatake, K. Sumita, S. Ohno, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, and M. Takenaka, “Ultrahigh-responsivity

- waveguide-coupled optical power monitor for Si photonic circuits operating at near-infrared wavelengths,” *Nature Communications*, vol. 13, 7443, 2022. DOI: 10.1038/s41467-022-35206-4
- [3] K. Toprasertpong, M. Takenaka, and S. Takagi, “On the strong coupling of polarization and charge trapping in HfO_2/Si -based ferroelectric field-effect transistors: Overview of device operation and reliability,” *Applied Physics A*, vol. 128, no. 12, pp. 1114, 2022. DOI: 10.1007/s00339-022-06212-6
- [4] T. Piyapataraku, H. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, “Efficient optical phase modulator based on III-V metal-oxide-semiconductor structure with doped graphene transparent electrode,” *Jpn. J. Appl. Phys.*, vol. 62, SC1008, 2023. DOI: 10.35848/1347-4065/aca59c
- [5] Y. Miyatake, C.-P. Ho, P. Pitchappa, R. Singh, K. Makino, J. Tominaga, N. Miyata, T. Nakano, K. Toprasertpong, S. Takagi, and M. Takenaka, “Non-volatile compact optical phase shifter based on $\text{Ge}_2\text{Sb}_2\text{Te}_5$ operating at $2.3 \mu\text{m}$,” *Opt. Mater. Express*, vol. 12, no. 12, pp. 4582–4593, 2022. DOI: 10.1364/OME.473987
- [6] K. Toprasertpong, K. Tahara, Y. Hikosaka, K. Nakamura, H. Saito, M. Takenaka, and S. Takagi, “Low operating voltage, improved breakdown tolerance, and high endurance in $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ ferroelectric capacitors achieved by thickness scaling down to 4 nm for embedded ferroelectric memory,” *ACS Applied Materials & Interface*, vol. 14 no. 45, pp. 51137–51148, November 2022. DOI: 10.1021/acsami.2c15369
- [7] K. Toprasertpong, M. Takenaka, and S. Takagi, “Memory window in ferroelectric field-effect transistors: Analytical approach,” *IEEE Trans. Electron Devices*, vol. 69 no. 12, pp. 7113–7119, December 2022. DOI: 10.1109/TED.2022.3215667
- [8] T. Akazawa, D. Wu, K. Sumita, N. Sekine, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, “Low-Capacitance Ultrathin InGaAs Membrane Photodetector on Si Slot Waveguide Toward Receiverless System,” *IEEE Trans. Electron Devices*, vol. 69 no. 12, pp. 7184–7189, December 2022. DOI: 10.1109/TED.2022.3214797
- [9] M. Takenaka, Z. Zhao, C.-P. Ho, T. Fujigaki, T. Piyapatarakul, Y. Miyatake, R. Tanga, K. Toprasertpong, and S. Takagi, “Ge-on-insulator Platform for Mid-infrared Photonic Integrated Circuits,” *ECS Trans.*, vol. 109, no. 4, pp. 47–58, 2022 (*invited*). DOI: 10.1149/10904.0047ecst
- [10] S. Takagi, C.-T. Chen, X. Han, K. Sumita, K. Toprasertpong, and Mitsuru Takenaka, “Extremely-thin body GOI channel technology in nano-sheet FET era,” *ECS Trans.*, vol. 109, no. 4, pp. 59–71, 2022 (*invited*). DOI: 10.1149/10904.0059ecst
- [11] R. Yokogawa, C. -T. Chen, K. Toprasertpong, M. Takenaka, S. Takagi, and A. Ogura, “Evaluation of Strained Group IV Semiconductor Devices by Oil-Immersion Raman Spectroscopy,” *ECS Trans.*, vol. 109, no. 4, pp. 351–357, 2022 (*invited*). DOI: 10.1149/10904.0351ecst
- [12] R. Tang, M. Okano, K. Toprasertpong, S. Takagi, D. Englund, and M. Takenaka, “Two-layer integrated photonic architectures with multiport photodetectors for high-fidelity and energy-efficient matrix multiplications,” *Optics Express*, vol. 30, no. 19, pp. 33940–33954, Sep. 2022. DOI: 10.1364/OE.457258
- [13] K. Toprasertpong, E. Nako, Z. Wang, R. Nakane, M. Takenaka, and S. Takagi, “Reservoir computing on a silicon platform with a ferroelectric field-effect transistor,” *Communications Engineering*, vol. 1, 21, August 2022. DOI: 10.1038/s44172-022-00021-8
- [14] S. Ohno, R. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, “Si Microring Resonator Crossbar Array for On-Chip Inference and Training of the Optical Neural Network,” *ACS Photonics*, vol. 9, no. 8, pp. 2614–2622, July 2022. DOI: 10.1021/acsp Photonics.1c01777
- [15] N. Sekine, K. Sumita, K. Toprasertpong, S. Takagi, and M. Takenaka, “Monolithic integration of electro-absorption modulators and photodetectors on III-V CMOS photonics platform by quantum well intermixing,” *Optics Express*, vol. 30, no. 13, pp. 23318–23329, June 2022. DOI: 10.1364/

- OE.462626
- [16] H. Tang, Q. Li, C.-P. Ho, J. Fujikata, M. Noguchi, S. Takahashi, K. Toprasertpong, S. Takagi, and M. Takenaka, "Modulation bandwidth improvement of III-V/Si hybrid MOS optical modulator by reducing parasitic capacitance," *Optics Express*, vol. 30, no. 13, pp. 22848–22859, June 2022. DOI: 10.1364/OE.457444
- [17] M. Yokoyama, H. Yokoyama, M. Takenaka, and S. Takagi, "Characterization of interface properties of $\text{Al}_2\text{O}_3/\text{n-GaSb}$ and $\text{Al}_2\text{O}_3/\text{InAs/n-GaSb}$ metal-oxide-semiconductor structures," *Jpn. J. Appl. Phys.*, vol. 61, 061010, 2022. DOI: 10.35848/1347-4065/ac66b0
- [18] K. Sumita, C.-T. Chen, K. Toprasertpong, M. Takenaka, S. Takagi, "Optimum channel design of extremely-thin-body nMOSFETs utilizing anisotropic valley--Robust to surface roughness scattering," *IEEE Trans. Electron Devices*, vol. 69 no. 4, pp. 2115–2121, 2022. DOI: 10.1109/TED.2022.3143484
- [19] X. Han, C.-T. Chen, C.-M. Lim, K. Toprasertpong, M. Takenaka, and S. Takagi, "Introduction of high tensile strain into Ge-on-Insulator structures by oxidation and annealing at high temperature," *Jpn. J. Appl. Phys.*, vol. 61, SC1027, 2022. DOI: 10.35848/1347-4065/ac4075
- [20] T. Piyapataraku, H. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, "Numerical analysis of optical phase modulator operating at 2 μm wavelength using graphene/III-V hybrid metal-oxide-semiconductor capacitor," *Jpn. J. Appl. Phys.*, vol. 61, SC1031, Feb. 2022. DOI: 10.35848/1347-4065/ac4443
- [21] M.-S. Kang, K. Toprasertpong, M. Takenaka, H. Oka, T. Mori, and S. Takagi, "Verification of influence of tail states and interface states on sub-threshold swing of Si n-channel MOSFETs over a temperature range of 4–300 K," *Jpn. J. Appl. Phys.*, vol. 61, SC1032, Feb. 2022. DOI: 10.35848/1347-4065/ac4444
- 国際会議論文
- [1] S. Takagi, K. Toprasertpong, E. Nako, M. Takenaka, and R. Nakane, "Hafnia-based ferroelectric devices for lower power memory and AI applications," *Electron Devices Technology and Manufacturing Conference (EDTM2023)*, 10C-1, Seoul, Korea, 7–10 March 2023 (invited).
- [2] S. Takagi, K. Sumita, C.-T. Chen, X. Han, K. Toprasertpong, and M. Takenaka, "Superiority of extremely-thin body GOI channels in nano-sheet MOSFETs," *13th International Workshop on New Group IV Semiconductor Nanoelectronics*, I-12, Sendai, 23–24 January 2023 (invited).
- [3] Y. Miyatake, K. Makino, J. Tominaga, N. Miyata, T. Nakano, M. Okano, K. Toprasertpong, S. Takagi, M. Takenaka, "Record-low loss non-volatile mid-infrared PCM optical phase shifter based on $\text{Ge}_2\text{Sb}_2\text{Te}_3\text{S}_2$," *International Electron Devices Meeting (IEDM2022)*, 19.1, San Francisco, 3–7 December 2022.
- [4] M. Takenaka, T. Ochiai, T. Akazawa, Y. Miyatake, K. Sumita, S. Ohno, S. Monfray, F. Boeuf, K. Toprasertpong, and S. Takagi, "Si hybrid integration using ultrathin III-V membrane for photodetection," *12th International Symposium on Photonics and Electronics Convergence (ISPEC2022)*, D-2, Tokyo, 1–2 December 2022.
- [5] T. Piyapatarakul, H. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, "Design of the III-V MOS optical modulator with doped graphene electrode for efficient, high-speed phase modulation," *12th International Symposium on Photonics and Electronics Convergence (ISPEC2022)*, P-1, Tokyo, 1–2 December 2022.
- [6] Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, "Optimization of Compact and Low-loss 2x2 Si Optical Coupler based on CMA-ES," *12th International Symposium on Photonics and Electronics Convergence (ISPEC2022)*, P-2, Tokyo, 1–2 December 2022.
- [7] C. Zhang, Z. Zhao, K. Toprasertpong, S. Takagi, and M. Takenaka, "Sub-bandgap photodetection at mid-infrared wavelengths using Ge Micro-ring reso-

- nator on Ge-on-insulator platform,” *12th International Symposium on Photonics and Electronics Convergence (ISPEC2022)*, P-4, Tokyo, 1–2 December 2022.
- [8] R. Tang, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, “Two-layer integrated photonic architectures for matrix-vector and matrix-matrix multiplications,” *12th International Symposium on Photonics and Electronics Convergence (ISPEC2022)*, P-5, Tokyo, 1–2 December 2022.
- [9] T. Akazawa, D. Wu, K. Sumita, N. Sekine, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, “Low-capacitance InGaAs/Si Waveguide Photodetector for Energy-efficient Receiver System,” *12th International Symposium on Photonics and Electronics Convergence (ISPEC2022)*, P-26, Tokyo, 1–2 December 2022.
- [10] M. Takenaka, Z. Zhao, T. Piyapatarakul, Y. Miyatake, K. Toprasertpong, and S. Takagi, “Ge-on-insulator platform for mid-infrared photonic integrated circuits,” *242th ECS Meeting, Symposium G03*, Hilton Atlanta, Atlanta, USA, 9–13 October 2022 (*invited*).
- [11] T. Fukui, K. Sumita, M. Takenaka, S. Takagi, Y. Nakano, T. Tanemura, “Numerical investigation of high-speed surface-normal modulator using InP high-contrast grating,” *28th IEEE International Semiconductor Laser Conference (ISLC 2022)*, TuP-40, Kunibiki Messe, Japan, 16–19 October 2022.
- [12] S. Takagi, C. T. Chen, X. Han, K. Sumita, K. Toprasertpong, and M. Takenaka, “Extremely-thin body GOI channel technology in nano-sheet FET era,” *242th ECS Meeting, Symposium G03*, Hilton Atlanta, Atlanta, USA, 9–13 October 2022 (*invited*).
- [13] T. Piyapataraku, H. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, “Analysis of III-V MOS optical modulator with transparent doped graphene gate electrode,” *International Conference on Solid State Devices and Materials (SSDM2022)*, A-2-03, Makuhari Messe, Japan, 26–29 Sept. 2022.
- [14] T. Nakayama, K. Toprasertpong, S. Takagi, and M. Takenaka, “Investigation of Au-InGaAs Alloy for plasmonic InGaAs waveguide photodetector,” *International Conference on Solid State Devices and Materials (SSDM2022)*, A-9-04, Makuhari Messe, Japan, 26–29 Sept. 2022.
- [15] Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, “Compact, low-loss, fabrication-tolerant, and thermally stable 2x2 Si optical coupler designed by CMA-ES,” *International Conference on Solid State Devices and Materials (SSDM2022)*, A-10-04, Makuhari Messe, Japan, 26–29 Sept. 2022.
- [16] K. Toprasertpong, E. Nako, Z. Wang, R. Nakane, M. Takenaka, and S. Takagi, “FeFET reservoir with four-terminal operation for efficient and flexible reservoir computing hardware,” *International Conference on Solid State Devices and Materials (SSDM2022)*, F-7-03, Makuhari Messe, Japan, 26–29 Sept. 2022.
- [17] M.-S. Kang, K. Sumita, H. Oka, T. Mori, K. Toprasertpong, M. Takenaka, and S. Takagi, “Substrate impurity concentration dependence of sub-threshold swing of Si n-channel MOSFETs at cryogenic temperatures down to 4 K,” *International Conference on Solid State Devices and Materials (SSDM2022)*, G-1-01, Makuhari Messe, Japan, 26–29 Sept. 2022.
- [18] K. Sumita, M.-S. Kang, K. Toprasertpong, M. Takenaka, and S. Takagi, “Accurate evaluation of interface trap density at InAs MOS interfaces by using C-V characteristics at low temperatures,” *International Conference on Solid State Devices and Materials (SSDM2022)*, G-1-02, Makuhari Messe, Japan, 26–29 Sept. 2022.
- [19] R. Yoshizu, K. Sumita, K. Toprasertpong, M. Takenaka, and S. Takagi, “Electron mobility of Si nMOSFETs in a nonlinear model of surface roughness scattering at cryogenic temperature,” *International Conference on Solid State Devices and Materials (SSDM2022)*, G-1-04, Makuhari Messe, Japan, 26–29 Sept. 2022.
- [20] X. Luo, K. Toprasertpong, M. Takenaka, and S. Takagi, “ZrO₂/Si gate stack for antiferroelectric MFIS capacitors and antiferroelectric Si n-FETs,”

- International Conference on Solid State Devices and Materials (SSDM2022)*, G-6-06, Makuhari Messe, Japan, 26–29 Sept. 2022.
- [21] C.-T. Chen, X. Han, K. Toprasertpong, M. Takenaka, and S. Takagi, “Mobility enhancement in extremely-thin body (110) SiGe-on-insulator pMOS-FETs using starting substrates with thin SiGe layers,” *International Conference on Solid State Devices and Materials (SSDM2022)*, G-7-02, Makuhari Messe, Japan, 26–29 Sept. 2022.
- [22] K. Iwashige, K. Toprasertpong, M. Takenaka, and S. Takagi, “Effects of $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ Ferroelectrics/Ge MFIS interfaces on polarization reversal behavior,” *International Conference on Solid State Devices and Materials (SSDM2022)*, G-8-02, Makuhari Messe, Japan, 26–29 Sept. 2022.
- [23] X. Han, C.-T. Chen, M. Ke, Z. Zhao, K. Toprasertpong, M. Takenaka, and S. Takagi, “Impacts of annealing temperature and atmosphere on (111) and (100) n-Ge MOS interface properties with plasma oxidation GeO_x and ALD Al_2O_3 ,” *International Conference on Solid State Devices and Materials (SSDM2022)*, G-10-04, Makuhari Messe, Japan, 26–29 Sept. 2022.
- [24] H. Tang., R. Tang, J. Fujikata, M. Noguchi, S. Takahashi, K. Toprasertpong, S. Takagi, and M. Takenaka, “Crossbar wiring for III-V/Si MOS optical phase shifters with diode selectors,” *European Conference on Optical Communication (ECOC2022)*, We4E.4, Basel, Switzerland, 18–22 September 2022.
- [25] M. Takenaka, H. Tang, K. Watanabe, T. Ochiai, T. Akazawa, Y. Miyatake, S. Ohno, K. Sumita, S. Monfray, F. Boeuf, R. Tang, K. Toprasertpong, and S. Takagi, “III-V/Si hybrid integration for scalable optical switching and computing,” *International Conference on Photonics in Switching and Computing (PSC2022)*, Toyama, 3–7 July 2022 (*invited*).
- [26] T. Akazawa, D. Wu, K. Sumita, N. Sekine, M. Okano, K. Toprasertpong, S. Takagi and M. Takenaka, “Low-capacitance ultrathin InGaAs membrane photodetector on Si slot waveguide towards receiver-less system,” *VLSI Symposium*, T15-4, 12–17 June 2022.
- [27] E. Nako, K. Toprasertpong, R. Nakane, M. Takenaka, and S. Takagi, “Experimental demonstration of novel scheme of HZO/Si FeFET reservoir computing with parallel data processing for speech recognition,” *VLSI Symposium*, C25-1, 12–17 June 2022.
- [28] F. Boeuf, S. Monfray, C. Barrera, A. Fincato, H. Tang, S. Guerber, S. Ohno, D. Fowler, I. Charlet, L. Maggi, M. Shaw, K. Toprasertpong, S. Takagi, and M. Takenaka, “Beyond interconnects applications using a 300mm silicon photonics technology,” *European Conference on Integrated Optics (ECIO2022)*, F.C.1, Milan, Italy, 4–6 May 2022 (*invited*).

著書

- [1] 竹中充, “光と物質の量子相互作用ハンドブック,” 第4編第7章, エヌ・ティー・エス, March 2023.

シンポジウム・研究会・大会等発表

- [1] 木村 彰吾, 境野 一輝, 楊 帆, 岡野 誠, 竹中充, 山田 博仁, 松田 信幸, “シリコン細線導波路を用いた1モードスクイーズド真空場の発生,” 第70回応用物理学会春季学術講演会, 15p-PB02-2, 上智大学四谷キャンパス, 2023年3月15日–3月18日.
- [2] 宮武 悠人, 牧野 孝太郎, 富永 淳二, 宮田 典幸, 中野 隆志, 岡野 誠, トーブラサートポンカシディット, 高木 信一, 竹中 充, “ $\text{Ge}_2\text{Sb}_2\text{Te}_3\text{S}_2$ に基づく不揮発性相変化中赤外光位相シフトの低損失化,” 第70回応用物理学会春季学術講演会, 15p-A502-8, 上智大学四谷キャンパス, 2023年3月15日–3月18日.
- [3] 高城 和馬, 関根 尚希, 宮武 悠人, トーブラサートポンカシディット, 高木 信一, 竹中 充, “強誘電体 $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ における不揮発的位相変化の観測,” 第70回応用物理学会春季学術講演会, 15p-A502-9, 上智大学四谷キャンパス, 2023年3月15日–3月18日.
- [4] 脇田 耀介, 唐 睿, 湯 涵智, 大野 修平, 赤澤 智熙, モンフレステファン, ブフフレデリック, トーブラサートポンカシディット, 高木

- 信一, 竹中 充, “強誘電体 $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ における不揮発的位相変化の観測,” 第70回応用物理学会春季学術講演会, 15p-A502-12, 上智大学四谷キャンパス, 2023年3月15日-3月18日.
- [5] 唐 睿, 湯 涵智, 池田 和浩, 岡野 誠, トープラサートポン カシディット, 高木 信一, 竹中 充, “4×4ユニバーサル光集積回路での最適化の実証,” 第70回応用物理学会春季学術講演会, 16a-A409-6, 上智大学四谷キャンパス, 2023年3月15日-3月18日.
- [6] 作本 宙彌, 中山 武壽, 宮武 悠人, トープラサートポン カシディット, 高木 信一, 竹中 充, “ドーピング最適化によるInP-EOポリマーハイブリッド光変調器の高速化, 低損失化の検証,” 第70回応用物理学会春季学術講演会, 16a-A409-8, 上智大学四谷キャンパス, 2023年3月15日-3月18日.
- [7] 川野 麻琴, トープラサートポン カシディット, 竹中 充, 高木 信一, “3.6 nm厚極薄膜 $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ 強誘電体のwakeup特性の周波数依存性,” 第70回応用物理学会春季学術講演会, 16p-B508-6, 上智大学四谷キャンパス, 2023年3月15日-3月18日.
- [8] 隅田 圭, 陳 家聰, トープラサートポン カシディット, 竹中 充, 高木 信一, “表面ラフネス散乱を抑制する為に電子谷の異方性を利用した極薄膜nMOSFETのチャネル材料と面方位の最適設計,” 第70回応用物理学会春季学術講演会, 16p-A403-2, 上智大学四谷キャンパス, 2023年3月15日-3月18日 (第14回シリコンテクノロジー分科会論文賞受賞記念講演).
- [9] 隅田 圭, トープラサートポン カシディット, 竹中 充, 高木 信一, “表面ラフネス散乱の非線形モデルにおける移動度と実効電界の関係とユニバーサリティを説明する係数 η の解釈,” 第70回応用物理学会春季学術講演会, 17a-A403-5, 上智大学四谷キャンパス, 2023年3月15日-3月18日.
- [10] 名幸 瑛心, トープラサートポン カシディット, 中根 了昌, 竹中 充, 高木 信一, “並列処理FeFETリザバーコンピューティングにおける入力データの特性を考慮した音声認識率の向上,” 第70回応用物理学会春季学術講演会, 16a-A410-2, 上智大学四谷キャンパス, 2023年3月15日-3月18日.
- [11] トープラサートポン カシディット, 名幸 瑛心, 中根 了昌, 竹中 充, 高木 信一, “強誘電体の非線形ダイナミクスを活かしたリザバーコンピューティング,” 第70回応用物理学会春季学術講演会, 16a-A404-5, 上智大学四谷キャンパス, 2023年3月15日-3月18日.
- [12] 宮武悠人, 牧野孝太郎, 富永淳二, 宮田典幸, 中野隆志, 岡野 誠, トープラサートポン カシディット, 高木 信一, 竹中 充, “ $\text{Ge}_2\text{Sb}_2\text{Te}_3\text{S}_2$ を用いた不揮発性相変化中赤外光位相シフタ,” 電気学会ナノエレクトロニクス機能化・応用技術調査専門委員会, オンライン, 2023年3月3日 (招待講演).
- [13] 境野一輝, 小田川朋史, 木村彰吾, 稲垣拓也, 湯涵智, 谷澤健, 岡野誠, 竹中充, 山田博仁, 松田信幸, “回路深さが削減された万能ユニタリ変換光回路の実証,” 電子情報通信学会光エレクトロニクス研究会, シャボン玉石けんくくる糸満, 2022年2月16日-2月17日.
- [14] 宮武悠人, 牧野孝太郎, 富永淳二, 宮田典幸, 中野隆志, 岡野 誠, トープラサートポン カシディット, 高木 信一, 竹中 充, “ $\text{Ge}_2\text{Sb}_2\text{Te}_3\text{S}_2$ を用いた不揮発性相変化中赤外光位相シフタ,” 電子情報通信学会シリコン材料・デバイス研究会 (SDM), オンライン, 2023年1月30日 (招待講演).
- [15] 竹中 充, “ウェハ接合を用いた光集積回路およびコンピューティング応用,” 電子実装工学研究所 (IMSI) 第3回委員会, 東京大学本郷キャンパス, 2022年12月16日 (招待講演).
- [16] 隅田圭, 姜咬秀, 陳家聰, トープラサートポン カシディット, 高木信一, 竹中 充, “表面ラフネス散乱の非線形理論に基づく極薄膜nMOSFETチャネル材料と面方位の最適設計,” 電子情報通信学会シリコン材料・デバイス研究会 (SDM), オンライン, 2022年11月10日 (招待講演).
- [17] 竹中充, “極薄III-V族半導体を用いたSiハイブリッド光集積回路および光コンピューティ

- ング応用,” 学振R025産学協力委員会第11回研究会, 東京工業大学大岡山キャンパス, 2022年10月27日.
- [18] 宮武 悠人, トーブラサートポン カシディット, 高木 信一, 竹中 充, “CAM-ESに基づく小型低損失 2×2 カプラの設計,” 第83回応用物理学会秋季学術講演会, 21a-A205-9, 東北大学川内北キャンパス, 2022年9月20日-9月23日.
- [19] 唐 睿, 岡野 誠, トーブラサートポン カシディット, 高木 信一, 竹中 充, “光行列-行列演算回路の提案,” 第83回応用物理学会秋季学術講演会, 21p-A205-8, 東北大学川内北キャンパス, 2022年9月20日-9月23日.
- [20] 中山 武壽, トーブラサートポン カシディット, 高木 信一, 竹中 充, “プラズモン導波路受光器のためのAu-InGaAs合金の光学特性評価,” 第83回応用物理学会秋季学術講演会, 21p-A205-12, 東北大学川内北キャンパス, 2022年9月20日-9月23日.
- [21] 赤澤 智熙, 呉 冬睿, 隅田 圭, 関根 尚希, 岡野 誠, トーブラサートポン カシディット, 高木 信一, 竹中 充, “極薄InGaAsを用いた高感度・低容量Siスロットハイブリッド導波路受光器の実証,” 第83回応用物理学会秋季学術講演会, 21p-A205-13, 東北大学川内北キャンパス, 2022年9月20日-9月23日.
- [22] 隅田 圭, 姜 旼秀, トーブラサートポン カシディット, 竹中 充, 高木 信一, “表面ラフネス散乱の非線形モデルにより決定されたSi nMOS-FETの電子移動度の極低温下での妥当性,” 第83回応用物理学会秋季学術講演会, 21p-C105-1, 東北大学川内北キャンパス, 2022年9月20日-9月23日.
- [23] 吉津 遼平, 隅田 圭, トーブラサートポン カシディット, 竹中 充, 高木 信一, “低温下でのC-V測定によるInAs MOS界面の界面準位密度の評価,” 第83回応用物理学会秋季学術講演会, 21p-C105-9, 東北大学川内北キャンパス, 2022年9月20日-9月23日.
- [24] 名幸 瑛心, トーブラサートポン カシディット, 王 澤宇, 中根 了昌, 竹中 充, 高木 信一, “強誘電体MFMキャパシタを用いたリザバーコンピューティング,” 第83回応用物理学会秋季学術講演会, 23p-M206-1, 東北大学川内北キャンパス, 2022年9月20日-9月23日 (講演奨励賞受賞記念講演).
- [25] 名幸 瑛心, トーブラサートポン カシディット, 中根 了昌, 竹中 充, 高木 信一, “音声認識に向けた並列処理FeFETリザバーコンピューティングの提案と認識性能の検証,” 第83回応用物理学会秋季学術講演会, 23p-M206-11, 東北大学川内北キャンパス, 2022年9月20日-9月23日.
- [26] 名幸 瑛心, トーブラサートポン カシディット, 中根 了昌, 竹中 充, 高木 信一, “音声認識に向けた並列処理FeFETリザバーコンピューティングの認識性能向上手法,” 第83回応用物理学会秋季学術講演会, 23p-M206-12, 東北大学川内北キャンパス, 2022年9月20日-9月23日.
- [27] 福井 太一郎, 隅田 圭, 竹中 充, 高木 信一, 中野 義昭, 種村 拓夫, “InP高屈折率差格子と電気光学ポリマーを用いた垂直入射型光変調器の提案と数値解析,” 第83回応用物理学会秋季学術講演会, 22a-C101-4, 東北大学川内北キャンパス, 2022年9月20日-9月23日.
- [28] Tipat Piyapatarakul, Hanzhi Tang, Kasidit Toprasertpong, Shinichi Takagi, Mitsuru Takenaka, “Numerical analysis of III-V MOS optical modulator with graphene transparent electrode for efficient phase modulation,” 第83回応用物理学会秋季学術講演会, 21p-A205-5, 東北大学川内北キャンパス, 2022年9月20日-9月23日.
- [29] Xueyang Han, Chia Tsong Chen, Mengnan Ke, Ziqiang Zhao, Kasidit Toprasertpong, Mitsuru Takenaka, Shinichi Takagi, “(100) and (111) n-Ge/ $\text{GeO}_2/\text{Al}_2\text{O}_3$ MOS Interface Properties with Different Annealing Temperature and Atmosphere,” 第83回応用物理学会秋季学術講演会, 23p-C102-9, 東北大学川内北キャンパス, 2022年9月20日-9月23日.
- [30] Chiatsong Chen, Xueyang Han, Kasidit Toprasertpong, Mitsuru Takenaka, Shinichi Takagi, “Highly-asymmetric-strain (110) SiGe-on-insulator

pMOSFETs with extremely-thin body channels down to 3.2 nm fabricated by using Ge condensation technique,” 第83回応用物理学会秋季学術講演会, 21p-C105-8, 東北大学川内北キャンパス, 2022年9月20日-9月23日.

内田研究室

研究論文

- [1] M. Matsumura, T. Tanaka, K. Uchida, “Experimental study on shallow and deep dopant properties at the interface of PtOx/ZnO Schottky diodes,” *Jpn. J. Appl. Phys.*, 61, SD1031, May 20, 2022. doi: 10.35848/1347-4065/ac54f3
- [2] R. Toyoshima, T. Tanaka, T. Kato, K. Uchida, H. Kondoh, “Origin of the high selectivity of the Pt-Rh thin-film H₂ gas sensor studied by operando ambient-pressure X-ray photoelectron spectroscopy at working conditions,” *J. Phys. Chem. Lett.*, 13, 8546-8552, Sep. 6, 2022. doi: 10.1021/acs.jpcclett.2c02365
- [3] S.-Y. Chou, H. Masai, M. Otani, H. V. Miyagishi, G. Sakamoto, Y. Yamada, Y. Kinoshita, H. Tamiaki, T. Katase, H. Ohta, T. Kondo, A. Nakada, R. Abe, T. Tanaka, K. Uchida, J. Terao, “Efficient electrocatalytic H₂O₂ evolution utilizing electron-conducting molecular wires spatially separated by rotaxane encapsulation,” *Appl. Catal. B*, Accepted, Jan. 3, 2023. doi: 10.1016/j.apcatb.2023.122373

国際会議論文

- [1] T. Tanaka, K. Okamoto, M. Tada, K. Uchida, “Stochastic modeling of cryogenic and room temperature operation of ReRAM,” 35th International Microprocess and Nanotechnology Conference, Tokushima, Japan, Nov. 10, 2022.
- [2] K. Uchida and T. Tanaka, “Low-Energy Self-Heated Metal & Graphene Molecular Sensors for Ubiquitous Health Monitoring,” Advanced Metalization Conference (ADMETA plus) 2022, Session 6, Hybrid (Online+Tokyo, Japan), October 14, 2022 (Invited).

- [3] K. Uchida, T. Miyao, T. Tanaka, “Device characterization for cryogenic CMOS, investigating transient phenomena,” Next Generation Quantum Computing, Online + Onsite (Keio Univ., Kanagawa, Japan), August 30, 2022 (Invited).
- [4] T. Miyao, T. Tanaka, I. Imanishi, M. Ichikawa, S. Nakagawa, H. Ishikuro, T. Sakamoto, M. Tada, K. Uchida, “Enhanced Drain Current in Transient Mode due to Long Ionization Time of Shallow Impurities at 4 K in 65-nm bulk Cryo CMOS Transistors,” 2022 Device Research Conference (DRC), S2-3, Ohio, USA, June 27, 2022. doi: 10.1109/DRC55272.2022.9855815
- [5] K. Okamoto, T. Tanaka, M. Miyamura, H. Ishikuro, K. Uchida, T. Sakamoto, M. Tada, “Cryogenic CMOS Performance Analysis Including BEOL Characteristics at 4K for Quantum Controller Application,” International Interconnect Technology Conference (IITC) 2022, Hybrid (Zoom+San Jose, USA), June 30, 2022.
- [6] M. Ichikawa, T. Tanaka, K. Uchida, T. Miyao, M. Tada, H. Ishikuro, “In Situ Monitoring Technique of Self-Heating in Bulk MOSFETs at Cryogenic Temperature Using Subthreshold Current,” Latin American Electron Devices Conference (LAEDC) 2022, Puebla, Mexico, July 4, 2022.
- [7] K. Uchida and T. Tanaka, “Low-energy Integrated Multi-molecular Sensing Systems for Breath-based Health Monitoring,” Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD), A3-2, Virtual, July 7, 2022 (Invited).
- [8] Y. Hamanaka, T. Tanaka, K. Uchida, “Comparison of Pt Nanosheet and Pt Nanoparticles-Decorated Graphene in Aliphatic Alcohol Sensing Properties,” Materials Research Society, Boston, USA, NM06.05.36, Nov. 29, 2022.
- [9] T. Umeda, T. Tanaka, K. Uchida, “Fabrication and Characterization of IrOx Nanosheets for Methane Sensors,” Materials Research Society, Boston, USA, SF05.02.08, Nov. 28, 2022.
- [10] T. Kato, T. Tanaka, H. Miyagishi, J. Terao, K. Uchi-

da, “Study on sub-100-nm-scale measurement of temperature distribution in Joule-heated Au nanosheet gas sensors using self-assembled monolayers as temperature probes”, 7th IEEE Electron Device Technology and Manufacturing (EDTM) Conference 2023, Seoul, Republic of Korea, Mar. 9, 2023.

- [11] Y. Narita, T. Tanaka, K. Uchida, “Low-resistance (NH₄)_xWO₃ Nanowire Sensors for Acetone Recognition Operating at Low Voltage with Low Power Consumption”, 7th IEEE Electron Device Technology and Manufacturing (EDTM) Conference 2023, Seoul, Republic of Korea, Mar. 8, 2023 (This paper won the “Best Student Paper Award”!)

シンポジウム・研究会・大会等発表

- [1] 田中貴久, 内田建, 「シリコン系ナノスケール分子センサ」, R025先進薄膜界面機能創成委員会 第9回研究会 (2022オンライン開催), 2022年6月29日 (依頼公演)
- [2] 加藤太朗, 田中貴久, 内田建, 「Au ナノシートを用いた低エネルギー・長寿命な硫化水素センサ」, 第83回応用物理学会秋季学術講演会 (2022ハイブリッド開催, 東北大学), 9.2 ナノ粒子・ナノワイヤ・ナノシート, 23p-B101-6, 2022年9月23日.
- [3] 宮尾知寿, 田中貴久, 今西創生, 市川雅幸, 中川修哉, 石黒仁揮, 阪本利司, 多田宗弘, 内田建, 「65-nm CMOSの4.2 K動作における過渡特性」, 第83回応用物理学会秋季学術講演会 (2022ハイブリッド開催, 東北大学), 13.5 デバイス/配線/集積化技術, 21p-C105-3, 2022年9月21日.
- [4] 田中貴久, 濱中悠輔, 加藤太朗, 内田建, 「イオンゲル/多電飾構造を用いたマルチガスセンシング」, 第83回応用物理学会秋季学術講演会 (2022ハイブリッド開催, 東北大学), 12.7 医用工学・バイオチップ, 22p-A105-19, 2022年9月22日.
- [5] 田中貴久, 内田建, 「Ru 配線の原子論的輸送計算に向けた反応力場構築」, 第83回応用物理学会秋季学術講演会 (2022ハイブリッド開

催, 東北大学), 13.1 Si系基礎物性・表面界面・シミュレーション, 21a-C206-8, 2022年9月21日.

- [6] 田中貴久, 内田建, 「小型・低エネルギーの低分子センサ:集積化と応用の可能性」, 第83回応用物理学会秋季学術講演会 (2022ハイブリッド開催, 東北大学), 12 有機分子・バイオエレクトロニクス, 21a-A401-2, 2022年9月21日 (招待講演).
- [7] 成田雄紀, 田中貴久, 内田建, 「水熱合成 (NH₄)_xWO₃を用いた低消費エネルギーアセットセンサ」, 第83回応用物理学会秋季学術講演会 (2022ハイブリッド開催, 東北大学), 9.2 ナノ粒子・ナノワイヤ・ナノシート, 23p-B101-4, 2022年9月23日.
- [8] 田中貴久, 「ガスセンサ機能集積の手法と応用可能性」, EISESiV & iSyMs 合同シンポジウム (東京工業大学大岡山キャンパス), 2022年10月19日 (依頼公演)
- [9] 内田建, 「ナノスケール電子材料を用いたエレクトロニクス・デバイス」, NanoHub ワークショップ (東京大学 武田先端知ビル), 2022年11月9日.
- [10] 加藤太朗, 田中貴久, 宮岸拓路, 寺尾潤, 内田建, 「自己組織化単分子膜による Au ナノシートの温度分布計測」, 第70回応用物理学会春季学術講演会, 東京, 6.6 プローブ顕微鏡, 17p-D519-6, 2023年3月17日.
- [11] 濱中悠輔, 田中貴久, 内田建, 「Pt ナノ触媒の形状が脂肪族アルコールセンシング特性へ及ぼす効果と長鎖アルコールセンサの実現」, 第70回応用物理学会春季学術講演会, 東京, 9.2 ナノ粒子・ナノワイヤ・ナノシート, 17p-D221-6, 2023年3月17日.

■ 染谷・横田・李研究室

研究論文

- [1] Junwen Zhong, Zhaoyang Li, Masahito Takakuwa, Daishi Inoue, Daisuke Hashizume, Zhi Jiang, Yujun Shi, Lexiang Ou, Md Osman Goni Nayeem, Shinjiro Umezumi, Kenjiro Fukuda, Takao Someya, “Smart

- face mask based on an ultrathin pressure sensor for wireless monitoring of breath conditions”, *Advanced Materials*, 34, 2107758, (2022).
- [2] Yancong Qiao, Xiaoshi Li, Jiabin Wang, Shourui Ji, Thomas Hirtz, He Tian, Jinming Jian, Tianrui Cui, Ying Dong, Xinwei Xu, Fei Wang, Hong Wang, Jianhua Zhou, Yi Yang, Takao Someya, Tian-Ling Ren, “Intelligent and multifunctional graphene nanomesh electronic skin with high comfort”, *Small*, 18, 2104810 (2022).
- [3] Jiabin Wang, Sunghoon Lee, Tomoyuki Yokota, Takao Someya, “Gas-Permeable Organic Electrochemical Transistor Embedded with a Porous Solid-State Polymer Electrolyte as an on-Skin Active Electrode for Electrophysiological Signal Acquisition”, *Advanced Functional Materials*, 32, 2200458 (2022).
- [4] Tomoyuki Yokota, Iwao Shirayama, Kenji Kuwada, Mari Koizumi, Wakako Yukita, Katsuyuki Morii, Hirohiko Fukagawa, Takahisa Shimizu, Kenjiro Fukuda, Takao Someya, “Air-Stable Ultra-Flexible Organic Photonic System for Cardiovascular Monitoring”, *Advanced Materials Technologies*, 7, 2200454 (2022).
- [5] Yan Wang, Hossam Haick, Shuyang Guo, Chunya Wang, Sunghoon Lee, Tomoyuki Yokota, Takao Someya, “Skin bioelectronics towards long-term, continuous health monitoring”, *Chemical Society Reviews*, 51, 3759 (2022).
- [6] Chihiro Okutani, Tomoyuki Yokota, Hiroki Miyazako, Takao Someya, “3D Printed Spring-Type Electronics with Liquid Metals for Highly Stretchable Conductors and Inductive Strain/Pressure Sensors”, *Advanced Materials Technologies*, 7, 2101657 (2022).
- [7] Steven I Rich, Shinyoung Lee, Kenjiro Fukuda, Takao Someya, “Developing the Nondevelopable: Creating Curved-Surface Electronics from Non-stretchable Devices”, *Advanced Materials*, 34, 2106683 (2022).
- [8] Wenqing Wang, Md Osman Goni Nayeem, Haoyang Wang, Chunya Wang, Jae Joon Kim, Binghao Wang, Sunghoon Lee, Tomoyuki Yokota, Takao Someya, “Gas-Permeable Highly Sensitive Nanomesh Humidity Sensor for Continuous Measurement of Skin Humidity”, *Advanced Materials Technologies*, 7, 2200479 (2022).
- [9] Shuhei Shimanoe, Kenjiro Fukuda, Takao Someya, Tomoyuki Yokota, “Development of Air-Stable Photomultiplication-Type Organic Photodetector and Analysis of Active Layer using Removable Top Electrode”, *Advanced Electronic Materials*, 8, 2200651 (2022).
- [10] Yujiro Kakei, Shumpei Katayama, Shinyoung Lee, Masahito Takakuwa, Kazuya Furusawa, Shinjiro Umezu, Hiroataka Sato, Kenjiro Fukuda, Takao Someya, “Integration of body-mounted ultrasoft organic solar cell on cyborg insects with intact mobility”, *npj Flexible Electronics*, 6, 78 (2022).
- [11] Jae Joon Kim, Siyoung Ha, Lina Kim, Yutaro Kato, Yan Wang, Chihiro Okutani, Haoyang Wang, Chunya Wang, Kenjiro Fukuda, Sunghoon Lee, Tomoyuki Yokota, Oh Seok Kwon, Takao Someya, “Antimicrobial second skin using copper nanomesh”, *Proceedings of the National Academy of Sciences*, 119, e2200830119 (2022).
- [12] Chihiro Okutani, Tomoyuki Yokota, Takao Someya, “Ultrathin Fiber-Mesh Polymer Thermistors”, *Advanced Science*, 9, 2202312 (2022).
- [13] Astrid Armgarth, Sandra Pantzare, Patrik Arven, Roman Lassnig, Hiroaki Jinno, Erik O. Gabrielsson, Yonatan Kifle, Dennis Cherian, Theresia Arbring Sjöström, Gautier Berthou, Jim Dowling, Takao Someya, J. Jacob Wikner, Göran Gustafsson, Daniel T. Simon & Magnus Berggren, “On-skin paintable biogel for long-term high-fidelity electroencephalogram recording”, *Science Advances*, 8, eabo1396 (2022).

国際会議論文

- [1] (Invited) Takao Someya, “Electronic skins for the next-generation wearables”, *Nankai University Lecture, Virtual*, 4, 2022.
- [2] (Keynote) Takao Someya, “Electronic skins for the next-generation wearables”, *International Confer-*

- ence on Intelligent Wearable Systems (ICIWS 2022), Virtual, 6, 2022.
- [3] (Invited) Takao Someya, “Electronic skins and next-generation wearables for medical applications”, SHINE WorkShop (NUS new research center on heterogeneous integration), Virtual, 6, 2022.
- [4] (Plenary) Takao Someya, “Electronic skins for robotics and wearables”, The 2nd International Conference on Flexible & Printed Optoelectronic Materials and Devices ICFPOE-2, Virtual, 7, 2022.
- [5] (Invited) Takao Someya, “Electronic Slins for the Next-Generation Wearables”, ARTIC Monthly Tech Seminar, Virtual, 8, 2022.
- [6] (Keynote) Takao Someya, “Electronic skins for robotics and wearables”, The Swiss Conference on Printed Electronics and Functional Materials (Swiss ePrint 2022), Virtual, 9, 2022.
- [7] (Invited) Takao Someya, “Electronic skins for robotics and wea”, MIT.nano, Virtual, 9, 2022.
- [8] (Invited) Takao Someya, “Recent Progress of On-Skin Electronics and Smart Textiles”, 2022 International Conference on Solid State Devices and Materials (SSDM2022), Makuhari Messe, International Conference Hall (hybrid), 9, 2022.
- [9] (Invited) Takao Someya, “Electronic Skin for Robotics and Wearables”, The 2022 IEEE/RSJ International Conference on Intelligent Robots and Systems (IROS 2022), Workshops and Tutorials, Kyoto International Conference Center (ICC Kyoto), 10, 2022.
- [10] (Invited) Tomoyuki Yokota, “Ultra-flexible organic electronics for health monitoring”, 35th International Microprocesses and Nanotechnology Conference (MNC 2022), JR Hotel Clement Tokushima, 11, 2022.
- [11] (Invited) Takao Someya, “The Next-Generation Wearables for Medical Applications”, Display Innovation China FORUM 2022, Virtual, 11, 2022.
- [12] (特別講演) Takao Someya, “Electronic skins for medical applications”, Brain Korea 21BK 21 Four 2nd International Seminar Series of New Frontiers in Polymeric Materials, Virtual, 12, 2022.
- [13] (Plenary) Takao Someya, “Electronic skins for robotics and healthcare applications”, The 4th International Conference on Flexible Electronics (ICFE 2022), Virtual, 12, 2022.
- [14] (Invited) Takao Someya, “Electronic skins for robotics and wearables”, Advanced Electronic Materials Virtual Symposium, Virtual, 12, 2022.
- [15] (Invited) Tomoyuki Yokota, “Self-Powered Ultraflexible Photonic Skin”, The 29th International Display Workshops (IDW’22), Fukuoka International Congress Center, 12, 2022.
- [16] (Invited) Takao Someya, “Recent progress of nanomesh electrodes for continuous monitoring of skin electrical resistance”, SHINE 2nd Technical Workshop, Virtual, 3, 2023.

シンポジウム・研究会・大会等発表

- [1] 染谷隆夫, “東京大学の産学連携最前線 ～半導体強化およびDX推進～”, 電子機器トータルソリューション展2022, 東京ビッグサイト, 2022年6月.
- [2] 染谷隆夫, “次世代ウェアラブルデバイスと医工連携の未来”, 第58回日本周産期・新生児医学会学会学術集会 特別講演, パシフィコ横浜ノース, 2022年7月.
- [3] Theodoros Jonathan Wijaya, Tomoyuki Yokota, Sunghoon Lee, Ryo Okano, Masaki Kobayashi, and Takao Someya, “Revealing effects of illumination wavelength on the dark current increase of organic photodiodes with ZnO electron transport layer”, Young Researchers Society for Flexible and Stretchable Electronics, 山形大学, 2022年7月.
- [4] Yutaro Kato, Takao Someya, and Tomoyuki Yokota, “Development of photostable organic photodiode with ZnO nanoparticle”, Young Researchers Society for Flexible and Stretchable Electronics, 山形大学, 2022年7月.
- [5] Kazuma Mori, Takao Someya, and Tomoyuki Yokota, “Low dark current of ultra-flexible organic photodiode with thick active layer using applicator”, Young Researchers Society for Flexible and Stretchable Electronics, 山形大学, 2022年7月.
- [6] Chika Okuda, Sunghoon Lee, Takao Someya, and

- Tomoyuki Yokota, “Fabrication of Organic Thin-Film Transistors on Nanofilm”, Young Researchers Society for Flexible and Stretchable Electronics, 山形大学, 2022年7月.
- [7] Jiachen Wang, Kenjiro Fukuda, and Takao Someya, “Flexible Solution-Processed Electron-Transport Layer-free Organic Photovoltaics for Indoor Application”, Young Researchers Society for Flexible and Stretchable Electronics, 山形大学, 2022年7月.
- [8] Baocai Du, Kenjiro Fukuda, and Takao Someya, “Interfacial toughening towards mechanical reliable organosolar cells”, Young Researchers Society for Flexible and Stretchable Electronics, 山形大学, 2022年7月.
- [9] 染谷隆夫, “伸縮性デバイスの医療応用”, GDF研究会 (Gifu Diabetes mellitus Federation), 長良川国際会議場, 2022年8月.
- [10] 染谷隆夫, “Flexible sensorが生み出す新たな医療機器開発”, 第60回日本人工臓器学会大会, 愛媛県民文化会館, 2022年11月.
- [11] 染谷隆夫, “ウェアラブルで変わる社会と医療”, 第24回Gakugei Expert セミナー, サノフィ本社 (初台 東京オペラシティタワー 47階), 2022年11月.
- [12] 染谷隆夫, “産学連携とスキンエレクトロニクス”, ナノインク懇話会 創立十周年記念講演会, アリスアクアガーデン品川, 2023年1月.
- [13] 染谷隆夫, “ウェアラブルで変わる社会と医”, 第2回 Meet the Expert 2024 (サノフィ), オンライン, 2023年2月.
- Mita, “Ising Machine Based on Bistable Microelectromechanical Systems”, *Journal of the Physical Society of Japan*, vol. **91**, article no. 114601 (2022) doi: 10.7566/JPSJ.91.114601
- [2] Yuki Sasaki, Ayako Mizushima, Yoshio Mita, Kaname Yoshida, Akihito Kuwabara, and Yuichi Ikuhara, “Design and fabrication of an electrochemical chip for liquid-phase transmission electron microscopy”, *Microscopy*, vol. **71**, no. 4, pp. 238–241 (2022) doi: 10.1093/jmicro/dfac023
- [3] Akio Higo, Tomoki Sawamura, Makoto Fujiwara, Eric Lebrasseur, Ayako Mizushima, Etsuko Ota, Yukinori Ochiai, Taro Arakawa, and Yoshio Mita, “Edge Quality Control of an Optical Racetrack Resonator by Character Projection/Variable-shaped Beam Method to Optimize Pattern Approximation in F7000S-VD02”, *IEEJ Transactions on Sensors and Micromachines*, vol. **142**, No. 9, pp.230-234 2022 (2022.09) doi: 10.1541/ieejsmas.142.230
- [4] Takafumi Yamaguchi, Naoto Usami, Kei Misumi, Atsushi Toyokura, Akio Higo, Shimpei Ono, Gilgueng Hwang, Guilhem Larrieu, Yoshiho Ikeuchi, Agnes Tixier-Mita, Ken Saito, Timothee Levi, and Yoshio Mita, “Self-deformable Flexible MEMS Tweezer Composed of Poly (vinylidene fluoride) /Ionic Liquid Gel for Electrical Measurements and Soft Gripping”, *IEEE Journal of Microelectromechanical Systems*, Vol. **31**, No 5, pp. 802-812 (2022.10) doi: 10.1109/JMEMS.2022.3187428

査読付き国際学会

- [1] Kei Misumi, Naoto Usami, Akio Higo, Gwenn Ulliac, Benoit Piranda, Julien Bourgeois, and Yoshio Mita, “Integration of a CMOS LSI Chiplet into Micro Flexible Devices for Remote Electrostatic Actuation”, *Design, Test, Integration & Packaging of MEMS / MOEMS (DTIP 2022)*, 11-13 July 2022, Pont-A-Mousson, France, (2022.07.12) doi: 10.1109/dtip56576.2022.9911739
- [2] Dominique Decanini, Abdelmounaim Harouri; Ayako Mizushima; Beomjoon Kim, Yoshio Mita and Gilgueng Hwang “3D Printed Minaturized Soft Mi-

著書

- [1] 染谷隆夫, “医の変革, ウェアラブル超高感度センシング技術が切り拓く医療イノベーション”, 岩波新書, ISBN. 9784004319597, 2023年1月.

三田研究室

学会誌

- [1] Motohiko Ezawa, Eric Lebrasseur, and Yoshio

crosswimmer for Multimodal 3D Air-Liquid Navigation and Manipulation”, *IEEE MEMS 2023*, Munich, GERMANY, 15 - 19 January 2023 (2023.01)
DOI: 10.1109/MEMS49605.2023.10052220

4-4

その他の講演・シンポジウム

- [1] Anne-Claire Eiler et al., “Design and Fabrication of an SOI-MEMS Large-Scale-Integrated Circuit for Bioelectromechanical Sensing”, *Journées Nationale sur la Technologie Emergentes en Micro-Nanofabrication (JNTE 2022)*, Besançon, France, 28/Nov-2/Dec (2022.11)
- [2] 中島志温, 山口貴史, 安永竣, 三田吉郎, 「金駆動電極の紫外レーザー直接加工による任意形状変形イオンゲルMEMSアクチュエータの実現」, 第39回電気学会センサ・マイクロマシンと応用システムシンポジウム (センサシンポジウム), 徳島, 2022年11月14-17日 (LateNews賞ファイナリスト) (2022.11)

4.5 特許, 受賞等

黒田・小菅研究室

受賞

- [1] 小菅敦丈, DX コンテスト “レーザー実験用ターゲットの検品の自動化, 高精度化”, パワーレーザー DX プラットフォーム, June 2022.
- [2] A. Kosuge and T. Kuroda; Highlight of 2022 November Issue, IEEE TCAS-I, Nov. 2022.
- [3] 黒田忠広: ISSCC 最多論文賞 (1954-2023) as A Contributor with More than 40 Papers, IEEE SSCS, Feb. 2023.
- [4] Kota Shiba; IEEE SSCS Predoctoral Achievement Award, IEEE SSCS, Feb. 2023.

竹内研究室

特許

なし

受賞

なし

その他, 特記事項

なし

中村研究室

特許

なし

受賞

- [1] 高瀬英希: 情報処理学会 山下記念研究賞, 2023年3月3日.
- [2] 上野洋典: 情報処理学会 量子ソフトウェア研究会推薦博士論文
- [3] 小島拓也: 電子情報通信学会 CPSY研究会 若手発表賞
- [4] Takuya Kojima: IEEE Computer Society Japan Chapter Young Author Award 2022

その他, 特記事項

なし

池田研究室

特許

なし

受賞

- [1] 2022年10月1日 2022年 IEEE SSCS Japan Chapter VDEC Design Award
島田泰慎, 耐量子計算暗号 CRISTALS-Kyber 用高速暗号プロセッサ
- [2] 2022年10月1日 2022年 d.lab-VDEC デザインアワード 優秀賞
島田泰慎, 耐量子計算暗号 CRISTALS-Kyber 用高速暗号プロセッサ
- [3] 2022年12月16日 2022年電子情報通信学会ハードウェアセキュリティ研究会 若手優秀賞
Hung Bui, 池田 誠, Fully-Parallelized FPGA Implementation of the SIDH Key-Exchange Algorithm
- [4] 2022年12月16日 2022年電子情報通信学会ハードウェアセキュリティ研究会 若手優秀賞
菊岡才人, 池田 誠, BN, BLS12 曲線を用いたペアリング暗号のハードウェア的安全性効率
- [5] 2023年3月9日 2022年電子情報通信学会学術奨励賞
阿部浩太郎, スカラー倍算におけるサイドチャンネル攻撃対策効果について

その他, 特記事項

なし

飯塚研究室

特許

- [1] 飯塚 哲也, 徐 祖榮, 楊 尊松, “位相同期回路およびそれを用いたカスケード位相同期回路,” 特願2023-008347.
- [2] 飯塚 哲也, 柴田 凌弥, “A/Dコンバータ, アナログ/デジタル変換方法,” 特願2022-185120.
- [3] 浅見 幸司, 飯塚 哲也, グエン ゴック マイカ

ーン, 肥後 昭男, ビヤムバドルジ ゴルボー, “2面GNDによるサンドイッチ構造を持つ近傍界測定用アンテナおよびアンテナアレイ,” 米国特許出願番号63/432705, 国際出願番号PCT/JP2023/007439.

受賞

- [1] 令和4年度 電気電子工学科 学科長特別賞
竹中 理太郎, “FD-SOIプロセスを用いたタイムインターリーブ型アナログ-デジタル変換回路の設計,” 2023年3月.
- [2] 令和4年度 優秀卒業論文賞
竹中 理太郎, “FD-SOIプロセスを用いたタイムインターリーブ型アナログ-デジタル変換回路の設計,” 2023年3月.
- [3] 一般財団法人総合研究奨励会 令和3年度 工学研究顕彰
ビヤムバドルジ ゴルボー.
- [4] 第12回 d.lab-VDEC デザインアワード 奨励賞
長田 将, “高調波ミキサに基づく二重フィードバックおよび高OSR- $\Delta\Sigma$ 変調器と位相領域フィルタを用いたインダクタレスなフラクショナルN位相同期回路,” 2022年9月.
- [5] IEEE SSCS Kansai Chapter Academic Research Award
加納 創太, 飯塚 哲也, “伝送線路によるステージ間整合を応用したSiGe 130nmプロセスによる150GHz発振器の設計,” 電子情報通信学会 LSIとシステムのワークショップ2022, 2022年5月.

その他, 特記事項

平本・小林研究室

特許

国内特許

題目: 不揮発性記憶装置

発明者・発案者名: 小林正治, 李卓, 平本俊郎

番号 (出願番号/公開番号): 特願2022-092490

年月日: 2022年6月7日

国内特許

題目: 不揮発性記憶素子

発明者・発案者名: 小林正治, 李卓, 平本俊郎

番号 (出願番号/公開番号): 特願2022-149329

年月日: 2022年9月20日

受賞

氏名: Jixuan Wu, Fei Mo, Takuya Saraya, Toshiro Hiramoto, Mototaka Ochi, Hiroshi Goto, Masaharu Kobayashi

受賞名 (機関・団体名): Paul Rappaport Award

授与機関・団体: IEEE EDS

受賞対象の研究題目: Monolithic Integration of Oxide Semiconductor FET and Ferroelectric Capacitor Enabled by Sn-Doped InGaZnO for 3-D Embedded RAM Application

受賞年月日: 2022年12月5日

その他, 特記事項

なし

高木研究室

特許

なし

受賞等

- [1] 第52回応用物理学会講演奨励賞, 名幸 瑛心
- [2] 第21回 IEEE EDS Japan Joint Chapter Student Award, 名幸 瑛心
- [3] 第14回 応用物理学会シリコンテクノロジー分科会論文賞, 隅田 圭, 陳 家驄, トーブラサートポン カシディット, 竹中 充, 高木 信一
- [4] 令和4年工学系研究科長賞 (研究) および優秀博士論文賞, 隅田 圭

竹中研究室

特許

なし

受賞等

- [1] 第14回シリコンテクノロジー分科会論文賞受

賞 (2023年3月19日)

- [2] IEEE EDS Japan Chapter Student Award 宮 武
悠人
- [3] IEEE EDS Japan Chapter Student Award 赤澤
智熙

内田研究室

特許

なし

受賞

- [1] 7th IEEE Electron Device Technology and Manufacturing (EDTM) Best Student Paper Award (成田 雄紀, 2023年3月10日)
- [2] 工学部長賞 (研究) (谷口 雄麻, 2023年3月24日)

その他, 特記事項

なし

染谷・横田・李研究室

特許

なし

受賞

- [1] 横田知之, M&BE奨励賞, “A conformable imager for biometric authentication and vital sign measurement”, 2022年9月
- [2] 染谷隆夫, 2022年 高被引用論文著者, 2022年11月

その他, 特記事項

なし

三田研究室

受賞

学内受賞

- 島村龍伍, 東京大学工学部長賞 (研究) (2023.03.24)

外部団体よりの学術受賞

- [1] シンポジウム Late News 賞ファイナリスト賞 中島志温, 山口貴史, 安永竣, 三田吉郎, 「金駆動電極の紫外レーザー直接加工による任意形状変形イオンゲルMEMSアクチュエータの実現」, 第39回電気学会センサ・マイクロマシンと応用システムシンポジウム (センサシンポジウム), 徳島, (2022.11.14)

Appendix

A.1 CADソフトウェアの整備

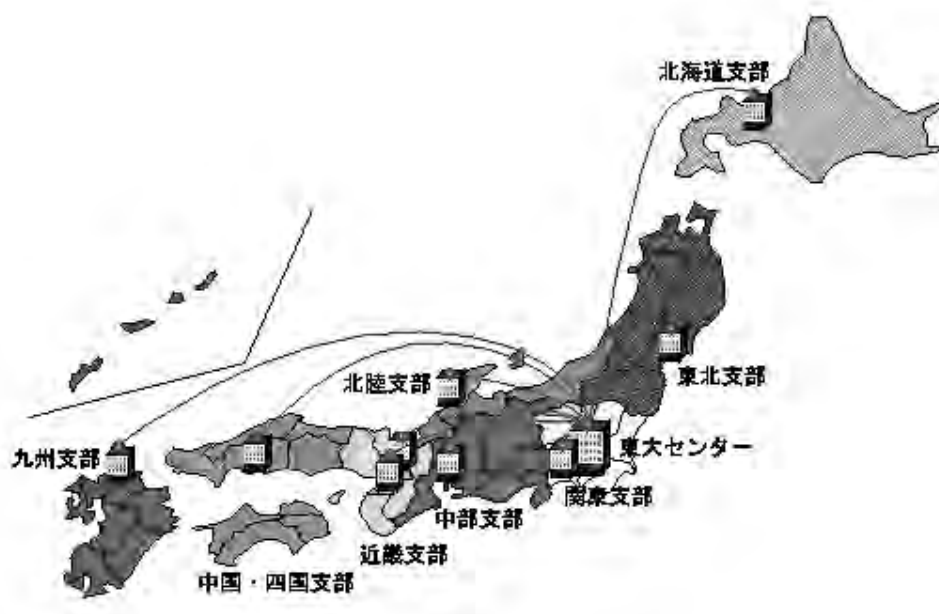
1996年度から整備を行っているCADソフトウェアは、2023年度は表A.1.1に示すツール群を全国の大学に提供している。CADソフトウェアの利用は、図A.1.1に示す全国地域拠点校10箇所ライセンスサーバを設置し、全国各大学の利用者が手許の計算機にインストールしたCADソフトウェアを、最寄のライセンスサーバにおいて認証を行うことで、ネットワークを利用し

た運用形態となっている。ライセンス数はCADの項目ごとに10から1000程度のフローティングライセンスとなっており、全国の国・公・私立大学・高専において教育・研究目的に限り利用できるようになっている。

東京大学VDEC活動を通じたVDECのCADの利用、および「A.2章」のチップ試作の利用のためには、あらかじめユーザ登録が必要となっている。

表A.1.1 導入されたCADシステム

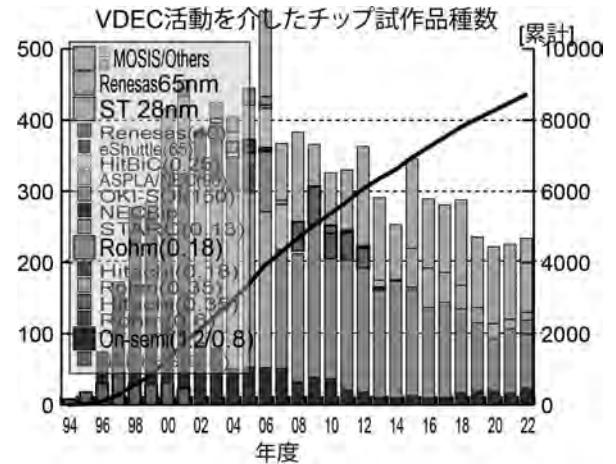
名称	用途	メーカー
Cadence 社設計システム	VerilogHDL/VHDL ベースの入力、シミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線とバックアノテーション、会話型の回路図およびマスクレイアウト入力、アナログ機能・回路シミュレーション、設計検証、回路抽出	Cadence Design Systems, Inc.
Synopsys 社設計システム	VerilogHDL/VHDL シミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線設計とバックアノテーション、回路シミュレーション、デバイスシミュレーション	Synopsys, Inc.
Siemens 社設計ツール	レイアウトのデザインルールチェック及び検証	Siemens Electronic Design Automation Japan K.K.
Silvaco 社設計ツール	高速回路シミュレーション	Silvaco Japan Co., Ltd.
ADS/Golden Gate	通信機器や関連デバイスなどの高周波回路/システムの設計、検証	Keysight Technologies
Bach	BachC 言語での設計	Sharp
LAVIS	レイアウト表示プラットフォーム	TOOL



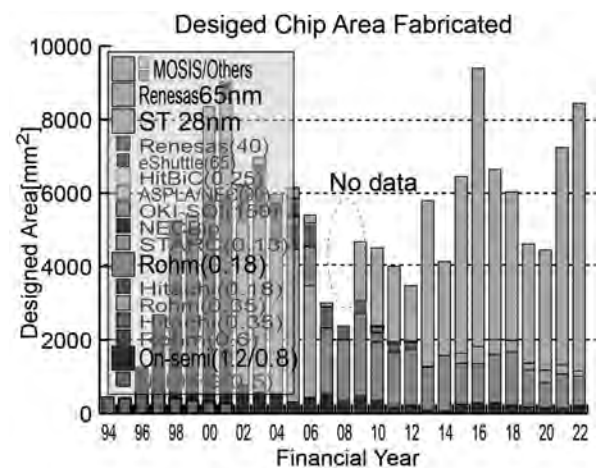
図A.1.1 全国地域拠点校

A.2 基盤設計研究部門におけるチップ試作支援の実施状況

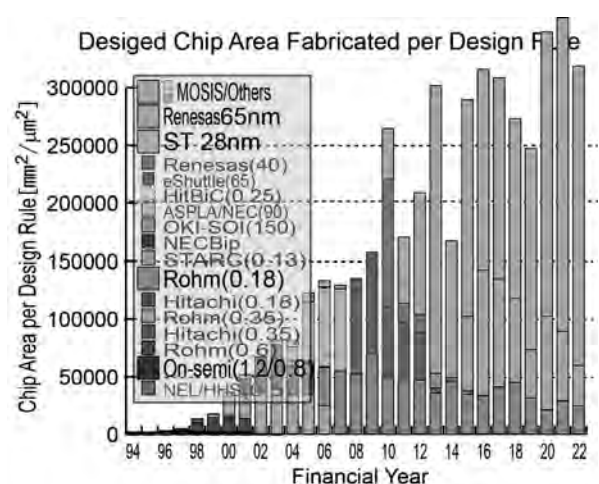
VLSIチップ試作支援に関しては、平成6、7年度(1994、1995年度)のパイロットプロジェクトでは、ファウンドリはNEL社のCMOS0.5 μm (当該プロセスはその後日立北海セミコンダクタ社に継続)1社であったが、平成8年度(1996年度)のVDEC発足後、日本モトローラ社のCMOS1.2 μm (平成11年度からは、オン・セミコンダクターにて継続)が協力を開始し、平成9年度からはローム社のCMOS0.6 μm が加わった。さらに平成10年度には日立製作所のCMOS0.35 μm 、平成11年度にはローム社0.35 μm がそれぞれ加わった。また、IP開発プロジェクトの一環としてSTARCO.13 μm の試作を行った。平成13年度から、日立製作所のCMOS0.18 μm のサービスを実施している。平成14年度は、広島大学岩田先生の主導の下に、VDECとMOSISの協力による試作サービスを試行的に実施した。これは、TSMC、IBMといった海外のファブをMOSISを経由することで格安で提供するものである。さらに、東京大学柴田先生主導の元に、NEC化合物デバイス株式会社によるバイポーラLSIの試作サービスも行った。平成16年からテスト試作として沖電気CMOS SOI 0.15 μm プロセスおよびASPLA 90nmプロセスの試作を開始し、90nm試作については平成17年度より通常の試作として公募の形で運用。平成18年度からはローム社0.18 μm の試作を開始し、日立製作所0.25 μm SiGeBiCMOSのテスト試作を実施した。平成19年度で終了した90nmCMOSの後継の先端プロセスの検討を平成19年度から開始し、平成20年度にeShuttle社の65nm CMOSによる試作を開始した。さらに経済産業省・STARCOのプロジェクト「次世代半導体回路アーキテクチャ実用化支援事業」の一環として、ルネサスエレクトロニクス社の40nm CMOSによる試作も開始した。一方で平成23年9月試作をもってCMOS1.2 μm を終了することとなったほか、平成24年度をもってルネサスエレクトロニクス社の40nm CMOS試作が終了、平成25年8月シャトルをもってeShuttle社の65nm CMOS試作が終了した。CMOS1.2 μm の後継として、オンセミー三洋半導体製造社の協力により平成24年10月にCMOS0.8 μm のテスト試作を実施し、平成25年度から定常試作として継続している。最先端試作としては、平成25年度からフランスCMPを介してSTマイクロ社FD-SOI 28nm CMOS試作を開始。また、平成27年度から定常試作として、ルネサスエレクトロニクス社SOTB 65nm CMOS試作を開始し、令和4年7月試作をもって終了した。また平成28年度にリ



(a) 設計チップ品数種



(b) 設計チップ面積



(c) 規格化した設計チップ面積

図A.2.1 チップ試作数・面積推移

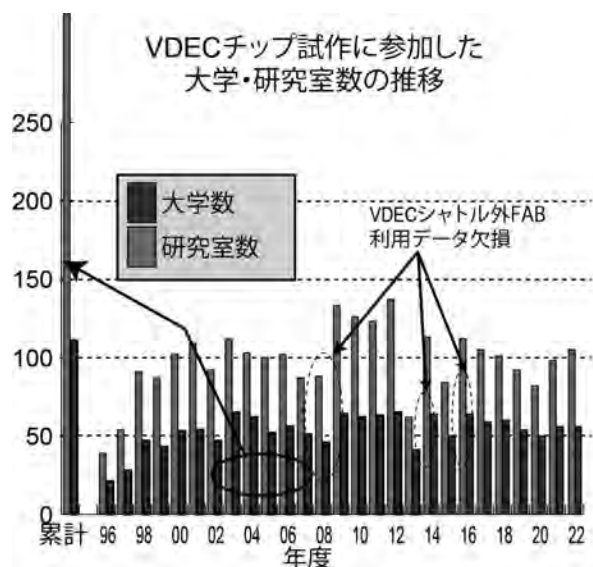
コー電子デバイス株式会社による CMOS 0.6 μ m 高耐压試作の検討および、三重富士通株式会社による CMOS 40nm 試作の検討を開始した。令和2年度にはドイツ IHP 社との協定により BiCMOS0.18 μ m 試作の検討を開始し、令和3年度に最初のテープアウトを実施した。

図A.2.1 (a) は設計されたチップ品種数を示す。図中の棒グラフは、試作品種数の順調な増加を表しており、VLSI 試作研究・教育に直接的に係わった学生数を表しているものと考えられることから、研究・教育効果が劇的に向上していることが想像される。試作されたチップの品種数は、平成14年度に減少しているが、これはROHM社の0.6 μ m プロセスを終了したことによる減少が考えられる。またそれ以降ほぼ400品種程度で推移しているが、その中でより微細なプロセスへ試作の中心が推移していることが読み取れる。また平成18年度に0.35 μ m が終了し、平成19年度以降0.18 μ m への移行したことにより、試作数が130品種程度減少し、さらに平成19年度にASPLA 90nm CMOS 試作が終了し、eShuttle 65nm CMOS への移行に伴う試作数の減少がみられる。

この減少傾向は試作面積においてさらに顕著で、試作プロセスの微細化進展に伴い、集積度が向上することも重なり、試作面積が大幅に減少する結果となっている。図A.2.1 (b) に設計されたチップ面積を示す。一方設計量の指標として、図A.2.1 (c) に試作面積をそれぞれの試作プロセスにおける特性寸法で規格化した、規格化試作面積の傾向も併せて示す。こちらはまだ増加し続けていることから、プロセスの微細化に伴うチップ当たりおよび面積当たりの設計工数の増大が試作数、試作面積の減少主要因になっていることが考えられる。

また、図A.2.2にこれまでに試作に参加した教員数、大学数の推移およびその累計を示す。また、チップ試作に必要な設計規則などの、試作会社固有の機密情報にアクセスするための「機密保持契約」締結教員数は、ルネサスの65nm プロセスが93名、ロームの0.18 μ m プロセスが294名、オンセミ三洋 0.8 μ m プロセスが55名となっている。

2022年度は、表A.2.1に示す日程でチップ試作を行った。チップ試作の参加者・試作の内容は、付録Bのチップ試作報告を参照されたい。



図A.2.2 VDECチップ試作参加教員数・大学数の推移とその累計

表A.2.1 2022年度チップ試作日程

CMOS 0.8um (オンセミコンダクター三洋半導体製造)

	試作申込締切	設計締切	納品・試作完了
2022年度第1回	2022/7/4	2022/9/26	2023/1/31
2022年度第2回	2023/1/10	2023/3/27	2023/6/6

CMOS 0.18um (ローム)

	試作申込締切	設計締切	納品・試作完了
2022年度第1回 (2022年7月試作)	2022/4/4	2022/6/27	2022/9/27
2022年度第2回 (2022年9月試作)	2022/6/13	2022/9/5	2022/12/20
2022年度第3回 (2022年11月試作)	2022/8/1	2022/10/24	2023/2/7
2022年度第4回 (2023年3月試作)	2022/12/5	2023/2/27	2023/6/19

SOTB 65nm CMOS

	試作申込締切	設計締切	納品・試作完了
2022年度第1回 (2022年8月試作)	2022/6/13	2022/7/25	2023/3/E

A.3 セミナー

LSI 設計技術の向上にはセミナーは欠くことができない存在である。令和4年度にも、CAD 利用のための技術セミナーを開催した。社会人のためのリフレッシュセミナーは今年度は実施しなかったが、若手教官・学生のためのデザイナーズフォーラムを企画、実施した。

A.3.1 VDECユーザ向けCADセミナー

CAD 技術セミナーへの参加要望は常に非常に大きく、これは CAD 技術セミナーに対する需要が依然として大きなことを表しており、VDEC はこの状況に

応じ、大規模な CAD 技術セミナー開催の仕組みの整備を行ってきた。CAD 利用のための技術セミナーでは、VDEC で使用可能な Cadence, Synopsys, Keysight など CAD ベンダーのそれぞれの CAD ツールの操作方法等を各ツールベンダーから講師を派遣していただき講習を行っている。今年度はオンラインで1回開催した。一つのツールの講習は1日や2日間となっている。教員・学生は本講習会を通して最新版CADツールの使用方法や VDEC ライブラリを用いた VLSI 設計フローを修得している。

表A.3.1 令和4年度 CAD 技術セミナー開催状況

第1回CAD講習会

日程	講習会	場所	申込人数
2/28-3/1	Keysight ADS Advanced	オンライン	34
3/13-14	Cadence Virtuoso Layout Suite-L	オンライン	72
3/15	Cadence Clarity 3D Solver	オンライン	21
3/13-17	Synopsys TCAD (On-Demand Web Training)	オンライン	47
3/13-17	Synopsys IC Compiler II (On-Demand Web Training)	オンライン	73
3/17	Synopsys Q&A Meeting	オンライン	22
3/28	Cadence Innovus Digital Implementation System	オンライン	34

A.3.2 大学向けデザイナーズフォーラム

学生および若手教官を対象としたVDEC LSI デザイナーフォーラム (VDEC Designers Forum) を開催している。VDEC LSI デザイナーフォーラムは、LSI設計者が、互いの研究成果だけではなく、チップ設計で苦労

した点、失敗事例と解決策、研究室に於ける設計環境の構築法など、通常の研究会や学会などでは得ることのできない情報を共有し、大学または研究室の枠を越えて研究者が連携を深めることを目的としている。今回はメイン会場とのハイブリッド開催となった。

表A.3.2 令和4年度デザイナーズフォーラムプログラム

9/30-10/1 現地 / ハイブリッド開催 参加人数 現地28人, オンライン 7名

9/30

13:00-	現地会場受付 (オンライン入室開始)
13:30-13:35	開会 挨拶 挨拶, 趣旨の紹介 (東京大学 d.lab-VDEC 池田誠 教授)
13:35-14:35	基調講演 日高 秀人 様 (ルネサスエレクトロニクス フェロー) タイトル: X-nics 半導体創生拠点形成事業と今後の半導体
14:35-14:45	休憩
14:45-16:05	d.lab-VDEC デザインアワード発表会..1 (20分×4名)
16:05-16:10	休憩
16:10-17:10	d.lab-VDEC デザインアワード発表会..2 (20分×3名)
17:10-17:15	休憩
17:15-18:15	d.lab-VDEC デザインアワード発表会..3 (20分×3名)

10/1

9:00-10:00	d.lab-VDEC デザインアワード発表会..4 (20分×3名)
10:00-10:45	d.lab-VDEC デザインアワード (アイデアコンテスト部門) 発表会 (15分×3名)
10:45-10:50	休憩
10:50-12:20	PhD セッション
12:20-	アイデアコンテスト表彰式 デザインアワード表彰式 IEEE SCS Japan Chapter 賞授与式 閉会 挨拶

A.4 VDEC発ベンチャー

VDECでの設計/試作経験，人材育成が有効には機能した事例といたしまして，VDECと関連があった（ある）教員が起業したベンチャー企業のリスト（順不同）を以下に示します。

[1] エイ・アイ・エル株式会社 (<http://www.ailabo.co.jp/>)

代表の先生： 神戸大学 瀧 和男 教授（同社，代表取締役社長）

- 事業内容： (1) LSI設計受託開発・
(2) エンジニア派遣
(3) 人材の紹介
(4) 経営コンサルティング業務

[2] 株式会社シンセシス

(2017年7月1日に株式会社ソリトンシステムズと合併，<https://www.soliton.co.jp>)

代表の先生： 大阪大学 白川 功 名誉教授（同社，取締役）

- 事業内容： (1) システムLSI開発・設計受託
(2) IP開発及び販売
(3) システムソリューション提供
(4) 設計支援ツール開発及び販売

[3] エイシップ・ソリューションズ株式会社 (<https://asip-solutions.com/>)

代表の先生： 大阪大学 今井 正治 教授（同社，代表取締役 CTO）

- 事業内容： (1) IoT応用システムの研究，開発，教育およびコンサルテーション
(2) ASIP設計ツールの販売，ASIP開発のコンサルテーション

[4] 株式会社ナノデザイン (<http://www.nanodesign.co.jp/>)

代表の先生： 九州工業大学 中村 和之 教授（同社，代表取締役）

- 事業内容： (1) 大規模半導体集積回路 (LSI) の設計・開発
(2) LSI設計用CAD，及びLSI評価用装置の開発
(3) 設計コンサルティング，他

[5] 株式会社エイアールテック (<http://www.a-r-tec.jp/>)

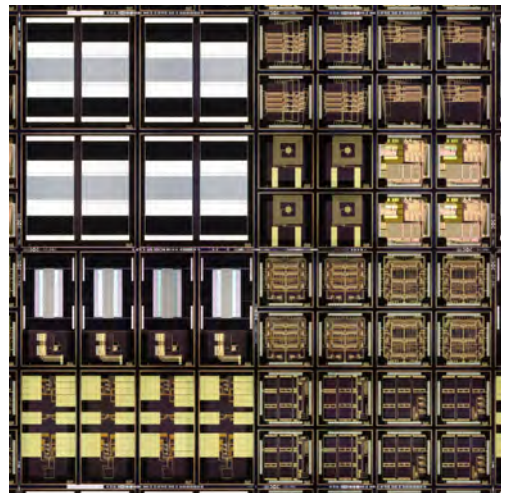
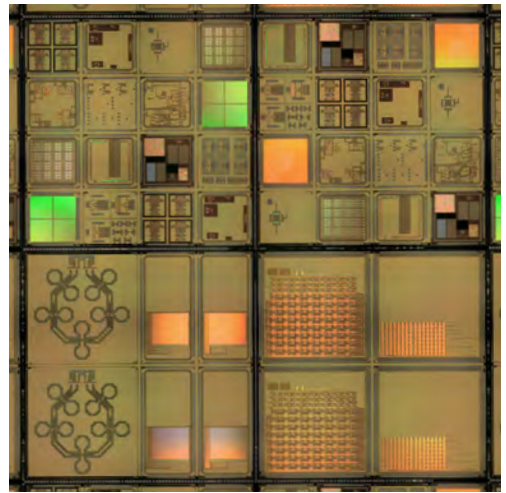
代表の先生： 広島大学 岩田 穆 名誉教授（同社，代表取締役）

- 事業内容： (1) アナログ回路設計・測定
(2) 基板雑音解析
(3) 人材育成やOJT，講習会

[6] 有限会社 石島電子技研 (<http://ishi.main.jp/>)

- 事業内容： (1) 電子回路・基板開発
(2) ソフトウェア開発
(3) コンサルティング

B. チップ試作結果報告



B.1 試作ラン別一覧

令和3年度第2回オンセミコンダクター—三洋 CMOS 0.8um 試作

題名	大学名	研究者	掲載頁
静電容量式CMOS-MEMS加速度センサ	東京電機大学工学研究科電子システム工学専攻 東京電機大学工学部電子システム工学科	佐藤 優大	97
		小松 聡	
静電容量式MEMS加速度センサ	東京電機大学工学研究科電子システム工学専攻 東京電機大学工学部電子システム工学科	鈴木 崇仁	97
		小松 聡	
MEMS圧力センサとCV変換回路を集積した静電容量型CMOS-MEMS圧力センサ	東京電機大学大学院工学研究科電子システム工学専攻 東京電機大学工学部電子システム工学科	前澤 龍平	97
		小松 聡	
四足歩行ロボット用自己帰帰の特性を付与したニューロモーフィック回路の改良型チップ	日本大学理工学部	高柳 拓生, 大隈 井輔, 森下 克幸, 齊藤 健	98
静電モータで駆動するマイクロロボットの歩容生成を行うニューラルネットワークの改良チップ	日本大学理工学部	高柳 拓生, 大隈 井輔, 森下 克幸, 齊藤 健	98
センサ入力の強度を発振周波数に変換可能な受容細胞モデルの改良TEGチップ	日本大学理工学部	大隈 井輔, 高柳 拓生, 森下 克幸, 齊藤 健	98
広い発火範囲をもつパルス形ハードウェアニューロンモデルの改良のためのTEGチップ	日本大学理工学部	高柳 拓生, 森下 克幸, 大隈 井輔, 齊藤 健	99
受容体モデルを用いた筋シナジーに基づくCPGモデルのTEGチップ	日本大学理工学部	武田 健嗣, 加藤 凌, 早川 幹人, 石橋 元邦, 石濱 拓実, 粟飯原 萌, 金子 美泉, 内木場 文男	99
電源搭載型6足MEMSマイクロロボットの歩行制御用パルス形ハードウェアニューラルネットワーク	日本大学理工学部	早川 幹人, 加藤 凌, 金子 美泉, 齊藤 健, 内木場 文男	99

令和4年度第1回オンセミコンダクター—三洋 CMOS 0.8um 試作

題名	大学名	研究者	掲載頁
自動生成技術を用いた静電容量式CMOS-MEMS加速度センサ	東京電機大学工学研究科電子システム工学専攻 東京電機大学工学部電子システム工学科	佐藤 優大	100
		小松 聡	
MOSFETのチャネル抵抗を用いたピエゾ抵抗式CMOS-MEMS圧力センサの試作	東京電機大学大学院工学研究科電子システム工学専攻 東京電機大学工学部電子システム工学科	前澤 龍平	100
		小松 聡	
スイッチトキャパシタ型CV変換回路集積化静電容量式MEMS加速度センサ	東京電機大学工学研究科電子システム工学専攻 東京電機大学工学部電子システム工学科	鈴木 崇仁	100
		小松 聡	
単一基板上でのLC共振型CMOS-MEMS圧力センサ	東京電機大学工学部電子システム工学科	後河内 駿介, 小松 聡	101
デジタル制御定電圧E級整流器	明治大学大学院理工学研究科	藤田 誉大	101
受容細胞モデルを搭載したニューロモーフィック回路のTEGチップ	日本大学理工学部	高柳 拓生, 森下 克幸, 大隈 井輔, 齊藤 健	101
四足歩行ロボットに搭載する4つのニューロ回路を互いに結合したTEGチップ	日本大学理工学部	高柳 拓生, 森下 克幸, 大隈 井輔, 齊藤 健	102
マイクロロボットのセンシングに用いるPVセルを形成したTEGチップ	日本大学理工学部	大隈 井輔, 高柳 拓生, 森下 克幸, 関山 晃生, 中山 渉, 齊藤 健	102
PVセルを電源とした細胞体モデルのTEGチップ	日本大学理工学部	大隈 井輔, 高柳 拓生, 森下 克幸, 関山 晃生, 中山 渉, 齊藤 健	102
歩行と走行の切り替えを目的としたCPGモデルのTEGチップ	日本大学理工学部	石濱 拓実, 後藤 達巳, 山崎 健太郎, 金子 美泉, 内木場 文男	103
人間の歩行速度制御に向けた筋シナジーに基づくCPGモデルのTEGチップ	日本大学理工学部	後藤 達巳, 石濱 拓実, 山崎 健太郎, 金子 美泉, 内木場 文男	103

令和3年度第4回ローム CMOS 0.18um 試作

題名	大学名	研究者	掲載頁
トポロジカル量子状態を模擬する電子回路TEG	東京大学工学系研究科	袁 浩晨, 三田 吉郎, 肥後 昭男, 飯塚 哲也	104
確率的Flash ADCを用いた12bitサブレンジングADC	東京電機大学工学研究科電子システム工学専攻 東京電機大学工学部	坂口 平	104
		小松 聡	

流量計, 発汗センサ	信州大学大学院総合理工学研究科 信州大学工学部	加賀 悠太, 狩野 楓 上口 光	104
SFQ/CMOSハイブリッド回路用低電力64-kb SRAM	横浜国立大学理工学部	弘中 祐樹, 吉川 信行	105
SFQ/CMOSハイブリッド回路用低電力64-kb SRAM	横浜国立大学理工学部	弘中 祐樹, 沈 泓翔, 吉川 信行	105
足裏荷重用容量センサLSI	富山県立大学大学院電子・情報工学専攻	吉河 武文, 島崎 凌, 高木 駿	105
耐放射専用PLLチップ	富山県立大学大学院電子・情報工学専攻 富山県立大学工学部 電子・情報工学科	吉河 武文 水野 功務, 永末 玲央	106
ノイズ入力型軽量対タンパ性LSI設計手法の実践	福岡大学工学部	請園 智玲	106
過剰テスト環境の改善に向けたプロトタイプチップ	福岡大学工学部	白濱 嘉紋, 名倉 徹	106
7bit ADC	電気通信大学情報理工学研究科	甘田 貴大, 範 公可, 石橋 孝一郎	107
Secure boot TEE with TLS1.3 hardware accelerators	電気通信大学情報理工学研究科	Hoang Trong Thuc, 範 公可, 石橋 孝一郎	107
高効率疎行列演算アクセラレータ	東京大学 工学系研究科 東京大学工学系研究科	柴 康太, 岡田 光司 小菅 敦文, 濱田 基嗣, 黒田 忠広	107
強化学習に用いるマシン選択回路およびマシン出力蓄積回路および温度分布を調べるためのPTAT電圧発生回路群	明治大学理工学研究科 明治大学理工学部	関根 かをり, 市川 開 海野 悠人, 小林 寛	108
超音波受信回路用オペアンプ	慶應義塾大学理工学部 慶應義塾大学大学院理工学研究科	中野 誠彦 頃安 裕貴, 渡邊 悠太, 山村 健太	108
多端子MOSFETによる回路モニタとAD-PLL要素回路の試作	山形大学大学院理工学研究科	Andrino Robles Roberto, 原田 知親	108
スキャンC素子のレイアウト設計	奈良高専情報工学科	山崎 心, 岩田 大志, 山口 賢一	109
アナログマルチプレクサ, クロック・バッファ	東京理科大学理工学部電気電子情報工学科 東京理科大学理工学研究科電気工学専攻	榎田 洋太郎, 高野 恭弥 川原 啓輔	109

令和4年度第1回ローム CMOS 0.18um 試作

題名	大学名	研究者	掲載頁
トポロジカル量子状態を模擬する電子回路TEG	東京大学工学系研究科	袁 浩晨, 三田 吉郎, 肥後 昭男, 飯塚 哲也	110
配線間容量を利用したハミング距離検索連想メモリ	東海大学総合科学技術研究所 東海大学情報通信学研究所	西口 大嗣 伊藤 祥磨, 澤田 桐弥	110
入力電圧がRail-to-Railのコンパレータを用いた6bit確率的フラッシュADC	東京電機大学工学研究科電子システム工学専攻 東京電機大学工学部	坂口 平 小松 聡	110
単一磁束量子マイクロ波生成回路用パルスコード読み出し専用メモリ	横浜国立大学理工学部	弘中 祐樹, 吉川 信行	111
低温差動増幅器の特性評価用TEGなど	横浜国立大学理工学部	弘中 祐樹, 沈 泓翔, 吉川 信行	111
環境電波発電向け高効率整流回路	秋田県立大学システム科学技術研究所 秋田県立大学システム科学技術学部	渡辺 準樹 小谷 光司	111
光子計数の高速な読み出しと画素毎の露光制御によるHDR撮像が可能なSPADイメージセンサ	東京理科大学大学院工学研究科 上智大学理工学部	甲田 紘己, 佐藤 俊一, 浜本 隆之 亀田 裕介	112
シングルスロープ量子化器を用いた $\Delta\Sigma$ AD変換器を有する高速・高分解能CMOSイメージセンサ	東京理科大学大学院工学研究科	川上 岳輝, 池沢 尚紀, 大高 俊徳, 佐藤 俊一, 浜本 隆之	112
耐放射線用PLLチップ	富山県立大学大学院電子・情報工学専攻 富山県立大学工学部 電子・情報工学科	吉河 武文 水野 功務, 永末 玲央	112
NANDフラッシュ用BLパス電力削減回路方式の実証	静岡大学工学部	丹沢 徹	113
低RTSノイズ型磁気センサアレイの特性評価用TEG	茨城大学理工学研究科	木村 孝之	113
SAR ADCへの搭載を目的としたS&H回路および比較器 他	電気通信大学情報理工学研究科	橋本 悠平, 範 公可, 石橋 孝一郎	113
TEEHW_System	電気通信大学情報理工学研究科	Duran Ckristian, 範 公可, 石橋 孝一郎	114
高周波増幅回路TEG	広島大学先進理工系科学研究科 広島大学工学部	吉田 毅 原田 拓海	114

LOFIC型CMOSイメージセンサのリセットノイズ測定	立命館大学理工学研究科 立命館大学理工学部	立田 一葵 大倉 俊介	114
電流制御発振器と周波数デジタル変換回路を用いたADCおよび温度分布を調べるためのPTAT電圧発生回路群 他	明治大学理工学研究科	関根 かをり, 山本 遥哉, 安藤 夏輝, 小林 寛	115
超音波ビームフォーミングのため増幅回路 ほか	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦, 森 瑞紀 山村 健太, 渡邊 悠太	115
低電圧動作オペアンプ	埼玉工業大学工学部	吉澤 浩和	115
スキャンC素子のレイアウト設計	奈良高専情報工学科	山崎 心, 岩田 大志, 山口 賢一	116
60 GHz帯フェーズドアレー送受信機用要素回路及び28GHz帯増幅器	東京理科大学理工学部電気電子情報工学科	榎田 洋太郎, 高野 恭弥, 菅野 素裕, 別府 隼, 八木 隼人	116
FICCを用いた不揮発スタンダードセルメモリとフリップフロップその1	京都工芸繊維大学工芸科学研究科電子システム工学専攻	阿部 佑貴, 小林 和淑	116

令和4年度度第2回ローム CMOS 0.18um 試作

題名	大学名	研究者	掲載頁
FICCを用いたCMOS互換な不揮発性メモリTEG	立命館大学情報理工学部 立命館大学大学院情報理工学研究科	門馬 拓己, 越智 裕之 木村 知也	117
配線間容量を用いたハミング距離検出回路, ニューロンCMOSインバータを用いたFGC付き4入力可変論理回路, ハミング距離検出回路	東海大学総合科学技術研究所 東海大学情報通信学研究科	西口 大嗣 伊藤 祥磨, 澤田 桐弥	117
オンチップ発振回路の試作	東京電機大学大学院工学研究科電子システム工学専攻 東京電機大学工学部電子システム工学科	原 航太 小松 聡	117
IoTのためのアナログ回路TEG	広島工業大学工学部/電子情報工学科	升井 義博	118
SFQ/CMOSハイブリッド回路用低電力64-kb SRAM	横浜国立大学理工学部	弘中 祐樹, 沈 泓翔, 吉川 信行	118
低温差動増幅器の特性評価用TEGなど	横浜国立大学理工学部	弘中 祐樹, 沈 泓翔, 吉川 信行	118
熱電発電とバッテリーのハイブリッド電源用DC/DCコンバータ	静岡大学工学部	丹沢 徹	119
6-channel Analog Front-End for biomedical signal acquisition	ホーチミン科学大学電子情報通信学部 電気通信大学情報理工学研究科	Le Duc-Hung 範 公可, 石橋 孝一郎	119
RFEH電源	電気通信大学情報理工学研究科	大原 晟弥, 石橋 孝一郎, 範 公可	119
温度特性向上を目的としたBGR回路の設計とその評価 及び $\Delta\epsilon$ 変調器のループ遅延補償	高知工科大学工学部システム工学群 高知工科大学大学院基盤工学専攻 高知工科大学システム工学群	橘 昌良 林 竜史 平井 幸弥, 永田 土竜	120
遅延同期回路による多相クロック生成回路	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦, 森 瑞紀, 山切 紫雲 山村 健太, 渡邊 悠太	120
アナログマルチプレクサ, クロック・バッファ	東京理科大学理工学部電気電子情報工学科	榎田 洋太郎, 高野 恭弥, 畑田 修治郎	120
60 GHz帯フェーズドアレー送受信機用要素回路及び28GHz帯増幅器の修正	東京理科大学理工学部電気電子情報工学科	榎田 洋太郎, 高野 恭弥, 菅野 素裕, 別府 隼, 八木 隼人	121
電磁カップリングを考慮した相互干渉ノイズ検証用PLL回路とエナジーハーベスト向け昇圧回路TEG	大阪工業大学大学院工学研究科 電気電子機械工学専攻 大阪工業大学工学部 電気電子システム工学科	信貴 政行, 谷口 功祐, 駒林 龍二 吉村 勉	121
FICCを用いた不揮発スタンダードセルメモリとフリップフロップその2	京都工芸繊維大学工芸科学研究科電子システム工学専攻	阿部 佑貴, 小林 和淑	121
光受信用アナログフロントエンド回路TEG8	岐阜大学大学院自然科学技術研究科 岐阜大学工学部	加藤 篤史, 山田 拓磨 伊藤 大輔, 中村 誠	122

令和4年度度第3回ローム CMOS 0.18um 試作

題名	大学名	研究者	掲載頁
無線通信回路TEG	東京大学大学院情報理工学系研究科	門本 淳一郎	123
連続時間型デルタシグマ変調器の試作	東京電機大学工学部第二部 東京電機大学工学部	丸山 尚哉 小松 聡	123
2変数スパイクカオスニューロン回路およびオペアンプ試作	東北大学電気通信研究所	織間 健守, 辻 孟, 石井 豪	123

非同期型Digital LDOほか	電気通信大学情報理工学研究科	健斗 植田, 範 公可, 石橋 孝一郎	124
サイドチャンネル攻撃評価用行列演算器	立命館大学理工学部	吉田 康太	124
電流制御発振器と周波数デジタル変換回路を用いたADC	明治大学理工学研究科	関根 かをり, 安藤 夏輝	124
インピーダンス計測検証回路	静岡大学工学部	二川 雅登, 藤園 幹樹, 瀧本 莊平, 藏本 隆矢	125
光受信用アナログフロントエンド回路 TEG9	岐阜大学大学院自然科学技術研究科 岐阜大学工学部	山田 拓磨, 泉 蓮 伊藤 大輔, 中村 誠	125

令和3年度第2回ルネサス CMOS 65nm 試作

題 名	大 学 名	研 究 者	掲載頁
多重化を用いない耐放射線フリップフロップ構造のソフトウェア率評価チップ	京都工芸繊維大学電子システム工学専攻	古田 潤, 杉谷 昇太郎, 小林 和淑	126
超定電圧整流回路	金沢大学理工研究域	北川 章夫	126
最小エネルギー点追跡チップ	京都大学大学院情報学研究科 大阪大学大学院情報科学研究科	園田 翔也 塩見 準	126
SERV	電気通信大学情報理工学研究科	NGUYEN KHAI-DUY, 範 公可, 石橋 孝一郎	127
制御スイッチ付きリングオシレータのフローティング対策を施した経年劣化評価試作チップ	富山県立大学工学部 電気電子工学科 京都工芸繊維大学電子システム工学専攻	岸田 亮 菊田 大輔, 小林 和淑	127

令和4年度第1回ルネサス CMOS 65nm 試作

題 名	大 学 名	研 究 者	掲載頁
SOTB 65nm プロセスを用いた位相同期回路の設計	芝浦工業大学システム理工学部	ニコデムス レディアン	128
電力サイドチャンネルを抑えたマイクロプロセッサ	東京工業大学 工学院・情報通信系 NSW株式会社	原 祐子, YANG Mingyu 恒松 裕朋, 天木 真雄, 菅原 康	128
サイドチャンネル評価チップ	大阪大学大学院情報科学研究科	塩見 準	128
Lightweigh cryptography core	電気通信大学情報理工学研究科	Serrano Ronaldo, 範 公可, 石橋 孝一郎	129
3次元積層チップの発熱温度解析に向けた改良チップ	芝浦工業大学理工学研究科 芝浦工業大学工学部	王 松祥 宇佐美 公良	129
経年劣化の影響を評価するリングオシレータ	富山県立大学 工学部 東京理科大学電気工学専攻 京都工芸繊維大学電子システム工学専攻	岸田 亮 土屋 勇人 菊田 大輔, 小林 和淑	129

B.2 チップ種別一覧

MEMS

ラン名	タイトル	研究者	掲載頁
OS0821_2	静電容量式CMOS-MEMS加速度センサ	佐藤 優大, 小松 聡	97
OS0821_2	静電容量式MEMS加速度センサ	鈴木 崇仁, 小松 聡	97
OS0821_2	MEMS圧力センサとCV変換回路を集積した静電容量型CMOS-MEMS圧力センサ	前澤 龍平, 小松 聡	97
OS0822_1	自動生成技術を用いた静電容量式CMOS-MEMS加速度センサ	佐藤 優大, 小松 聡	100
OS0822_1	MOSFETのチャンネル抵抗を用いたピエゾ抵抗式CMOS-MEMS圧力センサの試作	前澤 龍平, 小松 聡	100
OS0822_1	スイッチトキャパシタ型CV変換回路集積化静電容量式MEMS加速度センサ	鈴木 崇仁, 小松 聡	100
OS0822_1	単一基板上でのLC共振型CMOS-MEMS圧力センサ	後河内 駿介, 小松 聡	101

TEG(特性評価回路など)

ラン名	タイトル	研究者	掲載頁
OS0821_2	四足歩行ロボット用自己帰帰の特性を付与したニューロモーフィック回路の改良型チップ	高柳 拓生, 大隈 井輔, 森下 克幸, 齊藤 健	98
OS0821_2	静電モータで駆動するマイクロロボットの歩容生成を行うニューラルネットワークの改良チップ	高柳 拓生, 大隈 井輔, 森下 克幸, 齊藤 健	98
OS0821_2	センサ入力の強度を共振周波数に変換可能な受容細胞モデルの改良TEGチップ	大隈 井輔, 高柳 拓生, 森下 克幸, 齊藤 健	98
OS0821_2	広い発火範囲をもつパルス形ハードウェアニューロンモデルの改良のためのTEGチップ	高柳 拓生, 森下 克幸, 大隈 井輔, 齊藤 健	99
OS0821_2	受容体モデルを用いた筋シナジーに基づくCPGモデルのTEGチップ	武田 健嗣, 加藤 凌, 早川 幹人, 石橋 元邦, 石濱 拓実, 栗飯原 萌, 金子 美泉, 内木場 文男	99
OS0821_2	電源搭載型6足MEMSマイクロロボットの歩行制御用パルス形ハードウェアニューラルネットワーク	早川 幹人, 加藤 凌, 金子 美泉, 齊藤 健, 内木場 文男	99
OS0822_1	受容細胞モデルを搭載したニューロモーフィック回路のTEGチップ	高柳 拓生, 森下 克幸, 大隈 井輔, 齊藤 健	101
OS0822_1	四足歩行ロボットに搭載する4つのニューロ回路を互いに結合したTEGチップ	高柳 拓生, 森下 克幸, 大隈 井輔, 齊藤 健	102
OS0822_1	マイクロロボットのセンシングに用いるPVセルを形成したTEGチップ	大隈 井輔, 高柳 拓生, 森下 克幸, 関山 晃生, 中山 渉, 齊藤 健	102
OS0822_1	PVセルを電源とした細胞体モデルのTEGチップ	大隈 井輔, 高柳 拓生, 森下 克幸, 関山 晃生, 中山 渉, 齊藤 健	102
OS0822_1	歩行と走行の切り替えを目的としたCPGモデルのTEGチップ	石濱 拓実, 後藤 達巳, 山崎 健太郎, 金子 美泉, 内木場 文男	103
OS0822_1	人間の歩行速度制御に向けた筋シナジーに基づくCPGモデルのTEGチップ	後藤 達巳, 石濱 拓実, 山崎 健太郎, 金子 美泉, 内木場 文男	103
RO18214	トポロジカル量子状態を模倣する電子回路TEG	袁 浩晨, 三田 吉郎, 肥後 昭男, 飯塚 哲也	104
RO18214	過剰テスト環境の改善に向けたプロトタイプチップ	白濱 嘉紋, 名倉 徹	106
RO18214	強化学習に用いるマシン選択回路およびマシン出力蓄積回路および温度分布を調べるためのPTAT電圧発生回路群	関根 かをり, 市川 開, 海野 悠人, 小林 寛	108
RO18221	トポロジカル量子状態を模倣する電子回路TEG	袁 浩晨, 三田 吉郎, 肥後 昭男, 飯塚 哲也	110
RO18221	低温差動増幅器の特性評価用TEGなど	弘中 祐樹, 沈 泓翔, 吉川 信行	111
RO18221	環境電波発電向け高効率整流回路	渡辺 準樹, 小谷 光司	111
RO18221	低RTSノイズ型磁気センサアレイの特性評価用TEG	木村 孝之	113
RO18221	高周波増幅回路TEG	吉田 毅, 原田 拓海	114
RO18221	LOFIC型CMOSイメージセンサのリセットノイズ測定	立田 一葵, 大倉 俊介	114
RO18221	電流制御発振器と周波数デジタル変換回路を用いたADCおよび温度分布を調べるためのPTAT電圧発生回路群 他	関根 かをり, 山本 遥哉, 安藤 夏輝, 小林 寛	115
RO18222	オンチップ発振回路の試作	原 航太, 小松 聡	117
RO18222	低温差動増幅器の特性評価用TEGなど	弘中 祐樹, 沈 泓翔, 吉川 信行	118
RO18222	電磁カップリングを考慮した相互干渉ノイズ検証用PLL回路とエナジーハーベスト向け昇圧回路TEG	信貴 政行, 谷口 功祐, 駒林 龍二, 吉村 勉	121
RO18223	無線通信回路TEG	門本 淳一郎	123
RO18223	電流制御発振器と周波数デジタル変換回路を用いたADC	関根 かをり, 安藤 夏輝	124
RS65212	多重化を用いない耐放射線フリップフロップ構造のソフトエラー率評価チップ	古田 潤, 杉谷 昇太郎, 小林 和淑	126
RS65212	制御スイッチ付きリングオシレータのフローティング対策を施した経年劣化評価試作チップ	岸田 亮, 菊田 大輔, 小林 和淑	127

RS65221	3次元積層チップの発熱温度解析に向けた改良チップ	王 松祥, 宇佐美 公良	129
RS65221	経年劣化の影響を評価するリングオシレータ	岸田 亮, 土屋 勇人, 菊田 大輔, 小林 和淑	129

アナログ/デジタル信号処理プロセッサ

ラン名	タイトル	研究者	掲載頁
RO18214	足裏荷重用容量センサLSI	吉河 武文, 島崎 凌, 高木 駿	105
RO18221	低電圧動作オペアンプ	吉澤 浩和	115
RS65221	サイドチャンネル評価チップ	塩見 準	128

アナログ(PLL, A-D/DC-DCコンバータなど)

ラン名	タイトル	研究者	掲載頁
RO18214	確率的Flash ADCを用いた12bitサブレンジングADC	坂口 平, 小松 聡	104
RO18214	耐放射専用PLLチップ	吉河 武文, 水野 功務, 永末 玲央	106
RO18214	7bit ADC	甘田 貴大, 範 公可, 石橋 孝一郎	107
RO18214	超音波受信回路用オペアンプ	中野 誠彦, 頃安 裕貴, 渡邊 悠太, 山村 健太	108
RO18214	多端子MOSFETによる回路モニタとAD-PLL要素回路の試作	Andrino Robles Roberto, 原田 知親	108
RO18221	入力電圧がRail-to-Railのコンパレータを用いた6bit確率的フラッシュADC	坂口 平, 小松 聡	110
RO18221	耐放射線用PLLチップ	吉河 武文, 水野 功務, 永末 玲央	112
RO18221	SAR ADCへの搭載を目的としたS&H回路および比較器 他	橋本 悠平, 範 公可, 石橋 孝一郎	113
RO18221	超音波ビームフォーミングのため増幅回路 ほか	中野 誠彦, 森 瑞紀, 山村 健太, 渡邊 悠太	115
RO18222	IoTのためのアナログ回路TEG	升井 義博	118
RO18222	熱発電電とバッテリーのハイブリッド電源用DC/DCコンバータ	丹沢 徹	119
RO18222	6-channel Analog Front-End for biomedical signal acquisition	Le Duc-Hung, 範 公可, 石橋 孝一郎	119
RO18222	RFEH電源	大原 晟弥, 石橋 孝一郎, 範 公可	119
RO18222	温度特性向上を目的としたBGR回路の設計とその評価 及び $\Delta\Sigma$ 変調器のループ遅延補償	橋 昌良, 林 竜史, 平井 幸弥, 永田 士竜	120
RO18222	遅延同期回路による多相クロック生成回路	中野 誠彦, 森 瑞紀, 山切 紫雲, 山村 健太, 渡邊 悠太	120
RO18223	連続時間型デルタシグマ変調器の試作	丸山 尚哉, 小松 聡	123
RO18223	非同期型Digital LDOほか	健斗 植田, 範 公可, 石橋 孝一郎	124
RS65212	超定電圧整流回路	北川 章夫	126
RS65221	SOTB 65nm プロセスを用いた位相同期回路の設計	ニコデムス レディアン	128

イメージセンサ/スマートセンサ

ラン名	タイトル	研究者	掲載頁
RO18214	流量計, 発汗センサ	加賀 悠太, 狩野 楓, 上口 光	104
RO18221	光子計数の高速な読み出しと画素毎の露光制御によるHDR撮像が可能なSPADイメージセンサ	甲田 紘己, 佐藤 俊一, 浜本 隆之, 亀田 裕介	112
RO18221	シングルスロープ量子化器を用いた $\Delta\Sigma$ AD変換器を有する高速・高分解能CMOSイメージセンサ	川上 岳輝, 池沢 尚紀, 大高 俊徳, 佐藤 俊一, 浜本 隆之	112

マイクロプロセッサ

ラン名	タイトル	研究者	掲載頁
RO18214	ノイズ入力型軽量対タンパ性LSI設計手法の実践	請園 智玲	106
RO18214	Secure boot TEE with TLS1.3 hardware accelerators	Hoang Trong Thuc, 範 公可, 石橋 孝一郎	107
RO18214	高効率疎行列演算アクセラレータ	柴 康太, 岡田 光司, 小菅 敦文, 濱田 基嗣, 黒田 忠広	107
RO18221	TEEHW_System	Duran Ckristian, 範 公可, 石橋 孝一郎	114
RO18223	インピーダンス計測検証回路	二川 雅登, 藤園 幹樹, 瀧本 莊平, 藏本 隆矢	125
RS65212	SERV	NGUYEN KHAI-DUY, 範 公可, 石橋 孝一郎	127
RS65221	電力サイドチャンネルを抑えたマイクロプロセッサ	原 祐子, YANG Mingyu, 恒松 裕朋, 天木 真雄, 菅原 康	128
RS65221	Lightweigh cryptography core	Serrano Ronaldo, 範 公可, 石橋 孝一郎	129

メモリ

ラン名	タイトル	研究者	掲載頁
RO18214	SFQ/CMOSハイブリッド回路用低電力64-kb SRAM	弘中 祐樹, 吉川 信行	105
RO18214	SFQ/CMOSハイブリッド回路用低電力64-kb SRAM	弘中 祐樹, 沈 泓翔, 吉川 信行	105
RO18221	単一磁束量子マイクロ波生成回路用パルスコード読み出し専用メモリ	弘中 祐樹, 吉川 信行	111
RO18221	NANDフラッシュ用BLパス電力削減回路方式の実証	丹沢 徹	113
RO18221	FICCを用いた不揮発スタンダードセルメモリとフリップフロップその1	阿部 佑貴, 小林 和淑	116
RO18222	FICCを用いたCMOS互換な不揮発性メモリ TEG	門馬 拓己, 越智 裕之, 木村 知也	117
RO18222	SFQ/CMOSハイブリッド回路用低電力64-kb SRAM	弘中 祐樹, 沈 泓翔, 吉川 信行	118
RO18222	FICCを用いた不揮発スタンダードセルメモリとフリップフロップその2	阿部 佑貴, 小林 和淑	121

演算回路(乗算器, 除算器など)

ラン名	タイトル	研究者	掲載頁
RO18214	スキャンC素子のレイアウト設計	山崎 心, 岩田 大志, 山口 賢一	109
RO18221	スキャンC素子のレイアウト設計	山崎 心, 岩田 大志, 山口 賢一	116
RO18223	サイドチャネル攻撃評価用行列演算器	吉田 康太	124

通信(RF回路, ATMなど)

ラン名	タイトル	研究者	掲載頁
RO18214	アナログマルチプレクサ, クロック・バッファ	榎田 洋太郎, 高野 恭弥, 川原 啓輔	109
RO18221	60 GHz帯フェーズドアレー送受信機用要素回路及び28GHz帯増幅器	榎田 洋太郎, 高野 恭弥, 菅野 素裕, 別府 隼, 八木 隼人	116
RO18222	アナログマルチプレクサ, クロック・バッファ	榎田 洋太郎, 高野 恭弥, 畑田 修治郎	120
RO18222	60 GHz帯フェーズドアレー送受信機用要素回路及び28GHz帯増幅器の修正	榎田 洋太郎, 高野 恭弥, 菅野 素裕, 別府 隼, 八木 隼人	121
RO18222	光受信用アナログフロントエンド回路 TEG8	加藤 篤史, 山田 拓磨, 伊藤 大輔, 中村 誠	122
RO18223	光受信用アナログフロントエンド回路 TEG9	山田 拓磨, 泉 蓮, 伊藤 大輔, 中村 誠	125

アナデジ混載

ラン名	タイトル	研究者	掲載頁
RS65212	最小エネルギー点追跡チップ	園田 翔也, 塩見 準	126

その他

ラン名	タイトル	研究者	掲載頁
OS0822_1	デジタル制御定電圧E級整流器	藤田 誉大	101
RO18221	配線間容量を利用したハミング距離検索連想メモリ	西口 大嗣, 伊藤 祥磨, 澤田 桐弥	110
RO18222	配線間容量を用いたハミング距離検出回路, ニューロンCMOSインバータを用いたFGC付き4入力可変論理回路, ハミング距離検出回路	西口 大嗣, 伊藤 祥磨, 澤田 桐弥	117
RO18223	2変数スパイキングカオスニューロン回路およびオペアンプ試作	織間 健守, 辻 孟, 石井 豪	123

B.3 各チップの詳細

令和3年度第2回オンセミコンダクター—三洋 CMOS 0.8 μ m 試作

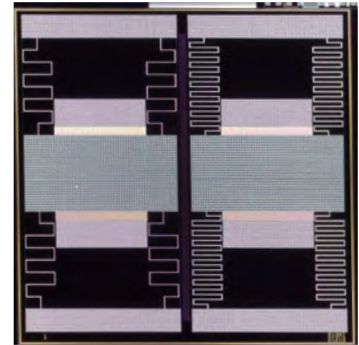
静電容量式CMOS-MEMS加速度センサ

東京電機大学工学研究科電子システム工学専攻 佐藤 優大

東京電機大学工学部電子システム工学科 小松 聡

概要：MEMS (Micro Electro Mechanical Systems) とは集積回路技術を発展させた「マイクロマシーニング」と呼ばれる微細加工技術により、回路だけでなく微細構造体やセンサ、あるいは機械的に動くアクチュエータを一体化・集積化したものである。通常、MEMS加速度センサは要求仕様に応じてセンサの形状を決定し、シミュレーションを用いて感度を見積る手法が主流となっている。本研究ではシミュレーションを用いずに数式モデルを用いてセンサの感度を見積る手法を提案する。今回は実際に数式モデルを用いて感度を見積もった加速度センサの試作を行った。また、試作したチップに武田クリーンルームにて加工を行い、加速度センサを製作する。金属絶縁膜とシリコン層のエッチングを行い、加速度センサとして機能するように製作を行った。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula, トランジスタ数：～10 試作ラン：オンセミー三洋 CMOS 0.8 μ m 5.0mm角チップ チップ種別：MEMS



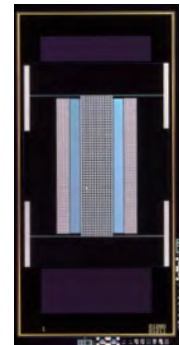
静電容量式MEMS加速度センサ

東京電機大学工学研究科電子システム工学専攻 鈴木 崇仁

東京電機大学工学部電子システム工学科 小松 聡

概要：近年のIoT技術の発展により製品の小型化が進んでいる。MEMS (Micro Electro Mechanical Systems) 加速度センサは情報通信機器や自動車分野、医療分野等の幅広い分野で用いられており、小型化や高感度化が求められている。MEMSは立体的な構造を作ることができる微細加工技術によって作られており、シリコンのチップ上に回路やセンサ、アクチュエータを一体化・集積化した高性能なデバイスである。センサには出力を処理できるようにするための読み出し回路が必要となる。そこで読み出し回路に向けた静電容量式MEMS加速度センサの設計を行った。MEMS加速度センサは静電容量式であり低加速度の検知を精度良く行うことができることから採用した。今後試作したチップをクリーンルームで加工し、特性評価を行う。また読み出し回路であるCV変換回路とワイヤボンディングを行い、その特性評価も行う。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula, トランジスタ数：～10 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mmx5.0mmチップ チップ種別：MEMS



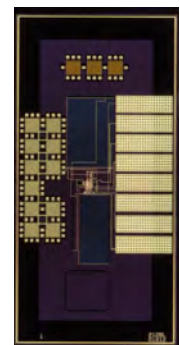
MEMS圧力センサとCV変換回路を集積した 静電容量型CMOS-MEMS圧力センサ

東京電機大学大学院工学研究科電子システム工学専攻 前澤 龍平

東京電機大学工学部電子システム工学科 小松 聡

概要：MEMSとは、半導体微細加工技術を応用して製造する微小デバイスであり、自動車や医療分野といった様々な分野へ応用されているため更なる小型化や高感度化が期待されている。CMOSプロセスを用いてMEMSセンサと読み出し回路を集積することによって小型化や寄生容量を低減することによって高感度化を期待することができる。圧力センサはアレイ状に配置されており、ポリシリコン層-アルミニウムの層を用いて電極としたキャパシタである。センサの読み出し回路であるCV変換回路にはエンハンスドカレントミラー電流源を用いた電流源駆動型CV変換回路を用いた。今後は、試作したチップに対して武田クリーンルームでプロセスを行い特性の評価を行う予定である。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：10～100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mmx5.0mmチップ チップ種別：MEMS

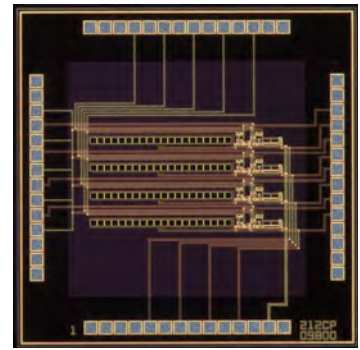


四足歩行ロボット用自己回帰の特性を付与した ニューロモーフィック回路の改良型チップ

日本大学工学部 高柳 拓生, 大隈 井輔, 森下 克幸, 齊藤 健

概要：本試作チップでは、歩容を能動的に生成する四足歩行ロボットに搭載するニューロモーフィック回路のレイアウトの改良を行った。前回作成したOS0821_1_O9800は実装向けにレイアウトを変更し、安定性の向上と使用しやすさを見直した。しかし測定の結果、複数枚のチップにロボットの駆動に使用できない程度の特性のばらつきが確認された。そのため、本試作チップでは、さらなるばらつきの軽減のため、回路の定数は変更せず電流が流れる向きや回路素子の方向を統一することを徹底した。測定の結果、納品されたチップのうちロボットに使用できる程度の特性を有していた割合はOS0821_1_O9800とほとんど変わらなかった。ばらつきに改善が見られなかった原因としては、同一の4つの回路の配線の長さがそれぞれの回路で異なっていたことが考える。そのため次回四足歩行ロボット用のニューロモーフィック回路を作製する際は、配線の長さが揃うようレイアウトを行う。

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

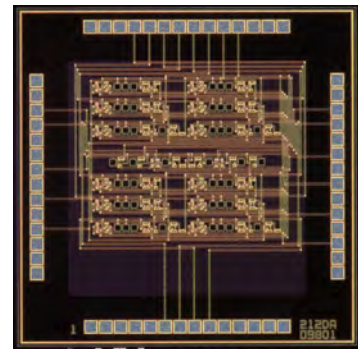


静電モータで駆動するマイクロロボットの 歩容生成を行うニューラルネットワークの改良チップ

日本大学工学部 高柳 拓生, 大隈 井輔, 森下 克幸, 齊藤 健

概要：本試作チップでは、以前作製した6脚マイクロロボット用のニューラルネットワーク回路の改良を行った。昨年度に作製したOS0821_1_O9801は、静電モータの駆動に必要な逆位同期した2相の50-100Hzの方形波の出力に成功し、静電モータで駆動する6脚マイクロロボットの歩容を生成することを可能にした。しかし、マイクロロボットのニューラルネットワーク回路は回路規模が大きいため、ロボットのセンシングに向けた新たな回路を新規に追加することが難しい。そこで、本試作チップでは、回路素子の配置を見直し、電源を集約することで回路規模を小さくさせた。これにより、受容細胞モデルなどセンシングに関わるニューロンモデルを配置するスペースが確保された。測定結果よりOS0821_1_O9801と同様に静電モータを駆動可能な波形を取り出すことができた。今後は、本試作チップのレイアウトを参考に、制御にセンサ入力可能なマイクロロボットシステムの駆動回路の開発を行っていく予定である。

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

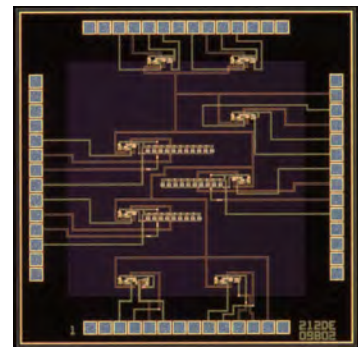


センサ入力の強度を発振周波数に変換可能な受容細胞モデルの 改良TEGチップ

日本大学工学部 大隈 井輔, 高柳 拓生, 森下 克幸, 齊藤 健

概要：本試作チップでは、先に開発した集積回路化した受容細胞モデルのOS0820_1_O9802の改良を行った。受容細胞モデルは、細胞体モデルをベースに構築したパルス波形を出力する発振回路である。細胞体モデルは電源電圧を印加することで、常に周期的なパルス波形を出力するのに対し、受容細胞モデルは電源電圧を印加しただけではパルス波形を出力せず、センサから入力があったときのみパルス波形を出力する。センサ入力は回路内のp型MOSFETのゲート電圧として受容細胞モデルに入力する。本試作チップでは、OS0820_1_O9802よりも発振範囲を拡大すべく、一部の回路素子の回路定数を変更した受容細胞モデルを複数配置した。具体的には、一部のp型MOSFETのW/L比を変更したものや、ゲートフィンガー構造を用いたp型MOSFETを用いたものなど数種類の受容細胞モデルを設計した。測定の結果、受容細胞モデルの発振範囲を最適化可するp型MOSFET構造はゲートフィンガー構造でW/L比が27/1.0としたものであることが判明した。今後受容細胞モデルを含む集積回路を作製する際は、今回設計した回路の定数を参考にする。

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

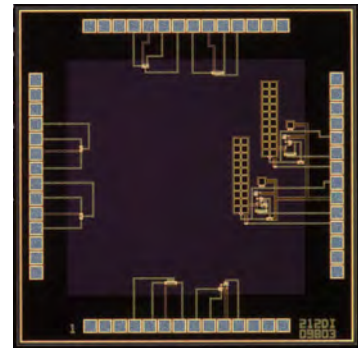


広い発火範囲をもつパルス形ハードウェアニューロンモデルの改良のためのTEGチップ

日本大学理工学部 高柳 拓生, 森下 克幸, 大隈 井輔, 齊藤 健

概要: 本試作チップは、OS0821_1_O9803「広い発火範囲をもつパルス形ハードウェアニューロンモデルの改良」がシミュレーションと同様の波形を生成できなかったことから、不具合の原因を究明する目的で設計した。本試作チップは、広い周波数変動範囲を持つパルス形ハードウェアニューロンモデルのとして設計することで、今後単純なパターンを識別可能な階層型のパルス形ハードウェアニューラルネットワークに応用する。チップの構成は前回設計したTEGチップを複数箇所に分離して配置し、チップ外で接続できるようにすることで、どの箇所の問題があるのかを個別に検証できるようにした。また、一部の回路素子の回路定数を変更した。測定の結果、全体を外接してもシミュレーションと同様の波形は得られなかった。また、分離した箇所を個別に測定し、接続していない状態であれば正常に発振することを確認した。今後は、回路定数などに関して再検討する。

設計期間: 0.1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数:** 10~100 **試作ラン:** オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

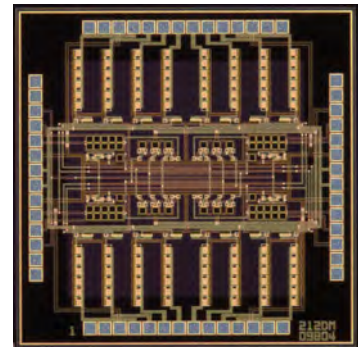


受容体モデルを用いた筋シナジーに基づくCPGモデルのTEGチップ

日本大学理工学部 武田 健嗣, 加藤 凌, 早川 幹人, 石橋 元邦, 石濱 拓実, 栗飯原 萌, 金子 美泉, 内木場 文男

概要: 本試作チップはO9806「人の歩行と走行切り替え制御に向けた筋シナジーに基づくCPGモデルのTEGチップの改良」にて問題となった配線の接続を変更したものである。以前のチップより導線部分の距離を短くし、導線抵抗を低くすることで回路全体の安定性の向上を図った。また、回路内部に配置していたコンデンサをチップ外部からの接続に変更したことにより、チップ内のスペースを確保した。6つの連続した時空間パターンを形成する細胞体モデルを受容細胞体モデルへと変更した。受容体とは生物の体にある外界や体内からの何らかの刺激を受け取る感覚器である。人体において目や耳が該当し、外部からの刺激を情報に置き換えることによって生成された運動を円滑にする。受容細胞体モデルはこの機能を模したモデルであり、外部電源による電圧変化によってパルス幅の変化を可能とする。測定結果として電圧変化によって歩行周期の変化を確認することができた。しかしながら、6つの連続したパルスは生成できず、具体的な周期変化のデータを確認することはできなかった。原因として受容細胞体モデルに変更したため、外部電圧によって細胞体モデルの出力が安定しなかったことが挙げられる。今後は出力を安定させるため、再度配線を見直すとともに生理学的なデータと比べて周期変化が適切であるように調整する予定である。

設計期間: 0.1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数:** 10~100 **試作ラン:** オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

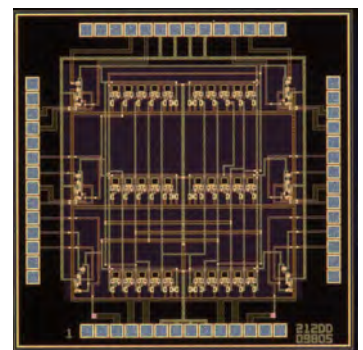


電源搭載型6足MEMSマイクロロボットの歩行制御用パルス形ハードウェアニューラルネット

日本大学理工学部 早川 幹人, 加藤 凌, 金子 美泉, 齊藤 健, 内木場 文男

概要: 本試作チップでは、電源搭載型6足MEMSマイクロロボットの歩行制御を目的とするパルス形ハードウェアニューラルネットワークを設計した。本ネットワークは自励振動細胞体モデル、抑制性シナプスモデルで構成し、IC内に集積化できないコンデンサは外部に搭載した。定電圧源を用いた測定の結果、MEMSマイクロロボットの脚部の駆動源である形状記憶合金アクチュエータを十分に駆動させることが可能な、位相のずれた4相のパルス波形の生成を確認した。本試作チップはマイクロロボットに搭載したコイン型リチウムイオン電池および酸化銀電池からの電圧印加による駆動を想定しているため、実際にペアチップを歩行制御用回路基板に実装し、電池を用いて測定を行った。その結果、4相の位相のずれたパルス波形は確認できたが、形状記憶合金アクチュエータを駆動させるだけの出力は得られなかった。今後は電池の種類や個数について再度検討を行い、実際にペアチップを歩行制御用回路基板に実装し、6足MEMSマイクロロボットに搭載させることで歩行動作の実現を目指していく。今回は新規のマイクロロボット作製のため、以前と同一のチップの発注を行った。

設計期間: 0.1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数:** 10~100 **試作ラン:** オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



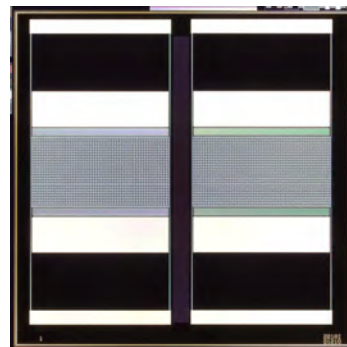
自動生成技術を用いた静電容量式CMOS-MEMS加速度センサ

東京電機大学工学研究科電子システム工学専攻 佐藤 優大

東京電機大学工学部電子システム工学科 小松 聡

概要：MEMSとは、半導体微細加工技術を応用して製造する微小デバイスである。加速度センサは、小型、低コスト、低消費電力などの特徴により、デバイスの小型化が進んでいく中で需要が高まっている。近年、MEMS加速度センサの自動設計に関する研究が行われているが、シミュレーションを用いた設計技術のため、シミュレーションを使うためのソフトウェアのライセンス使用料などのコストが必要になってくる。そこで本研究ではシミュレーションを用いずに数式モデルから加速度センサの感度を見積もる手法を提案し、加速度センサの自動生成に適用する。今回は同じ要求仕様下で提案した自動生成システムと手設計の2通りでセンサの試作を行った。これらを武田クリーンルームにて加工を行い、センサとして機能するように製作を行う。

設計期間：0.5人月以上、1人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula, トランジスタ数：～10 試作ラン：オンセミー三洋 CMOS 0.8 μ m 5.0mm角チップ チップ種別：MEMS



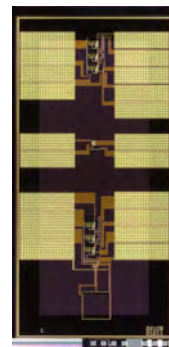
MOSFETのチャネル抵抗を用いたピエゾ抵抗式CMOS-MEMS圧力センサの試作

東京電機大学大学院工学研究科電子システム工学専攻 前澤 龍平

東京電機大学工学部電子システム工学科 小松 聡

概要：MEMSとは、半導体微細加工技術を応用して製造する微小デバイスであり、自動車や医療分野といった様々な分野へ応用されているため更なる小型化や高感度化が期待されている。CMOSプロセスを用いてMEMSセンサと読み出し回路を集積することによって小型化や寄生容量を低減することによって高感度化が期待できる。本研究ではMOSFETに圧力を加えてドレイン電流を変化させることによって圧力の変化を検知するセンサの試作を行っている。今回の試作ではMOSFETを圧力センサとしたピエゾ抵抗式のMEMS圧力センサの試作を行っており、圧力センサ部分はホイートストンブリッジ回路であり読み出し回路部分は計装アンプを用いた構成である。今後、試作したチップを武田クリーンルームでプロセスを行い、圧力センサとして機能するように製作を行う。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：100～1,000 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mmx5.0mmチップ チップ種別：MEMS



トランジスタ数：

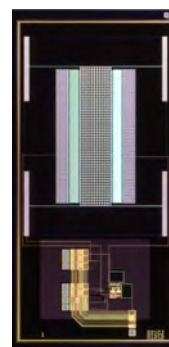
スイッチトキャパシタ型CV変換回路集積化静電容量式MEMS加速度センサ

東京電機大学工学研究科電子システム工学専攻 鈴木 崇仁

東京電機大学工学部電子システム工学科 小松 聡

概要：近年のIoT技術の発展により製品の小型化が進んでいる。MEMS (Micro Electro Mechanical Systems) 加速度センサは情報通信機器や自動車分野、医療分野等の幅広い分野で用いられており、小型化や高感度化が求められている。MEMSは立体的な構造を作ることができる微細加工技術によって作られており、シリコンのチップ上に回路やセンサ、アクチュエータを一体化・集積化した高性能なデバイスである。センサには出力を処理できるようにするための読み出し回路が必要となる。そこで静電容量式MEMS加速度センサと読み出し回路であるスイッチトキャパシタ型CV変換回路の設計を行った。MEMS加速度センサは静電容量式であり低加速度の検知を精度良く行うことができる。また、スイッチトキャパシタ型CV変換回路は帰還抵抗を必要としないことから省面積化が可能で、寄生容量の影響を無視できることから採用した。今後は、試作したチップをクリーンルームで加工し、特性評価を行う。

設計期間：1人月以上、2人月未満 設計ツール：Cadence社 Virtuoso, トランジスタ数：～10 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mmx5.0mmチップ チップ種別：MEMS

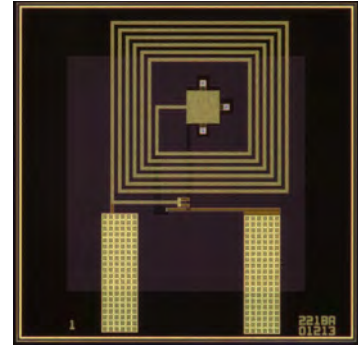


単一基板上でのLC共振型CMOS-MEMS圧力センサ

東京電機大学工学部電子システム工学科 後河内 駿介, 小松 聡

概要：MEMS (Micro Electro Mechanical Systems) とは集積回路技術を発展させた「マイクロマシーニング」と呼ばれる微細加工技術により、回路だけでなく微細構造体やセンサ、あるいは機械的に動くアクチュエータを一体化・集積化したものである。MEMSの需要を高めるためには実用性と汎用性が重視される。本研究では汎用性を高めるために、MEMS圧力センサの変動をワイヤレスで測定することを目的とした。提案したセンサの構造については、圧力センサとして機能する可変容量コンデンサとコイルで構成したセンサ部と圧力の変化をSパラメータや共振周波数で測定するための読み出しコイルを設計した。また、圧力センサ部の犠牲層を武田クリーンルームでエッチングし、上部電極と下部電極の間にエアギャップを生成することで圧力センサを完成させる。

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Virtuoso, **トランジスタ数：**~10 **試作ラン：**オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ **チップ種別：**MEMS

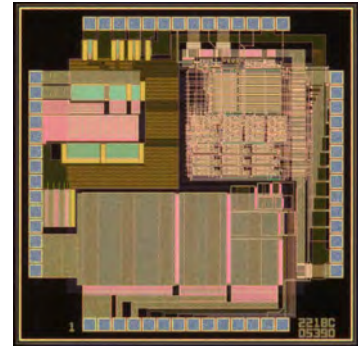


デジタル制御定電圧E級整流器

明治大学大学院理工学研究科 藤田 誉大

概要：無線電力伝送システムの負荷として、直流電源で駆動されるデバイスを用いる場合、整流回路が必要である。負荷に供給される直流電源電圧は安定していることが望ましいが、無線電力伝送システムでは、伝送コイル間の距離や負荷の変動により電源電圧も変動してしまう。本試作では、整流と電圧レギュレーションの2つの機能を併せ持つ回路である、デジタル制御定電圧E級整流器[1]を実装した。E級整流器の出力電圧が、その内部の容量の値に依存することを利用して、出力電圧がある基準電圧と等しくなるように容量値を負帰還制御する構成となっている。整流に必要なダイオードをはじめ、可変容量を実現する容量アレイや基準電圧源、制御回路等をワンチップに実装した。今後、測定と評価を行う予定である。

参考文献：[1] 飯塚, 藤田 et al., “容量アレイを用いた定電圧出力E級整流器”, 電気学会電子回路研究会, ECT-23-020, 2023年3月. **設計期間：**0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 ASSURA, Cadence社 Spectre, Synopsys社 HSPICE (RF), **トランジスタ数：**10~100 **試作ラン：**オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ **チップ種別：**その他

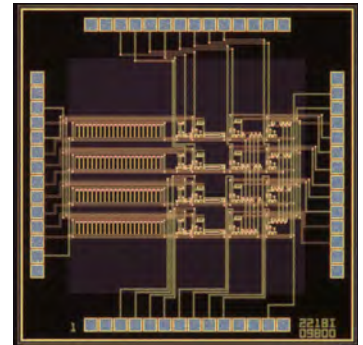


受容細胞モデルを搭載したニューロモーフィック回路のTEGチップ

日本大学理工学部 高柳 拓生, 森下 克幸, 大隈 井輔, 齊藤 健

概要：本試作チップでは、歩容を能動的に生成する四足歩行ロボットに搭載するニューロ回路を設計した。本試作チップは以前に作製したOS0820_2_O9800「四足歩行ロボットに搭載するニューロ回路の改良チップ」とOS0820_1_O9800「集積回路化受容細胞モデルTEGチップ」の一部を引き継いだチップであり、自励振動・他励振動細胞体モデル、抑制性シナプスモデル、受容細胞モデルで構成した。以前に作製したOS0820_2_O9800チップは、ロボットの足裏の圧力センサを直接処理できなかった。そこで我々は、従来のニューロモーフィック回路に受容細胞モデルを追加した。受容細胞モデルはセンサ入力によりパルス波形を出力し、センサの入力強度に応じて出力周波数に変化する。受容細胞モデルと細胞体モデルを抑制性シナプスモデルで結合することでセンサ入力を直接処理することを可能とした。本試作チップの出力測定の結果、受容細胞モデルの出力周波数に応じて細胞体モデルの出力周波数に変化することを確認した。

設計期間：0.1人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数：**10~100 **試作ラン：**オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ **チップ種別：**TEG (特性評価回路など)



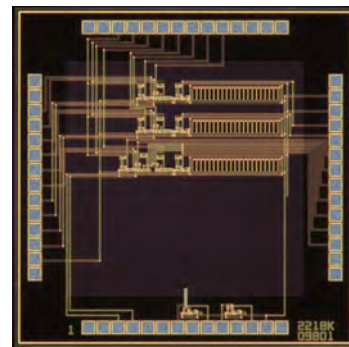
受容細胞モデルの出力周波数に応じて

四足歩行ロボットに搭載する4つのニューロ回路を互いに結合したTEGチップ

日本大学理工学部 高柳 拓生, 森下 克幸, 大隈 井輔, 齊藤 健

概要：本試作チップでは、歩容を能動的に生成する四足歩行ロボットに搭載するニューロ回路を設計した。本試作チップは以前に作製したOS0820_2_O9800「四足歩行ロボットに搭載するニューロ回路の改良チップ」の一部を引き継いだチップであり、自励振動・他励振動細胞体モデル、興奮性シナプスモデル、抑制性シナプスモデルで構成した。以前に作製したOS0820_2_O9800チップは、チップ内に存在する同一の4つの回路がそれぞれ異なった出力特性を持っていたために安定した出力波形を得ることができなかった。我々は、この問題がチップ内の4つの回路がそれぞれ単独で動作することが原因で発生していると考えた。そこで本試作チップでは、回路内に存在する4つの単独の回路を興奮性シナプスモデルと抑制性シナプスモデルを用いて互いに結合するように設計し、上記の問題の改善を試みた。本試作チップの出力測定の結果、各回路の出力はばらつきが大きく、安定した出力特性を得ることはできなかった。

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：10～100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

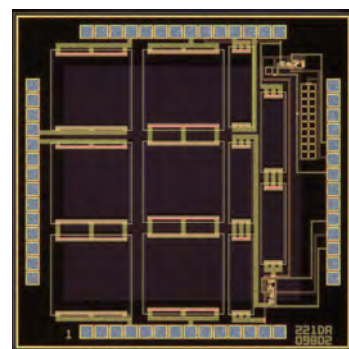


マイクロロボットのセンシングに用いるPVセルを形成したTEGチップ

日本大学理工学部 大隈 井輔, 高柳 拓生, 森下 克幸, 関山 晃生, 中山 涉, 齊藤 健

概要：本試作チップでは、マイクロロボット向けの新たなセンサの開発のため、チップ上にPVセルを設計した。本試作チップの搭載先のマイクロロボットは、過去に全長1cm未満と小型ながら、実験において昆虫の脚運びを模倣した歩行に成功した。しかし、マイクロロボットにはセンサおよびセンサからの信号を処理して歩行に反映させる機能が備わっていなかった。そこで、チップ上にセンサとなるPVセルおよびPVセルからの信号を処理するニューロ回路を設計することを検討するに至った。本試作チップでは、チップ上に設計したPVセルがどの程度の性能を持つのかを検証するため、形状や接続方法の異なるPVセルを複数配置した。測定の結果、チップへLEDの白色を照射すると、どのPVセルからも0.5V程度の電圧が得られた。しかし、チップの構造上、チップ上に設計したすべてのPVセルはP Substrateの層で接合されてしまっており、複数個を直列したPVセルからも0.5Vより大きい電圧は得られなかった。今後は、PVセル間の距離を開けるなどして、再設計を行う予定である。

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：10～100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

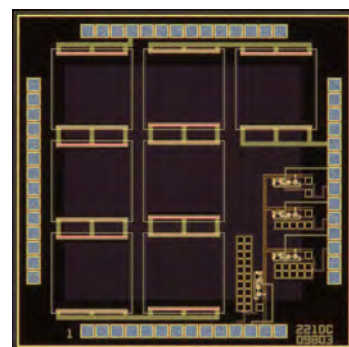


PVセルを電源とした細胞体モデルのTEGチップ

日本大学理工学部 大隈 井輔, 高柳 拓生, 森下 克幸, 関山 晃生, 中山 涉, 齊藤 健

概要：本試作チップは、PVセルを電源として用いることで、細胞体モデルを動作させる目的で設計した。PVセルは、Pの層とDNWの層を重ねることで設計した。また、細胞体モデルは生物の神経細胞が持つ不応期や閾値などの特性を模倣したアナログ電子回路であり、生物の神経細胞が出力するパルス波形に酷似した波形を出力可能である。細胞体モデルの電源としてPVセルを用いることが可能となれば、電源装置を用いずにセンサとして使用できる。本試作チップは7個直接に接続したPVセルと回路定数の異なる4つの細胞体モデルで構成した。測定の結果、PVセルからは設計時は3.5V以上の電圧が得られると想定していたが、最大でも0.5V程度の電圧しか発生しなかった。細胞体モデルの電源として利用するためには、最低でも2V以上の電圧が必要になることから、PVセルを電源として用いることはできなかった。電圧が予想していたより低かった原因として、チップ上に設計したすべてのPVセルがP Substrateの層で接合されていたことが挙げられる。今後はPVセルを用いて2V以上の電圧を発生させる設計方法を検討する。

設計期間：0.1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：10～100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

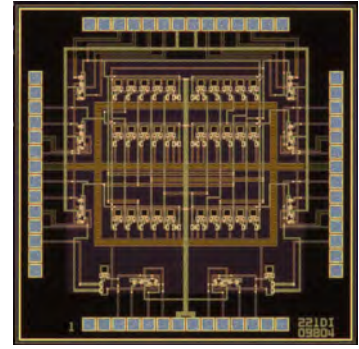


歩行と走行の切り替えを目的としたCPGモデルのTEGチップ

日本大学理工学部 石濱 拓実, 後藤 達巳, 山崎 健太郎, 金子 美泉, 内木場 文男

概要：本試作チップでは、人の歩行と走行の切り替えを可能とする筋シナジーに基づいたCPGモデルを作製した。生理学的知見から人の歩行と走行は、脊髄に局在するCPGから5つの時空間パターンによって生成されると示唆されている。このとき、走行では2つめの信号の位置が変化することが示されている。そこで、細胞体モデルと抑制性シナプスモデルを用いて、6つの連続した時空間パターンの生成が可能なICチップを作製した。本チップは、歩行と走行パターンを出力する上で基本となる6つのパルスを生成する。6つの細胞体モデルを抑制性シナプスモデルで全て相互抑制接続し、連続した時空間パターンの生成を行う。さらに、2つの細胞体モデルを外部からの電圧によって入力を制限する興奮性シナプスモデルによって接続し、同相同期状態とすることで6つのパルスに影響することなく2出力のみ取り出した。これにより、6つの時空間パターンの内取り出された2つめと3つめの細胞体モデルの出力を切り替えることで、歩行パターンと走行パターンの切り替えを行う。また、本試作チップは以前のチップよりGND導線部分の幅を広げることで導線抵抗を低くした。測定結果は6つのパルスを出力されず、同相同期された出力も確認できなかった。原因は抑制性シナプスモデルの配線に誤りがあり、6出力が一部しか出力されなかった。次回は安定した6出力を得るために、全体的に設計を見直す予定である。

設計期間：0.1人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数：**10~100 **試作ラン：**オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ **チップ種別：**TEG (特性評価回路など)

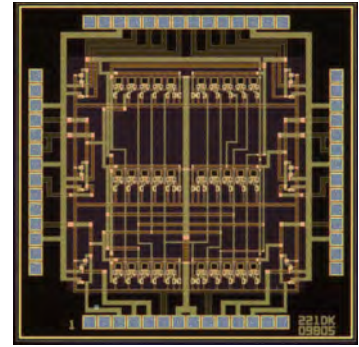


人間の歩行速度制御に向けた筋シナジーに基づくCPGモデルのTEGチップ

日本大学理工学部 後藤 達巳, 石濱 拓実, 山崎 健太郎, 金子 美泉, 内木場 文男

概要：本試作チップは以前作製した人の歩行と走行切り替え制御に向けた筋シナジーに基づくCPGモデルのTEGチップを基本として、新たに人間の歩行速度制御に向けた筋シナジーに基づくCPGモデルを作製した。細胞体モデルと抑制性シナプスモデルを用いて、6つの連続した時空間パターンの生成が可能なICチップを作製した。本チップは、歩行と走行パターンを出力する上で基本となる、6つのパルスを生成する。6つの細胞体モデルを抑制性シナプスモデルで全て相互抑制接続し、連続した時空間パターンの生成を行う。また、細胞体モデルの回路素子の一部外付けにし、回路定数を変更することで歩行速度の変更を行う。測定結果は6つの細胞体モデルの一部は正常に動作し、回路定数を変更することでパルス信号が変化することを確認した。しかし、その他の細胞体モデルと抑制性シナプスモデルが正常に動作しなかったため、6つの連続したパルスは生成できなかった。原因は導線部分の幅が小さいことと、抑制性シナプスモデルの設計に誤りがあったことが考えられる。今後は導線部分の幅の調整と、抑制性シナプスモデルの設計の見直しを行う予定である。

設計期間：0.1人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数：**10~100 **試作ラン：**オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ **チップ種別：**TEG (特性評価回路など)

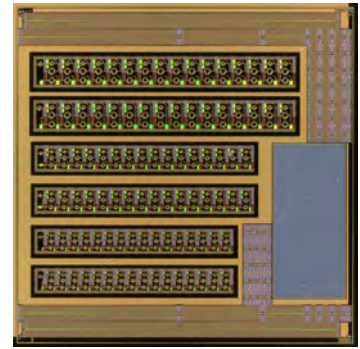


トポロジカル量子状態を模擬する電子回路 TEG

東京大学工学系研究科 袁 浩晨, 三田 吉郎, 肥後 昭男, 飯塚 哲也

概要: 本試作では電子回路を用いてトポロジカル量子状態を模擬するためのテスト回路の設計を行った。LCR共振回路を用いて量子状態を模擬するための回路構成を設計し、複数の異なる共振周波数をターゲットとした複数の構造を実装した。LCR共振回路の設計には、電磁界シミュレータを使用し、受動素子の特性の調整を行った。また、トランジスタによるスイッチを用いて回路のトポロジカル状態を切り替えられるような回廊構成を提案し実装を行った。これにより、トポロジカル・トリビアルの境界位置を自由に制御することが可能となり、異なる状態での評価を行う事ができる。ネットワークアナライザを用いて試作回路の特性評価を行い、想定通りの特性が得られていることを確認した。トランジスタ等の寄生成分等の影響により、見込みよりも共振のQ値が減少していることも確認された。

参考文献: Haochen Yuan, Anne-Claire Eiler, Shun Yasunaga, Motohiko Ezawa, Yoshio Mita and Tetsuya Iizuka, “Measurement Investigation of Si Substrate Impact on On-Chip Resonance Circuits,” 電子情報通信学会 総合大会, C-12-25, 2023年3月. **設計期間:** 1か月以上, 2か月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m **チップ種別:** TEG (特性評価回路など)



確率的Flash ADCを用いた12bitサブレンジングADC

東京電機大学工学研究科電子システム工学専攻 坂口 平

東京電機大学工学部 小松 聡

概要: 粗く変換するCoarse段に通常の6bit Flash ADC, 細かく変換するFine段では6bit 確率的Flash ADCを用いた12bit サブレンジングADCのチップ試作を行った。通常のFlash ADCは0-1.8[V]の範囲で動作するようにnmos入力コンパレータとpmos入力コンパレータを半分ずつで構成した。確率的Flash ADCでは、nmos入力コンパレータとそれをベースに差動対のNMOSのゲート幅を少し大きくしたもので mismatches を起こして意図的にオフセットを変化させたコンパレータの3種類で構成した。Flash ADCが前回のチップ試作で5bitのものが確認できたため、6bitにしたが入出力特性の線形性の劣化が予想される。実際のパラメータがシミュレーションのものとの程度違いが生まれるかが本チップによって確認ができると考えられる。また、確率的Flash ADCの参照電圧は前段のCoarse段にて生成された参照電圧を適切に選択する回路によって入力されている。

設計期間: 0.5か月以上, 1か月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Cadence社 QUANTUS, Synopsys社 HSPICE (RF), **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



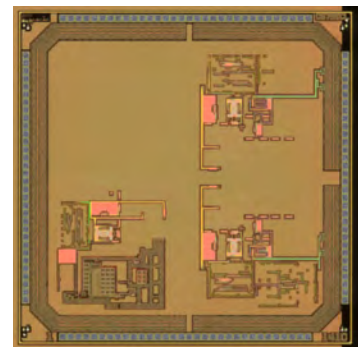
流量計, 発汗センサ

信州大学大学院総合理工学研究科 加賀 悠太, 狩野 楓

信州大学工学部 上口 光

概要: 本テストチップは、水道メータ用の流量計とヘルスケア用の発汗センサのテスト回路から構成されている。流量計は超音波の伝搬時間差を基に水の流速を求め、そこから流量を算出する。流量計TEGは超音波アクチュエータの駆動回路とスイッチング制御、また、受信信号から伝搬時間を検出する回路から構成されている。伝搬時間検出回路では高速な内部クロックで詳細な時間差を検出するタイミングズーム機能と、毎測定時に内部クロックを較正するオートキャリブレーション機能を実現している。また、超音波伝搬速度を補正するためにSAR型ADCによる温度センサと、バンドギャップ参照電源から、参照電圧源と参照電流源も内蔵している。発汗センサは、2020年第4回試作の再設計であり、タイミングズーム機能をマルチフェーズ化することにより、時間精度の向上を達成した。

参考文献: Y. Kaga and K. Johguch, “A smart ultra-sonic water-flow meter with 180-nm CMOS technology,” Extended Abstracts of 2020 Solid State Devices and Materials (SSDM2020), pp. 787-788, 2020. **設計期間:** 2か月以上, 3か月未満 **設計ツール:** Cadence社 Xcelium, Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 ICSCompiler II, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 ICADVM, Cadence社 QUANTUS, Cadence社 Spectre, Synopsys社 HSPICE (RF), Synopsys社 PrimeTime, Synopsys社 Synplify, Synopsys社 Formality, **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m **チップ種別:** イメージセンサ/スマートセンサ

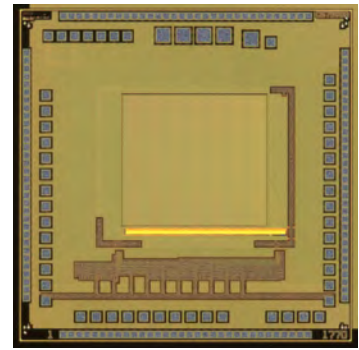


SFQ/CMOSハイブリッド回路用低電力64-kb SRAM

横浜国立大学理工学部 弘中 祐樹, 吉川 信行

概要：我々は半導体回路に代わる次世代回路として高速性、低消費電力性に優れた単一磁束量子 (SFQ) 論理回路の研究を行っている。だが、駆動力や集積度が低いという欠点があり、SFQ回路単体での大規模回路作製は困難である。そこで高速性、低消費電力性に優れたSFQ論理回路による演算回路と集積性に優れたCMOS回路によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なSFQ/CMOSハイブリッドメモリシステムを提案している。このチップにはプロセスの最小幅で設計した8T-SRAMセルで構成されるメモリアレイ (容量64-kb)、デコーダ、及び10個のセルフバイアス型差動増幅器が実装されている。回路構成以前までに完全動作実証に成功したチップと同等であるが、SFQ回路とのボンディングによる相互接続を考慮し差動増幅器の数と配置を変更したチップレイアウトとしている。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Synopsys社 HSPICE (RF), トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m チップ種別：メモリ

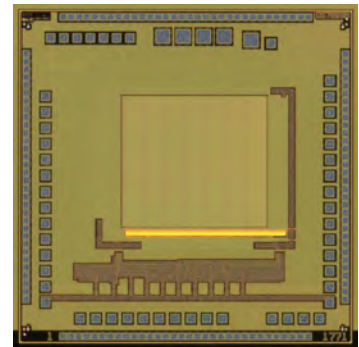


SFQ/CMOSハイブリッド回路用低電力64-kb SRAM

横浜国立大学理工学部 弘中 祐樹, 沈 泓翔, 吉川 信行

概要：我々は半導体回路に代わる次世代回路として高速性、低消費電力性に優れた単一磁束量子 (SFQ) 論理回路の研究を行っている。だが、駆動力や集積度が低いという欠点があり、SFQ回路単体での大規模回路作製は困難である。そこで高速性、低消費電力性に優れたSFQ論理回路による演算回路と集積性に優れたCMOS回路によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なSFQ/CMOSハイブリッドメモリシステムを提案している。このチップにはプロセスの最小幅で設計した8T-SRAMセルで構成されるメモリアレイ (容量64-kb)、デコーダ、及び10個のコンパレータ型増幅器が実装されている。本試作チップでは、以前までに用いていた差動増幅器の低温測定における動作の不安定性が問題視されたことから、コンパレータを用いた異なる構成の増幅器を新たに設計し、これを用いたチップを設計している。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Synopsys社 HSPICE (RF), トランジスタ数：100,000~1,000,000 試作ラン：ローム CMOS 0.18 μ m チップ種別：メモリ

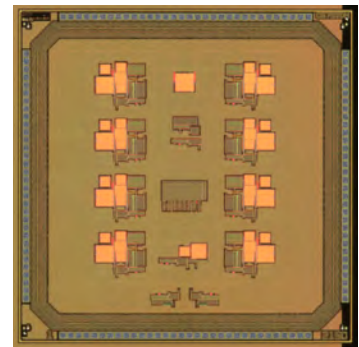


足裏荷重用容量センサLSI

富山県立大学大学院電子・情報工学専攻 吉河 武文, 島崎 凌, 高木 駿

概要：足裏荷重をリアルタイムに計測するための圧力センサLSIである。センサ自体は、柔軟な導体樹脂を1対の電極とし、それらを上下に張り合わせて内部に中空を形成し、その中空形状が上からの押圧で変形することにより上下の電極の間隔が変化するため電極間の容量を変化させている。その容量変化を読み取るLSIを試作した。容量変化は、容量-電圧変換回路 (C-V Convertor) により読み取る。この読み取りは、基準容量との容量差を電圧に変換することにより行う。そして、容量差を変換した電圧は、アンプにより外部に出力される。容量センサは、24 \times 8のマトリックス構成であり、このマトリックスの上に足を乗せることにより圧力を読み取って足裏荷重を計測する。このマトリックスの各行 (24行) におけるセンサ容量のばらつきを抑えるために、容量校正回路を搭載している。この容量校正は、所定電流量と時間で所定電圧になるように基準容量を構成することにより実現している。

参考文献：島崎, 岩田, 吉河, “容量式圧力センサアレイにおける基準容量校正システムの提案”, 2021電気・情報関係学会北陸支部連合大会 設計期間：6人月以上, 7人月未満 設計ツール：Cadence社 Xcelium, Synopsys社 VCS, Synopsys社 ICSCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 StarRC (XT), Synopsys社 PrimeTime, トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m チップ種別：アナログ/デジタル信号処理プロセッサ



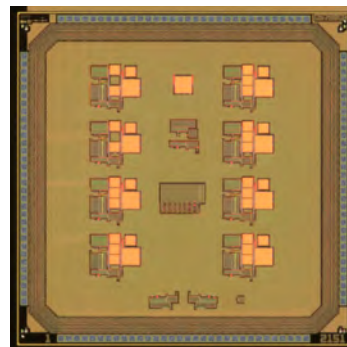
耐放射専用PLLチップ

富山県立大学大学院電子・情報工学専攻 吉河 武文

富山県立大学工学部 電子・情報工学科 水野 功務, 永末 玲央

概要：耐放射線用のPLLを8種類のバリエーションで搭載したチップである。このバリエーションは、VCO (Voltage Control Oscillator), PFD (Phase and Frequency Detector), CP (Charge Pump), FD (Frequency Divider) の組合せによる。VCOは、5段のリングオシレータを単体とするか、3つを多重結合にするかによりバリエーションを構成している。PFDとCPは、Radiation Hardening用のレイアウトをするかしないかでバリエーションを構成している。FDは、Flip-Flopのタイプを、DICE (Dual Interlocked storage Cell) か、通常のマスタースレーブ方式かによりバリエーションを構成している。これらのバリエーションの組合せで8種類のバリエーションのPLLを形成し、チップに取めた。ループ帯域は、すべて同じとした。

参考文献：Z. Chen, et.al, “Analysis of Single-Event Effects in a Radiation-Hardened Low-Jitter PLL Under Heavy Ion and Pulsed Laser Irradiation”, IEEE TRANSACTIONS ON NUCLEAR SCIENCE, VOL. 64, NO. 1, JANUARY 2017 **設計期間：**4人月以上, 5人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)

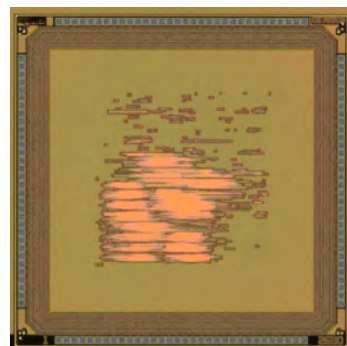


ノイズ入力型軽量対タンパ性LSI設計手法の実践

福岡大学工学部 請園 智玲

概要：このチップは、これまでにFPGAで実装していた研究上の提案である軽量な耐タンパ性LSI設計手法[1]をASICで実現できることを確認するために試作した。試作はAESの暗号処理専用回路を対象としている。提案手法によって対策済みのAESへの電力解析攻撃で秘密鍵の漏洩が防止できるかを実際のAESの暗号化処理中の消費電力波形を得ることで実験する予定である。提案する試作回路はクロック信号をデータパスへ注入する提案であるため、レイアウト設計でclkライン制約の扱いで特殊な設計法が必要となったが、外部へ一度出して信号線として入力してバイパスする設計法で対処した。この設計法ならば、既存のツールの使用法で十分に設計可能であることが確認できた。

参考文献：[1]Tomoaki Ukezono, “Resistance for Side-Channel Attack by Virtual Dual-Rail Effect,” Proc. of ICECCE 2021, paper-89, Jul. 2021. **設計期間：**0.5人月以上, 1人月未満 **設計ツール：**Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 PowerCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 PrimeTime, Synopsys社 Formality, **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m **チップ種別：**マイクロプロセッサ

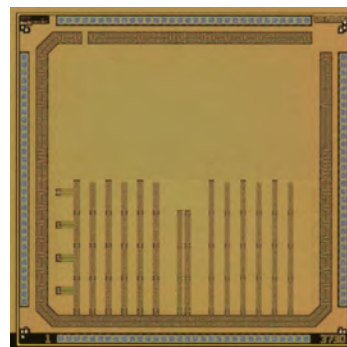


過剰テスト環境の改善に向けたプロトタイプチップ

福岡大学工学部 白濱 嘉紋, 名倉 徹

概要：車の制御用集積回路は、故障による事故を絶対に起こさないように、出荷前テストに過剰な負荷をかけて行う。しかし、テスト時の負荷を過剰にかけすぎているためテストを通過するチップはオーバースペックとなっている。また、この過剰な負荷によって本来の動作環境では問題ない回路も故障してしまい、オーバーキルが発生するためコスト面で非効率的になってしまう。テスト時の最適な外部温度設定方法の提案を可能にした。本チップ試作では、回路動作時に熱を発生させる部分と、周囲が発熱中に出力周波数を測定する部分を分けて設計し、実際に測定し、シミュレーション結果と比較した。ただし、本設計では電源電圧供給を行う配線が細く、十分に電流を供給することが出来ずに動作中に故障してしまった。

参考文献：高信頼集積回路における 過剰テスト環境の改善, 2022年福岡大学工学系研究科修士学位論文 **設計期間：**0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Synopsys社 HSPICE (RF), **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m **チップ種別：**TEG (特性評価回路など)

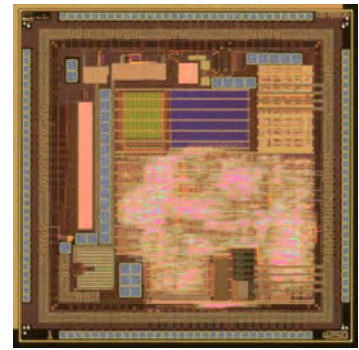


7bit ADC

電気通信大学情報理工学研究所 甘田 貴大, 範 公可, 石橋 孝一郎

概要: 本試作ではIoT向けの7bitのTime Domain A/D Converterを試作した。このADCは時間領域でA/D変換を行っており、電圧/時間変換器 (Voltage-Time Converter:VTC) で入力電圧をクロックとの遅延時間に変換し、時間/デジタル変換器 (Time-Digital Converter:TDC) で遅延時間を測定することによってA/D変換を行っている。この時間/デジタル変換器はすべてデジタル回路で構成が可能であるためフルカスタム設計ではなく、RTLで設計し、スタンダードセルを用いて設計の容易化を目的とした。TDCは一般的にサブナノの時間を測定することから注意深く設計する必要性があり、一般的にはフルカスタム設計が用いられる。しかし、データパスの設計などで用いられるIC Compilerの相対配置 (Relative Placement:RP) 設計をすることにより配置配線でのルーティングを均一化し、TDCの遅延素子のばらつきを抑えた。本試作ではA/D変換を行っていることが確認できたため、さらなる精度向上や低消費電力に努めたいと思う。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

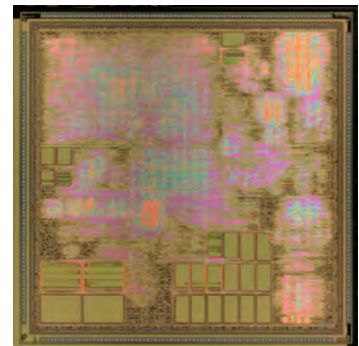


Secure boot TEE with TLS1.3 hardware accelerators

電気通信大学情報理工学研究所 Hoang Trong Thuc, 範 公可, 石橋 孝一郎

概要: This chip is a 5x5-mm² chip packaged with the QFP160 socket. There is only one circuit in this chip: a Trusted Execution Environment (TEE) System-on-Chip (SoC) implementation with a single-core Rocket. This SoC aims for complete Transport Layer Security (TLS) version 1.3 support with hardware accelerators. The Rocket core is configured with the Instruction Set Architecture (ISA) of RV32IMAC. The core processor has 16-KB of instruction cache and 16-KB of data cache. There is no L2 cache. This SoC also contains a hidden Micro-Controller Unit (MCU) with a single-core Ibx for the secure boot process. The embedded hardware cryptographic accelerators are AES-GCM (Advanced Encryption Standard - Galois/Counter Mode) 128/256-bit (configurable), ChaCha20, Poly1305, AEAD (Authenticated Encryption with Associated Data), Ed/EC-DSA (Ed25519 and Elliptic Curve - Digital Signature Algorithm) 256/384/512-bit (configurable), SHA3 (Secure Hash Algorithm version 3) 512-bit, HMAC-SHA2 (Hashed Message Authentication Code with SHA version 2) 256/384-bit (configurable), RSA (Rivest-Shamir-Adleman) 1024-bit, and TRNG (True Random Number Generator). The peripherals are General-Purpose In-Out (GPIO), boot Read-Only Memory (ROM), UART, Serial Peripheral Interface (SPI) for using SD-card, and Queued SPI (QSPI) for using flash memory. The whole circuit was spanned on 4,560.08x4,561.2-µm² (1,535,403-NAND2 gate count) with 466,882 cells and 7,982,582 MOSFETs. The simulation results gave the maximum operating frequency at about 71-MHz with 1,992-mW power consumption at the 1.8-V power supply.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 GENUS, Cadence社 Innovus, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 UltraSim, Synopsys社 StarRC (XT), **トランジスタ数:** 1,000,000~10,000,000 **試作ラン:** ローム CMOS 0.18 μ m **チップ種別:** マイクロプロセッサ



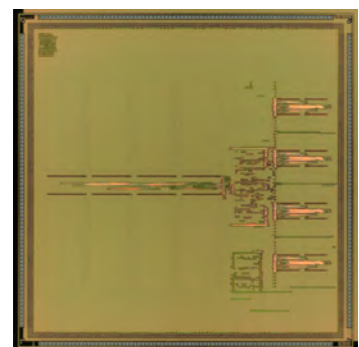
高効率疎行列演算アクセラレータ

東京大学工学系研究科 柴 康太, 岡田 光司

東京大学工学系研究科 小菅 敦丈, 濱田 基嗣, 黒田 忠広

概要: AI演算に必要なパラメータのデータ容量を削減するために、圧縮された疎行列を高効率に演算するアクセラレータを開発した。ランダムプルーニングされた不規則な疎行列を規則的な構造に並び替えることでデータの圧縮効率とハードウェアの演算効率が向上する。新たな並び替えアルゴリズムとその記憶フォーマットを提案し従来比で63%のデータ容量削減を達成した。また、そのような圧縮された疎行列を高効率に処理するアクセラレータを開発し、従来研究と比較して高いエネルギー効率と高い面積効率を達成することを実チップの測定で確認した。本技術をまとめた研究成果は国際会議NEWCASで口頭発表したのに加えて、参考文献に記載したIEEE CASSのフラグシップジャーナルであるTCAS-Iに掲載された。

参考文献: K. Shiba, M. Okada, A. Kosuge, M. Hamada, and T. Kuroda, "Polyomino: A 3D-SRAM-Centric Accelerator for Randomly Pruned Matrix Multiplication with Simple Reordering Algorithm and Efficient Compression Format in 180-nm CMOS," IEEE Transactions on Circuits and Systems-I: Regular Papers (TCAS-I), in press. **設計期間:** 2人月以上, 3人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 PrimeTime, Synopsys社 Formality, **トランジスタ数:** 10,000,000~ **試作ラン:** ローム CMOS 0.18 μ m **チップ種別:** マイクロプロセッサ



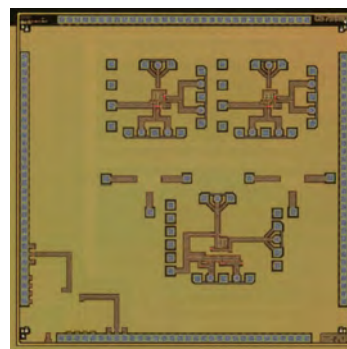
強化学習に用いるマシン選択回路およびマシン出力蓄積回路 および温度分布を調べるためのPTAT電圧発生回路群

明治大学理工学研究所 関根 かをり, 市川 開

明治大学理工学部 海野 悠人, 小林 寛

概要: 低電圧・小面積CMOSアナログ回路を設計することを根底に置き、評価に必要な回路の設計を行った。強化学習の内環境を選択する回路と環境から得られた結果を保持する回路を高速動作を期待し、最低限のトランジスタ数で構成し試作した。結果を蓄積する回路は従来のアナログメモリと比較して充放電用の機構がついており、環境からの結果に応じて値を任意に連続的に変化させることを可能にしている。また、PTAT電圧発生回路を熱源から異なる距離に配置することで、チップ上の温度分布が確認できるかを調査するためにレイアウトを行った。PTAT電圧発生回路の特性から逆算することで、PTAT電圧発生回路付近の温度を求めることができる。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Cadence社 Spectre, **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m **チップ種別:** TEG (特性評価回路など)



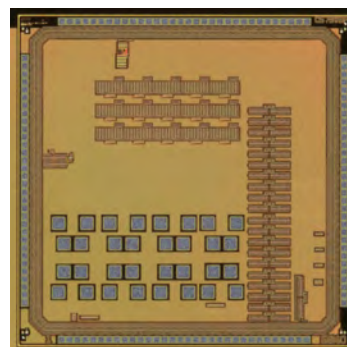
超音波受信回路用オペアンプ

慶應義塾大学理工学部 中野 誠彦

慶應義塾大学大学院理工学研究所 頃安 裕貴, 渡邊 悠太, 山村 健太

概要: X線やMRIによるイメージングと比べて、非侵襲かつ安価・簡易な超音波イメージングが注目されている。我々の研究では、合成開口法を用いたイメージングの実現を目指し、研究を進めている。これを実現するために、素子が受信した超音波の信号にIQ復調処理をかけてダウンコンバージョンすることでデータ量を圧縮する必要があった。このIQ復調処理では複数のオペアンプを使用するが、研究室で過去設計したオペアンプは脳波など低周波での使用を想定したものであったため、本システムでは想定通りに動作しなかった。そのため、本チップでは、そのIQ復調の処理に使用するための、入力周波数として5MHz程度を想定したオペアンプを設計した。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE (RF), **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



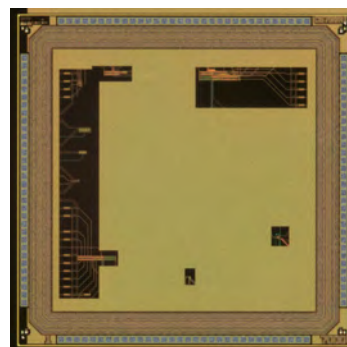
多端子MOSFETによる回路モニタとAD-PLL要素回路の試作

山形大学大学院理工学研究所 Andrino Robles Roberto, 原田 知親

概要: 本試作では、2種類の回路についての試作検証を行なった。

- IoT (Internet of Things) 機器への搭載に向けた、サブスレシヨルド領域で動作する0.6V駆動フィルタレスAll-digital Phase-Locked Loop (AD-PLL) について、全体回路を構成する各要素回路 (Phase-Frequency Detector : PFD, Tuning Word Calculator : TWC, Digitally Controlled Oscillator : DCO, Programmable Frequency Divider) の設計・試作検証を行なった。PLLの動作アルゴリズムについては、外付けのマイコンによって実現し、将来的には回路として組み込む予定である。
- 回路動作における電流の閾値検出という部分に着目し、本研究室で以前からセンサ・回路素子として研究されている多端子MOSFETを応用し、0.18 μ m CMOSプロセスにより作製された多端子MOSFETを使って電流検出を間接的に計測が可能であることを簡単な論理回路を構成するMOSFETに適用して試作検証を行なった。

参考文献: R.A.Robles, T.Harada, "Low Power 0.6V Filter-less AD-PLL with a Fast Locking Algorithm in the Subthreshold Region", 2021 IEEE International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS), pp.1-2, Nov. 2021 **設計期間:** 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF), **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)



スキャンC素子のレイアウト設計

奈良高専情報工学科 山崎 心, 岩田 大志, 山口 賢一

概要: 本チップではスキャンC素子のレイアウトレベルで設計・試作し、動作を検証することを目的としている。非同期式回路設計で用いられるC素子をスキャンC素子に変換することで、同期式回路で用いられている完全スキャン設計が適用できる。これまではゲートレベル、トランジスタレベルでのシミュレーションによる評価を行っていたが、レイアウトレベル設計により、実チップ評価を行うことで、スキャンC素子動作の確実性を保証することができる。本試作により、提案しているスキャンC素子のチップレベルでの動作検証・速度検証が実施できる。本試作ではVDECピン配置の確認が漏れており、電源ピン配置が誤っていたため動作検証を実施できなかった。

参考文献: Yuta Shintani, Ken'ichi Yamaguchi and Hiroshi Iwata: "An Implementation of Functional Speed Oriented Transistor-Level Scan C-element," 21st IEEE Workshop on RTL and High Level Testing, TS3-2, pp.1-5, Nov. 2020. **設計期間:** 2人月以上, 3人月未満 **設計ツール:** Synopsys社 DesignCompiler, Cadence社 Innovus, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE (RF), **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m **チップ種別:** 演算回路 (乗算器, 除算器など)



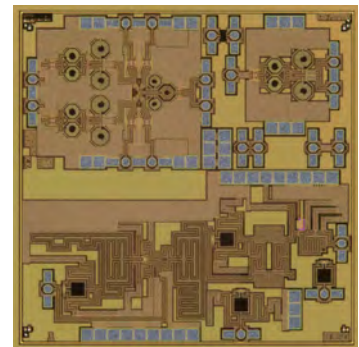
アナログマルチプレクサ, クロック・バッファ

東京理科大学工学部電気電子情報工学科 榎田 洋太郎, 高野 恭弥

東京理科大学工学研究科電気工学専攻 川原 啓輔

概要: 近年の光ファイバ通信では信号の多値化が進んでおり、高速なデジタル・アナログ変換器 (DAC) が求められている。昨年度のRO1820_4の試作では、デジタル信号処理とアナログ乗算を用いてDACの帯域幅を3倍に拡大可能なDAC帯域トリプラ技術の実現に向けて、アナログマルチプレクサ (AMUX) を試作した。本シャトルでは、RO1820_4において試作したAMUXの再試作を行った。RO1821_1において再試作した単相差動変換器の実測評価結果がRO1820_4のものよりも良好であったため、AMUXの単相差動変換器もRO1821_1のものに差し替えた。また、AMUXの変換利得の実測値が設計値と比べて小さい値であったため、その原因を調べるためにクロック・バッファ単体の評価回路を試作した。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Keysight社 ADS, **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m **チップ種別:** 通信 (RF回路, ATMなど)

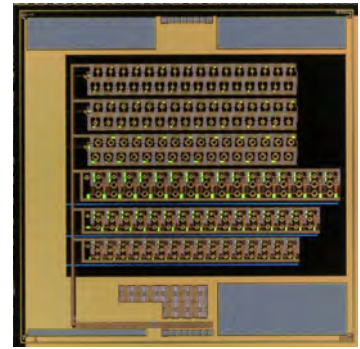


トポロジカル量子状態を模擬する電子回路 TEG

東京大学工学系研究科 袁 浩晨, 三田 吉郎, 肥後 昭男, 飯塚 哲也

概要：本試作では電子回路を用いてトポロジカル量子状態を模擬するためのテスト回路の設計を行った。LCR共振回路を用いて量子状態を模擬するための回路構成を設計し、複数の異なる共振周波数をターゲットとした複数の構造を実装した。LCR共振回路の設計には、電磁界シミュレータを使用し、受動素子の特性の調整を行った。また、トランジスタによるスイッチを用いて回路のトポロジカル状態を切り替えられるような回廊構成を提案し実装を行った。これにより、トポロジカル・トリビアルの境界位置を自由に制御することが可能となり、異なる状態での評価を行う事ができる。ネットワークアナライザを用いて試作回路の特性評価を行い、想定通りの特性が得られていることを確認した。トランジスタ等の寄生成分等の影響により、見込みよりも共振のQ値が減少していることも確認された。

参考文献：Haochen Yuan, Anne-Claire Eiler, Shun Yasunaga, Motohiko Ezawa, Yoshio Mita and Tetsuya Iizuka, “Measurement Investigation of Si Substrate Impact on On-Chip Resonance Circuits,” 電子情報通信学会 総合大会, C-12-25, 2023年3月. 設計期間：1か月以上, 2か月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 5.0mm角チップ チップ種別：TEG (特性評価回路など)



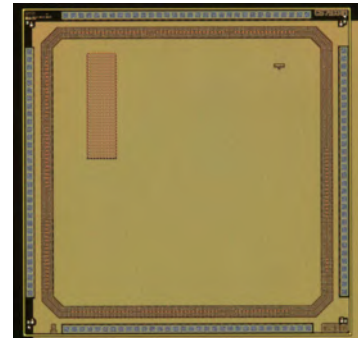
配線間容量を利用したハミング距離検出連想メモリ

東海大学総合科学技術研究所 西口 大嗣

東海大学情報通信学研究所 伊藤 祥磨, 澤田 桐弥

概要：配線間容量を利用したハミング距離検出回路とその回路を用いたハミング距離検出連想メモリを設計した。配線間容量を利用したハミング距離検出回路は回路の誤動作を引き起こす原因となる配線間容量を回路要素として利用した回路である。本回路は回路の誤動作の原因となる配線間容量を積極的に利用することで配線に情報処理機能をもたせた回路であり、非常に少ない素子でハミング距離検出動作を実現している。本回路の動作は2つの8bitのデータのそれぞれのbitで排他的論理和をとり、その排他的論理和で1が出力された場所の個数をハミング距離とする。そして、どの程度のハミング距離を許容するか設定した値と比較し、2つのデータ間のハミング距離が許容するハミング距離以内であれば1を、許容するハミング距離を超えた場合は0を出力する回路である。ハミング距離検出連想メモリは上記のハミング距離検出回路を要素回路として利用した連想メモリである。ハミング距離検出回路からは所望の動作を得ることができなかつた。原因として配線間容量が小さいためノイズの影響を強く受けたことが考えられる。ハミング距離検出回路が動作しなかつたため連想メモリにおいても所望の動作を得ることができなかつた。

設計期間：2か月以上, 3か月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Synopsys社 HSPICE (RF), トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：その他



入力電圧がRail-to-Railのコンパレータを用いた6bit 確率的フラッシュ ADC

東京電機大学工学研究科電子システム工学専攻 坂口 平

東京電機大学工学部 小松 聡

概要：入力電圧がRail-to-RailのPMOS差動対をベースにしたStrongARMコンパレータを用いた6bit確率的フラッシュを設計した。差動対のパラメータが対称のものと、それぞれ大小がある時のコンパレータの3種類のコンパレータを用いた、入力電圧範囲は参照電圧の値によって変化することが予測され、参照電圧が0.6Vのときに入力電圧範囲が最小値をとり、1.2Vの時に最大値を取ることが予想される。シミュレーションでは閾値電圧に標準偏差3 mV付与した時のモンテカルロシミュレーションを行い、参照電圧が0.9 Vの時に入力電圧範囲が参照電圧に対して ± 15 mVであった。実際に測定したときはこの範囲より、広い範囲で入出力特性が出ていたため、閾値電圧のばらつきの標準偏差が設定した値より大きいことが確認できた。このチップ試作にて参照電圧のレベルによって、入出力特性の変化を確認し、それらから得た入力電圧範囲も変化することが実測したことによって確認できた。今後は参照電圧のレベルと入力電圧範囲の関係について考慮しなければならない。

設計期間：0.5か月以上, 1か月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Cadence社 QUANTUS, Synopsys社 HSPICE (RF), トランジスタ数：10,000~100,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

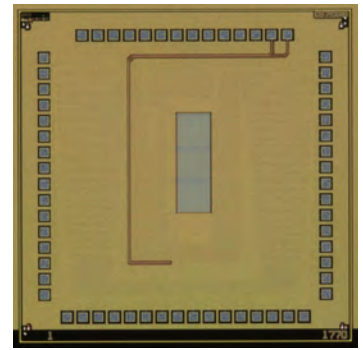


単一磁束量子マイクロ波生成回路用 パルスコード読み出し専用メモリ

横浜国立大学理工学部 弘中 祐樹, 吉川 信行

概要: 超伝導量子ビットの状態制御にはその共振周波数(数GHz)に応じたマイクロ波を照射することが求められる。このマイクロ波を生成する低温DA変換回路として、我々は1チャンネルあたり100 Gbpsのパルスストリームを生成可能である単一磁束量子回路を用い、そのパルスストリームをバンドパスフィルタで帯域制限することにより所望の形状のマイクロ波を生成する方式を検討している。パルスストリームを生成するためにマイクロ波生成回路が必要とするパルスコードメモリとして、高速・低電力で動作可能な低温CMOS SRAMを用いるものとしている。本試作チップでは8T-SRAMを用いた容量3.2kb×4バンクの読み出し専用メモリを設計しており、最大124.8 Gbpsのバンド幅で単一磁束量子回路にデータを出力可能な設計となっている。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Synopsys社 HSPICE (RF), **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** メモリ

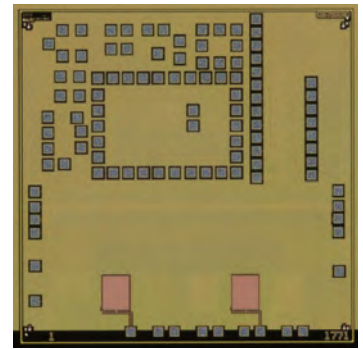


低温差動増幅器の特性評価用TEGなど

横浜国立大学理工学部 弘中 祐樹, 沈 泓翔, 吉川 信行

概要: 我々は半導体回路に代わる次世代回路として高速性、低消費電力性に優れた単一磁束量子(SFQ)論理回路の研究を行っている。だが、駆動力や集積度が低いという欠点があり、SFQ回路単体での大規模回路作製は困難である。そこで高速性、低消費電力性に優れたSFQ論理回路による演算回路と集積性に優れたCMOS回路によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なSFQ/CMOSハイブリッドメモリシステムを提案している。本試作チップでは、SFQ/CMOSハイブリッドメモリにおいて用いられるコンポーネントの一つである差動増幅器のTEGや、低温下におけるオンチップ配線の高周波特性評価に用いる種々のTEG、また単一磁束量子回路へのデータ出力に用いるDACなどを設計している。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Synopsys社 HSPICE (RF), **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



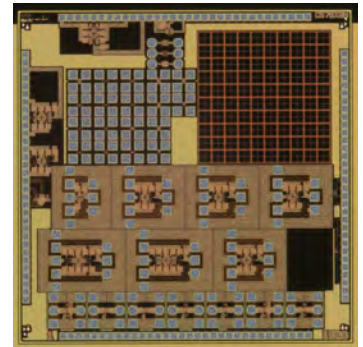
環境電波発電向け高効率整流回路

秋田県立大学システム科学技術研究科 渡辺 準樹

秋田県立大学システム科学技術学部 小谷 光司

概要: IoTデバイスの普及に向け、ワイヤレスな電源技術が課題となる。本試作では、環境電波発電向け高効率整流回路及び回路素子のTEGを試作した。整流回路は、特に差動入力型の整流回路において、整流素子(MOSFET)のしきい値を差動信号による能動バイアスや整流回路自身の整流動作によって補償する回路を設計し、MOSFETのオン抵抗の影響が顕著になる低入力電力領域における高効率動作を目的とした。さらに、逆方向リーク電流による効率劣化が課題となる高入力電力領域での効率向上のために、電圧リミッタ機構を有するしきい値補償制御回路を設計した。特に、これまでの試作(R1819_3, R1820_3)においては、整流動作によりウェルと基板間の寄生ダイオードが順バイアスされることが原因で、期待通りの効率向上が得られなかった。そのため今回はウェル・基板間の接続を変更し、順バイアスされないように基板が回路内で最低の電位になるように変更した回路を追加した。今後は、半導体パラメータアナライザおよびベクトルネットワークアナライザを用いてチップ検証を実施する予定である。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Keysight社 ADS, **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



光子計数の高速な読み出しと画素毎の露光制御によるHDR撮像が可能なSPADイメージセンサ

東京理科大学大学院工学研究科 甲田 紘己, 佐藤 俊一, 浜本 隆之

上智大学理工学部 亀田 裕介

概要: 光子計数に基づく高品質なHDR撮像の実現に向けて, 光子計数を高速に読み出し, 画素毎に露光制御を行うことが可能なSPADイメージセンサを試作した. SPADは単一光子の検出を可能とする超高感度と光子入射に対する高速な応答性を有しており, HDR撮像に適した撮像素子として注目を集めている. しかし, 撮像の原理上, 高品質なHDR画像の取得のためには画素毎にビット数の大きなカウンタを設ける必要があり, これによって単位画素あたりの回路面積が増加することで空間解像度が制限されることが問題となっている. そこで, カウンタのビット数を抑えながらも, 高品質なHDR画像を取得できる撮像方式を提案した. 具体的には, カウンタのMSBを画素値とするバイナリ画像を出力する方式によって光子計数を高速に読み出し, センサ外にて多値画像を再構成することで単位画素当たりのカウンタのビット数を抑えながらも十分な撮像品質を確保する. また, 入射光子数に応じて画素毎に露光制御を行うことで, DRの拡大を図る. この提案方式のための回路を新規に設計することで, 高空間解像度と高品質なHDR撮像を両立したSPADイメージセンサの実現を目指している.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre, トランジスタ数: 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mmチップ **チップ種別:** イメージセンサ/スマートセンサ

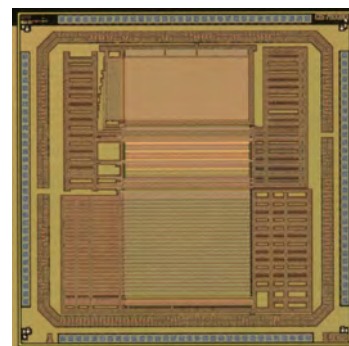


シングルスロープ量子化器を用いた $\Delta\Sigma$ AD変換器を有する高速・高分解能CMOSイメージセンサ

東京理科大学大学院工学研究科 川上 岳輝, 池沢 尚紀, 大高 俊徳, 佐藤 俊一, 浜本 隆之

概要: 単一露光時間で高感度かつ高DRな画像を取得するために, 高分解能化が可能な $\Delta\Sigma$ 方式を列並列形式に配置したCMOSイメージセンサを試作した. $\Delta\Sigma$ AD変換器は, AD変換に必要なサンプリング周波数に対して, より高い周波数でサンプリングを行うオーバーサンプリングと, 雑音電圧の周波数分布を変化させるノイズシェーピングによって低雑音なAD変換が可能である. しかし, さらに低雑音化のためにはオーバーサンプリングとノイズシェーピングをさらに行うための高速なクロック周波数が必要となり, 消費電力の増大およびクロックの安定性に問題がある. そこで, 量子化器に加速度ランプを用いた多bit量子化器を用いる事で, クロック周波数の増加と雑音の抑制を実現している. 本チップは画素アレイ, 垂直走査回路, 多bitシングルスロープ量子化器を用いたAD変換器, 水平走査回路, 12bitデジタルメモリから構成されている. 画素アレイは縦64 x 横128個の画素回路からなり, 画素ピッチは7.28 μ mである. 画素回路は標準的な3トランジスタ構成である.

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre, トランジスタ数: 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** イメージセンサ/スマートセンサ



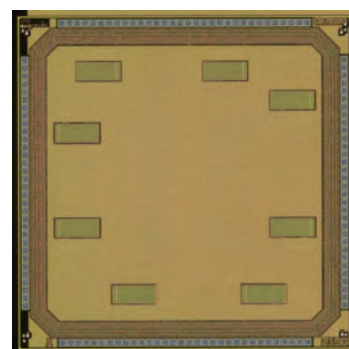
耐放射線用PLLチップ

富山県立大学大学院電子・情報工学専攻 吉河 武文

富山県立大学工学部 電子・情報工学科 水野 功務, 永末 玲央

概要: 耐放射線用のPLLを8種類のバリエーションで搭載したチップである. このバリエーションは, VCO (Voltage Control Oscillator), PFD (Phase and Frequency Detector), CP (Charge Pump), FD (Frequency Divider) の組合せによる. VCOは, 5段のリングオシレータを単体とするか, 3つを多重結合にするかによりバリエーションを構成している. PFDとCPは, Radiation Hardening用のレイアウトをするかしないかでバリエーションを構成している. FDは, Flip-Flopのタイプを, DICE (Dual Interlocked storage Cell) か, 通常のマスタスレーブ方式かによりバリエーションを構成している. これらのバリエーションの組合せで8種類のバリエーションのPLLを形成し, チップに取めた. これらループ帯域を変更できるように, 電流源を外部からのレジスタ設定で可変とするようにした.

参考文献: Z. Chen, et.al, "Analysis of Single-Event Effects in a Radiation-Hardened Low-Jitter PLL Under Heavy Ion and Pulsed Laser Irradiation", IEEE TRANSACTIONS ON NUCLEAR SCIENCE, VOL. 64, NO. 1, JANUARY 2017 **設計期間:** 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

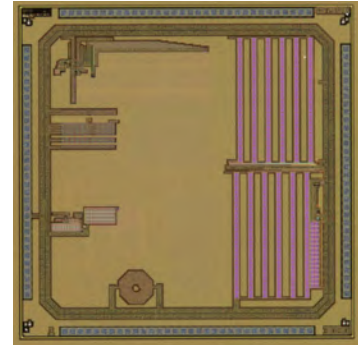


NANDフラッシュ用BLパス電力削減回路方式の実証

静岡大学工学部 丹沢 徹

概要：現在NANDフラッシュメモリはSSDなど様々なものに利用されている。特にクラウドデータを保存しているデータセンターではSSDが消費電力の大きいデバイスの一つになっている。SSDの低電力化のためNANDフラッシュの低電力化が重要である。そこで、BLパスの消費電力を供給電圧にI/O用の1.2V電源を使用することで低電力化を行う回路方式を提案している。BLの充電を1.2V電源を使用して行い充電完了後はセンスノードを、3V電源をレギュレートした2Vに昇圧することで従来のセンスマージンを確保した結果としてBLパスの電力を昇圧にかかる時間は100nsである。この時間はデータの読み出しの時間の2%で読み出し時間に与える影響は小さい。この回路を実装するに当たり従来回路に追加する回路は1.2V電源と3V電源を切り替えるスイッチのみである。実装の際に従来のNANDフラッシュのインターフェースに変更を加える必要はなくその他の低電力回路やABLやSBLといったシステムの違いに関係なく電力削減が可能である。180nmCMOSを使用したSPICEシミュレーションで効果を確認し、回路を試作した。BLの寄生容量・抵抗はそれぞれMIM-Cap・Poly抵抗を用いた。試作したチップは従来回路と比較し読み出しのBLパスで60%程度の電力削減が可能であることを確認した。

参考文献：牧野、丹沢、二電源NANDフラッシュの低電力化回路方式の設計評価、C-12-13、信学会総合大会、2023/3月 **設計期間：**1人以上、2人未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**メモリ

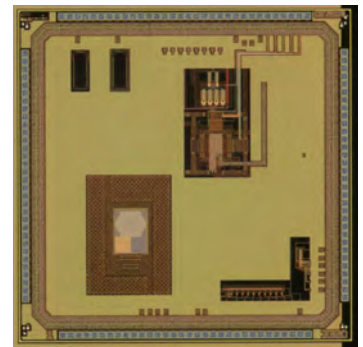


低RTSノイズ型磁気センサアレイの特性評価用TEG

茨城大学理工学研究科 木村 孝之

概要：これまで、2次元集積化磁気センサの微細化と高感度化を両立するために、RTS (random telegraph signal) ノイズを減少するための研究が行われてきた。その結果、画素内に存在していた微小面積のソースフォロアを除去し、ホールエレメントのサイズを大きくすることでRTSノイズを印可磁場換算で0.63mTrmsまで減少する事に成功していた。そこで本研究では、これらの回路と変調周波数を変えたロックイン検出を行うことで検出時間を可能とする回路を設計し試作した。この回路では加算器を用いることで1つの信号線で複数列の情報を同時に読み出すことが可能となる。試作した回路に対して変調周波数を10kHz, 25kHz, 35kHz, 45kHzの4チャンネルとしロックイン検出を行った。その結果、ノイズは印可磁場換算で3.38~7.10mTrmsとなった。これは加算を行う値より5~10倍ほど大きな値となっていた。処理時間は0.6msとこれまでの1.2秒の時間よりは短くできているが、ノイズは加算を行う前の値程度まで低下させることが望まれる。これを実現するために、今後ノイズの周波数特性の解析や歪み成分を低減する方法を検討する予定である。

設計期間：1人以上、2人未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**TEG (特性評価回路など)

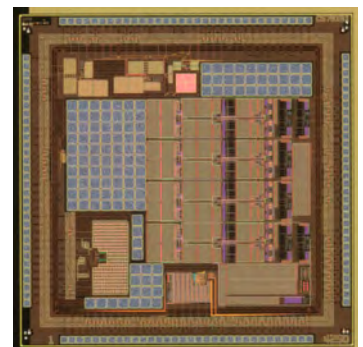


SAR ADCへの搭載を目的としたS&H回路および比較器 他

電気通信大学情報理工学研究科 橋本 悠平, 範 公可, 石橋 孝一郎

概要：本試作では、複数人の回路を1チップに載せたMulti-Project Chipとして試作した。SAR ADCに搭載することを見込んだサンプリング&ホールド回路およびコンパレータを試作した。サンプリング&ホールド回路はCMOSスイッチおよびキャパシタから構成される最もシンプルな形式で設計し、良好なスイッチング特性を得ることが出来た。コンパレータはDouble-tail型のもので試作した。Strong Arm型と比較して縦積みするMOSFETを縮小出来るため、より低電圧での動作が可能となった。また、無線電力伝送のためのオシレータと周波数制御回路を設計した。こちらは直流入力をスイッチングして共振信号を生成し、電力伝送効率が最適になるよう周波数を制御する機能を付加した。その他、8チャンネルAFE、非同期型Digital LDO、温度センサの同一チップ化を目的としたRFエナジーハーベスティング電源回路などを設計し、ハードウェア実装を行った。

設計期間：1人以上、2人未満 **設計ツール：**Cadence社 GENUS, Cadence社 Innovus, Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)

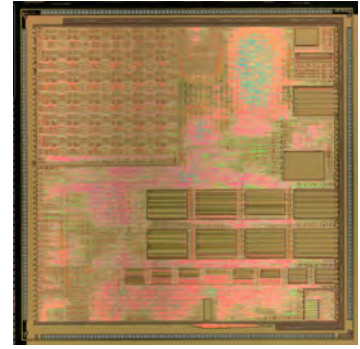


TEEHW_System

電気通信大学情報理工学研究所 Duran Ckristian, 範 公可, 石橋 孝一郎

概要: このチップには, Linux 32ビットを実行可能なプロセッサとセキュリティ周辺機器, カスタムFPGAが搭載されている. メインプロセッサは, RV32IMAC命令セットを含む, 16KBのL1データおよび命令キャッシュを搭載している. また, Root-of-Trust用に, 4KBの隠しRAMとセキュリティ周辺回路を備えた分離型プロセッサを搭載している. RoTには, 製造者だけが変更できる鍵を保存するための128ビットのNVRAMが含まれている. また, このシステムには, 暗号化アクセラレーション用のTRNG, SHA-3, AESの各コアが搭載されている. さらに, 10×10個の複雑な論理ブロックで構成されるカスタムFPGAを搭載しており, システムバスに直接接続することで, チップのカスタムセキュリティに対応することが可能である. 最後に, このチップには, 3.3Vから1.8Vへのデジタルレベル変換をサポートする最初のIOライブラリが含まれており, 商用アプリケーションでプロセッサを簡単に実装できる. このIOライブラリには, GPIO, クロックドライバ, フィラー, コーナーが含まれている.

設計期間: 5人月以上, 6人月未満 **設計ツール:** Cadence社 GENUS, Cadence社 Innovus, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 ICADVM, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF), **トランジスタ数:** 1,000,000~10,000,000 **試作ラン:** ローム CMOS 0.18μm 5.0mm角チップ **チップ種別:** マイクロプロセッサ



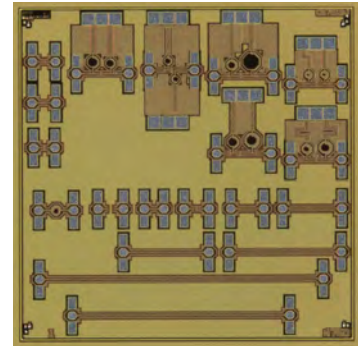
高周波増幅回路 TEG

広島大学先進理工学科学研究科 吉田 毅

広島大学工学部 原田 拓海

概要: 学部4年生がRF回路の基礎を学ぶため, Rohm 180nm CMOSプロセスを用いた回路設計, 回路シミュレーション, 電磁界シミュレーション, レイアウト設計を実施し, 試作した回路の測定を行った. 本試作では, 1段のシングルエンド増幅器の設計を行った. MOSFETへの電圧供給は高周波数帯で低インピーダンスを実現するために, 電源パネルの代わりに0Ω伝送線路を用いている. また, シミュレーション結果と測定結果の乖離を検証するために, 回路で用いた各種要素素子をデバイスTEGとして試作した. デバイスTEGは特性インピーダンス50Ωの伝送線路, MIM (Metal-Insulator-Metal) キャパシタ, MOM (Metal-Oxide-Metal) キャパシタ, MOSFETである. 試作した1段のシングルエンド増幅器の測定を行い, 中心周波数12GHz, 3dB帯域幅4GHz, ピークゲイン8.6dBを得た. また伝送線路TEGの測定結果は電磁界シミュレーション結果とよく一致しており, RF-PDKで提供されている伝送線路モデルの妥当性を検証できた.

設計期間: 4人月以上, 5人月未満 **設計ツール:** Mentor社 Calibre, Cadence社 ICADVM, Cadence社 Spectre, Synopsys社 HSPICE (RF), Keysight社 ADS, **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18μm 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



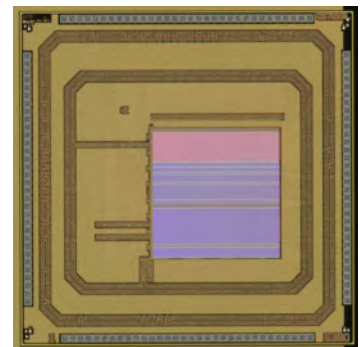
LOFIC型CMOSイメージセンサのリセットノイズ測定

立命館大学理工学研究所 立田 一葵

立命館大学理工学部 大倉 俊介

概要: イメージセンサの一つであるLOFIC型CMOSイメージセンサのSNRを改善する回路を考案し, 実証TEGチップを設計した. 5.6μmピッチのLOFIC型CMOSイメージセンサを模した疑似画素を160 (H) ×4 (V) 個アレイ状に, 各画素列に画素リセットノイズ低減回路および読み出し回路を配置している. 疑似画素アレイ内に合計22種類のテストパターンを配置し, 画素リセットパルスの立ち下がり時に発生するチャージインジェクションおよびクロックフィードスルーが画素リセットノイズに与える影響を検証できるようにしている. また読み出し回路はダブルサプリング機能と増幅機能の備えており, 画素間の固定パターンノイズを除去し高感度でランダムノイズを測定することが可能である. さらに, チップ外部から供給する画素制御信号パターンを変更することで, 読み出し回路以降のノイズを測定することができるため, 画素リセットノイズのみを切り分け可能となっている. 測定・評価結果から, 画素リセットノイズが理論値に近い結果になっていることを確認した.

参考文献: Tatsuta Kazuki, et al., "A Study on Two Step Reset LOFIC Pixel to Reduce SNR Gap." Proceedings of the International Image Sensor Workshop, Scotland, UK. 2023. **設計期間:** 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18μm 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

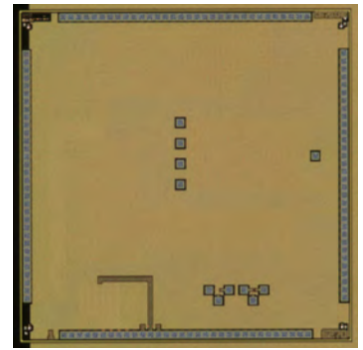


電流制御発振器と周波数デジタル変換回路を用いた ADCおよび温度分布を調べるためのPTAT電圧発生回路群 他

明治大学理工学研究科 関根 かをり, 山本 遥哉, 安藤 夏輝, 小林 寛

概要：低電圧・小面積CMOSアナログ回路を設計することを根拠に置き、評価に必要な回路の設計を行った。ポテンショスタットを使用した微弱な生体信号を扱う低消費電力動作・小面積化が電流制御発振器（CCO）と周波数デジタル変換回路（FDC）を接続したADCを試作した。また、PTAT電圧発生回路を熱源から異なる距離に配置することで、チップ上の温度分布が確認できるかを調査するためにレイアウトを行った。PTAT電圧発生回路の特性から逆算することで、PTAT電圧発生回路付近の温度を求めることができる。その他、製造時期の違いによるNMOS単体のTEGを実装した。これらの回路は測定器による動作確認を通して妥当性の評価を行っている。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Spectre, トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG（特性評価回路など）



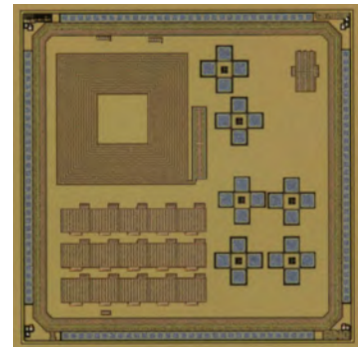
超音波ビームフォーミングのため増幅回路 ほか

慶應義塾大学工学部 中野 誠彦, 森 瑞紀

慶應義塾大学理工学研究科 山村 健太, 渡邊 悠太

概要：放射線によるがん治療に対し、より非侵襲的であるとされる超音波を用いたがん治療の研究が進んでいる。より高い精度で焦点を定めるためにはチャンネル数を増やす必要があるが、要求されるピン数やケーブルが増加する問題が生じる。そのため我々はトランスデューサを積層させ、全てオンチップでビームフォーマを実現することを目指している。今回の試作では、連続波ビームフォーミングおよび連続波イメージングに向けた要素回路としてコンパレータとオペアンプを設計した。入出力周波数は5 MHzを想定しており、うちオペアンプは2倍の10 MHzを入力した時に20dB程度の倍率が得られるように設定して設計を行った。ただし今回のコンパレータおよびオペアンプはバイアス電圧入力を外部電源に頼っているため使いづらく、今後さらなる改良を続ける予定である。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE (RF), トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ（PLL, A-D/DC-DCコンバータなど）



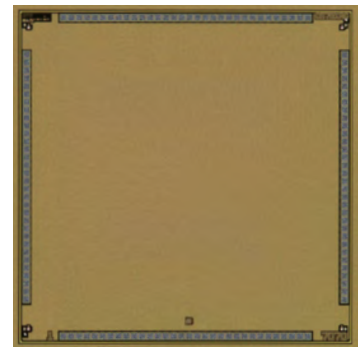
低電圧動作オペアンプ

埼玉工業大学工学部 吉澤 浩和

概要：近年、集積回路の電源電圧は1V未満であることが珍しくなくなっている。低電圧化により、消費電力の低減や電池の軽量化が可能になるなどのメリットがある。オペアンプにおいても0.5V以下で動作する回路構成について活発に研究が行われている。しかしながらオペアンプなどのアナログ回路において、電源電圧の低下は振幅の減少およびS/N比の低下につながるため、オペアンプには入出力Rail-to-Rail動作が求められる。本研究室では電源電圧0.3Vで動作するRail-to-Rail CMOSオペアンプを考案し、回路シミュレーションで良好な動作を確認した。実機で測定して動作を確認するため、ローム社0.18 μ m CMOSプロセスを用いてICの試作を行った。残念ながらレイアウトにミスがあったため、今回の試作では正常な動作を確認することができなかった。

参考文献：井上, 吉澤, “低電圧動作オペアンプについての研究,” 第14回埼玉工業大学若手研究フォーラム論文集, pp.74-75, 2022年8月.

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ/デジタル信号処理プロセッサ



■ スキャンC素子のレイアウト設計

奈良高専情報工学科 山崎 心, 岩田 大志, 山口 賢一

概要: 本チップではスキャンC素子のレイアウトレベルで設計・試作し、動作を検証することを目的としている。非同期式回路設計で用いられるC素子をスキャンC素子に変換することで、同期式回路で用いられている完全スキャン設計が適用できる。これまではゲートレベル、トランジスタレベルでのシミュレーションによる評価を行っていたが、レイアウトレベル設計により、実チップ評価を行うことで、スキャンC素子動作の確実性を保証することができる。本試作により、提案しているスキャンC素子のチップレベルでの動作検証・速度検証が実施できる。本試作ではRO1821_4で誤っていたVDEC標準ピン配置ののちピン配置を行ったほか、提案したスキャンC素子を4つ用いたスキャンパスを設計し、スキャンパスによる動作検証も実施した。実験結果から、提案したスキャンC素子は本プロセスにより動作検証・速度検証が行え、



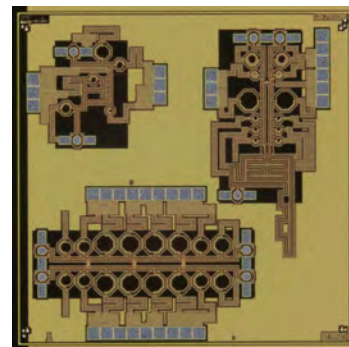
スキャンC素子の信頼性を保証することができた。

参考文献: Yuta Shintani, Ken'ichi Yamaguchi and Hiroshi Iwata: "An Implementation of Functional Speed Oriented Transistor-Level Scan C-element," 21st IEEE Workshop on RTL and High Level Testing, TS3-2, pp.1-5, Nov. 2020. **設計期間:** 1人月以上, 2人月未満 **設計ツール:** Synopsys社 DesignCompiler, Cadence社 Innovus, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE (RF), トランジスタ数: 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)

■ 60 GHz帯フェーズドアレイ送受信機用要素回路及び28GHz帯増幅器

東京理科大学理工学部電気電子情報工学科 樺田 洋太郎, 高野 恭弥, 菅野 素裕, 別府 隼, 八木 隼人

概要: 本試作では、ローム社の0.18 μ m CMOSプロセスを用いて60GHz帯フェーズドアレイ送受信機を実現するために必要な要素回路として、移相器と周波数3通倍器の試作を行った。また、5G向け送受信機実現するために必要な要素回路として28GHz帯増幅器の試作を行った。移相器は中心周波数60GHzの変調信号の位相を変化させる回路であり、最大位相変化量の設計値はおおよそ50度であった。また、周波数3通倍器は20GHzから60 GHzの信号を生成する回路であるが、変換利得の設計値はおおよそ-26dBであった。スプリアスの電力比はおおよそ20dBであった。28GHz帯増幅器は中心周波数28GHzの変調信号を増幅する回路であるが、利得の設計値はおおよそ11.9dBであり、帯域の設計値はおおよそ2GHzであった。

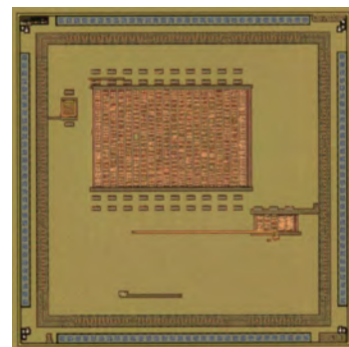


設計期間: 6人月以上, 7人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Keysight社 ADS, トランジスタ数: 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 通信 (RF回路, ATMなど)

■ FiCCを用いた不揮発スタンダードセルメモリとフリップフロップその1

京都工芸繊維大学工学科学研究科電子システム工学専攻 阿部 佑貴, 小林 和淑

概要: 通常のCMOSプロセスで試作できる不揮発メモリであるFiCC (Fishbone-in-Cage Capacitor) を用いた不揮発スタンダードセルメモリとフリップフロップを搭載したTEGを試作した。FiCCは配線容量を使った不揮発メモリであり、その保持時間は短いものの、追加マスクが不要である。このスタンダードセルメモリ、フリップフロップは将来的に間欠的に動作を行うIoT向けマイクロプロセッサに应用する予定である。スタンダードセルメモリに用いるセルライブラリは65nm用に既に京都大学で作成されていたライブラリから自動変換することにより作成した。チップ内には、4bitのラッチセル、8ビット16ワードと8ビット256ワードのFiCCを用いたスタンダードセルメモリ、不揮発フリップフロップを用いた16ビットカウンタを搭載した。FiCCの書き込み時に高電圧を発生させるチャージも含めてほぼ正常に動作した。



参考文献: 阿部, 小林, 越智, "Nonvolatile Flip-Flops Using FiCC for IoT Processors with Intermittent Operations", International Midwest Symposium on Circuits and Systems (2022) **設計期間:** 0.1人月以上, 0.5人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数: 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** メモリ

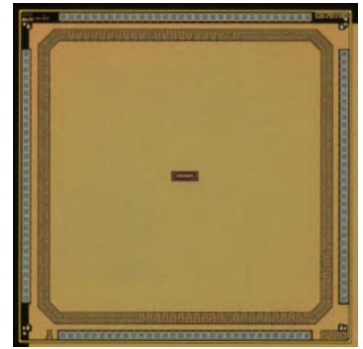
FiCCを用いたCMOS 互換な不揮発性メモリTEG

立命館大学情報理工学部 門馬 拓己, 越智 裕之

立命館大学大学院情報理工学研究科 木村 知也

概要：当研究室では、メタルフリンジキャパシタの一種である、Fishbone-in-Cage Capacitor (FiCC) とNMOS トランジスタを組み合わせ、フラッシュメモリ素子のダブルゲート構造をCMOS プロセス互換で実現したメモリ素子を提案している。FiCCは、キャパシタ電極を内側と外側に分けた構造にすることで、一般的なメタルフリンジキャパシタに比べ、キャパシタ外のメタルとのクロストーク容量を約1/10 に抑えたものであり、ノイズにセンシティブなフローティングノードを内側電極に割り当てれば、多数の素子を高密度実装することが可能である。本試作チップは、FiCCを用いた不揮発性メモリで1bitあたりのトランジスタ数をなるべく少なくした回路方式のTEGである。

参考文献：I. Tanaka, N. Miyagawa, T. Kimura, T. Imagawa, H. Ochi, “A CMOS-compatible Non-volatile Memory Element using Fishbone-in-cage Capacitor”, IPSJ T-SLDM, vol.16, pp.35-44, Feb. 2023. **設計期間**：2人月以上, 3人月未満 **設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数**：100~1,000 **試作ラン**：ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別**：メモリ



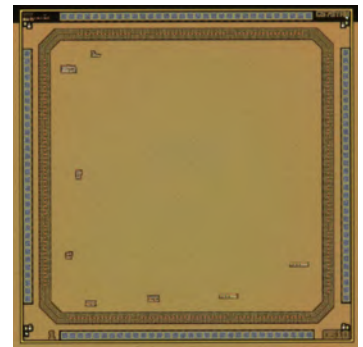
配線間容量を用いたハミング距離検出回路, ニューロンCMOS インバータを用いたFGC付き4入力可変論理回路, ハミング距離検出回路

東海大学総合科学技術研究所 西口 大嗣

東海大学情報通信学研究科 伊藤 祥磨, 澤田 桐弥

概要：配線間容量を用いたハミング距離検出回路, ニューロンCMOSインバータを用いたFGC付き4入力可変論理回路, ハミング距離検出回路を設計, 試作した。ハミング距離検出回路は記憶データと検索データの排他的論理和の総和が任意で設定した参照距離以下であればHighを出力し, 参照距離より大きければLowが出力される。本試作ではこの回路が正常に動作しているかどうかを確認するために記憶データと検索データとともに外部から任意で設定できる入力信号とした。配線間容量を用いたハミング距離検出回路は回路の誤動作の原因となる配線間容量を積極的に利用することで配線に情報処理機能をもたせた回路であり, 非常に少ない素子でハミング距離検出動作を実現している。FGC付き4入力の可変論理回路は, 制御信号を切り替えることで, AND, NOT, ORの基本論理回路の動作だけでなく, XOR, XNORを含む8種類の4入力対称論理機能を実現している。回路は温度変化等によるCMOSインバータの閾値変動の影響を受けないようにするためのFGC (Floating-Gate Calibration) 回路を持つ3つのニューロンCMOSにより構成されている。また, HSPICEシミュレーションによる動作検証を行い, チップを試作した。

設計期間：3人月以上, 4人月未満 **設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Synopsys社 HSPICE (RF), **トランジスタ数**：100~1,000 **試作ラン**：ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別**：その他



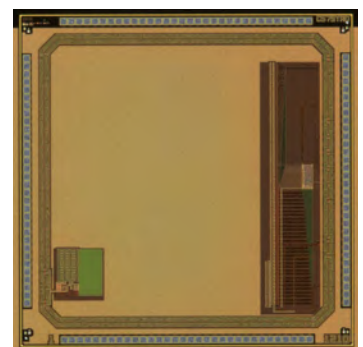
オンチップ発振回路の試作

東京電機大学大学院工学研究科電子システム工学専攻 原 航太

東京電機大学工学部電子システム工学科 小松 聡

概要：生体埋め込み機器やIoTデバイスなど, 面積制約のある用途では水晶振動子の面積やコストが問題となっている。そのため, オンチップの発振回路が注目されているが, 発振周波数が電源電圧や温度に大きく依存することが問題となっている。今回のチップ試作では, 温度変動や電源電圧変動に耐性のあるオンチップ発振回路の回路の試作を行った。温度変動に対しては, 正と負の温度係数を用いて温度不感回路とした。この際, 実測した抵抗の温度係数を用いて設計を行った。電源電圧変動に対しては, ダイオード接続を用いた簡易な電圧源を用いることで依存性を低減させることが可能となった。提案回路の有効性を確認するため, 補償を行った回路と行っていない回路の二種類を試作した。

設計期間：0.5人月以上, 1人月未満 **設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Synopsys社 HSPICE (RF), **トランジスタ数**：100~1,000 **試作ラン**：ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別**：TEG (特性評価回路など)

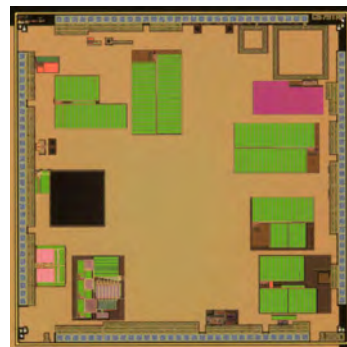


IoTのためのアナログ回路 TEG

広島工業大学工学部/電子情報工学科 升井 義博

概要：IoTの研究・開発・実用化に伴い、無線センサーネットワークの利用が開始されつつある。最近の無線センサーネットワークでは信号通信用の配線だけでなく、電源配線の無線化もすすみつつある。特にセンサ系回路においてはアナログ回路の性能改善が重要である。そのような背景を受け、本試作ではエネルギーハーベストを電源とし、無線センサーネットワークでの利用を想定したアナログ要素回路の試作を行った。低電圧駆動、低消費電力というテーマで0.18 μ m CMOS プロセスを用いたアナログ回路 TEGとして以下の回路を集積した。基準電圧生成回路、照度センサ、温度センサ、電流センサ、連続時間型 $\Delta\Sigma$ ADC、無線インタフェース用コイル、リアルタイムクロック生成回路等。その他として、FM復調回路、D級AMP、LED照明を利用した通信を想定した受信回路も集積した。

参考文献： Yoshihiro Masui, “A CMOS Temperature Sensor with On-chip Photovoltaic Cells,” IEEJ TRANSACTIONS ON ELECTRICAL AND ELECTRONIC ENGINEERING, Volume 18, Issue 3, pp.401-407, 2023年3月。 **設計期間：**10人月以上 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre, **トランジスタ数：**100,000~1,000,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)

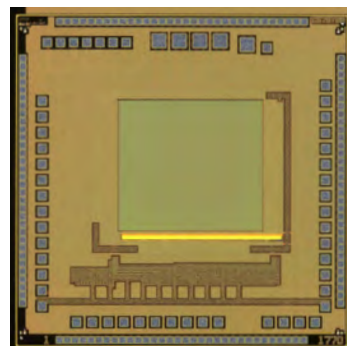


SFQ/CMOSハイブリッド回路用低電力64-kb SRAM

横浜国立大学理工学部 弘中 祐樹, 沈 泓翔, 吉川 信行

概要：我々は半導体回路に代わる次世代回路として高速性、低消費電力性に優れた単一磁束量子 (SFQ) 論理回路の研究を行っている。だが、駆動力や集積度が低いという欠点があり、SFQ回路単体での大規模回路作製は困難である。そこで高速性、低消費電力性に優れたSFQ論理回路による演算回路と集積性に優れたCMOS回路によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なSFQ/CMOSハイブリッドメモリシステムを提案している。このチップにはプロセスの最小幅で設計した8T-SRAMセルで構成されるメモリアレイ (容量64-kb)、デコーダ、及び10個のコンパレータ型増幅器が実装されている。本試作チップでは、以前までに用いていた差動増幅器の低温測定における動作の不安定性が問題視されたことから、コンパレータを用いた異なる構成の増幅器を新たに設計し、これを用いたチップを設計している。

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Synopsys社 HSPICE (RF), **トランジスタ数：**100,000~1,000,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**メモリ

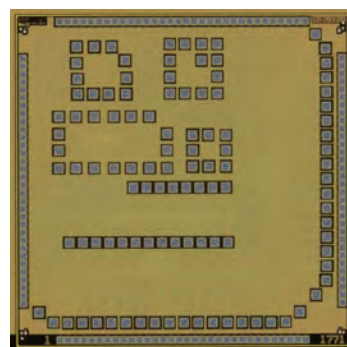


低温差動増幅器の特性評価用 TEG など

横浜国立大学理工学部 弘中 祐樹, 沈 泓翔, 吉川 信行

概要：我々は半導体回路に代わる次世代回路として高速性、低消費電力性に優れた単一磁束量子 (SFQ) 論理回路の研究を行っている。だが、駆動力や集積度が低いという欠点があり、SFQ回路単体での大規模回路作製は困難である。そこで高速性、低消費電力性に優れたSFQ論理回路による演算回路と集積性に優れたCMOS回路によるメモリを組み合わせる事によって高速読み出し、かつ低消費電力が可能なSFQ/CMOSハイブリッドメモリシステムを提案している。本試作チップでは、SFQ/CMOSハイブリッドメモリにおいて用いられるコンポーネントの一つである差動増幅器の TEG や、低温下における各種NMOS/PMOSデバイスの直流特性評価に用いられる TEG, また単一磁束量子回路へのデータ出力に用いる DACなどを設計している。

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Synopsys社 HSPICE (RF), **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**TEG (特性評価回路など)

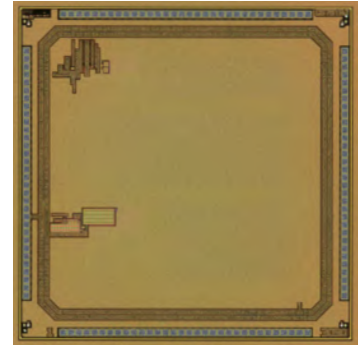


熱電発電とバッテリーのハイブリッド電源用 DC/DC コンバータ

静岡大学工学部 丹沢 徹

概要：バッテリーと熱電発電素子 (TEG) を備えてバッテリーの電力消費を抑制できる DC-DC コンバータの回路システムを提案し、回路シミュレーション、実測によってその効果を検証した。現在、太陽光や熱などの自然環境に存在する微小なエネルギーを電力に変換して回路を動かすエネルギーハーベスティング (EH) という技術が IoT 用センサデバイスの電源供給手段として注目されている。EH では発電素子から得られる出力電圧が低いことや、環境に依存する技術であることから電力供給が安定しないためバッテリーとの併用が行われている。それにより、電力供給が安定するほかバッテリーそのものの電力消費を抑制することが出来る。本研究では後者のバッテリーの消費電力抑制に着目して進めている。DC-DC 降圧コンバータを 0.18 μm CMOS で設計し、 $V_{\text{BAT}}=1.5\text{V}$ のバッテリーと $V_{\text{EH}}=1.2\text{V}$, $R_{\text{EH}}=1.2\text{k}\Omega$ の熱電発電素子を使用し、負荷電流 10-100 μA の条件でバッテリー寿命を一桁延ばすことができることを確認した。

参考文献：Y. Sakamoto, T. Tanzawa, A Design of DC-DC Converter for Thermoelectric Energy Harvesting with Battery Backup, IEICE society conf., C-12-1, Sep. 2021. **設計期間：**2人月以上, 3人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)



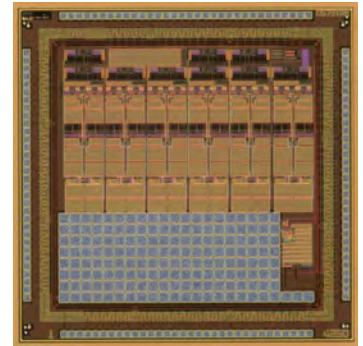
6-channel Analog Front-End for biomedical signal acquisition

ホーチミン科学大学電子情報通信学部 Le Duc-Hung

電気通信大学情報理工学研究所 範 公可, 石橋 孝一郎

概要：本設計は、低消費電力の神経記録システム向けに、電流-電圧変換、ゲイン調整、高入力インピーダンス、低ノイズ、広帯域が可能な analog front-end (AFE) を提示する。高入力インピーダンスを実現するために、バッファまたは電流-電圧変換器として動作するように設定できるバッファチャンネルを、電極と AFE のメインアンプ段の間に配置した。バッファは、低ノイズと低消費電力を維持しながら、AFE 全体の高入力インピーダンスを得るために設計されている。第3段には、AFE 全体のゲインを調整するための programmable gain amplifier (PGA) を設計した。また、本設計では、6個の1チャンネル AFE からなる 6チャンネル AFE を導入している。提案する AFE は CMOS180nm プロセスで設計され、0.5 Hz から 2.3 kHz の広い周波数帯域で動作し、1.8 μVrms という低い入力参照ノイズと、0.1 Hz という低ゲイン周波数において、100 dB 以上の最小 CMRR を実現した。

設計期間：2人月以上, 3人月未満 **設計ツール：**Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 Spectre, **トランジスタ数：**10~100 **試作ラン：**ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

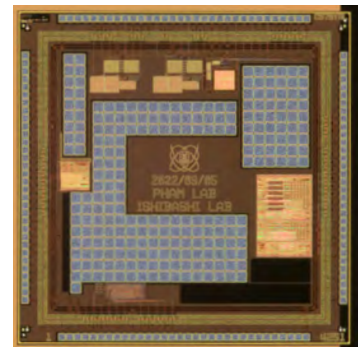


RFEH 電源

電気通信大学情報理工学研究所 大原 晟弥, 石橋 孝一郎, 範 公可

概要：本試作では、RF エネルギーハーベスティング (RFEH) を行う電源回路を設計した。RFEH とは電波から電力を取り出す技術であり、IoT センサなどのバッテリーレス化を実現する。設計した電源回路は、整流昇圧回路と LDO で大きく構成される。回路動作としては、アンテナで受信した電波を整流昇圧回路で直流電圧に変換し、LDO で所望の電圧値に調整する。このときの周波数は 920MHz であり、所望の電圧値は 1V である。パッケージ上での測定では、LDO の負荷側に抵抗 (100k Ω) を挿入し、シグナルジェネレータから有線で正弦波を入力した。本測定結果より、入力電力を 5.25dBm とした場合、整流昇圧回路から出力された直流電圧は 1.2V であり、LDO からは 1V の電圧が出力された。よって、設計した回路は正常に動作していることが確認された。しかし、本測定環境は高周波測定という点でいくつかの改善点がある。今後は、試作したベアチップをマッチング回路と共にプリント基板上に実装し、測定と評価を再度行っていく予定である。

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence 社 GENUS, Cadence 社 Innovus, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), Keysight 社 ADS, **トランジスタ数：**10~100 **試作ラン：**ローム CMOS 0.18 μm 2.5mm 角チップ **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)



温度特性向上を目的としたBGR回路の設計とその評価 及び $\Delta\Sigma$ 変調器のループ遅延補償

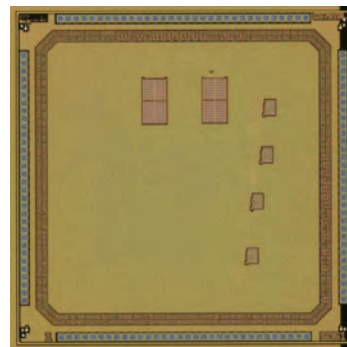
高知工科大学工学部システム工学群 橋 昌良

高知工科大学大学院基盤工学専攻 林 竜史

高知工科大学システム工学群 平井 幸弥, 永田 士竜

概要： $\Delta\Sigma$ 変調器は特有のオーバーサンプリングとノイズ整形性能により高精度なAD変換が可能であるが、素子の非線形性がSN比の悪化や、場合によっては不安定化の原因となる。今回はループフィルタで生じる遅延に注目した。遅延の原因となる不安定零点除去のための抵抗を追加し、先行研究との比較を行った。環境温度と電源電圧に依存しない回路である、バンドギャップ基準電源（BGR）回路について、抵抗のパラメータを操作することで出力電圧を大きくした回路を作製した。また、抵抗のレイアウト設計においては素子ごとのばらつきを抑えるという観点から、できるだけ使用する抵抗を少なくするようにした。

設計期間：3人月以上，4人月未満 **設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF), **トランジスタ数**：100~1,000 **試作ラン**：ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別**：アナログ (PLL, A-D/DC-DCコンバータなど)



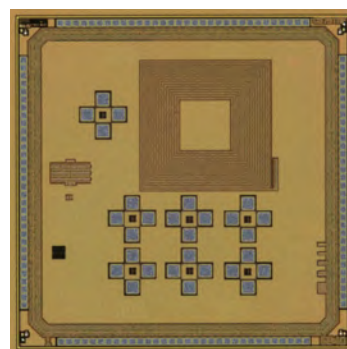
遅延同期回路による多相クロック生成回路

慶應義塾大学理工学部 中野 誠彦, 森 瑞紀, 山切 紫雲

慶應義塾大学理工学研究科 山村 健太, 渡邊 悠太

概要：放射線によるがん治療に対し、より非侵襲的であるとされる超音波を用いたがん治療の研究が進んでいる。より高い精度で焦点を定めるためにはチャンネル数を増やす必要があるが、要求されるピン数やケーブルが増加する問題が生じる。そのため我々はトランスデューサを積層させ、全てオンチップでビームフォーマを実現することを目指している。今回の試作では、主に遅延同期回路（DLL）を設計した。入出力周波数は5MHzを想定しており、位相差にバリエーションを持たせるため30段の電流制限型インバータチェーンを遅延線として設計した。試作チップの測定により機能検証を行う事はできたが、駆動力に難がある事など問題点もあったため、今後さらなる改良を続ける予定である。

設計期間：2人月以上，3人月未満 **設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre, Synopsys社 HSPICE (RF), **トランジスタ数**：100~1,000 **試作ラン**：ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別**：アナログ (PLL, A-D/DC-DCコンバータなど)

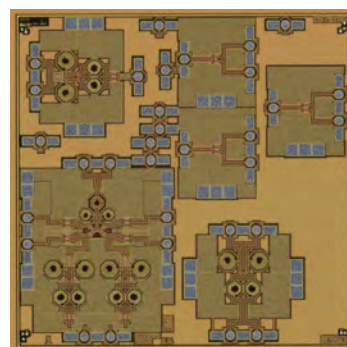


アナログマルチプレクサ、クロック・バッファ

東京理科大学理工学部電気電子情報工学科 榎田 洋太郎, 高野 恭弥, 畑田 修治郎

概要：近年の光ファイバ通信では信号の多値化が進んでおり、高速なデジタル・アナログ変換器（DAC）が求められている。RO1820_4の試作では、デジタル信号処理とアナログ乗算を用いてDACの帯域幅を3倍に拡大可能なDAC帯域トリプラ技術の実現に向けて、アナログマルチプレクサ（AMUX）を試作した。RO1821_4では、RO1820_4において試作したAMUXの再試作を行った。RO1821_1において再試作した単相差動変換器の実測評価結果がRO1820_4のものよりも良好であったため、AMUXの単相差動変換器もRO1821_1のものに差し替えた。また、AMUXの変換利得の実測値が設計値と比べて小さい値であったため、その原因を調べるためにクロック・バッファ単体の評価回路を試作した。本試作では更に回路の修正を行い、更に部分回路評価用回路を試作した。

設計期間：1人月以上，2人月未満 **設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Keysight社 ADS, **トランジスタ数**：10~100 **試作ラン**：ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別**：通信 (RF回路, ATMなど)

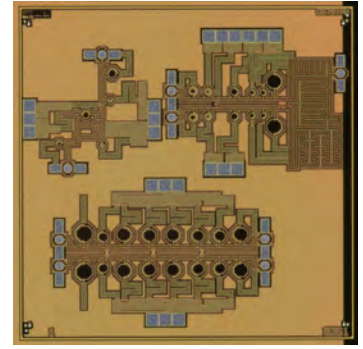


60 GHz帯フェーズドアレー送受信機用要素回路及び 28GHz帯増幅器の修正

東京理科大学理工学部電気電子情報工学科 榎田 洋太郎, 高野 恭弥, 菅野 素裕, 別府 隼,
八木 隼人

概要：RO1822_1の試作では、ローム社の0.18 μ m CMOSプロセスを用いて60GHz帯フェーズドアレー送受信機を実現するために必要な要素回路として、移相器と周波数3通倍器の試作を行った。また、5G向け送受信機実現するために必要な要素回路として28GHz帯増幅器の試作を行った。移相器は中心周波数60GHzの変調信号の位相を変化させる回路であり、最大位相変化量の設計値はおよそ50度であった。また、周波数3通倍器は20GHzから60 GHzの信号を生成する回路であるが、変換利得の設計値はおよそ-26dBであった。スプリアスとの電力比はおよそ20dBであった。28GHz帯増幅器は中心周波数28GHzの変調信号を増幅する回路であるが、利得の設計値はおよそ11.9dBであり、帯域の設計値はおよそ2GHzであった。本試作では回路の軽微な修正を行った。

設計期間：2人月以上, 3人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Keysight社 ADS, トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：通信 (RF回路, ATMなど)

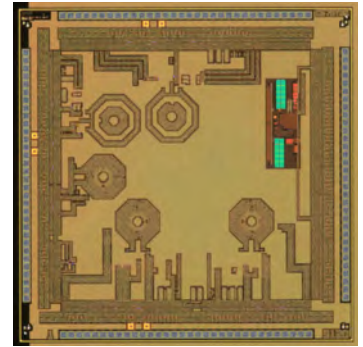


電磁カップリングを考慮した相互干渉ノイズ検証用 PLL回路とエナジーハーベスト向け昇圧回路TEG

大阪工業大学大学院工学研究科 電気電子機械工学専攻 信貴 政行, 谷口 功祐, 駒林 龍二
大阪工業大学工学部 電気電子システム工学科 吉村 勉

概要：位同期回路の電磁カップリングによる注入現象および相互干渉を検証するためのテスト回路を設計した。一つは注入同期発振回路において、注入機構に電磁カップリングを適用した。そこで注入効率を高めるための共振作用の効果を確認する。さらに注入タイミングおよび強度依存を検証する。もうひとつは2つのPLL間の相互干渉を検証するためのテスト回路で、一定の間隔で配置された2つの発振器の電磁カップリングによる相互干渉現象を観測する。さらに上記テストチップで実装した電磁カップリング注入機構を本テスト回路にも実装し、相互注入による相互干渉の低減を検証する。また熱電発電を想定したエナジーハーベスト向け昇圧回路も実装した。特に発電素子のインピーダンスによる入力電圧の劣化を検出し、最低起電力時の動作マージンが向上するように昇圧回路の駆動力を調整する機構を実装した。実機測定によりその効果を検証する予定。

設計期間：3人月以上, 4人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 Hercules, Synopsys社 HSPICE (RF), Keysight社 ADS, トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)



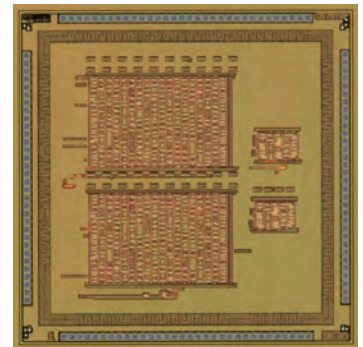
FiCCを用いた不揮発スタンダードセルメモリと フリップフロップその2

京都工芸繊維大学工学部工学研究科電子システム工学専攻 阿部 佑貴, 小林 和淑

概要：6月にテープアウトしたその1では、不揮発メモリ内への書き込み用いるCG配線の長さのばらつきが大きく、メモリセル毎に保持時間のばらつきが大きくなった。この問題点を解消するために、CG配線をメモリマクロの左右から供給するように改善を図った。チップ内に搭載した回路はその1とほぼ同じであり、4bitのラッチセル、8ビット16ワードと8ビット256ワードのFiCCを用いたスタンダードセルメモリ、不揮発フリップフロップを用いた16ビットカウンタを搭載した。チップは正常動作した。

参考文献：阿部, 小林, 塩見, 越智, “間欠動作を行うIoT向けプロセッサに適したFiCCを用いた不揮発ストレージセル”, no.ICD2023-1, pp. 1-6, 電子情報通信学会技術報告 (集積回路設計)

(2023) 設計期間：0.1人月以上, 0.5人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：~10 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：メモリ



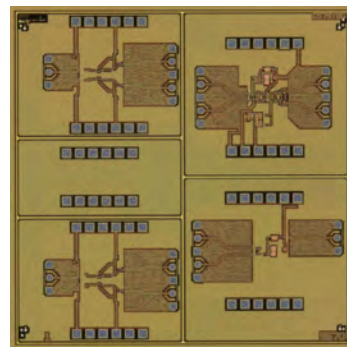
光受信用アナログフロントエンド回路TEG8

岐阜大学大学院自然科学技術研究科 加藤 篤史, 山田 拓磨

岐阜大学工学部 伊藤 大輔, 中村 誠

概要: 我々の研究グループでは, 光パケット伝送用アナログフロントエンド回路の設計を行っている. 光アクセス (FTTH) や光パケットルータでは, 信号強度の異なるパケットデータの送受信を行うため, 受信したパケットデータに高速応答可能なアナログフロントエンド回路が求められている. 昨年度試作した複数速度に対応したパケットデータ対応可変利得増幅回路 (VGA) について, 改良試作を行った. 特に, 複数速度に対応するために帯域切替え機能を備えているが, これを制御するために通信速度判別回路を組み込んだ. 通信速度判別回路の機能確認ができる回路 TEG も試作し, 基本動作を確認した. 速度の異なるパケット信号を入力し, 高速信号入力と低速信号入力に応じて異なる判別信号を出力する基本動作とともに, 入力信号に高速に応答可能なことも確認できた. 今後, 全体回路の詳細評価を行う予定である.

参考文献: 加藤篤, 湯浅貴文, 石原駿輔, 中村誠, 伊藤大輔, “帯域切り替えによるトリプルレート対応低電力可変利得増幅器の検討”, 電子情報通信学会ソサイエティ大会, A-1-2, 2021年9月. **設計期間:** 4人月以上, 5人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF), **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 通信 (RF回路, ATMなど)



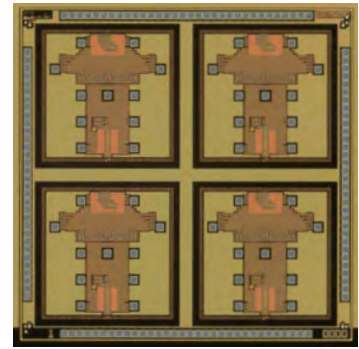
令和4年度度第3回ローム CMOS 0.18 μ m 試作

無線通信回路 TEG

東京大学大学院情報理学系研究科 門本 淳一郎

概要：近接場結合通信技術のユーザインタフェース応用に向けた基礎評価のための試作チップである。1mm角のオンチップコイルと送受信回路が複数集積されており、製造後のダイシングによりそれぞれが約1mm角のタッチセンシング/データ通信インタフェースとして動作する。オンチップコイルの電磁界シミュレーション、送受信回路のSPICEシミュレーションにより、1Gb/sでの半二重通信が可能であることを確認している。近接場の結合を利用することで高精度な距離センシングと高速データ通信を同時に実現することができ、これを活用した小型なウェアラブル/インプラントブルインタフェースの実現を目指している。本試作チップにおいては基本的な通信特性や距離センシング性能の測定が可能となっており、パッケージング材料の特性に応じた、こうした性能指標の変化について初期的な評価を進める予定である。

設計期間：0.1人月以上、0.5人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), Keysight社 ADS, **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**TEG (特性評価回路など)



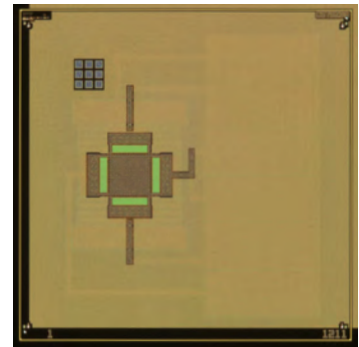
連続時間型デルタシグマ変調器の試作

東京電機大学工学部第二部 丸山 尚哉

東京電機大学工学部 小松 聡

概要：ウェアラブル機器に適したアナログデジタルコンバータとして高分解能であること、低消費電力であること、外部環境の変動に対してロバストであることが求められている。現在は高分解能であるという点からデルタシグマ変調器が広く用いられている。本研究では外部環境の変動として温度変動を取り上げ、デルタシグマ変調器の温度変動の評価を行うことを目的としている。そのため、低消費電力に構成ができる連続時間型のデルタシグマ変調器のチップ試作を行った。このデルタシグマ変調器はOPAMPと受動素子で構成されたフィルタと、クロックに同期したコンパレータより構成されている。また、温度変動による性能の変化を確認できるように、チップには、各回路単体での温度の変動を測定できるようなTEG、異なるコンパレータを用いたデルタシグマ変調器の試作も行っている。今後は試作したチップに対して恒温器を用いて温度に対する連続時間型デルタシグマ変調器の温度特性の評価を行う予定である。

設計期間：0.5人月以上、1人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Synopsys社 HSPICE (RF), **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)

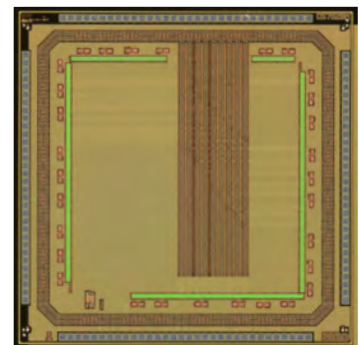


2変数スパイクングカオスニューロン回路およびオペアンプ試作

東北大学電気通信研究所 織間 健守, 辻 孟, 石井 豪

概要：Izhikevichニューロンモデルをエッジ学習AIハードウェアに応用するため、低消費電力かつ小型集積回路向けに改良した2変数スパイクングニューロンモデルを、カオス応答をも含む多様なスパイク発火特性が得られる集積回路として試作した。試作回路の実験により、regular spiking, burst spiking, chattering, fast spiking, chaotic spikingなどの発火特性を確認した。さらに、これを時空間コンテキスト学習ニューラルネットワークに応用した。この際、ネットワークを構成するニューロンとしてはregular spikingニューロンの積分時定数を調整したニューロンを用いた。また、入力層ニューロンにはchaotic spikingニューロンを用いて、連続値入力をランダムなスパイク列へと変換した。この2変数スパイクングニューロン回路に加え、基本的なオペアンプ回路を2種類集積回路化した。これらは、平均発火率を用いたカオス的リザーバニューラルネットワークに用いる予定であり、既にニューラルネットワークエミュレータに組み込んで離散単語に式を行っている。加えて現在、試作回路の特性を評価中である。

参考文献：Satoshi Moriya, Hideaki Yamamoto, Shigeo Sato, Yasushi Yuminaka, Yoshihiko Horio, and Jordi Madrenas, "A fully analog CMOS implementation of a two-variable spiking neuron in the subthreshold region and its network operation," in Proceedings of International Joint Conference on Neural Networks, #792 (7 pages), July 19-23, 2022. **設計期間：**2人月以上、3人月未満 **設計ツール：**Cadence社 Xcelium, Cadence社 Virtuoso, Cadence社 Spectre, **トランジスタ数：**10~100 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**その他

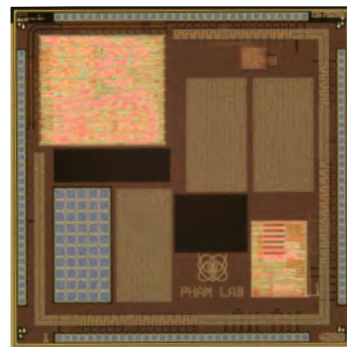


非同期型 Digital LDO ほか

電気通信大学情報理工学研究所 健斗 植田, 範 公可, 石橋 孝一郎

概要: 非同期双方向信号パイプラインを用いた Digital LDO の設計を行った。この LDO はグローバルクロックを使った通常の Digital LDO に対し、グローバルクロックを必要とせず、低消費電流・高速動作が可能である。通常の Digital LDO は双方向シフトレジスタを用いてクロック信号に合わせて PMOS アレイのゲート信号を操作するが、この非同期型 Digital LDO は非同期双方向信号パイプライン (BAWP) を用いている。これはグローバルクロックを必要としない双方向シフトレジスタと考えることができる。BAWP は PMOS アレイのビット数分の非同期回路ユニット及び遅延素子で構成され、一つのユニットの処理が完了すると、前段のユニットに完了信号を、次段のユニットに要求信号を、それぞれ出力する。この完了信号と要求信号を使うことにより、回路ユニットを局所的に動作させることができ、低消費電流を実現している。また、回路の動作速度は論理回路の遅延及び遅延素子に依存する。今回試作した Digital LDO は電源電圧が 0.5V でのみ動作を確認した。また、負荷電流を掃引したところ、0.4mA~1.1mA の範囲で動作を確認した。

参考文献: Yu-Huei Lee, et al. "A Low Quiescent Current Asynchronous Digital-LDO With PLL-Modulated Fast-DVS Power Management in 40 nm SoC for MIPS Performance Improvement". IEEE Journal of Solid-State Circuits, Vol. 48, No. 4, pp. 1018–1030, 2013. **設計期間:** 1 人以上, 2 人月未満 **設計ツール:** Cadence 社 Xcelium, Cadence 社 GENUS, Cadence 社 Innovus, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナログ (PLL, A-D/DC-DC コンバータなど)



サイドチャネル攻撃評価用行列演算器

立命館大学工学部 吉田 康太

概要: 学習済み深層ニューラルネットワーク (DNN) モデルは重要な知的財産である。エッジデバイスで DNN モデルの推論を実行する場合、攻撃者はデバイスに物理的に接触し、様々な手法を用いてモデルパラメータを窃取しようとする。エッジデバイスでも推論処理を安全に行うことができる耐タンパ推論チップの実現に向けて、サイドチャネル攻撃耐性を評価するためのテストチップを設計した。DNN モデルの推論演算の多くは行列演算で構成されるため、本試作では行列演算器として 5x5 のシストリックアレイおよび入出力を管理するシーケンサを実装した。演算精度は 8bit 整数の積和演算とした。これはエッジデバイスにおける DNN モデルの推論で多く利用されている精度である。本チップは外部からレジスタに行列の値を設定し、トリガを与えると演算が実行される。今後、本テストチップを動作させている際のサイドチャネル情報として電源電圧や漏洩電磁波を測定することにより、DNN の重みパラメータに関する情報漏洩の評価を行う。

設計期間: 1 人以上, 2 人月未満 **設計ツール:** Synopsys 社 ICSCompiler II, Mentor 社 Calibre, **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** 演算回路 (乗算器, 除算器など)

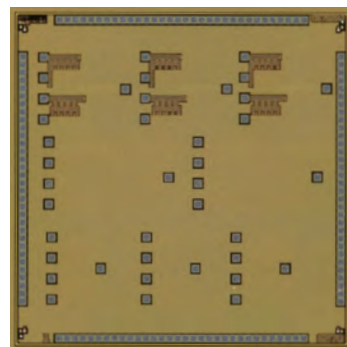


電流制御発振器と周波数デジタル変換回路を用いた ADC

明治大学理工学研究所 関根 かをり, 安藤 夏輝

概要: 低電圧・小面積 CMOS アナログ回路を設計することを根底に置き、評価に必要な回路の設計を行った。ポテンショスタットを使用した微弱な生体信号を扱う低消費電力動作・小面積化が電流制御発振器 (CCO) と周波数デジタル変換回路 (FDC) を接続した ADC を試作した。CCO はリング発振器を内包する設計をとっており、インバータ部の段数が異なる設計を 3 種類比較することで発振周波数への影響を確認することが目的である。21 段の設計では目標の発振周波数を得ることができなかつたことから、寄生容量に着目して 11 段と 3 段の設計を新たに TEG として試作した。また、過去の試作と同じ設計を載せることで、試作時期によるプロセスばらつきによる比較を考慮した。これらの回路は測定器による動作確認を通して妥当性の評価を行っている。

設計期間: 1 人以上, 2 人月未満 **設計ツール:** Cadence 社 Virtuoso, Cadence 社 Spectre, **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** TEG (特性評価回路など)

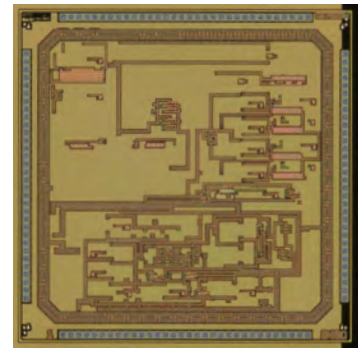


インピーダンス計測検証回路

静岡大学工学部 二川 雅登, 藤園 幹樹, 瀧本 荘平, 藏本 隆矢

概要: 計測対象の抵抗・容量を効率よく計測できる回路構成を目指し、設計をすすめている。計測対象は土や水を想定しており、抵抗成分、容量成分共に大きなダイナミックレンジが必要となるため、それを補うための回路特性が必要となる。特に、高い抵抗成分の計測ではノイズの影響をうけるため、フィルタを組み込んだ回路の提案を行った。本試作において各部の動作検証を行い目的とする動作を確認することができた。増幅器について前回試作から改良を行い、動作周波数の拡大を果たすことができた。試作各部を統合させた本体回路を使い、土壌のインピーダンス計測が可能か検証するための準備を整えている。センサとしての動作確認・検証を行っているところである。

参考文献: R. Shigemasa, Y. Teraoka, S. Ota, H. Hirano, K. Yasutomi, S. Kawahito, M. Futagawa, “Development of a Current Injection—Type Impedance Measurement System for Monitoring Soil Water Content and Ion Concentration”, Sensors, Vol.22, pp.1-20, 2022 **設計期間:** 0.1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** マイクロプロセッサ



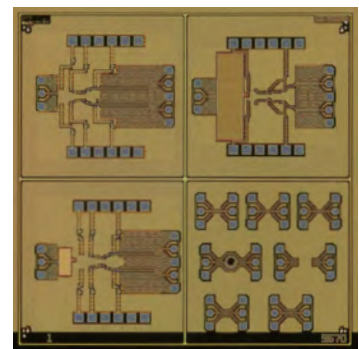
光受信用アナログフロントエンド回路 TEG9

岐阜大学大学院自然科学技術研究科 山田 拓磨, 泉 蓮

岐阜大学工学部 伊藤 大輔, 中村 誠

概要: 今後のさらなる情報トラフィック量の増加に対応するため、光通信システムの高速度大容量化、長距離な伝送特性が求められている。そこで、アナログフロントエンド回路である TIA (Transimpedance Amplifier) の広帯域・低雑音特性が求められている。これまでの試作で、広帯域特性をもつ回路をベースとした、高利得化技術を検討してきた。今回の試作では、低雑音な Multi-Stage Stagger-Tuned Amplifier 回路をベースに高利得化技術と、ノイズキャンセリング技術を取り入れた広帯域・低雑音化を検討し試作を行った。高利得化技術では、前回試作で取り入れた電流注入とカスコードトランジスタに加え能動負荷による高利得化を追加することで開ループ利得を向上させ、高利得かつ広帯域な特性を実現している。トランジスタを追加することで増加する雑音を抑制するため、出力段に Push-Pull 型ノイズキャンセル回路を追加し、低雑音特性を実現した。また、今後の試作に向けてインダクタ等のデバイス評価素子 (TEG) の試作も行った。今後、試作 IC の詳細評価を行う予定である。

参考文献: [1] 山田拓磨, 佐藤優杜, 伊藤大輔, 中村誠, “CGFW 型広帯域 TIA の高利得化の検討,” 2021年電子情報通信学会ソサイエティ大会, A-1-4, 2021年9月。 **設計期間:** 4人月以上, 5人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF), **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 通信 (RF回路, ATMなど)



多重化を用いない耐放射線フリップフロップ構造のソフトエラー率評価チップ

京都工芸繊維大学電子システム工学専攻 古田 潤, 杉谷 昇太郎, 小林 和淑

概要: 集積回路の微細化により電源電圧やゲート容量が減少しており、回路の信頼性が低下している。本設計では、放射線によって引き起こされるソフトエラーに着目し、フリップフロップの回路全体を多重化を用いないエラー耐性向上方法の提案を行う。多数のフリップフロップを実装し、シフトレジスタを構成することで、放射線によるフリップフロップの保持値の反転を測定する。設計した回路はガードゲート構造と呼ばれるローパスフィルタを内蔵しており、放射線によって一時的に反転した値を除去し、放射線耐性を向上させている。2023年3月に東北大学にて重イオンの照射による加速実験を行い、放射線耐性を評価した。現在は測定結果の解析を行っている。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF), **トランジスタ数:** 1,000,000~10,000,000 **試作ラン:** CMOS SOTB 65nm 3mm角 **チップ種別:** TEG (特性評価回路など)

B-3

Appendix

超定電圧整流回路

金沢大学理工研究域 北川 章夫

概要: 微小な振動を利用したエナジーハーベスティングを行うための電源回路を試作した。振動エネルギーを電気エネルギーに変換するため、磁歪振動発電デバイスを用いた。磁歪振動発電デバイスは、高変換効率であり、微弱な震動から電気エネルギーを取り出すことが可能である。圧電方式に比べると低出力インピーダンス（低出力電圧）であるため、低電圧で動作する微細なMOSFETとの整合性がよい。しかし、市販の電源ICや整流回路は、低電圧における電力損失が大きいため実用的ではない。このため、0.1V以下の低電圧でも動作する理想的な昇圧整流回路を提案した。本試作では、整流動作の閾値電圧が約10mV、0.3Vの入力電圧において、96%のエネルギー変換効率を達成した。また、逆方向電圧0.1Vのとき、リーク電流が0.1uA以下となるように回路の最適化を行った。試作チップの後段にDC-DCコンバータを接続し、3.3Vの安定化出力が得られることを確認した。

参考文献: Puput Dani Prasetyo Adi, Yuyu Wahyu, Akio Kitagawa, Analyzes of Chirps Spread Spectrum of ES920LR LoRa? 920 MHz, 2022 11th Electrical Power, Electronics, Communications, Controls and Informatics Seminar, pp.139-144, 23-25, 2022. **設計期間:** 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数:** 10,000~100,000 **試作ラン:** CMOS SOTB 65nm 2mmx1.5mm **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

最小エネルギー点追跡チップ

京都大学大学院情報学研究所 園田 翔也

大阪大学大学院情報科学研究科 塩見 準

概要: 与えられた動作速度を守りながら、消費エネルギーを最小化する電源電圧とバックゲート電圧の組みを最小エネルギー点 (Minimum Energy Point: MEP) と呼ぶ。MEPはDVFS (Dynamic Voltage and Frequency Scaling) と比べて静的な消費エネルギーを効率的に制御できる利点があるが、MEPの探索が複雑である課題がある。本試作では、MEPを追跡するために、サブスレッショルド電流を活用することで、温度およびリーク電流を動的にモニタする回路を試作した。集積回路の様々な稼働状況を再現するアレイ回路やメモリ回路 (SRAMやセルベースメモリ) も搭載している。シミュレーションレベルでは動作することを確認しており、今後実測により、モニタ回路を用いて、アレイ回路やメモリ回路のMEPを精度良く追跡できることを検証する予定である。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF), Synopsys社 PrimeTime, **トランジスタ数:** 100,000~1,000,000 **試作ラン:** CMOS SOTB 65nm 3mmx2mm **チップ種別:** アナデジ混載

SERV

電気通信大学情報理工学研究所 NGUYEN KHAI-DUY, 範 公可, 石橋 孝一郎

概要 : This chip is a 2.0 x 1.5 mm² chip packaged with the QFP160 socket. There are two core circuits in this chip: the SERV-SoC and the Leros SoC. The processor's Instruction Set Architecture (ISA) configuration of the SERV is RV32E, which only contains 16 registers in the register file. This design focuses on optimizing space by taking a bit-serial approach with a trade-off in performance. All data processed and transmitted in the microprocessor is done in serial form. The SoC is implemented with 4-KB of RAM. The peripherals include a Universal Asynchronous Receiver-Transmitter (UART) module, some General-Purpose Input Outputs (GPIOs), a Serial Peripheral Interface (SPI) controller, and a Joint Test Action Group (JTAG) based debug system. The SERV main program is stored in an external memory, so an SPI interface is implemented as a memory-mapped. An SPI programmer is also used to access the peripherals directly. The SoC occupied an area of 309.8 317.7µm (70k NAND2 gates-equivalent). For the chip measurement results, under conditions with VBB = -0.8V, VDD = 0.29V, and a frequency of 10kHz, SERV-32E achieved the lowest energy per cycle with 2.32pJ/cycle. The Leros SoC was designed around a 16-bit accumulator processor, which inherits an early days computer architecture design. Attached to the SoC are several components, including two random memory blocks of 512-Byte and 1-KB, for data and memory storage. In addition, essential logics to communicate with sensors and communication devices are available such as GPIOs and SPI. Besides, its fabrication occupies 50µm x 600µm, with only 3.56% of that area being the processor and essential logic.

設計期間 : 1人月以上, 2人月未満 **設計ツール** : Cadence社 GENUS, Cadence社 Innovus, Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数** : 10,000~100,000 **試作ラン** : CMOS SOTB 65nm 2mmx1.5mm **チップ種別** : マイクロプロセッサ

B-3

Appendix

制御スイッチ付きリングオシレータのフローティング対策を施した経年劣化評価試作チップ

富山県立大学工学部 電気電子工学科 岸田 亮

京都工芸繊維大学電子システム工学専攻 菊田 大輔, 小林 和淑

概要 : 集積回路の微細化により経年劣化などの信頼性問題が顕在化しており, 経年劣化の影響を評価することが重要となっている. 本チップに搭載した経年劣化評価回路では, 制御スイッチを付けたインバータでリングオシレータを構成することで, 経年劣化の影響をPMOSとNMOSで分離することや, 経年劣化を抑制できる. 従来設計した同構造のリングオシレータは, 発振停止時に入力がフローティングとなり, 正確な測定値が得られなかった. 本チップではプルアップPMOSを用いてこのフローティング対策を行った. この対策により正確な測定値が得られるようになることを確認した. 経年劣化が抑制できることも実測結果から明らかにした.

参考文献 : 菊田, 岸田, 小林, “同一の回路構造のリングオシレータを用いた65nm FDSOIプロセスに発生するBTI劣化の実測評価”, VLD2022-73, pp. 1-6, 電子情報通信学会技術報告 (VLSI設計技術), 2023/03. **設計期間** : 3人月以上, 4人月未満 **設計ツール** : Cadence社 Xcelium, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF), **トランジスタ数** : 1,000,000~10,000,000 **試作ラン** : CMOS SOTB 65nm 3mmx2mm **チップ種別** : TEG (特性評価回路など)

SOTB 65nm プロセスを用いた位相同期回路の設計

芝浦工業大学システム理工学部 ニコデムス レディアン

概要：400MHzから1GHzまでの周波数範囲で動作する位相同期回路の試作を行った。本試作ではチャージポンプや電流制御遅延セルなどを用いたアナログ制御系の遅延同期回路をSOTB 65nm プロセスで実装した。従来のマスター・スレーブ型Dフリップフロップの代わりにTSPC Dフリップフロップを位相比較に使用し、応答時間の改善を図る。本試作では遅延同期回路単体の特性を評価するための回路の他に、設計した位相同期回路を用いた4相クロック生成回路およびアナログスイッチを組み合わせたN-pathフィルタを試作した。アナログスイッチは帯域が1GHz、オン抵抗が約5Ωのものを設計した。スイッチオフ時のRFリークを減らすためにレイアウトを工夫した。アナログスイッチの特性を評価するためのTEGも含まれている。

設計期間：4人月以上、5人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数：**1,000~10,000 **試作ラン：**CMOS SOTB 65nm 2mmx1.5mm **チップ種別：**アナログ (PLL, A-D/DC-DC コンバータなど)

B-3

Appendix

電力サイドチャンネルを抑えたマイクロプロセッサ

東京工業大学 工学院・情報通信系 原 祐子, YANG Mingyu

NSW株式会社 恒松 裕朋, 天木 真雄, 菅原 康

概要：4命令から成る独自の命令セットアーキテクチャのマイクロプロセッサをルネサス65nm SOTB を用いて試作した。命令セットアーキテクチャは、減算、シフト、論理演算 (ANDまたはXOR)、メモリアクセスから構成されており、RISC-Vの小型プロセッサであるIbexよりも約1/4、ARM Cortex-M0よりも約1/3程度のトランジスタ数で実現でき、軽量暗号などのアルゴリズムはIbexやCortex-M0と同等のサイクル数で処理できる。Verilog HDL を用いたRTL 設計は当該研究室で行い、バックエンド設計はNSW 株式会社へ委託し実施した。開発したプロセッサはこれまでFPGA 上で評価し、電力サイドチャンネルを抑えることができることを確認していたため、今回ASIC を試作し、ASIC でも意図した効果を得られるかどうかを評価することが目的であった。3月末にチップが完成し、現在、電力サイドチャンネルの評価を行っている段階である。

設計期間：6人月以上、7人月未満 **設計ツール：**Synopsys社 DesignCompiler, Cadence SoC Encounter, Cadence NanoRoute, Mentor社 Calibre, Synopsys社 PrimeTime, Synopsys社 Formality, **トランジスタ数：**10,000~100,000 **試作ラン：**CMOS SOTB 65nm 2mmx1.5mm **チップ種別：**マイクロプロセッサ

サイドチャンネル評価チップ

大阪大学大学院情報科学研究科 塩見 準

概要：電力解析や電磁波解析によるサイドチャンネル攻撃 (Side-Channel Attack: SCA) に耐性を有する回路を実現するため、サイドチャンネル評価を目的とした評価チップの設計を行った。具体的には、幅広く実用化されている共通鍵暗号であるAES (Advanced Encryption Standard) 暗号の専用回路を設計し、この時間的な電力消費変動を平滑化する回路を設計した。また、極低電圧領域で稼働する1 kb (32 b X 128 W) の6T SRAM (6 Transistor Static Random Access Memory) のアレイ回路を設計した。トランジスタレベル回路シミュレーションにおいては両回路ともにマクロレベルで期待通りの動作を確認している。2023年4月現在においては、測定環境のセットアップを行っており、環境の構築が完了次第、消費電力や漏えい電磁波等のサイドチャンネル情報を含め、動作速度や消費エネルギーの評価に取り組む予定である。

設計期間：1人月以上、2人月未満 **設計ツール：**Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF), Synopsys社 PrimeTime, Cadence社 NCVerilog, **トランジスタ数：**100,000~1,000,000 **試作ラン：**CMOS SOTB 65nm 3mm角 **チップ種別：**アナログ/デジタル信号処理プロセッサ

Lightweigh cryptography core

電気通信大学情報理工学研究所 Serrano Ronaldo, 範 公可, 石橋 孝一郎

概要: 本回路には, ASCON, Elephant, GIFT-COFB, Grain128-AEAD, ISAP, Photon-Beetle, Romulus, Sparkle, TinyJambu, Xoodyak という10個全てのNIST軽量暗号標準化が含まれる。軽量暗号は, スマートカード, RFIDタグ, センサーノードなど, 電池寿命, メモリ, 処理能力が限られたリソース制約のあるデバイスに不可欠である。このような機器において, 従来の暗号アルゴリズムでは計算量が多すぎるため, 最小限のメモリ使用量, ハードウェアの低コスト化に最適化された軽量暗号アルゴリズムが必要とされている。軽量暗号は, 強力なセキュリティ保証を維持しながら, これらのデバイスを安全に使用出来るように脅威や攻撃から保護する。このチップには Olinguito SoC というコアを搭載している。プロセッサのISA構成はRV32IMACであり, SoCには4KBのRAMが実装され, システムバスにはAHB-Lite, パリフェラルバスにはAPBを採用した。周辺機器には, Universal Asynchronous Transmitter-Receiver (UART) モジュール, 複数のGeneral Purpose Input Outputs (GPIOs), Serial Peripheral Interface (SPI) コントローラ, JTAG (Joint Test Action Group) に基づくデバッグシステムなどがある。ChaCha20 Embedded Hardware Encryption Acceleratorも実装されている。Olinguitoは, すべての軽暗号コアのコントローラとして機能する。本試作は, ASIC上のすべての暗号コアの動作をテストすることを目的としており, 各暗号コアは小面積, 低消費電力で実装することが出来た。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 GENUS, Cadence社 Innovus, Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 100,000~1,000,000 **試作ラン:** CMOS SOTB 65nm 2mmx1.5mm **チップ種別:** マイクロプロセッサ

B-3

Appendix

3次元積層チップの発熱温度解析に向けた改良チップ

芝浦工業大学理工学研究所 王 松祥

芝浦工業大学工学部 宇佐美 公良

概要: 本チップは3次元積層チップの電力消費に伴う発熱と, チップ温度の過渡解析を目的としたチップである。消費電力量による発熱温度差や, 発熱回路の位置による温度上昇の差や温度分布の時間的変化を解析するため, 16個の発熱回路と16個の温度モニタ回路を搭載している。これまでの試作[1]では, 発熱回路動作時に温度モニタ回路の動作に不具合が生じていた。具体的に, 積層する際に下段チップの表面が傷んだと思われる。そこで, 今回は表面にポリイミド保護膜が付くルネサス65nmプロセスで設計した。また, 基板バイアス効果を利用し, 超低電圧において温度モニタの動作を確認することも期待する。発熱回路にはMOSのオン抵抗による電力消費を目的とした回路を搭載しており, 入力信号によって稼働する回路数の制御が可能である。また, 温度モニタ回路には, チップ上でリーク電流をモニタする回路を基に, 温度変化に伴うリーク電流量の増減からチップ温度を測定する回路を搭載した。また, 入出力ピン数削減のため, 内部に2個の選択回路を搭載している。今回試作したチップの動作評価等は現在鋭意測定中である。

参考文献: [1] 堀米, 宇佐美, "3次元積層LSIの実チップ発熱・放熱時における温度の過渡解析と評価", 信学技報, vol. 118, no. 457, VLD2018-107, pp. 85-90, 2019年2月。 **設計期間:** 2人月以上, 3人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF), Synopsys社 Formality, **トランジスタ数:** 100,000~1,000,000 **試作ラン:** CMOS SOTB 65nm 3mm角 **チップ種別:** TEG (特性評価回路など)

経年劣化の影響を評価するリングオシレータ

富山県立大学 工学部 岸田 亮

東京理科大学電気工学専攻 土屋 勇人

京都工芸繊維大学電子システム工学専攻 菊田 大輔, 小林 和淑

概要: 集積回路の微細化により経年劣化などの信頼性問題が顕在化しており, 経年劣化の影響を評価することが重要となっている。本チップではスタンプ素子の接続を工夫することで経年劣化の発生と抑制を行えるリングオシレータを試作し, 経年劣化の影響を詳細に評価する。スタンプ素子を用いずにトライステート型のインバータを工夫したリングオシレータも試作し, 同様の影響を評価する。本チップは現在鋭意測定中であり, 今後, 実測評価結果を論文等で報告する予定である。本設計では回路の放射線耐性を評価するためのソフトレジスタも搭載しており, 今後中性子線や重イオンを照射することでフリップフロップにおけるソフトエラー率の測定も行う予定である。

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Xcelium, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF), **トランジスタ数:** 1,000,000~10,000,000 **試作ラン:** CMOS SOTB 65nm 3mmx2mm **チップ種別:** TEG (特性評価回路など)

C. Publication list

【原著論文】

- [1] Weiyu Zhou, Satoshi Ono, Koji Wada, "A Multi-Layer SIW Resonator Loaded with Asymmetric E-Shaped Slot-Lines for a Miniaturized Tri-Band BPF with Low Radiation Loss," *IEICE Transactions on Electronics*, Vol.E105-C, No.7, pp.349-357(2022.07)
- [2] Makoto Watanabe, Kiyoshi Kotani, and Yasuhiko Jimbo, "Macro modeling of liquid crystal cell using machine learning method: reservoir computing approach," *Japanese Journal of Applied Physics* 62, 027001 (2023)pp. 027001-1 - 027001-10
- [3] Xiangyu Chen, Takeaki Yajima, Isao H. Inoue and Tetsuya Iizuka "An Ultra-Compact Leaky Integrate-and-Fire Neuron with Long and Tunable Time Constant Utilizing Pseudo Resistors for Spiking Neural Networks," *Japanese Journal of Applied Physics (JJAP)*, vol. 61, no. SC1051, May 2022.
- [4] Shuowei Li, Naoki Ojima, Zule Xu and Tetsuya Iizuka, "Analysis and Simulation of MOSFET-Based Gate-Voltage-Independent Capacitor," *Japanese Journal of Applied Physics (JJAP)*, vol. 61, no. 064501, May 2022.
- [5] Tetsuya Iizuka, Meikan Chin, Toru Nakura and Kunihiro Asada, "4-Cycle-Start-Up Reference-Clock-Less Digital CDR Utilizing TDC-Based Initial Frequency Error Detection with Frequency Tracking Loop," *IEICE Transactions on Electronics*, vol. E105-C, no. 10, pp. 544 - 551, Oct. 2022.
- [6] Masaru Osada, Zule Xu, Ryoya Shibata and Tetsuya Iizuka, "Analysis of Offset Spurs in Phase-Locked-Loops Employing Harmonic-Mixer-Based Feedback with Sample-and-Hold Operation," *IEEE Transactions on Circuits and Systems-II Regular Papers*, vol. 69, no. 12, pp. 5072 - 5084, Dec. 2022.
- [7] Xiangyu Chen*, Zolboo Byambadorj*, Takeaki Yajima, Hisashi Inoue, Isao H. Inoue and Tetsuya Iizuka, "CMOS-based area-and-power-efficient neuron and synapse circuits for time-domain analog spiking neural networks," *Applied Physics Letters*, 122, 074102, 2023.
- [8] Kousuke Miyaji, Design and Integration of Beyond-10MHz High Switching Frequency DC-DC Converter, *IEICE Transactions on Electronics*, E105-C, 521- 533, 2022.
- [9] Hiroki Takayanagi, Runa Enosawa, Sumire Furuya, Katsuyuki Morishita and Ken Saito, "Development of neural networks integrated circuit driving electrostatic motors for microrobot" *Artificial Life and Robotics*, Volume 28, 192 - 198, 2023.2
- [10] 柴康太, 小菅敦丈, 濱田基嗣, 黒田忠広, "近接場無線接続技術を用いた三次元積層SRAM," *エレクトロニクス実装学会誌*, vol. 25, no. 6, pp. 549-555, Sep. 2022.
- [11] A. Kosuge and T. Kuroda, Proximity Wireless Communication Technologies! An Overview and Design Guidelines, *IEEE Transactions on Circuits and Systems I! Regular Papers (TCAS-I)*, vol. 69, no. 11, pp. 4317-4330, Nov. 2022.
- [12] S. Shibata, R. Miura, Y. Sawabe, K. Shiba, A. Kosuge, M. Hamada, and T. Kuroda, A 5-GHz 0.15-mm² Collision-Avoiding RFID Employing Complementary Pass-Transistor Adiabatic Logic With an Inductively Connected External Antenna in 0.18- μ m CMOS, *IEEE Solid-State Circuits Letters (SSC-L)*, vol. 5, pp. 268-271, Nov. 2022.
- [13] R. Sumikawa, K. Shiba, A. Kosuge, M. Hamada, and T. Kuroda, 1.2 nJ/classification 2.4 mm² asynchronous wired-logic DNN processor using synthesized nonlinear function blocks in 0.18 μ m CMOS, *Japanese Journal of Applied Physics (JJAP)*, vol. 62, no. SC, pp. SC1019, Jan. 2023.
- [14] K. Shiba, M. Okada, A. Kosuge, M. Hamada, and T. Kuroda, "A 12.8-Gb/s 0.5-pJ/b Encoding-Less Inductive Coupling Interface Achieving 111-GB/s/W 3D-Stacked SRAM in 7-nm FinFET," *IEEE Solid-State Circuits Letters (SSC-L)*, vol. 6, pp. 65-68, 2023.
- [15] Keisuke Kozu, Yuya Tanabe, Masato Kitakami and Kazuteru Namba, Low power neural network by reducing SRAM operating voltage, *IEEE Access*, Vol.10, pp.116982-116986, Nov. 2022.
- [16] K. Iwashige, K. Toprasertpong, M. Takenaka, and S. Takagi, "Effect of Hf_xZr_{1-x}O₂/Ge metal-ferroelectrics-insulator-semiconductor interfaces on polarization reversal behavior," *Jpn. J. Appl. Phys.*, vol. 62, SC1093, 2023.

- [17] R. Yoshizu, K. Sumita, K. Toprasertpong, M. Takenaka, and S. Takagi, "Accurate evaluation of interface trap density at InAs MOS interfaces by using C-V curves at low temperatures," *Jpn. J. Appl. Phys.*, vol. 62, SC1055. 2023.
- [18] Y. Miyatake, K. Makino, J. Tominaga, N. Miyata, T. Nakano, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Proposal of low-loss non-volatile mid-infrared optical phase shifter based on Ge₂Sb₂Te₃S₂," *IEEE Trans. Electron Devices*, vol. 70, no. 4, pp. 2106 - 2112, April 2023.
- [19] T. Ochiai, T. Akazawa, Y. Miyatake, K. Sumita, S. Ohno, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, and M. Takenaka, "Ultrahigh-responsivity waveguide-coupled optical power monitor for Si photonic circuits operating at near-infrared wavelengths," *Nature Communications*, vol. 13, 7443, 2022.
- [20] K. Toprasertpong, M. Takenaka, and S. Takagi, "Breakdown-limited endurance in HZO FeFETs! Mechanism and improvement under bipolar stress," *Frontiers in Electronics*, vol. 3, 1091343, 2022.
- [21] K. Toprasertpong, M. Takenaka, and S. Takagi, "On the strong coupling of polarization and charge trapping in HfO₂/Si-based ferroelectric field-effect transistors! Overview of device operation and reliability," *Applied Physics A*, vol. 128, no. 12, pp. 1114, 2022.
- [22] Y. Miyatake, C.-P. Ho, P. Pitchappa, R. Singh, K. Makino, J. Tominaga, N. Miyata, T. Nakano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Non-volatile compact optical phase shifter based on Ge₂Sb₂Te₅ operating at 2.3 μm ," *Opt. Mater. Express*, vol. 12, no. 12, pp. 4582 - 4593, 2022.
- [23] K. Toprasertpong, M. Takenaka, and S. Takagi, "Memory window in ferroelectric field-effect transistors! Analytical approach," *IEEE Trans. Electron Devices*, vol. 69 no. 12, pp. 7113 - 7119, December 2022.
- [24] T. Akazawa, D. Wu, K. Sumita, N. Sekine, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Low-Capacitance Ultrathin InGaAs Membrane Photodetector on Si Slot Waveguide Toward Receiverless System," *IEEE Trans. Electron Devices*, vol. 69 no. 12, pp. 7184 - 7189, December 2022.
- [25] M. Takenaka, Z. Zhao, C.-P. Ho, T. Fujigaki, T. Piyapatarakul, Y. Miyatake, R. Tanga, K. Toprasertpong, and S. Takagi, "Ge-on-insulator Platform for Mid-infrared Photonic Integrated Circuits," *ECS Trans.*, vol. 109, no. 4, pp. 47 - 58, 2022 (invited).
- [26] S. Takagi, C.-T. Chen, X. Han, K. Sumita, K. Toprasertpong, and Mitsuru Takenaka, "Extremely-thin body GOI channel technology in nano-sheet FET era," *ECS Trans.*, vol. 109, no. 4, pp. 59 - 71, 2022 (invited).
- [27] K. Toprasertpong, E. Nako, Z. Wang, R. Nakane, M. Takenaka, and S. Takagi, "Reservoir computing on a silicon platform with a ferroelectric field-effect transistor," *Communications Engineering*, vol. 1, 21, August 2022
- [28] N. Sekine, K. Sumita, K. Toprasertpong, S. Takagi, and M. Takenaka, "Monolithic integration of electro-absorption modulators and photodetectors on III-V CMOS photonics platform by quantum well intermixing," *Optics Express*, vol. 30, no. 13, pp. 23318 - 23329, June 2022.
- [29] H. Tang, Q. Li, C.-P. Ho, J. Fujikata, M. Noguchi, S. Takahashi, K. Toprasertpong, S. Takagi, and M. Takenaka, "Modulation bandwidth improvement of III-V/Si hybrid MOS optical modulator by reducing parasitic capacitance," *Optics Express*, vol. 30, no. 13, pp. 22848 - 22859, June 2022.
- [30] Ryuki Shigemasu, Yuki Teraoka, Satoshi Ota, Harutoyo Hirano, Keita Yasutomi, Shoji Kawahito, Masato Futagawa, Development of a Current Injection—Type Impedance Measurement System for Monitoring Soil Water Content and Ion Concentration, *Sensors*, vol. 22, pp. 3509-1-20, 2022.
- [31] Y. Demura, T. Tanzawa, Design of Switched-Capacitor DC-DC Voltage-Down Converters Driven by Highly Resistive Energy Transducer, *Electronics* 11/12, 1874 (2022)
- [32] J. Kondo, T. Tanzawa, Pre-Emphasis Pulse Design for Reducing Bit-Line Access Time in NAND Flash Memory, *Electronics* 11/13 1926 (2022)
- [33] T. Nomura, T. Tanzawa, More Enhanced Swing Colpitts Oscillators! A Circuit Analysis, *Electronics* , 11/18, 2808 (2022)
- [34] T. Hashimoto, T. Tanzawa, Design Space Exploration of Antenna Impedance and On-Chip Rectifier for Microwave Wireless Power Transfer, *Electronics* , 11/19, 3218 (2022)
- [35] K. Nono, T. Tanzawa, One-Dimensional Maximum Power Point Tracking Design of Switched-Capacitor

- Charge Pumps for Thermoelectric Energy Harvesting, *Electronics*, 12(5), 1203, 2023.
- [36] T. Hashimoto, T. Tanzawa, A -31.7 dBm Sensitivity 0.011 mm² CMOS On-Chip Rectifier for Microwave Wireless Power Transfer, *Electronics*, 12(6), 1400 (2023)
- [37] M. Fang and T. Yoshimasu, "An Ultra-Low-Power Octave-Tuning VCO IC With a Single Analog Voltage-Controlled Novel Varactor," *IEEE Trans. on Circuits and Systems I, Regular papers*, vol. 69, no. 12, pp.4751-4760, Dec. 2022.
- [38] N. Sega, Y. Somei, H. Shimada, and Y. Mizugaki, Operation of a 4-bit RSFQ digital-to-analog converter based on a binary split-confluence configuration, *Journal of Physics: Conference Series*, vol. 2323, 012033 (7 pages), August, 2022.
- [39] Y. Mizugaki, N. Sega, and H. Shimada, 100 GHz operation of a 4-bit single-flux-quantum pulse-frequency modulator designed for bipolar D/A conversion, *IEICE Electronics Express (ELEX)*, vol. 19, no. 12, 20220194 (4 pages), June, 2022.
- [40] K. Sato, N. Sega, Y. Somei, H. Shimada, T. Onomi, and Y. Mizugaki, Evaluation of True Random Number Generator Utilizing Timing Jitters in RSFQ Logic Circuits, *IEICE Transactions on Electronics*, vol. E105-C, no. 6, pp. 296-299, June, 2022.
- [41] M. Hashimoto, X. Bai, N. Banno, M. Tada, T. Sakamoto, J. Yu, R. Doi, H. Onodera, T. Imagawa, H. Ochi, K. Wakabayashi, Y. Mitsuyama, and T. Sugibayashi, Via-Switch FPGA with Transistor-Free Programmability Enabling Energy-Efficient Near-Memory Parallel Computation, *Japanese Journal of Applied Physics*, 61(SM0804), October 2022.
- [42] H. Suzuki et al., Precision beam telescope based on SOI pixel sensor technology for electrons in the energy range of sub-GeV to GeV, *PTEP*, Volume 2022, Issue 10, Oct. 2022, doi.org/10.1093/ptep/ptac124
- [43] Yoshihiro Masui, Inverter Based Ultra-Low Power Demodulation Circuit for AM Receivers, *IEEJ TRANSACTIONS ON ELECTRICAL AND ELECTRONIC ENGINEERING*, Volume 18, Issue 1, pp.51-57, 2023年1月.
- [44] Yoshihiro Masui, A CMOS Temperature Sensor with On-chip Photovoltaic Cells, *IEEJ TRANSACTIONS ON ELECTRICAL AND ELECTRONIC ENGI-*
- NEERING, Volume 18, Issue 3, pp.401-407, 2023年3月.
- [45] T. Kawaguchi and N. Takagi, '32-Bit ALU with Clockless Gates for RSFQ Bit-Parallel Processor,' *IEICE Trans. Electronics*, vol. E105-C, no. 6, pp. 245-250, June 2022.
- [46] Yuki Miwa, Hisashi Kino, Takafumi Fukushima, and Tetsu Tanaka, "Electrochemical characterization of ZnO-based transparent materials as recording electrodes for neural probes in optogenetics", *Journal of Vacuum Science & Technology*, August 2022
- [47] Yaogan Liang, Bang Du, Kohei Nakamura, Shengwei Wang, Bunta Inoue, Yuta Aruga, Hisashi Kino, Takafumi Fukushima, Koji Kiyoyama, and Tetsu Tanaka, "3D-stacked retinal prosthesis chip with binary image capture and edge detection functions for human visual restoration", *IEICE Electronics Express*, December 2022
- [48] Hisashi Kino, Takafumi Fukushima and Tetsu Tanaka, "Enhancement of carrier mobility in metal-oxide semiconductor field-effect transistors using negative thermal expansion gate electrodes", *Applied Physics Express*, November 2022
- [49] Yuki Susumago, Chang Liu, Tadaaki Hoshi, Jiayi Shen, Atsushi Shinoda, Hisashi Kino, Tetsu Tanaka, Takafumi Fukushima, "Room-Temperature Direct Cu Semi-Additive Plating (SAP) Bonding for Chip-on-Wafer 3D Heterogenous Integration with μ LED", *IEEE Electron Device Letters*, January 2023
- [50] Hiromichi Wakebe, Yuki Susumago, Takafumi Fukushima, and Tetsu Tanaka, "Gapless Chip-in-Carrier Integration and Injectable Ag/AgCl-Epoxy Reference Electrode for Bilayer Lipid Membrane Sensor, *IEEJ Transactions on Electrical and Electronic Engineering (共通英文論文誌 (TEEE E))*, Mar. 2023
- [51] Akiyoshi Tanaka, Guowei Chen, and Kiichi Niitsu, "A 4.5-mW 22-nm CMOS Label-Free Frequency-Shift $3 \times 3 \times 2$ 3D Biosensor Array Using Vertically-Stacked 60-GHz LC Oscillators", *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 69, no. 10, pp. 4078-4082, Oct. 2022.
- [52] J. Ye, M. Yanagisawa, Y. Shi, Scalable Hardware Efficient Architecture for Parallel FIR Filters with Symmetric Coefficients, *Electronics*, vol. 11, no. 20, 2022.
- [53] J. Ye, M. Yanagisawa, Y. Shi, Dataflow Optimization

- through Exploring Single-Layer and Inter-Layer Data Reuse in Memory-Constrained Accelerators, *Electronics*, vol. 11, no. 15, 2022.
- [54] Mamoru Ugajin, Yuya Kakei, Nobuyuki Itoh, A study of phase-adjusting architectures for low-phase-noise quadrature voltage-controlled oscillators, *IEICE Transactions on Electronics*, Vol. E106C (No.2), pp. 59-66, 2023年02月
- [55] 阿武宏明, 橋國克明, スクッテルダイト CoSb₃の電子構造と輸送特性, 山陽小野田市立山口東京理科大学紀要, 第6号, pp.23-30, 2023年3月.
- [56] T. Yoshimura, "Self-Coupling and Mutual Pulling in Phase-Locked Loops," *IEEE Transactions on Circuits and Systems I*, vol. 69, No. 8, pp.3260 - 3271, August 2022.
- [57] 栗原拓矢, 松谷康之, MASH 接続 swing-suppression $\Delta\Sigma/D$ 変換方式による低電圧高次 $\Delta\Sigma/D$ 変換回路の検討電気学会論文誌 C, *IEEJ Transactions* (2023年4月)
- [58] K. Kawahara, J. Sawada, T. Kamo, Y. Umeda, K. Takano, and S. Hara, "Bandwidth Tripler! Broadband Signal Generation With an Image-Rejection Analog Multiplexer for Fiber Optic Transmitters," *IEEE Transactions on Microwave Theory and Techniques*, July 2022.
- [59] Hiroki Sonoda, Ryo Kasai, Daisuke Tanaka, Yoshihide Murakami, Kyoshi Mihara, Yuuki Araga, Naoya Watanabe, Haruo Shimamoto, Katsuya Kikuchi, Takuji Miki, Makoto Nagata, In-Place Evaluation of Powering and Signaling Within Fan-Out Multiple IC Chip Packaging, in *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 12, no. 7, pp. 1140-1149, Jul. 2022.
- [60] Kazuki Monta, Leonidas Kataselas, Ferenc Fodor, Takuji Miki, Alkis Hatzopoulos, Makoto Nagata, Erik Jan Marinissen, Testing Embedded Toggle Generation Through On-Chip IR Drop Measurements, in *IEEE Design & Test*, vol. 39, no. 5, pp. 79-87, Oct. 2022.
- [61] R. Matsuzuka, S. Kanzaki, K. Matsumoto, N. Kuroki, M. Numa, D. Kanemoto, T. Hirose, "Switched-capacitor voltage buck converter with variable step-down and switching frequency controllers for low-power and high-efficiency IoT devices," *Jpn. J. Appl. Phys.* 62, SC1082-1-SC1082-7, 2023.
- [62] K. Matsumoto, R. Ikeda, H. Sebe, N. Kuroki, M. Numa, D. Kanemoto, T. Hirose, "Fully-integrated switched-capacitor voltage boost converter with digital maximum power point tracking for low-voltage energy harvesting", *Jpn. J. Appl. Phys.* 62, SC1071-1-SC1071-9, 2023.
- [63] Zhuo Li, Jixuan Wu, Xiaoran Mei, Xingyu Huang, Takuya Saraya, Toshiro Hiramoto, Takanori Takahashi, Mutsunori Uenuma, Yukiharu Uraoka, Masaharu Kobayashi, A 3D Vertical-Channel Ferroelectric/Anti-Ferroelectric FET With Indium Oxide, *IEEE Electron Device Letters* 43(8) 1227-1230 2022年6月20日
- [64] Masaharu Kobayashi, Jixuan Wu, Yoshiki Sawabe, Saraya Takuya, Toshiro Hiramoto, Mesoscopic-scale grain formation in HfO₂-based ferroelectric thin films and its impact on electrical characteristics, *Nano Convergence* 9(1) 2022年11月12日
- [65] Xingyu Huang, Yuki Itoya, Zhuo Li, Takuya Saraya, Toshiro Hiramoto, Masaharu Kobayashi, Device modeling of oxide-semiconductor channel antiferroelectric FETs using half-loop hysteresis for memory operation, *Japanese Journal of Applied Physics* 62 SC1024 2023年1月18日
- [66] Natchanai Roongmuanpha, Nutcha Likhitkitwoerakul, Masaaki Fukuhara, Worapong Tangsrirat, Single VDGA-Based Mixed-Mode Electronically Tunable First-Order Universal Filter, *Sensors*, Vol. 23, No. 5, pp. 2759, March 2023
- [67] Yagi, Nishiguchi, Yamada, Yamamoto, Fukuhara, Capacitances Design Method of the Main Neuron CMOS Inverter of a 4-Input Variable Logic Circuit with FG Calibration, *ICIC Express Letters*, Vol. 16, No. 7, pp. 741-748, July 2022
- [68] Yamada, Fukuhara, "Analog CMOS Implementation of Ising-Based Traffic Lights Control Unit", *ICIC Express Letters, Part B! Applications*, Vol. 13, No. 6, pp. 581-587, June 2022
- [69] 西口, 福原, 矢原, 藤本, "配線間容量を利用したニューロン電子回路と可変論理回路への応用", *電子情報通信学会論文誌 C*, Vol. J105-C, No. 4, pp. 129-130, 2022年4月
- [70] 西口, 福原, 矢原, 藤本, "ニューロン電子回路による高速ハミング距離検出回路の提案とチップ評価", *東海大学紀要 情報通信学部*, Vol. 15, No. 2, pp. 7-10, 2022年9月
- [71] S. Hara, R. Dong, S. Lee, K. Takano, N. Toshida, A.

- Kasamatsu, K. Sakakibara, T. Yoshida, S. Amakawa, M. Fujishima, "A 76-Gbit/s 265-GHz CMOS receiver with WR-3.4 waveguide interface," in *IEEE Journal of Solid-State Circuits*, Jul 19 2022,
- [72] Latiful Akbar, Virgil Christian Garcia Castillo, Joshua Philippe, Olorocisimo, Yasumi Ohta, Mamiko Kawahara, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro, Kiyotaka Sasagawa, Masahiro Ohsawa, Yasemin M. Akay, Metin Akay, Jun Ohta Multi-Region Microdialysis Imaging Platform Revealed DorsalRaphe Nucleus Calcium Signaling and Serotonin Dynamics during Nociceptive Pain *International Journal of Molecular Sciences*, vol.24, no.7, pp.6654, 2023.4.3.doi:10.3390/ijms24076654
- [73] Kiyotaka Sasagawa, Ryoma Okada, Makito Haruta, Hironari Takehara, Hiroyuki Tashiro, Jun Ohta Reflective high-sensitivity polarization change imaging using a dual polarizer structure *Optics Continuum*, vol.2, no.14, pp.758-768, 2023.3.23.doi:10.1364/OPT-CON.485650
- [74] Y. Nakanishi, K. Sasagawa*, R. Siwadamrongpong, K. Shodo, Y. Terasawa, H. Takehara, M. Haruta, H. Tashiro, J. Ohta, "Implantable AC-driven CMOS chip for distributed multichip retinal prosthesis capable of high-rate stimulation," *Jpn. J. Appl. Phys.*, vol. 62, no. SC, SC1077, Feb. 2023. doi:10.35848/1347-4065/acb77d
- [75] Ryoma Okada, Kiyotaka Sasagawa, Maya Mizuno, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro, Jun Ohta Improvement of on-pixel polarizer with 0.35 μm CMOS process for electro-optic imaging systems *Japanese Journal of Applied Physics*, vol.62, no. SC1052, pp.1-7, 2023.2.6.doi:10.35848/1347-4065/acb0da
- [76] T. Treepetchkul, R. Siwadamrongpong, R. R. P. Tan, H. Takehara, M. Haruta, H. Tashiro, K. Sasagawa*, J. Ohta, "A dual-mode miniature wireless system for lensless CMOS-based bioimaging devices," *Jpn. J. Appl. Phys.*, vol. 62, no. SC, SC1037, Jan. 2023 . doi:10.35848/1347-4065/acb05f
- [77] Pan Kaige, Hagiwara Takanori, Tso Kuang-chih, Siwadamrongpong Ronnakorn, Akbar Latiful, Nakano Yukari, Kono Takuro, Yasuo Terasawa, Haruta Makito, Takehara Hironari, Tashiro Hiroyuki, Sasagawa Kiyotaka, Wu Pu-Wei, Ohta Jun A Flexible Retinal Device with CMOS Smart Electrodes Fabricated on Parylene C Thin-film and Bioceramic Substrate *Japanese Journal of Applied Physics*, vol.62, no.SC1022, pp.1-7, 2023.1.18.doi:10.35848/1347-4065/acaca5
- [78] Kyosuke Naganuma, Yasumi Ohta, Takaaki E. Murakami, Ryoma Okada, Mark Christian Guinto, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro, Kiyotaka Sasagawa, Yoshinori Sunaga, Yasemin M. Akay, Metin Akay, Jun Ohta Multifunctional Implantable Device for Simultaneous Optical and Electrophysiological Measurements *Sensors and Materials*, vol.34, no.4, pp.1561-1575, 2022.4.26.doi:10.18494/SAM3710
- [79] Akiko Inoue, Kazuhiko Minematsu, Maya Oda, Rei Ueno, and Naofumi Homma, "ELM! A Low-Latency and Scalable Memory Encryption Scheme," *IEEE Transactions on Information Forensics and Security*, DOI:10.1109/TIFS.2022.3188146, 2022.
- [80] Ayano Nakashima, Rei Ueno, and Naofumi Homma, "AES S-Box Hardware with Efficiency Improvement Based on Linear Mapping Optimization," *IEEE Transactions on Circuits and Systems II: Express Briefs*, DOI:10.1109/TCSII.2022.3185632, 2022.
- [81] Ippei Tanaka, Naoyuki Miyagawa, Tomoya Kimura, Takashi Imagawa, Hiroyuki Ochi, A CMOS-compatible Non-volatile Memory Element using Fishbone-in-cage Capacitor, *IPSJ Transactions on System and LSI Design Methodology*, vol.16, pp.35 - 44, Feb. 2023.
- [82] T. Sugiura, H. Miura, N. Nakano, "High-Temperature Operational Piezoresistive Pressure Sensor on Standard CMOS Process," *IEEE Transactions on Circuits and Systems II: Express Briefs (IEEE T-CAS2) Vol.70, Iss.2*, pp.726-730, Feb. 2023.
- [83] T. Sugiura, S. Yamakiri, N. Nakano, "Germanium- and Silicon- Nano-Transistor Designs by Electrical and Thermal Self-Consistent Analysis," *IEEE Transactions on Computer-Aided-Design of Integrated Circuits and Systems (IEEE T-CAD) (EarlyAccess)*
- [84] T. Sugiura, H. Miura, N. Nakano, "On-Chip Carrier-Selective Contact Photovoltaic Cell," *IEEE Transactions on Electron Devices (IEEE T-ED) Vol.70, Iss.4*, pp.1728-1732, Apr. 2023.
- [85] T. Sugiura, H. Miura, N. Nakano, "Double-Ring Shaded-Contact Photovoltaic Cell Designed on Standard CMOS Process," *IEEE Electron Device Letters (IEEE EDL) (EarlyAccess)*

- [86] U. Farooq, M. Mori, K. Maezawa, Experimental characterization of resonant tunneling chaos generator circuits in microwave frequency range, *IEICE Transactions on electronics*, DOI ! <https://doi.org/10.1587/transele.2022ECP5037>.
- [87] Hang Yin, Takeaki Yajima, Self-synchronized Rectifier with Phase Information Extracted from Vibration Energy Harvester. *Sensors and Materials* vol.34, pp1899-1907, 2022.
- [88] D-X. Lioe, Y. Fukushi, M. Hakamata, M. Niwayama, K. Mars, K. Yasutomi, A CMOS Lock-in Pixel Image Sensor with Multi-Simultaneous-Gate for Time-Resolved Near-Infrared Spectroscopy *IEEE Transactions on Electron Devices*
- [89] Shukri Bin Korakkottil Kunhi Mohd, D-Xing Lioe , K. Yasutomi , K. Kagawa, M. Hashimoto, S. Kawahito A CMOS Double-Demodulation Lock-in Amplifier for Stimulated Raman Scattering Signal Detection *Electronics*
- [90] Takuya Kojima, Hayate Okuhara, Masaaki Kondo, Hideharu Amano, “A Scalable Body Bias Optimization Method Towards Low-Power CGRAs”, *IEEE Micro*, Vol. 43, no. 1, pp. 49-57, Jan.-Feb. 2023. DOI! 10.1109/MM.2022.3226739.
- [91] Yuki Hironaka, Takuya Hosoya, Yuki Yamanashi, Nobuyuki Yoshikawa, “Demonstration of Single-Flux-Quantum 64-B Lookup Table With Cryo-CMOS Decoders for Reconfiguration,” *IEEE Trans. Appl. Supercond.*, vol. 32, 2022, 1301305.
- [92] Tomoyuki TANAKA, Christopher L. AYALA, Nobuyuki YOSHIKAWA, “A 16-Bit Parallel Prefix Carry Look-Ahead Kogge-Stone Adder Implemented in Adiabatic Quantum-Flux-Parametron Logic,” *IEICE Trans. Electron.*, vol. E105.C Issue 6, 2022, pp. 270-276.
- [93] Taiki Yamae, Naoki Takeuchi, Nobuyuki Yoshikawa, “An Adiabatic Quantum-Flux-Parametron 8-bit Ripple Carry Adder Using Delay-Line Clocking,” *IEEE Trans. Appl. Supercond.*, vol. 33, 2023, 1300704.
- [94] “X-ray Radiation Damage Effects on Double-SOI Pixel Detectors for the Future Astronomical Satellite, M. Kitajima, K. Hagino, T. Kohmura, M. Hayashida, K. Oono, K. Negishi, K. Yarita, T. Doi, S. Tsunomachi, T. G. Tsuru, H. Uchida, K. Kayama, R. Kodama, T. Tanaka, K. Mori, A. Takeda, Y. Nishioka, M. Yukumoto, K. Mieda, S. Yonemura, T. Ishida, Y. Arai, I. Kurachi. *J. Astron. Telesc. Instrum. Syst.* 8 (2), 026007 (2022)
- [95] Single event tolerance of X-ray silicon-on-insulator pixel sensors, K. Hagino, M. Hayashida, T. Kohmura, T. Doi, S. Tsunomachi, M. Kitajima, T. G. Tsuru, H. Uchida, K. Kayama, K. Mori, A. Takeda, Y. Nishioka, M. Yukumoto, K. Mieda, S. Yonemura, T. Ishida, T. Tanaka, Y. Arai, I. Kurachi, H. Kitamura, S. Kawahito, K. Yasutomi, *J. Astron. Telesc. Instrum. Syst.* 8(4), 046001 (2022)
- [96] “Design improvement and characterization of SOI-based silicon-photomultiplier prototype”, K. Shimazoe, C. Kim, H. Takahashi, Y. Arai, *Nuclear Inst. and Methods in Physics Research*, A 1047 (2023) 167902.
- [97] An eFPGA Generation Suite with Customizable Architecture and IDE, Morihiro KUGA, Qian ZHAO, Yuya NAKAZATO, Motoki AMAGASAKI, Masahiro IIDA, *IEICE Trans*, Vol.E106-A No.3 pp.560-574, 2023/03
- [98] Tomoaki Banno, Shuhei Tsuruhara, Yu Seikoba, Ryohei Tonai, Koji Yamashita, Shinnosuke Idogawa, Yuto Kita, Ko Suzuki, Yuki Yagi, Yuki Kondo, Rika Numano, Kowa Koida, and Takeshi Kawano, Nanoneedle-Electrode Devices for In Vivo Recording of Extracellular Action Potentials, *ACS Nano* 2022 16 (7), 10692-10700. DOI! 10.1021/acsnano.2c02399
- [99] Hiroki Yasunaga, Hibiki Takeuchi, Koyo Mizuguchi, Atsushi Nishikawa, Alexander Loesing, Mikiko Ishikawa, Chikako Kamiyoshihara, Susumu Setogawa, Noriaki Ohkawa, and Hiroto Sekiguchi, MicroLED neural probe for effective in vivo optogenetic stimulation, *Opt. Express* 30, 40292-40305 (2022).
- [100] Susumu Setogawa, Ryota Kanda, Shuto Tada, Takuya Hikima, Yoshito Saitoh, Mikiko Ishikawa, Satoshi Nakada, Fumiko Seki, Keigo Hikishima, Hideyuki Matsumoto, Kenji Mizuseki, Osamu Fukayama, Makoto Osanai, Hiroto Sekiguchi, Noriaki Ohkawa, A novel micro-ECoG recording method for recording multi-sensory neural activity from the parietal to temporal cortices in mice, *bioRxiv* 2022.10.01.510247; doi! 10.1101/2022.10.01.510247.
- [101] N. Niwa, H. Amano, and M. Koibuchi, “Boosting the performance of interconnection networks by selective data compression,” *IEICE Transactions on Informa-*

- tion and Systems, vol.E105-D, no.12, 2022.
- [102] Takuya Kojima, Hayate Okuhara, Masaaki Kondo, Hideharu Amano, “A Scalable Body Bias Optimization Method Towards Low-Power CGRAs”, IEEE Micro, Vol. 43, no. 1, pp. 49-57, Jan.-Feb. 2023. DOI! 10.1109/MM.2022.3226739.
- [103] Aika Kamei, Takuya Kojima, Hideharu Amano, Daiki Yokoyama, Hisato Miyauchi, Kimiyoshi Usami, Keizo Hiraga, Kenta Suzuki, and Kazuhiro Bessho, “A Variation-Aware MTJ Store Energy Estimation Model for Edge Devices With Verify-and-Retryable Nonvolatile Flip-Flops”, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 31, no. 4, pp. 532-542, April 2023, doi! 10.1109/TVLSI.2023.3237794.
- [104] 亀井 愛佳, 天野 英晴, 小島 拓也, 横山 大輝, 宮内 陽里, 宇佐美 公良, 平賀 啓三, 鈴木 健太, 別所 和宏, “不揮発性FFを用いたCGRA設計探索のためのばらつきを考慮したMTJへの書き込みエネルギー推定モデルの提案”, 情報処理学会研究報告, Vol.2022-SLDM-198 No.26, 2022年3月.
- [105] Shoya Sonoda, Jun Shiomi, Hidetoshi Onodera, “Approximation-Based System Implementation for Real-Time Minimum Energy Point Tracking over a Wide Operating Performance Region,” IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E106.A, No.3, pp.542-550, Mar. 2023.
- [106] Dehua Liang, Jun Shiomi, Noriyuki Miura, Masanori Hashimoto, Hiromitsu Awano, “A Hardware Efficient Reservoir Computing System Using Cellular Automata and Ensemble Bloom Filter,” IEICE Transactions on Information and Systems, Vol.E105.D, No. 7, pp. 1273-1282, 2022.
- [107] Zixuan li, Sangyeop Lee, Noboru Ishihara, Hiroyuki Ito. “Low-power and high-resolution capacitance sensing using CMOS inverter-based RC oscillator by employing voltage-integration feedback”, Japanese Journal of Applied Physics, SC1060, Feb. 2023.
- [108] Arisa Kimura, Kaito Kuroki, Ryoichiro Yoshida, Kenji Hirakawa, Masayuki Iwase, Munehiro Ogasawara, Takashi Yoda, Noboru Ishihara, Hiroyuki Ito. “Simulation of a ring oscillator operation during γ -ray irradiation using the TID response model of MOSFETs and its experimental verification”, Japanese Journal of Applied Physics, Vol. 62, SC1060, Feb. 2023.
- [109] Kaito Kuroki, Arisa Kimura, Kenji Hirakawa, Masayuki Iwase, Munehiro Ogasawara, Takashi Yoda, Noboru Ishihara, Hiroyuki Ito. “Design and Fabrication Results of Z-gate Layout MOSFETs for Radiation Hardness Integrated Circuit”, Japanese Journal of Applied Physics, Vol. 62, SC1045, Jan. 2023.
- [110] K. Miyazaki, K. Komoku and N. Itoh, “920 MHz Current-Reuse Low-Power LNA Operated in Moderate Inversion Region,” IEICE Electronics Express, Vol.19, No.7, 1 - 6, April 2022.
- [111] Yusaku Shiotsu, and Satoshi Sugahara, Binarized Neural Network Accelerator Macro Using Ultralow-Voltage Retention SRAM for Energy Minimum-Point Operation, IEEE J. Explor. Solid-State Comput. Devices Circuits (JXCDC), vol. 8, 2022, pp. 134-144.

【国際会議】

- [1] K. Horii, R. Morikawa, K. Hata, K. Morokuma, Y. Wada, Y. Obiraki, Y. Mukunoki, and M. Takamiya, Sub-0.5 ns Step, 10-bit Time Domain Digital Gate Driver IC for Reducing Radiated EMI and Switching Loss of SiC MOSFETs, IEEE Energy Conversion Congress & Exposition (ECCE), Detroit, USA, pp. 1-8, Oct. 2022.
- [2] H. Zhang, H. Yamasaki, K. Hata, I. Omura, and M. Takamiya, Overcurrent Detection Method by Monitoring Gate Voltage While Periodically Repeating Discharging and Charging of Constant Gate Charge in IGBTs, IEEE Southern Power Electronics Conference (SPEC), Nadi, Fiji, pp. 1-5, Dec. 2022.
- [3] Makoto Watanabe, Kiyoshi Kotani, and Yasuhiko Jimbo, “Circuit Simulation Model of Liquid Crystal Capacitor using Reservoir Computing Approach,” PROCEEDINGS OF THE INTERNATIONAL DISPLAY WORKSHOPS, VOL.29, 2022, pp. 104-107
- [4] Satoshi Moriya, Hideaki Yamamoto, Shigeo Sato, Yasushi Yuminaka, Yoshihiko Horio, and Jordi Madrenas, Ultra-low power analog CMOS implementation of spiking neural networks for reservoir computing applications, in Proc. NOLTA2022, pp. 171-172, online, December 12-15, 2022.
- [5] Satoshi Moriya, Hideaki Yamamoto, Shigeo Sato, Yasushi Yuminaka, Yoshihiko Horio, and Jordi Madrenas, A fully analog CMOS implementation of a two-variable spiking neuron in the subthreshold region and its

- network operation, in Proc. IJCNN, #792 (7 pages), July 19-23, 2022.
- [6] 青木, 岩田, 三木, 小林, 吉河, A 13-bit Radiation-Hardened SAR-ADC with Error Correction by Adaptive Topology Transformation, pp. 9B.3-1-9B.3-8, IEEE International Reliability Physics Symposium (2023)
- [7] 杉谷, 中島, 吉田, 古田, 小林, Radiation Hardened Flip-Flops with low Area, Delay and Power Overheads in a 65 nm bulk process, pp. P54.RE-1-P54.RE-5, IEEE International Reliability Physics Symposium (2023)
- [8] 小林, 木下, 中野, 古田, 五十嵐, 熊代, 藪内, 坂本, Ultra Long-term Measurement Results of BTI-induced Aging Degradation on 7-nm Ring Oscillators, no.7A.1, IEEE International Reliability Physics Symposium (2023)
- [9] 小林, Circuit-level Insight of Soft Errors and Aging Degradations, International Integrated Reliability Workshop (2022)
- [10] 中島, 伊藤, 記伊, 榎原, 古田, 小林, Louvat, Jaquet, Montfort, Lionel, Huard, Soft-error Tolerance by Guard-Gate Structures on Flip-Flops in 22/65 nm FD-SOI Technologies, no.G2, The conference on Radiation and its Effects on Components and Systems (2022)
- [11] 古田, 小林, 水嶋, Measurement of Total Ionizing Dose Effects on SiC Trench MOSFETs by Gamma-ray and Alpha-particle Irradiation, vol.D4, The conference on Radiation and its Effects on Components and Systems (2022)
- [12] 中島, 井置, 古田, 小林, Radiation Hardened Flip-Flops Minimizing Area, Power, and Delay Overheads with 1/100 Lower Alpha-SER in a 130 nm Bulk Process, IEEE International Symposium on On-Line Testing and Robust System Design (2022)
- [13] 阿部, 小林, 越智, Nonvolatile Flip-Flops Using FiCC for IoT Processors with Intermittent Operations, International Midwest Symposium on Circuits and Systems (2022)
- [14] 阿部, 小林, 塩見, 越智, Zero-standby-power Nonvolatile Standard Cell Memory Using FiCC for IoT Processors with Intermittent Operations, pp. 641-646, Symposium on Low-Power and High-Speed Chips and Systems (COOL Chips) (2022)
- [15] Zule Xu, Naoki Ojima, Shuowei Li and Tetsuya Iizuka, "An All-Standard-Cell-Based Synthesizable SAR ADC with Nonlinearity-Compensated RDAC," IEEE International Symposium on Circuits and Systems (ISCAS), May 2022.
- [16] Zunsong Yang, Zule Xu, Masaru Osada and Tetsuya Iizuka, "A 10-GHz Inductorless Cascaded PLL with Zero-ISF Subsampling Phase Detector Achieving -63-dBc Reference Spur, 175-fs RMS Jitter and -240-dB FOMjitter," in IEEE Symposium on VLSI Technology and Circuits Digest of Technical Papers, Jun. 2022.
- [17] Nguyen Ngoc Mai-Khanh, Daisuke Yamazaki and Tetsuya Iizuka, [Invited] "140-GHz Energy-Efficient OOK Receiver using Self-Mixer-Based Power Detector in 65nm CMOS," in Proceedings of IEEE International Conference on IC Design and Technology (ICIC-DT), Sep. 2022.
- [18] Masaru Osada, Zule Xu and Tetsuya Iizuka, "An Inductorless Fractional-N PLL Using Harmonic-Mixer-Based Dual Feedback and High-OSR Delta-Sigma-Modulator with Phase-Domain Filtering," in Proceedings of IEEE European Solid-State Circuits Conference (ESSCIRC), pp. 245 - 248, Sep. 2022.
- [19] Nguyen Ngoc Mai-Khanh, Zolboo Byambadorj, Akio Higo, Koji Asami, Hiroyuki Mineo, Natsuki Shiota, Masahiro Fujita and Tetsuya Iizuka, "A Low-Cost Planar Arrow-Shaped Monopole Antenna for 5G Near-Field Measurement," in Proceedings of IEEE Conference on Antenna Measurement and Applications (CAMA), Dec. 2022.
- [20] H. Ando, "Segmenting Age Matrices to Improve Instruction Scheduling without Increasing Delay and Area," In Proceedings of the 40th IEEE International Conference on Computer Design, pp.360-363, October 2022.
- [21] K. Nishijima, T. Umeki, K. Miyaji, A 24V-to-1V On-Chip Switch Dual-Charging Path Dual-Inductor Hybrid Converter Achieving Improved Load Transient Response, International Conference on Solid State Devices and Materials (SSDM), pp. 794-795, 2022.
- [22] M. Kanai, H. Taki, K. Tanimura, K. Miyaji, A 15MHz GaN FET AZVT Buck Converter that Achieves 7.2-point Efficiency Increase at Heavy Load, IEEE Energy Conversion Congress & Exposition (ECCE),

- 0367 pp. 1-6, 2022.
- [23] A. Furue, S. Miyasaka, Y. Ohgushi, R. Yamanishi, and S. Matsumoto, "Design Consideration of 3D Power SoC Using Virtual Prototyping", International Conference on Electronics Packaging 2022, FC2-2, pp.156-157, 2022.
- [24] Mitsuru Takahashi, Kazuhito Ito, An Efficient LSI Implementation of the Summation of Products in Convolution Operation for Binarized Neural Networks, Proc. Workshop on Synthesis and System Integration of Mixed Information Technologies, pp. 96-101, 2022.
- [25] Akihisa Ishida, Hiroki Takayanagi, Isuke Okuma, Katsuyuki Morishita, Ken Saito, "Development of Quadruped Robot System Mounting Integrated Circuits of Pulse-Type Hardware Neuron Models for Gait Generation", The Twenty-Eighth International Symposium on Artificial Life and Robotics 2023 (AROB 28th 2023), pp.1226-1230, 2023.1.26
- [26] Isuke Okuma, Katsuyuki Morishita, Hiroki Takayanagi, Ken Saito, "A Study on Frequency Response Characteristics to Light Intensity of Receptor Cell Model with Integrated Circuit," The Twenty-Eighth International Symposium on Artificial Life and Robotics 2023 (AROB 28th 2023), pp.1221-1225, 2023.1.26
- [27] K. Shiba, T. Omori, K. Ueyoshi, S. Takamaeda-Yamazaki, M. Motomura, M. Hamada, and T. Kuroda, "A 96-MB 3D-Stacked SRAM Using Inductive Coupling with 0.4-V Transmitter, Termination Scheme and 12:1 SerDes in 40-nm CMOS," IEEE International Symposium on Circuits and Systems (ISCAS), May 2022.
- [28] K. Shiba, M. Okada, A. Kosuge, M. Hamada, and T. Kuroda, "Polyomino! A 3D-SRAM-Centric Architecture for Randomly Pruned Matrix Multiplication with Simple Rearrangement Algorithm and x0.37 Compression Format," IEEE International New Circuits and Systems Conference (NEWCAS), June 2022.
- [29] S. Shibata, R. Miura, Y. Sawabe, K. Shiba, A. Kosuge, M. Hamada, and T. Kuroda, "A 5-GHz 0.15-mm² Collision Avoidable RFID Employing Complementary Pass-transistor Adiabatic Logic with an Inductively Connected External Antenna (invited), IEEE 48th European Solid-State Circuits Conference (ESSCIRC 2022), Sep. 2022.
- [30] R. Sumikawa, K. Shiba, A. Kosuge, M. Hamada, and T. Kuroda, "A 1.2nJ/Classification 2.4mm² Wired-Logic Neuron Cell Array Using Logically Compressed Non-Linear Function Blocks in 0.18μm CMOS, JSAP International Conference on Solid State Devices and Materials (SSDM'22), Extended Abstracts, pp. 750-751, Sep. 2022.
- [31] X. Wang, A. Kosuge, Y. Hayashi, M. Hamada, T. Kuroda, "A 7 Gb/s Micro Rotatable Transmission Line Coupler with Deep Proximity Coupling Mode and Ground Shielding Vias, 29th IEEE International Conference on Electronics Circuits and Systems (ICECS 2022), Oct. 2022.
- [32] S. Shibata, Y. Sawabe, K. Shiba, A. Kosuge, M. Hamada, and T. Kuroda, "A Low-power RFID with 100kbps Data Rate Employing High-speed Power Clock Generator for Complementary Pass-transistor Adiabatic Logic, 29th IEEE International Conference on Electronics Circuits and Systems (ICECS 2022), Oct. 2022.
- [33] K. Shiba, M. Okada, A. Kosuge, M. Hamada, and T. Kuroda, "A 12.8-Gbps 0.5-pJ/b Encoding-less Inductive Coupling Interface Using Clocked Hysteresis Comparator for 3D-Stacked SRAM in 7-nm FinFET, IEEE Asian Solid-State Circuits Conference (A-SSCC), Nov. 2022.
- [34] R. Sumikawa, K. Shiba, A. Kosuge, M. Hamada, and T. Kuroda, "A 1.2nJ/Classification Fully Synthesized All-Digital Asynchronous Wired-Logic Processor Using Quantized Non-linear Function Blocks in 0.18μm CMOS, 28th Asia and South Pacific Design Automation Conference (ASP-DAC'23), pp.180-181, Jan. 2023.
- [35] Natsuki Ando*, Kawori Sekine, "Measurement of Current-Controlled Oscillator circuit used in ADC for Biological Sensor NEWCAS2022, Circuits and Systems for Sustainable Environment, Communication and Health, Room 308B, 21 June 2022.
- [36] Hiroshi Kobayashi*, Kawori Sekine, Kazuyuki Wada "Multi-stage method to increase the temperature coefficient in PTAT voltage generator circuit", NEWCAS2022, Circuits and Systems for Sustainable Environment, Communication and Health, Room 308B, 21 June 2022.
- [37] Haruto Unno*, Kawori Sekine, Kazuyuki Wada (Meiji

- University), Shinsuke Hara, Akifumi Kasamatsu, Satoru Tanoi(National Institute of Information and Communications Technology), Makoto Naruse(The University of Tokyo) “Tolerance in Reinforcement Learning Systems for Analogue History Storage Circuits Implemented in 180nm CMOS Process”, AVIC(Analog VLSI Circuits)2022, pp70-74, B2.3, 1 Nov 2022.
- [38] Haruto Unno*, Kawori Sekine, Kazuyuki Wada(Meiji University), Shinsuke Hara, Akifumi Kasamatsu, Satoru Tanoi(National Institute of Information and Communications Technology), Makoto Naruse(The University of Tokyo) “Increasing the Speed of Environmental Adaptation Using Nonlinear Characteristic on Analog History Storage Circuit”, AVIC(Analog VLSI Circuits)2022, pp84-87, B3.3, 1 Nov 2022.
- [39] Hiroki Iwahara*, Kawori Sekine, Kazuyuki Wada(Meiji University), Shinsuke Hara, Akifumi Kasamatsu, Satoru Tanoi(National Institute of Information and Communications Technology), Makoto Naruse(The University of Tokyo) “Tolerance Analysis of Comparator Noise for Ultrafast Photonic Reinforcement Learning”, AVIC(Analog VLSI Circuits)2022, pp79-83, B3.2, 1 Nov 2022.
- [40] Shogo Takahashi and Kazuteru Namba, A Double Node Upset tolerant SR latch using C-element, Proc. IEEE Int’l Conf. Consum. Electron. Taiwan, July 2022.
- [41] Noriyuki Miura, “[Invited] Emerging Computing Systems Utilizing Electro-Magnetic Near-Field Connectivity,” 2022 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), pp.211-213, Aug. 2022.
- [42] Noriyuki Miura, Kotaro Naruse, Jun Shiomi, Yoshihiro Midoh, Tetsuya. Hirose, Takaaki Okidono, Takuji Miki, and Makoto Nagata, “A Triturated Sensing System,” International Solid-State Circuits Conference (ISSCC) Digest of Technical Papers, pp. 216-217, Feb. 2023.
- [43] Kotaro Naruse, Takayuki Ueda, Jun Shiomi, Yoshihiro Midoh, and Noriyuki Miura, “A Self-Programming PUF Harvesting the High-Energy Plasma During Fabrication,” International Solid-State Circuits Conference (ISSCC) Digest of Technical Papers, pp. 218-219, Feb. 2023.
- [44] S. Takagi, K. Toprasertpong, E. Nako, M. Takenaka, and R. Nakane, “Hafnia-based ferroelectric devices for lower power memory and AI applications,” Electron Devices Technology and Manufacturing Conference (EDTM2023), 10C-1, Seoul, Korea, 7-10 March 2023 (invited).
- [45] S. Takagi, K. Sumita, C.-T. Chen, X. Han, K. Toprasertpong, and M. Takenaka, “Superiority of extremely-thin body GOI channels in nano-sheet MOSFETs,” 13th International Workshop on New Group IV Semiconductor Nanoelectronics, I-12, Sendai, 23-24 January 2023 (invited).
- [46] Y. Miyatake, K. Makino, J. Tominaga, N. Miyata, T. Nakano, M. Okano, K. Toprasertpong, S. Takagi, M. Takenaka, “Record-low loss non-volatile mid-infrared PCM optical phase shifter based on Ge₂Sb₂Te₃S₂,” International Electron Devices Meeting (IEDM2022), 19.1, San Francisco, 3-7 December 2022.
- [47] K. Toprasertpong, E. Nako, Z. Wang, R. Nakane, M. Takenaka, and S. Takagi, “FeFET reservoir with four-terminal operation for efficient and flexible reservoir computing hardware,” International Conference on Solid State Devices and Materials (SSDM2022), F-7-03, Makuhari Messe, Japan, 26-29 Sept. 2022.
- [48] C.-T. Chen, X. Han, K. Toprasertpong, M. Takenaka, and S. Takagi, “Mobility enhancement in extremely-thin body (110) SiGe-on-insulator pMOSFETs using starting substrates with thin SiGe layers,” International Conference on Solid State Devices and Materials (SSDM2022), G-7-02, Makuhari Messe, Japan, 26-29 Sept. 2022.
- [49] X. Han, C.-T. Chen, M. Ke, Z. Zhao, K. Toprasertpong, M. Takenaka, and S. Takagi, “Impacts of annealing temperature and atmosphere on (111) and (100) n-Ge MOS interface properties with plasma oxidation GeO_x and ALD Al₂O₃,” International Conference on Solid State Devices and Materials (SSDM2022), G-10-04, Makuhari Messe, Japan, 26-29 Sept. 2022.
- [50] H. Tang., R. Tang, J. Fujikata, M. Noguchi, S. Takahashi, K. Toprasertpong, S. Takagi, and M. Takenaka, “Crossbar wiring for III-V/Si MOS optical phase shifters with diode selectors,” European Conference on Optical Communication (ECOC2022), We4E.4, Basel, Switzerland, 18-22 September 2022.
- [51] M. Takenaka, H. Tang, K. Watanabe, T. Ochiai, T.

- Akazawa, Y. Miyatake, S. Ohno, K. Sumita, S. Monfray, F. Boeuf, R. Tang, K. Toprasertpong, and S. Takagi, "III-V/Si hybrid integration for scalable optical switching and computing," International Conference on Photonics in Switching and Computing (PSC2022), Toyama, 3-7 July 2022 (invited).
- [52] T. Akazawa, D. Wu, K. Sumita, N. Sekine, M. Okano, K. Toprasertpong, S. Takagi and M. Takenaka, "Low-capacitance ultrathin InGaAs membrane photodetector on Si slot waveguide towards receiver-less system," VLSI Symposium, T15-4, 12-17 June 2022.
- [53] E. Nako, K. Toprasertpong, R. Nakane, M. Takenaka, and S. Takagi, "Experimental demonstration of novel scheme of HZO/Si FeFET reservoir computing with parallel data processing for speech recognition," VLSI Symposium, C25-1, 12-17 June 2022.
- [54] T. Hashimoto, T. Tanzawa, Antenna/On-Chip-Rectifier Co-Design Methodology for Micro-Watt Microwave Wireless Power Transfer, 65th IEEE International Midwest Symposium on Circuits and Systems (MWS-CAS 2022).
- [55] H. Makino, T. Tanzawa, A 30% Power Reduction Circuit Design for NAND Flash by Utilizing 1.2V I/O Power Supply to Bitline Path, IEEE the 18th Asia Pacific Conference on Circuits and Systems (APCCAS), Nov. 2022.
- [56] Ai OTANI, Hiroaki OGAWA, Ken MIYAUCHI, Sangman HAN, Hideki OWADA, Isao TAKAYANAGI and Shunsuke OKURA, An Area Efficient Readout Circuit for CMOS Image Sensor with Lateral Overflow Integration Capacitor, 5th International Workshop on Image Sensors and Imaging Systems (IWISS2022), 2022/12/12
- [57] Koshiro Itsuki, Ai OTANI, Hiroaki OGAWA and Shunsuke OKURA, A Variable-Resolution SAR ADC with 10-bit Image Capturing Mode and 5-bit Feature Extraction Mode, 5th International Workshop on Image Sensors and Imaging Systems (IWISS2022), 2022/12/12
- [58] T. Sugiura and T. Yoshimasu, "25-GHz-Band High Efficiency Stacked-FET Power Amplifier IC with Adaptively Controlled Gate Capacitor in 45-nm SOI CMOS," in Proc. of Topical Conference on RF/Microwave Power Amplifiers for Radio and Wireless Applications (PAWR), Mo2D-3, Jan. 2022, pp.26-28.
- [59] M. Fang and T. Yoshimasu, "A 14-GHz-Band Harmonic Tuned Low-Power Low-Phase-Noise VCO IC with a Novel Bias Feedback Circuit in 40-nm CMOS SOI," in Proc. IEEE RF IC Symposium (RFIC), June. 2022, pp.167-170. (RMo3C-4)
- [60] T. Mori, K. Nakata and J. Ida, Evaluation of Multi-Finger PN-Body Tied SOI-FET-Origin and Suppression of Stepped Id-Vg Characteristics-, 2022 International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA), Hsinchu, Taiwan, 2022, pp. 1-2.
- [61] M. Ono, J. Ida, T. Mori and K. Ishibashi, Sharp Turn-on Diode by Steep SS "PN-Body Tied SOI FET" for Ultra-low Power RF Energy Harvesting, 2023 7th IEEE Electron Devices Technology & Manufacturing Conference (EDTM), Seoul, Korea, Republic of, 2023, pp. 1-3.
- [62] T. Takada, T. Mori and J. Ida, Variability Evaluation of MOS-gated PNP Diode for Hardware Spiking Neural Network, 2023 35th International Conference on Microelectronic Test Structure (ICMETS), Tokyo, Japan, 2023, pp. 1-4.
- [63] K. Sato, N. Sega, H. Shimada, Y. Mizugaki, Evaluation of True Random Number Sequences Generated by Utilizing Timing Jitters in Superconducting Integrated Circuits, The 35th International Symposium on Superconductivity (ISS 2022), Nagoya and on-line, December 1, 2022. ED7-4
- [64] Shinichi Nishizawa, Toru Nakura, "Density Aware Cell Library Design for Design-Technology Co-Optimization", IEEE International Symposium on Quality Electronic Design (ISQED), pp.1-1, June 2022.
- [65] Mutsumi Kimura Memdevice-based Accelerator for Beyond-Neuromorphic Systems The 11th RIEC International Symposium on Brain Functions and Brain Computer, SS5-1, Feb. 2023
- [66] Mutsumi Kimura Development of Neuromorphic Systems and Emerging Devices ! Revolutionize Artificial Intelligence with your Devices !! AM-FPD '22, pp. 74-77, July 2022
- [67] Mutsumi Kimura Machine Learning using Thin-Film Devices for Letter Recognition IDMC 2022, Apr. 2022
- [68] Mutsumi Kimura, Yoshinori Miyamae, Mitsuo Tamura, and Yasuhiko Nakashima Letter Reproduction from Incomplete Image to Complete Image by Neuromor-

- phic System using LSI Neurons and MOSFET Synapses Euro Display 2022, Sep. 2022
- [69] Puput Dani Prasetyo Adi, Yuyu Wahyu, Akio Kitagawa, Analyzes of Chirps Spread Spectrum of ES920LR LoRa 920 MHz, 2022 11th Electrical Power, Electronics, Communications, Controls and Informatics Seminar, pp.139-144, 23-25, 2022.
- [70] Kei Misumi, Naoto Usami, Akio Higo, Gwenn Ulliac, Benoit Piranda, Julien Bourgeois, and Yoshio Mita, Integration of a CMOS LSI Chiplet into Micro Flexible Devices for Remote Electrostatic Actuation, Design, Test, Integration & Packaging of MEMS / MOEMS (DTIP 2022), 11-13 July 2022, Pont-A-Mousson, France, (2022.07.12)
- [71] Kokoro Yamasaki, Hiroshi Iwata and Ken'ichi Yamaguchi! "An Implementation of Self-Testable Layout-Level Scan C-element," The 24th Workshop on Synthesis And System Integration of Mixed Information Technologies, A-9, pp.48-53, Oct. 2022.
- [72] S. Amakawa, R. Sugimoto, K. K. Tokgoz, S. Lee, and H. Ito, "Signal-flow-graph analysis of weakly nonlinear RF circuits," International Symposium on Biomedical Engineering (ISBE), P070, November 25, 2022
- [73] Reon Oshio, Takuya Sugahara, Atsushi Sawada, Mutsumi Kimura, Renyuan Zhang and Yasuhiko Nakashima! A Memcapacitive Spiking Neural Network with Circuit Nonlinearity-aware Training, IEEE Symposium on Low-Power and High-Speed Chips 2022, Apr. (2022)
- [74] Y. Nakashima! IMAX3! Amazing dataflow-centric CGRA and its applications, The 10th RIEC International Symposium on Brain Functions and Brain Computer, Feb. (2023)
- [75] Yuki Susumago, Shunsuke Arayama, Tadaaki Hoshi, Hisashi. Kino, Tetsu Tanaka, Takafumi Fukushima, "Room-Temperature Cu Direct Bonding Technology Enabling 3D Integration with Micro-LEDs", Proceedings of IEEE 72nd Electronic Components, June 2022
- [76] Kohei Nakamura, Yaogan Liang, Bang Du, Shengwei Wang, Bunta Inoue, Yuta Aruga, Hisashi Kino, Takafumi Fukushima, Koji Kiyoyama, and Tetsu Tanaka, "Design and Evaluation of Light and Dark Adaptation Functions for High QOL Artificial Vision Chip", The 2022 International Conference on Solid State Devices and Materials, September 2022
- [77] Yuta Aruga, Bang Du, Yaogan Liang, Kouhei Nakamura, Shengwei Wang, Bunta Inoue, Hisashi Kino, Takafumi Fukushima, Koji Kiyoyama, and Tetsu Tanaka, "Development of Small-Area Pixel Circuit with Light-to-Pulse Width Converter for the High-Resolution Smart Skin Display", The 2022 International Conference on Solid State Devices and Materials, September 2022
- [78] Tadaaki Hoshi, Yuki Susumago, Liu Chang Atsushi Shinoda, Hisashi Kino, Tetsu Tanaka, Takafumi Fukushima, "Fabrication and Characterization of Through-X Via (TXV) for Smart Skin Display", The 2022 International Conference on Solid State Devices and Materials, September 2022
- [79] Aoba Onishi, Ryotaro Bamba, Bungo Tanaka, Ryouhei Kishimoto, Hisashi Kino, Takafumi Fukushima, Tetsu Tanaka, "Fabrication of the 3D-stacked retinal prosthesis chip to realize high-performance retinal prosthesis", The 2022 International Conference on Solid State Devices and Materials, September 2022
- [80] Yuki Susumago, Tadaaki Hoshi, Chang Liu, Atsushi Shinoda, Hisashi Kino, Tetsu Tanaka, and Takafumi Fukushima, "Failure Analyses and Yield Enhancement of Electroplated Cu Direct Bonding for Heterogeneous 3D and Micro-LED Integration", The 2022 International Conference on Solid State Devices and Materials, September 2022
- [81] Kohei Nakamura, Yaogan Liang, Bang Du, Shengwei Wang, Bunta Inoue, Yuta Aruga, Hisashi Kino, Takafumi Fukushima, Koji Kiyoyama, and Tetsu Tanaka, "Implementation of Light and Dark Adaptation Function for High QOL 3D-Stacked Artificial Retina Chip", 2022 IEEE Biomedical Circuits and Systems Conference, October 2022
- [82] Tetsu Tanaka, "Development of 3D-Stacked Artificial Retina Chip with 3DIC/TSV and Advanced Packaging Technology", 241st ECS Meeting, June 2022
- [83] Hisashi Kino, Takafumi Fukushima, Tetsu Tanaka, "Developing a Low-Temperature Flip-Chip Bonding Technology with In/Au Microbumps to Suppress the Thermal Load on Spintronics Devices", The 2022 IEEE International Interconnect Technology Conference (IITC), June 2022
- [84] Liu Chang, Hisashi Kino, Tetsu Tanaka, and Takafumi

- Fukushima, "A Finite Element Study of Highly Flexible 3D Corrugated Interconnections for Advanced FHE with Embedded Chiplets", FLEX Conference & Exhibition, July 2022
- [85] Shimon Suzuki, Hisashi Kino, Takafumi Fukushima, Tetsu Tanaka, "Fabrication of UCNP (Upconversion Nanoparticle) Disk Device for Non-Invasive Optical Stimulation Therapy of Organ Diseases", The 2022 International Conference on Solid State Devices and Materials, September 2022
- [86] Liu Chang, Yuki Susumago, Tadaaki Hoshi, Hisashi Kino, Tetsu Tanaka, and Takafumi Fukushima, "Simulation and Experimental Study of Stretchable 3D Corrugated Interconnections for Chiplet-Embedded Flexible Hybrid Electronics Using Wafer-Level Packaging", 2022 International Conference on Solid State Devices and Materials (SSDM 2022), September 2022
- [87] Hisashi Kino, Takafumi Fukushima and Tetsu Tanaka, "Negative-Thermal-Expansion Gate Electrode to Introduce Tensile Strain into the Channel of MOSFETs for Mobility Enhancement", 7th IEEE Electron Devices Technology and Manufacturing (EDTM) Conference 2023(IEEE EDTM 2023), March 2023
- [88] Y. Hayashi and K. Niitsu, "A 22nm CMOS 1.25V 29pW 0.00013 mm² Supply Voltage Detector Using Stacked 3 Thick-Gate-Oxide PMOSs and Dynamic Leakage Suppression Buffer", International Conference on Solid State Devices and Materials (SSDM 2022), Sep. 2022.
- [89] A. Tanaka, G. Chen and K. Niitsu, "A 4.5-mW 22-nm CMOS Label-Free Frequency-Shift 3×3×2 3D Biosensor Array Using Vertically-Stacked 60-GHz LC Oscillators", IEEE International Symposium on Integrated Circuits and Systems (ISICAS 2022), October. 2022.
- [90] S. Ito, A. Tanaka, G. Chen, X. Chen and K. Niitsu, "A 0.00023 mm² 1.2V 0.48mW 18GHz Passive-Less Digital Wireless Transmitter with On-Chip Antenna in 22nm Bulk CMOS, 2022 IEEE International Midwest Symposium on Circuits and Systems, Aug. 2022.
- [91] A 13-bit Radiation-Hardened SAR-ADC with Error Correction by Adaptive Topology Transformation
- [92] Akio Shimizu, Takuro Noguchi, Yohei Ishikawa, and Sumio Fukai, "Urinary Bladder Volume Measurement System with Transimpedance Amplifier and Current-Steering DAC", 65th IEEE International Midwest Symposium on Circuits and Systems (MWSCAS), Aug. 2022.
- [93] Masataka Inoue, Shinya Nakashioya, Toshiyuki Inoue, Akira Tsuchiya, and Keiji Kishine, "A Fine-Tuning Phase Shifter with Vector Synthesizer Using 65-nm CMOS for Beamforming in 24-GHz Band, 2022 29th IEEE International Conference on Electronics Circuits and Systems (ICECS), October 2022.
- [94] R. Kashima, I. Nagaoka, T. Nakano, M. Tanaka, T. Yamashita, and A. Fujimaki, "Lowering latency in high-speed gate-level-pipelined single flux quantum datapath using interleaved register file," 2022 Applied Superconductivity Conference (ASC2022), Hawaii, USA, Oct. 2022.
- [95] M. Tanaka, Y. Kitagawa, T. Satoh, and T. Yamamoto, "Design and fabrication of extremely low-power single-flux-quantum circuits toward quantum bit control," 2022 Applied Superconductivity Conference (ASC2022), Hawaii, USA, Oct. 2022.
- [96] I. Nagaoka et al., "A 57.2GHz 11.2mW 8-bit General Purpose Superconductor Microprocessor with Dual-Clocking Scheme," IEEE Asian Solid Circuits Conference (A-SSCC 2022), Taipei, Taiwan, Nov. 2022.
- [97] M. Tanaka et al., "Demonstration of a superconductor 8-bit microprocessor based on high-throughput single-flux-quantum logic circuits," 11th East Asia Symposium on Superconductor Electronics (EASSE 2023), Okayama, Japan, Mar. 2023.
- [98] R. Shinya, S. Hara, A. Kasamatsu, Y. Umeda, and K. Takano, "Correction of Multilayer Semiconductor Process Parameters for Electromagnetic Field Analysis in the 300-GHz Band," 2022 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), pp. 121-123, Aug. 2022.
- [99] M. Nasu, S. Hara, A. Kasamatsu, Y. Umeda, and K. Takano, "Modeling of Quad-Parallel Bipolar Transistors in the 300 GHz Band," 2022 Asia-Pacific Microwave Conference (APMC), pp. 752-754, Nov. 2022.
- [100] Takuya Wadatsumi, Kohei Kawai, Rikuu Hasegawa, Kazuki Monta, Takuji Miki, Makoto Nagata, Characterization of Backside ESD Impacts on Integrated Circuits, IEEE International Reliability Physics Symposium (IRPS 2023), #P22, Mar. 2023.
- [101] Y. Itotagawa, K. Atsumi, H. Sebe, D. Kanemoto, T. Hirose, "A Programmable Differential Bandgap Refer-

- ence for Ultra-Low-Power IoT Edge Node Devices,” in Proc. International Symposium on Circuits and Systems (ISCAS) 2023, May 21 - 25, Monterey, California, USA, 2023.
- [102] N. Miura, K. Naruse, J. Shiomi, Y. Midoh, T. Hirose, T. Okidono, T. Miki, and M. Nagata, “A Triturated Sensing System,” International Solid-State Circuits Conference (ISSCC) Digest of Technical Papers, pp. 216-217, Feb. 2023.
- [103] R. Matsuzuka, S. Kanzaki, K. Matsumoto, N. Kuroki, M. Numa, D. Kanemoto, T. Hirose, “Fully Integrated Switched-Capacitor Buck Converter with Variable Ratio and Frequency Controllers for Ultra-Low Power LSI Systems,” Extended abstract of the 2022 International Conference on Solid State Devices and Materials (SSDM 2022), K-9-06, pp. 798-799, Sep. 26-29, 2022.
- [104] K. Matsumoto, R. Ikeda, H. Sebe, N. Kuroki, M. Numa, D. Kanemoto, T. Hirose, “Switched-Capacitor Voltage Boost Converter with Digital Maximum Power Point Tracking for Low-Voltage Energy Harvesting,” Extended abstract of the 2022 International Conference on Solid State Devices and Materials (SSDM 2022), K-9-07, pp. 800-801, Sep. 26-29, 2022.
- [105] H. Sebe, D. Kanemoto and T. Hirose, “Sub-50-mV Charge Pump and its Driver for Extremely Low-Voltage Thermal Energy Harvesting,” Proceedings of the 2022 IEEE International Symposium on Circuits and Systems (ISCAS 2022), pp. 2773-2777, Austin, USA, May 28- Jun 1, 2022.
- [106] Z. Li, J. Wu, X. Mei, X. Huang, T. Saraya, T. Hiramoto, T. Takahashi, M. Uenuma, Y. Uraoka, M. Kobayashi, A Vertical Channel Ferroelectric/Anti-Ferroelectric FET with hALD InOx and Field-Induced Polar-Axis Alignment for 3D High-Density Memory, 2022 IEEE Silicon Nanoelectronics Workshop, pp.9-10, 2022年6月
- [107] Xingyu Huang, Yuki Itoya, Zhuo Li, Takuya Saraya, Toshiro Hiramoto, Masaharu Kobayashi, Modeling and Simulation of Antiferroelectric FETs with Oxide Semiconductor Channel Using Half-Loop Hysteresis for Memory Applications, International Conference on Solid State Devices and Materials (SSDM), Maku-hari Messe, September 28, 2022 537-538 2022年9月28日
- [108] Junxiang Hao, Xiaoran Mei, Takuya Saraya, Toshiro Hiramoto, Masaharu Kobayashi, 3D NAND Memory Operation of Oxide-Semiconductor Channel FeFETs and the Potential Impact of In-Plane Polarization, IEEE Electron Devices Technology and Manufacturing (EDTM) 2023, Seoul, Korea 26F-1 2023年3月8日
- [109] Hirotaaka Yamada, Satoru Furue, Takehiko Yokomori, Yuki Itoya, Takuya Saraya, Toshiro Hiramoto, Masaharu Kobayashi, Energy-Efficient Annealing Process of HfO₂-Based Ferroelectric Capacitor Using UV-LED for Green Manufacturing, IEEE Electron Devices Technology and Manufacturing (EDTM) 2023, Seoul, Korea 40F-3 2023年3月9日
- [110] R. Sakamaki, R. Kishikawa, S. Kon, Y. Tojima, I. Somada, S. Matsui, G. Taoka, T. Yoshida, S. Amakawa, M. Fujishima, “Demonstration of non-invasive probing of CMOS devices with aluminum pads at frequencies up to 500 GHz,” 99th Automatic Radio Frequency Techniques Group (ARFTG) Microwave Measurement Conference, Jun. 24 2022.
- [111] Y. Sako, T. Kobayashi, S. Hara, S. Amakawa, T. Yoshida, M. Fujishima, “254-GHz-to-299-GHz down conversion mixer using 45nm SOI CMOS,” 65th IEEE International Midwest Symposium on Circuits and Systems (MWSCAS 2022), Aug. 8 2022.
- [112] S. Yabuki, S. Fujimoto, S. Amakawa, T. Yoshida and M. Fujishima, “29-to-65-GHz CMOS amplifier with tunable frequency response, 2022 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT 2022), Aug. 30, 2022.
- [113] Uta Kobayashi, Sota Mizuno, Akira Yasuda, Low power multistate ADC for ultrasonic detection and audio band signal processing by OTA sharing, International Conference on Analog VLSI Circuits (AVIC 2022), A1.2, Hiroshima, Japan, Oct. 31st - Nov. 2nd, 2022.
- [114] Konosuke Sakaki, Satoshi Saikatsu, Yoshihiko Fukawa, Akira Yasuda, Proposal for a feedback-type digital direct-drive speaker system using an error amplifier circuit, International Conference on Analog VLSI Circuits (AVIC 2022), A1.3, Hiroshima, Japan, Oct. 31st - Nov. 2nd, 2022.
- [115] Ryoma Okada, Kiyotaka Sasagawa, Maya Mizuno, Makito Haruta, Hironari Takehara, Hiroyuki Tashiro, Jun Ohta A polarization CMOS image sensor with

- on-pixel polarizer optimized for microwave electric-field imaging 5th International Workshop on Image Sensors and Imaging Systems (IWISS2022) , 2022.12.12. Sanaru Hall, Hamamatsu Campus, Shizuoka University, Japan.
- [116] Kiyotaka Sasagawa, Ryoma Okada, Maya Mizuno, Makito Haruta, Hironari Takehara, Hiroyuki Tashiro, Jun Ohta RF Electric Field Imaging Based on Electro-Optic Effect by Using a Global Shutter Polarization Camera The 2022 Asia-Pacific Microwave Conference (APMC 2022), 2022.12.1. Pacifico YOKOHAMA, Japan.
- [117] Kenji Sugie, Ryoma Okada, Yasumi Ohta, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro, Kiyotaka Sasagawa, Jun Ohta An implantable multimodal sensor for optical and electrophysiological recording of mouse brain activity IEEE Photonics Conference, 2022.11.17. HYATT REGENCY VANCOUVER, Vancouver, Canada.
- [118] Ryoma Okada, Kiyotaka Sasagawa, Maya Mizuno, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro, Jun Ohta 10-GHz Imaging by an Electro-Optic Imaging System Based on Polarization CMOS Image Sensor IEEE Photonics Conference, 2022.11.16. HYATT REGENCY VANCOUVER, Vancouver, Canada.
- [119] Ryoma OKADA, Kiyotaka SASAGAWA, Maya MIZUNO, Makito HARUTA, Hironari TAKEHARA, Hiroyuki TASHIRO, Jun OHTA Electro-optic imaging system using a CMOS image sensor with a dual-layer on-pixel polarizer International Conference on Solid State Devices and Materials(SSDM2022), 2022.9.29. Makuhari Messe, International Conference Hall, Chiba city, Japan.
- [120] Kaige Pan, Ronnakorn Siwadamrongpong, Takanori Hagiwara, Makito Haruta, Yukari Nakano, Takurou Kouno, Yasuo Terasawa, Hironari Takehara, Hiroyuki Tashiro, Kiyotaka Sasagawa, Jun Ohta Development of Thin Film Retinal Prosthesis with CMOS Smart-Electrode Array International Conference on Solid State Devices and Materials(SSDM2022), 2022.9.29. Makuhari Messe, International Conference Hall, Chiba city, Japan.
- [121] Thanaree Treepetchkul, Ronnakorn Siwadamrongpong, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro, Kiyotaka Sasagawa, Jun Ohta A Wireless CMOS Imaging Device for Mouse Under Freely Moving Conditions International Conference on Solid State Devices and Materials(SSDM2022), 2022.9.28. Makuhari Messe, International Conference Hall, Chiba city, Japan.
- [122] Yuki Nakanishi, Kiyotaka Sasagawa, Ronnakorn Siwadamrongpong, Kenzo Shodo, Yasuo Terasawa, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro, Jun Ohta Distributed CMOS chip for retinal prosthesis with high-rate stimulation International Conference on Solid State Devices and Materials(SSDM2022), 2022.9.27. Makuhari Messe, International Conference Hall, Chiba city, Japan.
- [123] Kiyotaka Sasagawa, Pakpuwadon Thanet, Mark C. Guinto, Yasumi Ohta, Makito Haruta, Hironari Takehara, Hiroyuki Tashiro, Jun Ohta Mouse Brain Imaging Using a Self-Reset CMOS Image Sensor over 70-dB SNR(invited) 65TH IEEE INTERNATIONAL MIDWEST SYMPOSIUM ON CIRCUITS AND SYSTEMS (MWSCAS 2022), 2022.8.8. Virtual.
- [124] Ronnakorn Siwadamrongpong, Nicha Sato, Kenji Sugie, Yasumi Ohta, Makito Haruta, Hironari Takehara, Hiroyuki Tashiro, Kiyotaka Sasagawa, Jun Ohta Development of Compact Readout Device for Neural Observation System Using Fluorescence Imaging and Fast-Scan Cyclic Voltammetry The 44th International Engineering in Medicine and Biology Conference(EMBC22), 2022.7.15. Scottish Event Campus (SEC), Glasgow, United Kingdom.
- [125] T. Nishiguchi, N. Kuroki, and M. Numa, On technology remapping approach using multi-gate functionality of reconfigurable cells for post-mask ECO, The 24th Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2022), pp. 115-120, Oct. 2022.
- [126] S. Moriya, H. Yamamoto, S. Sato, Y. Yuminaka, Y. Horio, J. Madrenas, A fully analog CMOS implementation of a two-variable spiking neuron in the sub-threshold region and its network operation, 2022 International Joint Conference on Neural Networks, pp.1-7, 2022
- [127] S. Moriya, H. Yamamoto, S. Sato, Y. Yuminaka, Y. Horio, J. Madrenas, Ultra-low power analog CMOS implementation of spiking neural networks for reservoir computing applications, The 2022 International

- Symposium on Nonlinear Theory and Its Applications, pp.1-2, 2022
- [128] U. Farooq, M. Mori, K. Maezawa, A Symmetric-type monostable-bistable transition logic element (SMOBILE) with frequency-based I/O isolation for THz-signal under-sampling, 14th Topical Workshop on Heterostructure Microelectronics (TWHM 2022), 2022年8月.
- [129] P-N. Anh, T. Ibrahim, K. Yasutomi, S. Kawahito, H. Nagahara, K. Kagawa Pseudo-direct ToF imaging using a multi-tap macro-pixel CMOS image sensor with oversampled reconstruction 5th International Workshop on Image Sensors and Imaging Systems (IWISS2022)
- [130] Takuya Kojima, Hayate Okuhara, Masaaki Kondo, Hideharu Amano, Body Bias Control on a CGRA based on Convex Optimization, COOLCHIPS25, Japan, April, 2022
- [131] S. Kim, and S. Sato, The Impact of Carrier Lifetime on the Electrical Characteristics of Z2-FET, IM-FEDK2022, P04, 2022 Nov.
- [132] FPL Demo! An FPGA-IP Prototype Chip for MEC devices, Morihiro Kuga, Masahiro Iida, Hideharu Amano, International Conference on Field Programmable Logic and Applications(FPL2022), Belfast, United Kingdom, 2022年9月2日
- [133] Tomochika Harada, Keito Yamaguchi, Shinya Suzuki, Kota Oikawa, An Indirect Measuring Method for the Flow-Through Current using Multi-Output MOSFET, 2022 International Conference on Solid State Device and Materials(SSDM), K-2-04, Sep.2022
- [134] Takeru Wada, Kenta Sembo, Yong-Joon Choi, Kazuhiro Takahashi, Kazuaki Sawada, Toshihiko Noda, Proposal of Novel array sensor enables simultaneous measurement of multiple electrical information of sensing membranes aiming for odor sensing based on multi-gas measurement, The 10th Asia-Pacific Conference of Transducers and Micro-Nano Technology 2022 (AP-COT2022), A0055, May 2022.
- [135] R. Honjo et al., CMOS-Based Ion Image Sensors for Eliminating Optical Contamination, 2022 IEEE Biomedical Circuits and Systems Conference (BioCAS), Taipei, Taiwan, 2022, pp. 564-568, doi! 10.1109/BioCAS54905.2022.9948545.
- [136] Ayaka Ohwada, Takuya Kojima, Hideharu Amano, “An efficient compilation of coarse-grained reconfigurable architectures utilizing pre-optimized sub-graph mappings,” PDP 2022, Jan. 2022.
- [137] Zhou Yuqing, Naoya Niwa, Hideharu Amano, “Distant-aware Compression for interconnection network of many-core systems”, COOLCHIPS25(Poster), April 2022
- [138] Souhei Takagi†, Naoya Niwa, Yusuke Yanai, Hideharu, Tag-less compression for FPGA configuration data, SASIMI 2022, Oct.2022.
- [139] J. Kadomoto, H. Irie, S. Sakai, Evaluation of Different Microarchitectures for Energy-Efficient RISC-V Cores, IEEE International Symposium on Embedded Multicore/Many-core Systems-on-Chip (MCSoc), pp. 78-84. Dec. 2022.
- [140] Jun Shiomi, Shogo Terada, Tohru Ishihara, Hidetoshi Onodera, “Zero-Aware Fine-Grained Power Gating for Standard-Cell Memories in Voltage-Scaled Circuits,” IEEE 35th International System-on-Chip Conference (SOCC), pp. 124-129, Sep. 2022.
- [141] Dehua Liang, Hiromitsu Awano, Noriyuki Miura, Jun Shiomi, “DependableHD! A Hyperdimensional Learning Framework for Edge-oriented Voltage-scaled Circuits,” 28th Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 416-422, Jan. 2023.
- [142] Zixuan Li, Sangyeop Lee, Noboru Ishihara, Hiroyuki Ito. “Low-jitter CMOS inverter-based RC oscillator with voltage-integration feedback for sensor interface”, International Conference on Solid State Devices and Materials (SSDM), K-9-05, Sept. 2022.
- [143] Arisa Kimura, Kaito Kuroki, Ryoichiro Yoshida, Kenji Hirakawa, Masayuki Iwase, Munehiro Ogasawara, Takashi Yoda, Noboru Ishihara, Hiroyuki Ito. “CMOS Inverter-Base Ring Oscillator Design and Evaluation Against gray Total Ionizing Dose Effect”, International Conference on Solid State Devices and Materials, International Conference on Solid State Devices and Materials, K-9-02, Sept. 2022.
- [144] Kaito Kuroki, Arisa Kimura, Kenji Hirakawa, Masayuki Iwase, Munehiro Ogasawara, Takashi Yoda, Noboru Ishihara, Hiroyuki Ito. “A Z-gate Layout MOSFET Design and Verification of Radiation Hardness against γ -ray Total Ionizing Dose Effect”, International Conference on Solid State Devices and Materials, International Conference on Solid State Devices and Materi-

- als, JJAP, K-2-05, Sept. 2022.
- [145] Y. Hashimoto, N. Kaneda, K. Komoku and N. Itoh, "A Study on 23.8-43 GHz CMOS Low-Power Ultra-Wideband Injection-Locked Frequency Multiplier with Transformer Input," Proceedings of 2022 Asia-Pacific Microwave Conference, TH3-F1-3, pp.372-374, Yokohama, Japan, Dec. 1, 2022.
- [146] S. Seguchi, K. Komoku and N. Itoh, "1.40/2.42/4.21-GHz Triple-Band Concurrent LNA Using Inductor Coupling," Proceedings of 2022 Asia-Pacific Microwave Conference, WE1-F1-2, pp.4-6, Yokohama, Japan, Nov. 30, 2022.
- [147] M. Miyake, K. Komoku and N. Itoh, "920-MHz Fully Integrated Low-Power LNA Under Moderate-Inversion Operation," Proceedings of 2022 Asia-Pacific Microwave Conference, WE1-F1-1, pp.1-3, Yokohama, Japan, Nov. 30, 2022.
- [148] T. Hayashi, K. Komoku and N. Itoh, "A study of K-band high-gain current-reuse two-stage LNA," 3rd TJMW Student Workshop, 3B-4, November 14, 2022, Online.
- [149] S. Seguchi, K. Komoku and N. Itoh, "Area-Saving Triple-Band Concurrent LNA with Inductor Coupling," 3rd TJMW Student Workshop, 3B-3, November 14, 2022, Online.
- [150] D. Yoshioka, K. Komoku and N. Itoh, "Study on Area Reduction of Low Gain Deviation and Low Noise Broadband Amplifier," 3rd TJMW Student Workshop, 3B-2, November 14, 2022, Online.
- [151] M. Miyake, K. Miyazaki, K. Komoku and N. Itoh, "A study on inductor-less low-noise amplifiers for 400MHz to 1200MHz bands," 3rd TJMW Student Workshop, 3B-1, November 14, 2022, Online.
- [152] N. Tamura, K. Komoku and N. Itoh, "Study on Fine Frequency Tuning DCO Controlled by 13-bit Switched Resistor," 3rd TJMW Student Workshop, 3A-5, November 14, 2022, Online.
- [153] Y. Hashimoto, K. Komoku and N. Itoh, "A Study on 24-GHz High-Power VCO Using a Transformer," 3rd TJMW Student Workshop, 3A-4, November 14, 2022, Online.
- [154] Y. Kayano, K. Komoku and N. Itoh, "A Study on Wideband LC VCO with Switched Capacitor," 3rd TJMW Student Workshop, 3A-3, November 14, 2022, Online.
- [155] N. Tamura, K. Komoku, and N. Itoh, "A 27.2-27.8 GHz Fine Frequency Tuning DCO Using 13-bit Switched Resistor," International Conference on Analog VLSI Circuits (AVIC 2022), pp. 46-49, Hiroshima, Japan, Nov. 1st, 2022.
- [156] Y. Hayashi, K. Komoku and N. Itoh, A study of K-band gain-boosted amplifier using inductor coupling, 2022 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), 2022, pp. 77-79, doi! 10.1109/RFIT54256.2022.9882429.

【国内会議，研究会等】

- [1] 成島章太,和田光司,肖鳳超,“欠陥接地構造と抵抗装荷による広帯域な吸収型マイクロストリップ線路コモンモードフィルタに関する検討,”電子情報通信学会研究技術報告, vol. 122, no. 360, CAS2022-92, pp. 145-150, (2023年1月)
- [2] 大口宏人,和田光司,“多層FSIW共振器の基本特性とその分波回路への応用に関する検討,”電子情報通信学会研究技術報告, vol. 122, no. 360, CAS2022-94, pp. 157-162, (2023年1月)
- [3] 石村康大,和田光司,川口則幸,“リング共振器とインタデジタル結合を用いた21GHz帯広帯域マイクロストリップ線路バンドパスフィルタに関する検討,”電子情報通信学会研究技術報告, vol. 122, no. 360, CAS2022-95, pp. 163-167, (2023年1月)
- [4] 佐藤雄介,和田光司,“DSPSL構造とリング共振器による広帯域通過特性を有する平衡型フィルタを用いたダイプレクサに関する一検討,”第37回エレクトロニクス実装学会春季講演大会論文集, 13P3-2, pp. ---, (2023年3月)
- [5] 和田光司,“広帯域フィルタとその分波回路への応用,”電子情報通信学会研究技術報告, vol. 122, no. 411, MW2022-178, pp. 118-123, (2023年3月3) マイクロ波研究会
- [6] 王叡智,高宮真,超低遅延画像認識に向けたデジタルIn-Imager二次元畳み込みニューラルネットワークアクセラレータ,電子情報通信学会,LSIとシステムのワークショップ,ポスターセッション 学生部門, 27, 東京, 2022年5月.
- [7] 王叡智,高宮真,“超低遅延画像認識に向けたデジタルIn-Imager二次元畳み込みニューラルネットワークアクセラレータとイメージャを集積化したIC,”電子情報通信学会,信学技報,ICD2022-21, pp. 87-92, オンライン開催, 2022年8月.

- [8] 青木ノエル, 堀井康平, 森川隆造, 畑 勝裕, 諸熊健一, 和田幸彦, 大開美子, 椋木 康滋, 高宮 真, アクティブゲート駆動によるSiC MOSFETの放射EMIとスイッチング損失の低減, 電気学会全国大会, 4-014, 名古屋, 2023年3月.
- [9] 守谷 哲, 山本英明, 弓仲康史, 佐藤茂雄, 堀尾喜彦, 「スパイクニューラルネットワークのアナログ回路実装と時系列情報処理への応用」, 電子情報通信学会技術報告, NC2022-33, p. 5, September 29, 2022.
- [10] 熊田, 西谷, 古田, 新谷, 小林, スwitching波形に基づくドレイン-ソース間容量特性の測定手法に関する検討, no.4-002, 電気学会総合大会 (2023)
- [11] 吉田, 杉谷, 中島, 古田, 小林, デバイスシミュレーションによる 耐ソフトエラーフリップフロップの耐性評価, no.C-12-3, pp. 40, 電子情報通信学会総合大会 (2023)
- [12] 杉崎, 古田, 小林, 動的ソフトエラー測定時の瞬時電流を低減する クロック伝達回路の検討, no.C-12-2, pp. 39, 電子情報通信学会総合大会 (2023)
- [13] 菊田, 岸田, 小林, 同一の回路構造のリングオシレータを用いた65nm FDSOIプロセスに発生するBTI劣化の実測評価, no.VLD2022-73, 電子情報通信学会技術報告 (VLSI設計技術) (2023)
- [14] 杉谷, 中島, 伊藤, 古田, 小林, シミュレーションを用いたFDSOIプロセスにおけるFFのトータルドーズ効果によるソフトエラー耐性への影響の評価, ICD/CAS 学生・若手研究会 (2022)
- [15] 中島, 杉谷, 伊藤, 古田, 小林, 医療用炭素線ビームを用いた地上向けソフトエラー耐性評価手法の検討, ICD/CAS 学生・若手研究会 (2022)
- [16] 伊藤, 中島, 古田, 小林, Evaluation of Soft Error Tolerance on Flip-Flops Restoring from a Single Node Upset by C-elements, no.R10, International Meeting for Future of Electron Devices, Kansai(2022)
- [17] 菊田, 小林, 岸田, 65 nm FDSOI構造における同一の回路構造のROを用いたNBTIとPBTIの実測評価, 情報処理学会研究報告 (SLDM) (2022)
- [18] 杉谷, 中島, 古田, 小林, FDSOIプロセスにおけるスタック構造を用いたフリップフロップのソフトエラー耐性の実測評価, 情報処理学会研究報告 (SLDM) (2022)
- [19] 小林, 高い信頼性を有する超集積システムにより実現される IoT 社会, no.AI-1-5, pp. SS-23, 電子情報通信学会基礎・境界ソサイエティ大会 (2022)
- [20] 阿部, 小林, 越智, FiCC型不揮発フリップフロップを用いた間欠動作可能なカウンタの実測評価, pp. 139-144, DAシンポジウム (2022)
- [21] 杉谷, 中島, 古田, 小林, 多重化によらないソフトウェア耐性向上手法の提案と65nmバルクプロセスでの実測評価, pp. 8-13, DAシンポジウム (2022)
- [22] 伊藤, 中島, 古田, 小林, C-elementにより単一ノード反転に強靱な耐ソフトエラーフリップフロップの提案, pp. 2-7, DAシンポジウム (2022)
- [23] 小林, 半導体ソフトウェア試験の現状と施設へのニーズ, J-PARC陽子ビーム照射施設計画とユーザーコミュニティ設立 (2022)
- [24] 加納 創太, 飯塚 哲也, “伝送線路によるステージ間整合を応用したSiGe 130nmプロセスによる150GHz発振器の設計,” 電子情報通信学会 LSIとシステムのワークショップ2022, 2022年5月.
- [25] 大塚 日嵩, 石田 雅裕, 名倉 徹, 肥後 昭男, 飯塚 哲也, “VLSI自動テスト装置への応用に向けた高精度ピン間スキュー検出回路の設計と評価,” 電子情報通信学会 LSIとシステムのワークショップ2022, 2022年5月.
- [26] 徐祖榮, 長田 将, 飯塚 哲也, [招待講演] “A 3.3-GHz 4.6-mW Fractional-N Type-II Hybrid Switched-Capacitor Sampling PLL Using CDAC-Embedded Digital Integral Path with -80 -dBc Reference Spur,” 電子情報通信学会 技術研究報告, 2022年8月.
- [27] 岩下僚我, 徐祖榮, 長田 将, 柴田凌弥, 熊野陽, 飯塚 哲也, “帯域内位相雑音の低減に向けた3次MASH型 $\Delta\Sigma$ FDCに基づくデジタル位相同期回路の設計,” 電子情報通信学会 技術研究報告, 2022年11月.
- [28] 堀川 貴道, 加納 創太, 飯塚 哲也, “SiGe BiCMOS 130nmプロセスを用いた300GHz帯電力増幅回路の設計,” 電子情報通信学会 総合大会, C-12-26, 2023年3月.
- [29] Haochen Yuan, Anne-Claire Eiler, Shun Yasunaga, Motohiko Ezawa, Yoshio Mita and Tetsuya Iizuka, “Measurement Investigation of Si Substrate Impact on On-Chip Resonance Circuits,” 電子情報通信学会 総合大会, C-12-25, 2023年3月.
- [30] Sheng Guo, Zolboo Byambadorj, Ryogo Koike, Koji Asami, Nguyen Ngoc Mai-Khanh, Akio Higo, Masahiro Fujita and Tetsuya Iizuka, “ミリ波アンテナ遠方界放射再構築のための近傍界シミュレーションプラットフォーム,” 電気学会 全国大会, 1-015, 2023年3

- 月.
- [31] 黒川陸, 安藤秀樹, “整数命令のレイテンシ耐性を利用したALUの消費電力削減手法,” 情報処理学会研究報告, vol.2023-ARC-251, No.7, pp.1-11, 2023年1月.
- [32] 西島和哉, 梅木亨真, 宮地幸祐, 24V-to-1V Dual-Inductor Hybrid コンバータにおける補助スイッチを用いた負荷応答性能向上の検討, 電子情報通信学会 LSIとシステムのワークショップ2022, ポスター発表学生部門02, 2021年.
- [33] 田中駿太, 市川響平, 樋口智大, 宮地幸祐, 屋内RF非接触給電受電回路内DC-DCコンバータ用スタートアップ回路の検討, 電子情報通信学会 LSIとシステムのワークショップ2022, ポスター発表学生部門03, 2021年.
- [34] 川崎淳, 志村和夫, 佐藤光秀, 水野勉, 宮地幸祐, 10~20MHz動作12V-1.5W出力鉄系メタルコンポジット磁心材料を用いた絶縁コンバータ用絶縁トランスの検討, 電子情報通信学会 LSIとシステムのワークショップ2022, ポスター発表学生部門21, 2021年.
- [35] 大串悠介, 松本聡, ゲートドライバーICの1チップ化・高機能化に向けての検討 電子情報通信学会 EE研, EE2022-22, CPM2022-77, OME2022-35, p.18-23, 2022.
- [36] 古江文乃, 宮坂晋永, 大串悠介, 山西理樹, 松本聡, 長谷川雅孝, 次世代スイッチング電源の設計方法としてのVirtual Prototypingの提案とこれを用いたスイッチング電源の小型化の検討, 電子情報通信学会 EE研, EE2022-41, p.83-88, 2023.
- [37] 楊 明宇, Tanvir Ahmed, 稲垣 沙耶, 崎山 一男, 李 陽, 原 祐子, ハードウェアソフトウェア協調設計によるIoTデバイスの電力解析攻撃対策, 第199回システムとLSIの設計技術研究発表会, 2022年11月11日
- [38] 楊 明宇, 崎山 一男, 李 陽, 原 祐子, 低電力組込みプロセッサの電力解析攻撃耐性に関する検討, LSIとシステムのワークショップ, 2022年5月17日
- [39] 大隈井輔, 高柳拓生, 加藤真也, 森下克幸, 武井裕樹, 齊藤健 “ロボットシステムの実装に向けた受容』胞モデルの集積化に対する検討” LSIとシステムのワークショップ2022 2022.5.9
- [40] 石田暁久, 伊藤楓斗, 山崎順平, 本間天悠, 森下克幸, 齊藤健 “ニューロモーフィック回路を搭載した四足歩行ロボットにおける歩容の継続性に対する検討” 令和4年度(第66回)日本大学理工学部学術講演会 2022.12.01
- [41] 大隈井輔, 高柳拓生, 関山晃生, 中山渉, 森下克幸, 齊藤健 “集積回路化した受容』胞モデルによる光量検知に関する検討” 令和4年度(第66回)日本大学理工学部学術講演会 2022.12.01
- [42] 大隈井輔, 高柳拓生, 関山晃生, 中山渉, 森下克幸, 齊藤健 “光センサを搭+した受容』胞モデルICによる光量検知に関する検討” 電子情報通信学会東京支部学生会第28回研究発表会 2023.3.4
- [43] 石田暁久, 伊藤楓斗, 山崎順平, 本間天悠, 森下克幸, 齊藤健 “集積回路化したニューロモーフィック回路の四足歩行ロボットへの搭載に対する検討” 電子情報通信学会東京支部学生会第28回研究発表会 2023.3.4
- [44] 石濱拓実, 武田健嗣, 石橋元邦, 後藤達巳, 山崎健太蓮, 栗飯原萌, 金子美泉, 内木場文男”歩行と走行の切り替えを目的とした2足歩行制御用ハードウェアニュートラルネットワークICの開発” 令和4年度(第66回)日本大学理工学部学術講演会 2022.12.1
- [45] 石濱拓実, 内木場文男”歩行切り替えを目的とした2足歩行ロボット用ハードウェアニュートラルネットワークICの開発” 令和4年度電気学会東京支部カンファレンス 学生研究発表会 2022.8.26
- [46] X. Wang, A. Kosuge, Y. Hayashi, M. Hamada, T. Kuroda, A 12.5 Gb/s 1.1 pJ/b Rotatable Transmission Line Coupler Using Deep-Proximity Coupling Mode and Ground-Shield Vias, 2022年電子情報通信学会 (IEICE) ソサイエティ大会, Sep. 2022.
- [47] 前澤, 小松, CMOSプロセスを用いたMEMS圧力センサとCV変換回路の試作と評価, 第35回回路とシステムワークショップ, 2022年8月.
- [48] 原, 小松, PVT耐性の高いコンパレータレス弛張型発振回路, 第35回回路とシステムワークショップ, 2022年8月.
- [49] 坂口, 小松, 確率的Flash ADCを用いたサブレンジングADCの設計と実装, 第35回回路とシステムワークショップ, 2022年8月.
- [50] 坂口, 小松, 入力電圧範囲を制御可能な確率的フラッシュADC, 信学技報, vol. 122, no. 393, DC2022-90, pp. 45-50, 2023年2月.
- [51] 丸山, 小松, 連続時間型2次 $\Delta\Sigma$ 変調器に適したコンパレータの検討, 2023年電子情報通信学会総合

- 大会 A-1-1, 2023年3月.
- [52] 原, 小松, 周波数同期回路を用いた環境変化にロバストな低消費電力発振回路, 2023年電子情報通信学会総合大会 C-12-23, 2023年3月.
- [53] 坂口, 小松, 確率的フラッシュ ADCのためのオフセット電圧可変なコンパレータ, 2023年電子情報通信学会総合大会 C-12-24, 2023年3月.
- [54] 前澤, 小松, MOSFETのチャネル抵抗を用いたピエゾ抵抗型MEMS圧力センサの試作と評価, 令和5年電気学会全国大会 3-153, 2023年3月.
- [55] 佐藤, 小松, 静電容量型MEMS加速度センサの自動生成, 令和5年電気学会全国大会 3-156, 2023年3月.
- [56] 池沢, 大高, 佐藤, 浜本, 高速応答機能を有するCTIA画素回路と複数回Digital CDSにより低照度感度・S/Nを向上させた高速リニアイメージセンサ, 2022映像情報メディア学会年次大会, 32B-4, 2pages, 2022年8月.
- [57] 京嶋拓人*, 関根かをり, Takuto Kyojima, Kawori Sekine, “ $\Delta\Sigma$ ADCに用いる周波数デジタル変換器の低面積化” “Smaller area of frequency-to-digital converter used in Delta-Sigma ADC”, 電気学会電子回路研究会, ECT-022-046, 29 Sep 2022
- [58] 山本遙哉*, 関根かをり, 和田和千, Haruya Yamamoto, Kawori Sekine, Kazuyuki Wada, “弱反転領域動作 MOSFETの温度特性のモデリングと低電圧カレントミラー回路における一考察” “MOSFET Modeling of Temperature Dependence in Weak Inversion Region and a Study of Low-Voltage Current Mirror”, 電気学会電子回路研究会, ECT-22-061, 9 Dec 2022.
- [59] 大塚雄太*, 和田和千, 関根かをり (明治大学), 原紳介, 笠松章史, 田野井聡 (国立研究開発法人情報通信研究機構), 成瀬誠 (東京大学), Yuta Ohtsuka, Kazuyuki Wada, Kawori Sekine (Meiji University), Shinsuke Hara, Akifumi Kasamatsu, Satoru Tanoi (National Institute of Information and Communications Technology), Makoto Naruse (The university of Tokyo), “高速同期型比較器の誤り率の推定と超高速強化学習システムに及ぼす影響” “Estimation of Error Rate of Fast Synchronous Comparator and Its Effect on Ultrafast Photonic Reinforcement Learning Systems”, 電気学会電子回路研究会, ECT-23-002, 26 Jan 2023.
- [60] 海野悠人, Barthélémy Estignard*, 和田和千, 関根かをり (明治大学), 原紳介, 笠松章史, 田野井聡 (国立研究開発法人情報通信研究機構), 成瀬誠 (東京大学), Haruto Unno, Barthélémy Estignard, Kazuyuki Wada, Kawori Sekine (Meiji University), Shinsuke Hara, Akifumi Kasamatsu, Satoru Tanoi (National Institute of Information and Communications Technology), Makoto Naruse (The university of Tokyo), “フィルタを用いた2本腕バンデッド問題の学習速度の向上についての一考察” “Acceleration of decision-making in solving the 2-armed bandit problem using filters”, 電気学会電子回路研究会, ECT-23-001, 26 Jan 2023.
- [61] 荒木貴丈, 関根かをり (明治大学), 島田義久, 大川智, 福井厚夫 (トレックス・セミコンダクター株式会社), Takaya Araki, Kawori Sekine, (Meiji University), Yoshihisa Shimada, Satoru Okawa, Atsuo Fukui (Torex Semiconductor) “サーマルレギュレーション回路におけるPTAT回路を用いたIC上の温度分布検知” “Detection of temperature distribution on ICs using PTAT circuits in thermal regulation circuits”, 電気学会電子回路研究会, ECT-23-003, 26 Jan 2023.
- [62] 高橋 尚悟, 難波 一輝, 優れたソフトウェア耐性をもつC-elementを用いたJK-FF, 信学会東京支部学生会研究発表会, 2023年 3月.
- [63] 余 若曦, 難波 一輝, 動作電圧引き下げによる低消費電力ニューラルネットワークのための6T-8TハイブリッドSRAM, 信学技報, DC2022-40, 2022年11月.
- [64] Ji Wu, Kazuteru Namba, Low power quantized neural network by reducing the operating voltage of SRAM, 信学技報, DC2022-20, 2022年 10月.
- [65] 野元昭典, 佐々木伸一, 上瀧修一郎, 高速信号線路の曲がり部の特性評価, 2022年電子情報通信学会九州支部学生会講演会, B-05, 2022年9月
- [66] 江副経介, 佐々木伸一, プリント配線板電源層における放射雑音の低減 ～格子状電源層～, 2022年度電気・情報関係九州支部連合大会, 07-1P-01, 2022年9月
- [67] 田中達也, 佐々木伸一, プリント配線板電源層における放射雑音の低減, 2022年度電気・情報関係九州支部連合大会, 07-1P-02, 2022年9月
- [68] 上瀧修一郎, 佐々木伸一, プリント配線基板電源層における放射雑音の低減 ～抵抗構造の影響～, 2022年度電気・情報関係九州支部連合大会,

- 07-1P-03, 2022年9月
- [69] 田中達也, プリント配線板電源層における放射雑音の低減 -チップ抵抗の最適値検討-, 環境電磁工学研究会, 信学技報EMCJ2022-94, 2023年3月
- [70] 上瀧修一郎, 佐々木伸一, プリント配線基板電源層からの放射雑音の低減方法の検討-付加抵抗の構造と低減効果-, 環境電磁工学研究会, 信学技報EMCJ2022-94, pp.13-pp.18, 2023年3月
- [71] 川原啓輔, 馬場俊彦, 光電気FIR等化によるSiフォトニック結晶光変調器の広帯域化, 第70回応用物理学会春季学術講演会, 16a-A409-9, 2023年3月.
- [72] 川原啓輔, 馬場俊彦, Si光変調器を用いたイメージ除去AMUXによる光領域帯域3倍拡張, 第70回応用物理学会春季学術講演会, 16a-A409-10, 2023年3月.
- [73] 川原啓輔, 馬場俊彦, Si フォトニック結晶光変調器のための縦積みオープンコレクタBiCMOSドライバ, 2023年電子情報通信学会総合大会, C-12-6, 2023年3月.
- [74] 塩谷 亮太! 自律型モビリティシステムとドメイン特化型ハードウェアやFPGA技術の未来, 電子情報通信学会 リコンフィギャラブルシステム研究会 パネル討論, 2022年9月.
- [75] 三浦, A Triturated Sensing System, ISSCC 国内報告会, 2023年3月.
- [76] 成瀬, A Self-Programming PUF Harvesting the High-Energy Plasma During Fabrication, ISSCC 国内報告会, 2023年3月.
- [77] 矢野, 野崎, 相澤, 小平, Approximate Computingにおける回路の高速化のためのネット対のマージ手法, 信学技報 (VLD2022-103), Vol.122, No.402, pp.161-166, 2023年3月.
- [78] 宮武 悠人, 牧野 孝太郎, 富永 淳二, 宮田 典幸, 中野 隆志, 岡野 誠, トープラサートポン カシディット, 高木 信一, 竹中 充, “Ge₂Sb₂Te₃S₂に基づく不揮発性相変化中赤外光位相シフトの低損失化,” 第70回応用物理学会春季学術講演会, 15p-A502-8, 上智大学四谷キャンパス, 2023年3月15日-3月18日.
- [79] 高城 和馬, 関根 尚希, 宮武 悠人, トープラサートポン カシディット, 高木 信一, 竹中 充, “強誘電体Hf_{0.5}Zr_{0.5}O₂における不揮発的位相変化の観測,” 第70回応用物理学会春季学術講演会, 15p-A502-9, 上智大学四谷キャンパス, 2023年3月15日-3月18日.
- [80] 脇田 耀介, 唐 睿, 湯 涵智, 大野 修平, 赤澤 智熙, モンフレ ステファン, ブフ フレデリック, トープラサートポン カシディット, 高木 信一, 竹中 充, “強誘電体Hf_{0.5}Zr_{0.5}O₂における不揮発的位相変化の観測,” 第70回応用物理学会春季学術講演会, 15p-A502-12, 上智大学四谷キャンパス, 2023年3月15日-3月18日.
- [81] 名幸 瑛心, トープラサートポン カシディット, 中根了昌, 竹中 充, 高木 信一, “並列処理FeFETリザバコンピューティングにおける入力データの特性を考慮した音声認識率の向上,” 第70回応用物理学会春季学術講演会, 16a-A410-2, 上智大学四谷キャンパス, 2023年3月15日-3月18日.
- [82] 赤澤 智熙, 呉 冬睿, 隅田 圭, 関根 尚希, 岡野 誠, トープラサートポン カシディット, 高木 信一, 竹中 充, “極薄InGaAsを用いた高感度・低容量Siスロットハイブリッド導波路受光器の実証,” 第83回応用物理学会秋季学術講演会, 21p-A205-13, 東北大学川内北キャンパス, 2022年9月20日-9月23日.
- [83] 牧野, 丹沢, NANDフラッシュの読み出し動作に伴うビット線パスの電力を60%削減する回路設計, 1031, LSIとシステムのワークショップ, 2022年5月.
- [84] 濃野, 丹沢, 環境温度が変動時でも常に出力電力を最大にする熱電発電用チャージポンプ回路システムの設計1030, LSIとシステムのワークショップ, 2022年5月.
- [85] 田辺, 丹沢, 熱電素子・バッテリーのハイブリッド電源用DC/DC コンバータの設計, 1021, LSIとシステムのワークショップ, 2022年5月.
- [86] 小坪, 丹沢, CMOSラッチ型チャージポンプの出力抵抗モデル, 1020, LSIとシステムのワークショップ, 2022年5月.
- [87] 金山, 丹沢, NANDフラッシュ用ブースト・コンバータの最速昇圧方式の提案, 1017, LSIとシステムのワークショップ, 2022年5月.
- [88] 橋本, 丹沢, マイクロ波無線電力伝送レクテナの入力パワー最小化設計, 1010, LSIとシステムのワークショップ, 2022年5月.
- [89] Y. Kanayama, T. Tanzawa, Dependence of Boosting time of Fast Boost Converters on Variation in Parasitic Resistance of Inductor and Switching MOSFETs, C-12-5, Sep. 2022
- [90] T. Hashimoto, T. Tanzawa, Proposal of a Design Flow for Minimum Input-Power Rectenna Having Antenna and On-Chip Rectifier, C-12-4, Sep. 2022

- [91] T. Kotsubo, T. Tanzawa, The Origin of the Output Resistance in subthreshold Operation CMOS Latch-type RF-DC Charge Pump Circuits, C-12-3, Sep. 2022
- [92] S. Tanabe, T. Tanzawa, Evaluation of DC/DC converter for hybrid power supply of thermoelectric generator and battery, C-12-2, Sep. 2022
- [93] 植村, 丹沢, LC発振器駆動チャージポンプの出力パワー最大化設計, C-12-19, 信学会総合大会, 2023/3
- [94] 濃野, 丹沢, 熱電発電用チャージポンプ電源回路の出力電力密度最大化設計, C-12-18, 信学会総合大会, 2023/3月
- [95] 山野, 丹沢, 環境発電素子でバッテリーを充電するチャージポンプの設計, C-12-17, 信学会総合大会, 2023/3月
- [96] 角, 丹沢, エネルギー・ハーベスト用小型二次電池のトリクル充放電動作の有効性評価, C-12-16, 信学会総合大会, 2023/3月
- [97] 齋藤, 丹沢, 極低電圧電源でバッテリーを充電する昇圧コンバータの設計, C-12-15, 信学会総合大会, 2023/3月
- [98] 橋本, 丹沢, 高入力感度マイクロ波無線電力伝送用CMOSオンチップ整流回路の設計, C-12-14, 信学会総合大会, 2023/3月
- [99] 牧野, 丹沢, 二電源NANDフラッシュの低電力化回路方式の設計評価, C-12-13, 信学会総合大会, 2023/3月
- [100] 稲葉, 丹沢, 電圧振幅拡大型コルピッツオシレータのゲート接地利得モデル, C-12-12, 信学会総合大会, 2023/3月
- [101] 宮崎, 丹沢, 静電振動発電用 Switched-Capacitor AC-DC変換回路の設計, C-12-11, 信学会総合大会, 2023/3月
- [102] 立田一葵, 大倉俊介, 宮内健, 韓相萬, 大和田秀樹, 高柳功 (ブリルニクスジャパン), LOFIC型CMOSイメージセンサのための低ノイズ画素回路, LSIとシステムのワークショップ2022, 2022/05/10
- [103] 立田一葵, 大倉俊介, LOFIC型CMOSイメージセンサにおけるSNR劣化の改善に関する検討, 学生, 若手研究会, 2022/03/19
- [104] 隠岐温人, 大倉俊介, 特徴量抽出可能なCMOSイメージセンサを用いた高精度認識のための画素構成に関する検討, LSIとシステムのワークショップ2022, 2022/05/10
- [105] 関岡悠羽, 大山達哉, 龍野隼人, 吉田康太, 大倉俊介, 藤野毅, CMOSイメージセンサに適した小面積HMAC-SHA256回路の検討, ハードウェアセキュリティ研究会, 2022/10/25
- [106] 森, 井田, “PN-Body Tied SOI-FET”による単一デバイスニューロン動作, 第83回応用物理学会秋季学術講演会, 2022.
- [107] 佐藤健太, 瀬賀直功, 島田 宏, 水柿義直, タイミングジッタを利用して真性乱数を生成する超伝導集積回路の評価, 電子情報通信学会技術研究報告(超伝導エレクトロニクス), SCE2022-10, 2022年11月
- [108] 佐藤健太, 瀬賀直功, 島田 宏, 水柿義直, 2つのオシレータのタイミングジッタを利用するRSFQ 真性乱数生成回路の動作実証, 2022年電子情報通信学会ソサイエティ大会, C-8-8, 2022年9月
- [109] 木村 睦, 宮戸 祐治, 新谷 道広, 藤井 茉美, 曲勇作, 河西 秀典, 松田 時宜, 神谷 利夫 酸化物半導体によるAIコンピューティングの最前線 第70回 応用物理学会春季学術講演会 シンポジウム「ディスプレイの次のキラアアプリをねえ! 酸化物半導体の最前線」, 17p-E302-6, 100000001-273, 2023年3月
- [110] 小野澤, 田中, 魏, 10進SD 数算術演算回路の研究, 電子情報通信学会 東京支部 学生会研究発表会 (第28回), 2, 2023年3月
- [111] 及川, 田中, 魏, データ通信における誤り訂正回路に関する研究, 電子情報通信学会 東京支部 学生会研究発表会 (第28回), 7, 2023年3月
- [112] 岩崎, 田中, 魏, CPUとFPGAの協調動作による画像処理に関する研究, 電子情報通信学会 東京支部 学生会研究発表会 (第28回), 9, 2023年3月
- [113] 渡辺, 田中, 魏, 剰余数系を用いた情報セキュリティの実現方法に関する研究, 電子情報通信学会 東京支部 学生会研究発表会 (第28回), 11, 2023年3月
- [114] 比嘉, 田中, 魏, Shift-and-Add法を用いた対数変換回路の高精度化, 第21回情報科学技術フォーラム FIT2022, CC-004, 2022年9月.
- [115] 辻, 鬼頭, 部分多重化によるStochastic Computingに基づく多項式演算 RSFQ 回路の精度向上, 電子情報通信学会ソサイエティ大会, 2022年9月.
- [116] 樋山倅太, 升井義博, 車載用電流センサについての検討 2022年度 (第73回) 電気・情報関連学会

- 中国支部連合大会, 2022年10月 (オンライン開催)
- [117] 中佐古祥喜, 升井義博, フィードフォワード型デルタシグマAD変換器の高性能化 2022年度 (第73回) 電気・情報関連学会中国支部連合大会, 2022年10月 (オンライン開催)
- [118] 久岡辰次郎, 執行祐弥, 升井義博, PN接合を用いたバイオリソグ用照度センサの設計 2022年度 (第73回) 電気・情報関連学会中国支部連合大会, 2022年10月 (オンライン開催)
- [119] 中山淳, 岩田大志, 山口賢一! “第二世代冗長遷移故障の誤り伝搬に着目した分類,” 電子情報通信学会 関西支部 第27回学生会研究発表講演会, C1-2, Mar. (2023).
- [120] 衛藤優, 山口賢一, 岩田大志! “非同期式回路に向けたスキャン設計の適用方法,” 電子情報通信学会 関西支部 第27回学生会研究発表講演会, C1-4, Mar. (2023).
- [121] 中山淳, 岩田大志, 山口賢一! “3拡張スキャン設計を用いた第二世代冗長遷移故障の判別,” 2023年電子情報通信学会 総合大会 ISS特別企画「ジュニア&学生ポスターセッション」, ISS-SP-041, p.145, Mar. (2023).
- [122] 衛藤優, 山口賢一, 岩田大志! “非同期式回路におけるスキャン設計のフローの確立,” 2023年電子情報通信学会 総合大会 ISS特別企画「ジュニア&学生ポスターセッション」, ISS-SP-042, p.146, Mar. (2023).
- [123] 山田裕隆, 岩田大志, 山口賢一! “2入力2出力排他制御素子に対するスキャン機能の付与,” 第21回情報科学技術フォーラム講演論文集, No.1, CC-005, pp.83-86, Sep. (2022).
- [124] 渡邊未来, 山口賢一, 岩田大志! “メルセンヌ・ツイスタのための最小テスト系列組込み法,” 第21回情報科学技術フォーラム講演論文集, No.1, CC-006, pp.87-90, Sep. (2022).
- [125] 上村莉久, 天川修平, 「伝送線路を構成する導体のモデルパラメータ抽出」, 電子情報通信学会 ICD/CAS 学生・若手研究会, 発表番号 42, December 17, 2022.
- [126] 井上文太, 梁耀滄, 杜邦, 中村皓平, 王勝璋, 有賀優太, 木野久志, 福島誉史, 清山浩司, 田中徹, “矩形波電流を用いた生体生理型インピーダンスセンサの開発”, 生体医工学シンポジウム 2022, 9月 2022
- [127] 煤孫祐樹, 星匡朗, 劉暢, 篠田敦志, 木野久志, 田中徹, 福島誉史, “Smart Skin Display用マイクロLEDのCuめっき直接接合技術! 不良解析と歩留り強化”, 第83回応用物理学会秋季学術講演会, 9月 2022
- [128] 星匡朗, 煤孫祐樹, 劉暢, 篠田敦志, 木野久志, 田中徹, 福島誉史, “ハイドロゲルを用いたフォトバイオモジュレーション創傷治癒FHEの作製”, 第83回応用物理学会秋季学術講演会, 9月 2022
- [129] 大西青葉, 番場峻太郎, 田中文悟, 岸本凌平, 木野久志, 福島誉史, 田中徹, “人工網膜の高性能化に向けた三次元積層人工網膜チップの作製”, 第83回応用物理学会秋季学術講演会, 9月 2022
- [130] 中村皓平, 梁耀滄, 杜邦, 王勝璋, 有賀優太, 井上文太, 木野久志, 福島誉史, 清山浩司, 田中徹, “高QOL人工網膜チップのための明暗順応機能の設計と評価”, 第83回応用物理学会秋季学術講演会, 9月 2022
- [131] 井上文太, 梁耀滄, 杜邦, 中村皓平, 王勝璋, 有賀優太, 木野久志, 福島誉史, 清山浩司, 田中徹, “経爪型集積化光電容積脈波計測システムにおけるスイッチドキャパシタ CDS型バックグラウンドノイズキャンセル回路”, 第83回応用物理学会秋季学術講演会, 9月 2022
- [132] 有賀優太, 杜邦, 梁耀滄, 中村皓平, 王勝璋, 井上文太, 木野久志, 福島誉史, 清山浩司, 田中徹, “高精細スマートスキディスプレイ用微小ピクセル回路の開発”, 第83回応用物理学会秋季学術講演会, 9月 2022
- [133] 煤孫祐樹, 星匡朗, 劉暢, 申家屹, 篠田敦志, 木野久志, 田中徹, 福島誉史, “Smart Skin Displayの要素技術研究I Cuめっき直接接合を用いたマイクロLEDと3D-ICの常温積層”, 第70回応用物理学会春季学術講演会, 3月 2023
- [134] 篠田敦志, 煤孫祐樹, 劉暢, 星匡朗, 申家屹, 木野久志, 田中徹, 福島誉史, “Smart Skin Displayの要素技術研究III 銅ピラーのアセンブリによるTXV形成とフレキシブル配線の細線化”, 第70回応用物理学会春季学術講演会, 3月 2023
- [135] 有賀優太, 中村皓平, 梁耀滄, 杜邦, 王勝璋, 井上文太, 木野久志, 福島誉史, 清山浩司, 田中徹, “指先の血液量変化を利用する安定・快適に装着可能な経爪型PPGコントローラの開発”, 第70回応用物理学会春季学術講演会, 3月 2023
- [136] 大西青葉, 番場峻太郎, 岸本凌平, 木野久

- 志, 福島 誉史, 田中 徹, “人の視覚情報処理機能を有する三次元積層人工網膜チップの作製と評価”, 第70回応用物理学会春季学術講演会, 3月2023
- [137] 井上 文太, 梁 耀滄, 杜 邦, 中村 皓平, 王 勝璋, 有賀 優太, 木野 久志, 福島 誉史, 清山 浩司, 田中 徹, “経爪型集積化光電容積脈波計測システム向け ノイズキャンセル機能を有するI/V変換回路のノイズ検討”, 第70回応用物理学会春季学術講演会, 3月2023
- [138] 鈴木志門, 木野 久志, 福島 誉史, 田中 徹, “臓器治療用UCNPディスクデバイスのためのUC発光強度特性評価”, 第83回応用物理学会秋季学術講演会, 9月2022
- [139] Cho Ryu, Yuki Susumago, Tadaaki Hoshi, Hisashi Kino, Tetsu Tanaka, Takafumi Fukushima, “Integration Technology for Smart Skin Display II! Bendability Enhancement of Multi-level Metallization on a PDMS Elastomer”, 第70回応用物理学会春季学術講演会, March 2023
- [140] 岩沼尚樹, 鈴木志門, 木野 久志, 福島 誉史, 田中 徹, “骨髄用シリコン神経プローブの作製と評価”, 2023年第70回応用物理学会春季学術講演会シンポジウム, 3月2023
- [141] Time-to-Digital Conversionに好適な多重結合リング発振器を利用したPLLの提案
- [142] 佐々木優希, 麻生大聖, 野口卓朗, 清水暁生, 石川洋平, 深井澄夫, “微小位相差計測回路におけるトランスコンダクタンスの検討”, 2022年度電子情報通信学会九州支部学生会講演会・講演論文集, C-11, Sep. 2022.
- [143] 駒林, 多羅尾, 吉村 回路シミュレーションによるPLL相互干渉モデルの妥当性検証 電子情報通信学会総合大会, C-12-4, 2022年3月.
- [144] 信貴, 吉村 電磁カップリングによるインジェクションロックPLLの検討 電子情報通信学会総合大会, C-12-5, 2022年3月.
- [145] 石井 颯, 川原啓輔, 榎田洋太郎, 高野恭弥, “光送信機用 DAC 帯域 3 通倍回路におけるバンド間レベル差の理論式の評価”, 電子情報通信学会回路とシステム研究会, 2022年11月.
- [146] 那須南美, 原 紳介, 笠松章史, 榎田洋太郎, 高野恭弥, “300GHz帯4並列バイポーラトランジスタのマクロモデルの作成と検証”, 電子情報通信学会マイクロ波研究会, 2022年9月.
- [147] 松崎豊, 榎田洋太郎, 高野恭弥, “グラウンドシールド付き150 GHz帯CMOSマーチャントバランにおける位相差の改善,” 電子情報通信学会総合大会, 2023年3月.
- [148] 菅野素裕, 榎田洋太郎, 高野恭弥, “300 GHz帯無線通信機のためのクロスカップルキャパシタを用いた小面積125GHz CMOS移相器,” 電子情報通信学会総合大会, 2023年3月.
- [149] 八木隼人, 榎田洋太郎, 高野恭弥, “イメージ負荷最適化による300 GHz帯CMOSアップコンバージョンミキサの高出力化,” 電子情報通信学会総合大会, 2023年3月.
- [150] 別府隼, 榎田洋太郎, 高野恭弥, “30 GHz帯域幅を有する125 GHz CMOS電力増幅器,” 電子情報通信学会総合大会, 2023年3月.
- [151] 弘原海拓也, 河合航平, 長谷川陸宇, 村松菊男, 長谷川弘, 澤田卓也, 福島崇仁, 金銅恒, 三木拓司, 永田真, フリップチップパッケージングにおける裏面電圧擾乱印加とICチップ応答の評価, 電子情報通信学会技術報告, vol. 122, no. 149, ICD2022-8, pp. 27-30, 2022.8.8.
- [152] 高橋亮蔵, 三木拓司, 永田真, 大規模量子ビットアレイの高精度制御に向けた極低温DA変換器の設計, 電子情報通信学会技術報告, vol. 122, no. 149, ICD2022-10, pp. 37-40, 2022.8.8.
- [153] 弘原海拓也, 河合航平, 長谷川陸宇, 村松菊男, 長谷川弘, 澤田卓也, 福島崇仁, 金銅恒, 三木拓司, 永田真, フリップチップパッケージングにおける裏面電圧擾乱印加によるオンチップ電圧変動の評価, 2022年電子情報通信学会ソサイエティ大会, C-12-6, pp. 27, 2022.9.8.
- [154] 長谷川陸宇, 弘原海拓也, 門田和樹, 三木拓司, 永田 真, 暗号ICチップの電源電流シミュレーションとサイドチャネル漏洩評価, 電子情報通信学会技術報告, vol. 122, no. 227, HWS2022-32, pp. 12-16, 2022.10.25.
- [155] 松丸琢弥, 門田和樹, 沖殿貴明, 三木拓司, 永田真, 暗号モジュール搭載チップのシステムレベルセキュリティ評価, 電子情報通信学会技術報告, vol. 122, no. 284, ICD2022-49, pp. 78-81, 2022.11.29.
- [156] 眞柴将, 門田和樹, 沖殿貴明, 三木拓司, 永田真, セキュア半導体システムにおける電源結合網の評価, 電子情報通信学会技術報告, vol. 122, no. 284, ICD2022-50, pp. 82-86, 2022.11.29.
- [157] 松丸琢弥, 門田和樹, 沖殿貴明, 三木拓司, 永田

- 真, 暗号マルチチップモジュールのサイドチャネル漏洩評価, 電子情報通信学会技術報告, vol. 122, no. 403, HWS2022-93, pp. 273-278, 2023.3.4.
- [158] 松丸琢弥, 門田和樹, 沖殿貴朗, 三木拓司, 永田真, 暗号マルチチップモジュールのサイドチャネル漏洩評価, 2023年電子情報通信学会総合大会, A-19-1, pp. 147, 2022.3.10.
- [159] 眞柴将, 門田和樹, 沖殿貴朗, 三木拓司, 永田真, セキュリティ半導体システムにおける電源結合網の評価, 2023年電子情報通信学会総合大会, A-19-2, pp. 148, 2022.3.10.
- [160] 高橋亮蔵, 三木拓司, 永田真, 高速非同期逐次比較型AD変換器におけるサイドチャネル漏洩特性の評価, 2023年電子情報通信学会総合大会, A-19-3, pp. 149, 2022.3.10.
- [161] 瀬部 光, 兼本大輔, 廣瀬哲也, “極低電圧熱エネルギーハーベスティングに向けた50mV以下の低電圧で動作する昇圧コンバータ,” 電子情報通信学会 集積回路研究専門委員会 集積回路研究会, pp. 21-26, (札幌), 2022年8月8日.
- [162] 谷上輝来, 瀬部 光, 兼本大輔, 廣瀬哲也, “振動エネルギーハーベスティングに向けたバイアスフリップ整流回路の設計,” LSIとシステムのワークショップ2022, PS-16, 2022年5月9日.
- [163] 糸田川佳克, 渥美光真, 瀬部 光, 兼本大輔, 廣瀬哲也, “サブスレッショルド領域動作MOSFETを利用した極低消費電力温度センサ回路に関する研究,” LSIとシステムのワークショップ2022, PS-17, 2022年5月9日.
- [164] 水田拓海, 池田隆希, 瀬部 光, 兼本大輔, 廣瀬哲也, “低電圧CMOS発振回路のデジタル制御技術の検討,” LSIとシステムのワークショップ2022, PS-23, 2022年5月9日.
- [165] Zhuo Li, Jixuan Wu, Xiaoran Mei, Xingyu Huang, Takuya Saraya, Toshiro Hiramoto, Takanori Takahashi, Mutsunori Uenuma, Yukiharu Uraoka, Masaharu Kobayashi, A Vertical Channel Ferroelectric/Anti-Ferroelectric FET with ALD InOx, 2022年第83回応用物理学会秋季学術講演会 22p-A307-1 2022年9月22日
- [166] 李 卓, 武 继璇, 梅 潇然, 黄 星宇, 更屋 拓哉, 平本 敏郎, 高橋 崇典, 上沼 睦典, 浦岡 行治, 小林 正治, 「Field-Induced Polar-Axis Alignment for 3D High-Density Memory」, 2022年第83回応用物理学会秋季学術講演会 東北大学 22p-A307-2 2022年9月22日
- [167] 藤原 弘和, 糸矢 祐喜, 小林 正治, Bareille Cédric, 辛 埴, 谷内 敏之, 「HfO₂系強誘電体キャパシタにおける絶縁破壊過程の非破壊観察! オペランドレーザー励起光電子顕微鏡」, 2022年第83回応用物理学会秋季学術講演会 東北大学 22p-A307-15 2022年9月22日
- [168] 藤原弘和, 糸矢祐喜, 小林正治, Bareille Cédric, 辛埴, 谷内敏之, 「強誘電特性評価可能なオペランドレーザー励起光電子顕微鏡の開発」, 2022年第70回応用物理学会春季学術講演会, 上智大学 15p-A404-6 2023年3月15日
- [169] 糸矢祐喜, 藤原弘和, Bareille Cédric, 辛埴, 谷内敏之, 小林正治, 「レーザー励起光電子顕微鏡を用いたHfO₂系強誘電体キャパシタの絶縁破壊に関する評価」, 2022年第70回応用物理学会春季学術講演会, 上智大学 15p-A404-7 2023年3月15日
- [170] Junxiang Hao, Xiaoran Mei, Takuya Saraya, Toshiro Hiramoto, Masaharu Kobayashi, 3D NAND Memory Operation of Oxide-Semiconductor Channel FeFETs, 2022年第70回応用物理学会春季学術講演会, 上智大学 16p-A403-6 2023年3月16日
- [171] 山田裕貴, 古江悟, 横森岳彦, 糸矢祐喜, 更屋拓哉, 平本俊郎, 小林正治, 「UV-LEDを用いたHfO₂系強誘電体キャパシタのアニールプロセス省電力化に関する研究」, 2022年第70回応用物理学会春季学術講演会, 上智大学 16p-A403-7 2023年3月16日
- [172] 金在顕, 更屋拓哉, 平本俊郎, 小林正治, 「強誘電体トンネル接合の電荷トラップ影響シミュレーション」, 2022年第70回応用物理学会春季学術講演会, 上智大学 16p-A403-9 2023年3月16日
- [173] 西尾和俊, ニコデムスレディアン, 適応バイアス電流を用いた Low Drop-out レギュレータの過渡応答の改善, 電気学会東京支部埼玉支所研究発表会 2023年3月
- [174] 山根勝成, ニコデムスレディアン, 高周波用アナログスイッチの特性に対するレイアウトの影響に関する研究, 電気学会東京支部埼玉支所研究発表会 2023年3月
- [175] 佐野響紀, 山根勝成, ニコデムスレディアン, TSPC-Dフリップフロップを用いた高分解能位相比較器に関する研究, 電気学会電子回路研究会 2022年9月
- [176] 坂本昂, 今井雅, 低電圧環境における同期式回路

- と非同期式回路の比較, DAシンポジウム2022, pp.126-131, Sep., 2022
- [177] 今井雅, 吉瀬謙二, 米田友洋, FPGA-SoMを用いたASIC試作チップ評価システムの構築, 電子情報通信学会技術研究報告 VLD2022-19, pp.1-6, Nov., 2022
- [178] 坂本昂, 今井雅, 低電圧環境に適した回路設計方式の比較, 情報処理学会東北支部研究報告, Vol.2022-7, No.4-6, Feb., 2023
- [179] 今井雅, 非同期式回路を用いた電源喪失対応VLSIシステムの実現, 電子情報通信学会技術研究報告 VLD2022-86, HWS2022-57, pp.79-84, Mar., 2023
- [180] 伊藤, 西口, 福原, “ニューロンCMOSインバータを用いたFGC付き4入力可変論理回路のチップ試作とその評価”, デザインガイア2022-VLSI設計の新しい大地, 電子情報通信学会, 集積回路研究専門委員会 (ICD), 2022年11月
- [181] 澤田, 西口, 伊藤, 福原, “チャージシェア型SRAMを用いたハミング距離検索機能付きCAMの回路構成と消費電力の一検討”, 電子情報通信学会総合大会, ISS-A-029, 2023年3月
- [182] 穴戸, 野村, 立野, 田向, 森江, “海馬機能を模倣した デジタル・アナログ併用脳型メモリ回路コア”, LSIとシステムのワークショップ2023, 2023年5月
- [183] 浅野 祐太, 天川修平, 吉田毅, 藤島実, “ミリ波帯CMOS集積回路のための高い特性インピーダンスをもつ伝送線路”, LSIとシステムのワークショップ2022, May 9 2022.
- [184] 田岡 楽登, 吉田毅, 天川修平, 藤島実, “集積回路レイアウトの分割による電磁界解析のディエンベッドによる精度向上” LSIとシステムのワークショップ2022, May 9 2022.
- [185] 池田 和瞭, 吉田毅, 天川修平, 藤島実, “二重共振回路を用いたF級および逆F級発振器の設計法” LSIとシステムのワークショップ2022, May 9 2022.
- [186] 浅野祐太, 天川修平, 吉田毅, 藤島実, “Fパラメータを用いた伝送線路の折れ曲がりパーツの設計,” 2022年電子情報通信学会ソサイエティ大会, Sep. 8 2022.
- [187] 田岡楽登, 吉田毅, 天川修平, 藤島実, “不連続部を有する構造の回路シミュレーションの提案,” 2022年電子情報通信学会ソサイエティ大会, Sep. 8 2022.
- [188] 佐古裕太, 小林知広, 原紳介, 吉田毅, 天川修平, 藤島実, “45nm SOI COMSプロセスを用いた254GHz-299GHz ダウンコンバージョンミキサ,” 2022年電子情報通信学会ソサイエティ大会, Sep. 8 2022.
- [189] 矢吹俊介, 藤本慎一郎, 吉田毅, 天川修平, 藤島実, “可変周波数特性を有する29-65GHzCMOS増幅器,” 2022年電子情報通信学会ソサイエティ大会, Sep. 8 2022.
- [190] 寧 飛越, 安田 彰, 元角侑己, 大景脩志, スイッチングロス削減に向けたセグメントパルスシェーピング型 デジタル直接駆動スピーカシステム, 電気学会電子回路研究会, ECT-023-004, 2023年1月26日, 長崎歴史文化博物館
- [191] 石川愛章, 安田 彰, マルチコイルモータにおける駆動パターン全探索のためのパターン動的生成手法, 電気学会電子回路研究会, ECT-022-060, 2023年12月9日, web開催.
- [192] 小関 将, 安田 彰, 多相マルチコイルモータの9相制御, 電気学会電子回路研究会, ECT-022-079, 2023年12月9日, web開催.
- [193] 竹内遥輝・小林海太・吉村浩司・山下喜市・杉本泰博・安田 彰, 相補型スプリットリング共振器(CSRR)を用いた非侵襲血糖値センサ, 電子情報通信学会ソサイエティ大会, C-2-37, 2022年9月6日, オンライン
- [194] 佐野 珠世, 太田 安美, 河原 麻実子, 須永 圭紀, 竹原 浩成, 春田 牧人, 田代 洋行, 笹川 清隆, 太田 淳 脳内埋植超小型イメージングデバイスを用いたマウス腹側被蓋野における自由行動下神経活動の蛍光イメージング 第70回応用物理学会春季学術講演会, 2023.3.18. 上智大学, 四谷キャンパス.
- [195] 吉田 成寿, 萩原 隆仁, 潘 愷鵠, 須永 圭紀, 春田 牧人, 高野 拓郎, 中野 由香梨, 寺澤 靖雄, 田代 洋行, 竹原 浩成, 笹川 清隆, 太田 淳 フレキシブル人工視覚CMOSスマート電極デバイスの多電極化に向けた実装プロセス開発 第70回応用物理学会春季学術講演会, 2023.3.18. 上智大学, 四谷キャンパス.
- [196] Siwadamrongpong Ronnakorn Siwadamrongpong, Sato Nicha, 春田 牧人, 竹原 浩成, 田代 洋行, 笹川 清隆, 太田 淳 Miniaturized Multi-functional Sensing System with Implantable CMOS Imager and Fast-scan Cyclic Voltammetry 令和5年電気学会全国大会, 2023.3.16. 名古屋大学, 東山キャンパス.

- [197] 潘 愷鵬, 萩原 隆仁, Ouyang Xinyuan, 高野 拓郎, 中野 由香梨, 寺澤 靖雄, 竹原 浩成, 春田 牧人, 田代 洋行, 笹川 清隆, 太田 淳 CMOSスマート電極搭載フレキシブル人工視覚デバイスの防水性能向上を目指した作製プロセスの開発 令和5年電気学会全国大会, 2023.3.15. 名古屋大学, 東山キャンパス.
- [198] 鎧 圭吾, 杉江 謙治, 春田 牧人, 竹原 浩成, 田代 洋行, 笹川 清隆, 太田 淳 生体埋植イメージセンサ空間分解能向上にむけた角度選択画素構造の検討 令和5年電気学会全国大会, 2023.3.15. 名古屋大学, 東山キャンパス.
- [199] 岡田 竜馬, 笹川 清隆, 水野 麻耶, 春田 牧人, 竹原 浩成, 田代 洋行, 太田 淳 高感度偏光イメージングシステムを用いたミリ波電界イメージング 2023年電子情報通信学会総合大会, 2023.3.7. 芝浦工業大学 大宮キャンパス.
- [200] 中西 優輝, Ronnakorn Siwadamrongpong, Ronnakorn Siwadamrongpong, 鐘堂 健三, 寺澤 靖雄, 春田 牧人, 竹原 浩成, 田代 洋行, 笹川 清隆, 太田 淳 多点刺激に向けた人工視覚チップ並列駆動の検証 2023年電子情報通信学会総合大会, 2023.3.7. 芝浦工業大学 大宮キャンパス.
- [201] 笹川 清隆, 岡田 竜馬, 水野 麻弥, 春田 牧人, 竹原 浩成, 田代 洋行, 太田 淳 偏光イメージセンサとその特殊撮像応用 (invited) 第43回年次大会, 2023.1.18. ウィンクあいち, 名古屋市.
- [202] 春田 牧人, Mark Christian Guinto, 太田 安美, 河原 麻実子, 竹原 浩成, 田代 洋行, 笹川 清隆, 太田 淳 脳表観察用ヘッドマウント蛍光イメージングデバイスの開発 第96回日本薬理学会年会, 2022.12.1. パシフィコ横浜.
- [203] 潘 愷鵬, 萩原 隆仁, Ronnakorn Siwadamrongpong, 春田 牧人, 中野 由香梨, 高野 拓郎, 寺澤 靖雄, 竹原 浩成, 田代 洋行, 笹川 清隆, 太田 淳 CMOS スマート電極アレイを搭載した薄膜・セラミック複合人工視覚デバイスの開発 第39回「センサ・マイクロマシンと応用システム」シンポジウム, 2022.11.16. アスティとくしま.
- [204] Treepetchkul Thanaree, Ronnakorn Siwadamrongpong, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro, Kiyotaka Sasagawa, Jun Ohta A wireless CMOS imaging device utilized Bluetooth-low energy for freely moving animals 第39回「センサ・マイクロマシンと応用システム」シンポジウム, 2022.11.16. アスティとくしま.
- [205] 岡田 竜馬 高周波電界撮像に向けた高感度偏光 CMOS イメージセンサ d.lab-VDEC デザイナーズフォーラム, 2022.9.30. 秋田芸術村ゆぼぼ温泉.
- [206] 中西 優輝 多点高頻度刺激に向けた人工視覚用 CMOS チップの設計 d.lab-VDEC デザイナーズフォーラム, 2022.9.30. 秋田芸術村ゆぼぼ温泉.
- [207] 萩原 隆仁, 潘 愷鵬, 春田 牧人, 高野 拓郎, 中野 由香梨, 寺澤 靖雄, 竹原 浩成, 田代 洋行, 笹川 清隆, 太田 淳 人工視覚用 CMOS スマート電極搭載フレキシブルアレイデバイスの in vivo 機能検証 第83回応用物理学会 秋季学術講演会, 2022.9.23. 東北大学 川内北キャンパス.
- [208] 藤田 敦士, Castillo Virgil Christian, Rebusi Romeo Brioso, 太田 安美, 河原 麻実子, 竹原 浩成, 春田 牧人, 田代 洋行, 笹川 清隆, 太田 淳 腹側被蓋野内の 2 領域の神経活動の蛍光イメージングの同時計測 第83回応用物理学会 秋季学術講演会, 2022.9.23. 東北大学 川内北キャンパス.
- [209] 春田 牧人, Guinto Mark, 太田 安美, 河原 麻実子, 竹原 浩成, 田代 洋行, 笹川 清隆, 太田 淳 脳表血流・蛍光観察用ヘッドマウント CMOS イメージングデバイス 第83回応用物理学会 秋季学術講演会, 2022.9.20. 東北大学 川内北キャンパス.
- [210] 中西 優輝, Ronnakorn Siwadamrongpong, 鐘堂 健三, 寺澤 靖雄, 春田 牧人, 竹原 浩成, 田代 洋行, 笹川 清隆, 太田 淳 多点高頻度刺激に向けた人工視覚デバイス制御チップの動作実証 2022年電子情報通信学会ソサイエティ大会, 2022.9.8. オンライン.
- [211] 岡田 竜馬, 笹川 清隆, 水野 麻弥, 春田 牧人, 竹原 浩成, 田代 洋行, 太田 淳 2層オンピクセル偏光子搭載 CMOS イメージセンサを用いた高感度電界イメージング 映像情報メディア学会2022年年次大会, 2022.8.26. オンライン.
- [212] Makito Haruta, Mark Christian Guinto, Kazuki Kurasawa, Yasumi Ohta, Mamiko Kawahara, Hironari Takehara, Hiroyuki Tashiro, Kiyotaka Sasagawa, Jun Ohta 長期計測可能な脳血流・神経活動計測用イメージングデバイスの開発 NEURO2022, 2022.7.2. 沖縄コンベンションセンター+オンライン.
- [213] Joshua Philippe Olorocisimo, Yasumi Ohta, Paul Rosener Regonia, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro, Kiyotaka Sasagawa, Junichiro Yoshimoto, Kazushi Ikeda, Jun Ohta Neuroimaging

- and modulation of the septo-hippocampal circuit using novel brain-implantable CMOS image sensors and micro-LEDs during seizure and epilepsy NEURO2022, 2022.7.2. 沖縄コンベンションセンター+オンライン.
- [214] Latiful Akbar, Yasumi Ohta, Mamiko Kawahara, Makito Haruta, Hironari Takehara, Hiroyuki Tashiro, Kiyotaka Sasagawa, Jun Ohta CMOS Implantable Imaging Device and Microdialysis System for Observing Serotonergic Neurons During Nociception in Freely Moving Mice NEURO2022, 2022.7.2. 沖縄コンベンションセンター+オンライン.
- [215] Mark Christian Guinto, Yasumi Ohta, Mamiko Kawahara, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro, Kiyotaka Sasagawa, Jun Ohta Simultaneous imaging of hippocampal subfields in freely moving GCaMP transgenic mice using a novel implantable micro-imager NEURO2022, 2022.7.2. 沖縄コンベンションセンター+オンライン.
- [216] 中西 優輝, Siwadamrongpong Ronnakorn, 鐘堂 健三, 寺澤 靖雄, 竹原 浩成, 春田 牧人, 田代 洋行, 笹川 清隆, 太田 淳 多点刺激に向けた人工視覚用CMOSチップ制御回路の設計 LSIとシステムのワークショップ2022, 2022.5.9. オンライン.
- [217] 高橋康宏, 伊藤大輔, 中村 誠, 土谷亮, 井上敏之, 岸根桂路, “局部帰還を有する多段RGC-TIA回路の一設計,” 2022年電子情報通信学会総合大会講演論文集 (基礎・境界/NOLTA講演論文集), vol.2022, no.1, p. 4 (A-1-4), March 2022.
- [218] 高橋康宏, 伊藤大輔, 中村 誠, 土谷亮, 井上敏之, 岸根桂路, “65-nm CMOSプロセスを用いた局部帰還構成RGC-TIA,” 2022年電気学会電子回路研究会, vol. ECT-22, pp. 51-55 (ECT-22-032), June 2022.
- [219] 柏森 風介, 佐々木 敬泰! マルチコアプロセッサ自動設計ツール FabScalar-RISCvに対応した同期機構の実装と評価, 情報処理学会研究報告, Vol.2022-SLDM-200, No.32, pp.1-6.
- [220] 井上, 吉澤, 低電圧動作オペアンプについての研究, 第14回埼玉工業大学若手研究フォーラム論文集, pp.74-75, 2022年8月.
- [221] 根本昌也, 浅野多聞, 菅原健, “Romulus の TI 付きハードウェア実装と電力リークのシミュレーション評価,” ハードウェアセキュリティ研究会 (HWS), 2022.
- [222] 森, 頃安, 関口, 三井, 中野, 収束超音波治療のための遅延同期ループとジョンソンカウンタを使用した多相クロック生成回路, 電子回路研究会, 2023年03月22日, 東京都市大学世田谷キャンパス
- [223] 山村, 渡邊, 山切, 中野, 商用電源同期型オンチップメモリ書き込み制御回路, 電子回路研究会, 2023年03月22日, 東京都市大学世田谷キャンパス
- [224] 渡邊, 山村, 山切, 中野, 室内光を検知・記録可能なオンチップマイクロシステム用読み書きモード制御回路, 電子回路研究会, 2023年03月22日, 東京都市大学世田谷キャンパス
- [225] 守谷, 山本, 弓仲, 堀尾, 佐藤, “スパイクングニューラルネットワークのアナログ回路実装と時系列情報処理への応用”, 電子情報通信学会 ニューロコンピューティング研究会, p.5, 2022年9月
- [226] 小野, 守谷, 菅家, 山本, 弓仲, 佐藤, “ニューラルネットワーク応用へ向けたアナログCMOS多数決回路のLSI実装”, 電子情報通信学会 ニューロコンピューティング研究会, pp.189-192, 2022年6月
- [227] 西田, 森, 前澤, 共鳴トンネルダイオードを用いた高調波発振器の検討, 応用物理学会 北陸・信越支部 学術講演会, 2022年12月.
- [228] 陳, 森, 前澤, ボンディングワイヤをインダクタンスとして用いた共鳴トンネルダイオード発振器, 応用物理学会 北陸・信越支部 学術講演会, 2022年12月.
- [229] 前澤, 森, 空洞共振器を用いた周波数 $\Delta\sigma$ 変調方式位置センサとその応用, 電子情報通信学会研究会 2022年8月.
- [230] Tongxin Yang, Tomoaki Ukezono, and Toshinori Sato, Reducing Power Consumption using Approximate Encoding for CNN Accelerators at the Edge, Proc. of 32nd Great Lakes Symposium on VLSI (GLSVLSI 2022), pp.229--235, 7 pages, Irvine, CA, USA, Jun. 2022.
- [231] 長友 泰樹, 請園 智玲, ARX型暗号への近似加算適用による電力解析攻撃対策の検討, 情報処理学会研究報告 SLDM, Vol.2022-SLDM-199, No.13, pp.1--3, 3ページ, キャンパスプラザ京都, 2022年11月.
- [232] 瀨 寛之, 請園 智玲, 佐藤 寿倫, DCTへの近似加算適用によるJPEG圧縮の低消費電力化の検討, 情報処理学会研究報告 SLDM, Vol.2022-SLDM-199, No.3, pp.1--4, 4ページ, キャンパスプラ

- ザ京都, 2022年11月.
- [233] 安富啓太, 古橋 樹, 佐川航輝, 高澤大志, 香川景一郎・川人祥二 電荷注入式参照光サンプリングを用いた高距離精度TOFセンサ 映像情報メディア学会情報センシング研究会 (IST)
- [234] 杓名海斗, 小島拓也, 高瀬英希, 中村 宏, “近似演算器を用いたCGRAとアプリケーションマッピングの協調設計“, 信学技報, vol. 122, no. 402, VLD2022-88, pp. 91-96, 2023年3月.
- [235] 太田, 小川, 佐藤, 変動するケーブルの寄生容量及び回路素子の寄生容量の影響を低減する差動容量-電圧変換回路の検討, 2022年ソサイエティ大会講演論文集, 2022年9月.
- [236] 向井, 小川, 佐藤, デイクソン型チャージポンプを用いた低消費電力の容量・デジタル変換器, 電気学会研究会資料 電子回路研究会 ECT-22 045-058, pp.1-5, 2022年9月
- [237] 坂本, 佐藤, 小川, “3種の動作モードを有するDC-DCコンバータの開発”, 電気学会研究会資料 電子回路研究会, ECT-23 015-025, pp. 39-44, 2023年3月
- [238] 佐田京介, 山田拓磨, 泉蓮, 中村誠, 伊藤大輔, “光変調器用3段スタック型CMOSドライバ回路の高速・PAM4対応化の検討”, 電子情報通信学会ソサイエティ大会, A-1-1, 2022年9月
- [239] 牧野文哉, 加藤篤史, 石原駿輔, 中村誠, 伊藤大輔, “25 Gb/s PAM4対応バーストモード・オフセット補償回路の検討”, 電子情報通信学会ソサイエティ大会, A-1-2, 2022年9月.
- [240] 石田翔悟, 小澤海斗, 鍋島拓海, 中村誠, 伊藤大輔, “FFE回路を用いたスタック型部分等化技術によるPAM4符号対応EDCの検討”, 電子情報通信学会総合大会, A-1-7, 2023年3月.
- [241] 大鹿純聖, 泉蓮, 鍋島拓海, 中村誠, 伊藤大輔, “インダクタレスな高速PAM4レーザドライバ回路の提案”, 電子情報通信学会総合大会, A-1-6, 2023年3月.
- [242] 富樫惇次, 泉蓮, 佐田京介, 山田拓磨, 中村誠, 伊藤大輔, “アナログ回路における伝送速度, 電力効率の最適な微細CMOS技術検討”, 電子情報通信学会総合大会, A-1-9, 2023年3月.
- [243] 小澤海斗, 石田翔悟, 霜田幸長, 中村誠, 伊藤大輔, “PAM4・光パケット信号対応 CTLE 回路における高速自動利得制御法の検討”, 電子情報通信学会総合大会, A-1-8, 2023年3月.
- [244] RISC-V MPおよびSLM再構成ロジックを混載した「SLMLET」チップの予備評価, 矢内洋祐, 小島拓也, 奥原颯, 飯田全広, 天野英晴, SWoPP 2022, 海峡メッセ下関, 山口, 2022年7月.
- [245] 鈴木慎弥, 原田知親, 0.18 μ m多端子MOSFET型センサのプロープ位置と温度に対する磁界特性評価, 第39回「センサ・マイクロマシンと応用システム」シンポジウム, 15P2-P-20, 2022年11月
- [246] 神谷壮紀, 鈴木慎弥, 高橋英之, 原田知親, 8角形多端子MOSFETの各端子の磁界検出特性の評価, 令和5年度東北地区若手研究者研究発表会, YS-21-P30, 2023年3月
- [247] 二瓶匠充, ROBERTO ANDRINO ROBLES, 原田知親, パルス幅2ⁿ倍回路を適用したPWM/digital変換器の研究, 令和5年度東北地区若手研究者研究発表会, YS-21-P69, 2023年3月
- [248] 原田知親, 多端子MOSFETによる貫通電流の間接計測の考察, 電気学会電子回路研究会, ECT-022-033, 2022年6月
- [249] Panithan Srisinsuphy, Yasufumi Yokoshiki, Takashi Tokuda, Design of RV32E RISC-V CPU for Biomedical and IoT Applications, 2022年第83回応用物理学会秋季学術講演会, E 21p-A301-5, Sep. 2022.
- [250] 光石 幹, 横式 康史, 徳田 崇, 永田 駿一郎, 渡辺 剛志, 黄 晋二, CMOS集積回路とCVD成長グラフェンの接続特性評価, 2022年第83回応用物理学会秋季学術講演会, 22p-A105-20, Sep. 2022.
- [251] 竹内 瑞希, 深町 賢人, 横式 康史, 徳田 崇, 環境光駆動IoTエッジ向け光エナジーハーベスティング 回路の小電流化, 2022年第83回応用物理学会秋季学術講演会, 23a-A105-1, Sep. 2022.
- [252] 深町 賢人, 竹内 瑞希, 横式 康史, 徳田 崇, 0.18 μ m 標準 CMOS 回路による生体埋め込みマイクロデバイス向け光電力伝送回路の評価, 2022年第83回応用物理学会秋季学術講演会, 23a-A105-2, Sep. 2022.
- [253] Reyhan Ramadhan , Kosuke Takamatsu, Yasufumi Yokoshiki , Takashi Tokuda, Functional Circuit Design and Measurement for Optical Power Transfer-based Biomedical and Internet-of-Things Devices, 2022年第83回応用物理学会秋季学術講演会, 23a-A105-3, Sep. 2022.
- [254] 山中 風葵, 清水 堯之, 横式 康史, 徳田 崇, 光駆動ウェアラブルセンサ向け RF 送信回路の駆動検証, 2022年第83回応用物理学会秋季学術講演

- 会, 2022年第83回応用物理学会秋季学術講演会, 23a-A105-4, Sep. 2022.
- [255] 清水 堯之, 深町 賢人, 横式 康史, 徳田 崇, CMOS制御光駆動による超小型連続血糖測定センサ, 2022年第83回応用物理学会秋季学術講演会, 23a-A105-5, Sep. 2022.
- [256] 高松 洸佑, 横式 康史, 徳田 崇, 分散型光電気BMIデバイス向け0.18 μm CMOSチップの評価, 2022年第83回応用物理学会秋季学術講演会, 23a-A105-6, Sep. 2022.
- [257] 横式康史, 高松洸佑, 徳田 崇, 間欠駆動IoTデバイス向けRISC-V CPUの試作と評価, 第89回情報システム研究会, IS-22-037, Oct. 2022.
- [258] 横式康史, 高松洸佑, 徳田 崇, Binary Neural Networkによるセンサ向け低消費電力機械学習回路, 知覚情報/次世代産業システム合同研究会, PI-23-036/IIS-23-041, Mar. 2023.
- [259] 田崎広都, 清水堯之, 深町賢人, 横式康史, 徳田崇, 柴原卓哉, 河浦大悟, 工藤寛之, 光駆動方式連続血糖センサの機能評価, 令和5年電気学会全国大会, 3-122, Mar. 2023.
- [260] 岩崎秀栄, 山中風葵, 清水堯之, 横式康史, 徳田崇, 光駆動型CGMSセンサの通信部の実現, 令和5年電気学会全国大会, 3-123, Mar. 2023.
- [261] 吉本海生, 竹内瑞希, 深町賢人, 山中風葵, 高松洸佑, 横式康史, 徳田 崇, 環境光駆動超小型IoTエッジ向けエネルギーハーベスティング回路の動作評価, 令和5年電気学会全国大会, 3-125, Mar. 2023.
- [262] 高松洸佑, 衛 亦誠, 横式康史, 徳田 崇, 分散型光電気BMIデバイスの実現に向けた0.18 μm CMOSチップ設計, 令和5年電気学会全国大会, 3-124, Mar. 2023.
- [263] 清水 堯之, 深町 賢人, 田崎 広都, 横式 康史, 徳田 崇, 柴原 卓哉, 河浦 大悟, 工藤 寛之, CMOS制御光駆動による小型CGMSセンサの評価, 2023年第70回応用物理学会春季学術講演会, 18a-E102-1, Mar. 2023.
- [264] 深町 賢人, 竹内 瑞希, 吉本 海生, 山中 風葵, 高松 洸佑, 横式 康史, 徳田 崇, 環境光駆動超小型IoTエッジ向けエネルギーハーベスティング回路の動作評価, 2023年第70回応用物理学会春季学術講演会, 18a-E102-2, Mar. 2023.
- [265] 八木, 清木場, 山下, 佐々木, 井戸川, 飛沢, 赤井, 沼野, 鯉田, 河野, ニューロン計測用PMOSバックアップの製作とマウス脳計測評価, 第39回「センサ・マイクロマシン応用システム」シンポジウム, 14P3-A-1.
- [266] チャン, クレア, 井戸川, 坂本, 斗内, 山下, 沼野, 鯉田, 河野, ニューラルインターフェースデバイスに向けた5 μm 直径タングステンワイヤの磁氣的幹アセンブリ, 第39回「センサ・マイクロマシン応用システム」シンポジウム, 15A3-A-4.
- [267] 新野, 古澤, 前田, 野田(佳), 赤井, 飛沢, 崔, 野田(俊), 澤田, 高橋, オンチップ検出に向けたグラフェン表面応力センサの検出回路一体化と腫瘍マーカー検出, 第39回「センサ・マイクロマシンと応用システム」シンポジウム, 15A3-C-5.
- [268] 矢内洋祐, 小島拓也, 奥原颯, 飯田全広, 天野英晴, “RISC-V MPおよびSLM再構成ロジックを混載した「SLMLET」チップの予備評価”, 信学技報, vol. 122, no. 133, CPSY2022-8, pp. 41-46, 2022年7月.
- [269] 周 宇擎, 丹羽 直也, 天野 英晴, “距離に依存して圧縮を選択する転送方式 DA selective compression の提案”, 信学技報, vol. 122, no. 174, RECONF2022-28, pp.14-15, 2022年9月
- [270] 畑 俊吉, リーク電流の製造ばらつきを利用したLRPUFの超低電圧に向けた回路の最適化とシミュレーション評価, 信学技報, vol. 122, no. 402, VLD2022-77, pp. 25-30, 2023年3月.
- [271] 南口 和生, 御堂 義博, 三浦 典之, 塩見 準, “集積回路より漏えいする電磁波の電源電圧依存性モデル”, DAシンポジウム2022, pp. 58-63, 2022年8月.
- [272] Dehua Liang, Hiromitsu Awano, Noriyuki Miura, Jun Shiomi, “[記念講演] DependableHD! A Hyperdimensional Learning Framework for Edge-oriented Voltage-scaled Circuits,” 信学技報, vol. 122, no. 402, VLD2022-93, pp. 111-111, 2023年3月.
- [273] 吉長, 木村, 斎藤, “画素配列を改良した部分露光型イメージセンサの設計と制御方法の提案, 令和4年度電気学会東京支部茨城支所研究発表会, 2022年12月.
- [274] 菊池, 山根, 川本, 木村, 増澤, 周波数分割多重測定時に問題となる集積化磁気センサで発生する低周波ノイズの影響に関する研究, 令和4年度 第30回 茨城支所 研究発表会, 2022年12月
- [275] 吉澤翔悟, 中尾怜史, 武内良典 「Rocket Chipへのカスタム命令追加設計支援プログラムの実装」,

- DAシンポジウム2022論文集, Vol. 2022, pp. 43-50, 2022年8月.
- [276] 田中尚哉, 平山聖冴, 武内良典, 「人工視覚システムのデータ圧縮伸長モジュールのFPGA実装」, 情処研報, Vol. 2023, SLDM-201, No.8, pp. 97-102, 2023年1月
- [277] 平山聖冴, 田中尚哉, 武内良典, 「視覚野刺激型人工視覚システムの刺激データに対する圧縮プロセッサ設計」情処研報, Vol. 2023, SLDM-201, No.7, pp.90-96, 2023年1月.
- [278] 三宅充城, 小椋 清孝, 伊藤 信之, ”400-1200MHz帯インダクタレス広帯域 LNA の検討”, 2022年度(第73回)電気・情報関連学会中国支部連合大会, R22-12-10, オンライン, 2022年10月22日.
- [279] 吉岡大, 小椋 清孝, 伊藤 信之, ”低利得偏差・低雑音広帯域増幅器の省面積化に関する検討”, 2022年度(第73回)電気・情報関連学会中国支部連合大会, R22-12-09, オンライン, 2022年10月22日.
- [280] 瀬口慎一郎, 小椋 清孝, 伊藤 信之, ”インダクタ結合を用いた三帯域同時受信 LNA の省面積化の検討”, 2022年度(第73回)電気・情報関連学会中国支部連合大会, R22-12-05, オンライン, 2022年10月22日.
- [281] 橋本佳紀, 小椋 清孝, 伊藤 信之, ”24 GHz パワーVCO に用いるバランのインダクタ比の最適化に関する検討”, 2022年度(第73回)電気・情報関連学会中国支部連合大会, R22-12-04, オンライン, 2022年10月22日.
- [282] 田村直渡, 小椋 清孝, 伊藤 信之, ”スイッチトレジスタを用いた発振器の周波数制御に関する検討”, 2022年電子情報通信学会ソサイエティ大会 C-12-14, オンライン, 2022年9月7日.
- [283] 伊藤克俊, 塩津勇作, 山本修一郎, 菅原聡, “新型超低電圧リテンションSRAM (ULVR-SRAM) セルの提案”, 第83回応用物理学会秋季学術講演会, 仙台市, 宮城県, 2022年9月20日-23日, paper 21a-C105-5.
- [284] 加藤岳人, 塩津勇作, 山本修一郎, 菅原聡, “ニアスレッショルド電圧駆動ULVR-SRAMのパワーゲートリング性能”, 第83回応用物理学会秋季学術講演会, 仙台市, 宮城県, 2022年9月20日-23日, paper 21a-C105-6.
- [285] 山崎修, 塩津勇作, 山本修一郎, 菅原聡, “Fin-FETを用いた低電圧駆動不揮発性SRAM (NV-SRAM) の設計”, 第83回応用物理学会秋季学術講演会, 仙台市, 宮城県, 2022年9月20日-23日, paper 21a-C105-4.
- [286] 塩津勇作, 原拓実, 菅原聡, “超低電圧リテンションSRAMのエネルギー最小点動作とそのBNNアクセラレータへの応用”, 電子情報通信学会集積回路研究会, 川崎市, 神奈川県, 2022年4月12日.
- [287] 長田峻輔, “電界印加成膜における導電性材料粒子の配向特性検証シミュレーション”, 本荘由利テクノネットワーク第4回「学生発表会・コンテスト」, N-38b, 2023年2月22日.
- [288] 三村佳輝, 小宮山崇夫 長南安紀 山口博之 小谷光司, “適応制御型マッチング回路による高周波整流回路の電力広帯域化”, 2023年電子情報通信学会総合大会, B-20-27, 通信講演論文集1, p.506, 2023年3月7日～10日, さいたま市.

【著書】

- [1] 福島誉史, “第4章 第6節「ポリイミドの気相堆積重合技術と次世代半導体3D-IC/TSVへの応用」”, ポリイミドの高機能設計と応用技術 - 低誘電特性, 低熱膨張性, 透明性, 密着・接着性, 成形性 - (技術情報協会), 8月 2022
- [2] 清山浩司, 田中徹, “スマートヘルスケア～生体情報の計測・評価・活用とウェアラブルデバイスの開発・製品事例～第4章 ウェアラブルデバイスの開発 題2節経爪型集積化光電容積脈波計測システムの開発, 1月 2023

D. VDECの利用規程・申し込みガイド

D.1 概要

VDECは、全国の大学・高専向けに様々な支援事業を実施している。

1. CADツールの共同利用
2. VLSI試作サービスの共同利用
3. CADツール講習会（8-9月・3月）
4. 社会人リフレッシュ教育（6月-8月、学生も参加可能）
5. VLSIデザイナーフォーラム（若手の会）
6. 大型装置利用

CADベンダー、試作会社等のアカデミック向けの協力により、それぞれのサービスを大幅なアカデミックディスカウントで提供している。VDEC設立以来、これまでの実績では、CADの利用・CAD講習会は無償、LSI試作サービスは海外での類似サービスの半額以下、大型装置は消耗品実費負担のみとなっている。見返りとして、ユーザにはVDECを利用する「顧客」ではなく、VDECと一緒にサービスを向上させる「主体」としての自己研鑽と協力を期待している。全国の研究室がバーチャルな一つの研究室として助けあいができるような状況を理想とし、限られたスタッフの中、日々支援活動を行っている。

サービスの対象は基本的には、大学・高専であり、端的にはメールアドレスとして「.ac.jp」を持つ教員と、その研究室内の教職員と学生を対象とする。それ以外の研究所の利用や、企業との共同研究については個別の判断を要する。特にCADツールについてはCADベンダーとのライセンス規定に抵触しないよう細心の注意が必要であるため、VDECの担当者(vdec@vdec.u-tokyo.ac.jp)に必ず相談いただきたい。その他のサービスについてはVDECの裁量範囲が広がるので可能性が高くなるが、こちらもあらかじめ相談いただきたい。企業との共同研究については、少なくとも非営利、アカデミック側が51%以上のイニシアチブを取る研究であることが必要である。

また、CADの申込や試作申込、装置利用申込など、契約にかかわる作業は全て、代表の教員の方々に行っていただくことをお願いしている。研究室のメンバが代理で行うことも現実には可能であるが、その場合もあくまで教員の了解をとり、代理としての心構えで望んでいただきたい。

VDECのシステムは、InternetとUnix operating system

の上になりたっている。Internetの仕組やUnixについての素養はあらかじめ付いていることを期待している。従って、利用でトラブルが起こったときには研究室や学校のネットワーク管理者と十分連絡をとって、問題を切り分けながら対処することが勧められる。

D.2 まずはじめに

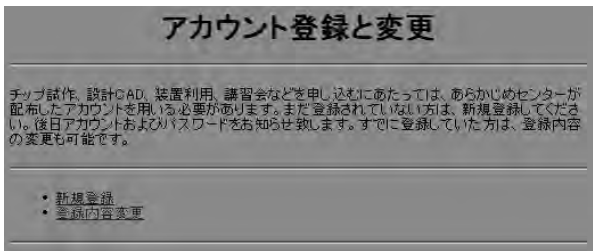
VDECからのお知らせ、また講習会・リフレッシュ教育を除く全ての申込や問い合わせには、VDECのWEBページ <http://www.vdec.u-tokyo.ac.jp/> を用いている。一部のページは秘密等が含まれるため、WEBアクセス用アカウント・パスワードならびにアクセスしているマシンのInternet Protocol (IP) アドレスによって制限をかけている。

従って、VDECを利用したい場合、前もって教員によるアカウントの申請が必要である。登録は無料。資格の審査を行うため十分な（サービス開始前1ヶ月以上）時間的余裕をもって、申込をお願いしたい。申込から概ね数週間が経過した後、WEBページアクセス用のアカウントとパスワードが発行される。アカウントは、半角英大文字2字+半角数字5桁（例：VD00000）からなる。

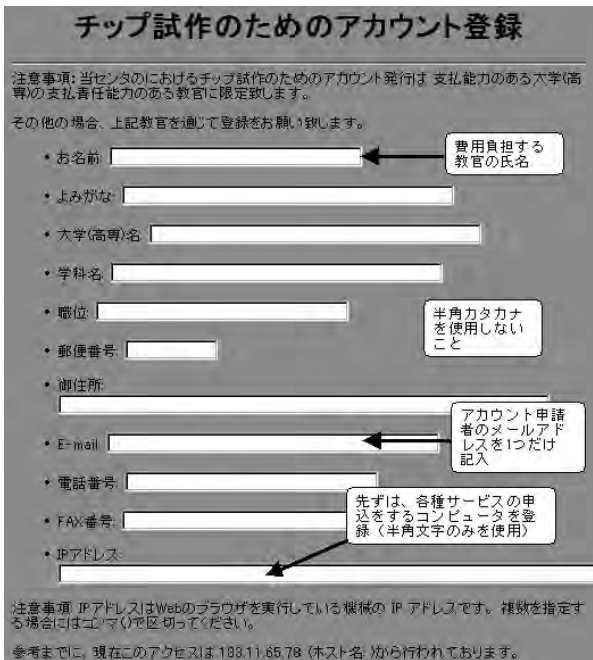
申込で特に注意する点は、VDECのWEBにアクセスしたい研究室のマシンのIPアドレスを入力することである。学校の中にあるマシンからのみアクセスを許可しており、プロバイダーのアドレスならびに、Proxyサーバのアドレス登録は禁止する。入力の際は、133.11.58.4,133.11.58.5のように、IPアドレスを全て「半角」の英数字で、「」（半角カンマ）で区切って、途中改行を入れずに入力する。また、ここで入力するアドレスは、「ネットワークの外部から見えるアドレス」であることに注意する。特に、NAT（IP masqueradeというプログラム名で呼ばれることもある。機能としてはNATが正しい。）で研究室内をローカルネットワークにしている場合は、NATサーバのアドレスを入力する。よくある間違いとして、ローカルネットワークのIP、例えば「192.168.X.XX」を登録したためアクセスできなくて困っている例がある。



図D.1 VDECホームページのインデックスフレーム



図D.2 アカウント登録・変更ページの入口



図D.3 アカウントの新規登録の注意点

ネットワークが変更になるとか、研究室のマシン増設などでIPアドレスを変更する場合は同じく、申込のページから「登録内容変更」を行う。特に、古いIPが使えなくなるといった大幅なネットワークの変更がわかっている場合は、まえもって新旧両方のアドレスを登録しておく。万一アクセスできなくなった場合は、「新規登録」を行い、同じE-Mailアドレスを入力することで上書き変更が可能である。

【登録するIPアドレスに関する要件】

- アクセス制限を行わないページのみを参照するコンピュータのIPアドレスを登録する必要はない
- IPアドレスの登録数には制限を設けないが、管理の行き届いたコンピュータのみに限定すること
- DHCPサーバにより動的に割り当てられたIPアドレスやローカルアドレスなどは登録できない（しても意味が無い）
- Proxyサーバ等を介さないアドレスを指定すること。これは、設計規則等の機密情報がProxyサーバに残ってしまい、機密漏洩につながることを防ぐためであるので守っていただきたい。但し、ファイアウォールが設置されているなど学内の事情により直接のアクセスが行えない場合にはその限りではない

D.3 CADツールの共同利用

VDECでは、集積回路の上流から下流まで一連の設計を行うためのCADツールを提供している。これらのソフトウェアは、VDECのVLSI試作以外のアカデミック用途（MOSIS-VDECを通じた試作、教育用の演習、EB等VDECの大型装置利用のためのデータ作成用、等）の利用も可能である。アカデミック向けであるから、企業との研究の際は利用の可・不可が場合により異なるので、心配な場合あらかじめ相談いただきたい。

1つの設計作業を行うために、2つ以上のベンダーからCADを選べる状況（二重化）を理想としている。LSIの設計には、CADソフトと共に、パラメータやライブラリが必要であるが、これも職員や関連研究室のボランティアにより、充実のための努力が払われている。ボランティアとしての協力は大変に歓迎される。

CAD申込のWEBページに教員がアクセスする（WEBアカウントが必要である）。NDA事項を了解いただきサイン入りの文書をVDECセンター長室に送付した後、CADの申請ができる。

申請時にWEBから入力する内容は以下のとおり。

- ソフトウェアライセンス数（研究室で同時に使用するとされる最低数を入力）
- 用途
- メディアリクエスト（使用するOperating Systemを選んでチェックする）。
- 利用する研究室所有ワークステーションのホストネーム（VDEC、端的にはusr1から名前→IPアドレスの解決ができる、「.ac.jp」で終わるホスト名であることが条件。）

Cadence社設計ツール:
 ライセンス: [*] ライセンス数: [11] ← 必ずチェック
 メディアリクエスト: ← 最大同時使用者数
 使用目的: ← これも必ずチェック
 [*]研究 []講義 []トレーニング []その他
 Synopsys社設計ツール:
 ライセンス: [*] ライセンス数: [] ← どれか必ずチェック
 メディアリクエスト: []
 使用目的: []研究 []講義 []トレーニング []その他
 旧Avant!社設計ツール:
 ライセンス: [*] ライセンス数: [11] ← 必ずチェック
 メディアリクエスト: []
 使用目的: []研究 []講義 []トレーニング []その他

図D.4 CAD利用申込フォームの「ライセンス数の登録」パート記入における注意点

ソフトウェアのCDROM（メディア）について、VDECの創設期においては、メディアを近隣の研究室で「回覧」していたが、インターネットの発達により回線が豊富になったので、現在ではCDに書き込めるISOイメージファイルで提供している。VDECホームページの「ライセンスファイルの配布>ここから」からダウンロードできるようにある。当然ながら、VDECのユーザアカウントとパスワードが必要となるため、CADを申請してから数週間程度の時間差が必要となるであろう。

メディアをダウンロードした後、プログラムをインストールし、初期設定ファイルを整備する。特に、ライセンスファイルはWEB経由で別途取得の上設定するか、環境変数LM_LICENSE_FILE等を（ライセンスサーバのポート番号）@（ライセンスサーバ）の形式で設定する。また、/etc/hostsファイル等を設定し、ライセンスサーバを「ローカルのネットワーク相当でアクセスできるように」する。端的には、手元のワークステーションにおいて、例えば「vdec-cad1」と指定するだけで、FQDN形式の「vdec-cad1.vdec.u-tokyo.ac.jp」のマシンのIPアドレスが引けるように設定する。

CADツールを実行するためには、VDECまたは地域拠点校のライセンスサーバによる認証が必要である。ライセンスファイルまたは環境変数の変更により認証を行うライセンスサーバを切り替えることが出来るので、VDECまたは地域拠点校のどちらかのライセンスサーバがメンテナンス等の事情により停止している場合でも、稼働中のもう一方のライセンスサーバを選択することによりCADを実行することが可能である。また、ライセンスサーバの認証は、CADツール起動後も数分おきに行われるので、CADツールを実行中は常時ライセンスサーバとの通信が可能な状態にしておかなければならない。また、ファイアウォールを使用し

ているネットワーク環境では、VDECのWebサーバとVDECおよび地域拠点校に対して、ライセンス認証用の特定のポートを空ける必要がある。この場合、各大学・高専のネットワーク管理者と相談すること。

初期設定等はやり方を一度経験すれば簡単であるが、はじめてのときは様々な問題が起こることもある。VDECに対する大幅なアカデミックディスカウントの引き換えとして、各研究室はCADベンダーによる直接のサポートを受けられない。かわりにVDECでは、「CADuser@vdec.u-tokyo.ac.jp」メーリングリストを用意している。質問はこちらのメーリングリストを利用いただきたい。CADを利用する研究室の構成員のどなたでも投稿、返答してよい。CADuser MLの注意点は以下のとおり。

1. WEBページから、利用するメンバのE-Mailアドレスを登録すること。特にその際、「.ac.jp」で終わるアドレスを利用し、メールはプロバイダ等に転送しないこと（情報漏洩の観点から）。
2. リストの更新は頻繁におこない、卒業生へのメール配信は速やかに停止すること。特に4月に注意。
3. メールをする前に、あらかじめCADuser MLの過去記事検索がWEBからできるので、類似の質問が無いかどうか検索してから投稿すること。
4. 機密保持にかかわるような内容のメールは、CADuserに送ってはならない。各試作のメーリングリストに送ること
5. 問題解決したら、問題、原因、解決法をまとめて投稿すること（必須ではないが、ネット利用のエチケットといえる）。

先生のメールアドレス:
 以下にCADを利用される方のメールアドレスを記入して下さい。複数の場合は、@で区切るかもしくは複数回登録して下さい。
 CADツールの使用者のメールアドレス (半角カタカナや全角文字を用いないこと)
 現在の登録アドレスをリセットして更新するラジオボタン
 卒業生のアドレスは消去すること
 追加用ラジオボタン

図D.5 CAD利用者メーリングリスト登録における注意点

ライセンスは年度単位で申込みを受けつけしている。各CADベンダーとVDECとの交渉がまとまる毎年3月末に、CADuser MLとWEB上に、次年度のCAD利用申込案内が出るので忘れずに申込する。4月中は移行

期間として前年度申込のライセンスも有効にしてあるが、4月末に切れるため、そのときになって慌てる例が毎年発生している。「永久ライセンスではない」ことに十分ご注意ください。

【毎月注意を払うべき点・熟読必須.】

1. VDECでは、CADを使用できる計算機のリスト（アクセスリストと呼ぶ）を半年毎に更新している。このときDNSの逆引きができなくなっていた等の何らかの不具合で、アクセスリストに自分の計算機が登録されない場合がある。その場合、CADが使えなくなるので、アクセスリスト更新前に対処する必要がある。サーバの停止は、全国ユーザに影響が及ぶため頻繁には行えないので、万が一アクセスリストの不備に気づかなかった場合は、最悪半年以上CADが使用できなくなる。
2. 以上の理由で、VDECから「CADのアクセスリストを更新します」というアナウンスがあった場合、必ずチェックを行い、自分のコンピュータが登録されていることを確認しなければならない。
3. 登録確認のページは、http://www.vdec.u-tokyo.ac.jp/CAD/cad_access_list.htmlである。ブックマークを強くお勧めする。
4. IPアドレス（ホスト名）registered という表示が出ていれば登録されている。
5. false (false (ホスト名)) FAIL という表示が出ていれば登録に失敗しているの、原因を探る。

一般的に、DNSの逆引き（ホスト名からIPアドレスを引く）に失敗していることが多い。研究室のネットワーク管理者とも相談して、VDECのサーバから、当該ホスト名の逆引きができるまで原因の除去を行う。

D.4 VLSI 試作サービスの共同利用

VLSI 試作サービスは、教育研究目的に限って認められる。WEBページに本年度のランが掲示され、数ヶ月前から試作が申込可能になり、リンクが張られる。まず、試作会社の持つ機密情報に対するNDA契約を行う。これはVDECホームページの「試作関係>試作案内>機密保持契約（NDA）の文面」より、希望プロセスのNDAにサインしてVDECに郵送し、VDEC側で手続き終了後にNDA締結となり、設計規則やライブラリにアクセスできるようになる。設計規則はWEB経由の

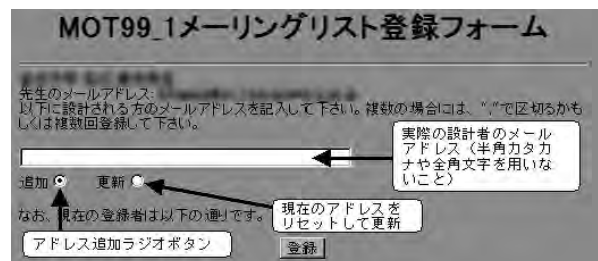
アクセスならびに、WEBでの公開を禁止している会社の場合はCDROM等で送付される。NDAの対象は教員であるが、研究室の職員・学生にも同じNDAが適用されるため、取扱には細心の注意を払っていただきたい。尚、秘密保持契約内容は、以降の同一プロセスによるチップ試作全てにおいて有効である。

試作申込はデザイン提出日切日の6～3ヶ月前、キャンセルの日切は1ヶ月前である。1ヶ月前より遅くなったキャンセルには、原則として試作代金をお支払いいただくので注意いただきたい。特にはじめて試作に参加される場合は、1ヶ月前には回路ができていくくらいの、余裕をもったスケジュールを組まれることを強くお勧めする。

VLSI申込フォームの入力に関する注意点（図5.8）

- 希望チップ寸法の項目のチェックボックスを必ずチェックした上で希望チップ数を入力すること。チェックを行わないと入力した数字は無効となる
- チップ数入力には半角数字を用いる

設計に関する問い合わせについては、各試作についてメーリングリストを用意してあるので、設計者全員のメールアドレスを登録する。「.ac.jp」で終わるアドレスであり、プロバイダに転送をしないよう注意願いたい。これらメーリングリストの過去記事検索もできる。



図D.6 VLSI試作メーリングリスト登録ページの注意点

レイアウトを設計した後、VDECが提供する最新のDesign Rule Checkファイルでチェックを行い、エラーフリーになったものを提出する。また、シミュレーションはもちろんのこと、レイアウトが回路図と同等であることを確認する Layout Vs Schematic (LVS) チェックを通して、提出しようとする回路が本当に動作しそうだという確信を持つておくことは最低限必要であろう。デザインの提出は指定されたVDECページから行う。提出時にVDEC側で最終DRCを実行する。ここでエラーが出たチップは提出できない。必ず自分の環境でDRCフリーにしてからチップを提出すること。

提出日切は月曜日に設定されていることが多いが、

できる限り余裕をもって、前の週などに提出をいただきたい。また、月曜日に締め切った後、VDEC側さらにデザインルールをチェックしている。この際本来出てはいけないエラーが出ることがあり、出た場合設計者に修正のお願いを連絡するので、提出したからといって安心せず、1週間ほどはVDECからの連絡に注意願いたい。

デザイン提出から数ヶ月後に、VLSIチップが納品され、請求書も送付されるので、遅滞なく支払をお願いする。

D.5 CADツール講習会

CADベンダーとの契約により、個々のサポートは提供しないかわりに、毎年2回、夏と春とCAD講習会を開催している。東京大学の武田先端知ビルセミナー室にてメイン会場として開催され、各地方の拠点校へサブ会場としてストリーミング配信される。まずはこういった講習会に参加し、大体の知識を付けてから実際の試作なりCAD利用を行うことをお勧めしている。アナウンスはCADUser メーリングリストで流れる。また、申込は、VDECのWEBページから行う。

D.6 社会人・大学リフレッシュ教育

CADツール講習会からさらに進んだ形で、VDEC環境での回路設計、アナログ回路のレイアウトやシミュレーションを体験したりする「アナログコース」、「RF」

コース、「MEMsコース」らびに一線の研究者による設計事例の講演会などを企画している。6月～9月に開催し、有料である。社会人を主に対象としていたが、近年関係者にも向けている。

D.7 デザイナズフォーラム（旧若手の会）

毎年9月頃、VDECを利用する若手が合宿を行い、最近の動向や研究内容について話しあう機会を設けている。発足当初の「若手」の定義は年齢が35ビット。最近の定義は「自分は若手だと思っている学生・教職員」であるので積極的な参加をお待ちしている。

D.8 大型装置利用

LSIテスターや、EB装置など、公開可能な装置については、利用の案内をWEBページに掲載している。その手順に従って利用方法の学習と申請を行う。基本的なスタンスは以下のとおり。

1. 公開の対象は教員であり、研究室メンバは教員の代理として責任をもって使っていただく。
2. 利用免許を持っている者の付き添いがあれば基本的に自由な利用が可能
3. 数回のトレーニングを受けて免許を持てば自分一人で利用可能

VDEC専任・協力教員のサポートスタッフ数に限りがあるので、免許保持者に積極的な教育をお願いすることがあるので、協力いただきたい。

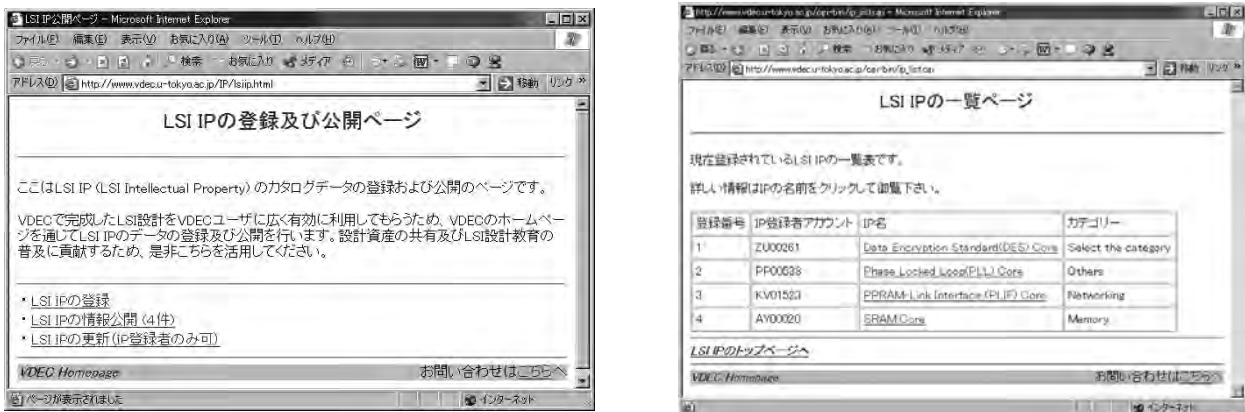
E. IPデータベースの整備

設計資産の再利用のために、VDECではWeb上でのデータベースの構築および公開を行っている（<http://www.vdec.u-tokyo.ac.jp/IP/lsiip.html>，図E.1）。本データベースの利用対象は、IP登録に関してはVDECユーザーに限定しているが、IP利用に関しては任意対象となっている。本データベースに関してのVDECの役割は、IPのカタログデータの整理、公開および登録者－利用

者間の仲介と機密情報の取り扱いの監督である。

平成12年度から平成14年度の3年間、(株)半導体理工学研究センター（STARC）との共同研究としてIPプロジェクトを行ってきたが、その最終成果としてIP開発グループの各参加者へ完成IPの登録を働きかけ、上記データベースによって公開を行っている。

現在までに登録済みのIPを表E.1に示す。



図E.1 VDEC LSI IP Web データベースの例

表E.1 VDEC LSI IP データベースに登録済みのIP（平成24年3月現在）

登録番号	IP名	カテゴリー
1	Data Encryption Standard (DES) Core	Others
2	Phase Locked Loop (PLL) Core	Others
3	PPRAM-Link Interface (PLIF) Core	Networking
4	SRAM Core	Memory
5	Processor Core with Instruction set Compatibility with Hitachi SuperH	Processor/Controller
6	IEEE-754-Standard Single-Precision Floating-Point Dividers	Datapath
7	Controller Core with Instruction set Compatibility with PIC16F84	Processor/Controller

令和5年度
東京大学大学院工学系研究科附属システムデザイン研究センター
年報

2023年8月

編集・発行

東京大学大学院工学系研究科附属システムデザイン研究センター
黒田 忠広
〒113-8656
東京都文京区本郷7-3-1工学部2号館111A1
TEL 03-5841-6561

印刷・製本

株式会社総北海 東京支店
〒130-0022
東京都墨田区江東橋4丁目25番10号 加藤ビル2F
TEL 03-5625-7321



Systems Design Lab

Systems Design Lab, School of Engineering, The University of Tokyo 2023

