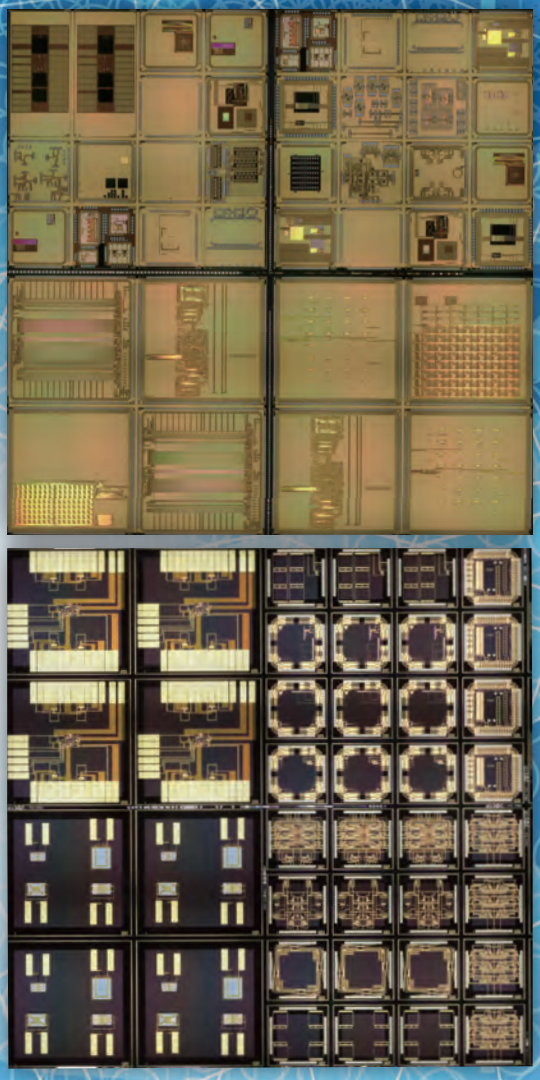
Systems Design Lab

2024
Systems Design Lab, School of Engineering,
The University of Tokyo
Annual Report

令和６年度
ISSN 2436-6552

東京大学大学院工学系研究科
附属システムデザイン研究センター
先端設計研究部門・先端デバイス研究部門
（旧VDEC）基盤設計研究部門・基盤デバイス研究部門

年　報



Systems Design Lab, School of Engineering
The University of Tokyo 2024

Message from the Director of d.lab

東京大学大学院工学系研究科附属システムデザイン研究センター（d.lab）

黒田 忠広

Chris Miller氏が著した『CHIP WAR』が多くの人に読まれています．副題にThe fight for the world's most critical technologyとあるように，国家間の攻防の歴史が克明に描かれています．

CHIP WARは一面でしかない，別の未来も描ける．そう考えた私は，『半導体民主主義』という原稿を書きました．『半導体超進化論－世界を制する技術の未来－』とタイトルを変更して出版されています．

この本で描いた未来像は以下のとおりです．

◇◇◇◇◇◇◇◇（あとがきより）

半導体民主主義と半導体戦争（チップウォー）はコインの表裏である．私はこの本で半導体民主主義を描きたかった．

19世紀にビスマルクが「鉄は国家なり」と演説した．そして鉄は近代都市をつくり，兵器を生んだ．

現代では半導体の技術覇権が争われる．「半導体は国家なり」である．半導体が何をつくりだし，何を破壊するのか．私たちの創造力と知恵が試される．

チップメーカーは，次世代チップの生産をめぐって熾烈な争いを繰り広げている．

しかし，もはや一つの企業や国家では抱えきれないほどに半導体は巨大な技術集積体となりつつある．人類共有財産（グローバルコモンズ）として考えるべきであろう．

半導体戦争を煽（あお）るのではなく，チップネットワークを構築しなければならない．

技術はますます複雑化する．だから，木を見て森を見ずではいけない．森を育てること，つまり豊かな産業エコシステムをつくることが，これからの世界の課題である．

それを考えるうえでヒントとなったのが，植物だ．

鮮やかに瑞々しく地球を覆いつくす植物．今日の地球をつくりあげた大革命は，植物が「花」を持ったことで引き起こされた．

花と昆虫の間に「共生」関係が生まれ，互いが互いを進化させる進化の応酬である「共進化」が起こったのである．

花の誕生をきっかけに生き物たちの進化が一気に加速した．

ダーウィンが唱えた進化論では，生存に有利なものが生き残り子孫を残す．つまるところは，この世は競争．しかしながら，最新の科学で解明されようとしている生き物たちの隠された進化の仕組みは，競争するだけでなく互いを支え合う協力のルール，つまり「超進化論」である．

「半導体の森」を豊かにするためには，「花」を見つけることが大切であろう．そう考えながら，本書では「半導体の超進化論」を説いた．

まずは，高性能な半導体をいかに製造するかをMore Moore（モア ムーア）とMore than Moore（モア ザン ムーア）の観点で説明した．

次に，高性能な半導体で何を生み出すかをイノベーションの観点，すなわちMore People（モア ピープル）の観点で考えた．

半導体を競争の時代から共生・共進化の時代に進めるために，半導体の「花」を見つけることができるだろうか．半導体がグローバルコモンズになるためには，お金やムーアの法則以上のものが必要になる．

それは，多くの人を惹きつけること．

More Peopleだ．

◇◇◇◇◇◇◇◇

1点，アジャイルについて，補足します．

◇◇◇◇◇◇◇◇（1章4節「半導体の森　～共生と共進化」より）

やがて，花は新しい能力を身につけた．

世代交代のスピードアップである．受粉から受精までに要する時間を1年から数時間に縮めた．これがすべての生物の進化を加速したのだ．

$y = a(1+r)^n$

これは複利計算の式である．rが利率でnが運用回数．元本のaが小さくても長く運用すれば将来価値が大きくなる．

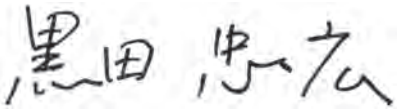
nを1/tで置き換えれば，デジタル経済の基本式になる．tは開発のサイクルタイムである．この式は，チップの性能向上にも会社の成長にも当てはまる．

いいかえると，高速サイクルで改良を何度も繰り返すことが，デジタル経済の成長戦略である．改善率（r）よりも改善回数（n）を大きくすること，つまり開発のサイクルタイム（t）を短くすることが肝要である．

だからアジャイルなのだ．

◇◇◇◇◇◇◇

この本には，d.labの基本思想が記されています．お手にとってご覧いただけると幸いです．



Systems Design Lab

2024
Systems Design Lab, School of Engineering,
(VLSI Design and Education Center),
The University of Tokyo
Annual Report

C O N T E N T S

ご挨拶 ……1

第1章　d.labの紹介 …… 4
新センター長挨拶 ……5

第2章　d.lab事業の紹介と2023年度事業報告 …… 6
2.1　先端設計研究部門 ……6
2.2　先端デバイス研究部門 ……12
2.3　基盤設計研究部門 ……13
2.4　基盤デバイス研究部門 ……16
2.5　「アドバンテストD2T 寄附講座」活動報告……20

第3章　d.lab概要 …… 23
3.1　組織概要 ……23
3.2　人事報告……24
3.3　新任・退任ご挨拶……28
3.4　決算報告 ……30

第4章　研究報告 －各研究室－ …… 32
4.1　全体概況……32
4.2　研究室構成員（2023年度）……33
4.3　研究概要……37
4.4　研究発表……51
4.5　特許，受賞等……83

付録（Appendix） …… 86
A. 旧VDEC事業関連……86
　A.1　CADソフトウェアの整備 ……86
　A.2　基盤設計研究部門におけるチップ試作支援の実施状況 ……87
　A.3　セミナー ……89
　A.4　VDEC発ベンチャー……92
B. チップ試作結果報告……93
　B.1　試作ラン別一覧……94
　B.2　チップ種別一覧……97
　B.3　各チップの詳細……100
C. Publication list（VDEC利用者に関する発表文献リスト）……128
D. VDECの利用規程・申し込みガイド……158
E. IPデータベースの整備……163

第1章　d.labの紹介

1996年に大規模集積システム設計教育センター（VDEC）が設立されました．当時は，日本の半導体が世界の半導体市場（5兆円）の5割を占めており，即戦力となる人材が求められました．VDECは，世界に類のない卓越した教育を行い，優れた人材を半導体産業界に輩出してきました．

しかし，彼らはその才能を遺憾なく発揮できたでしょうか．この四半世紀の間に，世界の半導体産業は年率7%の高成長を遂げたにもかかわらず，日本の半導体は徐々にその地位を低下させ，現在のシェアは市場（50兆円）の1割程度に落ち込んでいます．

半導体ビジネスは，汎用チップを大量生産する薄利多売のビジネスです．汎用チップが大量に売れる理由は，コンピュータがメモリとプロセッサで構成できるフォン・ノイマン・アーキテクチャを採用しているからです．日本はメモリデバイスのイノベーションで世界をリードしましたが，ビジネスでは資本競争に敗れました．

大量生産・大量消費には，しかしながら限界があります．環境負荷が過大となり，世界はエネルギー危機に直面しています．ビッグデータをAIで分析するためには，さらに大きな電力が必要になります．

そこでついに，ゲームチェンジが起きました．半導体メーカーから汎用チップを調達していたのでは競争に勝てない，そう考えたGAFAなどの巨大IT企業が専用ロジックチップの自社開発に乗り出したのです．

こうした時代のうねりの中で，東京大学は2019年の10月にシステムデザイン研究センター（d.lab）を開設し，11月にはTSMCと戦略的提携を結びました．d.labには，VDECと武田クリーンルームを運営する基盤設計研究部門と基盤デバイス研究部門に加えて，先端設計研究部門と先端デバイス研究部門が創設されました．2020年の10月からd.lab協賛事業を開始し，協賛会員は現在40社余りに増えています．

加えて，2020年の8月に先端システム技術研究組合（RaaS）を設立して，産学官連携の体制を整えました．d.labとRaaSのオープン・クローズ戦略を両輪にして，学術・社会連携と産学協創を推進しています．研究の目標は，半導体のタイムパフォーマンスを追究すること，すなわちエネルギー効率と開発効率を10倍高めることです．

日本は，工業・情報社会から人間中心の社会「Society5.0」を目指しています．知価社会において，半導体は産業のコメから社会の神経細胞へと進化します．

半導体戦略はどうあるべきでしょうか？その答えを探すのがd.labのミッションです．

新センター長挨拶

d.lab第二章に向けて

池田　誠

東京大学大規模集積システム設計教育研究センターは1996年5月に発足し，2019年10月に学内改組に伴い，東京大学大学院工学系研究科附属システムデザイン研究センター（d.lab）基盤設計研究部門においてVDEC機能としてその活動を継続しております．VDECは言うまでもなく，日本国内の唯一の半導体集積回路設計プラットフォームであり，28年目を迎え，昨今の半導体投資ブームにおいてますますその重要性が増しています．2018年8月から2023年3月まで経済産業省・NEDO（新エネルギー・産業技術総合開発機構）によるプロジェクト「AIチップ開発加速のためのイノベーション推進事業／研究開発項目②：AIチップ開発を加速する共通基盤技術の開発」をAIST（産総研）とともに受託し活動を開始した「AIDC（AIチップ設計拠点）」活動は，これまでVDEC機能が完全なアカデミック向けであったものを，中小企業・ベンチャー・大学における開発型プロジェクトにも拡張するものとして，NEDOからのプロジェクト終了後の2023年4月以降も有料化することでより活動を活性化させています．

また，半導体・設計研究の高度化を目指してVDECの改組により2019年10月に設置されたd.labは設立して4年半が経過しました．その間，世界中で半導体に関する取り組みの活性化に呼応する如く，d.lab協賛事業の発足・継続，技術組合RaaSの発足と継続といった活動に加え，文部科学省の「次世代X-nics半導体創生拠点形成事業」への『Agile-X～革新的半導体技術の民主化拠点』としての採択・活動開始，「技術研究組合最先端半導体技術センター（LSTC）」活動に関連した活動への取り組み等多くの活動に取り組んできております．

2024年4月からは東京大学の学部横断型教育プログラム「半導体教育プログラム（SPIRIT）」をd.labが主導する形で開始し，東京大学において幅広く半導体の素養を身に着けた人材の輩出への取り組みを始動しました．

また，VDECは，2003年12月に竣工した武田先端知ビルの地下にクリーンルームを有しており，装置の利用共有に早くから取り組み，2007年度-2011年度の文部科学省の施策「ナノテクノロジーネットワーク」における「超微細リソグラフィー・ナノ計測拠点」，2012年度-2017年度の「ナノテクノロジープラットフォーム」事業，そして現在「マテリアル先端リサーチインフラ」事業を通したクリーンルーム装置の共有によるデバイス研究のプラットフォームとしての取り組みを継続しています．

同時に，半導体が産業のコメ，Society5.0実現のためのカギであり，世界中での技術覇権争いと国際協調といった国際社会における地政学的，国家戦略上重要な技術と位置付けられるに従い，世界各国で国家規模の大規模な投資がなされています．それに呼応する最先端の研究開発の担い手としてd.labの位置づけがますます重要になると考えています．d.labでは最先端の研究開発と同時に，その研究・教育活動の基盤を整備する役割を担うことで，この社会要請にこたえていきたいと考えています．

今後，経済産業省・文部科学省などと最先端半導体の設計を担える人材の育成にも取り組んでいきます．

2024年4月1日より初代センター長の黒田忠広先生の後を受けて，二代目のセンター長として，同時に，1996年発足のVDECの初代センター長，鳳紘一郎先生，二代目浅田邦博先生，三代目藤田昌宏先生からという意味でVDEC四代目のセンター長として，皆様の力を結集する形でd.lab・VDEC機能の活動をさらに拡充してまいります．

第2章　d.lab事業の紹介と2023年度事業報告

2.1　先端設計研究部門

2.1.1　先端設計研究部門の事業概要紹介

先端設計部門は，教授4名，准教授1名，講師1名，特任教授1名，上席研究員1名（兼務含）で構成されており，エネルギー効率と設計効率の高い半導体集積回路の設計を目指しています（2024年3月現在）．

2022年8月に国立研究開発法人新エネルギー・産業技術総合開発機構（以下「NEDO」）の「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発／研究開発項目④AIエッジコンピューティングの産業応用加速のための技術開発」の中で，「万能高位合成と新型汎用データフロー計算機構」を研究テーマとして，日本電気株式会社と東京大学とキヤノン株式会社が実施先として採択されました．本研究は2025年3月31日までの期間で行っております．

各研究室での研究とは別に，組織として大きく2つの活動を行っています．1つ目は，d.lab協賛事業です．これはd.lab内の他部門の方々にもご協力いただいているものです．2つ目は，先端システム技術研究組合への参画です．本節では，これら2つの2023年度の活動について報告いたします．

2.1.2　d.lab協賛事業

システムデザイナーと半導体関連事業者が集い，情報・意見交換を行い，学術・社会連携をオープンに議論する 国際知価センター を目指してd.lab協賛事業を2020年度に開設しました．IoT，AI，5G，自動運転・制御，ヘルスケアなどのシステムデザイナーのアイデアと，先端CMOSや3D集積などの先進半導体技術と，それを支える素材や製造装置を結びつけるハブを目指しています．2023年度は，最終的に51社にご参加いただきました．表2.1.1が2023年度の協賛会員企業一覧です．参加いただいた各社の皆様にこの場であらためてお礼申し上げます．

2023年度は，5月の新型コロナウイルス感染症の5類移行を受け，協賛事業設立時の構想にあったようにd.labの研究成果の報告にとどまらず，東京大学の著名教授や学生との交流，世界の大学や研究機関との交流，国際会議の情報提供，産業界のトップレベルの交流，サムスン電子などの最先端技術の紹介や視察などを従来のWebinar形式に加えリアルイベントとしたプログラムを構成できました．以下2023年度の協賛事業の活動を報告いたします．2023年度も5月から3月のほぼ1年間にわたり活動を行いました．表2.1.2に2023年度に開催したイベント及びセミナーの一覧を示します．

2023年5月31日に東京大学伊藤謝恩ホールにて2023年度第1回イベントとして，d.lab協賛事業キックオフ特別講演会および懇談会を行いました．半導体の新たな時代が始まりを告げ，最先端半導体は今世紀の経済にとって，かつての石油以上に重要な戦略物資となり，多くの投資と期待が集まっています．d.lab協賛事業キックオフでは，Rapidus株式会社の東哲郎取締役会長をお招きし，「最先端半導体の持続可能な開発に向けて -Rapidus, LSTC 設立の背景-」と題して，ラピダス及びLSTCの概要，日本半導体に対する今後の期待について特別講演を行って頂きました．その後，現在d.labにおいて実施中の大型研究開発プロジェクト4件の概要をご紹介したのちに，d.lab教授陣の研究紹介をいたしました．本講演会は，伊藤謝恩ホールおよびオンラインでのハイブリッド形式で行われ，講演会後には現地参加していただいた皆様と懇談会を行い，名刺交換等の情報交換を行いました．

6月28日には，2023 IEEE 73rd Electronic Components and Technology Conference（ECTC 2023）の報告会を行いました．本会議は，IEEE Electronics Packaging Societyが主催するパッケージ，部品，マイクロエレクトロニクスシステムについての科学・技術について幅広く議論する，今年で73回目の開催となる伝統のある世界有数の国際会議です．今回は米国フロリダ州オーランドにて開催されました．技術プログラムは，パッケージング技術全般にわたる最先端の開発成果と革新技術をカバーし，チップレット，ハイブリッド接合，モデリングとシミュレーション，インターコネクション，材料とプロセス，信頼性，製造技術などが主なトピックスとして構成されています．本報告会では，最新の先端パッケージ技術と次世代のコア技術にフォーカスし，その技術動向とトピックスについて報告しました．

7月12日には6/11～6/16に京都にて開催されたVLSIシンポジウム（The 2023 VLSI Symposium on Technology & Circuits）の報告会を行いました．本会議は，1987年以来，IEEE Electron Device Society/Solid State Circuits

Societyと応用物理学会（協賛：電子情報通信学会）が主催する最先端の半導体デバイス・プロセス技術，半導体回路技術に関するマイクロエレクトロニクス業界のプレミア国際会議です．毎年，日米（京都/ホノルル）交互で開催され，今年は京都開催となりました．今年のテーマである「Rebooting Technology and Circuits for a Sustainable Future」に基づいて，先端ロジックCMOS，メモリー，イメージセンサー，フォトニクス，機械学習，AI，デジタル，通信，アナログなどの最先端技術のプログラムが組まれています．報告会では，回路・通信システム，AI・機械学習，先端CMOS，先端メモリー，3D集積プロセス技術にフォーカスし，その技術動向とトピックスについて報告しました．

9月5日には，東京大学武田先端知ビル武田ホールにおいて，日本でのR&Dを強化中のサムスン電子に，ファンダリ戦略，先端PKGや将来の半導体装置，日本での研究開発戦略について，本社メンバーおよび日本の研究所トップをお迎えしてご講演いただきました．

9月25日と26日には，d.lab協賛事業としては始めての試みとして，1泊2日のツアーに出かけました．目的地は，今最も半導体がホットな，九州地区です．1日目は，東京エレクトロン九州株式会社，株式会社オジックテクノロジーズ，ローツェ株式会社を見学させていただいたあと，くまもと3D連携コンソーシアムの皆様と技術交流会を行わせていただきました．セミナー講演やポスターセッションで議論を深めました．同日は熊本市内に宿泊しました．翌日はバスに乗り，福岡県糸島にある三次元半導体研究センターを訪問させていただきました．同センターの施設の見学をさせていただくとともに，同センターでの研究成果に関する講演を聞かせていただきました．本ツアーの企画段階から相談に乗っていただいた熊本県庁の皆様，また見学先企業の皆様にあらためてこの場でお礼申し上げます．熊本及び福岡の皆様の半導体に賭ける熱い思いを肌で感じた2日間でした．

10月25日には，「AI & Logic-LSIを支える最先端デバイス・プロセス」と題し，新技術の紹介と新たな可能性の探索を目的としたセミナーを行いました．今後FinFETに代わって2nm世代で登場すると予測されているナノシートFETについて，d.lab小林准教授に解説頂きました．次に，ロジックLSI多層配線層内に超小型スイッチを形成することで配線形成後に回路構成切り替えることが可能であるナノブリッジ技術についてナノブリッジセミコンダクター社の多田様にご紹介いただきました．最後に，現状の半導体開発のボトルネックの一つとなっている露光マスクパターン技術について，省力化，短TAT化が期待されるNVIDIA cuLitho技術について愛甲様にご紹介頂きました．

11月24日には東京大学武田先端知ビル武田ホールにおいて，d.lab協賛会員企業技術交流会を行いました．9社の皆様にご講演いただいたあと，11社の皆様にホワイエにて展示発表をしていただきました．会員の皆さんに交流いただくとともに，教職員や学生も議論に参加させていただき，大きな盛り上がりを見せたイベントとなりました．

12月13日には，材料セミナーを行いました．半導体関連の技術開発に世界中がしのぎを削る時代を迎えています．チップレットや3DICのように，システムの性能を発揮するための様々な提案が発表され，半導体材料に対する要求も多様化してきています．しかも，実用化に至るまでの開発期間を短くするための工夫が必要です．本セミナーでは，データ利用による材料開発と実験の自動化による革新的な材料探索手法について物質・材料研究機構データ駆動型アルゴリズムチームの田村様にご講演いただきました．続いて，半導体パッケージの動向についてJEITA実装技術ロードマップ専門委員会副委員長兼WG1主査兼WG3副主査であられるナミックス株式会社の尾崎様にご講演いただきました．最後に研究開発成果として得られる材料の適正を検証するために利用可能な東京大学スーパークリーンルームをd.lab三田教授より紹介させていただきました．

年が明けて2024年1月19日には，IEDM2023報告会を行いました．IEDM（International Electron Devices Meeting）はIEEEが主催するデバイス技術に関する世界最高峰の国際会議で，12月3日~7日にIn-personおよびOn-demandのハイブリッド形式で開催されました．IEDM会議全体概要の報告と先端CMOSデバイス技術・材料技術，不揮発メモリ技術，コンピューティング技術，3D集積・実装技術にフォーカスした最新デバイス技術の動向についてd.lab教授陣が解説を行いました．

2023年度のセミナーシリーズは，3月18日の2024 International Solid-State Circuits Conference（ISSCC2024）の報告会で結びました．2月18日から22日に，米国サンフランシスコにおいて開催された，2024 IEEE International Solid-State Circuits Conference（ISSCC）の学会報告を行いました．今年度は過去にないほどの厳しい審査を勝ち抜いた論文が発表されました．会議概要，基調講演，イメージャ，メモリ，機械学習，RF，ワイヤレス，データコンバータ，デジタルアーキテクチャ，デジタル

回路，パワーマネジメント/アナログ，ワイヤライン，テクノロジーディレクションの分野について，d.lab教授陣が解説しました．

2023年度の活動は，ポストコロナ時代に合わせ，参加者の利便性の高いリモートセミナーとより深く交流できるリアルイベントを織り交ぜた開催としました．九州地区への泊りがけの見学ツアーなど従来にはなかったような企画も組み込みことができました．引き続き2024年度も，会員と大学人，あるいは会員間の知的交流を活性化できるイベントの企画を行っていきたいと考えています．

2.1.3 先端システム技術研究組合

先端システム技術研究組合（RaaS: Research Association for Advanced Systems）は2020年8月17日に開設されました．RaaSは，データ駆動型社会を支えるシステムに必要な専用チップのデザインプラットフォームを構築し，オープンアーキテクチャを展開することで，専用チップの開発効率を10倍高めることを目標に掲げています．さらに，3次元集積技術を研究開発し，最新の7nm CMOSテクノロジーで製造したチップを同一パッケージ内に積層実装することで，エネルギー効率を10倍高めることが目標です．

我々は半導体ビジネスの主役が，汎用チップから専用チップに再びスイングすると考えています．その背景にはデータ社会特有の「エネルギー危機」があります．データが急増し，AI処理が高度化して，エネルギー危機に拍車がかかっています．このままいくと，2030年には現在の総電力の倍近い電力をIT関連機器だけで消費し，2050年にはそれが約200倍になると予想されています．デジタルトランスフォーメーションに莫大なエネルギーを費やして地球環境を破壊することになるのなら，サステイナブルな未来は望めません．

こうした状況下では，エネルギー効率を10倍高めた者だけが，コンピュータを10倍高性能にでき，スマートフォンを10倍長く使えます．あらゆるタスクをこなせる汎用チップに比べて，無駄な回路をそぎ落とした専用チップはエネルギー効率を桁違いに改善できます．専用チップが求められる理由がここにあります．さらに，AI処理に用いられる神経回路網はデータを並列処理するので，逐次処理をするフォン・ノイマン・アーキテクチャでは性能を引き出せません．AIアクセラレータのための専用チップが世界中で開発されています．また，ムーアの法則が減速していることも専用チップの時代の追い風になっています．

ところが，専用チップの開発は誰にでも簡単にできるものではありません．チップに集積されるトランジスタ数は世界人口を超えようとしています．開発費は近年急増して100億円にも達する勢いです．数100人の設計者を配しても開発に数年を要します．技術進歩が早い現代においては全く間に合いません．

ソフトウェアは，バグがあっても後でパッチを当てて修復できます．しかし，ハードウェアは完璧に仕上げなければなりません．ハードウェアはソフトウェアより設計が難しくて開発リスクが高く，”hard”です．

もし，ソフトウェアの開発に用いられるコンパイラーのような技術がチップの開発にも用いられたならば，すなわちシリコンコンパイラーができたならば，ハードウェアの開発費が下がりリスクも下がるでしょう．ハードウェア設計者の人口も増えます．やがてオープンソースの文化が根付き，エコシステムのネットワークが重層的に拡大発展すれば，マスコラボレーションも可能になるでしょう．そうなれば，まさにソフトウェアを書くようにチップを作ることができます．

かつてアラン・ケイが「ソフトウェアを本気で考える人たちは，自分でハードウェアを作ることになる」と言いました．システム開発には，ハードウェアとソフトウェアの両方が必要です．

私たちの目標は，シリコン技術の民主化（democratize access to silicon technology）です．シリコンコンパイラーをイノベーションし（design chips as writing software），短時間でプロトタイプを作れる開発プラットフォームを創出します（agile authentic prototyping）．

技術目標は，開発効率10倍かつエネルギー効率10倍です．開発効率を高めるために，アジャイル設計プラットフォームを創出し，オープンアーキテクチャを展開します．また，エネルギー効率を高めるために，チップを先端CMOS技術で製造し，3次元実装します．

半導体を製品として売るのではなく，サービスとして提供する．そのための技術をRaaS（ラース）は研究開発します．

2021年度には，国立研究開発法人新エネルギー・産業技術総合開発機構（以下「NEDO」という．）の，「ポスト5G情報通信システム基盤強化研究開発事業／先端半導体製造技術の開発（b）先端半導体の後工程技術（More than Moore技術）の開発 」に係る公募にRaaSとして応募し採択されました．開発テーマは，「(b2) エッジコンピューティング向け実装技術」です．

2023年度は，システム系研究開発においては，アドバンテストと理研という新たなメンバーが加わり，3か

年計画の初年度として新たな目標に向かって研究を進めました．テクノロジー系研究開発においては，前述のNEDOプロジェクトを柱に，ダイレクト接合3D積層技術開発（WoWおよびCoW向け装置・プロセス開発）としてCu-Cu の低温ハイブリッド接合によるWoW（Wafer on Wafer）接合技術及びCoW（Chip on Wafer）接合技術の構築とその実装化に取り組んでおります．

表2.1.1　2023年度d.lab協賛会員（50音順）

アオハ株式会社
旭化成エレクトロニクス株式会社
株式会社 ＡＤＥＫＡ
株式会社アドバンテスト（RaaS）
アナログ・デバイセズ株式会社
ウシオ電機株式会社
オルガノ株式会社
キオクシア株式会社
株式会社神戸製鋼所
株式会社コベルコ科研
一般財団法人 材料科学技術振興財団
株式会社サムスン日本研究所
シーメンスEDAジャパン株式会社
ＪＳＲ株式会社
株式会社JCU
信越化学工業株式会社
株式会社ＳＣＲＥＥＮホールディングス（RaaS）
住友商事株式会社
株式会社ソシオネクスト
ソニーグループ株式会社
ダイキン工業株式会社（RaaS）
大日本印刷株式会社
株式会社ディスコ
ディップソール株式会社
東京エレクトロン株式会社
東京応化工業株式会社
東洋紡株式会社
東レ株式会社
凸版印刷株式会社（RaaS）
長瀬産業株式会社
株式会社ニコン
日本アイ・ビー・エム株式会社
日本ケイデンス・デザイン・システムズ社
日本シノプシス合同会社
日本電子株式会社
株式会社ネクスティ エレクトロニクス
パナソニック　インダストリー株式会社
パナソニック コネクト株式会社（RaaS）
株式会社半導体エネルギー研究所
株式会社日立製作所（RaaS）
富士通株式会社
富士フイルム株式会社（RaaS）
マイクロンメモリ ジャパン株式会社
三菱ケミカル株式会社
三菱電機株式会社
株式会社ミライズテクノロジーズ（RaaS）
株式会社村田製作所
国立研究開発法人 理化学研究所（RaaS）
ルネサス エレクトロニクス株式会社
株式会社レゾナック
ローム株式会社

表2.1.2　2023年度d.lab協賛事業セミナー

開催日	タイトル	講師
2023/5/31	2023年度 d.lab協賛事業キックオフ特別講演会	Rapidus株式会社 取締役会長 東 哲郎様 d.lab 黒田 忠広 教授 d.lab 丹羽 正昭 上席研究員 d.lab 若林 一敏 上席研究員 d.lab 最上 徹 特任研究員 d.lab 池田 誠 教授 d.lab 三田 吉郎 教授 d.lab 小林 正治 准教授 d.lab 飯塚 哲也 准教授 d.lab 小菅 敦丈 講師
2023/6/28	ECTC2023報告会	d.lab 川野 連也 特任研究員 d.lab 高木 剛 主幹研究員 d.lab 山本 和徳 主幹研究員 産総研 3D集積システムグループ 研究グループ長 菊地 克弥様
2023/7/12	VLSIシンポジウム2023報告会	d.lab濱田 基嗣 特任教授 d.lab小菅 敦丈 講師 d.lab平本 俊郎 教授 d.lab高木 信一 教授 d.lab小林 正治 准教授 d.lab丹羽 正昭 上席研究員
2023/9/5	Samsung Day	Samsung Electronics EVP at HQ & University Relations Center（URC） 金 宣植様 EVP at Samsung Foundry Park Cheolmin様 Master at Mechatronics Research 康 松潤様 日本サムスン株式会社 専務 Samsungデバイスソリューションズ研究所 研究所長 川平 博一様
2023/9/25-9/26	九州ツアー	東京エレクトロン九州株式会社 株式会社オジックテクノロジーズ 合志事業所 ローツェ株式会社 くまもと3D連携コンソーシアム 三次元半導体研究センター
2023/10/25	AI & Logic-LSIを支える最先端デバイス・プロセス	d.lab小林 正治 准教授 NanoBridge Semiconductor, Inc. VP 多田 宗弘様 エヌビディア合同会社マーケッティングマネージャ 愛甲 浩史様
2023/11/24	d.lab協賛企業技術交流会	株式会社神戸製鋼所 三菱ケミカル株式会社 株式会社コベルコ科研 JSR株式会社 株式会社ソシオネクスト ルネサスエレクトロニクス株式会社 日本アイ・ビー・エム株式会社，キオクシア株式会社 株式会社村田製作所 日本ケイデンス・デザイン・システムズ社 日本シノプシス合同会社 株式会社ＡＤＥＫＡ シーメンスEDAジャパン株式会社

開催日	タイトル	講師
2023/12/13	材料セミナー	物質・材料研究機構データ駆動型アルゴリズムチーム チームリーダー 田村 亮様 JEITA実装技術ロードマップ専門委員会副委員長兼WG1主査兼WG3副主査 ナミックス株式会社 参事 尾崎 裕司様 d.lab 三田 吉郎 教授
2024/1/19	IEDM2023報告会	d.lab 平本 俊郎 教授 d.lab 高木 信一 教授 d.lab 小林 正治 准教授 d.lab竹内 健 教授 d.lab 高木 剛 主幹研究員
2024/3/18	ISSCC2024報告会	d.lab 池田 誠 教授 d.lab 竹内 健 教授 d.lab 飯塚 哲也 准教授 d.lab 濱田 基嗣 特任教授 d.lab 小菅 敦丈 講師

2.2 先端デバイス研究部門

先端デバイス部門では，データ駆動型システムを実現するため半導体システムのエネルギー効率を10倍改善することを目指し，3次元集積技術と先端デバイス技術の研究を行っている．

2.2.1 構成

教授	高木　信一
教授	平本　俊郎（部門長）
教授	染谷　隆夫
教授	内田　建
准教授	小林　正治
上席研究員	丹羽　正昭
主幹研究員	高木　剛
特任研究員	山本　和徳
特任研究員	最上　徹
特任研究員	川野　連也
特任研究員	二宮　健生
特任研究員	王　俊沙

2.2.2 事業報告

データ駆動型社会の実現を目指して，エネルギー効率10倍を可能とする次世代3D集積技術のコアとなるプロジェクトを行っている．AIをはじめ大量のデータ処理を必要とするコンピューティング技術において，メモリとプロセッサとの間の大量で頻繁なデータ移動に伴うエネルギー消費が大きな課題となっている．そのような課題を解決する技術として，チップレベルもしくはウェハレベルで直接接合を形成して，データの移動距離を短縮しエネルギー効率を高めるダイレクト接合3D積層技術に注目し研究を行っている．

2021年度に採択されたNEDO事業「ポスト5G情報通信システム基盤強化研究開発事業／先端半導体製造技術の開発（助成）」において，d.labが組合本部となり運営している3D集積技術に関する技術研究組合である先端システム技術研究組合（Research Association for Advanced Systems：RaaS）が，『ダイレクト接合3D積層技術開発（WoWおよびCoW向け装置・プロセス開発）』というテーマにRaaS組合員企業とともに取り組んでいる．Cu-Cu の低温ハイブリッド接合によるWoW（Wafer on Wafer）接合技術及びCoW（Chip on Wafer）接合技術に関するチョークポイント技術の開発とその実装化を目指したプロジェクトである．

今年度は，プロジェクト3年目にあたり，主要設備の立上げが完了し基本性能が確認された．また，要素技術開発においても基本特性を実証し，当初目標を達成した．2024年1月に実施された中間ゲート審査を通過し，2026年6月の最終目標達成に向け研究開発を加速している．

また，生産技術研究所，マテリアル工学専攻と共同でJST ALCA-Nextに“フォノンエンジニアリングに立脚した3DIC放熱技術開発”を新たに提案し，採択された．2026年度末に予定されているステージゲートまでのスモールフェーズにおいて，3DICの放熱技術について研究し，放熱効果の実証を行う予定である

2.3　基盤設計研究部門(旧VDEC部門)2023年度事業報告および2024年度事業計画

2.3.1　基盤設計研究部門概要

東京大学大規模集積システム設計教育研究センター（VDEC）は，1996年の発足以来『LSI教育情報の発信拠点形成』,『VLSI設計支援教育用CADソフトウエアの整備』,『VLSIチップ試作支援』を3つの柱として，日本の大学・高専における集積回路設計教育に資する事業を展開してきた．2019年10月1日に東京大学における，半導体集積回路関係の強化を目指した組織改編により，東京大学大規模集積システム設計教育研究センターは東京大学大学院工学系研究科附属システムデザイン研究センター（d.lab）へと改組され，その中で，基盤設計研究部門がこれまでのVDECの担ってきた機能を引き続き担い，シームレスに活動を継続している．ここでは，d.lab基盤設計研究部門の活動内容に基づき，以下に2023年度の概要を報告する．

VDECの使命は全国の国公私立大学および高専のLSI設計研究・教育を高度化し，産業界に対しても優秀なLSI設計技術者を数多く送り出すことである．VDECの発足より27年経過し，各大学におけるCADソフトウエアの利用技術教育やLSI設計・設計フローに関する教育の充実が図られている．その一方で，先端のLSI設計技術およびそれに対応するCADソフトウエアは一層複雑化し続けている．そのため，CADツールの導入に際しては，CADベンダーから講師を招いてのセミナーの開催を継続しており，参加者の利便を図るために2009年度より東京での開催と同時に映像配信による拠点校での遠隔受講としている．VDECとしては各ユーザ研究室内で“技術伝承”され，VDEC主催のセミナーがトリガーとなって最新のCAD利用技術が全国的に広がることを期待している．なお，2022年度においては，すべてのセミナーをオンラインで実施している．一部の項目に関しては，オンデマンド＋ライブQ&Aという形で実施し，参加への利便性の向上への取り組みを行った．また，各社のツールチェインが複雑化し導入しているツールを十分に使いこなすことが困難となっているという現状を鑑み，各ツールベンダーの推奨するツールチェインに関する講演会もツールセミナーの開催に合わせる形で実施した.なお，2019年度末からのCOVID-19感染拡大を受けて，各EDAベンダーからEDAツールの自宅からの利用に関する許諾を受け，2023年度においても，日本国内における集積回路設計研究・教育に遅滞の生じないよう取り組んだ．

2.3.2　基盤設計研究部門における教育の実施状況

LSI設計フローセミナーはLSI設計の基本概念教育と複数のCADツールを連携する実用的設計例の体験教育である．2022年度は開催を断念したが，2023年度は全国協力教員の協力の元，このセミナーを含めた社会人のリフレッシュ教育プログラムを再開させた．

これらセミナーに加えてVDECでは年1回，若手教官と学生を中心としたVDEC デザイナー・フォーラムを開催している．これはワークショップ形式の会合であり，企業・大学からの招待講演に交えて，参加者が設計事例を持ち寄ってその成功談，失敗談を交換する．これから設計を始めたいと考えている学生・教官もここでさまざまなノウハウを得ることができる．2023年度はVDECデザイナー・フォーラムを9月29-30に山口県下関市川棚温泉川棚グランドホテルお多福にてハイブリッド開催した．2011年度から，VDEC活動における表彰として「IEEE SSCS Japan Chapter VDEC Design Award」の最終審査・表彰をVDECデザイナー・フォーラムの場で行っており，2023年は，IEEE SSCS Japan Chapter VDEC Design Awardとして，東京工業大学の山崎 雄大, 4件のVDEC デザインアワード優秀賞,（山崎 雄大（東京工業大学）, 中西　優輝（奈良先端科学技術大学院大学）, Li Shuowei（東京大学）, 宍戸　優樺（九州工業大学)）, 2件のVDEC デザインアワード奨励賞（岡田 竜馬（奈良先端科学技術大学院大学）, 大谷 愛（立命館大学)），2件のVDEC デザインアワードアイデアコンテスト部門嘱望賞（アンドリノ ロベルト（山形大学）, 堀田 遼太郎（立命館大学)）を授与した．また, 本年度より, 次の3名（田辺　駿介（静岡大学）, 立田　一葵（立命館大学）, 張　浩明（東京大学)）をVDEC デザインアワード ファイナリストと認定した．

このようなセミナー，フォーラムを通じた教育システムによりLSI設計の基本的項目を学習できるようになっているが，それでも実際のLSI設計の場面では，さまざまな困難に直面することが多い．初心者にとってはCADソフトウエアのセットアップは最大の問題である．セットアップの後もCADソフトウエアが発する“難解なエラーメッセージ”でとまどうことも多い．このような場合に力を発揮するものがVDECメールグループである．VDECユーザはVDECのホームページからCADメールグループや試作技術対応のユーザグループに登録することができ，そこに直面する疑問点を投稿し，助けを求めることができる．メールグループの

登録ユーザはそれに回答する義務を負っているわけではないが，ほとんどの場合，数時間から数日以内に経験豊かなユーザからの支援を得ることができる．ぜひこの仕組みを活用することで問題解決の一助としていただきたい．

2.3.3 基盤設計研究部門における発表文献の推移

図2.3.1 にVDECに関係する発表文献のVDECファシリティー利用状況を示す．論文執筆にあたりCADソフトウエアが幅広く利用されていることが確認できる．CADソフトウエアはチップ設計だけでなくチップ試作の準備段階で利用される場合が多いため，研究の基本アイデアを実証するツールとしての貢献度も大きい．

2.3.4 基盤設計研究部門におけるAIチップ設計拠点活動概況

平成30年度（2018年度）から東京大学VDEC，国立研究開発法人産業技術総合研究所が共同でNEDOから受託している「AIチップ開発加速のためのイノベーション推進事業／研究開発項目②：AIチップ開発を加速する共通基盤技術の開発」により，国内のベンチャー・中小企業向けのEDA利用・設計環境を構築し，AIチップ設計拠点として活動を行っている．2022年度でNEDOからの受託プロジェクトは終了したが，引き続き，後述の「産総研・東大AIチップデザインオープンイノベーションラボラトリ」（AIDL）が主体となる形で，AIチップ設計拠点活動を継続している．本活動では，ベンチャー・中小企業がエンジニアリングサンプルまで試作可能なEDAツールライセンスの導入に加え，40nm, 28nm, 12nm向けのIPを導入，また，同プロジェクト開始時に経済産業省からの補助金により導入された，ハードウエアエミュレータによる大規模・高速設計検証環境の提供を行っている．2020年度にNoCおよびPCIe, DDR4などを備え，複数の機能IPコアを搭載可能なSoCプラットフォームのAI-One設計を行い，利用者の設計したAI IPコアを複数搭載したSoCとしてテープアウトを行ったものが，組み立て等の関係で大幅に遅れて2022年1月に納品され1週間足らずでSoCの基本機能の検証，2021年度中にほぼすべてのIPコアの基本動作の確認が完了するという大きな成果を上げている．さらに2022年6月には12nmで4種類のAI IPコアを搭載したAI-Twoの設計試作を行い2023年3月までにすべてのIPコアのデモの実現を行っている．また，同活動をより強化するために，2019年9月1日に，「産総研・東大AIチップデザインオープンイノベーションラボラトリ」（AIDL）を東京大学浅野キャンパス武田ビル内に設置し研究を加速させている．

2.3.5 基盤設計研究部門の2024年度の活動計画

2024年度においても，従来通りアカデミック向けの活動を継続する．

【設計情報発信・セミナー開催】

本年度は，1997年度より継続しているCADツール利用法に関する技術セミナー，1998年度から継続している社会人向けの「リフレッシュセミナー」，1996年度より継続している若手のための「デザイナーズフォーラム」を継続して開催する．教科書，教材の整備充実を行なうことを予定している．

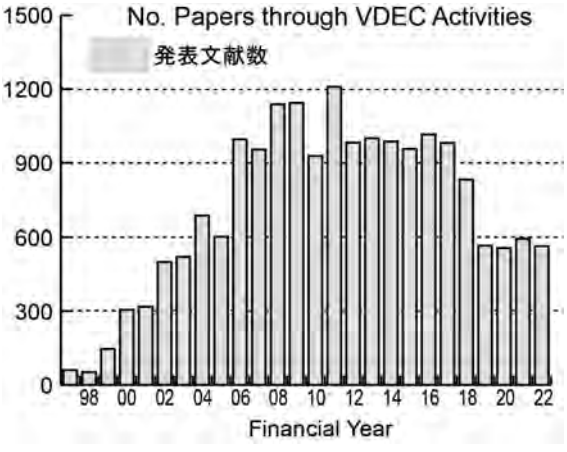


図2.3.1　VDECを利用した発表文献数の推移

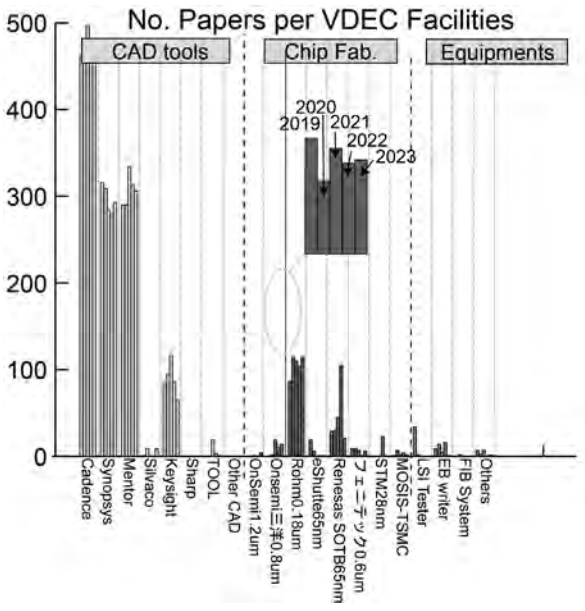
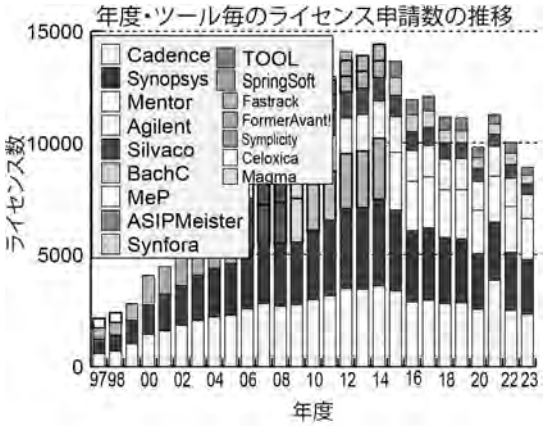


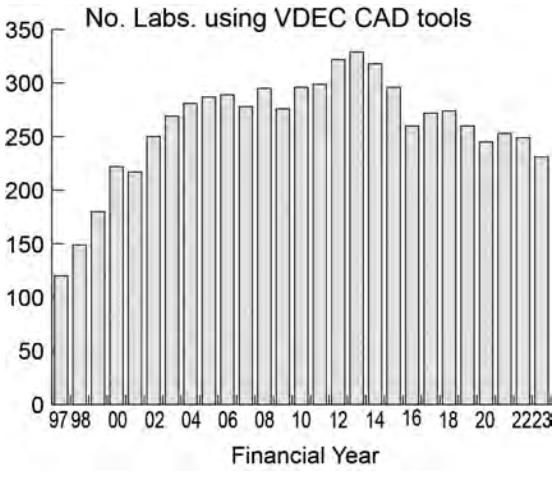
図2.3.2　VDECファシリティー利用状況

【CADツール提供】

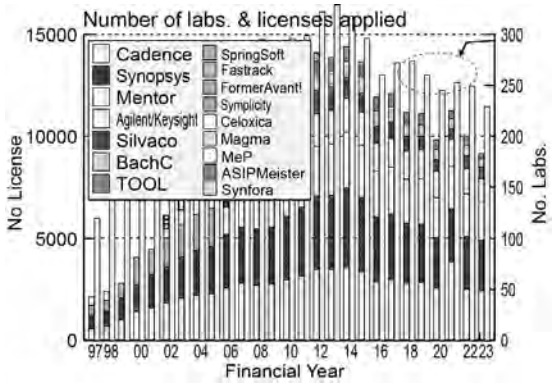
上流設計（Cadence, Synopsys），中流設計（Synopsys, Cadence）,下流設計（Cadence）の各基本ツールを，2024年度もサポートしていく．これに加え2002年度から導入した設計検証（Mentor: Caribre, ModelSim, Catapult等），2004年度から導入したアナログRF設計ツール（Agilent: ADS/EMPro/GoldenGate）を継続してサポートするとともに，2005年度より提供を受けているSharp社Cベース設計ツール（BachC）を継続してサポートする．2008年度より提供を開始しているTOOL社レイアウト表示プラットフォーム（Lavis）に関しても利用状況に基づき継続を行うとともに，2011年度からのSpringSoft社の検証ツールは，SpringSoft社がCadence社に買収されCadence社のツール群としてのサポートが継続されることになっている．



CADUserLicense



CADUser



CADLicense

【チップ試作支援】

2024年度は，2023年度から引き続きローム株式会社の0.18umCMOSプロセスおよびJS Foundry（旧オンセミ-三洋半導体）0.8μmCMOSを定常試作として継続する（すでに一部の試作は進行中である）.なお，一部のチップ試作に関しては試作申込数が少ない場合に試作キャンセルとなることがある.また，2020年度に検討を開始した，IHP SiGeBiCMOS 0.18um試作を継続する．

【そのほか】

経済産業省・NEDOの「AIチップ開発加速のためのイノベーション推進事業」における「AIチップ開発を加速する共通基盤技術の開発」」事業が2023年3月に終了し，この事業を自立して活動するために，「産総研・東大AIチップデザインオープンイノベーションラボラトリ」（AIDL）第2期を東京大学浅野キャンパス武田ビル内に設置し，AIチップの設計・評価・検証等の開発環境を中小・ベンチャー企業への提供を継続している．

表2.3.1　VDECチップ試作スケジュール（2024年度）

【CMOS 0.8μm 2P2M】　JS Foundry（旧オン・セミコンダクタ）

	試作申込締切	設計締切	納品・試作完了
2024年度第1回	2024/7/16	2024/9/24	2024/12/16
2024年度第2回	2025/1/6	2025/3/24	2025/6/23

【CMOS 0.18μm 1P5M（+MiM)】　ローム株式会社

	試作申込締切	設計締切	納品・試作完了
2024年度第1回（2024年7月試作）	2024/4/1	2024/6/24	2024/10/9
2024年度第2回（2024年9月試作）	2024/6/10	2024/9/2	2024/12/14
2024年度第3回（2024年11月試作）	2024/7/29	2024/10/21	2025/2/18
2024年度第4回（2025年3月試作）	2024/11/14	2025/2/3	2025/5/16

2.4 基盤デバイス研究部門

2.4.1 基盤デバイス研究部門のミッション

d.lab基盤デバイス研究部門は，自らも現役研究者としてクリーンルームにおいて実験研究を牽引する三田吉郎教授を部門長とし，関連専攻（総合研究機構，電気系工学専攻，機械系工学専攻等）と人的・予算的協力を行いながら，高度微細デバイス研究の必須3要素（後述）を整備・運営・研究する30名規模のチームである．集積回路に代表される半導体エレクトロニクス素子，センサ・マイクロシステムなど新規分野の研究には，①加工・計測装置への膨大な設備投資と，②学問に裏付けられた微細加工技術の厚い蓄積，そして③最先端の加工技術を開拓する研究開発力が必須である．上記高度微細デバイス研究の必須3要素は，個々の研究室で開発され，個々の研究室に知見が蓄積されるのが20世紀後半の我が国の大学における基本形態であった．しかしながら，加工・計測装置は年々高度化・大型化し，21世紀に至り，潤沢に資金を持つ研究室であっても一流装置の調達そして維持が困難な時代となった．もとより大学高専，企業や国研，NPOにおける全ての研究室が潤沢に巨額の資金と潤沢な人的リソースを個々に「独占所有」することは不可能であるが，1996年のVDEC設立時に整備した「集積回路設計研究におけるシェアードエコノミーモデル（ファウンドリ）」を微細加工・計測研究分野に対して水平展開し，何人に対しても開かれた「オープンプラットフォーム」を整備し運用する「互助」の仕組みを成立させられれば，恵まれた環境を「等価的に所有（共有）」でき，全国津々浦々で最先端研究を実施することができる．

上記目的を達成するためにd.lab基盤部門では，2001年に武田郁夫氏（現アドバンテスト創業者）による工学系研究科（小宮山宏工学部長）及び大規模集積システム設計教育研究センター（浅田邦博センター長）に対して行われた巨額の寄付により，2003年12月に竣工した「武田先端知ビル」地下スーパークリーンルーム（ISOクラス3，実測クラス1を含む600㎡），及び上層階スペースの固有面積および借室面積を利用，価値総額50億円を超える一流の微細加工・計測装置を戦略的に展開，共用授業を展開している（図1）．

管理する公開装置は，アドバンテスト株式会社大浦会長御英断の寄付による「世界最速」高速電子線描画装置F5112+VD01に始まり，平成24年度補正予算（アベノミクス「第一の矢」）によって導入された高精細電子線描画装置F7000S-VD02，シリコン高速深掘りエッチング装置SPTS MUC-21 ASE-Pegasus，研究室レベルで導入できる最も高精細なクラスの走査型電子顕微鏡Hitachi Regulus SU8230等約100台であり，洗浄，製膜，リソグラフィ，エッチング，組み立て，評価プロセスの大半をカバーしている．現時点でカバーできていない技術分野の装置は，ナノテクノロジープラットフォームを受け継いだマテリアル先端リサーチインフラ事業全国14拠点のネットワークによって提供している．

図1　武田先端知スーパークリーンルーム沿革

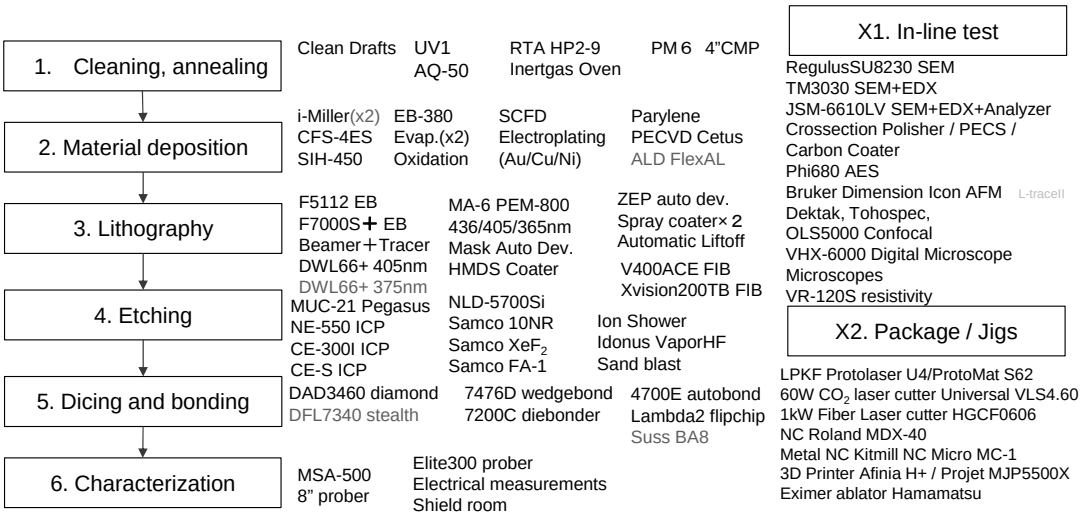


図2　d.lab基盤デバイス部門が管理公開する共同利用装置（赤字は増強分）

2.4.2　基盤デバイス研究部門が運営する「武田先端知クリーンルーム」共有環境

拠点は，文部科学省事業（2020-2031）「マテリアル先端リサーチインフラ事業東京大学ハブ微細加工拠点」または「武田先端知クリーンルーム」と呼ばれ，「装置共用という価値観を共有する者」に対して広く開かれている．2023年12月17日に竣工20年を迎えた．

単なる試作の外注先ではないと利用者一人一人が自覚することが非常に大切であり，利用開始に先立ち「自助・共助・公助」という価値観を理解し共有する．このことによって研究室運営者としての自分が当然支払うべきコスト（人的，金銭的，時間的）を最低限に抑えながら直ちに最先端の研究が展開できる．価値観の共有による利益は，例えば建物も含め90億円を超える施設整備費，年間3.5億円の運転経費，これらを整備し先端プロセスの知見を蓄積していた20年という時間の短縮効果である．このように絶大な効果のため多数の研究室の賛同を得ている．研究室数は過去13年で780研究室を超え，23年度登録者は年間1128名であった．

運用は「自助・公助・共助」を旨とし，利用者負担金（内規に基づく），d.lab運営費交付金，文部科学省マテリアル先端リサーチインフラ事業，関連研究室（武田先端知ビルおよびクリーンルームの借室研究室）やd.labと直接共同研究関係のある企業等からの研究資金を収入とし，それぞれの予算使途を厳密に区分して各種法規規則や命令を完全に遵守して公正に運用している．運転資金年間3.5億円の内訳は大分類として整備費，電気代・修理費・人件費からなる（昨今電気代の負担増が厳しい）．法人化以降，中期計画に基づいた弾力的な運用が可能であり，突発的故障を想定した安全係数の運用を行い，年度で節約できた運営費を原資として職員の安定雇用や小・中規模装置の更新，増強に割り当てている．

基盤デバイス研究部門では，多数の利用者が抱える微細加工への期待に日夜接することで，技術動向の「空気感」を持っている．需要が高く，分野を超えた普遍性が見込まれる基幹技術については自らのチームで技術開発を行い，積極的に論文発表して公共財とするように努めている．

さらに，d.labの一部門であるという「地の利」を活かし，集積回路素子（LSI）と新規MEMS構造の集積化，所謂「集積化MEMS」の研究開発を10年以上にわたって実践している．詳細は原著論文[2]にまとめているとおり，「LSIファウンドリ」機能によって，特定用途向け電子デバイスの搭載されたシリコンウエーハを協力会社（例：フェニテックセミコンダクター社）で試作し，取得したウエーハに対して武田先端知ビルスーパークリーンルームを始めとするオープンプラットフォームにおいて微細後加工を施し，センサ・アクチュエータ素子とする仕組みである．この仕組みによれば，信頼性が必要であるトランジスタ回路部分は全く苦労することなく入手でき，新規機能であるために外注の引受先が存在しないMEMS部分は自前で行う．まさに「世界初の機能を」「世界最高の性能で」実現することが可能な，世界的にもユニークな仕組みといえる．企業も含む共同研究ベースで年1回の共同試作（固定枠方式）を行っている．

[2] Y. Mita *et al., Japanese Journal of Applied Physics*, 56, p. 06GA03, 2017（2017）DOI: 10.7567/JJAP.56.06GA03

2.4.3 基盤デバイス研究部門2023活動報告

【KPI】2023年度は，195研究室からの利用があった．内訳は企業：外部公的機関：東大工学部以外：工学部＝1：1：1：1であり，1128名の登録があった．

利用登録のあった装置は43台であり，稼働率47%（延べ9404日中4422日使用），外部共用率67.6%（4422日中2990日が外部利用：ただし，一装置につき1日がカウントの単位で，同一日に外部と内部の利用が複数あった場合は「外部1日」とカウントするルール）となった．これは，ARIM事業で課されている目標（外部共用率30%）を大きく上回る実績であり「世界で最も民主的なオープンプラットフォーム」の面目躍如たる結果であった．

【二十歳】「武田先端知　二十歳を祝う会」を2023年12月20日に開催した[3]（図3）．藤井輝夫総長，加藤泰浩工学系研究科長，文部科学省，経済産業省および株式会社アドバンテストよりの祝辞の後，基盤設計研究部門，D2T寄付講座，基盤デバイス研究部門の現状報告が行われ，続いてソニーセミコンダクタソリューションズ大池祐輔氏による基調講演，クリーンルーム利用者の秀でた利用成果（株式会社イノバステラ，電気通信大学菅哲朗教授研究室）が行われた．関連研究室の研究ポスターセッションで誕生日を祝い合ったのち，小宮山宏三菱総合研究所理事長による特別講演「課題先進国の20年」で締めくくった．

[3] https://www.if.t.u-tokyo.ac.jp/~mita/Takeda-Anniversary2023.pdf

【世界のクリーンルームプラットフォームとの高水準技術交流】オープンイノベーション拠点としてのクリーンルームプラットフォームは，米国NSFによるナノテクノロジーインフラストラクチャーや，フランス共和国CNRS（国立科学研究センターが運営するRTB-RENATECH，オーストラリアAIFFなど，西側先進国において広く整備されている．このうち基盤デバイス部門は，三田拠点長の25年来のネットワークによって，仏RENATECHと，それが主導するEuroNanoLabと密接な協力関係にある．2022年度末にRENATECH五大拠点の一つであるLAAS研究所から2名のエンジニア（Hugues Granier氏およびDavid Bourrier氏）を招聘し，東大拠点で整備中のメッキ装置を軸に技術交流を行った．その成果を含む8件の技術研究報告を，EuroNanoLabが主催するEuropean National Research Infrastructure Symposium（ENRIS）国際会議に投稿し全件採用されたので，エンジニアチームをフランス共和国C2N研究所（パリサクレー市）に派遣し，発表を行った．東大を含む24研究所からの参加があり，それぞれのクリーンル

図3　小宮山宏元総長（右）と20周年を祝う三田部門長（左）

ームのベンチマークを行うことができた（図4）．結果，面積の世界標準は1000㎡を超えていること（東大は600㎡），予算規模も同等以上の拠点が多数存在すること（東大は8位）が分かると同時に，1100名の利用者数は群を抜いて多いことが確認された．会議終了後もしばらく現地に留まり，CNAM（パリ市，フランス），IEMN（リール市，フランス），LAAS（トゥールーズ市，フランス），ルーヴェンカトリック大学ならびにIMEC（ベルギー）のヨーロッパ西部の有力拠点を訪問した．

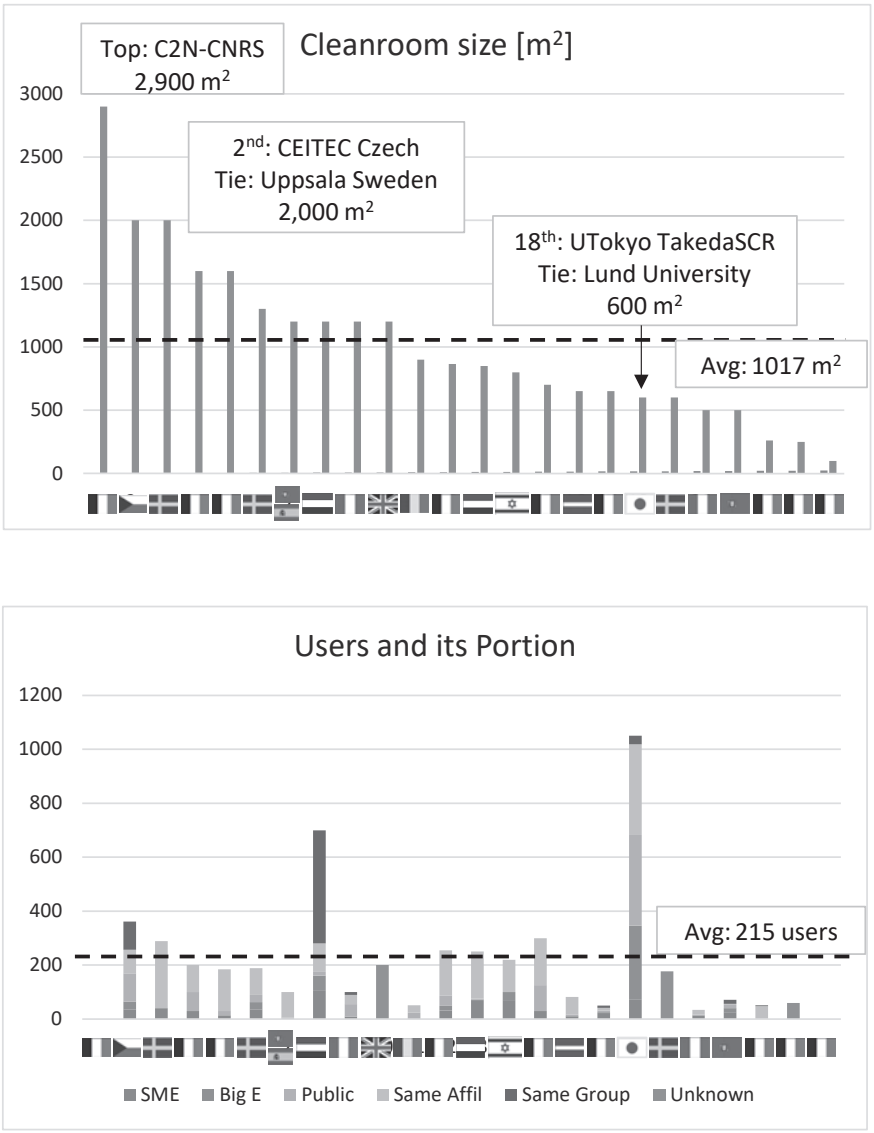


図4　武田SCRの面積は世界標準の半分と狭い（上）が，利用者数は世界一（下）

2.5 「アドバンテストD2T寄附講座」活動報告

2.5.1 「アドバンテストD2T寄附講座」の紹介

2.5.1.1 アドバンテストD2T寄附研究部門（現寄附講座）設立の趣旨

これまでのVDECの活動を通じ，多くの大学・高専でVLSI設計・試作文化が根付き，活発な設計研究・教育活動が行われています．このような状況の中，株式会社アドバンテストからの寄附金により，「アドバンテストD2T寄附研究部門」が2007年10月に VDEC内に設立されました．「アドバンテストD2T寄附研究部門」は，全国の学生にVLSIの設計からテストまで一貫した研究・教育環境を提供することで，テスト設計の専門家となりえる人材を育成するとともに，SoCの設計に関する研究を支援することを目的としております．従来，VDECではVLSIの「設計・試作」という面からの活動を重点的に行ってまいりましたが，「設計」だけでなく「テスト」の観点からも研究・教育の中心拠点となるべく ”Design to Test（D2T）” の理念のもと，国内の大学・高専における「テスト研究・教育」の拠点としての活動を行っています．

当部門はこれまで2007年10月～2010年9月（第1期），2010年10月～2013年9月（第2期），2013年10月～2016年9月（第3期），2016年10月～2019年9月（第4期）の計12年間に渡るプロジェクトを遂行してきました．東京大学大学院工学系研究科附属システムデザイン研究センター（d.lab）が2019年10月に発足後，D2T寄附研究部門は研究のさらなる発展，D2T教育により重心を置いた「アドバンテストD2T寄附講座」としてセンター内に設置されました．2019年10月から株式会社アドバンテストのご厚意により新たに開始した第6期（2022年10月～2025年9月）の2年目が開始いたしました．本報告は第6期1年目，2022年10月～2023年9月の活動報告となります．D2Tに関する研究とともに，教育活動の充実図っていく予定であります．当寄附講座の活動の詳細については，続く各章においてそれぞれ報告いたします．

2.5.1.2　アドバンテストD2T寄附講座構成員

特任教授　　池田 誠
特任講師　　肥後 昭男
博士研究員　Zolboo Byambadorj
共同研究員　浅見 幸司
（株式会社アドバンテスト研究所）
共同研究員　石田 雅裕
（株式会社アドバンテスト）
学術支援職員　山口 隆弘
事務補佐員　　岡崎 真紀子

2.5.2 「第18回D2Tシンポジウム」開催報告

2023年9月8日（金）に，ハイブリッド開催による「第18回D2Tシンポジウム」を開催し，たくさんの皆様にご参加を頂きました．

今回のシンポジウムでは，国内外から著名な招待講演者としてオーバーン大学のAdit Singh先生，Advanced Quantum Architecture Lab（AQUA），EPFLのEdoardo Charbon先生，香港科技大学および本学フェローのTim Cheng先，University of California, San DiegoのAlex Orailoglu先生，KU LeuvenのGeorges Gielen先生，本学システムデザイン研究センターから若手新進気鋭の勢いのある小菅敦丈先生をお招きし，最新の研究についての貴重な講演を頂きました．「Verification for Analog TEST, Digital neuromorphic computing, Cryo-CMOS」をキーワードに最新の研究についての貴重な講演を頂きました．

台風の接近にともない直前にハイブリッド配信になってしまいましたが，現地およびオンライン聴講で大変盛況な会となりましたことを改めて御礼申し上げるとともに，2024年9月6日（金）に開催する第19回シンポジウムは対面実施をいたしますのでご参加を心よりお持ち申し上げる次第です．

18th D2T Symposium Program ONLINE　September 8, 2023

10:00	**Opening Remarks** Tadahiro Kuroda (Director, d.lab, School of Engineering, the University of Tokyo) **Yoshiaki Yoshida** (President & CEO, ADVANTEST CORPORATION)
10:15	**Session 1** (Chairperson: Makoto Ikeda, d.lab, the University of Tokyo) *Classical Cryo-CMOS Systems for Quantum Computing: from a Wild Idea to Working Silicon* **Edoardo Charbon**, *Professor (EPFL)* *Digital neuromorphic computing systems featuring dendrite-spines in human cerebrum* **Atsutake Kosuge**, *Lecturer (d.lab, University of Tokyo)*
11:45	**Free coffee and Tea break (KESCO supported)**
14:00 15:30 15:45	**Session 2** (Chairperson: Tetsuya Iizuka, d.lab, the University of Tokyo) *Boosting defect coverage for analog/mixed-signal ICs: machine learning to the rescue* **Georges Gielen**, Professor (KU Leuven) *Algorithm-Centric Design of Reliable and Efficient Deep Learning Processing Systems* **Alex Orailoglu**, Professor (University of California, San Diego) **15min break** **Session 3** (Chairperson: Masahiro Fujita, the University of Tokyo) *Understanding Circuit Timing Marginalities that Cause Silent Data Corruption Ratio based Resistive Memory Cells for Low Error Rate and High Energy Efficiency* **Adit Singh**, Professor Auburn University *"Design, Architecture and Integration of Next-Generation Edge AI Chips: Challenges and Opportunities"* **K.-T. Tim Cheng**, *Professor U-Tokyo Fellow (Hong Kong University of Science and Technology)* **Session 4** *Recent D2T research department progress* **Akio Higo**, Lecturer (d.lab, the University of Tokyo)
17:30	**Closing Remarks** **Makoto Ikeda** (d.lab, School of Engineering, the University of Tokyo)

2.5.3 研究活動報告

■高精度波形測定技術

山口隆弘，肥後昭男，飯塚哲也，池田誠

確率的アナログ-デジタル変換器（Stochastic Analog to Digital Converter; ADC）の研究をおこなっている．とくに，耐不規則性をより向上させるための，確率の中央値をもちいたレベル交叉（LC）時刻検出方式について研究している．

N個の『プロセス変動ゼロのコンパレータ』をもちいるLC検出に対応する理論を開発し，MC（モンテカルロ）実験により検証した：単一コンパレータと異なり，理想的コンパレータを複数集積してもレベル交叉時刻検出には限界が存在する．

■5G多チャンネル・ミリ波信号測定手法の研究

浅見幸司，Byambadorj Zolboo，小池良吾，Sheng Guo, Mai-Khanh Nguyen Ngoc，肥後昭男，飯塚哲也，藤田昌宏，松本高士，池田誠

ミリ波信号をover-the-air（OTA）環境で測定するための，要素技術の研究を行っている．ミリ波用アンテナの近傍界測定用マルチチャンネル・プローブアンテナを設計・製作し，マルチチャンネル測定システムを構築した．市販の5G用アンテナを測定し，精度よく遠方界を推定できたことから，プローブ内の各アンテナエレメントがよく機能していることを確認した．一方，プローブ全体から発生する不要な電磁波の反射が測定に影響することが分かり，反射を抑制する方法を検討している．

■ATE向け高速・高精度な多ピン信号品質CAL技術

白幡一樹，石田雅裕，飯塚哲也，肥後昭男，名倉徹，池田誠

半導体試験装置（ATE）では数千から数万ピンの信号入出力チャンネルをもち，被試験デバイス（DUT）へ出力される試験信号の品質をそれぞれ一致させる信号品質キャリブレーション（CAL）が必要である．本研究テーマでは，これまでおこなってきた高速かつ高精度な多ピンタイミングCAL方式の研究を拡張し，ATEに適用可能な高速かつ高精度な多ピン信号品質CAL方式の研究をおこなっている．本年度は，研究方針の立案をおこない，信号品質CALの方式検討をすすめた．信号品質CALの事前調査をおこない，TDR（Time Domain Reflectometry）測定による伝送路特性推定と推定した伝送路特性をもちいたCAL点波形推定技術の理論確立を目標とすることにした．また，TDR測定をもちいた信号品質CALの基本方式の検討に着手し，回路シミュレーションと数値演算をもちいて既知の伝送路モデルに対しTDR波形から伝送路特性とCAL点での波形を解析的に算出できることを明らかにした．

■セキュリティ考慮テスト駆動半導体設計技術研究開発

田中玄一，正田薫，長谷川宏太郎，木村学，肥後昭男，池田誠

半導体テスタ工程における半導体の真贋性およびセキュリティの担保および保証について，暗号化アーキテクチャの検討を行い，実現可能であることを示した．当該アーキテクチャのコアとなる回路の物理レイアウトを設計し，実現性の検証を行った．

第3章　d.lab概要

3.1　組織概要

東京大学大学院工学系研究科附属システムデザイン研究センター(d.lab)は，2019年10月に，東京大学における半導体関連研究の強化を目指し設置された．d.labは，知識集約型社会の到来に備え，システムのアイデアを持つ者が誰でも専用チップを即座に入手できるよう，デザインの手法と製造のエコシステムを再構築することを目指している．また，データ駆動型システムのデザインプラットフォームを作り，データ駆動型社会で活躍する人材の育成を目標とする．

センター長の下，先端設計研究部門，基盤設計研究部門，先端デバイス研究部門，基盤デバイス研究部門の4つの部門が互いに連携しながら活動を行っており，専任教員のほか，東京大学の他部局や工学系研究科を本務とする教員が兼務で在籍している．2024年4月1日現在，d.labの人員構成は，教授10名（内専任1名，兼任8名，特任1名），准教授3名（内専任2名，特任1名），講師2名（内専任1名，特任1名），助教3名（内専任2名，兼任1名），研究員18名（内上席研究員3名，主幹研究員1名，特任研究員14名），学術専門職員13名，特任専門職員1名である．

d.labにおける重要事項の審議のため，「システムデザイン研究センター運営委員会」を必要に応じ開催している．また，学外委員を含めた「システムデザイン研究センター基盤設計研究部門（VDEC）全国運営協議会」に，研究・事業計画等の事項について諮問を行っている．

東京大学大規模集積システム設計教育研究センター（VDEC）は，1996年5月に全国共同利用施設として発足し，国立大学法人化に伴い東京大学の1部局としての位置づけを経て，国公私立大学と工業高等専門学校におけるVLSI設計教育の充実と研究活動を継続してきたが，d.lab設置の際にこれに合流することとなった．それまでVDECが担ってきた活動は，d.labの基盤設計研究部門における「VDEC機能」として継続しつつ，先端設計研究部門における産学連携をも強化した，最先端設計研究の強化を目指した活動が行われている．

基盤設計研究部門には「協力教員制度」を有しており，全国の各大学との教員との連携を図っている．2024年度の体制は協力教員14名，協力研究員7名の合計21名である．

d.labは，研究探求と技術実践の橋渡しの場，また産学官連携と人的交流を促進する場として，2020年から協賛事業を開始し，40社を越える企業から参加を頂いている．また，2022年には文科省次世代X-nics半導体創成拠点形成事業に採択され，半導体技術の民主化を実現する基幹技術（Agile技術）を整備し，プラットフォームとして研究に展開し，研究成果・産業への波及効果・高度人材の育成を目指している．さらに，目白台インターナショナル・ビレッジに研究スペースを設け，先端システム技術研究組合に参画するなど，活動を日々加速させているところである．

2018年度-2022年度には，経済産業省/NEDOのプロジェクト「AIチップ設計拠点」として，国内の中小企業ベンチャー向けのチップ設計環境の整備を，産業技術総合研究所（産総研）とともに実施した．2023年度からは，産総研が東大内に設けるオープンイノベーションラボラトリ（OIL）「AIDL」が主体として拠点運営を運営することで，アカデミック向けのチップ設計環境「VDEC機能」，中小ベンチャー向けのチップ設計環境「AIチップ設計拠点」のチップ設計の拠点機能を拡充させている．

3.2 人事報告

d.lab人事（2024年4月1日付け）

センター長・基盤設計研究部門長・教授	池田　誠
先端設計研究部門長・特任教授	濱田基嗣
先端デバイス研究部門長・教授 （東京大学生産技術研究所）	平本俊郎
基盤デバイス研究部門長・教授 （東京大学大学院工学系研究科 電気系工学専攻）	三田吉郎
教授 （東京大学大学院情報理工学系 研究科）	中村　宏
教授 （東京大学大学院工学系研究科 電気系工学専攻）	竹内　健
教授 （東京大学大学院工学系研究科 電気系工学専攻）	高木信一
教授 （東京大学大学院工学系研究科 電気系工学専攻）	染谷隆夫
教授 （東京大学大学院工学系研究科 マテリアル工学専攻）	内田　建
教授 （東京大学大学院工学系研究科 電気系工学専攻）	竹中　充
非常勤講師（産業界客員教員）	水野正之
准教授	小林正治
准教授	飯塚哲也
特任准教授	中根了昌
講師	小菅敦丈
特任講師	肥後昭男
助教	松本高士
助教	BYAMBADORJ ZOLBOO
助教 （東京大学大学院工学系研究科 電気系工学専攻）	宮武悠人
上席研究員	天野英晴
上席研究員	若林一敏
上席研究員	丹羽正昭
主幹研究員	高木　剛
特任研究員	島本直伸
特任研究員	荒川文男
特任研究員	落合幸徳

特任研究員	二　宮　健　生
特任研究員	坪　井　伸　二
特任研究員	川　野　連　也
特任研究員	CHITRA PANDY
特任研究員	山　本　和　徳
特任研究員	最　上　　徹
特任研究員	藤　田　昌　宏
特任研究員	DURAN CKRISTIAN
特任研究員	角　　博　文
特任研究員	WANG JUNSHA
特任研究員	VATANKHAHGHADIM BEHRAZ

学術専門職員	長谷川　　淳
学術専門職員	岡　田　光　司
学術専門職員	四手井　綱　章
学術専門職員	林　　泰　弘
学術専門職員	太　田　悦　子
学術専門職員	YIP WAI YEUNG
学術専門職員	窪　田　通　孝
学術専門職員	有　賀　　浩
学術専門職員	小　倉　建　治
学術専門職員	井　上　友里恵
学術専門職員	近　藤　翔　午
学術専門職員	池　田　謙　一
学術専門職員	吉　田　悟　志
特任専門職員	大　江　千　明

※（　）が記載されている教員は，（　）内が本務先である．

2023年度東京大学大学院工学系研究科附属システムデザイン研究センター基盤設計研究部門（VDEC）全国運営協議会委員名簿

氏　名	所　属・職　位	任　期	連　絡　先	
			TeL/Fax	E-mail
池田　誠	東京大学大学院工学系研究科附属システムデザイン研究センター　教授	2022.4.1～2024.3.31	TEL 03（5841）6661	ikeda@silicon.u-tokyo.ac.jp
黒田　忠広	東京大学大学院工学系研究科附属システムデザイン研究センター　教授	2022.4.1～2024.3.31	TEL 03（5841）6561	kuroda@ee.t.u-tokyo.ac.jp
高木　信一	東京大学大学院工学系研究科電気系工学専攻 教授	2022.4.1～2024.3.31	TEL 03（5841）7467	takagi@ee.t.u-tokyo.ac.jp
池辺　将之	北海道大学量子集積エレクトロニクス研究センター　教授	2022.4.1～2024.3.31	TEL/FAX 011-716-6004	ikebe@ist.hokudai.ac.jp
黒田　理人	東北大学大学院工学研究科技術社会システム専攻　教授	2022.4.1～2024.3.31	TEL 022（795）4836	rihito.kuroda.e3@tohoku.ac.jp
一色　剛	東京工業大学 工学院 情報通信系　教授	2022.4.1～2024.3.31	TEL/FAX 03（5734）2842	isshiki@ict.e.titech.ac.jp
岡田　健一	東京工業大学工学院電気電子系　教授	2022.4.1～2024.3.31	TEL 03-5734-3764	okada@ee.e.titech.ac.jp
史　又華	早稲田大学基幹理工学部電子物理システム学科　教授	2022.4.1～2024.3.31	TEL 03-5286-3400	shi@waseda.jp
北川　章夫	金沢大学理工研究域電子情報通信学系教授	2022.4.1～2024.3.31	TEL 076（234）4863 FAX 076（234）4863	kitagawa@is.t.kanazawa-u.ac.jp
石原　亨	名古屋大学大学院情報学研究科情報システム学専攻　教授	2022.4.1～2024.3.31	TEL 052（789）4363	ishihara@i.nagoya-u.ac.jp
佐藤　高史	京都大学大学院情報学研究科通信情報システム専攻　教授	2022.4.1～2024.3.31	TEL 075（753）4801 FAX 075（753）4802	takashi@i.kyoto-u.ac.jp
廣瀬　哲也	大阪大学大学院工学研究科電気電子情報通信工学専攻　教授	2022.4.1～2024.3.31	TEL 06（6879）7761	hirose@eei.eng.osaka-u.ac.jp
藤島　実	広島大学大学院先進理工系科学研究科量子物質科学プログラム　教授	2022.4.1～2024.3.31	TEL 082（424）6269	fuji@hiroshima-u.ac.jp
井上　弘士	九州大学大学院システム情報科学研究院情報知能工学部門　教授	2022.4.1～2024.3.31	TEL 092（802）3793 FAX 092（802）3786	inoue@ait.kyushu-u.ac.jp
宇野　重康	立命館大学理工学部電気電子工学科　教授	2022.4.1～2024.3.31	TEL 077（599）4278	suno@fc.ritsumei.ac.jp
兵庫　明	東京理科大学理工学部電気電子情報工学科教授	2022.4.1～2023.8.31	TEL 04（7124）1501 内3756 FAX 04（7122）5171	hyogo@ee.noda.tus.ac.jp
高野　恭弥	東京理科大学創域理工学部電気電子情報工学科准教授	2023.9.1～2024.3.31	TEL 04（7124）1501 （内線3777）	ktakano@rs.tus.ac.jp
石黒　仁揮	慶應義塾大学理工学部電子工学科　教授	2022.4.1～2022.7.31 2023.4.1～2024.3.31	TEL 045（566）1815 内42255	ishikuro@elec.keio.ac.jp
永田　真	神戸大学大学院科学技術イノベーション研究科　教授	2022.4.1～2024.3.31	TEL 078（803）6569 or 6221	nagata@cs.kobe-u.ac.jp
名倉　徹	福岡大学工学部電子情報工学科　教授	2022.4.1～2024.3.31	TEL 092（871）6631	nakura@fukuoka-u.ac.jp
青柳　昌宏	熊本大学半導体・デジタル研究教育機構半導体部門　卓越教授	2023.9.1～2024.3.31	TEL 096（342）3810 FAX 096（342）3630	m-aoyagi@kumamoto-u.ac.jp

2023年度　システムデザイン研究センター運営委員会委員名簿

区　分	氏　　名	所　　属	任　　期	メールアドレス
委員長	黒田　忠広	システムデザイン研究センター センター長	−	kuroda@dlab.t.u-tokyo.ac.jp
1号委員	加藤　泰浩	工学系研究科長	−	dean@t.u-tokyo.ac.jp
2号委員	山下　真司	電気系工学専攻長	−	syama@cntp.t.u-tokyo.ac.jp
3号委員	柴田　直哉	総合研究機構長	−	shibata@sigma.t.u-tokyo.ac.jp
4号委員	池田　　誠	システムデザイン研究センター	2023.4.1〜 2025.3.31	ikeda@silicon.u-tokyo.ac.jp
4号委員	小林　正治	システムデザイン研究センター	2023.4.1〜 2025.3.31	masa-kobayashi@nano.iis.u-tokyo.ac.jp
4号委員	飯塚　哲也	システムデザイン研究センター	2023.4.1〜 2025.3.31	iizuka@vdec.u-tokyo.ac.jp
5号委員	高木　信一	電気系工学専攻	2023.4.1〜 2025.3.31	takagi@ee.t.u-tokyo.ac.jp
5号委員	霜垣　幸浩	マテリアル工学専攻	2023.4.1〜 2025.3.31	shimo@dpe.mm.t.u-tokyo.ac.jp
5号委員	鈴木　雄二	機械系工学専攻	2023.4.1〜 2025.3.31	ysuzuki@mesl.t.u-tokyo.ac.jp
6号委員	中村　　宏	情報理工学系研究科	2023.4.1〜 2025.3.31	nakamura@hal.ipc.i.u-tokyo.ac.jp
6号委員	平本　俊郎	生産技術研究所	2023.4.1〜 2025.3.31	hiramoto@nano.iis.u-tokyo.ac.jp

3.3 新任・退任ご挨拶

退任のご挨拶

黒田　忠広

半世紀近く，半導体の産業と技術を見てきました．振り返ると，日本の半導体には四季がありました．

春．希望の蕾が膨らむ季節．Mead & Conwayが1979年に著した『Introduction to VLSI Systems』に惹かれて，私は半導体の世界に飛び込みました．当時は，A0サイズの図面に定規で線を引き，青焼きした分解図を色塗りしてマスクデータを作成していました．記憶が五感に残っています．メモリ，ロジック，アナログを問わず，デバイス技術から回路設計，テスト，信頼性，EDAまで，さまざまな仕事を覚えました．

夏．青雲の志が立ち昇る季節．私は，微細化しても複数のデバイス世代を統一的に扱える設計基準UDR（Unified Design Rule）を作り，国際共同利用できるようにしました．1986年，GEおよびSiemensとUDRによるスタンダードセルAdvancellを共同開発し，シリコン・コンパイラーズ社とも協業しました．TSMCが最初に採用した設計基準もUDRでした．1988年，カリフォルニア大学バークレー校に留学し，才能溢れる世界の研究者と交流する貴重な機会を得ました．

秋．収穫の季節．2000年に私は大学に転出しました．それまでに蓄えた知見をもとに，研究し，論文を書き，特許を書きました．エネルギー効率の改善を目指した低電力回路設計と3D集積は，今でも変わらぬテーマです．

そして，冬．厳しい季節の到来．半導体に就職した学生たちが才能を開花できずに苦悩している姿を憂いました．日本だけが世界から取り残されている．焦燥感と無力感に苛まれました．

しかし，季節は巡ります．春の再来を予感したのが2019年．私は，東大・TSMC連携をきっかけに，d.labとRaaSを開設し，Agile-Xを始めました．そして，TSMCが熊本に新工場を建て，Rapidusが誕生しました．卒業生たちの目にも輝きが戻りました．

私は，安心して，d.lab長を退任します．これまで，苦労を共にしていただいた方々に，心からの感謝の意を表します．

そして，新たな時代を切り拓いていかれる皆さんに，エールを送ります．AIと半導体が共進化する新時代は，これまで以上にエキサイティングです．

新任のご挨拶

宮武　悠人

本年4月より，d.lab新センター長である池田誠教授のもとで電気系工学専攻助教を務めさせていただく宮武と申します．

2019年3月に東京大学工学部電子情報工学科を卒業後に東京大学大学院工学系研究科電気系工学専攻に進学し，2021年3月と2024年3月に修士号と博士号をそれぞれ取得いたしました．学部・修士・博士の計6年間に渡って竹中充教授のご指導を賜り，シリコンフォトニクスプラットフォーム上における光集積回路のコンピューティング応用に関する研究に従事してまいりました．

集積回路の分野でデジタルとアナログの間に高い壁があることは周知の通りでありますが，エレクトロニクスとフォトニクスを隔てる分野の壁はそれ以上に巨大です．また，それぞれの分野を構成するシステム，回路，デバイス，材料物性等の階層の間を隔てる壁も厳然として存在しています．現在，生成AIに代表される応用に牽引されて，爆発的に増加している演算能力に対する需要に応える革新的なシステムは，このような分野間・階層間の障壁を突破し境界を自由に往来して初めて実現可能になると考えられます．

こうしたフォトニクスとエレクトロニクスの越境的な研究を進めるうえで，各分野・階層の専門家が集まるd. labはこの上ない環境だと考えています．自らがd.labに貢献する道を模索しつつ，皆様のお力添えを賜る機会を頂戴できれば幸いです．また，最近の日本の半導体産業の復活のための国を挙げた取り組みの中で，中心的な役割を果たすd.labの一員として研究・教育活動に従事できることは私にとって大変な僥倖です．若輩者ではございますが精一杯頑張って参りますので，皆様のご指導とご鞭撻を賜りますよう，何卒宜しくお願い申し上げます．

中根　了昌

2023年4月1日付けで寄付講座「ナノシステム集積技術の創製」の特任准教授に着任いたしました．d.labの一員として研究教育に携わる機会を与えて下さいましたことに感謝申し上げます．

私は，電子材料と半導体電子デバイス創製の研究に長年取り組んできました．近年は非線形物理ダイナミクスを積極的に活用した機械学習ハードウエアの研究にも取り組んでいます．それらの総力を結集して，次世代エレクトロニクスに貢献する超低消費電力情報処理システムの実現を目指しています．

私自身が日々研鑽を積むことは勿論のこと，先生方との連携を通してd.labの更なる発展のために貢献できるよう一層精進を重ねて参ります．至らぬ点があるかと思いますが，ご指導ご鞭撻を賜りますよう，よろしくお願い申し上げます．

ビャムバドルジ　ゾルボー

2023年10月よりシステムデザイン研究センター(d.lab)の助教を拝命いたしましたビャムバドルジ　ゾルボーです．

2014年6月にモンゴル国立大学の工学部・情報通信技術学科でマルチメディア通信工学の修士号を取得しました．2021年4月に東京大学大学院工学系研究科電気系工学専攻の飯塚先生のもとで博士課程を修了後、東京大学大学院研究科附属システムデザイン研究センターのアドバンテストD2T寄附講座で特任研究員として研究に従事してまいりました．どうぞ宜しくお願い申し上げます．私は、d.labの研究および教育に尽力するつもりでございます．どうぞ宜しくお願い申し上げます．

3.4 決算報告

1．運営費交付金

（円）

事　項	収入（予算配分）額	支　出　額	過　不　足　額
共通経費	826,825,530	571,107,759	255,717,771
研究経費	18,840,948	18,347,097	493,851
計	845,666,478	589,454,856	256,211,622

2．2023年度公的機関からの研究費

	教員名	委託者	研究課題	種　類	受入金額（円）
1	黒田　忠広	文部科学省	Agile-X～革新的半導体技術の民主化拠点	受託研究	945,380,000
2	黒田　忠広	国立大学法人神戸大学，神戸市公立大学法人，三菱ケミカル株式会社	アンダーフィル(UF: Underfill)材料の特性予測	共同研究	2,000,000
3	池田　　誠	国立研究開発法人 新エネルギー・産業技術総合開発機構	経済安全保障重要技術育成プログラム/ハイブリッドクラウド利用基盤技術の開発/半導体・電子機器等のハードウェアにおける不正機能排除のための検証基盤の確立	受託研究	63,121,000
4	池田　　誠	国立研究開発法人 新エネルギー・産業技術総合開発機構	高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発/ AI エッジコンピューティングの産業応用加速のための技術開発／RISC-V システム設計プラットフォームの研究開発	受託研究	49,465,000
5	池田　　誠	国立研究開発法人 新エネルギー・産業技術総合開発機構	チップレット設計基盤構築に向けた技術開発事業/チップレット型カスタムＳｏＣ設計基盤技術開発	受託研究	41,821,000
6	池田　　誠	国立研究開発法人 科学技術振興機構	Ｓｍａｒｔ－Ｘを実現する高信頼のサイバー・フィジカル・コグニティブ・システムの構築	受託研究	35,100,000
7	池田　　誠	国立研究開発法人産業技術総合研究所	AI機能付デジタル・アナログ・センサ（DAS）集積システムに関する研究開発	共同研究	3,300,000
8	三田　吉郎	国立研究開発法人 科学技術振興機構	トポロジカル量子計算機に必要な可変電子素子および理想ＭＥＭＳ素子の開発	受託研究	20,150,000
9	小林　正治	国立研究開発法人 科学技術振興機構	三次元垂直型酸化物半導体チャネルトランジスタメモリ	受託研究	2,600,000
10	小林　正治	国立研究開発法人 科学技術振興機構	最先端原子層プロセス国際共同研究ネットワークにおけるデバイス応用研究	受託研究	390,000
11	飯塚　哲也	国立研究開発法人 科学技術振興機構	ＡＩによる回路トポロジー合成を実現する高度なアナログ回路設計プラットフォームの開発	受託研究	19,266,000
12	飯塚　哲也	国立研究開発法人 科学技術振興機構	リアルタイム学習推論機能創出に向けた回路設計技術基盤構築	受託研究	15,496,000
13	飯塚　哲也	国立研究開発法人宇宙航空研究開発機構	深宇宙・表面探査用ワンチップ無線機に向けた研究	共同研究	7,392,000
14	小菅　敦丈	国立研究開発法人 科学技術振興機構	デバイス・システム協調による超低電圧布線論理型AIプロセッサ	受託研究	23,270,000
15	若林　一敏	国立研究開発法人 新エネルギー・産業技術総合開発機構	高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発/AI エッジコンピューティングの産業応用加速のための技術開発／万能高位合成と新型汎用データフロー計算機構」に係る委託業務	受託研究	96,018,000
16	若林　一敏	国立研究開発法人 科学技術振興機構	ＭＥＣ用マルチノード向けの総合高位合成システムの研究開発	受託研究	13,000,000
合　　計					1,337,769,000

※合計金額は，上記1～16の各課題の合計金額を記載している．

3．2023年度民間企業等からの研究費

	教員名	申込者	研究課題	種類	受入金額（円）
1	黒田　忠広	Taiwan Semiconductor Manufacturing Company, Ltd.	Read Only Memory-oriented Neuron Cell Array using Non-Linear Neural Network	受託研究	−
2	黒田　忠広	Taiwan Semiconductor Manufacturing Company, Ltd.	Leakage power saving 3D-stacked SRAM module for AI applications	受託研究	−
3	黒田　忠広	三菱電機株式会社	チップ間ミリ波信号無線伝送技術の研究（4）	共同研究	−
4	池田　　誠	キオクシア株式会社	ストレージシステム向け高機能暗号回路技術の研究	受託研究	−
5	池田　　誠	株式会社アドバンテスト	先端LSI開発環境・テスティング技術	共同研究	−
6	三田　吉郎	星和電機株式会社	フィールドエミッタアレイを使用した蛍光体の評価	受託研究	−
7	三田　吉郎	新電元工業株式会社	酸化ガリウムデバイスへの各種工程に関する学術指導	受託研究	−
8	三田　吉郎	東レ株式会社	有機材料を用いたハイブリットボンディング用プロセス開発	共同研究	−
9	三田　吉郎	株式会社東芝	MEMS形成プロセス及び接合モニタ手法の研究	共同研究	−
10	小林　正治	Taiwan Semiconductor Manufacturing Company, Ltd	Channel and Interface Engineering of Ferroelectric-HfO_2 FeFET for 3D integrated high density memory	受託研究	−
11	小林　正治	株式会社神戸製鋼所 株式会社コベルコ科研	大規模集積回路応用に向けたIn系酸化物半導体とHfO系絶縁膜を用いたデバイスプロセスに関する研究	共同研究	−
12	飯塚　哲也	株式会社ミライズテクノロジーズ	車載A/D変換回路の低消費電力化	共同研究	−
13	小菅　敦丈	国立大学法人東北大学，ヤマハロボティクスホールディングス株式会社	—	共同研究	−
14	中根　了昌	株式会社村田製作所	物理リザバーコンピューティングに関する学術指導	受託研究	−
合　　計					69,115,539

※合計金額は，上記1〜14の各課題の合計金額を記載している．
※研究課題，受入金額の「−」は非公表を意味している．

4．2023年度寄附金

受入件数：5件　　受入額 計　34,200,000円

（株式会社アドバンテスト，株式会社ジーダット，東京エレクトロン株式会社，東芝デバイス＆ストレージ株式会社，富士フィルムホールディングス株式会社）

第4章　研究報告 −各研究室−

4.1　全体概況

	研究室構成人数（名）	研究発表			著書（冊）	特許（冊）	受賞（件）
		研究論文	国際会議	その他			
d.lab教員	81	24	28	73	0	6	10
協力教員	178	52	90	103	2	2	19

4.2　研究室構成員（2023年度）

黒田・小菅研究室　構成

黒田忠広	教授
濱田基嗣	特任教授
小菅敦丈	講師
丹羽正昭	上席研究員
若林一敏	上席研究員
高木剛	主幹研究員
川野連也	特任研究員
山本和徳	特任研究員
最上徹	特任研究員
二宮健生	特任研究員
四手井綱章	学術支援専門職員
岡田光司	学術支援専門職員
Wai-Yeung Yip	学術支援専門職員
林泰弘	学術支援専門職員
窪田通孝	学術支援専門職員
王俊沙	学術支援専門職員
近藤翔午	学術支援専門職員
Meng Haopeng	博士2年
澄川玲維	修士2年
李東柱	修士2年
小林英太郎	修士2年
小林研二	学部4年
霜田龍成	学部4年
御手洗勇輝	学部4年
内間典子	特任専門職員
豊井弘美	特任専門職員
大賀典子	特任専門職員
中島幹子	特任専門職員

竹内研究室　構成

竹内健	教授
松井千尋	特任准教授
三澤奈央子	学術支援専門職員
合田晃	博士3年
樋口和英	博士3年
Adil Padiyal	博士1年
孫英皓	修士2年
山田歩	修士2年
市川裕也	修士2年
黄志遠	修士2年
薛寒熙	修士1年
王一帆	修士1年
山内堅心	修士1年
木原冬輝	修士1年
王韜	修士1年
林达祺	修士1年
張宇帆	修士1年
柴田行輝	学部4年
永井歩武	学部4年
小濵晴天	学部4年

中村研究室　構成

中村宏	教授
高瀬英希	准教授
小島拓也	助教
上野洋典	学振研究員
胡思已	博士3年
岡田怜士	博士2年
宮城竜大	博士2年
李慧霖	博士2年
小山大次郎	修士2年
夏世傑	修士2年
齋藤真	修士2年
田中晴亮	修士2年
棚瀬健	修士2年
伊藤慧弥	修士1年
伊藤向子	修士1年
小野悠太	修士1年
齋藤卓	修士1年
中田雅貴	修士1年
野崎愛	修士1年
石井悠人	学部4年
髙木柚李	学部4年

池田研究室　構成

池　田　　誠	教授
松　本　高　士	助教
宮　武　悠　人	助教（2024年4月から）
荒　川　文　男	特任研究員
繆　逸杰(Yijie Miao)	博士3年
Bayasgalan Amartuvshin	博士3年
Zeyu Wang	博士3年
Anawin Opasatian	博士2年
叶　子楊(Ziyang Ye)	博士2年
赵　寅帆(Yinfan Zhao)	博士1年
菊　岡　才　人	修士2年（現在富士通）
正　田　　薫	修士2年（現在ウエスタンデジタル）
信　纪元(Jiyuan Xin)	修士2年
竹　島　優　太	修士1年
福　田　桃　子	修士1年
孙　鹏飞(Pengfei Sun)	修士1年
王　啓睿(Qirui Wang)	修士1年
鈴　木　佑　典	学部4年（現在修士1年）
中　村　孔　星	学部4年（現在修士1年）
中　村　優　斗	学部4年（現在修士1年）

飯塚研究室　構成

飯　塚　哲　也	准教授
グェン ゴック マイカーン	助教
ビャムバドルジ ゾルボー	特任研究員
ドラン　クリスティアン	特任研究員
長　田　　将	博士3年
李　　爍　煒	博士2年
王　　錫　明	博士1年
張　　浩　明	博士1年
加　納　創　太	修士2年
熊　野　　陽	修士2年
朱　　玉　揚	修士2年
程　　鎮　宇	修士2年
竹　中　理太郎	修士1年
許　　瑜　昊	修士1年
陈　　赟　杰	修士1年
魚　　家　傲	修士1年
木　村　夏菜子	学部4年
濱　崎　　拓	学部4年
湯　浅　太　蔵	学部4年

平本・小林研究室　構成

平本俊郎研究室

平　本　俊　郎	教授
更　屋　拓　哉	助手
竹　内　　潔	特任研究員
水　谷　朋　子	特任研究員
鈴　木　慎　一	特任研究員
高　倉　俊　彦	特任研究員
福　井　宗　利	特任研究員
高　瀬　博　行	特任研究員
櫛　田　知　義	特任研究員
伊　藤　一　夫	シニア協力員
周　　翔	博士2年
刘　　子　豪	博士2年
金　　駿　午	博士1年
二　木　大　輝	修士2年
李　　珍　秀	修士1年
鄭　　スジョン	修士1年

小林正治研究室

小　林　正　治	准教授
Chitra PANDY	特任研究員
李　　卓	博士3年
梅　　瀟　然	博士1年
呉　　承　翰	博士1年
糸　矢　祐　喜	博士1年
金　　在　顕	博士1年
金　　成　勳	博士1年
郝　　俊　翔	博士1年
黄　　星　宇	博士1年
Deepak Ganesh Sharma	修士2年
日　掛　凱　人	修士2年
肖　　瑶　萍	修士1年
坂　井　洸　太	修士1年

高木研究室　構成

高　木　信　一	教授
トープラサートポン カシディット	准教授
姜　　旼　秀	博士3年（工学系）
韓　　雪　揚	博士2年（工学系）
蔡　　作　成	博士2年（工学系）
閔　　信　義	博士2年（工学系）
趙　　成　謹	博士2年（工学系）
名　幸　瑛　心	博士2年（工学系）
岩　重　宏一郎	修士2年（工学系）
大　友　将　樹	修士2年（工学系）
劉　　振　泓	修士2年（工学系）
陳　　育　同	修士1年（工学系）
鈴　木　陸　央	修士1年（工学系）
万　　明　霞	修士1年（工学系）
靳　　釗	修士1年（工学系）
伊　藤　広　恭	学部4年（工学部）

竹中研究室　構成

竹　中　　充	教授
唐　　睿	特任助教
宮　武　悠　人	博士3年（工学系）
ティパットピヤパックラクン	博士3年（工学系）
柴　　成　立	博士2年（工学系）
潘　　杰	博士2年（工学系）
柳　　柱　栄	博士1年（工学系）
張　　超	修士2年（工学系）
黄　　明　智	修士2年（工学系）
赤　澤　智　熙	修士2年（工学系）
藤　田　将　大	修士2年（工学系）
傅　　晟	修士2年（工学系）
作　本　宙　彌	修士1年（工学系）
脇　田　耀　介	修士1年（工学系）
バルダワジ ダルワ イシャン	修士1年（工学系）
小　松　健太郎	学部4年（工学部）
按　田　智　大	学部4年（工学部）

内田研究室　構成

内　田　　建	教授
須　田　秀　喜	派遣職員
田　中　美奈子	派遣職員
加　藤　太　朗	博士3年
成　田　雄　紀	修士2年
宮　尾　知　寿	修士2年
谷　口　雄　麻	修士1年
吉　永　啓　人	修士1年
欧　陽　　剣	修士1年
申　　雨　祥	修士1年
小　室　勇　仁	学部4年
齋　藤　兵　悟	学部4年
福　井　寛　之	学部4年

染谷研究室　　構成

染　谷　隆　夫	教授
横　田　知　之	准教授
李　　成　薫	講師
山　岸　健　人	講師
多　川　友　作	特任助教
福　澤　亮　太	助教
高　桑　聖　仁	助教
LIANG, Xiaoping	特任研究員
CHEN, Hongting	特任研究員
Papanastasiou, Theodora	JSPS 外国人特別研究員
Wang, Ruililu	客員研究員
松　葉　頼　重	特任研究員
川　島　伊久衛	学術専門職員
立　花　勇太郎	学術専門職員
小　泉　真　里	学術専門職員
雪　田　和歌子	学術専門職員
池ケ谷　智　子	特任専門職員
松　岡　一　代	特任専門職員
山　崎　祥　子	特任専門職員
原　　五　月	技術補佐員
Cheng Donkai	博士3年
Wang Haoyang	博士3年
Wang Jiachen	博士3年

Du, Baocai	博士2年
加 藤 裕	博士2年
Harimurti, Suksmandhira	博士2年
Wang Wenqing	博士1年
Wijaya Theodorus	博士1年
XU, Ruifeng	博士1年
奥 田 知 華	修士2年
海老原 祐 輔	修士2年
Xu, Jiaying	修士2年
Guo, Shuyang	修士2年
Jiang, Jingy	修士1年
三 室 真 帆	修士1年
佐々木 光 生	修士1年
牛 丸 智 晶	修士1年
増 田 凌	修士1年
鷲 見 直	学士4年
會 田 祥太郎	学士4年
井 内 悠	学士4年
安 武 完	学士4年

三田研究室　構成

三 田 吉 郎	教授
中 根 了 昌	特任准教授 (寄付講座　ナノシステム集積技術の創製)
肥 後 昭 男	特任講師（寄付講座 ADVANTEST D2T）
安 永 竣	助教
黄 吉 卿	客員研究員（LIMMS研究所/仏CNRS C2N研究所）
落 合 幸 徳	特任研究員（マテリアル先端リサーチインフラ事業　専任マネージャ）
島 本 直 伸	特任研究員(次世代X-nics拠点形成事業)
坪 井 伸 二	特任研究員（マテリアル先端リサーチインフラ事業　クリーンルーム支援担当）
Anne-Claire EILER	特任研究員（JST CREST）
水 島 彩 子	技術専門職員（電気系・武田先端知ビルスーパークリーンルーム技術支援担当）
豊 倉 敦	技術専門職員（電気系・一般電子実験室, 武田先端知204バックエンド加工室支援担当）
澤 村 智 紀	技術専門職員（総合・武田先端知クリーンルーム管理室）
與 田 光 弘	技術専門職員（総合・武田先端知クリーンルーム管理室）
太 田 悦 子	学術専門職員（マテリアル先端リサーチインフラ事業　技術支援担当）
河 井 哲 子	学術専門職員（マテリアル先端リサーチインフラ事業　ディレクション・技術開発担当）
大 江 千 明	特任専門職員 (マテリアル先端リサーチインフラ事業　事務局)
渡 邊 かをる	特任専門職員 (マテリアル先端リサーチインフラ事業　事務局)
井 上 友里恵	学術専門職員（マテリアル先端リサーチインフラ事業　技術支援担当）
藤 原 誠	支援員（マテリアル先端リサーチインフラ事業　技術支援担当）
中 山 雄 太	共同研究員（電気系・コニカミノルタ）
梅 田 賢 一	共同研究員（NanoHub・AGC）
三 角 啓	博士2年
辻 啓 吾	修士2年
山 形 昌 弘	修士2年
島 村 龍 伍	修士1年
中 村 友 哉	修士1年
髙 橋 遼 平	学部4年
佐久間 文 哉	学部4年
Nathan DAGOURY	工学系研究科交換留学生 (ENS Paris-Saclay)
Louis LAFONTAINE	工学系研究科交換留学生 (INSA Lyon)
ほか3名	共同研究員

4.3　研究概要

黒田・小菅研究室

（http://www.kuroda.t.u-tokyo.ac.jp/index.html）
（https://klab.t.u-tokyo.ac.jp/research_theme/）

TCI: ThruChip Interface

黒田 忠広，濱田 基嗣，小菅 敦丈，四手井 綱章，
岡田 光司，イップ ウェイイエン，御手洗 勇輝

チップの配線を巻いて作ったコイルの誘導結合を用いて積層チップ間でデータ転送を行う3次元集積技術の研究を行っている．TSV (シリコン貫通電極) と同等以上の性能を低コストで実現可能である．本年度は，TCIを用いた3次元SRAM積層技術に関する発表及びそれに向けたアーキテクチャ，AI処理アルゴリズムの研究と，RaaSと共同でTCIを活用した3次元積層SRAMのテストチップの設計を行った．またTCIに向けた3次元積層の設計検証方法を開発．3次元実装技術についてはJSSC等の国際学術論文誌にて発表を行った．

TLC: Transmission Line Coupler

黒田 忠広，濱田 基嗣，小菅 敦丈，林 泰弘

ボード上の伝送線路の電磁結合を用いて，ボード間でデータ転送を行う技術の研究を行っている．従来型のコネクタで問題となる，摩耗，耐震性，インピーダンス整合などの問題がなく，安価で高性能な無線コネクタを実現可能である．本年度は企業との共同研究を通じ，パッケージ基板とPCBとを接続するための小型かつ高密度TLC実装技術の研究開発，そして非接触給電とTLCとを同軸配置し近接させた状態で同時通信を行う完全密封型の非接触コネクタ技術の研究を行った．

超低電力AIプロセッサ

黒田 忠広，濱田 基嗣，小菅 敦丈，澄川 玲維，
小林 研二

処理量の多いAIが多数社会実装されるにつれて急増する電力消費を抑えるため，Wired-logicに着目した非ノイマン型AI Processorを研究している．Wired-logicを用いることでDRAMやSRAMアクセスを最小化でき電力効率を大幅に向上できるが，膨大な素子をチップ上に実装する必要があるため面積効率は大幅に劣化する．そこで(1)人間の脳におけるプルーニングと呼ばれる不要なニューロンとシナプスを削除しネットワークを最適化する技術，そして(2)従来以上に大幅にプルーニングし素子数を節約するため，人間のニューロンが持つ多種多様な非線形関数を適材適所使い分けて演算強度を増す性質を取り入れた，非線形ニューラルネットワーク技術，そして(3)畳み込みアルゴリズムの処理に合わせて回路を再利用する畳み込み型Wired-logic architecture回路の3つの技術を開発している．本年度は10種の一般物体を見分けるCIFAR-10のデータセットに対して基礎技術検討と学習アルゴリズムの開発を行い，FPGAを用いて原理実証し，研究成果は国際学術誌であるIEEE Microに掲載された．また省面積回路技術も併せて開発し，音声コマンド認識を題材にASICを開発し従来のGPUに比べ2048分の1に消費電力削減できることを実証，VLSI Symposium'23およびSSCLにて論文発表を行った．これら成果は高く評価されプレスリリースされるとともに，JSTの優れた研究成果にも選ばれている．

竹内研究室

（https://co-design.t.u-tokyo.ac.jp/）

Computation in memory（CiM）に関する研究

竹内 健，松井 千尋

Computation in Memory（CiM）はメモリアレイ構造を利用して乗算・累積（multiply-and-accumulate: MAC）演算を行う事が可能になる．MAC演算はディープニューラルネットワーク（DNN）の中で最も計算資源を消費する演算である．DNNの精度を評価するシミュレータを開発した．シミュレータでは畳み込み層と全結合層における重みを任意に量子化し，重みに任意の分布に従ったばらつきを付加することや，一定の値で加減させることができる．以上により，DNNの重みを操作することでCiMメモリセルにおけるデバイスの非理想性を再現することが可能になった．

Simulated Annealingに関する研究

竹内 健，松井 千尋，三澤 奈央子

組合せ最適化問題の1つであるナップサック問題を，シミュレーティッドアニーリングを用いてコンピューテーション・イン・メモリ（CiM）で解く場合，従来のエンコーディングはナップサック容量が増えると回路面積が線形的に大きくなるという問題があった．そこでログ・エンコーディングによるReRAMコンピューテー

ション・イン・メモリを提案した．提案のログ・エンコーディングは従来のエンコーディングに比べ，CiMの回路面積が97.6%縮小する．ReRAMデバイスの非対称なエラー特性を考慮し，二次形式のハミルトニアンにおけるQUBO行列の“0”をHRSに記憶することで，許容できるビット・エラー率（BER）が10倍，許容できるビット精度が5ビットまで減らすことが可能になった．

インセンサ・コンピューティングの研究

竹内 健，松井 千尋

センシングのためのEvent-based vision sensor（EVS）と統合し演算する低消費エネルギーのSRAM Computation-in-Memory（CiM）を提案した．従来のフレームカメラと比較して，EVSは画素の光の強度変化を非同期で検出し出力するため，データは空間的に疎で時間的に密という特徴がある．提案するSRAM CiMはEVSから出力されるイベントを受け取り，On-eventおよびOff-eventをそれぞれ演算する．イベントデータを演算するspiking neural network（SNN）のマルチビット重みはSRAM CiMに保存されている．提案したEVS向けのSRAM CiMはEVSのデータの特徴により，フレームカメラと比較して10^{-6}倍のエネルギー効率を達成できた．

中村研究室

（http://www.hal.ipc.i.u-tokyo.ac.jp/index-e.html）

IoTネットワークセキュリティに関する研究

中村 宏

IoT機器がSDN（software defined network）で接続されたネットワークを対象に，ランサムウェア攻撃の初期に実行されるスキャニング挙動検知の検出する手法を検討した．SDNはパケットの経路制御とデータ転送をSDN コントローラとSDN スイッチに分けて制御を行う考え方であり，ソフトウェアによって設定を柔軟に変更できるという利点がある．そこで，通信を行っている際のSDN コントローラからSDN スイッチへの統計情報の要求によって得られる特徴量，およびSDN スイッチに設定するフロールールから得られる軽量な特徴量に着目し，これらの特徴量を用いた機械学習に基づく検知モデルを作成した．

粗粒度再構成アーキテクチャ Coarse-Grain Reconfigurable Architecture

小島 拓也，中村 宏

粗粒度再構成可能アーキテクチャCGRA（Coarse-Grained Reconfigurable Architecture）は高いエネルギー効率とプログラミング柔軟性という特徴を有するため，組込みシステムから高性能コンピューティングまでの広い応用が期待されている．CGRAは多くのPE（Processing Element）が2次元アレイ状に配置された構成であり，その有効性は，処理をこれらのPEにマッピングするコンパイラの質に依存する．そこで，マッピングにおける時間的な制約を緩和するElastic CGRAに関するマッピング手法を提案し，コンパイル時間に関する優位性があるかを調べた．ILP（整数線形計画法）を用いてこのマッピング手法を実装したところ，マルチコンテキストなCGRAの場合に，Elastic CGRAを対象とする提案手法は，最大300倍速くマッピング可能であることを確認できた．

組込みデバイス向けのROS 2ノード軽量実行環境

高瀬 英希，中村 宏

ROS（Robot Operating System）及びその後継であるROS2は，分散型のロボットシステムにおけるソフトウェア開発プラットフォームとして注目されている．ROS2の問題の1つは，動作環境としてLinuxを必要とするため，高性能で消費電力の大きい計算リソースを必要とすることである．そのため，応答性や消費電力の点で，ROS2を組み込みデバイスへ適用する際の障害となっている．

そこで組込みデバイス向けの実行環境であるmROS2の研究を行っている．mROS2の利点は，高効率な通信を実現しメモリ軽量であることである．現在，目的の実現に求められる設計要件を整理し，効率的な通信処理を実現するためのソフトウェア構成および動作フローを設計している．この研究はモバイルロボットシステムの低消費電力化とリアルタイム性の向上に貢献することが期待されている．

池田研究室
（http://www.mos.t.u-tokyo.ac.jp）

高機能暗号ハードウエアの設計最適化と設計自動化

池田 誠, Anawin Opasatian, 正田 薫, 福田 桃子, 鈴木 佑典

ペアリング演算などの複雑なアルゴリズムを実装する際，ASICやFPGAを用いた専用ハードウェア開発では，汎用CPU上でソフトウェア実装を行った場合と比較して，並列性を活用することで低消費電力・低レイテンシでの処理が期待される．一方，アルゴリズムに適したアーキテクチャやデータの依存性を考慮した並列処理を検討する必要があるため，開発に膨大な人的・時間的なコストがかかるという問題がある．そこで，我々は並列処理のスケジューリングを自動生成することで設計時間の短縮を行った．また，より抽象度の高い設計に対応するため，NumPyなどのライブラリを用いたPython記述の高位合成手法の実装の研究も行っている．

耐量子計算暗号の実装

池田 誠, 竹島 優太，孙 鹏飞, 中村 孔星, 中村 優斗

量子計算機の実用化にあたってはRSA暗号や楕円曲線暗号といった古典的な暗号が破られてしまうという脅威が存在している．そこで，耐量子計算機性を持つ，耐量子計算機暗号（PQC：Post-Quantum Cryptography）が複数考案されている．我々は鍵カプセル化メカニズムであるCRYSTALS-Kyber，SIKE，デジタル署名であるCRYSTALS-Dilithium，SPHINCS+を対象として，専用ハードウェアによる高速化を行っている．

CRYSTALS-Kyberでは，複数のセキュリティレベルに対応可能なハードウェアをパイプライン化と並列化を用いて設計し，既存のハードウェアに対して面積遅延積において優れていることが確認された．また，CRYSTALS-Dilithiumとのハードウェア統合を目指した実装も研究しており，双方に流用可能な数論変換器が実現されている．

Crystals-Kyberと共有して使用されるアクセラレータに加えて，リソース圧縮とサイクル数削減を実現するCRYSTALS-Dilithium向けの独立したハードウェアも進行中である．広範なリソース再利用とセグメント化されたパイプライン設計を最大限活用することに焦点を当てた実装により，既存の実装と比較して，リソース消費と最大周波数条件をほとんど変更せずにクロック要件を30％以上圧縮することが期待される．

SPHINCS+については，低レイテンシ化を目指しハッシュ演算器を複数コア載せて効率的に計算できるよう設計した．最小構成においては他のASIC実装に対して同等の面積でより高速に演算可能であることを示し，コア数を変更することで更に面積遅延積を小さくすることに成功した．

SIKEにおいては，暗号計算の計算経路から捉え直し，専用ハードウェアの設計を行った．全ての計算経路を実行できる汎用的なハードウェアを作成し，そのハードウェアにおいて，面積遅延積の観点から最適な計算経路を求めた．SIKEの仕様書とは異なる最適経路を見つけることができ，先行研究の最速ハードウェア実装よりも3.5倍の高速化に成功した．

ニューラルネットワークとそのセキュリティ

池田 誠, 王 澤宇, 繆 逸杰, Bayasgalan Amartuvshin

スパイクニューラルネットワーク（SNN）は高いエネルギー効率を実現する可能性があり，ニューロモーフィックセンサーとの統合にも期待されるため，注目を集めています．しかし，SNNのハードウェア実装は，スパイキングニューロンによって導入された膜電位によって，大きな困難を抱えています．そこで我々は，膜電位の圧縮方法を提案し，推論精度に影響を与えずに初めて深層SNNにおいて膜電位を低精度固定小数点で扱うことを可能にし，同じFPGAベースのSNN推論アクセラレータの中で最小のリソース使用と最高のエネルギー効率を実現した．

一方，クラウドコンピューティングの技術は，個人用コンピュータ上の深層ニューラルネットワークの膨大な計算コストを克服するために応用されているが，データプライバシーが懸念されている．暗号化された計算を可能にする準同型暗号（HE）は，この問題に対する期待される解決策となっている．ただし，暗号文での計算は通常，平文上の計算よりも1000〜10000倍遅くなる．我々の研究では，HEの計算を加速するために，高速な計算方式と専用ハードウェアを設計した．計算方式の設計では，ブートストラップフリーのGRUネットワークの構築ガイドラインを提案し，高速な推論を実現した同時に精度をほぼ保った．ハードウェア

設計では，CPU上でのHEを用いたNN推論に最も計算時間がかかる暗号文の乗算を加速するために，キースイッチング，モジュラースイッチング，数論変換/逆数論変換ブロックを含む暗号文の乗算器を設計した．

秘密分散演算の実装

池田 誠, 赵 寅帆

マルチパーティ計算（MPC）は，複数の当事者がそれぞれの入力を秘密に保ちつつ，共同で関数を計算することを可能にする方式である．秘密分散はMPCを実現する主流の方式であるが，他の手法と比較して，計算時間に対して通信遅延に対する影響が大きく，さらに対象とする計算量に応じて，通信コストが増大するという課題が知られている．本研究では，通信リソース制限が緩和されるチップ内秘密分散処理を仮定した場合のMPCの性能評価を行っている．

暗号の安全性評価

池田 誠, 菊岡 才人, 正田 薫, 王 啓睿

高機能暗号への高い拡張性を持つペアリング暗号や量子コンピュータによる攻撃への耐性を持つ格子暗号といった将来的に活用されることが期待される暗号については，今のうちから実用化に向けた取り組みを行っていくことが重要である．われわれは専用ハードウェアを用いてペアリング暗号および格子暗号を実装することを想定し，暗号の安全性および演算ハードウェアを用いた場合の面積や演算時間といったコストを，論理合成結果をもとに簡易的に見積もる手法を提案し，optimal ate pairingおよびCRYSTALS-Kyberに対して適用し評価を行った．また，BLS署名は現在望ましいとされている証明可能安全性を持つ．われわれは帰着効率を考慮した曲線上でのBLS署名の計算コストを推定し，異なる署名方式におけるパラメータサイズの比較を行った．

論理回路およびプロセッサの安全性

池田 誠, 叶 子楊, 信 紀元, 松本 高士

ロジックロッキングは，集積回路の知的財産権とセキュリティを守る技術で，特定の論理ゲートを回路設計に組み込むことによって実現される．本研究では，耐量子計算暗号アルゴリズムをロジックロッキングに応用することで，量子コンピューティングに対して強固な新たな方式の実現を目指した検討を行った．

また，IoT機器における暗号に対しても耐量子計算暗号の実装が不可欠となってきている．本研究では，オープンソースのプロセッサであるRISC-VにPQCの一つであるCrystals-Kyberアクセラレータを搭載することで，将来のIoT機器の安全性担保を目指した検討を行った．

飯塚研究室

（http://www.mos.t.u-tokyo.ac.jp/iizuka）

低雑音位相同期回路技術

飯塚 哲也，長田 将，張 浩明，朱 玉陽

リング型VCOは面積が小さく，磁気的なカップリングが少なく，複数の位相を生成出来るなどの利点を持つ．しかし，リングVCOの位相ノイズ（PN）性能は一般的にLC型 VCOよりも悪く，そのノイズをハイパスフィルタリングするためにPLLが広い帯域幅（BW）を持つ必要がある．これは，Fractional-N型PLLにおいて量子化ノイズがPLLによってローパスフィルタリングされるため，狭いBWが必要とされることとトレードオフ関係にある．Harmonic-Mixer（HM）型Fractional-N型PLLは，リングVCOを使用するのに適しており，キャリブレーションをせずに効果的な量子化ノイズ抑制を達成でき，量子化ノイズをフィルタリングするためのBWへの要求を緩和する．しかし，従来のデュアルフィードバック型HM-PLLではDSM動作周波数が低くなるため，メインPLLのBWが高い場合，量子化ノイズが依然として支配的であった．本研究では，分数分周器の後にNested PLLを追加してDSM動作周波数を上げ，量子化ノイズをさらにフィルタリングすることに成功した．65nm CMOSプロセスによるチップ試作を通した実測評価果により，位相雑音の低減効果を実証した．

HM-PLLは量子化ノイズ抑制に効果的だが，このアーキテクチャの欠点は，少なくとも一つのPLLが追加で必要であり，ノイズや消費電力のオーバーヘッドが発生し，ジッタ-消費電力の性能の低下を招く可能性があることである．本研究における2つ目の提案は，このHMベースのPLL内で使用できるフィードフォワードノイズキャンセル技術であり，一段目のPLLのノイズと電力オーバーヘッドを軽減し，その性能限界を乗

り越えることである．この提案手法は，他のカスケード型PLLアーキテクチャにも適用可能であり，複数のPLLを持つことによるオーバーヘッドを軽減できる可能性がある．本提案についても65nm CMOSプロセスによるチップ試作を通した実測評価果により，位相雑音の低減効果を実証した．

また，Self-dithered MASH（multi-stage noise shaping）デジタルデルタシグマ変調器（DDSMs）の性能をFractional-N型周波数シンセサイザ内で改善することに焦点を当てた研究を行った．従来のshaped ditheringを使用するself-dithered MASH 1-1-1 DDSMsにおける，低入力ビット幅によるスプリアスの問題を解決するため，MASH 1-1-1-1構造でself-ditheringを使用することを提案した．この新しいself-dithering MASH 1-1-1-1構造は，低入力ビットでもフラクショナルスパーを効果的に抑制し，さらに外部LFSRを必要としない．また，この手法により，ノイズシェーピングの次数が高くなり，PLLの位相ノイズとスプリアス性能を向上させることをシミュレーション結果により示した．

高速・高精度変換回路とその自動設計技術

飯塚 哲也，李 爍煒，王 錫明，張 浩明，熊野 陽，竹中 理太郎，陈 赟杰，許 瑜昊

標準セルに基づくアナログ回路は，高い再利用性，高度な集積性，自動化設計との互換性，信頼性，安定性など，多くの利点を持ち，現在および将来の研究において非常に有望である．私たちは，新しい差動構造を採用した標準セルに基づく新しい合成可能なSAR ADCを設計した．この構造により，各ビット推定のためにDACを事前バイアスする必要がなくなり，CDACの消費電力が低減された．制御ロジックも簡素化され，ロジックセルの消費電力も削減された．またダミーを持つCMOSスイッチと同等の性能を持つ新しいインバータベースのスイッチを提案した．提案回路はデジタル合成ツールを使用してレイアウト生成が可能である．また標準セルに基づく増幅器を考案した．この増幅器は，許容可能な線形度を保持しながら，60倍以上のゲインを達成することができる．この増幅器に基づき，合成可能なパイプラインSAR ADCも提案した．

ダイナミック回路はデジタル論理機能を実現するために使用されるデジタル回路ファミリーに属するが，プルアップおよびプルダウンネットワークの両方を備えたスタティックCMOSデジタル回路とは異なり，ダイナミック回路は非対称であり，プルアップ/プルダウンネットワークの一方を取り除き，単一トランジスタに置き換えることで高速化を図っている．高速化が図られているにもかかわらず，その動作フェーズ（Precharge と Evaluation）を制御するための追加のクロック信号がタイミング特性評価に大きな困難をもたらすため，現在に至るまでダイナミック回路はスタティックCMOS回路のように自動デジタル回路設計フローに組み込まれることはなかった．本研究では，ダイナミック回路のタイミング特性評価のためのタイミングモデルと，製造後に遅延やセットアップ/ホールドタイムを含むタイミングパラメータを抽出するためのオンチップテスト構造を提案した．提案されたタイミングモデルは，現代の産業で使用されている一般的なツールの一つであるSynopsys Prime Timeに基づいて利用および検証されている．テスト構造のチップはTSMC 65nmプロセスで設計され，測定結果により特性評価が可能であることを示した．

高精度・高電力効率なADC設計のために，Floating Inverter Amplifier（FIA）を用いた完全ダイナミック離散時間ΔΣADCを提案した． 既に提案しているCLS によるゲインブーストとSNC によるノイズキャンセルに加えて，提案技術であるFast Self-Quenching FIA reusing CRES for SNCを用いた高電力効率な積分器を提案し，2 次 5 level 完全ダイナミック離散時間 ΔΣADC の回路設計及びチップ試作を行い，その性能を実測により評価した．また量子化器へのランダムディザの印加を応用し，ΔΣADC の量子化器特性を量子化器入力のヒストグラムから解析した．得られた解析結果から 2 次のΔΣADC における量子化器非線形性を最小化する最適設計点の例を示し，量子化器非線形性と積分器出力振幅がトレードオフの関係にあることを示した．

高速かつ高精度なADCは，無線通信やレーダーなど多くの用途で必要とされている．従来のパイプライン型ADCと比較して微細化プロセスにより適した，高分解能なサブレンジングADCの研究を行った．入力容量の非線形成分を抑えた逆バイアス増幅器や，電力効率が高い複数基準電圧比較器を考案した．また，追加の消費電力はほとんど無しに，オンチップのデカップリング容量を削減できる複数基準電圧のC-DACを提案した．これらは14ビット，500MS/sのADCとして実回路

による検証を行った．測定により，179.4dBという高いSchreier FoM（DR）が実現可能であることを示した．

通信技術の基準は4Gから5Gへと進化を遂げ，現在ではさらに次世代の6Gに向けた検討が進められている．これらの次世代規格は超広帯域の通信速度を特徴としており，より広範囲の周波数帯をサポートし，データ転送の速度を大幅に向上させることが求められている．超高速データ通信を可能にするための技術の一つとして，超高速デジタルアナログ変換器（DAC）の研究開発が急務である．単一DACでは，内部の寄生成分等の影響のため，その性能をさらに進化させることが困難である．近年では，インターリーブ技術がDACに頻繁に組み込まれている．特に時間インターリーブ型DAC（TI-DAC）では，異なる周波数のクロック間の位相誤差の整列や，非常に小さい出力スケールなど，いくつかの潜在的な設計上の問題が明らかにされてる．今年の研究では，既存の設計上の制限を効果的に改善しつつ，サンプリングレートを維持し，SFDRを向上する20 GHzの時間インターリーブ型DACを提案した．提案されたTI-DACは，最終出力での加算を行うことを特徴としている．理想的な場合には，提案されたTI-DACはナイキスト周波数の65％まで63dBのSFDRを維持することができる．提案手法により，クロック設計が大幅に簡素化され，設計難易度を抑えながらシステムの精度が維持される．

逐次比較（SAR; Successive Approximation Register）型アナログ-デジタル変換器（ADC; Analog-to-Digital Converter）において，内部の論理回路による速度性能のボトルネックを回避し，そのサンプリング速度を向上させ性能最適化を行う手法についての検討を行った．従来の方法では論理回路は動作がシンプルで組み立てが簡単なスタティック型論理回路によって設計されていることが多かった．しかし，それが故に論理回路がADC全体の速度を律速していることが起こりかねない．一方で，ダイナミック論理回路は速度がより早いが，動作が複雑なため，論理合成ができず手設計によって時間がかかる．そこで，我々は本研究で，スタティック型論理回路により設計されたデジタル制御回路においてクリティカルパスを検出し，パス中の回路をより高速なダイナミック論理回路に置き換える事により速度および消費電力性能の最適化を行った．28nm CMOSプロセスで設計された10-bit SAR型ADCを例として用い，スタティック論理回路による2種類の設計を解析し，一部の回路をダイナミック論理回路に置き換える事による性能向上を実証した．また，ダイナミック論理回路の置き換えにおける必要条件・ワークフローなど今後この置き換え作業を自動化するための材料を整理し，検証した．

深宇宙探査機向けワンチップ送受信機の設計

飯塚 哲也，加納 創太，濱崎 拓

深宇宙探査機の小型化に対する需要が高まっており，特に通信モジュールの小型化，軽量化，およびコスト削減が重要となっている．最近の超小型惑星探査機では主にコスト削減を目的として民生品を使用するケースが増加しているが，民生品を広範囲に使用するシステムの信頼性を確保することは非常に困難であり，長期間の深宇宙探査ミッションへの応用に際して大きな障壁となっている．そこで，通信モジュールを構成する送信機，受信機，デジタル信号処理をワンチップに合することが提案されている．これにより回路全体のサイズを縮小できるだけでなく部品点数を削減できるため，モジュール全体の信頼性を向上させることが可能となる．

本研究では，深宇宙探査機向けワンチップ通信機の実現に向けて，X帯（7.2 GHz / 8.4 GHz）の送受信回路の設計および試作による実測評価を行った．

低雑音増幅器とダウンコンバージョンミキサを含む7.2 GHz帯受信機フロントエンドの設計を行った．極めて高い受信感度を実現するため，ノイズキャンセリング技術の検討を行い，IHP SiGe 130 nm BiCMOSプロセスにおけるシミュレーションによりその可用性を検証した．また，受信機フロントエンドのプロトタイプチップの試作をTSMC 65 nm CMOSプロセスを用いて行った．プローブステーションによる測定の結果，2.3 dB の雑音指数が得られ，過去のオンボード実装されたトランスポンダと同等の受信感度をCMOSチップ単体で実現し得ることを示した．また，−26 dBmの3次入力インターセプトポイントの測定結果から，深宇宙探査での利用に適合した受信ダイナミックレンジが得られることを示した．

X帯受信機全体の構造についても検討および解析を行った．深宇宙探査機は高速で移動するため，受信信号の周波数にドップラ効果による偏差が生じる．これ

を補正するための構造について，ワンチップ集積回路に適したアナログキャリアトラッキングループを提案した．測定によって得たフロントエンド性能をもとに位相領域での設計と解析を行い，従来のFPGAを用いたデジタル処理に対する優位性を議論した．

TSMC 65 nm CMOSプロセスを使用して，衛星通信に用いられる8.45 GHz周辺で動作する単段パワーアンプとアップコンバージョンミキサを含む送信機フロントエンドの設計と試作を行った．パワーアンプでは，動作周波数を狭帯域とすることで広帯域パワーアンプの先行研究と比較して約2倍高効率な動作が可能となることをシミュレーションと実際の測定で示した．

宇宙環境では高エネルギー放射線が多く存在するため，微細集積回路はシングルイベント効果（SEE）やトータルドーズ効果（TID）の影響を受けることが想定される．そこで，実際に放射線試験を行うことを目標に，評価用プリント基板の設計も行った．

時間領域ニューロン素子の設計・実装とそれらを用いた学習システムの検証

飯塚 哲也，ビャムバドルジ ゾルボー，
ドラン クリスティアン，木村 夏菜子

近年，ChatGPT のような大規模言語モデル（LLM）の実装は，複雑な問題を解決する AI の能力を実証しているが，このようなモデルの実装には非常に強力な機能を備えた特殊な計算機器が必要となる．この実装方式では AI が集中型サーバーに接続する際の有用性が制限され，第三者へのデータの送受信によるプライバシーの懸念などの問題が発生しうる．さらに，このような計算のエネルギー消費が高く，計算能力とエネルギー効率の両方を向上させる代替手段を見つける必要がある．

前述の問題に対する解決策の一つとしてアナログコンピューティングが挙げられる．加算器と乗算器のシンプルな実装を，小さな面積と低消費電力で実現できる．アナログ コンピュータを使用する場合の注意点は，計算の不一致とノイズによる精度の低下となる．ニューラルネットワーク（NN）の実装では，一つ一つの計算に細かい精度は必要ないことが実証されている．私たちが選択したアナログコンピューティングの実装は，積分漏洩発火（LIF）ニューロンを使用したスパイキングニューラルネットワーク（SNN）である．LIF ニューロンは一連のパルスを積分して計算を実行する．ニューロンの状態は時間の経過とともに変化し，他のニューロンへのパルスの出力が決定される．LIF ニューロンの設計は，積分を行う MOS コンデンサ，興奮/抑制の蓄積を行う P/N トランジスタのトリガー，および出力パルスを発する電圧制御発振器（VCO）で構成されています．

私たちが設計したLIF ニューロンは，ニューロンとネットワークのさまざまなシミュレーション環境（SPICE，Matlab，Python）でテストされ，回路の学習能力が検証された．この回路を，TSMC 65nm CMOS テクノロジーを用いて設計・試作した．短期記憶（STM）や排他的論理和（XOR）などの単純なタスク，または特定の周波数範囲の波や音声認識などのより複雑な学習を実証し，その効果を検証した．

また，SNN を実装するには，LIF ニューロンを相互接続する必要がある．この相互接続は，リザーバコンピューティングを含むさまざまな種類のコンピューティングパラダイムをサポートする必要がある．ニューロン間のランダムな接続を可能にするために，フィールドプログラマブルゲートアレイ（FPGA）アーキテクチャを設計した．この FPGA は，LIF ニューロンを含む複合ロジックブロック（CLB）で構成されている．LIF ニューロンの入出力のパルスの性質により，信号がデジタルで伝達できるため，FPGA 実装が可能になった．このFPGAシステムには，ニューロンの測定を行うための周波数カウンターなどが含まれています．

TMSC 65nm CMOSプロセスを用いて100 個の LIF ニューロンを備えた FPGAをチップに実装した．実測結果から，ニューロンは 21.7 pJ/パルスをのエネルギーを消費することが分かった．私たちの設計したFPGA のリソース制限により，この実装では最大 50 個のニューロンをリザーバーとして実装可能となっている．フィードバック構成でのサイン波の学習機能と，STM/XOR などのテストを実測にて実証した．

生成AIの広がりに代表されるように，近年第二世代の人工ニューラルネットワーク（ANN）であるディープニューラルネットワーク（DNN）は盛んに使われている．しかし消費電力が膨大である点が大きな問題になっており，この解決が求められている．その一つとして期待されるのが，第3世代のANNと称されるスパイキングニューラルネットワーク（SNN）である．脳

の消費電力は20W程度と低消費電力であることが知られているが，SNNはより脳に近い情報処理を行うため，消費電力を抑えられるのではないかと考えられている．SNNは神経細胞のメカニズムに従って状態を時間変化させ，発火によって情報伝達を行うニューロン素子によって構成される．従来のANNのように伝達する値自体に情報が乗っているのではなく，発火する時間（タイミング）に情報が乗っているのが特徴である．

電子回路の観点から見ると，SNNにタイムドメイン回路の技術を利用できることがわかる．トランジスタの微細化に伴い，信号遷移の時間遅延が減少し，動作速度の向上が起こっている．信号遷移が鋭くなることによって，アナログ情報を信号の時間間隔・時間方向により効率的に乗せることができるようになった．これはまさにSNNで行いたいことである．さらに，タイムドメイン回路はインバータやロジックゲートで構成されることが多いため，直流電力を消費しないという利点もある．これは低消費電力を求める方針と合致している．

SNNを電子回路で構成するには，ニューロン回路を作成し，それらを接続する必要がある．ニューロン回路の実現方法は多数存在するが，シンプルで工学的良く使われるLeaky Integrate and Fire（LIF）モデルに倣っている回路では，閾値設定のためにコンパレータが使用されることが多く，面積や消費電力の増大につながる．またリークの再現によって電力が何かに使われるわけでもなく消費される．そこで本研究グループでは，電圧制御発振器を発火メカニズムとして採用したニューロン回路を作成し，コンパレータを使わずに発火を行い，リークを利用して電圧制御発振器を駆動することで，より消費電力の少ない回路を実現した．

従来まではニューロン回路の作成と，これを利用したリザバー構成のSNNのシミュレーションが行われた．しかしそこには2点課題があった．まずこれまでに作成されたニューロン回路を用いたシミュレーションでは，電圧制御発振器の制御電圧の読み取りでADCを使用することを想定していた．SNNを実現する回路の一つのメリットは消費電力を抑えられる点であるが，この良さを消さないためには一般に消費電力が大きいとされるADCを使わずに実現できることが望ましい．そこで今年度はカウンタを使用して電圧制御発振器の周波数を読み取ることで対応した．また，そのシミュレーションで行われていたタスクは正弦波の生成であった．一般にリザバーコンピューティングにおいて，リザバーに求められる性質は，短期記憶・非線形性・高次元性が挙げられる．正弦波が生成できると言った事実が，どの性能にどの程度起因しているかを分析するのは難しい．そこで今年度はよりネットワークの特性を探るのに相応しいタスクを行うことにした．

以上の変更を踏まえて回路を用いたSNNのシミュレーション環境をPythonで作成した．極力実回路に近い挙動でシミュレーションをすべく，Hspiceのシミュレーション結果をもとにビヘイビアモデルを作成し，それを用いて環境を作成した．短期記憶の能力を確かめるべく，離散入力データをシステムに入力し，何ステップ前の入力まで再生できるかを確かめた．また非線形性・高次元性を確かめるために，時間方向でXORタスクを行った．結果として，本システムが短期記憶・非線形性・高次元性を有していることが確かめられた．また，応用として0-9の数値の発話音声認識のタスクも行った．その結果，他の先行研究と肩を並べられる程度の高い正答率を得ることができた．

他の物理リザバーコンピューティング研究と比べ，現在広く使われているCMOSを使用している点は本システムの利点である．また，SNNで利用するニューロン数を増やせば増やすほど性能が上がるという結果が得られており，現在のプロセスで集積化が容易な本システムは精度向上の観点から有望であると考えられる．

無線通信用アンテナ計測・試験技術

飯塚 哲也，グエン ゴック マイカーン，
ビャムバドルジ ゾルボー

5Gテクノロジーでは，ミリ波周波数と小型端末に依存するテクノロジーのため，5Gアンテナの無線（OTA）測定が必要となっている．従来のOTA測定は遠方界測定に基づいていたが，ミリ波では，パス損失が大きく，測定精度が低いため，遠方界測定はほとんど実行できない．したがって，ミリ波範囲でのOTA測定の代わりに近傍界測定が行われる．遠方界測定データは，近傍界から遠方界への方法を使用することにより，近傍界測定から取得することができる．

これまで，プローブやテスト対象アンテナ（AUT）としてさまざまな種類のアンテナが使用されてきた．近傍界測定では，測定時間とプローブ設計が最も重要な

要素であることはよく知られている．28GHzをターゲット周波数としたデュアルフィードマルチプローブの設計を行い試作を行った．このマルチプローブは，複数の位置で同時に二重偏波信号を受信でき，測定結果から偏波比が20dB以上であることを確認した．

このマルチプローブを使用すると，スキャン空間で複数のサンプルを取得することで，近傍界測定時間を大幅に短縮できる．一般的な VNA にはポートが数個しかないため，これらの複数の信号をキャプチャするために新しいキャプチャシステムを開発した．システムとマルチプローブの概念実証として，複数の AUT をキャプチャし，良好な遠方界特性を再生することに成功した．

広帯域スピン波検出システムの設計

飯塚 哲也，朱 玉揚，程 鎮宇，魚 家傲

スピン波（SW）は電子スピンの集団励起であり，スピン波を利用することで，物理的な電荷の移動なしに情報の伝達と制御が実現できる．しかし，現在までのところ，スピン波の応答を検出するオンチップ検出システムは存在せず，次世代チップへの実用的な応用が難しい状況である．そのため，私たちはスピン波検出システムを提案した．この回路は，フェーズロックループ（PLL），フェーズインターポレーター（PI），低雑音増幅器（LNA），ロックインアンプ（LIA），アナログ・デジタル変換器（ADC）など，いくつかの重要なブロックで構成されている．

これまでに，システムで使用するブロックのチップを設計および試作することに成功した．提案されたスピン波検出システムの送信側では，磁界の影響を避けるため，まずインダクタンスを用いない広帯域のPIを設計し，シミュレーションを通じてその設計を検証し，スピン波検出回路での用途における機能と性能を確認した．測定結果に基づいて，PIチップは65nm CMOS技術で実装され，製造されたチップの機能と性能を評価するために測定が行われた．測定結果では，0°から360°の位相範囲においてDNLとINLはそれぞれ0.6LSBおよび−5.17LSBとなった．PI回路は5GHzの動作で1.89mWを電力を消費する． 受信側では，弱い信号の検出と増幅のためにチョッパー安定化LIAを備えたLNAを設計した．測定結果から，提案されたLNAは実験測定で31dBを超える最大ゲインを示した．さらに，提案されたLNAは，11mWの消費電力，0.066mm^{2}の占有面積，約1.2GHzの−3dB帯域幅，約3dBの最小NFを達成し，スピン波デバイスの測定に適していることが示された．

ミリ波集積回路技術

飯塚 哲也，湯浅 太蔵

位相同期回路（Phase-Locked Loop, PLL）は，参照信号を受け取り，位相が同期した信号を，周波数を逓倍して出力する回路である．PLLの応用先は多岐にわたるが，本研究ではRFテスタへの応用を目標としている．RFテスタは，テスト対象として様々な高周波デバイスに対応するため，特に動作周波数，ジッタに対する要求が厳しくなる．具体的な目標として，チューニングレンジを50~100GHzと設定している．PLLのアーキテクチャには，Fractional-N PLL，Cascaded PLLなどが存在し，動作条件によって最適なアーキテクチャが異なる．そのため，シミュレーションをもとに本アプリケーションにおける最適なアーキテクチャを決定し，回路設計を進めていく．

また，PLLのチューニングレンジを広くするには，PLL内部の電圧制御発振器（Voltage Controlled Oscillator, VCO）のチューニングレンジを広くする必要がある．一般にLC-VCOでは，連続的な周波数のチューニングにはバラクタが，離散的な周波数のチューニングには，トランジスタのスイッチにより切り替え可能なキャパシタ・インダクタが用いられている．しかし，この回路構成にはいくつかのトレードオフが存在する．例えば，チューニングレンジを広くするためにバラクタを大きくすると，共振器のキャパシタが増え，発振周波数が低下する．また，発振周波数の切り替えに用いるスイッチについて，オン抵抗を減らすためにはサイズを大きくする必要があるが，ドレイン-ソース間の寄生容量が大きくなってしまう．また，ミリ波帯では，特にキャパシタのQ値の劣化が大きく，位相雑音性能が低下する．期待できる手法として，VCOのマルチコア化，スイッチを用いない動作切り替えなどが存在し，現在調査を行っている．

一方で，ミリ波帯で動作する回路の設計においては，デバイスモデルの信頼性が大きな問題となる．寄生成分の影響に加え，ミリ波帯ではファウンドリが検証を十分に行っていないこともあり，シミュレーション結

果と実際の特性には誤差が生じる．素子のレイアウトを設計し，電磁界シミュレーションを行ったとしても，デバイスの正確な特性を得ることは難しい．したがって，ミリ波帯においては，回路設計に先立ってデバイスモデルを作成することが必要不可欠である．

ミリ波帯でも使用できるような正しいデバイスモデルを作成するため，TSMC 28nm CMOSプロセスを用い，アナログ回路設計における基本素子（伝送線路・トランジスタ・抵抗など），またモデルの正確性を検証するための一段のソース接地増幅回路を搭載したチップを設計した．このチップを測定し，得られた結果からデバイスモデルを作成することで，より正確な回路設計を可能とする．

平本・小林研究室

（https://vlsi.iis.u-tokyo.ac.jp/, http://nano-lsi.iis.u-tokyo.ac.jp/）

ナノスケールCMOSデバイスの低温特性に関する研究

平本 俊郎，小林 正治

CMOSによるバイナリーディジタル演算に代わるコンピューティング手法として量子計算が注目されている．量子計算では従来のCMOS回路が量子ビットの制御回路に用いられるため．CMOSデバイスの低温特性を明らかにしておくことが必須である．本研究室では，MOSトランジスタの特性ばらつきが低温において増大することに注目し，その起源を明らかにした．また，低温におけるランダムテレグラフノイズについても評価を行っている．

積層シリコン量子ビットに関する研究

平本 俊郎，小林 正治

量子計算に用いられる量子ビットとして，シリコンによる半導体量子ビットが注目されている．実用的な量子計算を目指すには将来的には数百から数千，数万の量子ビット集積化が必要となるとされている．本研究室では，よりスケーラブルな集積化を実現するために，積層シリコン量子ビット構造による三次元集積化の研究を行っている．シミュレーションによる解析により積層シリコン量子ビット構造を提案するとともに，実際に試作してその有用性の実証を目指している．

シリコンパワートランジスタに関する研究

平本 俊郎，小林 正治

半導体パワートランジスタは，家電製品や電気自動車，鉄道などに広く用いられるパワーエレクトロニクスの基幹部品である．最近ではSiCやGaNなどワイドバンドギャップ材料を用いたパワーデバイスの研究が進展しているが，従来のシリコンデバイスでもさらなる性能向上が可能である．本研究では，絶縁ゲート型バイポーラトランジスタ(IGBT)と呼ばれるパワートランジスタを実際に試作し，スケーリングや両面ゲート化により性能向上を目指している．また，CMOSとの集積化に向けて，新型の横型スーパージャンクションパワーMOSFETについても検討を行っている．

三次元集積メモリデバイス応用に向けた原子層堆積法による酸化物半導体の形成とデバイス実証に向けた研究

小林 正治，平本 俊郎

半導体の微細化が鈍化する中，さらなる高集積化と高機能化のためには，配線層へのアクティブデバイスの形成が必要であり，酸化物半導体は低温でトランジスタを形成可能であり注目を集めている．従来酸化物半導体はスパッタ法による平面への成膜が主流であったが，半導体の三次元集積化に向けては三次元構造への均一な成膜が重要となる．本研究では，酸化物半導体トランジスタの微細化に必要なナノシート酸化物半導体の原子層堆積法による成膜プロセスを確立し，デバイス設計で重要となる，移動度・閾値電圧・バイアスストレス信頼性の間のトレードオフ関係を明らかにした．また従来のシングルゲート構造からダブルゲート構造にすることで，高移動度，ノーマリーオフ動作・高信頼性を同時に実現することに成功した．

HfO_2系強誘電体の成膜プロセスおよび信頼性に関する研究

小林 正治，平本 俊郎

本研究では，HfO_2系強誘電体を形成する際に重要な結晶化アニールプロセスにおいて，従来のハロゲンランプによるRapid thermal annealから，波長選択性の高いLEDアニールを採用することで，キャパシタの吸収スペクトルと一致した光源によってエネルギー効率の高い強誘電体キャパシタの形成技術を実現した．また強誘電体キャパシタの強誘電特性および信頼性劣化現

象を電気特性を測定しながら非破壊で光電スペクトルによる物性評価を同時に行うことができるオペランドレーザーPEEM法による評価手法を東大物性研と共同で構築し，絶縁破壊現象とキャパシタ上の光電スペクトルの変化の対応を明らかにすることに成功した．

高木研究室

（https://sites.google.com/g.ecc.u-tokyo.ac.jp/mosfet/）

Ge/SiGe Metal-Oxide-Semiconductor（MOS）FETとその3次元集積化に関する研究

高木 信一，韓 雪揚，
トープラサートポン カシディット，竹中 充

3次元集積CMOSへの適用を目指して，Si基板上の極薄Ge-On-Insulator（GOI）構造を実現する技術やこれらの構造を用いた高性能GOI CMOSの実現と性能向上，電気特性を決定しているデバイス物理の研究を進めている．今年度は，表面ラスネス散乱の抑制に有効であり高い電子移動度が期待できる（111）面GOI基板の作製とnチャネルMOSFETの実証に関する研究を進め，smart cut法により形成したGOI層を薄膜化したのちに別のSi基板にトランスファーすることで，結晶品質や界面特性に優れた（111）GOIチャネルが形成できることを示した．このGOIチャネルをデジタルエッチング法により更に薄膜化し，最も薄い膜厚として，2 nm程度の厚さの（111）GOI nチャネルMOSFETの動作実証に成功した．

HfO_2-系強誘電体ゲート絶縁膜トランジスタと強誘電体メモリに関する研究

高木 信一，トープラサートポン カシディット，
蔡 作成，趙 成謹，岩重 宏一郎，大友 将樹，
劉 振泓，伊藤 広恭，竹中 充

分極反転を伴う強誘電体をゲート絶縁膜としたMOSFET（FeFET）や金属とのサンドイッチ構造（MFM構造）をメモリセルとするFeRAMは，将来の極低消費電力メモリやロジック用素子として期待されている．特に近年発見された$Hf_{1-x}Zr_xO_2$（HZO）強誘電体・反強誘電体を用いたデバイスは，現在のSi CMOSテクノロジーとの親和性が極めて高く，大きな関心を集めている．我々は，ALD法によって堆積したこれら強誘電体薄膜の物性やFeFETの素子動作原理の明確化を通じて，優れた素子特性を実現する研究を進めている．今年度は，低電圧動作かつ高信頼性のFeFETメモリの実現に向けて，FeFETの特性に与えるHZO膜厚スケーリングの効果を系統的に調べ，HZO薄膜化により低電圧動作が実現できること，動作電圧の低下により書き込み信頼性の劣化モードが変化し，回復パルスの印加でメモリウィンドウの低下が回復できることを明らかにした．更にFeFETメモリの低電圧disturb特性とその物理機構を調べ，長時間のdisturb特性が印加パルス毎のdisturbを積算することによっては記述できないこと，その理由として捕獲電荷のデトラップによる電界変調効果と分極そのものの緩和の二つの機構が関わっていることを明らかにした．更に，FeRAM応用に向けた極薄膜MFMキャパシタにおいて重要なインプリント現象が，電極と電極/HZO界面の電荷トラップ・デトラップに起因していることを見出した．

強誘電体デバイスを用いたリザバーコンピューティングに関する研究

高木 信一，トープラサートポン カシディット，
名幸 瑛心，鈴木 陸央，万 明霞，竹中 充，中根 了昌

計算負荷の軽いAI計算手法として，リザバーコンピューティングが近年注目を集めている．我々は，メモリ・イン・ロジック機能や非線形アナログ計算機能をもつFeFETやFeRAMが，リザバーコンピューティングを物理実装できるハードウェアとして有望であることを提案しており，Siプラットフォーム上で極低消費電力で推論・学習を行うことができる新しいAIハードウェアとして，動作方式やデバイスの工夫によるAI性能の向上の研究を進めている．今年度は，リザバー性能を最大化する素子動作条件について系統的に調べ，入力ゲート電圧の中央値として分極反転の中央値を選ぶと共に，1 V程度の最適なドレイン電圧を用いることでリザバー性能が向上できることを示した．また，音声認識への応用に向けて，並列動作FeFETリザバーによりspoken digitの分類タスクを行うシステムの改良を進め，異なる周波数チャネルの組み合わせの数を増やすことで，98.1 %の分類精度を実現した．

量子コンピュータ制御回路に向けたSi CMOSの極低温での動作特性の理解

高木 信一，姜 旼秀，陳 育同，靳 釗，
トープラサートポン カシディット，竹中 充

量子コンピューティングシステムでは，量子ビット数向上のためには，4 Kなどの極低温で動作できるSi CMOS回路を量子ビットチップの近くに置くことが必要である．この目的のために，極低温でのMOSトランジスタの動作を定量的に明らかにして，その物理機構を明確化するための実験的・理論的研究を進めている．今年度は，基板濃度の異なるSi n-MOSFETとp-MOSFETのそれぞれに対して，室温から4 KまでのSS（sub-threshold swing）値の変化を実験的に評価し，n-MOSFETでは，10 K以下の温度でSSが飽和する一方で，p-MOSFETでは，SSが温度の低下と共に増加することを見出した．更に，この結果は，バンド端近傍に存在するtail stateの低エネルギー部分はlocalized states，高いエネルギー部分はmobile states と考えることで，定量的に説明できることを明らかにした．

竹中研究室
（https://sites.google.com/g.ecc.u-tokyo.ac.jp/takenaka-lab/）

光配線LSIに関する研究

竹中 充，唐 睿，宮武 悠人，
ティパット ピヤパッタラクン，赤澤 智熙，傅 晟，
作本 宙彌，バルダワジ ダルワ イシャン，小松 健太郎

シリコンフォトニクス等を用いてLSIの配線やI/Oを光化する研究を進めている．InP薄膜をSi導波路上に集積した高感度フォトトランジスタを使って，低挿入損失で導波路中の光強度をモニターすることに成功した．同時に集積したハイブリッドMOS位相シフタで駆動した光スイッチの出力強度をモニターすることにも成功した．

AI用シリコン光回路に関する研究

竹中 充，唐 睿，宮武 悠人，柴 成立，柳 柱栄，
黄 明智，赤澤 智熙，藤田 将大，脇田 耀介，
按田 智大

ユニバーサル光回路などのプログラマブル光回路を用いたAI用深層学習の研究を進めている．新しい相変化材料GeSbTeS（GSTS）を，波長1.55 μm において用いることで，低挿入損失な光強度変調器を実証することに成功した．またGSTS光変調器を光演算回路に応用することで，畳み込みニューラルネットワークの計算が行えることを示した．

Ge中赤外光集積回路に関する研究

竹中 充，宮武 悠人，ティパット ピヤパッタラクン，
張 超

Ge-on-insulator（GeOI）基板上に形成したGe導波路を用いた中赤外光集積回路の研究を進めている．GeOI基板を用いたGe導波路にPIN接合を形成した雪崩増幅受光器の動作原理を解析し，Siと比較して高感度になることを理論的に示した．

内田研究室
（http://www.ssn.t.u-tokyo.ac.jp/）

ナノスケール電子材料を用いたエレクトロニクス・デバイスに関する研究

揮発性有機化合物（VOC）などを検知するナノスケール分子センサ

ヒトの呼気には，ヒトの代謝物を含めて，様々な揮発性有機化合物（Volatile Organic Compounds: VOC）が含まれている．そのため，呼気に含まれる，ヒトの疾病と関連する特定のVOCを選択的に検出できれば，疾病の超早期診断を実現することが期待される．我々は，金属ナノシートを用いた低電力の水素センサ素子をこれまで開発してきた．しかし，金属ナノシートによる分子センシングを原子論的にシミュレーションする方法は確立されていない．今回，分子動力学法と非平衡グリーン関数法を組み合わせることで，センサ応答を原子論的にシミュレートする手法を新たに開発した．今後，この手法を様々な系に応用することで，計算手法の改善を行うと共に，新たなセンサ向け材料の探索にも活用をしていく．

ナノデバイスの熱配慮設計

LSIは，その構成要素であるMOSトランジスタのサイズ縮小によってこれまで飛躍的に性能を向上してきた．近年はナノシートトランジスタなどの新たなデバイス構造の導入が予定されており，トランジスタ動作中のジュール発熱による素子の温度上昇が最も深刻な

問題のひとつとして指摘されている．我々は，熱配慮設計によりCMOSチャネル部の動作時温度を極力抑制する技術の開発に取り組むとともに，シリコンチャネルにおける電子－フォノン輸送特性について精緻な評価を展開してきた．今回，分子動力学法と非平衡グリーン関数法を組み合わせることで，Si/SiO_2界面に特有の振動モードが存在し，その振動モードによって界面近傍の電子－フォノン散乱が増大することを示唆する結果が得られた．

染谷・横田・山岸研究室

（http://www.ntech.t.u-tokyo.ac.jp/, https://fles.t.u-tokyo.ac.jp/）

極薄ゴム基板上への有機トランジスタの作製

奥田 知華，李 成薫，山岸 健人，横田 知之，
染谷 隆夫

皮膚などの生体表面で長期的に装用可能なデバイスは，究極のヘルスケアツールと考えられている．装用時の負担を最小化するために，柔軟さ，薄さ，表面追従性に加えて，通気性，密着性を持つデバイスが盛んに研究されている．我々は，ファイバー構造を用いることで，機械的安定性と薄さと密着性を同時に実現したナノフィルムを開発することに成功した．一方で，密着性の高い極薄ゴム基板上へのデバイス作製は，パターニングや支持基板からの剥離などが困難とされ，厚みが 2 μm 以下で，密着性の高い基板への薄膜トランジスタの報告例はなかった．今回，厚みが 1〜2 μm，皮膚との密着エネルギー 130 $\mu J/cm^2$の極薄ゴム基板上に有機トランジスタを作製することに成功した．まず，エレクトロスピニング法により作製したポリウレタンナノファイバーにポリジメチルシロキサン溶液をディップコートし，極薄ゴム基板を作製した．次に，支持基板として厚み 50 μm のポリイミドフィルムにフッ素系離型剤を成膜し，極薄ゴム基板を貼り付けた．これにより，メタルマスクの極薄ゴム基板への密着を防ぎつつ，支持基板からの剥離も可能にした．続いて，ゲート電極，パリレン絶縁膜，有機半導体としてDNTT，ソース・ドレイン電極の金を成膜することで，有機トランジスタを作製した．作製した有機トランジスタは90%以上の高い歩留まりをスメスとともに，キャリア移動度は 0.19±0.02 cm^2/Vs，閾値電圧は −0.4±0.3 V であり，オン/オフ比も最大で10^5 以上を示した．

三田研究室

（http://www.if.t.u-tokyo.ac.jp）

TopoMEMS：トポロジカル量子計算機に向けた可変電子素子およびMEMS演算素子の研究開発

三田 吉郎，高橋 遼平，辻 啓吾，Anne-Claire Eiler，
安永 竣，肥後 昭男，飯塚 哲也，
江澤 雅彦（物理工学専攻）

量子コンピューティング分野における次世代の計算手法として，物質が持つトポロジカルな状態をハミルトン演算子として表現し，演算に用いるトポロジカル計算機が期待され，幅広い系で研究が行われている．我々のチームでは，JST-CRESTプロジェクトとして，ハミルトン演算子行列を電気回路部品の集合体として捉え，電気回路のトポロジーによって演算を行う手法の探索を担当しており，三田グループは集積MEMSの専門家として計算機に必要な理想の可変素子・MEMS素子を「TopoMEMS」と命名し，精力的に研究開発を行っている．本年度はさらに，これまで用いられてきた「容量結合の大小」による結合に変えて「磁気結合の大小」による結合を用いる新しいトポロジカル電子回路を考案実証し，結果が国際会議に採択された．また，MEMSの動きそのものを演算に用いる新しい構想は科研費基盤Aとして研究プロジェクト化した．多段双安定MEMSアクチュエータの開発に成功し，国際会議で発表した．

エネルギー自立型分散マイクロシステム

三田 吉郎，三角 啓，黄 吉卿（CNRS LIMMS研究所）

集積化MEMS（微小電気機械システム）のトップダウンアプリケーションとして，「適切な制御によって小さな物体の集合が賢い動きをする」自立マイクロシステムの研究を行っている．「大きさ1cm以下のマイクロロボットを多数環境に放出し，個々のロボットは近傍のロボットと通信を行いながら，協調的に環境測定などの高度な機能を実現するという自律分散システムを目指している．2016年度より受託していた仏FEMTO-ST研究所との共同研究「Programmable Matter」は一段落したが，同じくフランス共和国CNRS研究所より三田研に派遣された客員研究員（黄博士）により，バイオ応用を目指した微小ロボットの研究が進捗している．

電子線リソグラフィとMEMSプロセスによる微細電極構造と流体素子への集積化作製手法の研究

三田 吉郎，Anne-Claire Eiler，肥後 昭男，
太田 悦子，水島 彩子，河井 哲子，
岡本 有貴（産業技術総合研究所），
鷲津 信栄（アドバンテスト），藤原 誠，澤村 智紀

電極構造の微細化によるセンサ素子の更なる高感度化，高機能化を目指し，電子線リソグラフィとMEMS加工プロセスを組み合わせた微細電極のトップダウン作製手法の高度化に取り組んでいる．局所的に測定電極を集積化した微細孔構造や，マイクロアクチュエータと微細構造を組み合わせた電極ギャップの精密制御に取り組んでいる．本年度は，完全空乏型のSOIトランジスタ構造（FDSOI）によるVLSIウエーハを入手し，ポストプロセス加工によってデバイスを得るためのプロセス開発を引き続き行い．加工後のチップの電気的評価を行っている．また，LAAS研究所と共同で微細構造のアディティブ作製の試みを開始した．

電子線リソグラフィによる大面積精細描画手法の研究

三田 吉郎，肥後 昭男，藤原 誠，澤村 智紀，

従来は垂直水平方向（矩形）に限られ表現能力に乏しかった大面積電子線描画技術を高度化する．VDECに平成25年に新規導入された高速大面積電子線描画装置F7000S-VD02の持つ高ドース対応性，セル（キャラクタ）プロジェクション方式による鮮明なエッジを利用して，自由曲面や繰り返し微細構造などの描画を可能とする．本年度は，パターン描画の微細化限界に挑戦し，16nmを切るギャップ構造の作製が可能なパターンおよびプロセスデザインに成功したものを原著論文発表した．

CMOS-VLSIのMEMS後加工による高機能システムの産学連携研究

三田 吉郎，島村 龍伍，佐久間 文哉，安永 竣，
ティモテ レヴィ（仏ボルドー大学IMS研究所），
ギレム ラリュー（仏LAAS-CNRS研究所），
池内 与志穂（生産技術研究所），
ティクシエ 三田 アニエス（生産技術研究所），
齊藤 健（日本大学）

D.labを通じて試作したVLSIウエーハを，武田先端知ビルスーパークリーンルームやその他のクリーンルームにおいて後加工することによって新規センサデバイスを製作，評価する研究を行っている．後加工に関する知見として，トランジスタが作製された直後（配線前）のウエーハ引き渡しを受け，熱工程を伴う後加工プロセス（成膜，インプラ，ドライブイン）を施してもトランジスタ特性の劣化はそれほど進行しないこと，VLSIをあらかじめSilicon-on-Insulator（SOI）基板の上に配置した構造をMEMS後加工できることなどが分かっている．共同研究開発する素子の種類は共同研究先との相談により様々だが，作製テクノロジは共通のものを利用できるところが産業的に重要である．数多くの企業の興味を引き，会社との共同研究や国際共同研究等様々なプロジェクトで電子デバイスの研究が進行している．特に本年度は，様々なバイオ・化学計測を自在に実行できるための新しい仕組みとして「バイオチップレット」という概念を提唱，組み合わせたチップレットによってアルブミンとpHを計測することに成功したほか，垂直接合時に絶縁膜（意図して製膜する場合，意図しない製膜の両方を含む）を積極的に破壊する「ナノコーン状のペネトレーター」構造を考案，実験結果がIEEE MEMS（トップ会議）で発表され，学生がIEEE MEMS Outstanding Poster Presentation Awardを受賞した．MEMS分野のトップ受賞を意味する．

CMOS-MEMS高密度集積接合の信頼性向上のための微細構造研究

三田 吉郎，水島 彩子，三角 啓，松岡 瞳，
山形 昌弘，肥後 昭男，中根 了昌，
津村 一道（東芝），
依田 孝（東京工業大学），東 和幸（東芝），落合 幸徳

高機能なCMOS-MEMSシステムを簡便に得る方法として，チップレベル接合技術に期待が高まるが，数百万個に至る数μm角のパッドを接合する際に，バンプ同士がすべってずれてしまうという問題が生じる場合がある．この問題に対して，歯のかみ合わせにヒントを得て，自然（パッシブ）に位置合わせが出来る構造を構想し，テスト構造を設計試作検証している．成果が国際会議に採択された．

4.4 研究発表

黒田・小菅研究室

研究論文

[1] A. Kosuge, L. Yu, M.Hamada, K. Matsuo, and T. Kuroda, “A Deep Metric Learning-Based Anomaly Detection System for Transparent Objects Using Polarized-Image Fusion,” IEEE Open Journal of the Industrial Electronics Society, vol. 4, pp. 205-213, June 2023.

[2] K. Shiba, M. Okada, A. Kosuge, M. Hamada, and T. Kuroda, “A 7-nm FinFET 1.2-TB/s/mm2 3D-Stacked SRAM Module With 0.7-pJ/b Inductive Coupling Interface Using Over-SRAM Coil and Manchester-Encoded Synchronous Transceiver,” IEEE Journal of Solid-State Circuits (JSSC), vol. 58, no. 7, pp. 2075-2086, July 2023.

[3] K. Shiba, A. Kosuge, M. Hamada, and T. Kuroda, “Crosstalk Analysis and Countermeasures of High-Bandwidth 3D-Stacked Memory Using Multi-Hop Inductive Coupling Interface,” IEICE Transactions on Electronics, vol. E106-C, no. 7, pp. 391-394, July 2023.

[4] K. Shiba, M. Okada, A. Kosuge, M. Hamada, T. Kuroda, “Polyomino: A 3D-SRAM-Centric Accelerator for Randomly Pruned Matrix Multiplication With Simple Reordering Algorithm and Efficient Compression Format in 180-nm CMOS,” IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 70, no. 9, pp. 3440-3450, Sep. 2023.

[5] A. Kosuge, Y. -C. Hsu, R. Sumikawa, M. Hamada, T. Kuroda and T. Ishikawa, “A 10.7-μJ/Frame 88% Accuracy CIFAR-10 Single-Chip Neuromorphic Field- Programmable Gate Array Processor Featuring Various Nonlinear Functions of Dendrites in the Human Cerebrum,” in IEEE Micro, vol. 43, no. 6, pp. 19-27, Nov.-Dec. 2023.

[6] R. Sumikawa, A. Kosuge, Y. C. Hsu, K. Shiba, M. Hamada, T. Kuroda “A183.4-nJ/inference 152.8-μW 35-Voice Commands Recognition Wired-Logic Processor Using Algorithm-Circuit Co-Optimization Technique,” in IEEE Solid-State Circuits Letters, vol. 7, pp. 22-25, 2024.

国際会議論文

[1] D. Li, Y. Hsu, R. Sumikawa, A. Kosuge, M. Hamada, and T. Kuroda, “A 0.13mJ/Prediction CIFAR-100 Raster-Scan-Based Wired-Logic Processor Using Non-Linear Neural Network,” IEEE International Symposium on Circuits and Systems (ISCAS), May 2023.

[2] N. Shimamoto, A. Mizushima, D. Bourrier, E. Ota, A. Higo, H. Granier, A. Kosuge, M.Ikeda, T. Kuroda, and Y. Mita, “Micron-to-Submicron Cu electroplating in view of Agile-X LSI Chips Fabrication using Open Facility,” The 3rd European Symposium on Nanofabrication Research Infrastructure(ENRIS 2023),May 2023.

[3] A. Kosuge, R. Sumikawa, Y. -C. Hsu, K. Shiba, M. Hamada, and T. Kuroda, “A 183.4nJ/inference 152.8uW Single-Chip Fully Synthesizable Wired-Logic DNN Processor for Always-On 35 Voice Commands Recognition Application,” IEEE Symposium on VLSI Circuits, June 2023.

[4] X. Wang, A. Kosuge, Y. Hayashi, K. Shiba, M. Hamada, and T. Kuroda, “Analysis and Design of a 7 Gb/s Rotatable Non-contact Connector with Grid Array Package Application,” IEEE International New Circuits and Systems Conference (NEWCAS), June 2023

[5] E. Kobayashi, A. Kosuge, M. Hamada,T. Kuroda, “An Occlusion-Resilient mmWave Imaging Radar-Based Object Recognition System Using Synthetic Training Data Generation Technique,” IECON 2023 – 49th Annual Conference of the IEEE Industrial Electronics Society,Oct 2023.

シンポジウム・研究会・大会等発表

[1] 黒田忠広,“半導体戦略 ~ 10の質問に答える ~,” 日本実装技術振興協会講演会, May 2023.

[2] 黒田忠広,“日本の半導体戦略と東大の取り組み,”ナノシステム集積センター（NanoHub）第2回シンポジウム, June 2023.

[3] T. Kuroda, “Turning 3D Memory on Its Head

– How to Build an SRAM Cube to Replace High-Bandwidth Memory (HBM)" NTU-UTokyo Joint Conference, Dec. 2023.

[4] T. Kuroda, "The bottleneck of AI processing is not computation but memory access," 第4回 Beyond AI 研究推進機構国際シンポジウム 基調講演, Mar. 2024.

竹内研究室

研究論文

[1] Shinsei Yoshikiyo, Naoko Misawa, Kasidit Toprasertpong, Shinichi Takagi, Chihiro Matsui and Ken Takeuchi, "Write Variation & Reliability Error Compensation by Layer-wise Tunable Retraining of Edge FeFET LM-GA CiM," *IEICE Transactions on Electronics*, vol. E106-C, no. 7, pp. 352-364, July 1, 2023.

[2] Kasidit Toprasertpong, Chihiro Matsui, Mitsuru Takenaka, Ken Takeuchi and Shinichi Takagi, "Ferroelectric source follower for voltage-sensing nonvolatile memory and computing-in-memory," *Journal of Physics D: Applied Physics*, vol. 56, no. 46, August 23, 2023.

[3] Chihiro Matsui, Kasidit Toprasertpong, Shinichi Takagi and Ken Takeuchi, "FeFET Local Multiply and Global Accumulate Voltage-sensing Computation-in-Memory Design for Neuromorphic Computing," *IEEE Transactions on VLSI Systems*, December 2023.

[4] Akira Goda, Chihiro Matsui and Ken Takeuchi, "Stochastic Resonance Modeling of Floating Gate-based Neurons in Summing Networks for Accurate and Energy Efficient Operations," IEEE Transactions on Electron Devices, vol. 71, no. 3, pp. 1737-1744, January 29, 2024.

[5] Naoko Misawa, Ryuhei Yamaguchi, Ayumu Yamada, Tao Wang, Chihiro Matsui and Ken Takeuchi, "Design methodology of compact edge vision transformer CiM considering non-volatile memory bit precision and memory error tolerance," *Japanese Journal of Applied Physics (JJAP)*, vol. 63, pp. 03SP05, February 8, 2024.

[6] Naoko Misawa, Shunsuke Koshino, Ruhui Liu, Chihiro Matsui and Ken Takeuchi, "Dual integration design of approximate random weight generator and computation-in-memory for event-based neuromorphic computing," *Japanese Journal of Applied Physics (JJAP)*, vol. 63, pp. 03SP83, March 11, 2024.

[7] Kenshin Yamauchi, Ayumu Yamada, Naoko Misawa, Seong-Kun Cho, Kasidit Toprasertpong , Shinichi Takagi, Chihiro Matsui and Ken Takeuchi, "Co-design of SLC/MLC FeFET-based highly error-tolerant low-power CiM and strong lottery ticket hypothesis-based algorithm," *Japanese Journal of Applied Physics (JJAP)*, vol. 63, pp. , 04SP06, March 20, 2024.

[8] Adil Padiyal, Ayumu Yamada, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, "Assessment of inference accuracy and memory capacity of computation-in-memory enabled neural network due to quantized weights, gradients, input and output signals, and memory non-idealities," *Japanese Journal of Applied Physics (JJAP)*, vol. 63, pp. 04SP15, March 21, 2024.

国際会議論文

[1] Ken Takeuchi, "Neuromorphic Computing with Computation-in-Memory, CiM," IEEE International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA), April 20, 2023.【基調講演】

[2] Takuto Nishimura, Yuya Ichikawa, Akira Goda, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, "Stochastic Computing-based Computation-in-Memory (SC CiM) Architecture for DNNs and Hierarchical Evaluations of Non-volatile Memory Error and Defect Tolerance," *IEEE International Memory Workshop Poster*, June 11, 2023.

[3] Shinsei Yoshikiyo, Hiroshi Horiguchi, Chihiro Matsui and Ken Takeuchi, "Machine Learning-based Accurate Single Wafer Wet Etching Amount Prediction," *IEEE Silicon Nanoelectronics Workshop (SNW)*, June 11, 2023.

[4] Ken Takeuchi, "Computation-in-Memory Architecture for AI Accelerator," *IEEE Non-Volatile Memory Systems and Applications Symposium (NVMSA)*, August 30, 2023, pp.**-**.【招待講演】

[5] Ken Takeuchi, "Analog Computation-in-Memory (CiM) for Neuromorphic Computing," *International Conference on Solid State Devices and Materials (SSDM)*, September 8, 2023, pp. -.【招待講演】

[6] Kenshin Yamauchi, Ayumu Yamada, Naoko Misawa, Seong-Kun Cho, Kasidit Toprasertpong, Shinichi Takagi, Chihiro Matsui, and Ken Takeuchi, "Highly Error-tolerant Low Power CiM by Co-design of SLC Mask & MLC Weight Twin FeFETs and Strong Lottery Ticket Hypothesis Neural Network Algorithm," *International Conference on Solid State Devices and Materials (SSDM)*, September 8, 2023, pp. -.

[7] Ryuhei Yamaguchi, Ayumu Yamada, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, "Compact Edge Vision Transformer with 86% Non-volatile Memory Bit Reduction by Percentile Clipping, Per Layer Quantization, and Quantization Aware Training," *International Conference on Solid State Devices and Materials (SSDM)*, September 8, 2023, pp. -.

[8] Shunsuke Koshino, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, "Dual Integration of Approximate Random Weight Generator & CiM for Event-based Reservoir Computing & Spiking Neural Networks," *International Conference on Solid State Devices and Materials (SSDM)*, September 8, 2023, pp. -.

[9] Kazuhide Higuchi, Yinghao Sun, Chihiro Matsui and Ken Takeuchi, "Noise Event Injection Training to Mitigate Inference Accuracy Degradation due to Non-Idealities of Event-based Vision Sensor and Computation-in-Memory," *International Conference on Solid State Devices and Materials (SSDM)*, September 8, 2023, pp. -.

[10] Adil Padiyal, Ayumu Yamada, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, "Analysis of Inference Accuracy of Convolutional Neural Networks due to Quantization of Weights, Gradients, Input and Output Signals Stemming from Computation-in-Memory," *International Conference on Solid State Devices and Materials (SSDM) Poster*, September 7, 2023, pp. -.

[11] Kazuhide Higuchi and Ken Takeuchi, "A Beat Signal Processing System with Parabolic Frequency Chirp Radar and Computation-in-Memory," *20th European Radar Conference (EuRAD 2023)*, September 21, 2023, pp. -.

[12] Ken Takeuchi, "Analog Computation-in-Memory (CiM) for AI Application," *2023 International Conference on IC Design and Technology (ICICDT),* September 26, 2023, pp. -.【招待講演】

[13] Ayumu Yamada, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, "LIORAT: NN Layer I/O Range Training for Area/Energy-Efficient Low-Bit A/D Conversion System Design in Error-Tolerant Computation-in-Memory," *2023 IEEE/ACM International Conference on Computer-Aided Design (ICCAD),* October 30, 2023, pp. -.

[14] Chihiro Matsui, Shinsei Yoshikiyo, Hiroshi Horiguchi and Ken Takeuchi, "Comparison of Numerical Method with Prefixed Profile and Machine Learning-based Method for Wet Etching Amount Prediction," *AEC/APC (Advanced Equipment Control/Advanced Process Control) Symposium Asia 2023*, November 2, 2023, pp. -.

[15] Akira Goda, Chihiro Matsui and Ken Takeuchi, "Revealing Unique Scaling Effects of Random Telegraph Noise and Electron Injection Stochasticity in Stochastic Resonance with Floating Gate-based Neurons," *8th IEEE Electron Devices Technology and Manufacturing (EDTM) Conference 2024*, March, 2024

[16] Ken Takeuchi, "Computation-in-Memory (CiM) for AI Accelerators & Neuromorphic Computing," *8th IEEE Electron Devices Technology and Manufacturing (EDTM) Conference 2024*, March, 2024.【招待講演】

シンポジウム・研究会・大会等発表

[1] 三澤奈央子，松井千尋，竹内健，"組合せ最適

化問題の最大カット問題とナップサック問題が許容する量子化ビット数とデバイスエラー耐性を考慮したReRAMを用いたコンピューテーション・イン・メモリ," LSIとシステムのワークショップ2023, ポスターセッション, 2023年5月9日.

[2] 山田歩, 三澤奈央子, 松井千尋, 竹内健, "抵抗変化型メモリにおけるゆらぎパターン分類法及びゆらぎを低減させる書き込み手法の提案," LSIとシステムのワークショップ2023, ポスターセッション, 2023年5月10日.

[3] 市川裕也, 合田晃, 松井千尋, 竹内健, "不均一量子化を適用した不揮発性メモリのComputation-in-Memory による量子誤り訂正デコーダ," LSIとシステムのワークショップ2023, ポスターセッション, 2023年5月10日.

[4] Yinghao Sun, Kazuhide Higuchi, Chihiro Matsui and Ken Takeuchi, "Improvement in Inference Accuracy in Non-ideal Situations of Event-based Vision Sensor and Computation-in-Memory by Modified Training Algorithms," 第84回応用物理学会秋季学術講演会, 20a-A303-7, 2023年9月20日.

[5] 山内堅心, 山田歩, 三澤奈央子, 趙成謹, トープラサートポンカシディット, 高木信一, 松井千尋, 竹内健, "強い宝くじ仮説とFeFETベースCiMのCo-design," 信学技報, vol., no. , ###, pp. -, 2023年11月15日.

[6] 三澤奈央子, 越能俊介, 松井千尋, 竹内健, "ニューロモルフィック・コンピューティングのランダムな重みを生成するComputation-in-Memory," 信学技報, vol., no. , ###, pp. -, 2023年11月16日.

[7] 三澤奈央子, 山口竜平, 山田歩, 松井千尋, 竹内健, "Vision Transformerのメモリサイズを10分の1に削減するComputation-in-Memoryへの量子化手法," 信学技報, vol., no. , ###, pp. -, 2023年11月16日.

[8] 松井千尋, 小林英太郎, 三澤奈央子, トープラサートポンカシディット, 高木信一, 竹内健, "Hyperdimensional Computing向けFeFET CiMの設計とエラー耐性," 信学技報, vol., no., ###, pp. -, 2023年11月16日.

[9] 山田歩, 三澤奈央子, 松井千尋, 竹内健, "ニューラルネットワークの入出力レンジ最適化による低ビットCiMベース推論器の設計手法," 信学技報, vol., no. , ###, pp. -, 2023年11月17日.

[10] 松井千尋, 吉清泰生, 堀口博司, 竹内健, "機械学習および固定プロファイルを用いた数値計算によるウェットエッチング量予測," 第71回応用物理学会春季学術講演会, 24a-12B-12, 2024年3月24日.

[11] 合田晃, 松井千尋, 竹内健, "確率的FG型ニューロンの内在ノイズモデル化と確率共鳴効果における信号検知精度への影響," 第71回応用物理学会春季学術講演会, 24p-31A-2, 2024年3月24日.

[12] 合田晃, 松井千尋, 竹内健, "確率的FG 型ニューロンにおけるしきい値ばらつきと電子注入ノイズの確率共鳴特性に及ぼす効果," 第71回応用物理学会春季学術講演会, 24p-31A-3, 2024年3月24日.

[13] 佐藤龍吾, 山内堅心, 松井千尋, 竹内健, "不揮発性メモリの量子化・書き込みばらつきを考慮した学習によるComputation-in-Memoryにおける深層強化学習の性能向上," 第71回応用物理学会春季学術講演会, 24p-31A-4, 2024年3月24日.

[14] 山内堅心, 山田歩, 三澤奈央子, 趙成謹, トープラサートポンカシディット, 高木信一, 松井千尋, 竹内健, "FeFETベースCiMと強宝くじ仮説のCo-designによる高エラー耐性な推論器の提案," 第71回応用物理学会春季学術講演会, 24p-31A-5, 2024年3月24日.

[15] 山田歩, 三澤奈央子, 松井千尋, 竹内健, "CNN による ReRAM 電流値ゆらぎパターン分類手法とゆらぎの物理モデル," 第71回応用物理学会春季学術講演会, 24p-31A-6, 2024年3月24日.

[16] 松井千尋, トープラサートポンカシディット, 高木信一, 竹内健, "FeFETを用いた電圧検知Computation-in-Memoryの回路デザイン," 第71回応用物理学会春季学術講演会, 24p-31A-7, 2024年3月24日.

[17] 山田歩, 三澤奈央子, 松井千尋, 竹内健, "省

面積・低エネルギー・高精度なCiMに向けて1: 入出力レンジ学習手法,” 第71回応用物理学会春季学術講演会, 24p-31A-8, 2024年3月24日.

[18] 山田歩, 三澤奈央子, 松井千尋, 竹内健, “省面積・低エネルギー・高精度なCiMに向けて2:エラー補償,” 第71回応用物理学会春季学術講演会, 24p-31A-9, 2024年3月24日.

[19] 三澤奈央子, 山口竜平, 山田歩, 松井千尋, 竹内健, “Vision Transformerの小型化に向けたComputation-in-Memoryへの量子化手法および量子化認識トレーニング,” 第71回応用物理学会春季学術講演会, 24p-31A-10, 2024年3月24日.

[20] 三澤奈央子, 越能俊介, 松井千尋, 竹内健, “ニューロモルフィック・コンピューティングに向けたランダムな重みの生成と積和演算を融合したComputation-in-Memory,” 第71回応用物理学会春季学術講演会, 24p-31A-11, 2024年3月24日.

[21] Hanxi Xue, Naoko Misawa, Chihiro Matsui, Ken Takeuchi, “Application of GNN and CNN to CiM-based Accelerators,” 第71回応用物理学会春季学術講演会, 24p-31A-12, 2024年3月24日.

[22] Adil Padiyal, Ayumu Yamada, Naoko Misawa, Chihiro Matsui, Ken Takeuchi, “Analysis of Low-Bit Precision ReRAM CiM-based Convolutional Neural Networks during Training and Inference,” 第71回応用物理学会春季学術講演会, 24p-31A-13, 2024年3月24日.

[23] Zhiyuan Huang, Ayumu Yamada, Naoko Misawa, Chihiro Matsui, Ken Takeuchi, “Analysis of Read Current Fluctuation in Low Resistance State ReRAM by using Fluctuation Pattern Classifier,” 第71回応用物理学会春季学術講演会, 24p-31A-14, 2024年3月24日.

中村研究室

研究論文

[1] Aika Kamei , Hideharu Amano, Takuya Kojima, Daiki Yokoyama, Kimiyoshi Usami, Keizo Hiraga, Kenta Suzuki, Kazuhiro Bessho, “A Variation-Aware MTJ Store Energy Estimation Model for Edge Devices With Verify-and-Retryable Nonvolatile Flip-Flops,” IEEE Transactions on Very Large Scale Integration Systems (VLSI), Vol. 31, no. 4, pp. 532-542, Apr. 2023.

[2] Yosuke Ueno, Yuna Tomida, Teruo Tanimoto, Masamitsu Tanaka, Yutaka Tabuchi, Koji Inoue, Hiroshi Nakamura, “Inter-Temperature Bandwidth Reduction in Cryogenic QAOA Machines,” IEEE Computer Architecture Letters 2023, https://doi.org/10.1109/lca.2023.3322700

国際会議論文

[1] Boma Adhi, Carlos Cortes, Emanuele Del Sozzo, Tomohiro Ueno, Yiyu Tan, Takuya Kojima, Artur Podobas, Kentaro Sano, “Less for More: Reducing Intra-CGRA Connectivity for Higher Performance and Efficiency in HPC,” 2023 IEEE International Parallel and Distributed Processing Symposium Workshops (IPDPSW), Florida, USA, May 2023.

[2] Yusuke Kanamori, Yusuke Yamasaki, Shintaro Hosoai, Hiroshi Nakamura, Hideki Takase, “An asynchronous federated learning focusing on updated models for decentralized systems with a practical framework,” 2023 IEEE 47th Annual Computers, Software, and Applications Conference (COMPSAC), https://doi.org/10.1109/COMPSAC57700.2023.00173

[3] Makoto Saito, Takuya Kojima, Hideki Takase, Hiroshi Nakamura, “ILP Based Mapping for Elastic CGRAs,” IEEE 29th International Conference on Embedded and Real-Time Computing Systems and Applications (RTCSA), 2023, https://doi.org/10.1109/rtcsa58653.2023.00048

[4] Siyu Hu, Masaaki Kondo, Yuan He, Ryuichi Sakamoto, Hao Zhang, Jun Zhou, Hiroshii Nakamura, “An edge re-ordering based acceleration architecture for improving data locality in graph analytics applications,” Microprocessors and Microsystems, Elsevier, Volume 102, October 2023, https://doi.org/10.1016/j.micpro.2023.104895

[5] 111. Kaito Kutsuna, Takuya Kojima, Hideki Takase, Hiroshi Nakamura, “An Area-Efficient

Coarse-Grained Reconfigurable Array Design for Approximate Computing," 2023 IEEE 16th International Symposium on Embedded Multicore/Many-core Systems-on-Chip (MCSoC), December, 2023 https://doi.org/10.1109/MCSoC60832.2023.00017

シンポジウム・研究会・大会等発表

[1] 齋藤　真, 小島拓也, 高瀬英希, 中村　宏, "Elastic CGRA向けマッピング手法の評価," 信学技報, vol. 123, no. 71, RECONF2023-1, pp. 1-6, 2023年6月.

[2] 矢内洋祐, 小島拓也, 奥原　颯, 天野英晴, 久我守弘, 飯田全広, "RISC-V MPUおよびSLM再構成ロジックを混載した「SLMLET」チップの電力評価," 信学技報, vol. 123, no. 145, CPSY2023-25, pp. 100-105, 2023年8月.

[3] 茅島秀人, 亀井愛佳, 小島拓也, 天野英晴, "誘導結合無線通信インタフェースにおけるバスアービトレーション方法の検討," 信学技報, vol. 123, no. 145, CPSY2023-17, pp. 55-60, 2023年8月.

[4] 齋藤　真, 小島拓也, 高瀬英希, 中村　宏, "CGRA動作検証のための可視化環境構築," 信学技報, vol. 123, no. 191, RECONF2023-25, pp. 20-21, 2023年9月.

[5] 小島 拓也, 矢内 洋祐, 奥原 颯, 天野 英晴, 久我 守弘, 飯田 全広, "FPGAとRISC-Vプロセッサを搭載したSoC向けHW/SW設計フローと実機評価," 信学技報, vol. 123, no. 191, RECONF2023-31, pp. 52-57, 2023年9月

池田研究室

研究論文

[1] H. AWANO, and M. IKEDA, "BayesianPUFNet: Training Sample Efficient Modeling Attack for Physically Unclonable Functions," IEICE Trans. on Fundamentals, Vol.E106-A, No.5, pp.840-850, May 2023.

[2] K. MASADA, R. NAKAYAMA, and M. IKEDA, "High Speed ASIC Architectures for Aggregate Signature over BLS12-381," IEICE Trans. on Electronics, Vol.E106-C, No.6, pp.331-334, June 2023.

[3] M. Fukuda and M. Ikeda, "Template-based design optimization for selecting pairing-friendly curve parameters." IEICE Trans. on Fundamentals, Vol. E107-A, No. 3, pp. 549-556, March 2024.

[4] K. ABE, and M. IKEDA, "Template Attacks on ECDSA Hardware and Theoretical Estimation of the Success Rate," IEICE Trans. on Fundamentals, Vol. E107.A, No. 3, pp. 575-582, March 2024.

[5] Z. Wang and M. Ikeda, "High-throughput and fully-pipelined ciphertext multiplier for homomorphic encryption," IEICE Electronics Express, vol. 21, no. 6, pp. 20230628–20230628, 2024, doi: 10.1587/elex.21.20230628, March 2024.

国際会議

[6] Anawin Opasatian, Makoto Ikeda, "Acceleration of Attribute-based Encryption by a Dedicated Hardware," 26th International Symposium on Design and Diagnostics of Electronic Circuits and Systems (DDECS2023), May 2023.

[7] Y. Miao and M. Ikeda, "Lossless Method of Constraining Membrane Potential in Deep Spiking Neural Networks," Artificial Intelligence Applications and Innovations (AIAI), pp.529–540, doi: 10.1007/978-3-031-34107-6_42, June 2023.

[8] Z. Wang and M. Ikeda, "High-Throughput Privacy-Preserving GRU Network with Homomorphic Encryption," 2023 International Joint Conference on Neural Networks (IJCNN), 2023, pp. 1–9, doi: 10.1109/IJCNN54540.2023.10191194, Jun 2023.

[9] [Invited] Makoto Ikeda, "Chip Design Democratization for Scaled CMOS," 2023 International Conference on Solid State Devices and Materials(SSDM2023), Short Courses, A, Leading-edge CMOS Technology for 2nm-node and beyond, Sept. 2023.

[10] Z. Ye and M. Ikeda, "Assessing the Vulnerability of Time-Controlled Logic-Loop-Based Circuits to Voltage Fault Injection and Power Monitoring

Attacks," 20th International Conference on IC Design and Technology(ICICDT), Tokyo, Japan, Sept. 2023.

[11] Z. Wang and M. Ikeda, "High-Throughput Key Switching Accelerator for Homomorphic Encryption," 2023 International Conference on IC Design and Technology (ICICDT), 2023, pp. 100–103, doi: 10.1109/ICICDT59917.2023.10332291, Sept. 2023.

[12] M. Fukuda and M. Ikeda, "Template-based design optimization for multiple pairing-friendly curve parameters." 2023 International Conference on IC Design & Technology (ICICDT), Sep 2023.

[13] Z. Ye and M. Ikeda, "Dynamic Digital Circuit Locking (DDCL): A Shield against Static Analysis Attacks," 31st IFIP/IEEE Conference on Very Large Scale Integration (VLSI-SoC), Dubai, United Arab Emirates, Oct. 2023.

[14] [Invited] M. Ikeda, "Hardware Acceleration of Functional Encryption," 2023 IEEE 15th International Conference on ASIC (ASICON2023), Oct. 2023.

国内研究会

[15] 福田 桃子, 池田 誠,"ペアリング演算向けハードウェアの自動設計手法の検討," 信学技報, vol. 123, no. 6, HWS2023-10, pp. 37-42, 2023年4月.

[16] 池田 誠, 相原 康敏, 中武 繁寿, 仲地 孝之, 山口 真悟, "回路・システム分野における研究の民主化と各研究会の取り組み (Panel Discussion)," 信学技報, vol. 123, no. 97, CAS2023-7, VLD2023-7, SIP2023-23, MSS2023-7, pp. 34-36, 2023年7月.

[17] 菊岡才人, 池田誠, "ペアリング暗号向け剰余乗算器のCPAトグルベースシミュレーション," 信学技報, vol. 123, no. 235, HWS2023-58, ICD2023-37, pp. 20-25, 2023年10月.

[18] 竹島優太, 池田誠, "低レイテンシなSPHINCS+署名ハードウェアの設計," 信学技報, vol. 123, no. 258, VLD2023-69, ICD2023-77, DC2023-76, RECONF2023-72, pp. 200-204, 2023年11月.

[19] 中村 優斗, 池田 誠," 鍵カプセル化メカニズム FIPS203におけるハードウェアの設計と構成検討," 電子情報通信学会 ICD/CAS学生・若手研究会, 2023年12月

[20] 中村 優斗, 池田 誠," 鍵カプセル化メカニズムFIPS203全パラメタセット対応ハードウェア設計と全体構成検討," ハードウェアセキュリティフォーラム 2023, 2023年12月

[21] 鈴木 佑典, 池田 誠, "NumPyライブラリを用いたPython記述を対象とした高位合成手法の検討と実装," 電子情報通信学会 ICD/CAS学生・若手研究会, 2023年12月

[22] 正田薫, 池田誠, "帰着効率を考慮したBLS署名の演算時間の推定," ハードウェアセキュリティフォーラム 2023, 2023年12月.

[23] 中村 孔星, 池田 誠," 同種写像ベース耐量子暗号のハードウェア実装に向けた並列化戦略," 電子情報通信学会 ICD/CAS学生・若手研究会, 2023年12月

[24] 福田 桃子, 池田 誠, "曲線パラメータ標準化のためのペアリング演算器自動設計手法の提案," ハードウェアセキュリティフォーラム 2023, 2023年12月

[25] 中村 孔星, 池田 誠, "同種写像ベース耐量子暗号の並列ストラテジに向けたハードウェアデザイン.," ハードウェアセキュリティフォーラム 2023, 2023年12月

[26] 菊岡才人, 池田誠," KYBER-1024向け演算ハードウェアにおけるコストの見積もり," ハードウェアセキュリティフォーラム2023,2023年12月

[27] 竹島優太, 池田誠, "HarakaをもちいたSPHINCS+署名生成ハードウェアの検討," ハードウェアセキュリティフォーラム 2023, 2023年12月.

[28] P. Sun and M. Ikeda, "A Pipelined NTT Transformer and its Extension Scheme Designed for the Digital Signature Scheme Crystals-Dilithium," IEICE Tech. Rep., vol. 123, no. 391, HWS2023-90, pp. 161-166, Feb. 2024.

[29] J.Xin and M. Ikeda, "Design of RISC-V SoC with Post-quantum Encryption Algorithm Acceleration," IEICE Tech. Rep., vol. 123, no. 392, ICD2023-99, pp. 66-71, Feb.2024.

[30] 中村 孔星, 池田 誠, "同種写像ベース耐量子暗

号の最適計算経路に向けた汎用ハードウェアの設計," 信学技報, VLD2023-123, HWS2023-92, ICD2023-121, 2024年3月

[31] 鈴木 佑典, 池田 誠, "実行時プロファイリングを考慮した, Python向け高位合成手法," 信学技報, VLD2023-127, HWS2023-87, ICD2023-116, 2024年3月

[32] 中村 優斗, 池田 誠, "鍵カプセル化メカニズムFIPS203 の全パラメタ対応と並列度最適化に基づくハードウェア設計," 信学技報, VLD2023-131, HWS2023-91, ICD2023-120, 2024年3月

[33] 竹島優太, 池田誠, "高速なSPHINCS+署名生成のための効率的なハードウェア設計," 信学技報, VLD2023-132, HWS2023-92, ICD2023-121, 2024年3月.

国内大会

[34] [招待講演] 池田 誠, "Agile 設計および先端CMOS プロセスを活用した高性能高機能暗号実現," 第84回応用物理学会秋季学術講演会, 21p-A201-7, 2023年9月.

[35] A. Opasatian, and M. Ikeda, "Lookup Table Modular Reduction in ASIC," 電子情報通信学会総合大会2024, A-19-06, 2024年3月.

[36] 正田薫, 池田誠, "BLS集約署名検証用高速ハードウェアの設計," 電子情報通信学会総合大会, A-19-07, 2024年3月.

[37] 菊岡才人, 池田誠, "CRYSTALS-Kyberの安全性およびハードウェア実装におけるコストの見積もり評価," 電子情報通信学会総合大会2024, A-19-08, 2024年3月.

[38] M. Ikeda, "Chip Design Education and HR Development in Japan," 電子情報通信学会総合大会, CI-1-09, 2024年3月.

解説記事

[39] 池田　誠,"集積回路研究専門委員会(ICD)活動報告,"電子情報通信学会　エレクトロニクスソサイエティ News Letter, No. 193, April 2024.

そのほか

[40] 池田　誠, "半導体集積回路設計とその民主化," SURGE (Silvaco UseRs Global Event), 基調講演, 2023年11月

[41] 池田　誠, "先端半導体設計と人材育成," 2023年度北海道工学教育協会研究講演会「次世代半導体産業への人材育成」における講演「先端半導体設計と人材育成」, 2023年10月

[42] 池田　誠, "半導体集積回路設計と人材育成活動：VDEC/d.lab/AIDC/AgileX," Semicon Japan 2023, 半導体テクノロジーシンポジウム, 大学の事例紹介, パネルディスカッション第2部アカデミアパネル, 2023年12月

[43] 池田 誠, Semicon Japan 2023, 半導体テクノロジーシンポジウム, パネルディスカッション第一部　産官学TOPパネル「先端半導体開発にむけた教育と国際連携について」, 2023年12月

[44] 池田　誠, "VDECが紡ぐ半導体・人材育成の未来," 独立行政法人国立高等専門学校機構 有明工業高等専門学校 特別講演会, 2024年2月

[45] Makoto Ikeda, "Hardware acceleration of functional encryption and its security measure," NTU x UTokyo Joint Workshop ICDA, Dec. 2023.

[46] Makoto Ikeda, "Hardware acceleration of functional encryption and its security measure," CYCU UT International Collaboration WorkShop, Dec. 2023

[47] Makoto Ikeda, "Agile-X: Agile Chip Design and Fabrication Platform," 最先端集積回路設計に関する日米連携ワークショップ(フェーズ1), 2023年12月

[48] Makoto Ikeda, "Introduction to Agile-X Project~2-week chip TAT project for chip democratization~," RISC-V Day Tokyo 2024 Winter, Jan. 2024

[49] Makoto Ikeda, "AI Chip Design Center (AIDC), SoC design platform for small industries and start-ups in Japan," International Cooperation On Semiconductor (ICOS), Workshop on Sustainable Electronics & International Cooperation on Semicondoctors, April, 2023.

[50] Makoto Ikeda, "Strategy to Increase Chip Designers~Education, Re-Education, Re-skilling and.,"

JP-EU semiconductors workshop, Jan. 2024.

[51] Makoto Ikeda, “Hardware Acceleration of Functional Encryption and its Security Measures,” IEEE Solid-State Circuits Society, Commemorative Lectures for Transistor 75th Anniversary, at SanDiego Chapter, June 2023.

[52] Makoto Ikeda, “The Transistor: Exponential Growth and Securing our world for 75 years of Existence,” IEEE Solid-State Circuits Society, Commemorative Lectures for Transistor 75th Anniversary, at Delhi Chapter, July 2023.

[53] Makoto Ikeda, “The Transistor: Exponential Growth and Securing our world for 75 years of Existence,” IEEE Solid-State Circuits Society, Commemorative Lectures for Transistor 75th Anniversary, at Dalian Chapter, July 2023.

[54] Makoto Ikeda, “The Transistor: Exponential Growth and Securing our world for 75 years of Existence,” IEEE Solid-State Circuits Society, Commemorative Lectures for Transistor 75th Anniversary, at EPFL, Sept. 2023.

[55] Makoto Ikeda, “The Transistor: Exponential Growth and Securing our world for 75 years of Existence,” IEEE Solid-State Circuits Society, Commemorative Lectures for Transistor 75th Anniversary, at Grenoble Chapter, Sept. 2023.

[56] Makoto Ikeda, “Hardware Acceleration of Functional Encryption and its Security Measures,” IEEE Solid-State Circuits Society, Commemorative Lectures for Transistor 75th Anniversary, at POSTECH, Oct. 2023.

[57] Makoto Ikeda, “Hardware Acceleration of Functional Encryption and its Security Measures,” IEEE Solid-State Circuits Society, Commemorative Lectures for Transistor 75th Anniversary, at Nanjing University, Oct. 2023.

[58] Makoto Ikeda, “Hardware Acceleration of Functional Encryption and its Security Measures,” IEEE Solid-State Circuits Society, Commemorative Lectures for Transistor 75th Anniversary, at Hanoi, Nov. 2023.

飯塚研究室

研究論文

[1] Ryoya Shibata, Yasushi Hotta, Hitoshi Tabata and Tetsuya Iizuka, “Analysis of SAR ADC Performance Enhancement utilizing Stochastic Resonance,” IEEE Transactions on Circuits and Systems-II: Express Briefs, vol. 70, no. 12, pp. 4324 - 4328, Dec. 2023.

[2] Tetsuya Iizuka, Haochen Yuan, Yoshio Mita, Akio Higo, Shun Yasunaga and Motohiko Ezawa, “Experimental demonstration of position-controllable topological interface states in high-frequency Kitaev topological integrated circuits,” Communications Physics, Vol. 6, No. 279, 2023.

[3] Chuanlai Zang, Kaijie Ma, Yasuo Yano, Shuowei Li, Hiroyasu Yamahara, Munetoshi Seki, Tetsuya Iizuka and Hitoshi Tabata, “SnO2–CuO heterostructured nanofibers for enhanced NH3-gas-sensing performance and potential application in breath analysis,” IEEE Sensors Journal, vol. 23, no. 16, pp. 17925 - 17931, Aug. 2023.

[4] Akira Matsuoka, Yo Kumano, Tomohiro Nezuka, Yoshikazu Furuta and Tetsuya Iizuka, “A 79.2μW 19.5kHz-BW 94.8dB-SNDR Fully Dynamic DT ΔΣ ADC using CLS-Assisted FIA with Sampling Noise Cancellation,” IEEE Transactions on Circuits and Systems-II: Express Briefs, vol. 70, no. 8, pp. 2759 - 2763, Aug. 2023.

[5] Motohiko Ezawa, Shun Yasunaga, Akio Higo, Tetsuya Iizuka and Yoshio Mita, “Universal quantum computation based on Nano-Electro-Mechanical Systems,” Physical Review Research 5, 023130, 2023.

[6] Chuanlai Zang, Haolong Zhou, Kaijie Ma, Yasuo Yano, Shuowei Li, Hiroyasu Yamahara, Munetoshi Seki, Tetsuya Iizuka and Hitoshi Tabata, “Electronic Nose based on Multiple Electrospinning Nanofibers Sensor Array and Application in Gas Classification,” Frontiers in Sensors, 4:1170280, May, 2023.

国際会議論文

[1] Yoshio Mita, Shun Yasunaga, Keigo Tsuji, Akio Higo, Tetsuya Iizuka, Motohiko Ezawa, “TopoMEMS

varicaps - MEMS comb-drive variable capacitors with tailored stroke-to-capacitance dependence," Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP), May. 2023.

[2] Sota Kano, Naoto Usami, Atsushi Tomiki and Tetsuya Iizuka, "Preliminary Design of X-band Noise-cancelling Receiver Front-end with Radiation-Hardened 130nm SiGe BiCMOS Process for Deep Space Probes," The 34th International Symposium on Space Technology and Science (ISTS), Jun. 2023.

[3] Hisashi Inoue, Hiroto Tamura, Ai Kitoh, Xiangyu Chen, Zolboo Byambadorj, Takeaki Yajima, Yasushi Hotta, Tetsuya Iizuka, Gouhei Tanaka and Isao H. Inoue, "Long-Time-Constant Leaky-Integrating Oxygen-Vacancy Drift-Diffusion FET for Human-Interactive Spiking Reservoir Computing," in IEEE Symposium on VLSI Technology and Circuits Digest of Technical Papers, Jun. 2023.

[4] Zunsong Yang, Masaru Osada, Shuowei Li, Yuyang Zhu and Tetsuya Iizuka, "A Reference-Sampling PLL with Low-Ripple Double-Sampling PD Achieving –80-dBc Reference Spur and –259-dB FoM with 12-pF Input Load," in IEEE Symposium on VLSI Technology and Circuits Digest of Technical Papers, Jun. 2023.

[5] Zhenyu Cheng, Zunsong Yang, Yuyang Zhu, Md Shamim Sarker, Hiroyasu Yamahara, Munetoshi Seki, Hitoshi Tabata and Tetsuya Iizuka, "Design of 1-5 GHz Two-Stage Noise-Canceling Low-Noise Amplifier With Gm-Boosting Technique for Spin Wave Detection Circuit," in Proceedings of IEEE International Conference on IC Design and Technology (ICICDT), Sep. 2023.

[6] Yuyang Zhu, Zunsong Yang, Zhenyu Cheng, Md Shamim Sarker, Hiroyasu Yamahara, Munetoshi Seki, Hitoshi Tabata and Tetsuya Iizuka, "A 1-5GHz Inverter-Based Phase Interpolator With All Digital Control for Spin-Wave Detection Circuit," in Proceedings of IEEE International Conference on IC Design and Technology (ICICDT), Sep. 2023.

[7] Haoming Zhang, Shuowei Li and Tetsuya Iizuka, "Dynamic Circuit Characterization and a Single Ring-Oscillator-Based Test Structure for Its Timing Parameter Extraction," in Proceedings of IEEE International Conference on IC Design and Technology (ICICDT), Sep. 2023.

[8] Haoyuan Gao, Hao Xu, Xinyi Lin, Yan Liu, Zhidong Tang, Xufeng Kou, Xingyu Zhang, Tetsuya Iizuka and Na Yan, [Invited] "A 4.5-5.4GHz Digital Bang-Bang PLL for Cryogenic Applications," in Proceedings of IEEE International Conference on Integrated Circuits, Technologies and Applications (ICTA), Oct. 2023.

[9] Hisashi Inoue, Hiroto Tamura, Ai Kitoh, Xiangyu Chen, Zolboo Byambadorj, Takeaki Yajima, Yasushi Hotta, Tetsuya Iizuka, Gouhei Tanaka and Isao H. Inoue, "Tailoring oxygen diffusion dynamics in three-terminal devices for spiking reservoir computing," International Conference on Memristive Materials, Devices & Systems (MEMRISYS), Nov. 2023.

シンポジウム・研究会・大会等発表

[1] 竹中 理太郎, 飯塚 哲也, Asad A. Abidi, "FD-SOI プロセスを用いた10-bit 4GS/s タイムインターリーブ型アナログ・デジタル変換回路の設計," 電子情報通信学会 LSI とシステムのワークショップ2023, 2023年5月.

[2] Yuyang Zhu, Zunsong Yang, Zhenyu Cheng, Md Shamim Sarker, Hiroyasu Yamahara, Munetoshi Seki, Hitoshi Tabata and Tetsuya Iizuka, "Design of 1-5GHz Phase Interpolator and Lock-in Amplifier for On-Chip Network Analyzer," 電子情報通信学会 LSIとシステムのワークショップ2023, 2023年5月.

[3] Zhenyu Cheng, Zunsong Yang, Yuyang Zhu, Md Shamim Sarker, Hiroyasu Yamahara, Munetoshi Seki, Hitoshi Tabata and Tetsuya Iizuka, "Design of 1-5 GHz 2-Stage Noise-Cancelling Low-Noise Amplifier with gm-Boosting Technique for On-Chip Network Analyzer," 電子情報通信学会 LSIとシステムのワークショップ2023, 2023年5月.

[4] 熊野 陽, 松岡 英, 根塚 智裕, 古田 善一, 飯塚 哲也, "CLS-FIA を用いたサンプリングノイ

ズキャンセル機構付き完全ダイナミック離散時間ΔΣADCとその測定評価," 電子情報通信学会 LSIとシステムのワークショップ2023, 2023年5月.

[5] Haoming Zhang, Shuowei Li and Tetsuya Iizuka, "Dynamic Circuit Characterization and Test Structures for its Timing Parameter Extraction," 電子情報通信学会 LSIとシステムのワークショップ2023, 2023年5月.

[6] Ckristian Duran and Tetsuya Iizuka, "FPGA Case of Study: Fast Prototyping Methodology for Mixed-Signal Modeling and Integration Based on Open-Source Tools," 情報処理学会 DAシンポジウム2023論文集, 2023年8月.

[7] 李 燦煒, 楊 尊松, 飯塚 哲也, "インバータセルによるCDACに基づくスタンダードセルベース合成可能な逐次比較型A/D変換回路," 電子情報通信学会 夏の合宿2023, 2023年7月.

[8] 熊野 陽, 飯塚 哲也, "デルタシグマADCにおける量子化雑音ランダマイズ効果の解析と検証," 電子情報通信学会 ICD/CAS学生・若手研究会2023, 2023年12月.

平本・小林研究室

研究論文

[1] Naomi Yazaki, Ryosuke Motoyoshi, Shiyu Numata, Kazuaki Ohshima, Yuji Egi, Fumito Isaka, Toshikazu Ohno, Sachiaki Tezuka, Toshiki Hamada, Kazuma Furutani, Kazuki Tsuda, Takanori Matsuzaki, Tatsuya Onuki, Tsutomu Murakawa, Hitoshi Kkunitake, Masaharu Kobayashi, and Shunpei Yamazaki, "Effectiveness of c-Axis Aligned Crystalline IGZO FET as Selector Element and Ferroelectric Capacitor Scaling of 1T1C FeRAM," Journal of the Elecgtron Devices Society, 11, pp. 467-472, 2023年8月21日

[2] Masahide Goto, Yuki Honda, Masakazu Nanba, Yoshinori Iguchi, Takuya Saraya, Masaharu Kobayashi, Eiji Higurashi, Hiroshi Toshiyoshi, and Toshiro Hiramoto, "Pixel-Parallel Three-Layer Stacked CMOS Image Sensors Using Double-Sided Hybrid Bonding of SOI Wafers," IEEE Transactions on Electron Devices, Vol. 70, Issue 9, pp. 4705 - 4711, September 2023,

[3] Hirokazu Fujiwara, Yuki Itoya, Masaharu Kobayashi, Cedric Bareille, Shik Shin, and Toshiyuki Taniuchi, "Nondestructive imaging of breakdown process in ferroelectric capacitors using in situ laser-based photon emission electron microscopy," Applied Physics Letter, 123, 173501, 2023年10月24日

[4] Junxiang Hao, Xiaoran Mei, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, "Oxide-semiconductor channel ferroelectric field-effect transistors for high-density memory applications: 3D NAND operation and the potential impact of in-plane polarization," Japanese Journal of Applied Physics, 63, 014003, 2024年1月9日

[5] Xiang Zhou, Munetoshi Fukui, Kiyoshi Takeuchi, Takuya Saraya, Wataru Saito, and Toshiro Hiramoto, "Robust reverse bias safe operating area and improved electrical performance in 3300 V non-proportionally scaled insulated gate bipolar transistors," Japanese Journal of Applied Physics, Vol. 63, 02SP57, January, 2024

[6] Yuki Itoya, Hirokazu Fujiwara, Cedric Bareille, Shik Shin, Toshiyuki Taniuchi, and Masaharu Kobayashi, "Dielectric breakdown behavior of ferroelectric HfO_2 capacitors by constant voltage stress studied by in situ laser-based photoemission electron microscopy," Japanese Journal of Applied Physics, 63, 020903, 2024年2月5日

[7] X. Zhou, M. Fukui, K. Takeuchi, T. Saraya, and T. Hiramoto, "Superior Turn-Off dV/dt Controllability From Suppression of Dynamic Avalanche in 3300V Scaled IGBTs," IEEE Journal of the Electron Devices Society, March 2024.

[8] 更屋拓哉，伊藤一夫，高倉俊彦，鈴木慎一，福井宗利，竹内 潔，平本俊郎，「両面ゲートIGBT（BC-IGBT）におけるスケーリングの影響」，電気学会論文誌C（電子・情報・システム部門誌），Vol. 144, No. 3, pp. 245 - 250, 2024年3月

[9] Hirotaka Yamada, Satoru Furue, Takehiko Yokomori, Yuki Itoya, Takuya Saraya, Toshiro Hiramoto, Masaharu Kobayashi, “Energy-Efficient Annealing Process of Ferroelectric Hf0.5Zr0.5O2 Capacitor Using Ultraviolet-LED for Green Manufacturing,” IEEE Journal of the Electron Devices Society, Vol. 12, pp. 195 - 200, March, 2024.

[10] Cheng-Hung Wu, Jay Liu, Xun-Ting Zheng, Han-Fu Chuang, Yi-Ming Tseng, Masaharu Kobayashi, Chun-Jung Su, and Vita Pi-Ho Hu, “Innovative Recovery Strategy for MFIS-FeFETs at Optimal Timing With Robust Endurance: Fast-Unipolar Pulsing (100 ns), Nearly Zero Memory Window Loss (0.02%), and Self-Tracking Circuit Design,” IEEE Transactions on Electron Devices, Accepted, 2024年3月13日

[11] Kaito Hikake, Zhuo Li, Junxiang Hao, Chitra Pandy, Takuya Saraya, Toshiro Hiramoto, Takanori Takahashi, Mutsunori Uenuma, Yukiharu Uraoka, and Masaharu Kobayashi, “A Nanosheet Oxide Semiconductor FET Using ALD InGaOx Channel for 3-D Integrated Devices,” IEEE Transactions on Electron Devices, 71, 4, pp. 2373-2379, 2024年3月14日

国際会議論文

[1] Masaharu Kobayashi, “Tutorial 1-3 Monolithic 3D Integration and 3D-Memory Technology Enabled by Oxide-Semiconductor,” 2023 VLSI-TSA, Tutorial 1-3, Taiwan Hsinchu, 2023年4月17日

[2] Yusuke Kobayashi, Munetoshi Fukui, Tomoko Matsudai, Takuya Saraya, Kazuo Itou, Toshihiko Takakura, Shinichi Suzuki, Ryohei Gejo, Tatsunori Sakano, Takahiro Kato, Tomoaki Inokuchi, Kazuto Takao, Toshiro Hiramoto, “Single-Back and Double-Front Gate-Controlled IGBT for Achieving Low Turn-Off Loss,” IEEE International Symposium on Power Semiconductor Devices and ICs (ISPSD), Hong Kong University of Science and Technology, Hong Kong, pp. 207 - 210, May 31, 2023

[3] Kiyoshi Takeuchi, Masaharu Kobayashi, Toshiro Hiramoto, “Effects of Quantum Confinement on Charge-Based Threshold Voltage Definition,” Silicon Electronics Workshop (SNW), Rihga Royal Hotel Kyoto, Kyoto, 7-02, June 12, 2023.

[4] Junoh Kim, Tomoko Mizutani, Takuya Saraya, Hiroshi Oka, Takahiro Mori, Masaharu Kobayashi, Toshiro Hiramoto, “Individual Control of Characteristics of Vertically Stacked Silicon Quantum Dots,” Silicon Electronics Workshop (SNW), Rihga Royal Hotel Kyoto, Kyoto, 8-03, June 12, 2023.

[5] K. Hikake,Z. Li,J. Hao,C. Pandy,T. Saraya,T. Hiramoto,T. Takahashi,M. Uenuma,Y. Uraoka,M. Kobayashi, “A Nanosheet Oxide Semiconductor FET Using ALD InGaOx Channel and InSnOx Electrode with Normally-Off Operation, High Mobility and Reliability for 3D Integrated Devices,” Symposium on VLSI Technology, T14-1, June 15, 2023.

[6] Masaharu Kobayashi, “(Invited)3D Integrated Device Applications of ALD-Grown Ferroelectric and Oxide-Semiconductor Materials,” Bellevue, Washington, 2023年7月26日

[7] Xiang Zhou,Munetoshi Fukui,Kiyoshi Takeuchi,Takuya Saraya,Wataru Saito,Toshiro Hiramoto, “Restoration of Degraded Reverse Bias Safety Operating Area (RBSOA) in 3300V Scaled IGBTs by Non-Proportional Scaling Method,” 2023 International Conference on Solid State Devices and Materials (SSDM), Nagoya, pp. 591 - 592, September 7, 2023.

[8] Masaharu Kobayashi, “(Invited) A Nanosheet Oxide Semiconductor Transistor Using Atomic layer Deposition for 3D Integrated Devices,” 2023 ICICDT, 東京大学, 2023年9月27日

[9] Daiki Futagi, Junoh Kim, Tomoko Mizutani, Masaharu Kobayashi, Toshiro Hiramoto, “3D architecture for high-density silicon qubits by vertically stacked layers and common electrodes,” Silicon Quantum Electronics Workshop (SiQEW), Kyoto International Conference Center, October 31, 2023.

[10] Masaharu Kobayashi, “Oxide Semiconductor Transistors for LSI Application,” IEEE SISC, San

Diego, 2023年12月16日

[11] Hitoshi Wakabayashi,Toshiro Hiramoto (invited), “TMDC channel for low-power-density 3D-stacked FETs,” 7th Electron Devices Technology and Manufacturing Conference (EDTM), Hilton and Hilton Garden Inn Bengaluru Embassy Manyata Business Park, Bengaluru, India, March 5, 2024.

シンポジウム・研究会・大会等発表

[1] 平本俊郎，「先端半導体の最新動向」，集積システム材料産学連携コンソーシアム（iSyMs）全体会議，東京工業大学石川台キャンパス，2023年4月21日．

[2] 藤原 弘和，糸矢 祐喜，小林 正治，Cédric Bareille，辛 埴，谷内敏之，「（依頼講演）オペランドレーザー励起光電子顕微鏡による強誘電体キャパシタの非破壊イメージングの開拓」，SDM研究会，広島大学，2023年6月26日

[3] 平本俊郎，「先端ロジック半導体の技術動向と将来展望」，NGLワークショップ，東京工業大学大岡山キャンパス蔵前会館，2023年7月6日．

[4] 平本俊郎，「VLSIシンポジウム報告・先端CMOSデバイス関連技術」，d.lab協賛事業，オンライン開催．2023年7月12日．

[5] 小林正治，「VLSIシンポジウム報告・メモリデバイス関連技術」，d.lab協賛事業，オンライン開催．2023年7月12日．

[6] 日掛凱斗，「（招待講演）三次元集積デバイス応用に向けた原子層堆積法によるInGaOxチャネルナノシートトランジスタ」，電気学会ナノエレクトロニクス機能化・応用技術調査専門委員会，早稲田大学，2023年7月21日

[7] 小林正治，日掛凱斗，李 卓・ハオ ジュンシャン，パンディ チトラ，更屋拓哉，平本俊郎，高橋崇典，上沼睦典，浦岡行治（招待講演），「原子層堆積法によるInGaOチャネルとInSnO電極によるナノシート酸化物半導体トランジスタ」，電子情報通信学会シリコン材料・デバイス研究会，集積回路研究会合同研究会，北海道大学，SDM2023-45，ICD2023-24，2023年8月2日．

[8] 日掛凱斗，平本俊郎，小林正治，「3次元集積デバイス応用に向けた原子層堆積法によるInGaOxナノシートトランジスタ」，応用物理学会シリコンテクノロジー分科会第245回研究集会「VLSIシンポジウム特集」，金沢工業大学虎ノ門キャンパス，2023年8月25日．

[9] 平本俊郎，「応用物理学会会長挨拶」，一般公開シンポジウム「再起する日本の先端ロジック半導体」，第84回応用物理学会秋季学術講演会，熊本城ホールほか，19p-A401-2，2023年9月19日．

[10] 小林正治，「原子層堆積法による酸化物半導体の成膜とそのナノシートトランジスタへの応用」，第6回Atomic Layer Process (ALP) Workshop，東大生研，2023年8月21日

[11] 竹内 潔，小林正治，平本俊郎，「電荷密度に基づく新しきい値定義の妥当性検証」，第84回応用物理学会秋季学術講演会，熊本城ホールほか，20a-A304-3，2023年9月20日．

[12] 日掛 凱，李 卓，郝 俊翔，パンディ チトラ，更屋拓哉，平本俊郎，髙橋崇典，上沼睦典，浦岡行治，小林正治，「3次元集積デバイス応用に向けた原子層堆積法によるInGaOxチャネルナノシートトランジスタ」，第84回応用物理学会秋季学術講演会，熊本城ホールほか，20a-A304-9，2023年9月20日

[13] 糸矢 祐喜，藤原 弘和，Bareille Cédric，辛 埴，谷内 敏之，小林 正治，「レーザー励起光電子顕微鏡を用いたHfO_2系強誘電体の強誘電ドメイン及びその温度変化の観察」，20p-A309-3，応用物理学会秋季学術講演会，熊本，2023年9月20日

[14] 金 駿午，水谷朋子，更屋拓哉，岡 博史，森貴洋，小林正治，平本俊郎，「三次元積層型シリコン量子ドットの特性の個別制御」，第84回応用物理学会秋季学術講演会，熊本城ホールほか，21a-A304-3，2023年9月21日．

[15] 藤原 弘和，糸矢 祐喜，小林 正治，Bareille Cédric，辛 埴，谷内 敏之，「HfO_2系強誘電体膜の絶縁破壊箇所の電子状態：レーザー励起光電子顕微鏡」，22a-A201-5，応用物理学会秋季学術講演会，熊本，2023年9月22日

[16] 小林正治，「先端ロジック技術のデバイス構造

とプロセス技術」，d.lab協賛事業「AI & Logic-LSIを支える最先端デバイス・プロセス」，オンライン，2023年10月25日

[17] 周　翔，福井宗利，竹内　潔，更屋拓哉，平本俊郎，「3300V スケーリング IGBT におけるダイナミックアバランシェの抑制によるターンオフ dV/dt 制御性の向上」，電気学会電子デバイス/半導体電力変換合同研究会，九州大学西新プラザ，EDD-23-042，2023年10月26日．

[18] 小林勇介，坂野竜則，加藤貴大，山本崇人，井口智明，高尾和人，末代知子，下條亮平，福井宗利，更屋拓哉，伊藤一夫，高倉俊彦，鈴木慎一，平本俊郎，「シングルバックゲートとダブルフロントゲートを備えたマルチゲートIGBT」，電気学会電子デバイス/半導体電力変換合同研究会，九州大学西新プラザ，EDD-23-052，2023年10月27日．

[19] 小林正治，「CMOSデバイスの基礎」，シリコンテクノロジー・チュートリアル2023，東京大学，2023年10月28日

[20] 平本俊郎，「先端ロジック技術の動向」，電子情報技術産業協会（JEITA）電子実装技術標準化活動報告会，オンライン開催，2023年11月17日．

[21] 平本俊郎，「先端ロジックデバイスの技術動向と将来展望」，日本EDAベンチャー連絡会JEVeC DAY 2023技術セミナー，川崎市産業振興会館，2023年11月27日．

[22] 平本俊郎，「応用物理学会九州支部設立70周年に寄せて」，応用物理学会九州支部設立70周年記念講演会，九州大学伊都キャンパス，2023年11月25日．

[23] Masaharu Kobayashi, “A Nanosheet Oxide Semiconductor FET for 3D Integrated Devices,” NTU-UTokyo Joint Conference, 国立台湾大学, 2023年12月7日

[24] 平本俊郎，「半導体デバイスの最新動向」，応用物理学会半導体セミナー第3回，応物会館およびオンライン，2023年12月22日．

[25] 平本俊郎，「IEDM概要および先端CMOS・デバイス技術関連」，d.lab協賛事業，オンライン開催．2024年1月19日．

[26] 小林正治，「メモリデバイス技術関連」，d.lab協賛事業，オンライン開催．2024年1月19日．

[27] 小林正治，「原子層堆積法によるナノシート酸化物半導体トランジスタ」，EDIT29（電子デバイス界面テクノロジー研究会），三島，2024年2月1日

[28] 平本俊郎，「先端ロジック半導体デバイスの最新技術動向」，SEMI-NETシンポジウム，ホテルアジュール竹芝（東京）およびオンライン，2024年3月19日．

[29] 日掛凱斗，李 卓，郝 俊翔，パンディ チトラ，更屋拓哉，平本俊郎，髙橋崇典，上沼睦典，浦岡行治，小林正治，「3次元集積デバイス応用に向けた原子層堆積法によるInGaOxチャネルナノシートトランジスタ」，第55回講演奨励賞受賞記念講演，第71回応用物理学会春季学術講演会，東京都市大学世田谷キャンパス，22a-12J-3，2024年3月22日．

[30] 竹内 潔，水谷朋子，更屋拓哉，小林正治1，平本俊郎，「MOSFET寄生抵抗ばらつきの直接測定可能性検討」，第71回応用物理学会春季学術講演会，東京都市大学世田谷キャンパス，23a-12J-1，2024年3月23日．

[31] 二木大輝，金 駿午，水谷朋子，更屋拓哉，小林正治，平本俊郎，「高集積 3 次元積層シリコン量子ビットにおける量子ドットの個別制御」，第71回応用物理学会春季学術講演会，東京都市大学世田谷キャンパス，23a-12J-8，2024年3月23日．

[32] 糸矢 祐喜，更屋 拓哉，平本 俊郎，小林 正治，「HfO_2系強誘電体キャパシタの下部電極オゾン酸化による絶縁破壊寿命の向上」，第71回応用物理学会春季学術講演会，東京都市大学世田谷キャンパス，25a-1BJ-4，2024年3月25日．

[33] 藤原弘和，糸矢祐喜，小林正治，C´edric Bareille，辛埴，谷内敏之，「上部電極越しに観察したHfO_2 系強誘電体の分極コントラスト：レーザー励起光電子顕微鏡」，25p-1BJ-1，応用物理学会春季学術講演会，東京都市大学，2024年3月25日

高木研究室

研究論文

[1] S.-Y. Min, K. Toprasertpong, E. Nako, R. Nakane, M. Takenaka, and S. Takagi, "Performance improvement in reservoir computing by using $HfZrO_2$ FeFETs through operating voltage optimization," Japanese Journal of Applied Physics, 63, Num. 4, 03SP19, February 2024. (DOI: 10.35848/1347-4065/ad2133)

[2] K. Yamauchi, A. Yamada, N. Misawa, S.-K. Cho, K. Toprasertpong, S. Takagi, C. Matsui, K, Takeuchi, "Co-design of SLC/MLC FeFET-based Highly Error-tolerant Low Power CiM and Strong Lottery Ticket Hypothesis-based Algorithm," Japanese Journal of Applied Physics, Jpn. J. Appl. Phys., 63, Num. 4, 04SP06, March 2024. (DOI: 10.35848/1347-4065/ad2656)

[3] S. Liu, S. Li, Q. Lin, K. Jana, S. Mitra, H.-S. P. Wong, and K. Toprasertpong, "Hybrid 2T nMOS/pMOS gain cell memory with indium-tin-oxide and carbon nanotube MOSFETs for counteracting capacitive coupling," IEEE Electron Device Lett., vol. 45, Issue 2, pp. 188-191, February 2024. (DOI: 10.1109/LED.2023.3344370)

[4] K. Toprasertpong, M. Takenaka, and S. Takagi, "Understanding memory window of ferroelectric field-effect transistor under coexistence of charge trapping and ferroelectric polarization: violation of linear superposition," Japanese Journal of Applied Physics, 63, Num. 4, 02SP47, February 2024. (DOI: 10.35848/1347-4065/ad15e3)

[5] H. Sakumoto, T. Nakayama, Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, "Numerical evaluation of bandwidth and optical loss in InP-organic hybrid optical modulator with doping optimization," Jpn. J. Appl. Phys., 63, 02SP52, Japanese Journal of Applied Physics, 63, Num. 4, 03SP19, February 2024. (DOI: 10.35848/1347-4065/ad189b)

[6] C. Matsui, K. Toprasertpong, S. Takagi and K. Takeuchi, "FeFET Local Multiply and Global Accumulate Voltage-sensing Computation-in-Memory Design for Neuromorphic Computing," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 32, No. 3, pp. 468-479, 2024. (DOI: 10.1109/TVLSI.2023.3336379)

[7] Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, "Design of Compact and Low-loss S-bends by CMA-ES," Opt. Exp., vol. 31, Issue 26, pp. 43850-43863, December 18, 2023 (DOI: 10.1364/OE.504866)

[8] E. Nako, K. Toprasertpong, R. Nakane, M. Takenaka, and S. Takagi, "Reservoir Computing System with HZO/Si FeFETs in Parallel Configuration: Experimental Demonstration of Speech Classification," IEEE Trans. Electron Devices, Vol. 70, Issue 11, pp. 5657-5664, November 1, 2023 (DOI: 10.1109/TED.2023.3318870)

[9] S. Takagi, K. Toprasertpong, Z. Cai, E. Nako, R. Nakane, and M. Takenaka, "Physical Understanding of HfZrO2/Si FeFET Memory and Its AI Applications," ECS Transaction, 112 (1), pp. 65-74, October 2023. (DOI: 10.1149/11201.0065ecst)

[10] Y. Maeda, R. Yokogawa, S. Sugawa, C. -T. Chen, K. Toprasertpong, M. Takenaka, S. Takagi, and A. Ogura, "Evaluation of Anisotropic Biaxial Stress in Extremely Thin Body (100) Silicon-Germanium-on-Insulator p-Type Metal-Oxide-Semiconductor Field-Effect-Transistor by Oil-immersion Raman spectroscopy," ECS Transaction, 112 (1), pp. 37-43, October 2023. (DOI: 10.1149/11201.0037ecst)

[11] R. Tang, K. Watanabe, M. Fujita, H. Tang, T. Akazawa, K. Toprasertpong, S. Takagi, and M. Takenaka, "Non-volatile hybrid optical phase shifter driven by a ferroelectric transistor," Laser & Photonics Reviews, 2300279 (1-9), October 2023. (DOI: 10.1002/lpor.202300279)

[12] K. Toprasertpong, C. Matsui, M. Takenaka, K. Takeuchi, and S. Takagi, "Ferroelectric source follower for voltage-sensing nonvolatile memory and computing-in-memory," J. Phys. D: Applied Physics, vol. 56, p. 465103, Aug. 2023. (DOI: 10.1088/1361-6463/acee09)

[13] W. Cao, H. Bu, M. Vinet, M. Cao, S. Takagi, S. Hwang, T. Ghani and K. Banerjee, "The future transistors," Nature, 620, pp. 501–515, 16 August 2023. (DOI: 10.1038/s41586-023-06145-x)

[14] S. Yoshikiyo, N. Misawa, K. Toprasertpong, S. Takagi, C. Matsui, and K. Takeuchi, "Write Variation & Reliability Error Compensation by Layer-wise Tunable Retraining of Edge FeFET LM-GA CiM," IEICE Transactions on Electronics, vol. E106-C, no.7, pp. 352-364, Jul. 2023. (DOI: 10.1587/transele.2022CDP0004)

[15] C.-T. Chen, X. Han, K. Sumita, K. Toprasertpong, M. Takenaka, and S. Takagi, "Hole Mobility Boosters of (110)-Oriented SGOI, Thinner Substrate, and Asymmetric Strain in Extremely-Thin Body Channel," IEEE Trans. Electron Devices, Vol. 70, Issue 7, pp. 3963-3969, July 1. 2023 (DOI: 10.1109/TED.2023.3279306)

[16] K. Sumita, K. Toprasertpong, M. Takenaka, and S. Takagi, "Interpretation of mobility universality against effective electric field of Si nMOSFETs based on nonlinear model of surface roughness scattering," Appl. Phys. Exp., vol. 16, Num. 6, 064001, June 2023 (DOI: 10.35848/1882-0786/acd6d6)

[17] K. Sumita, J. Takeyasu, K. Toprasertpong, M. Takenaka, and S. Takagi, "Low Specific Contact Resistance between InAs/Ni-InAs Evaluated by Multi-Sidewall TLM," AIP advances, vol. 13, 055310, May 2023 (DOI: 10.1063/5.0150296)

[18] K. Sumita, M.-S. Kang, K. Toprasertpong, M. Takenaka, and S. Takagi, "Formulation of Ground States of 2DEG at Rough Surfaces and Application to Nonlinear Model of Surface Roughness Scattering in nMOSFETs," IEEE J. Electron Device Society, vol. 11, pp. 216-229, April 2023. (DOI: 10.1109/JEDS.2023.3264814)

[19] Y. Miyatake, K. Makino, J. Tominaga, N. Miyata, T. Nakano, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, Member, IEEE, "Proposal of low-loss non-volatile mid-infrared optical phase shifter based on Ge2Sb2Te3S2," IEEE Transactions on Electron Devices, vol. 70, no. 4, pp. 2106-2112, April 2023. (DOI: 10.1109/TED.2023.3235865)

国際会議論文

[1] R. Tang, S. Ohno, K. Tanizawa, K. Ikeda, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Inference and training in deep learning using a symmetric optical crossbar array," Optical Fiber Communication Conference (OFC), San Diego, California, USA, 24-28 March 2024.

[2] H.-S. P. Wong, J. Chen, K. Jana, Q. Jiang, S. Liu, and K. Toprasertpong, "Oxide semiconductor gain cell memory," 18th International Thin-Film Transistor Conference (ITC 2024), Daejeon, Korea, Mar. 27-29, 2024 (Keynote).

[3] K. Jana, K. Toprasertpong, S. Liu, Q. Jiang, X. Wang, J. Chen, and H.-S. P. Wong, "Design Space Exploration of Oxide Semiconductor TFTs for 2T gain-cell memory: compact modeling and device-design guideline," 18th International Thin-Film Transistor Conference (ITC 2024), Daejeon, Korea, Mar. 27-29, 2024.

[4] S. Takagi, K. Toprasertpong, E. Nako, R. Suzuki, S.-Y. Min, M. Takenaka and R. Nakane, "Physical Reservoir Computing using HZO-based FeFETs for Edge-AI Applications," invited, 69th Annual IEEE International Electron Devices Meeting (IEDM), 22.2., San Francisco, CA, USA, December 9-13, 2023.

[5] S. Liu, K. Jana, K. Toprasertpong, J. Chen, Z. Liang, Q. Jiang, S. Wahid, S. Qin, W.-C. Chen, and H.-S. P. Wong, "Gain cell memory on logic platform – Device guidelines for oxide semiconductor transistor materials development," 69th Annual IEEE International Electron Devices Meeting (IEDM), 39.1, San Francisco, CA, USA, December 9-13, 2023.

[6] H. J.-Y. Chen, M. Beauchamp, K. Toprasertpong, F. Huang, L. Le Coeur, T. Nemec, H.-S. P. Wong, and K. Boahen, "Multi-gate FeFET discriminates spatiotemporal pulse sequences for dendrocentric learning," 69th Annual IEEE International Electron Devices Meeting (IEDM), 5.1, San Francisco, CA, USA, December 9-13, 2023.

[7] M. Takenaka, N. Sekine, K. Sumita, H. Sakumoto, S. Fu, K. Toprasertpong, and S. Takagi, "III-V CMOS photonics platform for universal photonics applications," 4th International Conference on Optics, Photonics, and Lasers (OPL2023), invited, Hiroshima, 4–6 December 2023.

[8] S. Takagi, "Extremely-Thin Channel MOS transistors for Advanced Logic LSI," invited, Germany-Japan Workshop on Recent Developments in Quantum Materials and Nanoscale Devices, RIKEN Wako Campus, Japan, November 27-28, 2023.

[9] M. Fujita, R. Tang, H. Tang, K. Toprasertpong, S. Takagi and M. Takenaka, "Memory characteristics of FeFET-driven hybrid MOS optical phase shifter," 13th international symposium on photonics and electronics convergence (ISPEC 2023), Tokyo Institute of Technology, Tokyo, November 1-2, 2023.

[10] S. Takagi, K. Toprasertpong, Z. Cai, E. Nako, R. Nakane, M. Takenaka, "Physical understanding of HfZrO2/Si FeFET memory and its AI applications," invited, Semiconductor Process Integration 13, 244th ECS Meeting, Gothenburg, Sweden, October 8-12, 2023.

[11] Y. Maeda, R. Yokogawa, S. Sugawa, C. -T. Chen, K. Toprasertpong, M. Takenaka, S. Takagi, and A. Ogura, "Evaluation of Anisotropic Biaxial Stress in Extremely Thin Body (100) SGOI p-MOSFETs by Oil-immersion Raman spectroscopy," 244th ECS Meeting, Gothenburg, Sweden, October 8-12, 2023.

[12] R. Yokogawa, Y. Maeda, S. Sugawa, C. -T. Chen, K. Toprasertpong, M. Takenaka, S. Takagi, and A. Ogura, "Stress Relaxation of Extremely-Thin-Body GOI p-type MOSFETs along <100> and <110> Observed by Oil-Immersion Raman Spectroscopy," 244th ECS Meeting, Gothenburg, Sweden, October 8-12, 2023.

[13] Y. Wakita, R. Tang, H. Tang, S. Ohno, T. Akazawa, Y. Miyatake, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, and M. Takenaka, "Low-power add-drop microring resonator with positive/negative phase tuning using InGaAsP/Si hybrid MOS phase shifter," 49th European Conference on Optical Communications (ECOC), Glasgow, Scotland, 1-5 October 2023.

[14] T. Akazawa, K. Sumita, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, M. Takenaka, "Transparent In-line Optical Power Monitor Integrated with MOS Optical Phase Shifter using InP/Si Hybrid Integration," 49th European Conference on Optical Communications (ECOC), Glasgow, Scotland, 1-5 October 2023.

[15] Y. Miyatake, R. Tang, K. Makino, J. Tominaga, N. Miyata, M. Okano, K. Toprasertpong, S. Takagi, M. Takenaka, "Photonic Tensor Core with Low-insertion-loss, Non-volatile Ge2Sb2Te3S2 Intensity Modulators," 49th European Conference on Optical Communications (ECOC), Glasgow, Scotland, 1-5 October 2023.

[16] S. Takagi, K. Toprasertpong, E. Nako, Z. Wang, R. Suzuki, S.-Y. Min, M. Takenaka, R. Nakane, "Reservoir computing utilizing ferroelectric-gate-insulator FETs and capacitors," invited, 20th International Conference on IC Design and Technology (ICICDT), Tokyo, Japan, September 25-27, 2023.

[17] S.-Y. Min, E. Nako, K. Toprasertpong, R. Nakane, M. Takenaka, and S. Takagi, "Improvement in HZO FeFET-based Reservoir Computing Capacities through Operating Voltage Optimization," 2023 International Conference on Solid State Devices and Materials (SSDM), K-6-5, p. 479-480, Nagoya Congress Center, Nagoya, September 5-8, 2023.

[18] K. Toprasertpong, M. Takenaka and S. Takagi, "Understanding Memory Window of FeFETs under Coexistence of Charge Trapping and Ferroelectric Polarization: Violation of Linear Superposition," 2023 International Conference on Solid State Devices and Materials (SSDM), K-1-2, p. 433-434, Nagoya Congress Center, Nagoya, September 5-8, 2023.

[19] H. Sakumoto, T. Nakayama, Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka,

"Numerical Evaluation of Modulation Bandwidth and Insertion Loss in InP-EO Polymer Hybrid Optical Modulator with Doping Optimization," 2023 International Conference on Solid State Devices and Materials (SSDM), H-7-4, p. 401-402, Nagoya Congress Center, Nagoya, September 5-8, 2023.

[20] K. Yamauchi, A. Yamada, N. Misawa, S.-K. Cho, K. Toprasertpong, S. Takagi, C. Matsui, and K. Takeuchi, "Highly Error-tolerant Low Power CiM by Co-design of SLC Mask & MLC Weight Twin FeFETs and Strong Lottery Ticket Hypothesis Neural Network Algorithm," 2023 International Conference on Solid State Devices and Materials (SSDM), K-6-2, p. 473-474, Nagoya Congress Center, Nagoya, September 5-8, 2023.

[21] S. Takagi, K. Toprasertpong, Z. Cai, E. Nako, R. Nakane, and M. Takenaka, "HfZrO2-based ferroelectric devices for lower-power memory and AI applications," invited, International Workshop on Emerging Semiconductor Technology, Grand Copthorne Waterfront Hotel, Singapore, August 10-11, 2023.

[22] M. Takenaka, H. Tang, K. Watanabe, T. Ochiai, T. Akazawa, C. Chai, M. Huang, Y. Wakita, Y. Miyatake, S. Ohno, K. Sumita, S. Monfray, F. Boeuf, M. Okano, R. Tang, K. Toprasertpong, and S. Takagi, "Scalable Programmable Photonic Integrated Circuits by III-V/Si hybrid integration," invited, Optica Advanced Photonics Congress 2023, Busan, Korea, July 9-13, 2023.

[23] S. Takagi, M.-S. Kang, K. Toprasertpong, M. Takenaka, H. Oka, and T. Mori, "Quantitative understanding of sub-threshold swing of Si MOSFETs at cryogenic temperatures down to 4 K," invited, 23rd IEEE International Conference on Nanotechnology (IEEE-NANO 2023), p.10-14, Jeju Island, Korea, July 2-5, 2023. (DOI: 10.1109/NANO58406.2023.10231231)

[24] Z. Cai, K. Toprasertpong, M. Takenaka, and S. Takagi, "HZO Scaling and Fatigue Recovery in FeFET with Low Voltage Operation: Evidence of Transition from Interface Degradation to Ferroelectric Fatigue," 2023 Symposium on VLSI Technology and Circuits, Kyoto, Japan, June 11-16, 2023. (DOI: 10.23919/VLSITechnologyandCir57934.2023.10185295)

[25] K. Toprasertpong, S. Liu, J. Chen, S. Wahid, K. Jana, W.-C. Chen, S. Li, E. Pop, and H.-S. P. Wong, "Co-designed capacitive coupling-immune sensing scheme for indium-tin-oxide (ITO) 2T gain cell operating at positive voltage below 2 V," 2023 Symposium on VLSI Technology and Circuits, Kyoto, Japan, June 11-16, 2023. (DOI: 10.23919/VLSITechnologyandCir57934.2023.10185433)

[26] S. Takagi, K. Toprasertpong, E. Nako, X. Luo, M. Takenaka, and R. Nakane, "HfZrO-based ferroelectric capacitors and FETs for ultralow-power signal processing," invited, 2023 International Conference on Semiconductor Technology for Ultra Large Scale Integrated Circuits and Thin Film Transistors (ULSIC VS TFT 8), Otaru, Hokkaido, Japan, May 15-18, 2023.

[27] Q. Jiang, N. Moreno, S. Liu, X. Wen, K. Toprasertpong, V. Narasimhan, G. J. Ewing, M. Rincon, A. Zacatzi, S. Kommera, R. Kanjolia, and H.-S. P. Wong, "Process development and material characterization for ALD Indium tin oxide (ITO) thin films," 2023 Material Research Society (MRS) Spring Meeting & Exhibit, EL19.03, San Francisco, CA, USA, Apr. 10-14, 2023.

シンポジウム・研究会・大会等発表

[1] 名幸瑛心, トープラサートポン カシディット, 中根了昌, 鈴木陸央, 竹中充, 高木信一, "基板端子への遅延入力を伴ったFeFETの並列化によるリザバーコンピューティング性能の向上," 第71回応用物理学会春季学術講演会, 25p-31A-4, 東京都市大学世田谷キャンパス, 2023年3月22-25日.

[2] S.-Y Min, K. Toprasertpong, E. Nako, R. Nakane, M. Takenaka, and S. Takagi, "Improvement in Computing Capacities of HfZrO2-based FeFET Reservoir Computing through Operating Voltage Optimization," 第71回応用物理学会春季学術講

演会, 25p-31A-5, 東京都市大学世田谷キャンパス, 2023年3月22-25日.

[3] 唐睿, 大野修平, 谷澤健, 池田和浩, 岡野誠, トープラサートポン カシディット, 高木信一, 竹中充, “対称な光クロスバーアレイを用いた深層学習の推論と学習,” 招待講演, 第71回応用物理学会春季学術講演会, 22p-11F-1, 東京都市大学世田谷キャンパス, 2023年3月22-25日.

[4] 按田智大, 宮武悠人, 牧野孝太郎, 富永淳二, 宮田典幸, 岡野誠, トープラサートポン カシディット, 高木信一, 竹中充, “低損失光位相シフタに向けたSb2S3 の最適成膜条件の探索,” 第71回応用物理学会春季学術講演会, 22p-11F-12, 東京都市大学世田谷キャンパス, 2023年3月22-25日.

[5] Z. Cai, K. Toprasertpong, M. Takenaka, and S. Takagi, “Memory Window Narrowing Mechanisms and Recovery Behaviors in HZO/Si FeFETs,” 第71回応用物理学会春季学術講演会, 25a-1BJ-3, 東京都市大学世田谷キャンパス, 2023年3月22-25日.

[6] 山内堅心, 山田歩, 三澤奈央子, 趙成謹, トープラサートポン カシディット, 高木信一, 松井千尋, 竹内健, “FeFETベースCiMと強宝くじ仮説のCo-designによる高エラー耐性な推論器の提案,” 第71回応用物理学会春季学術講演会, 24p-31A-5, 東京都市大学世田谷キャンパス, 2023年3月22-25日.

[7] 松井千尋, トープラサートポン カシディット, 高木信一, 竹内健, “FeFETを用いた電圧検知Computation-in-Memoryの回路デザイン,” 第71回応用物理学会春季学術講演会, 24p-31A-7, 東京都市大学世田谷キャンパス, 2023年3月22-25日.

[8] 高木信一, “先端ロジックCMOSのための異種材料チャネルFET技術,” 電子情報通信学会電子デバイス研究専門委員会(ED研)特別ワークショップ「化合物半導体トランジスタと関連技術の研究開発に学ぶ」, 名古屋大学東山キャンパス, 2024年3月18日.

[9] 高木信一, トープラサートポン カシディット, 名幸瑛心, 鈴木陸央, 関信義, 竹中充, 中根了昌, “[招待講演] HfZrO2系強誘電体FETを用いた物理リザバーコンピューティング,” 研究集会「先端デバイス・プロセス技術（IEDM特集)」, 応用物理学会シリコンテクノロジー分科会, 電子情報通信学会シリコン材料・デバイス研究会（SDM）共催, 金沢工業大学虎ノ門キャンパス, 2024年1月31日.

[10] 竹中充, 宮武悠人, 牧野孝太郎, 富永淳二, 宮田典幸, 中野隆志, 岡野誠, トープラサートポン カシディット, 高木信一, “相変化材料Ge2Sb2Te3S2を用いたプログラマブル光回路,” 招待講演, 50周年記念レーザー学会学術講演会第44回年次大会, 日本科学未来館, 東京国際交流会館プラザ平成, 2024年1月16-19日.

[11] 高木信一, “半導体デバイスの基礎② ～デバイスの動作原理と特性,” 応用物理学会第2回半導体セミナー, 応物会館3階会議室, 2023年11月17日.

[12] M. Takenaka, Y. Miyatake, R. Tang, K. Makino, J. Tominaga, N. Miyata, M. Okano, K. Toprasertpong, and S. Takagi, “Non-volatile optical devices based on Ge2Sb2Te3S2 on Si photonics platform for computing applications,” PCOS2023, KKRホテル熱海, 2023年 11月16-17日.

[13] 山内堅心, 山田歩, 三澤奈央子, 趙成謹, トープラサートポン カシディット, 高木信一, 松井千尋, 竹内健, “強い宝くじ仮説とFeFET ベースCiM のCo-design,” デザインガイア2023 -VLSI設計の新しい大地-, くまもと市民会館シアーズホーム夢ホール, 熊本, 2023年11月15-17日.

[14] 松井千尋, 小林英太郎, 三澤奈央子, トープラサートポン カシディット, 高木信一, 竹内健, “Hyperdimensional Computing向けFeFET CiMの設計とエラー耐性,” デザインガイア2023 -VLSI設計の新しい大地-, くまもと市民会館シアーズホーム夢ホール, 熊本, 2023年11月15-17日.

[15] 高木信一, “半導体デバイスの基礎① ～デバイスの機能を生み出す半導体の性質,” 応用物理学会第1回半導体セミナー, 熊本市国際交流会館, オンライン（ハイブリッド開催）, 2023年9月21日.

[16] 赤澤智熙, 隅田圭, モンフレ ステファン, ブフフレデリック, トープラサポン カシディット, 高木信一, 竹中充, “InP/Siハイブリッド光パワーモニタとMOS型光位相シフタの一体集積,” 第84回応用物理学会秋季学術講演会, 21a-A308-6, 熊本城ホール他, 2023年9月19-23日.

[17] 藤田将大, 唐睿, 湯涵智, トープラサートポン カシディット, 高木信一, 竹中充, “FeFET駆動型不揮発性ハイブリッドMOS位相シフタのEndurance・Retention 特性,” 第84回応用物理学会秋季学術講演会, 21a-A308-10, 熊本城ホール他, 2023年9月19-23日.

[18] 前田唯葉, 横川凌, 寿川尚, Chia-Tsong Chen, Kasidit Toprasertpong, 竹中充, 高木信一, 小椋厚志, “極薄膜(100)SGOI p-MOSFETのチャネル領域における異方性二軸応力のチャネル幅依存性,” 第84回応用物理学会秋季学術講演会, 23p-A602-12, 熊本城ホール他, 2023年9月19-23日.

[19] 唐睿, 大野修平, 谷澤健, 池田和浩, 岡野誠, トープラサートポン カシディット, 高木信一, 竹中充, “等長光クロスバーアレイを用いた深層学習の推論と学習の実証,” 第84回応用物理学会秋季学術講演会, 熊本城ホール他, 20p-A201-1, 2023年9月19-23日.

[20] 宮武悠人, 唐睿, 牧野孝太郎, 富永淳二, 宮田典幸, 岡野誠, トープラサートポン カシディット, 高木信一, 竹中充, “低挿入損失・不揮発性Ge2Sb2Te3S2強度変調器を用いた光行列演算,” 第84回応用物理学会秋季学術講演会, 20p-A201-5, 熊本城ホール他, 2023年9月19-23日.

[21] 大友将樹, トープラサートポン カシディット, 竹中充, 高木信一, “HZO-FeFETにおける読み出し動作の積算が分極状態に与える影響,” 第84回応用物理学会秋季学術講演会, 22a-A201-11, 熊本城ホール他, 2023年9月19-23日.

[22] 鈴木陸央, トープラサートポン カシディット, 名幸瑛心, 中根了昌, 竹中充, 高木信一, “nチャネルFeFETとpチャネルFeFETの組み合わせによるリザバーコンピューティング性能の向上,” 第84回応用物理学会秋季学術講演会, 22a-A302-8, 熊本城ホール他, 2023年9月19-23日.

[23] Z. Liu, K. Toprasertpong, M. Takenaka, and S. Takagi, “Influence of Electric Field during Holding Time on Imprint Characteristics in Hf0.5Zr0.5O2 MFM Capacitors,” 第84回応用物理学会秋季学術講演会, 22a-A201-9, 熊本城ホール他, 2023年9月19-23日.

[24] 名幸瑛心, トープラサートポン カシディット, 中根了昌, 竹中充, 高木信一, “FeFETの基板端子へのパルス入力によるリザバーコンピューティング性能向上,” 第84回応用物理学会秋季学術講演会, 熊本城ホール他, 22a-A302-7, 2023年9月19-23日.

[25] X. Han, C.-T. Chen, K. Sumita, K. Toprasertpong, M. Takenaka, and S. Takagi, “Performance Enhancement of Extremely-thin Body (111) Ge-on-Insulator nMOSFETs by Using Flipped Substrate Process,” 第84回応用物理学会秋季学術講演会, 20a-A304-8, 熊本城ホール他, 2023年9月19-23日.

[26] 横川凌, 前田結葉, 寿川尚, Chia-Tsong Chen, Kasidit Toprasertpong, 竹中充, 高木信一, 小椋厚志, “極薄膜GOI pMOSFETに印加される異方性二軸応力のチャネル方向依存性,” 第84回応用物理学会秋季学術講演会, 23p-A602-11, 熊本城ホール他, 2023年9月19-23日.

[27] Z. Cai, K. Toprasertpong, M. Takenaka, and S. Takagi, “Impact of HZO Scaling in FeFET on the electrical characteristics,” 第84回応用物理学会秋季学術講演会, 22a-A201-12, 熊本城ホール他, 2023年9月19-23日.

[28] C. Zhang, Z. Zhao, R. Tang, T. Akazawa, Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, “Germanium microring resonator avalanche photodiode for 2 μm wavelengths on Ge-on-insulator platform,” 第84回応用物理学会秋季学術講演会, 20p-A201-13, 熊本城ホール他, 2023年9月19-23日.

[29] 高木信一, 隅田圭, 姜旼秀, 陳家聰, トープラサートポン カシディット, 竹中充, “表面ラフネス散乱の非線形モデルにより決定されるSi nMOSFETの電子移動度の妥当性と極薄膜チャネル材料の最適設計,” 第87回半導体・集積回路技術シンポジウム, 東京理科大学森戸記

念館第1フォーラム室, 2023年8月30-31日.

[30] 蔡作成, トープラサートポン カシディット, 竹中充, 高木信一, “FeFET特性に与えるHZO厚スケーリングの効果と低電圧での疲労回復現象：界面劣化から強誘電体疲労への劣化機構の変化,” シリコンテクノロジー分科会第245回研究集会「VLSIシンポジウム特集」, 金沢工業大学虎ノ門キャンパス, 2023年8月25日.

[31] 唐睿, 田之村亮汰, 種村拓夫, 岡野誠, トープラサートポン カシディット, 中野義昭, 高木信一, 竹中充, “【招待講演】光演算と情報処理に向けたシリコンフォトニクス回路,” 第三期第1回光集積及びシリコンフォトニクス(PICS)研究会, 東京大学　駒場リサーチキャンパス, 2023年6月30日.

[32] 隅田圭, 陳家驄, トープラサートポン カシディット, 竹中充, 高木信一, “［記念講演］表面ラフネス散乱の非線形モデルに基づく極薄膜nMOSFETのチャネル材料と面方位の最適設計,” 記念講演, 電子情報通信学会シリコン材料・デバイス研究会（SDM）, 広島大学, 2023年6月26日.

[33] 高木信一, “先端ロジックCMOSのチャネル形成技術,” 基調講演, “半導体戦略～地域連携による新展開,” 東京大学大学院工学系研究科附属ナノシステム集積センター (NanoHub) 第2回シンポジウム, 東京大学山上会館, 2023年6月20日.

[34] 名幸瑛心, トープラサートポン カシディット, 中根了昌, 竹中充, 高木信一, “[招待講演］音声認識に向けた新方式HZO/Si FeFETリザバーコンピューティング,” 招待講演, 電子情報通信学会集積回路研究会（ICD）, ICD2023-4, 川崎市産業振興会館, 2023年4月10日.

竹中研究室

研究論文

[1] H. Sakumoto, T. Nakayama, Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, “Numerical evaluation of bandwidth and optical loss in InP-organic hybrid optical modulator with doping optimization,” *Jpn. J. Appl. Phys.*, vol. 63, 02SP52, 2024. DOI: 10.35848/1347-4065/ad189b

[2] S.-Y. Min, K. Toprasertpong, E. Nako, R. Nakane, M. Takenaka, and S. Takagi, “Performance improvement in reservoir computing by using $HfZrO_2$ FeFETs through operating voltage optimization,” *Jpn. J. Appl. Phys.*, vol. 63, 03SP19, 2024. DOI: 10.35848/1347-4065/ad2133

[3] K. Toprasertpong, M. Takenaka, and S. Takagi, “Understanding memory window of ferroelectric field-effect transistor under coexistence of charge trapping and ferroelectric polarization: violation of linear superposition,” *Jpn. J. Appl. Phys.*, vol. 63, 02SP47, 2024. DOI: 10.35848/1347-4065/ad15e3

[4] Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, “Design of compact and low-loss S-bends by CMA-ES,” *Optics Express*, vol. 31, no. 26, pp. 43850– 43863, Dec. 2023. DOI: 10.1364/OE.504866

[5] E. Nako, K. Toprasertpong, R. Nakane, M. Takenaka, and S. Takagi, “Reservoir computing system with HZO/Si FeFETs in parallel configuration: Experimental demonstration of speech classification,” *IEEE Trans. Electron Devices*, vol. 70, no. 11, pp. 5675–5664, Nov. 2023. DOI: 10.1109/TED.2023.3318870

[6] R. Tang, K. Watanabe, M. Fujita, H. Tang, T. Akazawa, K. Toprasertpong, S. Takagi, and M. Takenaka, “Non-volatile hybrid optical phase shifter driven by a ferroelectric transistor,” *Laser & Photonics Reviews*, 2300279, October 2023. DOI: 10.1002/lpor.202300279

[7] K. Toprasertpong, C. Matsui, M. Takenaka, K. Takeuchi, and S. Takagi, “Ferroelectric source follower for voltage-sensing nonvolatile memory and computing-in-memory,” *Journal of Physics D: Applied Physics*, vol. 56, 465103, August 2023. DOI: 10.1088/1361-6463/acee09

[8] K. Sumita, K. Toprasertpong, M. Takenaka, and S. Takagi, “Interpretation of mobility universality against effective electric field of Si nMOSFETs based on nonlinear model of surface roughness scattering,” *Appl. Phys. Exp.*, vol. 16, no. 6, 064001, June 2023.

DOI: 10.35848/1882-0786/acd6d6

[9] C.-T. Chen, X. Han, K. Sumita, K. Toprasertpong, M. Takenaka, and S. Takagi, "Hole Mobility Boosters of (110)-Oriented Extremely Thin Body SiGe-on-Insulator (SGOI) pMOSFETs," *IEEE Trans. Electron Devices*, vol. 70, no. 7, pp. 3963–3969, June 2023. DOI: 10.1109/TED.2023.3279306

[10] K. Sumita, J. Takayasu, K. Toprasertpong, M. Takenaka, and S. Takagi, "Low specific contact resistance between InAs/Ni–InAs evaluated by multi-sidewall TLM," *AIP Advances*, vol. 13, 055310, May 2023. DOI: 10.1063/5.0150296

[11] K. Sumita, M.-S. Kang, K. Toprasertpong, M. Takenaka, and S. Takagi, "Formulation of ground states for 2DEG at rough surfaces and application to nonlinear model of surface roughness scattering in nMOSFETs," *IEEE Journal of the Electron Devices Society*, vol. 11, pp. 216–229, April 2023. DOI: 10.1109/JEDS.2023.3264814

[12] X. Han, C.-T. Chen, M. Ke, Z. Zhao, K. Toprasertpong, M. Takenaka, and S. Takagi, "Effects of post deposition annealing temperature and atmosphere on interface properties in ALD Al_2O_3/plasma oxidation GeO_x/(111) and (100) n-Ge MOS structures," *Jpn. J. Appl. Phys.*, vol. 62, SC1089, 2023. DOI: 10.35848/1347-4065/acbb89

[13] K. Iwashige, K. Toprasertpong, M. Takenaka, and S. Takagi, "Effect of $Hf_xZr_{1-x}O_2$/Ge metal-ferroelectrics-insulator-semiconductor interfaces on polarization reversal behavior," *Jpn. J. Appl. Phys.*, vol. 62, SC1093, 2023. DOI: 10.35848/1347-4065/acb829

[14] M. Kang, K. Sumita, H. Oka, T. Mori, K. Toprasertpong, M. Takenaka, and S. Takagi, "Influence of substrate impurity concentration on sub-threshold swing of Si n-channel MOSFETs at cryogenic temperatures down to 4 K," *Jpn. J. Appl. Phys.*, vol. 62, SC1062, 2023. DOI: 10.35848/1347-4065/acb362

[15] R. Yoshizu, K. Sumita, K. Toprasertpong, M. Takenaka, and S. Takagi, "Accurate evaluation of interface trap density at InAs MOS interfaces by using C-V curves at low temperatures," *Jpn. J. Appl. Phys.*, vol. 62, SC1055. 2023. DOI: 10.35848/1347-4065/acb1bd

[16] Y. Miyatake, K. Makino, J. Tominaga, N. Miyata, T. Nakano, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Proposal of low-loss non-volatile mid-infrared optical phase shifter based on $Ge_2Sb_2Te_3S_2$," *IEEE Trans. Electron Devices*, vol. 70, no. 4, pp. 2106–2112, April 2023. DOI: 10.1109/TED.2023.3235865

国際会議論文

[1] R. Tang, S. Ohno, K. Tanizawa, K. Ikeda, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Inference and training in deep learning using a symmetric optical crossbar array," *Optical Fiber Communication Conference (OFC2024)*, Tu2F, 24–28 March 2024.

[2] S. Takagi, K. Toprasertpong, E. Nako, R. Suzuki, S.-Y. Min, M. Takenaka, and R. Nakane, "Physical reservoir computing using HZO-based FeFETs for edge-AI applications," *International Electron Devices Meeting (IEDM2023)*, 22.2, San Francisco, 9–13 December 2023 (*invited*).

[3] M. Takenaka, N. Sekine, K. Sumita, H. Sakumoto, S. Fu, K. Toprasertpong, and S. Takagi, "III-V CMOS photonics platform for universal photonics applications," *4th International Conference on Optics, Photonics, and Lasers (OPL2023)*, Hiroshima, 4–6 December 2023 (*invited*).

[4] M. Takenaka, "Heterogeneous integration of III-V and phase change material for Si programmable photonic integrated circuits," *13th International Symposium on Photonics and Electronics Convergence (ISPEC2023)*, B-4, Tokyo, 1–2 November 2023.

[5] H. Sakumoto, T. Nakayama, Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, "Evaluation of the impact of the doping optimization on the modulation bandwidth and the optical loss of the InP-EO polymer hybrid optical modulator," *13th International Symposium on Photonics and Electronics Convergence (ISPEC2023)*, P-12, Tokyo,

1–2 November 2023.

[6] T. Akazawa, K. Sumita, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, and M. Takenaka, "Low-loss In-line Optical Power Monitoring using InP/Si hybrid phototransistor," *13th International Symposium on Photonics and Electronics Convergence (ISPEC2023)*, P-24, Tokyo, 1–2 November 2023.

[7] Y. Miyatake, R. Tang, K. Makino, J. Tominaga, N. Miyata, M. Okano, K. Toprasertpong, S Takagi, and M. Takenaka, "Photonic matrix multiplication with $Ge_2Sb_2Te_3S_2$ intensity modulators," *13th International Symposium on Photonics and Electronics Convergence (ISPEC2023)*, P-27, Tokyo, 1–2 November 2023.

[8] C. Zhang, Z. Zhao, R. Tang, T. Akazawa, Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, "Ge avalanche photodiode integrated with microring resonator for 2 μm wavelengths on Ge-on-insulator platform," *13th International Symposium on Photonics and Electronics Convergence (ISPEC2023)*, P-33, Tokyo, 1–2 November 2023.

[9] R. Tang, S. Ohno, K. Tanizawa, K. Ikeda, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Demonstration of inference and training in deep learning using a symmetric silicon microring resonator crossbar array," *13th International Symposium on Photonics and Electronics Convergence (ISPEC2023)*, P-25, Tokyo, 1–2 November 2023.

[10] M. Fujita, R. Tang, H. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, "Memory characteristics of FeFET-driven hybrid MOS optical phase shifter," *13th International Symposium on Photonics and Electronics Convergence (ISPEC2023)*, P-3, Tokyo, 1–2 November 2023.

[11] Y. Wakita, R. Tang, H. Tang, S. Ohno, T. Akazawa, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, and M. Takenaka, "Demonstration of add-drop ring resonator switch using InGaAsP/Si hybrid MOS phase shifter," *13th International Symposium on Photonics and Electronics Convergence (ISPEC2023)*, P-5, Tokyo, 1–2 November 2023.

[12] S. Takagi, K. Toprasertpong, Z. Cai, E. Nako, R. Nakane, and M. Takenaka, "Physical understanding of $HfZrO_2$/Si Fefet memory and its AI applications," *244th ECS Meeting*, Symposium G02, Gothenburg, Sweden, 8–12 October 2023 (*invited*).

[13] Y. Maeda, R. Yokogawa, S. Sugawa, C. T. Chen, K. Toprasertpong, M. Takenaka, S. Takagi, and A. Ogura, "Evaluation of anisotropic biaxial stress in extremely thin body (100) SGOI p-MOSFETs By oil-immersion Raman spectroscopy," *244th ECS Meeting*, Symposium G02, Gothenburg, Sweden, 8–12 October 2023.

[14] R. Yokogawa, Y. Maeda, S. Sugawa, C. T. Chen, M. Takenaka, S. Takagi, and A. Ogura, "Stress relaxation of extremely-thin-body Ge-on-insulator p-type metal-oxide-semiconductor field-effect transistor along <100> and <110> observed by oil-immersion Raman spectroscopy," *244th ECS Meeting*, Symposium G02, Gothenburg, Sweden, 8–12 October 2023.

[15] Y. Miyatake, R. Tang, K. Makino, J. Tominaga, N. Miyata, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Photonic tensor core with low-insertion-loss, non-volatile $Ge_2Sb_2Te_3S_2$ intensity modulators," *European Conference on Optical Communication (ECOC2023)*, Tu.B.3.3, Glasgow, UK, 1–5 October 2023.

[16] T. Akazawa, K. Sumita, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, M. Takenaka, "Transparent in-line optical power monitor integrated with MOS optical phase shifter using InP/Si hybrid integration," *European Conference on Optical Communication (ECOC2023)*, We.D.4.5, Glasgow, UK, 1–5 October 2023.

[17] Y. Wakita, R. Tang, H. Tang, S. Ohno, T. Akazawa, Y. Miyatake, S. Monfray, F. Boeuf, K. Toprasertpong, S Takagi, M. Takenaka, "Low-power add-drop microring resonator switch with positive/negative phase tuning using InGaAsP/Si hybrid MOS phase shifter," *European Conference on Optical Communication (ECOC2023)*, We.D.4.2, Glasgow, UK, 1–5 October 2023.

[18] S. Takagi, K. Toprasertpong, E. Nako, R. Suzuki,

S.-Y. Min, M. Takenaka, R. Nakane, "Reservoir computing utilizing ferroelectric-gate-insulator FETs and capacitors," *International Conference on Integrated Circuit Design & Technology (ICICDT)*, Tokyo, Japan, 25–27 September 2023 (*invited*).

[19] H. Sakumoto, T. Nakayama, Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, "Numerical evaluation of modulation bandwidth and insertion loss in InP-EO polymer hybrid optical modulator with doping optimization," *International Conference on Solid State Devices and Materials (SSDM2023)*, H-7-04, Nagoya Congress Center, Nagoya, Japan, 5–8 Sept. 2023.

[20] K. Toprasertpong, M. Takenaka, and S. Takagi, "Understanding memory window of FeFETs under coexistence of charge trapping and ferroelectric polarization: Violation of linear superposition," *International Conference on Solid State Devices and Materials (SSDM2023)*, K-1-02, Nagoya Congress Center, Nagoya, Japan, 5–8 Sept. 2023.

[21] S. Min, K. Toprasertpong, E. Nako, R. Nakane, M. Takenaka, and S. Takagi, "Improvement in HZO FeFET-based reservoir computing capacities through operating voltage optimization," *International Conference on Solid State Devices and Materials (SSDM2023)*, K-6-05, Nagoya Congress Center, Nagoya, Japan, 5–8 Sept. 2023 (*Late News*).

[22] M. Takenaka, H. Tang, K. Watanabe, T. Ochiai, T. Akazawa, M. Huang, Y. Wakita, Y. Miyatake, S. Ohno, K. Sumita, S. Monfray, F. Boeuf, R. Tang, K. Toprasertpong, and S. Takagi, "Scalable programmable photonic integrated circuits by III-V/Si hybrid integration," *Optica Advanced Photonics Congress (OAPC)*, Busan, Korea, 9–13 July 2023 (*invited*).

[23] S. Takagi, M.-S. Kang, K. Toprasertpong, M. Takenaka, H. Oka and T. Mori, "Quantitative understanding of sub-threshold swing of Si MOSFETs at cryogenic temperatures down to 4 K," *23rd IEEE International Conference on Nanotechnology (IEEE-NANO 2023)*, Jeju Island, Korea, 2–5 July 2023 (*invited*).

[24] T. Odagawa, K. Sakaino, S. Kimura, T. Inagaki, H. Tang, K. Tanizawa, K. Ikeda, M. Okano, M. Takenaka, H. Yamada, N. Matsuda, "Demonstration of a low-depth universal linear optical circuit," *CLEO/Europe-EQEC*, CK-8.2, Munich, Germany, 26–30 June 2023.

[25] Z. Cai, K. Toprasertpong, M. Takenaka, and S. Takagi, "HZO scaling and fatigue recovery in FeFET with low voltage operation: Evidence of transition from interface degradation to ferroelectric fatigue," *VLSI Symposium*, T5-2, 11–16 June 2023.

[26] M. Takenaka, "Si photonics for optical interconnects," *International Interconnect Technology conference (IITC)*, Dresden, Germany, 22–25 May 2023 (*invited*).

[27] S. Takagi, K. Toprasertpong, E. Nako, X. Luo, M. Takenaka, and R. Nakane, "HfZrO-based ferroelectric capacitors and FETs for ultralow-power signal processing," *International Conference on Semiconductor Technology for Ultra Large Scale Integrated Circuits and Thin Film Transistors* (*ULSIC vs. TFT 8)*, Sapporo, Japan, 15–18 May 2023 (*invited*).

[28] Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, "Compact Low-loss S-bends Designed by CMA-ES," *Conference on Lasers and Electro-Optics* (*CLEO2023)*, SF3E.1, San Jose, USA, 7–12 May 2023.

著書

[1] 竹中充，大野修平，唐睿，トープラサートポン　カシディット，高木信一，"リング共振器クロスバーアレイを用いた光ニューラルネットワーク，" フォトニクスニュース, Vol. 9, No. 3, pp. 132– 136, 2024.

[2] 竹中充, "異種材料集積シリコンフォトニクスを用いた深層学習用プログラマブル光回路," レーザー研究, Vol. 51, No. 10, pp. 624–628, 2023.

シンポジウム・研究会・大会等発表

[1] 唐 睿, 大野 修平, 谷澤 健, 池田 和浩, 岡野 誠, トープラサートポン カシディット, 高木

信一, 竹中 充, “対称な光クロスバーアレイを用いた深層学習の推論と学習,” 第71回応用物理学会春季学術講演会，22p-11F-1，東京都市大学世田谷キャンパス, 2024年3月22日–3月25日（第55回講演奨励賞受賞記念講演）.

[2] 按田 智大, 宮武 悠人, 牧野 孝太郎, 富永 淳二, 宮田 典幸, 岡野 誠, トープラサートポン カシディット, 高木 信一, 竹中 充, “低損失光位相シフタに向けたSb_2S_3の最適成膜条件の探索,” 第71回応用物理学会春季学術講演会，22p-11F-12，東京都市大学世田谷キャンパス, 2024年3月22日–3月25日.

[3] 名幸 瑛心, トープラサートポン カシディット, 中根 了昌, 鈴木 陸央, 竹中 充, 高木 信一, “基板端子への遅延入力を伴ったFeFETの並列化によるリザバーコンピューティング性能の向上,” 25p-31A-4，東京都市大学世田谷キャンパス, 2024年3月22日–3月25日.

[4] H. Min, K. Toprasertpong, E. Nako, R. Nakane, M. Takenaka, and S. Takagi, “Improvement in computing capacities of $HfZrO_2$ FeFET-based reservoir computing through operating voltage optimization,” 25p-31A-5, 東京都市大学世田谷キャンパス, 2024年3月22日–3月25日.

[5] Z. Cai, K. Toprasertpong, E. Nako, R. Nakane, M. Takenaka, and S. Takagi, “Memory window narrowing mechanisms and recovery behaviors in HZO/Si FeFETs,” 25a-1BJ-3, 東京都市大学世田谷キャンパス, 2024年3月22日–3月25日.

[6] 竹中充, “異種材料集積プログラマブル光回路を用いた深層学習アクセラレータ,” 光ネットワーク産業・技術研究会第5回公開討論会, 明治大学 駿河台キャンパス, 2024年3月19日（招待講演）.

[7] 竹中充, “AI用シリコンプログラマブル光回路,” 電子情報通信学会総合大会, CI-5-04, 広島大学東広島キャンパス, 2023年3月4日–3月8日（招待講演）.

[8] 高木 信一, トープラサートポン カシディット, 名幸 瑛心, 鈴木 陸央, 関 信義 , 竹中 充, 中根 了昌, “$HfZrO_2$系強誘電体FETを用いた物理リザバーコンピューティング,” 電子情報通信学会シリコン材料・デバイス研究会(SDM)，金沢工業大学大学院 虎ノ門キャンパス, 2024年1月31日（招待講演）.

[9] 竹中充, 宮武 悠人, 牧野 孝太郎, 富永 淳二, 宮田 典幸, 中野 隆志, 岡野 誠, トープラサートポン カシディット, 高木 信一, “相変化材料$Ge_2Sb_2Te_3S_2$を用いたプログラマブル光回路,” レーザー学会第44回年次大会，日本科学未来館および東京国際交流館プラザ平成, 2024年1月17日–19日（招待講演）.

[10] 竹中充, “異種材料集積シリコン光回路を用いた深層学習アクセラレータ,” 第 169 回微小光学研究会，慶応義塾大学日吉キャンパス, 2024年12月15日（招待講演）.

[11] T. Akazawa, K. Sumita, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, and M. Takenaka, “Optical power monitor for photonic integrated circuit using waveguide phototransistor,” *Photonic Device Workshop 2023 (PDW2023)*, P-16, 機械振興会館, 2023年12月7日–8日.

[12] M. Takenaka, Y. Miyatake, K. Makino, R. Tang, J. Tominaga, N. Miyata, M. Okano, K. Toprasertpong, and S. Takagi, “Non-volatile optical devices based on $Ge_2Sb_2Te_3S_2$ on Si photonics platform for computing applications,” 相変化研究会, KKR熱海, 2023年11月16日–17日（招待講演）.

[13] 竹中充, “III-V族半導体薄膜集積を用いた深層学習用シリコン光回路,” 第42回電子材料シンポジウム，ダイワロイヤルホテル THE KASHIHARA, 橿原市, 奈良県, 2023年10月11日（招待講演）.

[14] 小田川 朋史, 境野 一輝, 木村 彰吾, 稲垣 拓也, 湯 涵智, 谷澤 健, 池田 和浩, 岡野 誠, 竹中 充, 山田 博仁, 松田 信幸, “回路深さが削減された万能ユニタリ変換光回路の実証,” 第84回応用物理学会秋季学術講演会，23a-A601-9，熊本城ホール, 2023年9月19日–9月23日.

[15] 唐 睿, 大野 修平, 谷澤 健, 池田 和浩, 岡野 誠, トープラサートポン カシディット, 高木 信一, 竹中 充, “等長光クロスバーアレイを用いた深層学習の推論と学習の実証,” 第84回応用物理学会秋季学術講演会，20p-A201-1，熊

本城ホール, 2023年9月19日–9月23日.

[16] 宮武 悠人, 唐 睿, 牧野 孝太郎, 富永 淳二, 宮田 典幸, 岡野 誠, トープラサートポン カシディット, 高木 信一, 竹中 充, “低挿入損失・不揮発性$Ge_2Sb_2Te_3S_2$強度変調器を用いた光行列演算,” 第84回応用物理学会秋季学術講演会, 20p-A201-5, 熊本城ホール, 2023年9月19日–9月23日.

[17] 横川 凌, 前田 唯葉, 寿川 尚, Chen Chia-Tsong, Toprasertpong Kasidit, 竹中 充, 高木 信一, 小椋 厚志, “極薄膜GOI pMOSFETに印加される異方性二軸応力のチャネル方向依存性,” 第84回応用物理学会秋季学術講演会, 23p-A602-11, 熊本城ホール, 2023年9月19日–9月23日.

[18] 前田 唯葉, 横川 凌, 寿川 尚, Chia-Tsong Chen, Kasidit Toprasertpong, 竹中 充, 高木 信一, 小椋 厚志, “極薄膜(100)SGOI p-MOSFETのチャネル領域における異方性二軸応力のチャネル幅依存性,” 第84回応用物理学会秋季学術講演会, 23p-A602-12, 熊本城ホール, 2023年9月19日–9月23日.

[19] 名幸 瑛心, トープラサートポン カシディット, 中根 了昌, 竹中 充, 高木 信一, “FeFETの基板端子へのパルス入力によるリザバーコンピューティング性能向上,” 第84回応用物理学会秋季学術講演会, 22a-A302-7, 熊本城ホール, 2023年9月19日–9月23日.

[20] 鈴木 陸央, トープラサートポン カシディット, 名幸 瑛心, 中根 了昌, 竹中 充, 高木 信一, “nチャネルFeFETとpチャネルFeFETの組み合わせによるリザバーコンピューティング性能の向上,” 第84回応用物理学会秋季学術講演会, 22a-A302-8, 熊本城ホール, 2023年9月19日–9月23日.

[21] 赤澤 智熙, 隅田 圭, モンフレ ステファン, ブフ フレデリック, トープラサートポン カシディット, 高木 信一, 竹中 充, “InP/Siハイブリッド光パワーモニタとMOS型光位相シフタの一体集積,” 第84回応用物理学会秋季学術講演会, 21a-A308-6, 熊本城ホール, 2023年9月19日–9月23日.

[22] 藤田 将大, 唐 睿, 湯 涵智, トープラサートポン カシディット, 高木 信一, 竹中 充, “FeFET駆動型不揮発性ハイブリッドMOS 位相シフタの Endurance・Retention 特性,” 第84回応用物理学会秋季学術講演会, 21a-A308-10, 熊本城ホール, 2023年9月19日–9月23日.

[23] 大友 将樹, トープラサートポン カシディット, 竹中 充, 高木 信一, “HZO-FeFETにおける読み出し動作の積算が分極状態に与える影響,” 第84回応用物理学会秋季学術講演会, 22a-A201-11, 熊本城ホール, 2023年9月19日–9月23日.

[24] C. Zhang, Z. Zhao, R. Tang, T. Akazawa, Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, “Germanium microring resonator avalanche photodiode for 2 μm wavelengths on Ge-on-insulator platform,” 第84回応用物理学会秋季学術講演会, 20p-A201-13, 熊本城ホール, 2023年9月19日–9月23日.

[25] X. Han, C.-T. Chen, K. Sumita, K. Toprasertpong, M. Takenaka, and S. Takagi, “Performance enhancement of extremely-thin Body (111) Ge-on-insulator nMOSFETs by using flipped substrate process,” 第84回応用物理学会秋季学術講演会, 20a-A304-8, 熊本城ホール, 2023年9月19日–9月23日.

[26] Z. Liu, K. Toprasertpong, M. Takenaka, and S. Takagi, “Impact of HZO Scaling in FeFET on the electrical characteristics,” 第84回応用物理学会秋季学術講演会, 22a-A201-12, 熊本城ホール, 2023年9月19日–9月23日.

[27] Z. Cai, K. Toprasertpong, M. Takenaka, S. Takagi, “Influence of electric field during holding time on imprint characteristics in $Hf_{0.5}Zr_{0.5}O_2$ MFM Capacitors,” 第84回応用物理学会秋季学術講演会, 22a-A201-9, 熊本城ホール, 2023年9月19日–9月23日.

[28] 高木信一, 隅田圭, 姜旼秀, 陳家聰, トープラサートポン カシディット, 竹中充, “表面ラフネス散乱の非線形モデルにより決定されるSi nMOSFETの電子移動度の妥当性と極薄膜チャネル材料の最適設計,” 第87回半導体・集積回路技術シンポジウム, 東京理科大学森戸記念館, 2023年8月30日–31日（招待講演）.

[29] 唐 睿, 田之村 亮汰, 種村 拓夫, 岡野 誠, トープラサートポン カシディット, 中野 義昭, 高木 信一, 竹中 充, “光演算と情報処理に向けたシリコンフォトニクス回路,” 電子情報通信学会光集積及びシリコンフォトニクス研究会（PICS), 東京大学 駒場リサーチキャンパス, 2023年6月30日（招待講演）.

[30] 隅田圭, 姜旼秀, 陳家驄, トープラサートポンカシディット, 竹中充, 高木信一, “表面ラフネス散乱の非線形モデルに基づく極薄膜nMOSFETのチャネル材料と面方位の最適設計,” 電子情報通信学会シリコン材料・デバイス研究会（SDM), 広島大学 ナノデバイス研究所, 2023年6月26日（招待講演）.

内田研究室

研究論文

[1] M. S.-Y. Chou, H. Masai, M. Otani, H. V. Miyagishi, G. Sakamoto, Y. Yamada, Y. Kinoshita, H. Tamiaki, T. Katase, H. Ohta, T. Kondo, A. Nakada, R. Abe, T. Tanaka, K. Uchida, J. Terao, “Efficient electrocatalytic H2O2 evolution utilizing electron-conducting molecular wires spatially separated by rotaxane encapsulation,” Appl. Catal. B, 327, 122373, 2023. doi: 10.1016/j.apcatb.2023.122373

[2] Y. Hamanaka, T. Tanaka, and K. Uchida, “Alkyl-Chain-Length and Temperature Dependencies of Sensor Responses to Aliphatic Alcohols in Nanostructured Pt-Based Sensors,” ACS Appl. Nano Mater., 6, 16433-16441, September 11, 2023. doi: 10.1021/acsanm.3c02676

[3] M. Tada, K. Okamoto, T. Tanaka, M. Miyamura, H. Ishikuro, K. Uchida, and T. Sakamoto, “A 65nm Cryogenic CMOS Design and Performance at 4.2K for Quantum State Controller Application,” J. Elec. Dev. Soc., 12, 28-33, 2024. doi: 10.1109/jeds.2023.3340136Matsumura, T. Tanaka, K. Uchida, “Experimental study on shallow and deep dopant properties at the interface of PtOx/ZnO Schottky diodes,” *Jpn. J. Appl. Phys.*, 61, SD1031, May 20, 2022. doi: 10.35848/1347-4065/ac54f3

[4] T. Kato, T. Tanaka, and K. Uchida, “Detection of PPB-Level H2S Concentrations in Exhaled Breath Using Au Nanosheet Sensors with Small Variability, High Selectivity, and Long-Term Stability,” ACS Sens., 9, 2, 708-716, 2024. doi: 10.1021/acssensors.3c01944

[5] R. Toyoshima, T. Tanaka, T. Kato, H. Abe, K. Uchida, and H. Kondoh, ” Understanding of a Pt thin-film H2 sensor under working conditions by AP-XPS and XAFS,” Chem. Lett., 53, 2, upad031, 2024, doi: 10.1093/chemle/upad031

[6] C.-W. Pai, K. Uchida, M. Tada, and H. Ishikuro, “Design and analysis of a high-speed low-power comparator with regeneration enhancement and through current suppression techniques from 4 K to 300 K in 65-nm Cryo-CMOS,” Microelectronics Journal, 144, 106066, 2024. doi: 10.1016/j.mejo.2023.106066

[7] Y. Fujiki, T. Tanaka, K. Yakabe, N. Seki, M. Akiyama, K. Uchida, and Y.-G. Kim, “Hydrogen gas and the gut microbiota are potential biomakders for the development of experimental colitis in mice,” Gut Microbiome, 5, e3, 1012, 2024. doi: 10.1017/gmb.2023.17

[8] 田中貴久, 内田建,「イオン液体と多電極構造から成る集積化ガスセンサを用いた多成分の微量ガス検出」, 応用物理, 第92巻, 第7号, p416, 2023年.

国際会議論文

[1] T. Kato, T. Tanaka, H. Miyagishi, J. Terao, K. Uchida, “Study on sub-100-nm-scale measurement of temperature distribution in Joule-heated Au nanosheet gas sensors using self-assembled monolayers as temperature probes,” 7th IEEE Electron Device Technology and Manufacturing (EDTM) Conference 2023, Seoul, Republic of Korea, Mar. 9, 2023. doi: 10.1109/EDTM55494.2023.10103112

[2] Y. Narita, T. Tanaka, K. Uchida, “Low-resistance (NH4)xWO3 Nanowire Sensors for Acetone Recognition Operating at Low Voltage with Low Power Consumption,” 7th IEEE Electron Device

Technology and Manufacturing (EDTM) Conference 2023, Seoul, Republic of Korea, Mar. 8, 2023 (This paper won the "Best Student Paper Award"!) doi: 10.1109/EDTM55494.2023.10102994

[3] T. Sakamoto, M. Miyamura, K. Funahashi, M. Tada, K. Uchida, H. Ishikuro, "Gate-Length Dependent Variability of nMOSFET at Cryogenic Temperatures," 2023 International Conference on Solid State Devices and Materials (SSDM), F-1-01, Nagoya, Japan, Sep. 6, 2023.

[4] T. Kato, T. Tanaka, K. Uchida, "Thermal-aware design of metal nanosheet sensors for low-energy, highly sensitive hydrogen sulfide nanoscale sensors," 2023 International Conference on Solid State Devices and Materials (SSDM), A-2-02, Nagoya, Japan, Sep. 6, 2023.

[5] H. Numata, N. Iguchi, M. Tanaka, K. Okamoto, S. Miura, K. Uchida, H. Ishikuro, T. Sakamoto, and M. Tada, "Superconducting Nb Interconnects for Cryo-CMOS and Superconducting Digital Logic Applications," ADMETA Plus 2023, Tokyo, Japan, Oct. 12, 2023.

[6] Y. Taniguchi, T. Kato, Y. Hamanaka, T. Tanaka, and K. Uchida, "Experimental and Simulation Studies of Acetone Detection by Pt-Au Nanofilm Sensors," 244th ECS Meeting, Gothenburg, Sweden, Oct. 8, 2023.

[7] K. Uchida, "Low-energy Sensors for Internet-of-Things (IoT)," 2023 IEEE Taipei Blockchain (ITBC) Forum, National Taiwan University, Taipei, Taiwan, Nov. 11, 2023 (Invited). T. Tanaka, K. Okamoto, M. Tada, K. Uchida, "Stochastic modeling of cryogenic and room temperature operation of ReRAM," 35th International Microprocess and Nanotechnology Conference, Tokushima, Japan, Nov. 10, 2022.

シンポジウム・研究会・大会等発表

[1] 加藤太朗，田中貴久，内田建，「熱配慮設計に基づいた低エネルギー硫化水素センサ」，第84回応用物理学会秋季学術講演会，熊本，9.2 ナノ粒子・ナノワイヤ・ナノシート , 19a-A309-5, 2023年9月19日.

[2] 成田雄紀，田中貴久，内田建，「低電圧下において低消費電力駆動が可能な低抵抗(NH4)xWO3ナノワイヤアセトンセンサ」，第84回応用物理学会秋季学術講演会，熊本，9.2 ナノ粒子・ナノワイヤ・ナノシート , 19a-A309-4, 2023年9月19日.

[3] 吉永啓人，宮尾知寿，田中貴久，石黒仁揮，多田宗弘，内田建，「極低温におけるpn接合ダイオードの特性」，第84回応用物理学会秋季学術講演会，熊本，13.5 デバイス／配線／集積化技術 , 21a-A304-8, 2023年9月21日.

[4] 谷口雄麻，加藤太朗，濱中悠輔，田中貴久，内田建，「PtAu合金ナノシートによるアセトンセンシングと原子シミュレーションを用いた応答機構解析」，第84回応用物理学会秋季学術講演会，熊本，9.2 ナノ粒子・ナノワイヤ・ナノシート , 19a-A309-3, 2023年9月19日.

[5] 谷口雄麻，加藤太朗，濱中悠輔，田中貴久，内田建，「PtAu合金ナノシートによる水素検知と原子シミュレーションを用いた応答機構解析」，第71回応用物理学会春季学術講演会，東京，9.2 ナノ粒子・ナノワイヤ・ナノシート , 25a-31B-2, 2024年3月25日（講演奨励賞受賞記念講演）.

染谷研究室

研究論文

[1] Yu Kato, Kenjiro Fukuda, Takao Someya, and Tomoyuki Yokota, "An ultra-flexible temperature-insensitive strain sensor," Journal of Materials Chemistry C, Vol. 11, No. 41, pp. 14070-14078 (2023). [DOI: 10.1039/D3TC02960C]

[2] Sungjun Park, Masahito Takakuwa, Kenjiro Fukuda, Sunghoon Lee, Tomoyuki Yokota, and Takao Someya, "Toward ultraflexible organic electronic devices," MRS Bulletin, Volume 48, pp. 999-1012 (2023). [DOI: 10.1557/s43577-023-00593-6]

[3] Ruiqi Guo, Wenqing Wang, Masahito Takakuwa, Kenjiro Fukuda, and Takao Someya, "In Silico Design of Freeform Solar Cell Structures from High-Throughput Artificial Intelligence-Generated

Configurations," Solar RRL, Vol. 7, 2300594 (2023). [DOI: 10.1002/solr.202300594]

[4] Haoyang Wang, Wenqing Wang, Jae JoonKim, Chunya Wang, Yan Wang, Binghao Wang, Sunghoon Lee, Tomoyuki Yokota, and Takao Someya, "An optical-based multipoint 3-axis pressure sensor with a flexible thin-film form," Science Advances, Vol. 9 (36), eadi2445 (2023). [DOI: 10.1126/sciadv.adi2445]

[5] Hiroaki Jinno, Sunil B Shivarudraiah, Rasmussen Asbjörn, Gianluca Vagli, Tommaso Marcato, Felix Thomas Eickemeyer, Lukas Pfeifer, Tomoyuki Yokota, Takao Someya, and Chih-Jen Shih, "Indoor Self-Powered Perovskite Optoelectronics with Ultraflexible Monochromatic Light Source," Advanced Materials, Vol, 36 (5), 2304604 (2024). [DOI: 10.1002/adma.202304604]

[6] Md Osman Goni Nayeem, Haoyang Wang, Chihiro Okutani, Wenqing Wang, Chunya Wang, Sunghoon Lee, Tomoyuki Yokota, and Takao Someya, "High power density nanomesh acoustic energy harvester for self-powered systems," Device, Vol. 1 (2), 100050 (2023). [DOI: 10.1016/j.device.2023.100050]

[7] Mohammad Javad Mirshojaeian Hosseini, Yi Yang, Walter Kruger, Tomoyuki Yokota, Sunghoon Lee, Takao Someya, and Robert A. Nawrocki, "270 nm ultra-thin self-adhesive conformable and long-term air-stable complimentary organic transistors and amplifiers," npj Flexible Electronics, Vol. 7, 38 (2023). [DOI: 10.1038/s41528-023-00267-y]

[8] Jiachen Wang, Lulu Sun, Sixing Xiong, Baocai Du, Tomoyuki Yokota, Kenjiro Fukuda, and Takao Someya, "Flexible Solution-Processed Electron-Transport-Layer-Free Organic Photovoltaics for Indoor Application," ACS Applied Materials & Interfaces, Vol. 15 (17), pp. 21314-21323 (2023). [DOI: 10.1021/acsami.3c01779]

[9] Yusaku Tagawa, Sunghoon Lee, Takao Someya, and Tomoyuki Yokota, "A Capacitive Pressure Sensor with Linearity and High Sensitivity over a Wide Pressure Range using Thermoplastic Microspheres," Advanced Electronic Materials, Vol. 9 (9), 2201304 (2023). [DOI: 10.1002/aelm.202201304]

[10] Baocai Du, Kenjiro Fukuda, Tomoyuki Yokota, Daishi Inoue, Daisuke Hashizume, Sixing Xiong, Shinyoung Lee, Masahito Takakuwa, Lulu Sun, Jiachen Wang, and Takao Someya, "Surface-Energy-Mediated Interfacial Adhesion for Mechanically Robust Ultraflexible Organic Photovoltaics," ACS Applied Materials & Interfaces, Vol. 15 (11), pp. 14624–14633 (2023). [DOI: 10.1021/acsami.3c01519]

[11] Yifei Luo, Mohammad Reza Abidian, Jong-Hyun Ahn, Deji Akinwande, Anne M Andrews, Markus Antonietti, Zhenan Bao, Magnus Berggren, Christopher A Berkey, Christopher John Bettinger, Jun Chen, Peng Chen, Wenlong Cheng, Xu Cheng, Seon-Jin Choi, Alex Chortos, Canan Dagdeviren, Reinhold H Dauskardt, Chong-an Di, Michael D Dickey, Xiangfeng Duan, Antonio Facchetti, Zhiyong Fan, Yin Fang, Jianyou Feng, Xue Feng, Huajian Gao, Wei Gao, Xiwen Gong, Chuan Fei Guo, Xiaojun Guo, Martin C Hartel, Zihan He, John S Ho, Youfan Hu, Qiyao Huang, Yu Huang, Fengwei Huo, Muhammad M Hussain, Ali Javey, Unyong Jeong, Chen Jiang, Xingyu Jiang, Jiheong Kang, Daniil Karnaushenko, Ali Khademhosseini, Dae-Hyeong Kim, Il-Doo Kim, Dmitry Kireev, Lingxuan Kong, Chengkuo Lee, Nae-Eung Lee, Pooi See Lee, Tae-Woo Lee, Fengyu Li, Jinxing Li, Cuiyuan Liang, Chwee Teck Lim, Yuanjing Lin, Darren J Lipomi, Jia Liu, Kai Liu, Nan Liu, Ren Liu, Yuxin Liu, Yuxuan Liu, Zhiyuan Liu, Zhuangjian Liu, Xian Jun Loh, Nanshu Lu, Zhisheng Lv, Shlomo Magdassi, George G Malliaras, Naoji Matsuhisa, Arokia Nathan, Simiao Niu, Jieming Pan, Changhyun Pang, Qibing Pei, Huisheng Peng, Dianpeng Qi, Huaying Ren, John A Rogers, Aaron Rowe, Oliver G Schmidt, Tsuyoshi Sekitani, Dae-Gyo Seo, Guozhen Shen, Xing Sheng, Qiongfeng Shi, Takao Someya, Yanlin Song, Eleni Stavrinidou, Meng Su, Xuemei Sun, Kuniharu Takei, Xiao-Ming Tao, Benjamin CK Tee, Aaron Voon-Yew Thean, Tran Quang Trung, Changjin Wan, Huiliang

Wang, Joseph Wang, Ming Wang, Sihong Wang, Ting Wang, Zhong Lin Wang, Paul S Weiss, Hanqi Wen, Sheng Xu, Tailin Xu, Hongping Yan, Xuzhou Yan, Hui Yang, Le Yang, Shuaijian Yang, Lan Yin, Cunjiang Yu, Guihua Yu, Jing Yu, Shu-Hong Yu, Xinge Yu, Evgeny Zamburg, Haixia Zhang, Xiangyu Zhang, Xiaosheng Zhang, Xueji Zhang, Yihui Zhang, Yu Zhang, Siyuan Zhao, Xuanhe Zhao, Yuanjin Zheng, Yu-Qing Zheng, Zijian Zheng, Tao Zhou, Bowen Zhu, Ming Zhu, Rong Zhu, Yangzhi Zhu, Yong Zhu, Guijin Zou, and Xiaodong Chen, "Technology Roadmap for Flexible Sensors," ACS Nano, Vol. 17 (6), pp. 5211–5295 (2023). [DOI: 10.1021/acsnano.2c12606]

[12] Steven I. Rich, Masahito Takakuwa, Kenjiro Fukuda, and Takao Someya, "Simple Method for Creating Hydrophobic Ultraflexible Photovoltaics," ACS Applied Materials & Interfaces, Vol. 15, pp. 12495–12501 (2023). [DOI: 10.1021/acsami.2c18941]

[13] Theodorus Jonathan Wijaya, Tomoyuki Yokota, Sunghoon Lee, Ryo Okano, Masaki Kobayashi, Takao Someya, "Photostability Improvement of Organic Photodiodes with ZnO Electron Transport Layer," Advanced Photonics Research, Vol. 4 (3), 2200355 (2023). [DOI: 10.1002/adpr.202200355]

国際会議論文

[1] (Invited) Tomoyuki Yokota, Kenjiro Fukuda and Takao Someya, "Air-Stable Ultra-Flexible Organic Photonic System for Health Care Application," 2023 MRS Spring Meeting & Exhibit, San Francisco, the Moscone Center West, 4, 2023.

[2] (Invited) Takao Someya, Akihito Miyamoto, Hiroshi Kawasaki, Sunghoon Lee, Tomoyuki Yokota and Masayuki Amagai, "Recent Progress of Nanomesh Electrodes for Continuous Monitoring of Skin Electrical Resistance," 2023 MRS Spring Meeting & Exhibit, San Francisco, the Moscone Center West, 4, 2023.

[3] (Invited) Sunghoon Lee, Tomoyuki Yokota, Takao Someya, "Ultrathin organic transistors toward next-generation skin electronics," International Conference on Semiconductor Technology for Ultra Large Scale Integrated Circuits and Thin Film Transistor (ULSIC VS TFT 8), Grand Park Hotel Otaru, 5, 2023.

[4] (Plenary) Takao Someya, "Electronic skins for robotics and wearables," The 33th International Conference on Molecular Electronics and Devices (IC ME&D 2023), Oryong Hall at Gwangju Institute of Science and Technology (GIST), 5, 2023.

[5] (Plenary) Takao Someya, "Electronic Skins for Robotics and Healthcare Applications," 5th IEEE International Flexible Electronics Technology Conference (IFETC) 2023, Silicon Valley DoubleTree by Hilton hotel San Jose, 8, 2023.

[6] (Plenary) Takao Someya, "Electronic skins for robotics and wearables," 16th European Conference of Molecular Electronics (ECME2023), the Municipal Theater Niccolò Piccinni, 10, 2023.

[7] (Invited) Tomoyuki Yokota, Kenjiro Fukuda, Sunghoon Lee, and Takao Someya, "Electronic Skins with Air-Stable Ultraflexible Organic Photonic Devices," 2023 MRS Fall Meeting & Exhibit, Boston, Massachusetts, 11, 2023.

[8] (Plenary) Tomoyuki Yokota, "Ultra-flexible organic electronics for health monitoring," International Conference High Performance Big Data and Intellgent Systems (HDIS2023), Macau, China, 12, 2023.

[9] (Invited) Tomoyuki Yokota, "Sheet-type Image Sensor with Organic Photodetector for Biomedical Imaging and Sensing," The 30th International Display Workshops (IDW2023), TOKI MESSE Niigata Convention Center Niigata, Japan, 12, 2023.

[10] (Plenary) Takao Someya, "Exploring electronic skins: from the past to the future," The 5th International Conference on Flexible Electronics (ICFE2023), Hangzhou, China, 12, 2023.

[11] (Invited) Takao Someya, "Electronic Skins for Sustainability of Society," MRM2023(Materials Research Society of Japan (MRS-J)), Kyoto

International Conference Center, 12, 2023.

[12] (Plenary) Takao Someya, “Electronic skins for robotics and wearables,” Embodied Intelligence Conference 2024, Virtual, 3, 2024.

シンポジウム・研究会・大会等発表

[1] 染谷隆夫, “エレクトリック・スキン ～驚異のセンサーが変える日本の医療,” 21世紀医療DXフォーラム　第5回講義, 21世紀メディカル研究所, 5, 2023. 染谷隆夫, “半導体が切り拓く未来社会～有機半導体の医療応用を例に～,” 榊裕之理事長　文化勲章受賞記念講演会, 奈良教育大学講堂, 5, 2023.

[2] 染谷隆夫, “Continuous monitoring of health conditions with the next-generation wearables,” 第 1 回 UTOPIA シンポジウム, 軽井沢プリンスホテルウエスト, 6, 2023.

[3] 横田知之, “生体センシングに向けた，有機光センサの開発,” 2023年度 M&BE6月研究会「次世代に向けた有機分子・バイオエレクトロニクス最新研究」, 伏尾温泉 不死王閣, 6, 2023.

[4] 染谷隆夫, “Electronic Skin and the Future Society,” JSTさくらサイエンス・ハイスクールプログラム, 渋谷幕張高等学校, 6, 2023.

[5] 染谷隆夫, “医療技術革新は医療をどう変えるのか,” 第1回21世紀医療DXシンポジウム, 21世紀メディカル研究所, 7, 2023.

[6] 佐々木 光生, 李 成薫, 染谷 隆夫, 横田 知之, “貼り付け型電極を用いた有機光検出器の基板の薄膜化による特性向上,” 第84回応用物理学会秋季学術講演会, 熊本城ホール他3会場, 9, 2023.

[7] Theodorus Jonathan Wijaya, Sixing Xiong, Sunghoon Lee, Kenjiro Fukuda, Tomoyuki Yokota, and Takao Someya, “Photostable ultraflexible organic photodiodes using a hybrid electron transport layer,” 第84回応用物理学会秋季学術講演会, 熊本城ホール他3会場, 9, 2023.

[8] Shuyang Guo, Sunghoon Lee, Tomoyuki Yokota, and Takao Someya, “Flexible organic photoplethysmography sensors based on large-area organic photodiodes for long-term pulse wave monitoring,” 第84回応用物理学会秋季学術講演会, 熊本城ホール他3会場, 9, 2023.

[9] 高桑 聖仁, 井ノ上 大嗣, 横田 知之, 福田 憲二郎, 森本 雄矢, 染谷 隆夫, “パリレンの低温直接接合を用いた柔軟なマイクロ流路デバイスの作製,” 第84回応用物理学会秋季学術講演会, 熊本城ホール他3会場, 9, 2023.

[10] 多川 友作, 岡谷 泰佑, 小野寺 宏, “滑り転倒防止に向けた簡便かつ安価に滑りを計測可能な靴システム,” 第84回応用物理学会秋季学術講演会, 熊本城ホール他3会場, 9, 2023.

[11] 染谷隆夫, “次世代ウェアラブルデバイスと未来の医療,” 第11回日本腎臓研究会, 経団連会館, 1, 2024.

[12] 染谷隆夫, “次世代半導体デバイスの開発に貢献する分析・計測技術,” 2023堀場雅夫賞審査委員講演会, 堀場エステック, 1, 2024.

[13] 染谷隆夫, “次世代ウェアラブルと長期バイタルサイン計測,” コヴィディエン (Medtronic) 周産期セミナー, 六本木アカデミーヒルズタワーホール, 2, 2024.

[14] 染谷隆夫, “次世代ウェアラブルの医療応用,” 第12回生活習慣病セミナー, MSD株式会社, 3, 2024.

三田研究室

学会誌

[1] Tetsuya Iizuka, Haochen Yuan, Yoshio Mita, Akio Higo, Shun Yasunaga and Motohiko Ezawa, “Experimental demonstration of position-controllable topological interface states in high-frequency Kitaev topological integrated circuits,” *Communications Physics*, vol. 6, Article number: 279 (2023.9) doi: 10.1038/s42005-023-01404-9

[2] Motohiko Ezawa, Shun Yasunaga, Akio Higo, Tetsuya Iizuka, and Yoshio Mita, “Universal quantum computation based on nanoelectromechanical systems,” *Physical Review Research*, vol. 3, iss. 2, pp. 023130 (2023. 5) doi: 10.1103/

PhysRevResearch.5.023130

査読付き国際学会

[3] Ryugo Shimamura, Kei Misumi, Shun Yasunaga, Akio Higo, Ryosho Nakane, and Yoshio Mita, "Nanospires Insulation Penetraor for Reliable On-touch Electrical Connection," *The 37 th International Conference on Micro Electro Mechanical Systems (IEEE MEMS 2024)*, 21-25, January, Austin, Texas, W34-d (2024.01.24)

[4] Shun Yasunaga, Motohiko Ezawa, Keigo Tsuji, Kei Misumi, Tomoki Sawamura, Shinji Tsuboi, Ayako Mizushima, Yukinori Ochiai, Akio Higo, and Yoshio Mita, "Operation of arrayed logic elements for MEMS Ising machine," *The 22nd International Conference on Solid-state Sensors, Actuators and Microsystems (Transducers 2023)*, 26-29 June, Kyoto, Japan, W2D.01 (2023.6.28)

[5] Ryugo Shimamura, Shun Yasunaga, Kei Misumi, Anne-Claire Eiler, Akio Higo, Gilgueng Hwang, Ayako Mizushima, Dongchen Zhu, Kikuo Komori, Yasuyuki Sakai, Hiroshi Toshiyoshi, Agnès Tixier-Mita, and Yoshio Mita, "A bimodal "sensor chiplet" platform applied for albumin and pH multi-chemical sensing," *The 22nd International Conference on Solid-state Sensors, Actuators and Microsystems (Transducers 2023)*, 26-29 June, Kyoto, Japan, T4P.100 (2023.6.27)

[6] Yoshio Mita, Shun Yasunaga, Keigo Tsuji, Akio Higo, Tetsuya Iizuka, anfd Motohiko Ezawa, ""TopoMEMS varicaps" - MEMS comb-drive variable capacitors with tailored stroke-to-capacitance dependence," *25th Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP)*, 29-31 May, Valetta, Malta (2023.5.31)

[7] Yukinori Ochiai and Yoshio Mita, "Advanced Research Infrastructure for Materials and Nanotechnology (ARIM) at The University of Tokyo," *3rd European Nanotechnology Research Infrastracture Symposium (ENRIS 2023)*, 15-17 May, Paris, France (2023.5.17)

[8] Atsushi Toyokura*, Noriko Kawai*, and Yoshio Mita, "Co-operation of Fablab and Super Clean Room with a big number of users: advantages and challenges," *3rd European Nanotechnology Research Infrastracture Symposium (ENRIS 2023)*, 15-17 May, Paris, France (2023.5.17) *: equal contribution

[9] Naonobu Shimamto, Ayako Mizushima, David Bourrier, Etsuko Ota, Akio Higo, Hugues Granier, Atsutake Kosuge, Makoto Ikeda, Tadahiro Kuroda, and Yoshio Mita, "Micron-to-Submicron Cu electroplating in view of Agile-X LSI Chips Fabrication using Open Facility," *3rd European Nanotechnology Research Infrastracture Symposium (ENRIS 2023)*, 15-17 May, Paris, France (2023.5.17)

[10] Etsuko Ota, David Bourrier, Naoto Usami, Ayako Mizushima, Naonobu Shimamoto, Takeshi Momose, Akio Higo, Hugues Granier, and Yoshio Mita, "Technology transfer of supercritical fluid deposition technology from research group to use in open nanotechnology facilities," *3rd European Nanotechnology Research Infrastracture Symposium (ENRIS 2023)*, 15-17 May, Paris, France (2023.5.17)

[11] Ayako Mizushima, Etsuko Ota, Akio Higo, Kuniaki Konishi, and Yoshio Mita, "Long-Term Freestanding Wrinkle-Less SiO_2 Membrane by Stress-Controlled CVD and Subsequent Annealing Treatment," *3rd European Nanotechnology Research Infrastracture Symposium (ENRIS 2023)*, 15-17 May, Paris, France (2023.5.17)

[12] Shun Yasunaga, David Bourrier, Naonobu Shimamoto, Ayako Mizushima, Hugues Granier, and Yoshio Mita, "Chip or Wafer - Small quantity fabrication", *3rd European Nanotechnology Research Infrastracture Symposium (ENRIS 2023)*, 15-17 May, Paris, France (2023.5.15)

その他の講演・シンポジウム

[13] 三田 吉郎「東大拠点1000名の仲間と拓く新規エネルギーマテリアル・デバイス研究の新展開」, マテリアル戦略総合シンポジウム2023 (MatISS2023), 一橋講堂, 東京都 (2024.12.05)

4.5　特許, 受賞等

黒田・小菅研究室

特許

なし

受賞

なし

その他，特記事項

なし

竹内研究室

特許

なし

受賞

[1] IEEE Electron Devices Technology and Manufacturing Conference (EDTM) Best Paper Award “Inter Spike Interval and Stochasticity Engineering of Floating Gate Technology-based Neurons for Spiking Neural Network Hardware”

その他，特記事項

なし

中村研究室

特許

なし

受賞

[1] 小島 拓也：電子情報通信学会 RECONF研究会 優秀講演賞

その他，特記事項

なし

池田研究室

特許

なし

受賞

[1] 2023年12月15日　福田 桃子, 池田 誠「ペアリング演算向けハードウェアの自動設計手法の検討」 2023年ハードウェアセキュリティ研究会若手優秀賞

[2] 2024年5月10日　中村 孔星, 池田 誠 「同種写像ベース耐量子暗号のハードウェア実装に向けた並列化戦略」2023年度若手研究会ポスター奨励賞

その他、特記事項

なし

飯塚研究室

特許

[1] 飯塚 哲也, 竹中 理太郎, 和田 充史, “コンパレータ回路,” 特願2024-041443.

[2] 飯塚 哲也, 中辻 知, “読出回路及び磁気メモリ装置,” 特願2024-036100.

受賞

[1] 優秀ポスター賞（学生部門）
Haoming Zhang, Shuowei Li and Tetsuya Iizuka, “Dynamic Circuit Characterization and Test Structures for its Timing Parameter Extraction,” 電子情報通信学会 LSIとシステムのワークショップ2023, 2023年5月.

[2] 第13回 d.lab-VDECデザインアワード 優秀賞
李 爍煒, “インバータセルによるCDACに基づくスタンダードセルベース逐次比較型A/D変換回路,” 2023年9月.

[3] IEEE Solid-State Circuits Society Outstanding Reviewer Reward, Tetsuya Iizuka, Mar. 2024.

[4] 令和5年度 優秀博士論文賞
長田 将, “Low-Phase-Noise and Low-Spur Fractional-N Phase Locked Loops Employing Harmonic-Mixer-Based Feedback,” 2024年3月.

[5] 令和5年度 優秀修士論文賞
加納 創太, “深宇宙探査機搭載ワンチップトランスポンダの実現に向けたX帯CMOS受信機フロントエンドの設計,” 2024年3月.

[6] 令和5年度 優秀卒業論文賞

濱崎 拓, “深宇宙探査機搭載ワンチップトランスポンダの実現に向けたX帯CMOS送信機フロントエンドの設計,” 2024年3月.

その他，特記事項

なし

平本・小林研究室

特許

国際特許
題目：不揮発性記憶装置
発明者・発案者名：小林正治，李卓，平本俊郎
番号(出願番号/公開番号)：PCT/JP2023/ 19580
年月日：2023年5月25日

国際特許
題目：不揮発性記憶装置
発明者・発案者名：小林正治，李卓，平本俊郎
番号(出願番号/公開番号)：台湾特許出願番号 112120248
年月日：2023年5月31日

国際特許
題目：不揮発性記憶装置
発明者・発案者名：小林正治，李卓，平本俊郎
番号(出願番号/公開番号)：韓国特許出願番号 10-2023-7016235
年月日：2023年5月12日

国際特許
題目：不揮発性記憶装置
発明者・発案者名：小林正治，李卓，平本俊郎
番号(出願番号/公開番号)：中国特許出願番号 202180075646.4
年月日：2023年5月9日

受賞

氏名：Fei Mo, Jiawen Xiang, Xiaoran Mei, Yoshiki Sawabe, Takuya Saraya, Toshiro Hiramoto, Chun-Jung Su, Vita Pi-Ho Hu, Masaharu Kobayashi
受賞名（機関・団体名）：IEEE Electron Devices Society 2022 Leo Esaki Award
授与機関・団体：IEEE EDS
受賞対象の研究題目：Efficient Erase Operation by GIDL Current for 3D Structure FeFETs With Gate Stack Engineering and Compact Long-Term Retention Model
受賞年月日：2023年12月11日

受賞

氏名：Kaito Hikake
受賞名（機関・団体名）：IEEE EDS Japan Joint Chapter Student Award (IEEE Japan Joint Chapter)
授与機関・団体：IEEE EDS Japan Joint Chapter
受賞対象の研究題目：A Nanosheet Oxide Semiconductor FET Using ALD InGaOx Channel and InSnOx Electrode with Normally-Off Operation
受賞年月日：2024年2月16日

受賞

氏名：日掛凱斗
受賞名（機関・団体名）：応用物理学会講演奨励賞(応用物理学会)
授与機関・団体：応用物理学会
受賞対象の研究題目：：3次元集積デバイス応用に向けた原子層堆積法によるInGaOxチャネルナノシートトランジスタ
受賞年月日：2024年3月22日

その他，特記事項

なし

高木研究室

特許

なし

受賞等

[1] 第22回 IEEE EDS Japan Joint Chapter Student Award, 名幸 瑛心

[2] International Conference on Solid State Devices and Materials (SSDM) 2022 Best Student Award (BSA) 陳 家驄

竹中研究室

特許

なし

受賞等

[1] ドコモ・モバイル・サイエンス賞　先端技術部門 優秀賞（2023年10月27日）竹中充

[2] 堀場雅夫賞特別賞（2023年10月17日）竹中充

[3] 工学系研究科長賞（優秀，修士論文）（2024年3月）赤澤　智熙

[4] 電気系工学専攻優秀修士論文賞（2024年3月）赤澤　智熙

[5] 電気系工学専攻優秀博士論文賞（2024年3月）宮武　悠人

[6] 第14回シリコンテクノロジー分科会論文賞受賞（2023年3月19日）

[7] 応用物理学会第55回講演奨励賞（2024年3月22日）唐 睿

内田研究室

受賞

[1] 第84回応用物理学会秋季学術講演会講演奨励賞（谷口　雄麻，2023年9月19日）

[2] 共創の場形成支援プログラム (COI-NEXT) 川崎拠点プロジェクトCHANGEリトリート合宿2023　Special Award（加藤　太朗グループ，2023年10月28日）

[3] 共創の場形成支援プログラム (COI-NEXT) 川崎拠点プロジェクトCHANGEリトリート合宿2023　Excellent Award（成田　雄紀グループ，2023年10月28日）

特許

なし

その他，特記事項

なし

染谷研究室

特許

[1] 染谷隆夫，横田知之，李成薫，汪浩洋，「圧力センサ」，特願2023-134408, 2023年8月22日出願．

[2] 染谷隆夫，横田知之，長岡浩，吉田友毅，野村泰瑛，特願2024-004853,
「電気接続部品および電子装置」特願2024-004853, 2024年1月16日出願

受賞

[1] 多川友作，Best Oral Presentation Award, “A Flexible Capacitive Pressure Sensor with Linearity and High Sensitivity over a Wide Pressure Range using Thermoplastic Microspheres,” 第五回フレキシブル・ストレッチャブルエレクトロニクス若手研究者（FSE若手），2023年5月

[2] 横田知之，Best　Paper Award, “Sheet-type Image Sensor with Organic Photodetector for Biomedical Imaging and Sensing,” IDW’23, 2024年1月

[3] 横田知之，第27回丸文学術賞，「生体に密着した撮像素子など超柔軟有機半導体センサシステムの開拓」，一般財団法人丸文財団，2024年3月

[4] 福澤亮太，第45回応用物理学会論文奨励賞, “Quantitative capacitance measurements in frequency modulation electrostatic force microscopy,” 公益社団法人応用物理学会, 2024年3月

その他，特記事項

なし

三田研究室

受賞

[1] IEEE MEMS Outstanding Student Poster Presentation Award
Ryugo Shimamura, Kei Misumi, Shun Yasunaga, Akio Higo, Ryosho Nakane, and Yoshio Mita, “Nanospires Insulation Penetrator for Reliable on-Touch Electrical Connection,” 2024年1月

Appendix

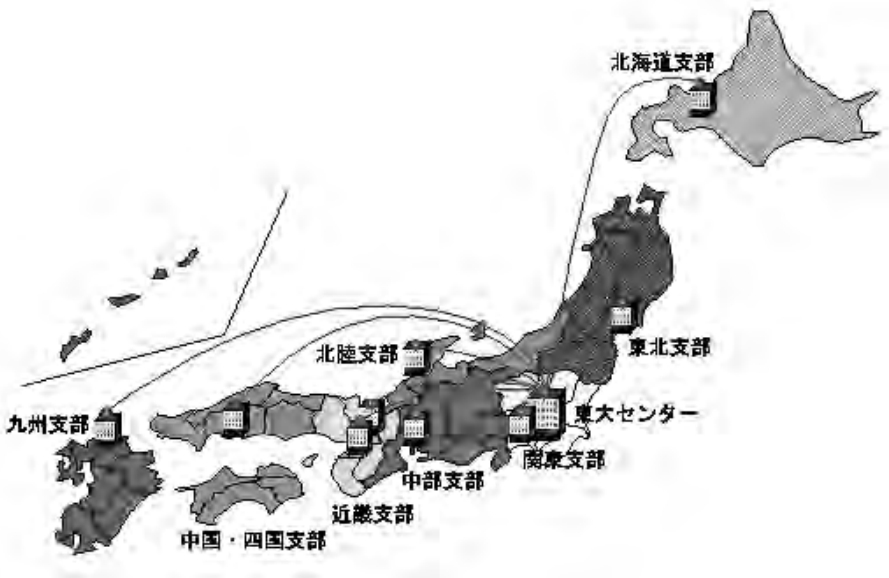
A.1　CADソフトウェアの整備

1996年度から整備を行っているCAD ソフトウエアは，2024年度は表A.1.1に示すツール群を全国の大学に提供している．CADソフトウエアの利用は，図A.1.1に示す全国地域拠点校10 箇所にライセンスサーバを設置し，全国各大学の利用者が手許の計算機にインストールしたCAD ソフトウエアを，最寄のライセンスサーバにおいて認証を行うことで，ネットワークを利用した運用形態となっている．ライセンス数はCADの項目ごとに10 から1000 程度のフローティングライセンスとなっており，全国の国・公・私立大学・高専において教育・研究目的に限り利用できるようになっている．

東京大学VDEC活動を通したVDEC のCAD の利用，および「A.2 章 」のチップ試作の利用のためには，あらかじめユーザ登録が必要となっている．

表A.1.1　導入されたCADシステム

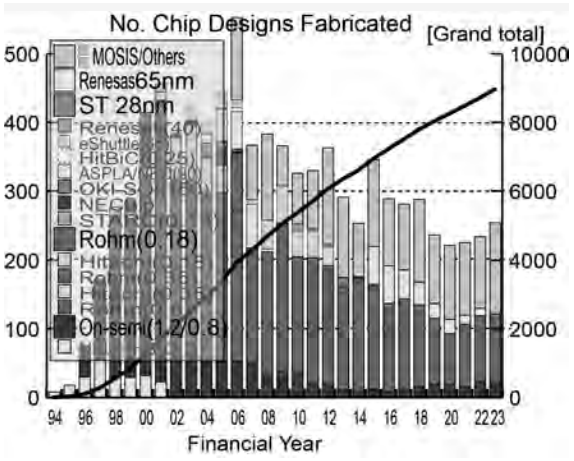
名称	用途	メーカ
Cadence 社設計システム	VerilogHDL/VHDL ベースの入力，シミュレーション，論理合成，テスト生成，マクロセルを含むセルベースの配置配線とバックアノテーション，会話型の回路図およびマスクレイアウト入力，アナログ機能・回路シミュレーション，設計検証，回路抽出	Cadence Design Systems, Inc.
Synopsys 社設計システム	VerilogHDL/VHDL シミュレーション，論理合成，テスト生成。マクロセルを含むセルベースの配置配線設計とバックアノテーション，回路シミュレーション，デバイスシミュレーション	Synopsys, Inc.
Siemens社設計ツール	レイアウトのデザインルールチェック及び検証	Siemens Electronic Design Automation Japan K.K.
Silvaco社設計ツール	高速回路シミュレーション	Silvaco Japan Co., Ltd.
ADS/Golden Gate	通信機器や関連デバイスなどの高周波回路/システムの設計、検証	Keysight Technologies
Bach	BachC言語での設計	Sharp
LAVIS	レイアウト表示プラットフォーム	TOOL



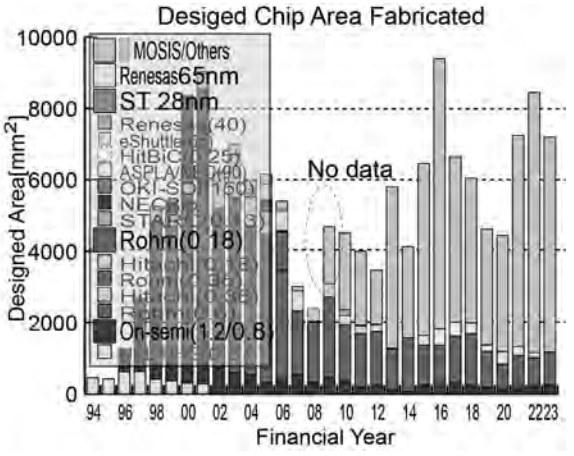
図A.1.1　全国地域拠点校

A.2　基盤設計研究部門におけるチップ試作支援の実施状況

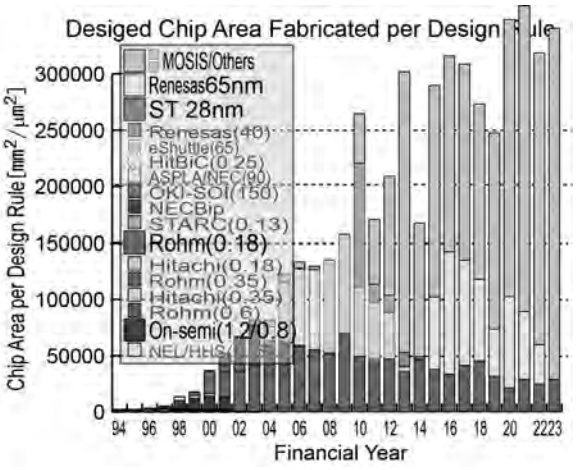
VLSIチップ試作支援に関しては,平成6，7年度（1994，1995年度）のパイロットプロジェクトでは，ファウンドリはNEL社のCMOS0.5μm（当該プロセスはその後日立北海セミコンダクタ社に継続）1社であったが，平成8年度（1996年度）のVDEC発足後，日本モトローラ社のCMOS1.2μm（平成11年度からは，オン・セミコンダクターにて継続）が協力を開始し，平成9年度からはローム社のCMOS0.6μmが加わった．さらに平成10年度には日立製作所のCMOS0.35μm，平成11年度にはローム社0.35μmがそれぞれ加わった．また，IP開発プロジェクトの一環としてSTARC0.13μmの試作を行った．平成13年度から，日立製作所のCMOS0.18μmのサービスを実施している．平成14年度は，広島大学岩田先生の主導の下に，VDECとMOSISの協力による試作サービスを試行的に実施した．これは，TSMC，IBMといった海外のファブをMOSISを経由することで格安で提供するものである．さらに，東京大学柴田先生主導の元に，NEC化合物デバイス株式会社によるバイポーラLSIの試作サービスも行った．平成16年からテスト試作として沖電気CMOS SOI 0.15μmプロセスおよびASPLA 90nmプロセスの試作を開始し，90nm試作については平成17年度より通常の試作として公募の形で運用．平成18年度からはローム社0.18μmの試作を開始し，日立製作所0.25μmSiGeBiCMOSのテスト試作を実施した．平成19年度で終了した90nmCMOSの後継の先端プロセスの検討を平成19年度から開始し，平成20年度にeShuttle社の65nm CMOSによる試作を開始した．さらに経済産業省-STARCのプロジェクト「次世代半導体回路アーキテクチャ実用化支援事業」の一環として，ルネサスエレクトロニクス社の40nm CMOSによる試作も開始した．一方で平成23年9月試作をもってCMOS1.2μmを終了することとなったほか，平成24年度をもってルネサスエレクトロニクス社の40nm CMOS 試作が終了，平成25年8月シャトルをもってeShuttle社の65nm CMOS試作が終了した．CMOS1.2μmの後継として，オンセミー三洋半導体製造社（現在はJS Foundry）の協力により平成24年10月にCMOS0.8μmのテスト試作を実施し，平成25年度から定常試作として継続している．最先端試作としては，平成25年度からフランスCMPを介してSTマイクロ社FD-SOI 28nm CMOS試作を開始．また，平成27年度から定常試作として，ルネサスエレクトロニクス社SOTB 65nm CMOS試作を開始し，令和4年7月試作をもって終了した．ま



(a) 設計チップ品種数



(b) 設計チップ面積



(c) 規格化した設計チップ面積

図A.2.1　チップ試作数・面積推移

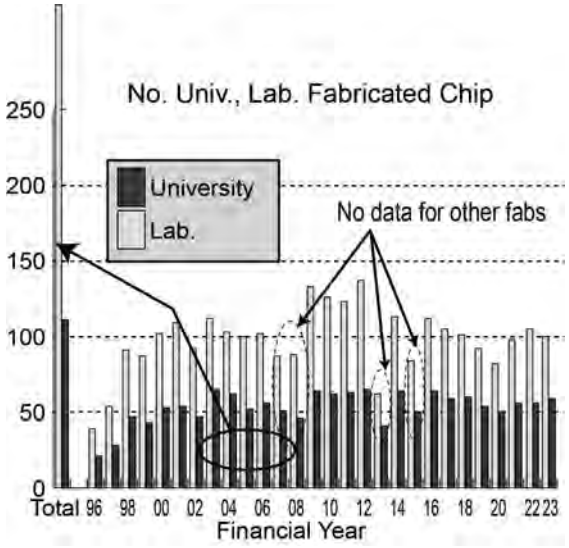
た平成28年度にリコー電子デバイス株式会社によるCMOS 0.6um高耐圧試作の検討および，三重富士通株式会社による CMOS 40nm試作の検討を開始した．令和2年度にはドイツIHP社との協定により BiCMOS0.18μm試作の検討を開始し，令和3年度に最初のテープアウトを実施した．

図A.2.1（a）は設計されたチップ品種数を示す．図中の棒グラフは，試作品種数の順調な増加を表しており，VLSI試作研究・教育に直接的に係わった学生数を表しているものと考えられることから，研究・教育効果が劇的に向上していることが想像される．試作されたチップの品種数は，平成14年度に減少しているが，これはROHM社の0.6umプロセスを終了したことによる減少が考えられる．またそれ以降ほぼ400品種程度で推移しているが，その中でより微細なプロセスへ試作の中心が推移していることが読み取れる．また平成18年度に0.35μmが終了し，平成19年度以降0.18μmへの移行したことにより，試作数が130品種程度減少し，さらに平成19年度にASPLA 90nmCMOS試作が終了し，eShuttle 65nmCMOSへの移行に伴う試作数の減少がみられる．

この減少傾向は試作面積においてさらに顕著で，試作プロセスの微細化進展に伴い，集積度が向上することも重なり，試作面積が大幅に減少する結果となっている．図A.2.1（b）に設計されたチップ面積を示す．一方設計量の指標として，図A.2.1（c）に試作面積をそれぞれの試作プロセスにおける特性寸法で規格化した，規格化試作面積の傾向も併せて示す．こちらはまだ増加し続けていることから，プロセスの微細化に伴うチップ当たりおよび面積当たりの設計工数の増大が試作数，試作面積の減少主要因になっていることが考えられる．

また，図A.2.2にこれまでに試作に参加した教員数，大学数の推移およびその累計を示す．また，チップ試作に必要な設計規則などの，試作会社固有の機密情報にアクセスするための「機密保持契約」締結教員数は，ロームの0.18umプロセスが304名，オンセミ三洋 0.8umプロセスが56名となっている．

2022年度は，表A.2.1に示す日程でチップ試作を行った．チップ試作の参加者・試作の内容は，付録Bのチップ試作報告を参照されたい．



図A.2.2　VDECチップ試作参加教員数・大学数の推移とその累計

表A.2.1　2023年度チップ試作日程

CMOS 0.8um(オンセミコンダクター三洋半導体製造)

	試作申込締切	設計締切	納品・試作完了
2023年度第1回	2023/7/3	2023/9/25	2023/12/18
2023年度第2回	2024/1/9	2024/3/25	2024/6/24

CMOS 0.18um(ローム)

	試作申込締切	設計締切	納品・試作完了
2023年度第1回 (2023年7月試作)	2023/4/3	2023/6/26	2023/10/13
2023年度第2回 (2023年9月試作)	2023/6/12	2023/9/4	2023/12/16
2023年度第3回 (2023年11月試作)	2023/7/31	2023/10/23	2024/2/9
2023年度第4回 (2024年3月試作)	2023/12/4	2024/2/26	2024/6/7

A.3　セミナー

LSI 設計技術の向上にはセミナーは欠くことができない存在である．令和5年度にも，CAD 利用のための技術セミナーを開催した．社会人のためのリフレッシュセミナーは今年度は実施しなかったが，若手教官・学生のためのデザイナーズフォーラムを企画，実施した．

A.3.1　VDECユーザ向けCAD セミナー

CAD 技術セミナーへの参加要望は常に非常に大きく，これは CAD 技術セミナーに対する需要が依然として大きなことを表しており，VDEC はこの状況に対応し，大規模な CAD 技術セミナー開催の仕組みの整備を行ってきた．CAD 利用のための技術セミナーでは，VDEC で使用可能なCadence，Synopsys，Keysight などCADベンダーのそれぞれのCAD ツールの操作方法等を各ツールベンダーから講師を派遣していただき講習を行っている． 今年度はオンラインで1回開催した．一つのツールの講習は1日や2日間となっている．教員・学生は本講習会を通して最新版CADツールの使用方法や VDEC ライブラリを用いた VLSI 設計フローを修得している．

表A.3.1　令和5年度 CAD 技術セミナー開催状況

第1回CAD講習会

日程	夏の講習会	場所	申込人数
8/17	Cadence Virtuoso Schematic	オンライン	35
8/18	Cadence Virtuoso Layout	オンライン	37
8/22	Cadence Voltus-Fi	オンライン	10
8/30	Keysight EMPro-FEM	オンライン	20
9/4	Cadence Quantus	オンライン	15
9/14	Cadence Spectre	オンライン	26
9/15	Synopsys: PrimeSim SPICE/HSPICE	オンライン	11
9/28	Synopsys: ICC2 Q&A ミーティング	オンライン	1
～9/30	Synopsys: ICC2	オンデマンド	21

第2回CAD講習会

日程	春の講習会	場所	申込人数
3/11	Keysight ADS Fundamental	オンライン	28
3/15	Synopsys Design Compiler & IC Compiler II Q&A	オンライン	13
3/15	Synopsys StarRC Q&A	オンライン	11
3/21	Cadence Virtuoso Layout Editor	オンライン	51
3/22	Cadence Innovus Digital Implementation System	オンライン	23
3/25	Cadence Clarity 3D Solver	オンライン	16
3/26	Synopsys Sentaurus Q&A	オンライン	12
～3/31	Synopsys Design Compiler	オンデマンド	29
～3/31	Synopsys IC Compiler II	オンデマンド	22
～3/31	Synopsys StarRC	オンデマンド	24
～3/31	Synopsys Sentaurus Basic & Post Basic	オンデマンド	18
～3/31	Synopsys Photonics Solutions	オンデマンド	14

A.3.2　社会人・大学向けリフレッシュセミナー

今年も集積回路産業に携わる職業人を対象にリフレッシュ教育としてVLSI 設計に関する最新かつ高度の知識・技術の習得を目的として，社会人向けの「VLSI 設計リフレッシュセミナー」を拠点大学教官および企業の第一線の設計者を講師に招き開催した（表A.3.2）.

このセミナーは主に社会人を対象として，演習を伴う最新のVLSI 設計技術の実践的教育を行うもので，平成 10 年度に文部省専門教育課の支援のもとでスタートしたが，日本応用物理学会，情報処理学会，電子情報通信学会，IEEE Solid-State Circuits Society（Japan Chapter，Kansai Chapter）の協賛をあわせて得ることができ，大変効果的で有意義なセミナーとなった.

表A.3.2　リフレッシュセミナー開催状況

日程	コース	内容	講師	参加人数
8/28, 29	コース VD : d.lab-VDEC 環境でのデジタル設計	VDEC連携提供したツールとプロセスでのデジタル設計フロー	小林 和淑 （京都工芸繊維大学） 岸田亮（富山県立大学） 西澤真一（早稲田大学）	8
8/31, 9/1	コースVT: d.lab-VDEC 環境でのトランジスタレベル設計	VDEC連携提供したツールとプロセスでのカスタマイズ設計フロー	名倉 徹 （福岡大学）	7
9/5, 6	コース M1 : MEMS設計演習コース	MEMSの基礎，電子回路との融合・統合シミュレーション，レイアウト設計実習（CADアートワーク）	三田 吉郎 （東京大学）	6
9/11,12,13	コース M2 : MEMS設計試作コース	面内振動型のMEMSマイクロアクチュエータ素子設計，武田先端知《クラス1》スーパークリーンルーム」での試作，測定	三田 吉郎 （東京大学）	4
9/20, 21, 22	コース A : アナログ集積回路設計と演習	回路設計，回路シミュレーション アナログ集積回路の特徴と役割 レイアウト設計, 検証(DRC，LVS)	杉本泰博（中央大学） 飯塚哲也（東京大学） 小谷光司（秋田県立大学）	14
9/25, 26	コース R : CMOS-RF 集積回路設計と演習	変復調，多次元接続方式 回路の基本性能， トランシーバアーキテクチャ 要素回路，設計フロー	伊藤 浩之 （東京工業大学）	6

図A.3.1　リフレッシュ教育会場風景（東大VDECセミナー室）

A.3.3　大学向けデザイナーズフォーラム

学生および若手教官を対象としたVDEC LSI デザイナーフォーラム（VDEC　Designers Forum）を開催している．VDEC LSI デザイナーフォーラムは，LSI設計者が，互いの研究成果だけではなく，チップ設計で苦労した点，失敗事例と解決策，研究室に於ける設計環境の構築法など，通常の研究会や学会などでは得ることのできない情報を共有し，大学または研究室の枠を越えて研究者が連携を深めることを目的としている．今回もメイン会場とのハイブリッド開催となった．

表A.3.3　令和5年度デザイナーズフォーラムプログラム

9/29-30 現地 / ハイブリッド開催　参加人数 現地29人, オンライン 2名

9/29

13:00-	現地会場受付（オンライン入室開始）
13:30-13:35	開会　挨拶 挨拶，趣旨の紹介（東京大学 d.lab-VDEC 池田誠 教授）
13:35-14:35	基調講演 井上 弘士先生　（九州大学　教授） タイトル：分野間連携で世界にはばたく研究を！～若手研究者の皆さんへのメッセージ～
14:35-14:45	休憩
14:45-16:05	d.lab-VDECデザインアワード発表会..1（20分×4名）
16:05-16:10	休憩
16:10-17:55	d.lab-VDECデザインアワード発表会..2（20分×5名）

9/30

9:00-10:15	d.lab-VDECデザインアワード（アイデアコンテスト部門）発表会（15分×5名）
10:15-10:25	休憩
10:25-11:35	PhDセッション
11:35-	アイデアコンテスト表彰式 デザインアワード表彰式 IEEE SSCS Japan Chapter賞授与式 閉会　挨拶

A.4　VDEC発ベンチャー

VDECでの設計/試作経験，人材育成が有効には機能した事例といたしまして，VDECと関連があった（ある）教員が起業したベンチャー企業のリスト(順不同)を以下に示します．

[1] エイ・アイ・エル株式会社　(http://www.ailabo.co.jp/)

代表の先生：　神戸大学　瀧 和男 教授　（同社，代表取締役社長）

事業内容　：　(1) LSI設計受託開発・
(2) エンジニア派遣
(3) 人材の紹介
(4) 経営コンサルティング業務

[2] 株式会社シンセシス

(2017年7月1日に株式会社ソリトンシステムズと合併，https://www.soliton.co.jp)

代表の先生：　大阪大学　白川 功 名誉教授　（同社，取締役）

事業内容　：　(1) システムLSI開発・設計受託
(2) IP開発及び販売
(3) システムソリューション提供
(4) 設計支援ツール開発及び販売

[3]エイシップ・ソリューションズ株式会社　(https://asip-solutions.com/)

代表の先生：　大阪大学　今井 正治 教授　（同社，代表取締役 CTO）

事業内容　：　(1) IoT応用システムの研究，開発，教育およびコンサルテーション
(2) ASIP設計ツールの販売，ASIP開発のコンサルテーション

[4] 株式会社ナノデザイン　(http://www.nanodesign.co.jp/)

代表の先生：九州工業大学　中村 和之 教授　（同社，代表取締役）

事業内容　：　(1) 大規模半導体集積回路（LSI）の設計・開発
(2) LSI設計用CAD，及びLSI評価用装置の開発
(3) 設計コンサルティング，他

[5] 株式会社エイアールテック　(http://www. a-r-tec.jp/)

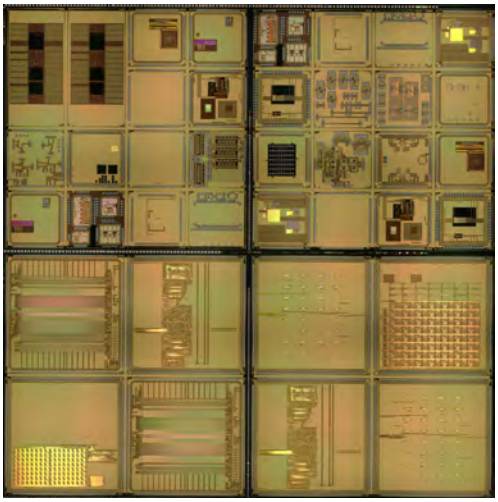
代表の先生：広島大学　岩田 穆 名誉教授　（同社，代表取締役）

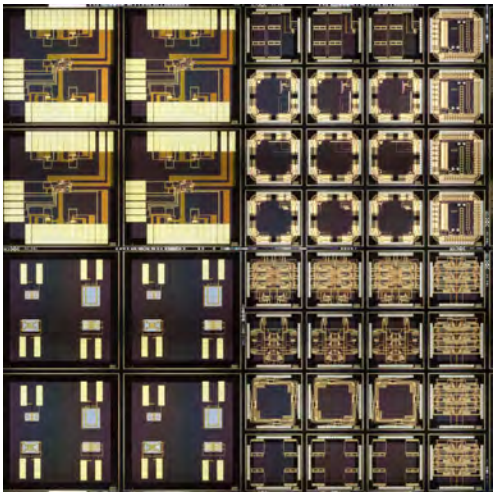
事業内容　：　(1) アナログ回路設計・測定
(2) 基板雑音解析
(3) 人材育成やOJT，講習会

[6] 有限会社 石島電子技研　(http://ishi.main.jp/)

事業内容　：　(1) 電子回路・基板開発
(2) ソフトウエア開発
(3) コンサルティング

B. チップ試作結果報告





B.1　試作ラン別一覧

令和4年度第2回オンセミコンダクター―三洋 CMOS 0.8um 試作

題　名	大　学　名	研　究　者	掲載頁
圧力を加えた際のキャリア移動度変化確認用のTEG	東京電機大学大学院工学研究科 東京電機大学工学部	前澤 龍平 小松 聡	100
静電作動式RF-MEMSスイッチ	東京電機大学工学研究科 東京電機大学工学部	後河内 駿介 小松 聡	100
極低温CMOS回路ノイズ評価TEG	豊田高専電気・電子システム工学科	熊谷 勇喜	100
受容細胞モデルとPVセルを内接したチップ	日本大学理工学部	大隈 井輔, 関山 晃生, LYU SHUXIN, 森下 克幸, 齊藤 健	101
PVセルTEGチップ	日本大学理工学部	大隈 井輔, 関山 晃生, LYU SHUXIN, 森下 克幸, 齊藤 健	101
四足歩行ロボットに搭載する受容細胞モデルを実装したニューロモルフィック回路のTEGチップ	日本大学理工学部	中山 渉, 大隈 井輔, LYU SHUXIN, 森下 克幸, 齊藤 健	101
歩容切り替えが可能なマイクロロボット用TEGチップ	日本大学理工学部	関山 晃生, 大隈 井輔, LYU SHUXIN, 森下 克幸, 齊藤 健	102
歩容を切り替え可能な2足歩行ロボット制御用人工ニューラルネットワークTEGチップ	日本大学理工学部	後藤 達巳, 石濱 拓実, 金子 美泉, 内木場 文男	102
歩行速度を変化可能な2足歩行ロボット制御用人工ニューラルネットワークTEGチップ	日本大学理工学部	後藤 達巳, 石濱 拓実, 金子 美泉, 内木場 文男	102

令和5年度第1回オンセミコンダクター―三洋 CMOS 0.8um 試作

題　名	大　学　名	研　究　者	掲載頁
MOSFETのチャネル抵抗を用いたMEMS圧力センサ	東京電機大学大学院工学研究科 東京電機大学工学部	前澤 龍平 小松 聡	103
静電作動式RF-MEMSスイッチ	東京電機大学工学研究科 東京電機大学工学部	後河内 駿介 小松 聡	103
可視光通信TEG	東京大学工学部	後藤 将人, 門本 淳一郎	103
マイクロLEDディスプレイの駆動IC	九州大学総合理工学研究院 九州大学総合理工学府	服部 励治 松野 龍馬, 村山 陸人, 肖 中政	104
光刺激で歩容切り替えが可能なマイクロロボット用ニューロモルフィックチップ	日本大学理工学部	関山 晃生, 大隈 井輔, LYU SHUXIN, 森下 克幸, 齊藤 健	104
光刺激で歩容切り替えが可能なマイクロロボット用ニューロモルフィックチップ四足歩行ロボット用自己回帰モデルの改良TEGチップ	日本大学理工学部	大隈 井輔, 関山 晃生, 中山 渉, LYU SHUXIN, 森下 克幸, 齊藤 健	104
四足歩行ロボットに搭載する受容細胞モデルを実装したニューロモルフィック回路の改良TEGチップ	日本大学理工学部	中山 渉, 関山 晃生, 大隈 井輔, LYU SHUXIN, 森下 克幸, 齊藤 健	105
筋肉による駆動を模倣したラット型ロボットを制御するニューロモルフィックTEGチップ	日本大学理工学部	安田 祐希, 村本 大和, 中山 渉, LYU SHUXIN, 森下 克幸, 齊藤 健	105
歩容と歩行速度が変化する2足歩行ロボット制御用人工ニューラルネットワークTEGチップ	日本大学理工学部	後藤 達巳, 岡本 莉菜, 石濱 拓実, 金子 美泉, 内木場 文男	105
人工ニューラルネットワークを搭載した4足マイクロロボット歩行用IC	日本大学理工学部	楊 一帆, 後藤 達巳, 石濱 拓実, 金子 美泉, 内木場 文男	106

令和4年度第4回ローム CMOS 0.18um 試作

題　名	大　学　名	研　究　者	掲載頁
入力電圧範囲が可変な確率的フラッシュADC	東京電機大学大学院工学研究科 東京電機大学工学部	坂口 平 小松 聡	107
圧力を加えた際のキャリア移動度変化確認用のTEG	東京電機大学大学院工学研究科 東京電機大学工学部	前澤 龍平 小松 聡	107
水道，ガス流量計	信州大学工学部 信州大学大学院総合理工学研究科	上口 光 松尾 直哉, 尾田 準平	107
Multiplying DLL，TDA，Flash ADC	芝浦工業大学工学部	佐々木 昌浩, 鈴木 ケイ, エルキンズ 礼, 秋山 真司	108
耐放射線用13ビットADC	富山県立大学大学院電子・情報工学専攻	吉河 武文, 青木 友哉	108
熱電素子バッテリ直列接続型バッテリ充電器	静岡大学工学部	丹沢 徹	108
CMOSオンチップ細胞インピーダンス計測のためのミクストシグナル回路	立命館大学理工学部電気電子工学科	宇野 重康, 長田 俊哉, 河野 亮太, 北原 可奈子	109

自由課題によるチップ試作その1	福岡大学工学部	名倉 徹	109
筋電測定回路および電源ノイズ周波数測定回路	福岡大学工学部	名倉 徹, 佐藤 天哉, 根〆 淳太	109
特性評価チップ	長崎大学情報データ科学部	柴田 裕一郎	110
2本腕バンディット問題を解くアナログ回路のためのコンパレータの設計	明治大学理工学研究科電気工学専攻	中條 洋資	110
超音波ビームフォーミングのための多相クロック生成回路 ほか	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦, 森 瑞紀 渡邊 悠太, 山村 健太	110
0.3V動作オペアンプ	埼玉工業大学工学部	吉澤 浩和	111
光トランシーバの要素デバイスTEG	横浜国立大学工学研究院	川原 啓輔, 馬場 俊彦	111
Λ形負性抵抗を用いたパルス形ハードウェアニューロンモデルの試作	日本大学理工学部	佐々木 芳樹, 竹内 佑樹, 飯島 楓, 山口 明伸, 村越 陽	111

令和5年度第1回ローム CMOS 0.18um 試作

題　名	大　学　名	研　究　者	掲載頁
入力電圧範囲が可変な確率的フラッシュADCを用いたサブレンジングADC	東京電機大学大学院工学研究科 東京電機大学工学部	坂口 平 小松 聡	112
周波数同期回路を用いたオンチップ発振回路TEG	東京電機大学大学院工学研究科 東京電機大学工学部	原 航太 小松 聡	112
MOSFETのチャネル抵抗を用いたMEMS圧力センサ	東京電機大学大学院工学研究科	前澤 龍平	112
Multiplying DLL，TDA，Flash ADC	芝浦工業大学工学部	佐々木 昌浩, 鈴木 ケイ, エルキンズ 礼, 秋山 真司	113
CTIA 画素回路と蓄積途中複数回CDSにより低照度感度・S/N を向上させた高速リニアイメージセンサ	東京理科大学大学院工学研究科	池沢 尚紀	113
Multiphase Fractional-N PLL	富山県立大学大学院電子・情報工学専攻	吉河 武文, 水野 功務, 永末 玲央	113
部分露光型イメージセンサ，磁気センサの特性評価用TEG	茨城大学理工学研究科	木村 孝之	114
暗電流が多いフォトダイオードで利用可能なフォトアンプの特性評価用TEG	茨城大学理工学研究科	木村 孝之	114
高周波増幅回路TEG	広島大学先進理工系科学研究科 広島大学工学部	吉田 毅 持田 光輝, 三吉 雄大, 濱崎 拓真, 内藤 智康, 稲吉 翔太	114
強化学習に用いる履歴積算回路	明治大学理工学部	海野 悠人, 坪井 凜	115
超低電圧で動作するLeakage-based PUFの評価チップ	芝浦工業大学電気電子情報工学専攻 芝浦工業大学工学部	畑 俊吉 宇佐美 公良	115
超音波イメージングのための増幅回路 ほか	慶應義塾大学理工学部 慶應義塾大学大学院理工学研究科	中野 誠彦, 永田 智考 渡邉 悠太, 森 瑞紀	115
0.3V動作オペアンプ	埼玉工業大学工学部	吉澤 浩和	116
光変調器ドライバアレイ，差動分布型増幅器	横浜国立大学工学研究院	川原 啓輔, 馬場 俊彦	116
断熱的論理回路によるPUF回路のTEG試作	岐阜大学大学院工学研究科 岐阜大学工学部	劉 家銘 高橋 康宏	116
電磁カップリング検証用発振器TEGとPLL相互干渉ノイズ低減用TEGおよびエナジーハーベスト向け切り替え機能付き昇圧回路TEG	大阪工業大学大学院工学研究科 電気電子機械工学専攻 大阪工業大学工学部 電気電子システム工学科	駒林 龍二, 安部 慶太, 榎 一将 吉村 勉	117

令和5年度度第2回ローム CMOS 0.18um 試作

題　名	大　学　名	研　究　者	掲載頁
弛張型発振回路を用いたFiCCの容量測定TEG	立命館大学情報理工学部	越智 裕之	118
4入力ニューロンCMOS型可変論理回路	東海大学大学院情報通信学研究科	澤田 桐弥, 古川 大鷹, 穂刈 成晃, 福原 雅朗	118
確率的フラッシュADCに向けたばらつき測定可能なTEG	東京電機大学工学部	武田 拓郎, 小松 聡	118
MOSFETのチャネル抵抗を用いたMEMS圧力センサ	東京電機大学大学院工学研究科 東京電機大学工学部	前澤 龍平 小松 聡	119
IoTのためのアナログ回路TEG	広島工業大学工学部/電子情報工学科	升井 義博	119
モード多重伝送用トランシーバIC	富山県立大学大学院電子・情報工学専攻 富山県立大学工学部 電気電子工学科	吉河 武文 先田 涼真, 長崎 慎也	119
10mV電源でバッテリ充電可能なDC/DCコンバータ	静岡大学工学部	丹沢 徹	120
差動増幅回路・SERV SoC with lightweight cryptography cores	電気通信大学情報理工学研究科	小黒 柊, 竹内 翔吾, Nguyen Khai Duy, 範 公可	120

遅延故障およびIC間配線の検査用の各種検査容易化回路の試作	徳島大学大学院創成科学研究科理工学専攻 徳島大学大学院社会産業理工学研究部	有元 康滋, 大濱 瑛祐, 大松 正男, 川野 航生, 佐々木 渓, 三木 勇人 四柳 浩之	120
2本腕バンディット問題を解くアナログ回路の集積回路設計	明治大学理工学研究科電気工学専攻	中條 洋資	121
2本腕バンディット問題を解くアナログ集積回路	明治大学理工学研究科電気工学専攻	森 光平	121
強化学習に用いるマシン選択回路および履歴積算回路および光リザバコンピューティングに用いるアナログ積和演算回路	明治大学理工学部	安藤 夏輝, 海野 悠人	121
光リザバコンピューティングに用いるアナログ積和演算回路	明治大学理工学部	安藤 夏輝, 緒方 敦洋	122
超低電圧向けオンチップ温度センサ	芝浦工業大学電気電子情報工学専攻 芝浦工業大学工学部	永井 海音 宇佐美 公良	122
多端子MOSFETによる回路動作の「その場」計測TEG	山形大学大学院理工学研究科	原田 知親	122
0.3V動作オペアンプ	埼玉工業大学工学部	吉澤 浩和	123
スキャン機能を有する排他制御素子	奈良高専情報工学科 奈良高専システム創成工学専攻情報システムコース	岩田 大志 衛藤 優, 谷口 翔寿人	123
Fractional-N PLL TEG，CDR-PLL TEGおよびジッタ検出回路TEG	大阪工業大学大学院工学研究科 電気電子機械工学専攻 大阪工業大学工学部 電気電子システム工学科	大槻 祥太郎, 駒林 龍二, 中尾 駿太, 野中 拓磨, 兒玉 沙恭, 岡田 康宏 吉村 勉	123
広帯域化を目指したオンチップ方向性結合器	大阪工業大学工学部電気電子システム工学科	金城 良守, 濱田 昌鴻, 大室 樹生	124

令和5年度度第3回ローム CMOS 0.18um 試作

題　名	大　学　名	研　究　者	掲載頁
容量-ディジタル変換回路/ディジタル-時間変換回路および電源回路の試作	山梨大学大学院工学専攻電気電子工学コース 山梨大学大学院総合研究部	向井 一輝, 土屋 真弥 佐藤 隆英, 小川 覚美	125
ウェアラブル機器搭載に向けたパッシブ型マルチビットΔΣ変調器	東京電機大学大学院工学研究科 東京電機大学工学部	丸山 尚哉 小松 聡	125
静電作動式RF-MEMSスイッチ	東京電機大学工学研究科 東京電機大学工学部	後河内 駿介 小松 聡	125
水道，ガス流量計	信州大学大学院総合理工学研究科 信州大学工学部	尾田 準平, 松尾 直哉 上口 光	126
先行研究再現オペアンプ・SERV SoC with Ascon lightweight cryptography cores	電気通信大学情報理工学研究科	小黒 柊, 竹内 翔吾, Nguyen Khai Duy, 範 公可	126
チップ題目：超音波イメージングのためのLPF	慶應義塾大学理工学部 慶應義塾大学大学院理工学研究科	中野 誠彦, 永田 智考 渡邉 悠太, 森 瑞紀	126
Deep Nwellを用いたNMOSトランジスタ	埼玉工業大学工学部	吉澤 浩和	127
LNAの線形化TEGおよび広帯域なオンチップ方向性結合器	大阪工業大学工学部電気電子システム工学科	金城 良守, 濱田 昌鴻, 大室 樹生	127
光受信用アナログフロントエンド回路 TEG10	岐阜大学大学院自然科学技術研究科 岐阜大学工学部	石田 翔悟, 大鹿 純聖 伊藤 大輔, 中村 誠	127

B.2　チップ種別一覧

MEMS

ラン名	タイトル	研　究　者	掲載頁
OS08222	圧力を加えた際のキャリア移動度変化確認用のTEG	前澤 龍平, 小松 聡	100
OS08222	静電作動式RF-MEMSスイッチ	後河内 駿介, 小松 聡	100
OS08231	MOSFETのチャネル抵抗を用いたMEMS圧力センサ	前澤 龍平, 小松 聡	103
OS08231	静電作動式RF-MEMSスイッチ	後河内 駿介, 小松 聡	103
RO18224	圧力を加えた際のキャリア移動度変化確認用のTEG	前澤 龍平, 小松 聡	107
RO18231	MOSFETのチャネル抵抗を用いたMEMS圧力センサ	前澤 龍平	112
RO18232	MOSFETのチャネル抵抗を用いたMEMS圧力センサ	前澤 龍平, 小松 聡	119
RO18233	静電作動式RF-MEMSスイッチ	後河内 駿介, 小松 聡	125

TEG(特性評価回路など)

ラン名	タイトル	研　究　者	掲載頁
OS08222	極低温CMOS回路ノイズ評価TEG	熊谷 勇喜	100
OS08222	受容細胞モデルとPVセルを内接したチップ	大隈 井輔, 関山 晃生, LYU SHUXIN, 森下 克幸, 齊藤 健	101
OS08222	PVセルTEGチップ	大隈 井輔, 関山 晃生, LYU SHUXIN, 森下 克幸, 齊藤 健	101
OS08222	四足歩行ロボットに搭載する受容細胞モデルを実装したニューロモルフィック回路のTEGチップ	中山 渉, 大隈 井輔, LYU SHUXIN, 森下 克幸, 齊藤 健	101
OS08222	歩容切り替えが可能なマイクロロボット用TEGチップ	関山 晃生, 大隈 井輔, LYU SHUXIN, 森下 克幸, 齊藤 健	102
OS08222	歩容を切り替え可能な2足歩行ロボット制御用人工ニューラルネットワークTEGチップ	後藤 達巳, 石濱 拓実, 金子 美泉, 内木場 文男	102
OS08222	歩行速度を変化可能な2足歩行ロボット制御用人工ニューラルネットワークTEGチップ	後藤 達巳, 石濱 拓実, 金子 美泉, 内木場 文男	102
OS08231	可視光通信TEG	後藤 将人, 門本 淳一郎	103
OS08231	光刺激で歩容切り替えが可能なマイクロロボット用ニューロモルフィックチップ	関山 晃生, 大隈 井輔, LYU SHUXIN, 森下 克幸, 齊藤 健	104
OS08231	光刺激で歩容切り替えが可能なマイクロロボット用ニューロモルフィックチップ四足歩行ロボット用自己回帰モデルの改良TEGチップ	大隈 井輔, 関山 晃生, 中山 渉, LYU SHUXIN, 森下 克幸, 齊藤 健	104
OS08231	四足歩行ロボットに搭載する受容細胞モデルを実装したニューロモルフィック回路の改良TEGチップ	中山 渉, 関山 晃生, 大隈 井輔, LYU SHUXIN, 森下 克幸, 齊藤 健	105
OS08231	筋肉による駆動を模倣したラット型ロボットを制御するニューロモルフィックTEGチップ	安田 祐希, 村本 大和, 中山 渉, LYU SHUXIN, 森下 克幸, 齊藤 健	105
OS08231	歩容と歩行速度が変化する2足歩行ロボット制御用人工ニューラルネットワークTEGチップ	後藤 達巳, 岡本 莉菜, 石濱 拓実, 金子 美泉, 内木場 文男	105
OS08231	人工ニューラルネットワークを搭載した4足マイクロロボット歩行用IC	楊 一帆, 後藤 達巳, 石濱 拓実, 金子 美泉, 内木場 文男	106
RO18224	特性評価チップ	柴田 裕一郎	110
RO18224	光トランシーバの要素デバイスTEG	川原 啓輔, 馬場 俊彦	111
RO18231	周波数同期回路を用いたオンチップ発振回路TEG	原 航太, 小松 聡	112
RO18231	部分露光型イメージセンサ，磁気センサの特性評価用TEG	木村 孝之	114
RO18231	暗電流が多いフォトダイオードで利用可能なフォトアンプの特性評価用TEG	木村 孝之	114
RO18231	高周波増幅回路TEG	吉田 毅, 持田 光輝, 三吉 雄大, 濱崎 拓真, 内藤 智康, 稲吉 翔太	114
RO18231	超低電圧で動作するLeakage-based PUFの評価チップ	畑 俊吉, 宇佐美 公良	115
RO18231	断熱的論理回路によるPUF回路のTEG試作	劉 家銘, 高橋 康宏	116
RO18231	電磁カップリング検証用発振器TEGとPLL相互干渉ノイズ低減用TEGおよびエナジーハーベスト向け切り替え機能付き昇圧回路TEG	駒林 龍二, 安部 慶太, 榎 一将, 吉村 勉	117
RO18232	弛張型発振回路を用いたFiCCの容量測定TEG	越智 裕之	118
RO18232	確率的フラッシュADCに向けたばらつき測定可能なTEG	武田 拓郎, 小松 聡	118
RO18232	遅延故障およびIC間配線の検査用の各種検査容易化回路の試作	有元 康滋, 大濱 瑛祐, 大松 正男, 川野 航生, 佐々木 渓, 三木 勇人, 四柳 浩之	120
RO18232	超低電圧向けオンチップ温度センサ	永井 海音, 宇佐美 公良	122
RO18232	多端子MOSFETによる回路動作の「その場」計測TEG	原田 知親	122

RO18232	Fractional-N PLL TEG，CDR-PLL TEGおよびジッタ検出回路TEG	大槻 祥太郎, 駒林 龍二, 中尾 駿太, 野中 拓磨, 兒玉 沙恭, 岡田 康宏, 吉村 勉	123
RO18233	Deep Nwellを用いたNMOSトランジスタ	吉澤 浩和	127

アナログ/デジタル信号処理プロセッサ

ラン名	タイトル	研　究　者	掲載頁
RO18224	CMOSオンチップ細胞インピーダンス計測のためのミクストシグナル回路	宇野 重康, 長田 俊哉, 河野 亮太, 北原 可奈子	109
RO18224	自由課題によるチップ試作その1	名倉 徹	109
RO18231	強化学習に用いる履歴積算回路	海野 悠人, 坪井 凜	115
RO18232	強化学習に用いるマシン選択回路および履歴積算回路および光リザバコンピューティングに用いるアナログ積和演算回路	安藤 夏輝, 海野 悠人	121

アナログ(PLL, A-D/DC-DCコンバータなど)

ラン名	タイトル	研　究　者	掲載頁
RO18224	入力電圧範囲が可変な確率的フラッシュADC	坂口 平, 小松 聡	107
RO18224	Multiplying DLL，TDA，Flash ADC	佐々木 昌浩, 鈴木 ケイ, エルキンズ 礼, 秋山 真司	108
RO18224	熱電素子バッテリ直列接続型バッテリ充電器	丹沢 徹	108
RO18224	2本腕バンディット問題を解くアナログ回路のためのコンパレータの設計	中條 洋資	110
RO18224	0.3V動作オペアンプ	吉澤 浩和	111
RO18231	入力電圧範囲が可変な確率的フラッシュADCを用いたサブレンジングADC	坂口 平, 小松 聡	112
RO18231	Multiplying DLL，TDA，Flash ADC	佐々木 昌浩, 鈴木 ケイ, エルキンズ 礼, 秋山 真司	113
RO18231	超音波イメージングのための増幅回路 ほか	中野 誠彦, 永田 智考, 渡邉 悠太, 森 瑞紀	115
RO18231	0.3V動作オペアンプ	吉澤 浩和	116
RO18232	4入力ニューロンCMOS型可変論理回路	澤田 桐弥, 古川 大鷹, 穂刈 成晃, 福原 雅朗	118
RO18232	IoTのためのアナログ回路TEG	升井 義博	119
RO18232	10mV電源でバッテリ充電可能なDC/DCコンバータ	丹沢 徹	120
RO18232	0.3V動作オペアンプ	吉澤 浩和	123
RO18233	容量-ディジタル変換回路/ディジタル-時間変換回路および電源回路の試作	向井 一輝, 土屋 真弥, 佐藤 隆英, 小川 覚美	125
RO18233	ウェアラブル機器搭載に向けたパッシブ型マルチビットΔΣ変調器	丸山 尚哉, 小松 聡	125
RO18233	チップ題目: 超音波イメージングのためのLPF	中野 誠彦, 永田 智考, 渡邉 悠太, 森 瑞紀	126

イメージセンサ/スマートセンサ

ラン名	タイトル	研　究　者	掲載頁
RO18224	水道，ガス流量計	上口 光, 松尾 直哉, 尾田 準平	107
RO18231	CTIA 画素回路と蓄積途中複数回CDSにより低照度感度・S/N を向上させた高速リニアイメージセンサ	池沢 尚紀	113
RO18233	水道，ガス流量計	尾田 準平, 松尾 直哉, 上口 光	126

演算回路(乗算器，除算器など)

ラン名	タイトル	研　究　者	掲載頁
RO18224	筋電測定回路および電源ノイズ周波数測定回路	名倉 徹, 佐藤 天哉, 根〆 淳太	109
RO18232	光リザバコンピューティングに用いるアナログ積和演算回路	安藤 夏輝, 緒方 敦洋	122
RO18232	スキャン機能を有する排他制御素子	岩田 大志, 衛藤 優, 谷口 翔寿人	123

通信(RF回路，ATMなど)

ラン名	タイトル	研　究　者	掲載頁
RO18231	光変調器ドライバアレイ，差動分布型増幅器	川原 啓輔, 馬場 俊彦	116

RO18232	広帯域化を目指したオンチップ方向性結合器	金城 良守, 濱田 昌鴻, 大室 樹生	124
RO18233	LNAの線形化TEGおよび広帯域なオンチップ方向性結合器	金城 良守, 濱田 昌鴻, 大室 樹生	127
RO18233	光受信用アナログフロントエンド回路 TEG10	石田 翔悟, 大鹿 純聖, 伊藤 大輔, 中村 誠	127

アナデジ混載

ラン名	タイトル	研　究　者	掲載頁
OS08231	マイクロLEDディスプレイの駆動IC	服部 励治, 松野 龍馬, 村山 陸人, 肖 中政	104
RO18224	耐放射線用13ビットADC	吉河 武文, 青木 友哉	108
RO18224	超音波ビームフォーミングのための多相クロック生成回路 ほか	中野 誠彦, 森 瑞紀, 渡邊 悠太, 山村 健太	110
RO18231	Multiphase Fractional-N PLL	吉河 武文, 水野 功務, 永末 玲央	113
RO18232	モード多重伝送用トランシーバIC	吉河 武文, 先田 涼真, 長崎 慎也	119
RO18232	差動増幅回路・SERV SoC with lightweight cryptography cores	小黒 柊, 竹内 翔吾, Nguyen Khai Duy, 範 公可	120
RO18232	2本腕バンディット問題を解くアナログ回路の集積回路設計	中條 洋資	121
RO18232	2本腕バンディット問題を解くアナログ集積回路	森 光平	121
RO18233	先行研究再現オペアンプ・SERV SoC with Ascon lightweight cryptography cores	小黒 柊, 竹内 翔吾, Nguyen Khai Duy, 範 公可	126

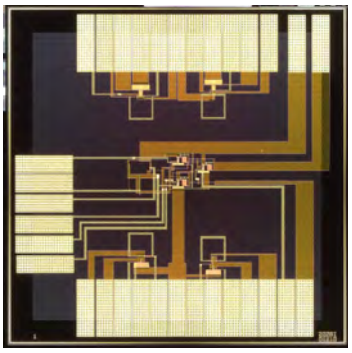
その他

ラン名	タイトル	研　究　者	掲載頁
RO18224	Λ形負性抵抗を用いたパルス形ハードウェアニューロンモデルの試作	佐々木 芳樹, 竹内 佑樹, 飯島 楓, 山口 明伸, 村越 陽	111

B.3　各チップの詳細

令和4年度第2回オンセミコンダクター―三洋 CMOS 0.8um 試作

圧力を加えた際のキャリア移動度変化確認用のTEG

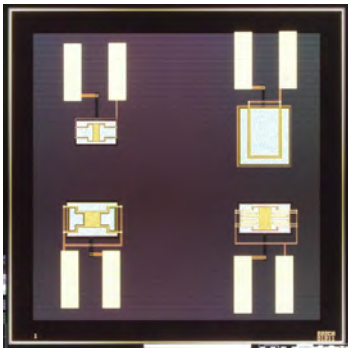


東京電機大学大学院工学研究科　前澤 龍平
東京電機大学工学部　小松 聡

概要：MEMS（Micro Electro Mechanical Systems）とは半導体微細加工技術を応用して製造する微小デバイスである．MEMSデバイスの市場規模は年々増加しているため更なる小型化や高感度なセンサが期待されている．本研究ではCMOSプロセスを用いてMEMS圧力センサの試作を行った．CMOSプロセスを用いて圧力センサとセンサの信号を増幅する増幅回路を集積することによってセンサ全体の小型化や寄生成分を低減することによる高精度化が可能である．CMOSプロセスを用いて圧力センサを製造した後にポストプロセスを行うことにより圧力センサとして動作するような構造を形成する．本研究ではMOSFETに圧力を加えた際にチャネル抵抗が変化することによるドレイン電流の変化を検知することで圧力の変化を検知する圧力センサの試作を行った．今回の試作では圧力に対してどの程度キャリア移動度が変化するかを確認するためのTEGの試作を行った．

設計期間：1人月以上，2人月未満　**設計ツール：**Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数：**10～100　**試作ラン：**オンセミ－三洋 CMOS 0.8μm 5.0mm角チップ　**チップ種別：**MEMS

静電作動式RF-MEMSスイッチ

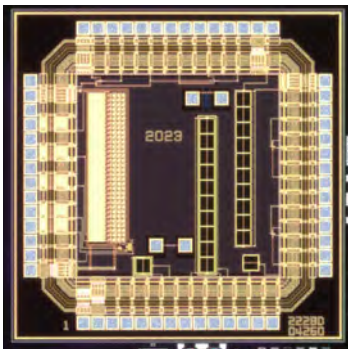


東京電機大学工学研究科　後河内 駿介
東京電機大学工学部　小松 聡

概要：MEMS（Micro Electro Mechanical Systems）とは集積回路技術を発展させた「マイクロマシーニング」と呼ばれる微細加工技術により，回路だけでなく微細構造体やセンサ，あるいは機械的に動くアクチュエータを集積化させたものである．MEMSの中でも高周波（RF）帯のMEMS技術をRF-MEMSと呼ばれている．近年，モバイル通信システムにおける5G（第5世代モバイル技術）が普及している．5Gを処理するシステム作製には優れたコンポーネントが必要になる．本研究では静電力で作動する低動作電圧なCMOS-MEMSスイッチを試作し，MEMSスイッチを接触状態にするために必要なプルイン電圧の測定及びMEMSスイッチを接触状態から非接触状態にする時，接触状態のまま固着しないような動作信頼性を高めることを目的としている．本試作では，可動電極をメタル2層，コンデンサの電極間距離を確保するための犠牲層をメタル1層，引き下げ電極をポリシリコン層で設計した．また，試作したチップのMEMS構造を解放するために武田クリーンルームにて加工を行い，RF-MEMSスイッチを製作する．犠牲層であるメタル1層のエッチングを行い，加速度センサとして機能するように製作を行った．

設計期間：0.5人月以上，1人月未満　**設計ツール：**Cadence社 Virtuoso，　**トランジスタ数：**～10　**試作ラン：**オンセミ－三洋 CMOS 0.8μm 5.0mm角チップ　**チップ種別：**MEMS

極低温CMOS回路ノイズ評価TEG

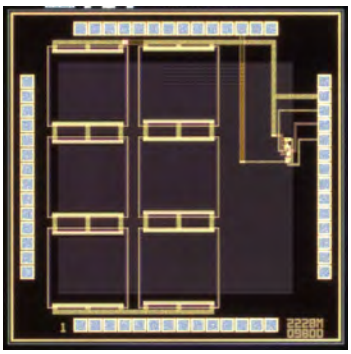


豊田高専電気・電子システム工学科　熊谷 勇喜

概要：極低温環境で動作するCMOS集積回路のノイズの測定，評価をおこなうため，アレイテスト回路を設計した．周辺回路動作の検証のため単体MOSFET,MOSキャパシタ，PN接合，抵抗，BJT（Bipolar Junction Transistor）を搭載した．チップを評価する極低温用の真空チャンバーを用いた測定では，真空チャンバー内外の信号線接続の制限により，チップと測定器や信号源とを接続する信号線の数が限られており，信号線の本数がなるべく少なく配線が容易となるようレイアウトを調整した．また，絶対零度付近でのキャパシタンス測定を容易にすることを考慮し大面積MOSキャパシタ（1E-4 cm^2, 1E-3 cm^2）を搭載した．極低温でのRTN（Random Telegraph Noise）やゲートリーク電流ばらつき，しきい値電圧バラつきを評価するため，多数のMOSFETを少ない入出力ピンにより測定できるよう，素子選択回路，電流電圧変換回路を搭載したTEGを新しく設計した．チップを極低温用真空チャンバー内のcold stageと熱的に結合させる方法についても本設計TEGを用いて検証する．

設計期間：1人月以上，2人月未満　**設計ツール：**Cadence社 Virtuoso，Mentor社 Calibre，　**トランジスタ数：**1,000～10,000　**試作ラン：**オンセミ－三洋 CMOS 0.8μm 2.5mm角チップ　**チップ種別：**TEG（特性評価回路など）

受容細胞モデルとPVセルを内接したチップ

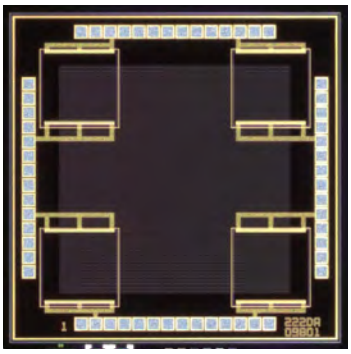


日本大学理工学部　大隈 井輔, 関山 晃生, LYU SHUXIN, 森下 克幸, 齊藤 健

概要：本試作チップでは，PVセルと受容細胞モデルと呼ばれるニューロンモデルを一体化して設計をおこなった．過去に設計したOS0822_1_O9802では，PVセルをチップ上に配置し，測定により0.5V程度の電圧を出力することを確認した．本試作チップでは，センサとなるPVセルの出力電圧を受容細胞モデルへ入力できるよう配線をおこなった．受容細胞は，生物の感覚器に存在する神経細胞の一種である．また受容細胞は，感覚器へ外部から入力される刺激の強度をパルス波形の発振周波数に変換し，中枢神経系へと伝達する特性を持つ．先に我々は，受容細胞の電気的な活動を模倣した受容細胞モデルを開発した．本試作チップはPVセルを用いて受容細胞モデルへ電圧を印加することで，本試作チップへ照射される光の強度を受容細胞モデルの発振周波数に変換するよう設計をおこなった．また，本試作チップの発振周波数特性を測定した．測定の結果，本試作チップは照射する光の強度に応じたパルス波形を出力した．また，光の強度の増加にしたがって発振周波数が減少し，発振周波数は656Hzから526Hzまで約130Hz変化した．今後は，本試作チップをロボットに搭載する光センサとして応用する予定である．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：～10　**試作ラン**：オンセミ－三洋 CMOS 0.8μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

PVセルTEGチップ

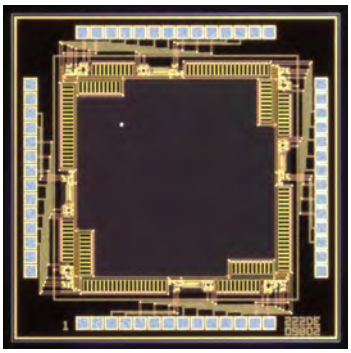


日本大学理工学部　大隈 井輔, 関山 晃生, LYU SHUXIN, 森下 克幸, 齊藤 健

概要：本試作チップは，チップ上へPVセルを1セルずつ合計4セル配置し設計した．我々は，マイクロロボットを開発する研究をおこなっている．先に開発したマイクロロボットは，ミリメートルサイズでありながら，昆虫の歩行方法を模倣し移動に成功した．現在は，センサの搭載により自律的な行動を可能とするマイクロロボットの開発を進めている．我々は，マイクロロボットに搭載可能な光センサとして，集積回路技術を用いてPVセルを作製することを考えた．過去に設計したOS0822_1_O9802では，チップ上にPVセルを配置することで光を用いて最大0.5V程度の電源として利用できることを明らかにした．しかし，1枚のチップ上に様々な形状のPVセルを配置したため，1セルあたりの正確な特性を評価することができなかった．そこで本試作チップでは，PVセルの正確な特性を調べるため，1セル単体のPVセルをチップ上の四隅に合計4セル配置した．また，光源を用いて電流-電圧特性を測定した．測定の結果50klxの光をPVセルへ照射した際，PVセルは1セルあたり短絡電流を49nA，開放電圧を0.42V出力した．今後は得られた電流-電圧特性を，PVセルを含むマイクロロボットの駆動回路の設計の際に参考値として活用する．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：～10　**試作ラン**：オンセミ－三洋 CMOS 0.8μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

四足歩行ロボットに搭載する受容細胞モデルを実装したニューロモルフィック回路のTEGチップ

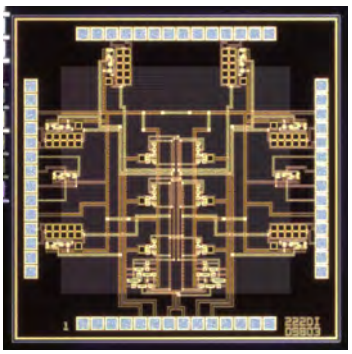


日本大学理工学部　中山 渉, 大隈 井輔, LYU SHUXIN, 森下 克幸, 齊藤 健

概要：本試作チップでは，四足歩行ロボット用の受容細胞モデルを搭載したニューロモルフィック回路のレイアウト設計を行った．本モデルは受容細胞モデル，積分回路を搭載した抑制性シナプスモデル，細胞体モデルで構成した．以前設計した「受容細胞モデルを搭載したニューロモルフィック回路のTEGチップ」は，ロボットの足裏の圧力センサーをニューロモルフィック回路で直接処理するために受容細胞モデルを搭載した回路のTEGチップであった．TEGチップの測定結果，受容細胞モデルの出力パルスの周波数に応じた細胞体モデルの出力周波数の変化を確認している．本試作チップは四足歩行ロボットに搭載するために4つの受容細胞を搭載したニューロモルフィック回路で構成した．また，特性のばらつきを考慮して出力に近い場所にニューロモルフィック回路を設置した．測定の結果，各ニューロモルフィック回路の細胞体モデルの発振を確認した．しかし，受容細胞モデルの発振が確認できなかった．原因として，細胞体モデルのMOSFET同士の配線ミスが考えられた．今後はレイアウト全体を確認し，配線ミスの修正を行う．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：10～100　**試作ラン**：オンセミ－三洋 CMOS 0.8μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

歩容切り替えが可能なマイクロロボット用TEGチップ

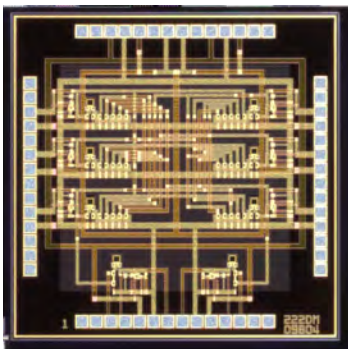


日本大学理工学部　関山 晃生, 大隈 井輔, LYU SHUXIN, 森下 克幸, 齊藤 健

概要：本試作チップでは，ミリメートルサイズの昆虫型マイクロロボットに搭載する駆動回路のテストチップとして試作した．本試作チップは2019年度に作製したOS0818_2_O9802「MEMSマイクロロボット用の歩容変化が可能なハードウェアニューラルネットワークの改良」を改良したTEGチップであり，自励振動・他励振動細胞体モデル，抑制性シナプスモデル，興奮-抑制性切り替え型シナプスモデル，受容細胞モデルで構成した．2019年度に作製したOS0818_2_O9802チップは，外部環境を認知して歩容パターンを切り替えることはできなかった．したがって，本試作チップでは，生物の感覚器に存在する受容細胞の機能を模倣した受容細胞モデルを追加した．また，受容細胞モデルにフォトセルを接続することで，光刺激の検出を可能とした．チップの外部でフォトセルとRC積分回路を接続して測定した結果，フォトセルに照射する光量に応じて，昆虫の代表的な歩容パターンである三脚歩容パターンと波状歩容パターンを切り替え可能であることを確認した．光刺激を与えた場合は三脚歩容パターンを，与えなかった場合は波状歩容パターンを生成することを確認した．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：10〜100　**試作ラン**：オンセミ－三洋 CMOS 0.8μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

歩容を切り替え可能な2足歩行ロボット制御用人工ニューラルネットワークTEGチップ

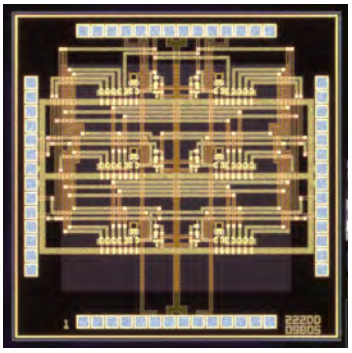


日本大学理工学部　後藤 達巳, 石濱 拓実, 金子 美泉, 内木場 文男

概要：本試作チップでは，2足歩行ロボットの歩行と走行を切り替え可能な人工ニューラルネットワークTEGチップを作製した．人間は脊髄に局在する神経回路網により，歩行と走行で5つのパルスパターンを生成し，各筋肉を制御することが示唆されている．我々は人間の神経回路網を模倣し，2足歩行ロボットの制御を試みた．本試作チップは，歩行と走行パターンを出力する上で基本となる，6つのパルスパターンを生成する．6つの細胞体モデルを抑制性シナプスモデルで相互に接続し，連続したパルス信号の生成を行う．また，6つのパルスパターンの内，2つ目と3つ目の細胞体モデルの出力を切り替えることで，歩行と走行の切り替えを行う．TEGチップの測定結果は，6つの細胞体モデルの一部は正常に動作することを確認した．しかし，その他の細胞体モデルと抑制性シナプスモデルが動作しなかったため，5つのパルスパターンは生成できなかった．原因は細胞体モデルの配線に誤りがあったことが考えられる．今後は細胞体モデルの配線を修正し，再度設計を行う予定である．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：10〜100　**試作ラン**：オンセミ－三洋 CMOS 0.8μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

歩行速度を変化可能な2足歩行ロボット制御用人工ニューラルネットワークTEGチップ



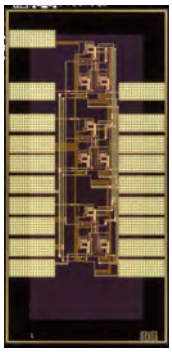
日本大学理工学部　後藤 達巳, 石濱 拓実, 金子 美泉, 内木場 文男

概要：本試作チップでは，2足歩行ロボットの歩行速度を変化可能な人工ニューラルネットワークTEGチップを作製した．人間は脊髄に局在する神経回路網で歩行と走行の5つのパルスパターンを生成し，各筋肉を制御することが示唆されている．我々は人間の神経回路網を模倣し，2足歩行ロボットの制御を試みた．本試作チップは，歩行と走行パターンを出力する上で基本となる，6つのパルスパターンのみ生成する．6つの細胞体モデルを抑制性シナプスモデルで相互に接続し，連続したパルス信号の生成を行う．また，細胞体モデルの回路素子を一部外付けにし，回路定数を調整することで歩行速度が変化する．TEGチップの測定結果は，6つの細胞体モデルの内5つが正常に動作すること，抑制性シナプスにより連続したパルス信号が生成されること確認した．しかし，1つの細胞体モデルが動作しなかったため，6つのパルスパターンは生成できなかった．原因として，細胞体モデルの配線に誤りがあることを確認した．今後は細胞体モデルの配線を修正し，再度設計を行う予定である．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：10〜100　**試作ラン**：オンセミ－三洋 CMOS 0.8μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

令和5年度第1回オンセミコンダクター―三洋 CMOS 0.8um 試作

MOSFETのチャネル抵抗を用いたMEMS圧力センサ

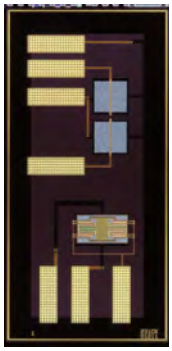


東京電機大学大学院工学研究科　前澤 龍平
東京電機大学工学部　小松 聡

概要：MEMS（Micro Electro Mechanical Systems）とは半導体微細加工技術を応用して製造する微小デバイスである．MEMSデバイスの市場規模は年々増加しているため更なる小型化や高感度なセンサが期待されている．本研究ではCMOSプロセスを用いてMEMS圧力センサの試作を行った．CMOSプロセスを用いて圧力センサとセンサの信号を増幅する増幅回路を集積することによってセンサ全体の小型化や寄生成分を低減することによる高精度化が可能である．CMOSプロセスを用いて圧力センサを製造した後にポストプロセスを行うことにより圧力センサとして動作するような構造を形成する．本研究ではMOSFETに圧力を加えた際にチャネル抵抗が変化することによるドレイン電流の変化を検知することで圧力の変化を検知する圧力センサの試作を行った．今回の試作では圧力センサをホイートストンブリッジ回路，増幅回路を計装アンプとした圧力センサの試作を行った．ダイアフラムサイズが300 μm × 300 μm，200 μm × 200 μm，100 μm × 100 μmの3種類のセンサの試作を行った．

設計期間：1人月以上，2人月未満　**設計ツール：**Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），**トランジスタ数：**10～100　**試作ラン：**オンセミ－三洋 CMOS 0.8μm 2.5mmx5.0mmチップ　**チップ種別：**MEMS

静電作動式RF-MEMSスイッチ

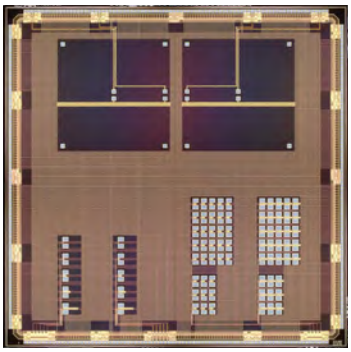


東京電機大学工学研究科　後河内 駿介
東京電機大学工学部　小松 聡

概要：MEMS（Micro Electro Mechanical Systems）とは集積回路技術を発展させた「マイクロマシーニング」と呼ばれる微細加工技術により，回路だけでなく微細構造体やセンサ，あるいは機械的に動くアクチュエータを集積化させたものである．MEMSの中でも高周波（RF）帯のMEMS技術をRF-MEMSと呼ばれている．近年，モバイル通信システムにおける5G（第5世代モバイル技術）が普及している．5Gを処理するシステム作製には優れたコンポーネントが必要になる．本研究では静電力で作動する低動作電圧なCMOS-MEMSスイッチを試作し，MEMSスイッチを接触状態にするために必要なプルイン電圧の測定及びMEMSスイッチを接触状態から非接触状態にする時，接触状態のまま固着しないような動作信頼性を高めることを目的としている．本試作では，可動電極をメタル2層，コンデンサの電極間距離を確保するための犠牲層をメタル1層，引き下げ電極兼導波路をポリシリコン層で設計した．本試作でのMEMSスイッチの形状はオンセミ2023年9月の試作でエッチング後の反りが少なかった形状を採用した．また，試作したチップのMEMS構造を解放するために武田クリーンルームにて加工を行い，RF-MEMSスイッチを製作する．犠牲層であるメタル1層のエッチングを行い，加速度センサとして機能するように製作を行った．

設計期間：0.5人月以上, 1人月未満　**設計ツール：**Cadence社 Virtuoso，　**トランジスタ数：**～10　**試作ラン：**オンセミ－三洋 CMOS 0.8μm 2.5mmx5.0mmチップ　**チップ種別：**MEMS

可視光通信TEG

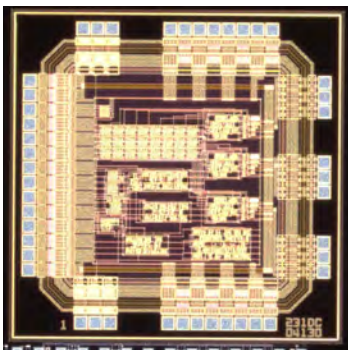


東京大学工学部　後藤 将人, 門本 淳一郎

概要：オンチップ可視光通信技術のユーザインタフェース応用に向けた基礎評価のための試作チップである．10mm角のチップ上に各種LEDドライバ回路が集積されており，外部のLEDをチップ上に積層実装することで通信性能を検証可能である．また，外部フォトダイオードの積層実装についても検証のためのパターンを用意している．送信回路のSPICEシミュレーションにより，積層実装したLEDと組み合わせた通信が可能であることを確認している．オンチップ可視光通信回路を利用することで小型なデバイスを用いて情報提示や高速データ通信を実現することができ，これを活用した小型なインタフェースの実現を目指している．本試作チップにおいては基本的な送信特性の測定が可能となっており，ドライバサイズや消費電力，LED数に応じた各種性能指標の変化について初期的な評価を進める予定である．

設計期間：0.5人月以上，1人月未満　**設計ツール：**Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，　**トランジスタ数：**100～1,000　**試作ラン：**オンセミ－三洋 CMOS 0.8μm 10mm角チップ　**チップ種別：**TEG（特性評価回路など）

マイクロLEDディスプレイの駆動IC

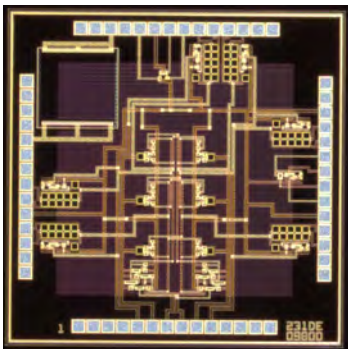


九州大学総合理工学研究院　服部 励治
九州大学総合理工学府　松野 龍馬, 村山 陸人, 肖 中政

概要：近年ディスプレイ技術分野では，マイクロLED（μLED）ディスプレイの役割が急速に拡大している．このディスプレイは液晶ディスプレイと異なり，自発光機能を備え，また，有機ELディスプレイに比べ耐久性の点で顕著な優位性を示す．これらの特性に加え，μLEDディスプレイは透明ディスプレイや高輝度ディスプレイとしても優れており，同時に低消費電力性と信頼性を兼ね備えている．このディスプレイの駆動方式の1つに，RGBのμLEDとマイクロICを統合したマイクロIC駆動方式が提案されている．本チップではこの駆動方式を採用し，LEDチップとの3次元実装を容易にするためにデータクロックリカバリー方式を採用し電極数を4つにまで削減し，また，表示性能をさらに向上させるためにPWMとPAMのそれぞれ4bitの混合中間調表示を可能したカスタムチップである．

参考文献：IEICE Technical Report EID2023-13（2024-01）　**設計期間**：4人月以上，5人月未満　**設計ツール**：Cadence社 GENUS，Cadence社 Innovus，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 ASSURA，Cadence社 Spectre，　**トランジスタ数**：100～1,000　**試作ラン**：オンセミ－三洋 CMOS 0.8μm 2.5mm角チップ　**チップ種別**：アナデジ混載

光刺激で歩容切り替えが可能なマイクロロボット用ニューロモルフィックチップ

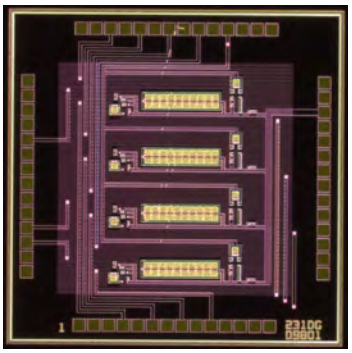


日本大学理工学部　関山 晃生, 大隈 井輔, LYU SHUXIN, 森下 克幸, 齊藤 健

概要：本試作チップでは，ミリメートルサイズの昆虫型マイクロロボットに搭載する駆動回路用として試作した．本試作チップは昨年度に作製したOS0822_2_O9803「歩容切り替えが可能なマイクロロボット用TEGチップ」を改良したチップであり，自励振動・他励振動細胞体モデル，抑制性シナプスモデル．興奮-抑制性切り替え型シナプスモデル，受容細胞モデル，フォトセル，RC積分回路で構成した．昨年度に作製したOS0822_2_O9803チップは，フォトセル，RC積分回路をチップの外部で接続しており，ミリメートルサイズのマイクロロボットに搭載することが困難であった．また，従来の受容細胞モデルの出力周波数特性はマイクロロボットを制御する上で不都合であった．したがって，本試作チップでは，従来の歩容生成回路に加えてフォトセル，RC積分回路をチップ内に組み込み，受容細胞モデルの各素子のパラメータや接続を調整した．測定の結果，受容細胞モデルの出力周波数特性はフォトセルに照射する光量の増加にしたがって，発振周波数が高くなることを確認した．また，作製したニューロモルフィックチップに光刺激を与えた場合は三脚歩容パターンを，与えなかった場合は波状歩容パターンを生成することを確認した．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：10～100　**試作ラン**：オンセミ－三洋 CMOS 0.8μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

光刺激で歩容切り替えが可能なマイクロロボット用ニューロモルフィックチップ四足歩行ロボット用自己回帰モデルの改良TEGチップ

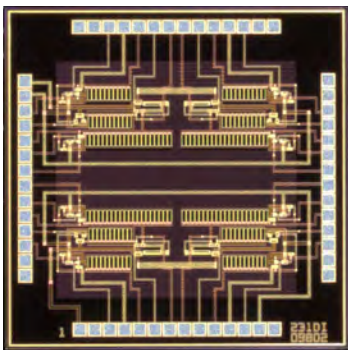


日本大学理工学部　大隈 井輔, 関山 晃生, 中山 渉, LYU SHUXIN, 森下 克幸, 齊藤 健

概要：本試作チップでは，四足歩行ロボット用の歩容を自発的に生成する自己回帰モデルの改良をおこなった．以前に作製したOS0821_1_O9800は自己回帰モデルと呼ばれるニューロンモデルを合計4個チップ上に置くことで設計した．自己回帰モデルは四足歩行ロボットに搭載された圧力センサの入力信号に応じてパルス波形を出力するアナログ電子回路モデルであり，チップ上の自己回帰モデル1個は四足歩行ロボットの一本の足を制御する．しかし，回路素子に含まれる寄生容量などの影響で回路特性にばらつきが生じていた．四足歩行ロボットに搭載するにあたり，1枚のチップ上に設計した4個のニューロンモデルが，近い回路特性を有していることが望ましい．そのため，本試作チップは4個のニューロンモデルの電源電圧を分けて入力できるよう配線をおこなった．この設計により，チップ上に設計した個々のニューロンモデルの特性に応じて，印加する電圧を個別に調整することが可能になる．本試作チップは設計データに不備があったため，動作を確認することができなかった．今後は，設計データを修正し，再提出をおこなう．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：10～100　**試作ラン**：オンセミ－三洋 CMOS 0.8μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

四足歩行ロボットに搭載する受容細胞モデルを実装したニューロモルフィック回路の改良TEGチップ

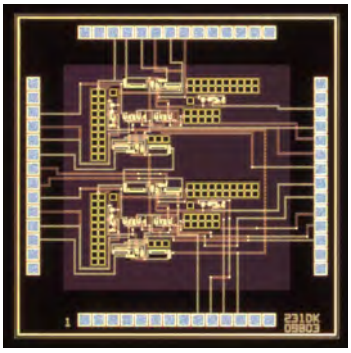


日本大学理工学部　中山 渉, 関山 晃生, 大隈 井輔, LYU SHUXIN, 森下 克幸, 齊藤 健

概要：本試作チップは，四足歩行ロボットに搭載する受容細胞モデルを搭載したニューロモルフィック回路のレイアウト改良を行ったものであり，受容細胞モデル，積分回路を搭載した抑制性シナプスモデル，細胞体モデルで構成した．前回設計した「四足歩行ロボット用の受容細胞モデルを搭載したニューロモルフィック回路のTEGチップ」は四足歩行ロボットへの実装に向けたレイアウトであった．しかし測定の結果，受容細胞モデルの発振が確認できなかった．本試作チップでは，前回設計したレイアウトの動作不良の原因であった配線ミスの修正を行い，レイアウトの再構成を行った．測定の結果，各ニューロモルフィック回路の受容細胞モデルの発振を確認できた．しかし，受容細胞モデルの発振周波数の変化による細胞体モデルの発振周波数の変化を確認できなかった．原因として，抑制性シナプスモデルから細胞体モデルへの配線に誤りがあると考えられた．今後は抑制性シナプスモデルと細胞体モデルとの配線を修正し，再度設計を行う．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：10〜100　**試作ラン**：オンセミ－三洋 CMOS 0.8μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

筋肉による駆動を模倣したラット型ロボットを制御するニューロモルフィックTEGチップ

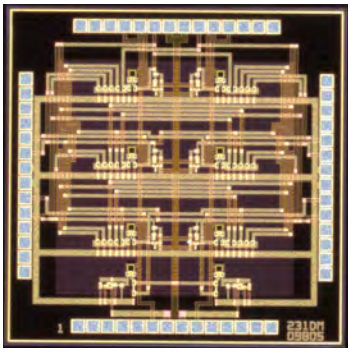


日本大学理工学部　安田 祐希, 村本 大和, 中山 渉, LYU SHUXIN, 森下 克幸, 齊藤 健

概要：本試作チップでは,筋肉による駆動を模倣したラット型ロボットの1つの関節を制御するためのニューロモルフィックチップを設計した.本モデルは細胞体モデル,抑制性シナプスモデル,遅延機能を模倣した興奮性シナプスモデルで構成した.遅延機能を模倣した興奮性シナプスモデルは,生物の神経細胞を構成するシナプスをアナログ電子回路化したものである．シナプスモデルの前につながる細胞体モデルの発振により，後につながる細胞体モデルの発振を遅れて促進させる.ラット型ロボットは筋肉を模倣したリニアアクチュエータを用いて駆動し,制御にバースト発振を必要とする.また,ラット型ロボットの伸筋・屈筋を駆動させるために2つの出力が必要となる.本試作チップは,ラット型ロボットの伸筋・屈筋を交互に駆動させるために,2つの出力を交互にバースト発振するパルス信号の生成を行う.測定の結果,各ニューロモルフィック回路の細胞体モデル,抑制性シナプスモデルが正常に動作することを確認した.しかし,遅延機能を模倣した興奮性シナプスモデルが動作しなかった.原因は配線に誤りがあったことが考えられる.今後は配線を修正し,再度設計を行う予定である.

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：10〜100　**試作ラン**：オンセミ－三洋 CMOS 0.8μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

歩容と歩行速度が変化する2足歩行ロボット制御用人工ニューラルネットワークTEGチップ

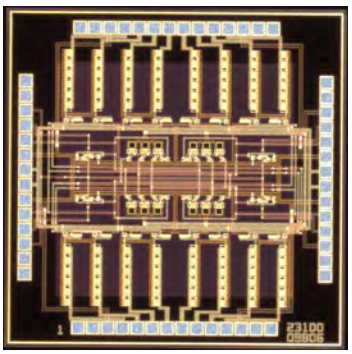


日本大学理工学部　後藤 達巳, 岡本 莉菜, 石濱 拓実, 金子 美泉, 内木場 文男

概要：本試作チップは，2023_03_chip1_CPG（O9805）「歩容を切り替え可能な2足歩行ロボット制御用人工ニューラルネットワークTEGチップ」と2023_03_chip1_CPG（O9805）「歩行速度を変化可能な2足歩行ロボット制御用人工ニューラルネットワークTEGチップ」を組み合わせ，改良チップとして設計した．我々は人間の歩容制御に関わる神経回路網を模倣し，2足歩行ロボットの制御を試みた．本試作チップは，歩行と走行パターンを出力する上で基本となる，6つのパルスパターンを生成する．また，6つのパルスパターンの内，2つ目と3つ目の細胞体モデルの出力を切り替えることで，歩行と走行の切り替えを行う．歩行周期については，細胞体モデルの回路素子を一部外付けにし，回路定数を調整することで歩行速度が変化する．TEGチップの測定結果は，6つの細胞体モデルが動作することを確認した．しかし，細胞体モデルの駆動電圧に差が生じていたため，5つのパルスパターンは生成できなかった．原因として，細胞体モデルの電源電圧の配線幅が不十分であったことが考えられる．今後は配線幅を修正し，再度設計を行う予定である．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：10〜100　**試作ラン**：オンセミ－三洋 CMOS 0.8μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

人工ニューラルネットワークを搭載した4足マイクロロボット歩行用IC



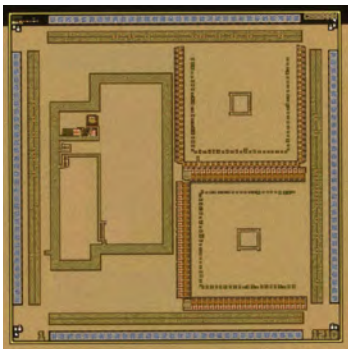
日本大学理工学部　楊 一帆, 後藤 達巳, 石濱 拓実, 金子 美泉, 内木場 文男

概要：4足MEMS型マイクロロボット制御用のICチップを作製した．本試作チップでは，生物の神経回路をアナログ電子回路で模倣して，人工ニューラルネットワークを構成する．4つの細胞体モデルを抑制性シナプスモデルで接続することで，4つの連続したパルス信号の生成が可能となる．パルス信号によりアクチュエータを駆動させ，4足マイクロロボットの歩行を行う．今回の試作チップは，回路内に設置したコンデンサが一部外部付きになるため，マイクロロボットの大きさに対応して基板の大きさを調整する必要がある．また，カレントミラー回路はチップ内に内蔵することで，周辺回路レス化を考えた．しかし，作製したチップを測定した時，ショートが発生して，出力電圧が出ていなかった．設計したレイアウト図から配線に誤りがあり，またビアを間違えて配置している部分を確認した．今後は回路の配線について，ショート箇所とビアの配置間違いを修正する．また，マイクロロボットの歩容パターンを切り替えられるように再度設計を行う予定である．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：10〜100　**試作ラン**：オンセミ－三洋 CMOS 0.8μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

令和4年度第4回ローム CMOS 0.18um 試作

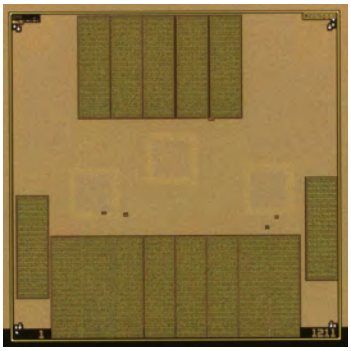
入力電圧範囲が可変な確率的フラッシュADC



東京電機大学大学院工学研究科　坂口 平
東京電機大学工学部　小松 聡

概要：近年，CMOSプロセスの微細化に伴って，MOSFETの閾値電圧のばらつきが大きくなっている．特にコンパレータは，その閾値電圧のばらつきによってオフセット電圧のばらつきが大きくなる．このオフセット電圧のばらつきをトリップポイントとして活用した確率的フラッシュADCが提案された．しかし，確率的フラッシュADCは入力電圧範囲が狭いことや，閾値電圧のばらつきのみに依存していたため，外部で入力電圧範囲を制御することが困難であった．そこで，入力電圧範囲を制御することのできる確率的フラッシュADCを提案した．今回のチップ試作では，この入力電圧範囲を制御することのできる確率的フラッシュADCを実装した．この回路を実測することで，外部のデジタル信号によって入力電圧範囲を広い範囲で制御できることが確認できた．
設計期間：1人月以上，2人月未満　**設計ツール**：Synopsys社 DesignCompiler，Synopsys社 ICCompiler，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Synopsys社 HSPICE（RF），　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

圧力を加えた際のキャリア移動度変化確認用のTEG



東京電機大学大学院工学研究科　前澤 龍平
東京電機大学工学部　小松 聡

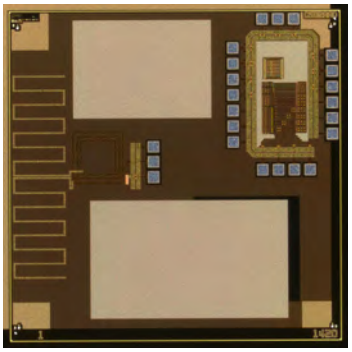
概要：MEMS（Micro Electro Mechanical Systems）とは半導体微細加工技術を応用して製造する微小デバイスである．MEMSデバイスの市場規模は年々増加しているため更なる小型化や高感度なセンサが期待されている．本研究ではCMOSプロセスを用いてMEMS圧力センサの試作を行った．CMOSプロセスを用いて圧力センサとセンサの信号を増幅する増幅回路を集積することによってセンサ全体の小型化や寄生成分を低減することによる高精度化が可能である．CMOSプロセスを用いて圧力センサを製造した後にポストプロセスを行うことにより圧力センサとして動作するような構造を形成する．本研究ではMOSFETに圧力を加えた際にチャネル抵抗が変化することによるドレイン電流の変化を検知することで圧力の変化を検知する圧力センサの試作を行った．今回の試作では圧力に対してどの程度キャリア移動度が変化するかを確認するためのTEGの試作を行った．
設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：10〜100　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：MEMS

水道，ガス流量計

信州大学工学部　上口 光
信州大学大学院総合理工学研究科　松尾 直哉, 尾田 準平

概要：本テストチップは，超音波流量計における流量測定のテスト回路で構成されている．超音波流量計は上流から下流，下流から上流へと2回超音波を伝搬させその伝搬時間差に基づいて流速を算出し，流速を基に瞬時流量を求める．超音波アクチュエータやスイッチング回路を含むコントローラや受信超音波を検出する回路から構成されている．受信信号のノイズを除去するためのアクティブバンドパスフィルタの帯域を2021年第4回試作のテストチップから変更し，よりノイズの少ない信号を検出し，測定精度が向上できると考える．またガス流量メータ用に受信信号を増幅する回路も搭載している．
参考文献：J. Oda, Y. Kaga and K. Johguchi, “Multi-phase time-zooming high-precision ultrasonic water flow meter” Extended Abstracts of 2023 Solid State Devices and Materials (SSDM2023) , 63 03SP62　**設計期間**：1人月以上，2人月未満　**設計ツール**：Cadence社 Xcelium，Synopsys社 VCS，Synopsys社 DesignCompiler，Synopsys社 ICCompiler II，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 ICADVM，Cadence社 QUANTUS，Cadence社 Spectre，Synopsys社 HSPICE（RF），Synopsys社 PrimeTime，Synopsys社 Synplify，Synopsys社 Formality，　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：イメージセンサ/スマートセンサ

Multiplying DLL，TDA，Flash ADC

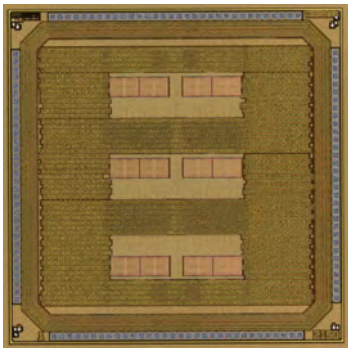


芝浦工業大学工学部　佐々木 昌浩, 鈴木 ケイ, エルキンズ 礼, 秋山 真司

概要：本試作では，1チップを3つの領域に分割し，異なる複数の機能の回路を実装している．1つ目の回路は，Multiplying Delay Locked Loopである．この回路は，DLLの入力信号生成回路であり，133MHzを基準にして12〜15倍の周波数を出力する機能を有している．MDLLとDLLの動作の確認のためにMDLL単体と，その後段にDLLを接続した二種類の回路を実装している．2つ目の回路は，Time Difference Amplifierである．微小時間差での利得を補正する回路の特性確認のため，これをバイパスしたものと補正回路を実装したものの二つを実装している．3つ目の回路はTDAを用いたFlash Analog to Digital Converterである．この回路はVoltage to Time Converterを用いることでアナログ電圧を時間領域で比較を行うことで低電圧化に対応した高速高分解能なFlash A/D Converterを実現している．

設計期間：4人月以上，5人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Synopsys社 StarRC（XT），Synopsys社 Hercules，Synopsys社 HSPICE（RF），　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

耐放射線用13ビットADC

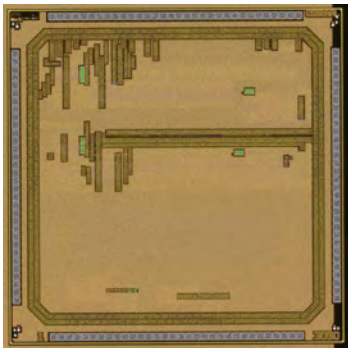


富山県立大学大学院電子・情報工学専攻　吉河 武文, 青木 友哉

概要：耐放射線性能を高めた13ビットの逐次比較型ADC（Analog to Digital Converter）をRohm0.18μmプロセスで試作した．これは，Renesas SOTB65nmで昨年度に試作しIRPS2023で発表したSAR-ADCのプロセスを変更したものである．最大の相違点は，そのデジタル回路の構成にある．SOTB65nmにおいては，デジタル回路は1.2V動作のSOTBトランジスタで構成されている．一方，アナログ回路は3.3VのBulk CMOSトランジスタで構成されており，チップとしては3.3Vと1.2Vの2電源構成となり，異電源間の信号の受け渡しにはレベルシフタが用いられている．当該デジタル回路は，SOTBトランジスタのため，BulkとDiffusionが絶縁層で電気的に分離されているので，放射線が照射された場合にBulk内で発生するキャリア（電子・正孔）がDrainノードに混入しない．したがって，デジタル回路は放射線に対して構造的に非常に強かった．今回に試作したSAR-ADCは，Bulk CMOSトランジスタで構成され単一電源動作である．アナログ回路は従前もBulk CMOSトランジスタ構成のため単なるプロセスマイグレーションであるが，デジタル回路はSOTBからBulkトランジスタに変わるので，構造的に放射線照射に弱くなってします．そこで，フリップフロップをDICE構成にするとともに，組合せ回路のサイズを大きくした．2024年度に重イオンの照射実験を行う予定である．

参考文献：Y. Aoki, T. Iwata, T. Miki, K. Kobayashi and T. Yoshikawa, “A 13-bit Radiation-Hardened SAR-ADC with Error Correction by Adaptive Topology Transformation”, IRPS2023　**設計期間**：3人月以上，4人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナデジ混載

熱電素子バッテリ直列接続型バッテリ充電器

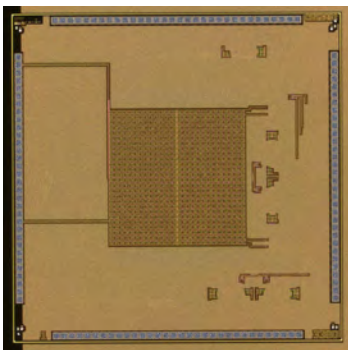


静岡大学工学部　丹沢 徹

概要：バッテリーと熱電発電素子（TEG）を備えてバッテリーの電力消費を抑制できるDC-DCコンバータの回路システムを提案し，回路シミュレーション，実測によってその効果を検証した．現在，太陽光や熱などの自然環境に存在する微小なエネルギーを電力に変換して回路を動かすエネルギーハーベスティング（EH）という技術がIoT用センサデバイスの電源供給手段として注目されている．EHでは発電素子から得られる出力電圧が低いことや，環境に依存する技術であることから電力供給が安定しないためバッテリーとの併用が行われている．それにより，電力供給が安定するほかバッテリーそのものの電力消費を抑制することが出来る．本研究ではTEGとバッテリーを直列接続して解放電圧Vinを高くしておき，降圧コンバータでバッテリーを充電するバッテリー充電器に関する．充電電力を最大にするためVinを制御する．設計理論を検証するため外部からリファレンス電圧を入力して制御するVinを可変にした．DC-DC降圧コンバータを0.18um CMOSで設計し，2.3Vのバッテリーと解放電圧 0.6 V, 内部抵抗 1.2$k\Omega$ の熱電発電素子を使用し，バッテリーを60uWで充電続けられること，最大電力点の理論値が妥当であることを実測で確認した．

参考文献：田辺 駿介, 丹沢 徹, “熱電素子バッテリ直列接続型バッテリ充電回路のMPPT回路設計”, 電子情報通信学会総合大会 2024年3月　**設計期間**：2人月以上, 3人月未満　**設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre,　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

CMOSオンチップ細胞インピーダンス計測のための ミクストシグナル回路

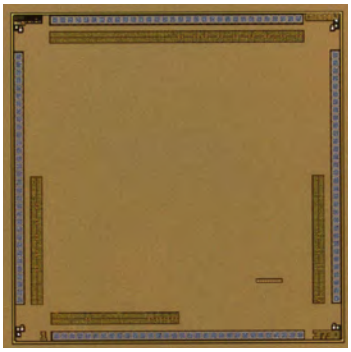


立命館大学理工学部電気電子工学科　宇野 重康, 長田 俊哉, 河野 亮太, 北原 可奈子

概要：CMOSチップ上で培養された哺乳類血球細胞をオンチップ電極を用いて計測するために用いるCMOS集積回路を試作した．トランスインピーダンスアンプ，ギルバートセル，インストルメンテーションアンプなどを主な構成要素とする直交検波方式の回路を試作するとともに，そこで用いるバンドギャップリファレンス回路，シュミットトリガ，その他デジタル回路を試作した．平行して，トランスインピーダンスアンプからの出力を逐次比較方式のアナログデジタル変換回路で読みだすための回路も検討し，そこで用いるための容量性デジタルアナログ変換回路や周辺デジタル回路の基本要素となるものを集積した．加えて，チップ上に配置された多数の電極から一つを選択するためのデコーダー回路も試作し，将来的に電極アレイとインピーダンス測定回路を集積統合するための準備となる基本要素を集積した．

設計期間：9人月以上，10人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：10〜100　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

自由課題によるチップ試作その1

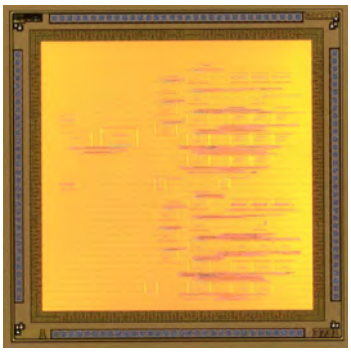


福岡大学工学部　名倉 徹

概要：我々の研究室では，研究室に仮配属された学部3年生に対して，集積回路設計フローの習得を実践目的として，回路設計・シミュレーション・レイアウト・検証を含んだ一通りトレーニングを行った後に，実際のチップ試作を行っている．どのような回路を設計するのか，から自分で考え，一通りの設計を行い，実際に最終チップレイアウトを完成させ，自分の設計した回路を自ら測定する，という一連のフローを体験させることは大変に貴重な経験となっている．本チップでは，以下の回路が搭載されている．・音楽演奏用周波数発生回路およびドライバ回路・疑似ピアノ演奏用周波数発生回路およびドライバ回路・オペアンプを用いた非反転増幅回路・オペアンプを用いた反転増幅回路・ルーレット機能およびじゃんけん勝敗判定回路・2 ビットフラッシュ AD 変換回路・自動ジャンケン回路

設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Synopsys社 HSPICE（RF），**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

筋電測定回路および電源ノイズ周波数測定回路

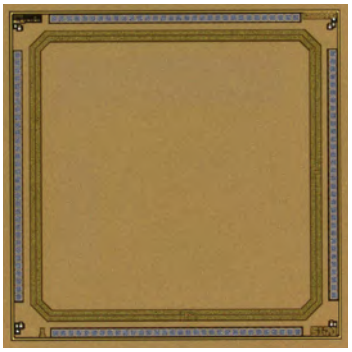


福岡大学工学部　名倉 徹, 佐藤 天哉, 根〆 淳太

概要：脳からの信号によって筋肉は動き，その信号は筋電と呼ばれる．これは体の表面に現れるため，表面電極を用いて測定することができる．人体の皮膚の表面に発生する筋電は1mVよりも小さい微弱な電圧であるため，これを測定するためには電圧を増幅させるアンプが必要である．本チップではオフセットキャンセル回路を内蔵した計装アンプを設計した． また，本チップは上下に分割されており，下半分は，電源ノイズ測定回路を搭載している．チップ内部の電源電圧は，パッケージのインダクタンスと回路の寄生容量とに起因して共振ノイズが発生する．一般的に，チップ内部の電源変動をプロービングで測定することは困難であるが，その電源ノイズの共振周波数と減衰時定数を測定するための専用回路を設計した．

設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Synopsys社 HSPICE（RF），**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：演算回路（乗算器，除算器など）

特性評価チップ

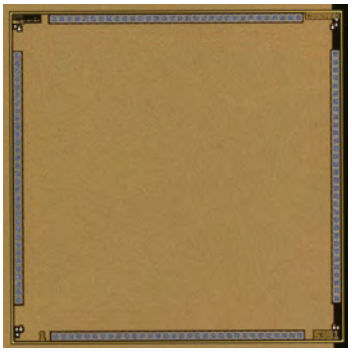


長崎大学情報データ科学部　柴田 裕一郎

概要：我々は電力供給回路と計算回路を密に結合した低消費電力アーキテクチャの実現を目指す研究プロジェクトを進めており，その一貫としてチップ内の消費電力をディジタルLDOによって推定する新しい方式を検討している．本チップはその実装の基本的な素子の遅延や消費を評価するためのものである．具体的には複数のリングオシレータやインバータチェインを配置している．チップ設計のフローを確立することと，実チップによってその確認を行うこと，および供給電圧と遅延の関係を評価することが主な目的となっている．設計は基本的にCadence社のVirtuosoを用いたフルカスタム方式で行っており，検証はHSPICEを用いている．基本な設計フローはVDECで公開されているアナログ設計手法のチュートリアルをしたがったものとなっているが，一部，テスト用のディジタル回路も含んでいる．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Xcelium，Cadence社 INCISIV，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Synopsys社 HSPICE（RF），　**トランジスタ数**：10〜100　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

2本腕バンディット問題を解くアナログ回路のための コンパレータの設計

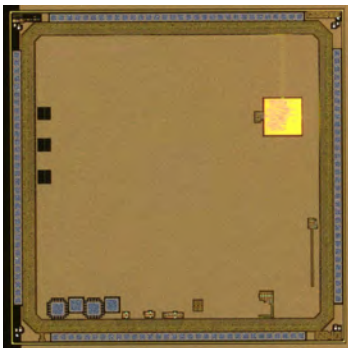


明治大学理工学研究科電気工学専攻　中條 洋資

概要：本試作では2本腕バンディット問題を解くアナログ回路に使用するコンパレータをROHM社の0.18 μmを用いて設計を行った．2本腕バンディット問題とは確率が不明な2つのスロットマシンが存在した時，選択を行いながら当たり確率の高いスロットマシンを選択するとう問題である．コンパレータは2つのスロットマシンの選択（High，Low）で用いる．ラッチ部分とプリアンプから構成されるダイナミック型コンパレータを試作した．コンパレータの分解能を高めるために寄生容量をできるだけ抑える設計を行った．ラッチ部分の回路解析を行い，MOSFETの駆動力と寄生容量のバランスを鑑みて設計を行った．MOSFETを最小サイズとして並列数を変更させながらコンパレータの遅延時間をシミュレーションで確認している．また，コンパレータ以外にも2本腕バンディット問題を解くアナログ回路で使用する論理回路（NANDやOR）を載せている．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

超音波ビームフォーミングのための多相クロック生成回路 ほか

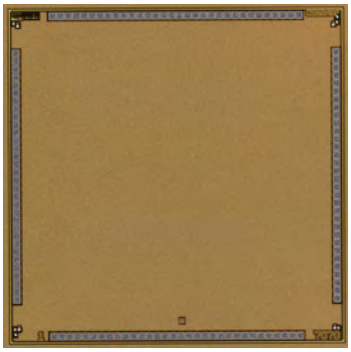


慶應義塾大学理工学部　中野 誠彦，森 瑞紀
慶應義塾大学理工学研究科　渡邊 悠太，山村 健太

概要：放射線によるがん治療に対し，より非侵襲的であるとされる超音波を用いたがん治療の研究が進んでいる．より高い精度で焦点を定めるためにはチャネル数を増やす必要があるが，要求されるピン数やケーブルが増加する問題が生じる．そのため我々はトランスデューサを積層させ，全てオンチップでビームフォーマを実現することを目指している．今回の試作では，連続波ビームフォーミングおよび連続波イメージングに向けた要素回路として，遅延ビームを作るための多相クロック生成回路を設計した．出力周波数は2 MHz - 5 MHzを想定しており，入力周波数は出力周波数の16倍である32 MHz - 80 MHzを想定している．この回路では256段階の位相遅延をチャネル毎に設定でき，16チャネルの出力を持つ．構成としては遅延同期ループとジョンソンカウンタを主とするロジック回路に分かれ，ロジック回路がもつレジスタを操作することによりチャネル間の位相差が設定可能となっている．

設計期間：2人月以上，3人月未満　**設計ツール**：Synopsys社 DesignCompiler，Synopsys社 ICCompiler II，Cadence社 Virtuoso，Synopsys社 CustomCompiler，Mentor 社 Calibre，Cadence 社 QUANTUS，Cadence 社 Spectre，Synopsys 社 HSPICE（RF），Synopsys 社 PrimeTime，**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナデジ混載

0.3V動作オペアンプ

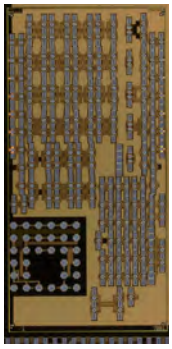


埼玉工業大学工学部　吉澤 浩和

概要：近年，集積回路の電源電圧は1 V未満であることが珍しくなくなっている．低電圧化により，消費電力の低減や電池の軽量化が可能になるなどのメリットがある．オペアンプにおいても0.3 V以下で動作する回路構成について活発に研究が行われている．0.3 V以下の電源電圧での動作ではBody-driven入力を用いた回路構成が多く報告されている． 本研究室では電源電圧0.3Vで動作するCMOSオペアンプを考案し，回路シミュレーションで良好な動作を確認した．文献[1]（H. Yoshizawa and N. Inoue, “A 0.3-V 10-nW CMOS OTA with Feedforward Body-Driven Structure,” IEEE International Conference on Microelectronics, Dec., 2023.）で報告した回路を0.18μm CMOSプロセスを用いて試作を行った．実機で測定して動作を確認するため，ローム社0.18μm CMOSプロセスを用いてICの試作を行ったが，今回の試作では正常な動作を確認することができなかった．原因としてはDeep Nwellが正しく作られていなかったことが考えられる．

参考文献：H. Yoshizawa and N. Inoue, “A 0.3-V 10-nW CMOS OTA with Feedforward Body-Driven Structure,” IEEE International Conference on Microelectronics, Dec., 2023.　**設計期間**：0.5人月以上, 1人月未満　**設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE（RF），**トランジスタ数**：10〜100　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

光トランシーバの要素デバイスTEG

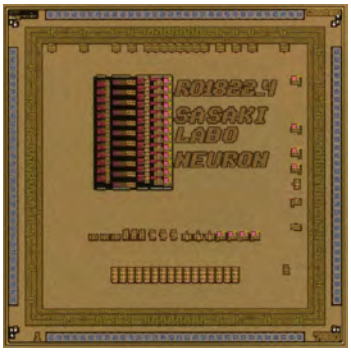


横浜国立大学工学研究院　川原 啓輔, 馬場 俊彦

概要：クラウドサービスの普及に伴い，データセンタの電力消費が急増している．本研究では光と電気の協調設計による光インターコネクション向けトランシーバの広帯域化と低電力化を目指している．本チップ試作では光トランシーバの構成要素の評価を目的とし，ワイヤボンディング評価用TEG，トランジスタTEG，演算増幅器，アバランシェフォトダイオードを設計した．納品されたCMOSチップを用いてダイボンディング実装の試験を行った．また，光変調器とドライバを接続するためのボンディングワイヤの評価も行った．一連の実験によりボンディングの温度・加圧条件を特定した．また，Sパラメータ測定の結果，ワイヤを介して40 GHzまで1dB未満のRF損失で信号を伝搬できることを確認した．また，トランジスタTEGの測定により，インターリーブ構造を用いることで従来よりも大きな利得が得られることを確認した．今後，演算増幅器とフォトダイオードの評価を行う予定である．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Keysight社 ADS，**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mmx5.0mmチップ　**チップ種別**：TEG（特性評価回路など）

Λ形負性抵抗を用いたパルス形ハードウェアニューロンモデルの試作



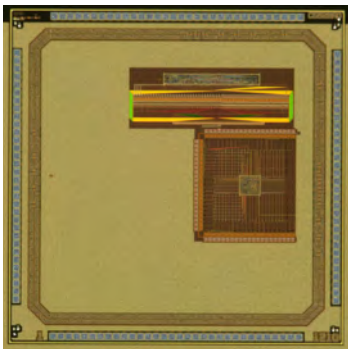
日本大学理工学部　佐々木 芳樹, 竹内 佑樹, 飯島 楓, 山口 明伸, 村越 陽

概要：本チップでは，研究室内で用いるニューロンモデルを各自でレイアウト設計した． モデルは「自動補正機構を有するパルス形ハードウェアカオスニューロンモデル」を使用し，パラメータは「自励振モデル」と「他励式モデル」用にそれぞれ設計した．なお，4名の学生については各個人でパラメータは変更しないものとした．本モデルは，ロットばらつきによる影響を抑えるための仕組みである自動補正機構を取り入れており，初めてレイアウト設計を行う学生レベルであっても所望の動作を可能となるよう構成している．そのため，4名それぞれ学生レベルのレイアウトを作成しその特性を測定することで，自動補正機構の効果を確認することが可能である．なお，測定の結果として4名中3名が所望の動作を行うことができている．1名については，レイアウトおよびスケマティックを確認した結果，本来設定するべきパラメータではない値を用いており，そのパラメータではシミュレーション上でも動作不能であったことを確認している．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Synopsys社 StarRC（XT），Synopsys社 Hercules，Synopsys社 HSPICE（RF），**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：その他

令和5年度第1回ローム CMOS 0.18um 試作

入力電圧範囲が可変な確率的フラッシュADCを用いたサブレンジングADC

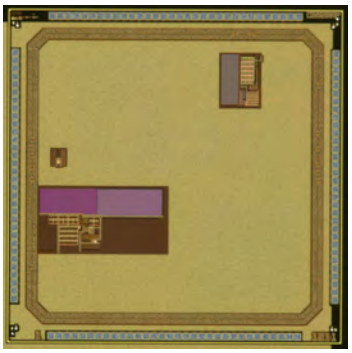


東京電機大学大学院工学研究科　坂口 平
東京電機大学工学部　小松 聡

概要：近年，CMOSプロセスの微細化に伴って，MOSFETの閾値電圧のばらつきが大きくなっている．特にコンパレータは，その閾値電圧のばらつきによってオフセット電圧のばらつきが大きくなる．このオフセット電圧のばらつきをトリップポイントとして活用した確率的フラッシュADCが提案された．しかし，確率的フラッシュADCは入力電圧範囲が狭いことや，閾値電圧のばらつきのみに依存していたため，外部で入力電圧範囲を制御することが困難であった．そこで，入力電圧範囲を制御することのできる確率的フラッシュADCを提案した．今回のチップ試作では，この入力電圧範囲を制御することのできる確率的フラッシュADCをサブレンジングADCのFine段に応用したサブレンジングADCを実装した．この回路を実測することで，Fine段の確率的フラッシュADCの入力電圧範囲を制御することによる特性の改善を確認した．

設計期間：1人月以上，2人月未満　**設計ツール**：Synopsys社 DesignCompiler，Synopsys社 ICCompiler，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Synopsys社 HSPICE（RF），　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

周波数同期回路を用いたオンチップ発振回路TEG

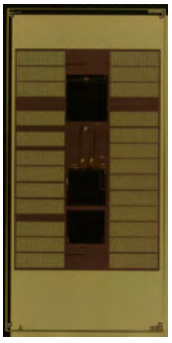


東京電機大学大学院工学研究科　原 航太
東京電機大学工学部　小松 聡

概要：本試作では温度及び電源電圧の変動に対して耐性の高いオンチップ発振回路の試作を行った．実測した抵抗の温度係数を用いて温度係数がゼロになるよう設計した抵抗器を用いることで温度依存性を低減させた．電源電圧変動に対しては原理的に影響を受けない回路である．作した回路は製造ばらつきに対する耐性が低いため，発振周波数のばらつきについても測定を行った．測定の結果，温度変動に対しては室温から65℃程度まで周波数の変動は見られなかったが，それ以上の温度では周波数の変動が見られた．電源電圧変動に対しては上に凸の特性の特性となり，周波数安定性が得られなかった．チップ毎の発振周波数ばらつきも大きいことから製造ばらつきに対する耐性が今後の課題である．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Synopsys社 HSPICE（RF），**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

MOSFETのチャネル抵抗を用いたMEMS圧力センサ

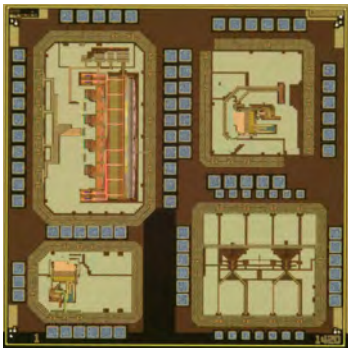


東京電機大学大学院工学研究科　前澤 龍平

概要：MEMS（Micro Electro Mechanical Systems）とは半導体微細加工技術を応用して製造する微小デバイスである．MEMSデバイスの市場規模は年々増加しているため更なる小型化や高感度なセンサが期待されている．本研究ではCMOSプロセスを用いてMEMS圧力センサの試作を行った．CMOSプロセスを用いて圧力センサとセンサの信号を増幅する増幅回路を集積することによってセンサ全体の小型化や寄生成分を低減することによる高精度化が可能である．CMOSプロセスを用いて圧力センサを製造した後にポストプロセスを行うことにより圧力センサとして動作するような構造を形成する．本研究ではMOSFETに圧力を加えた際にチャネル抵抗が変化することによるドレイン電流の変化を検知することで圧力の変化を検知する圧力センサの試作を行った．今回の試作では圧力センサをホイートストンブリッジ回路，増幅回路を計装アンプとした圧力センサの試作を行った．今回の試作ではダイアフラムサイズが500 μm × 500 μmの圧力センサの試作を行った

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），**トランジスタ数**：10〜100　**試作ラン**：ローム CMOS 0.18μm 2.5mmx5.0mmチップ　**チップ種別**：MEMS

Multiplying DLL，TDA，Flash ADC

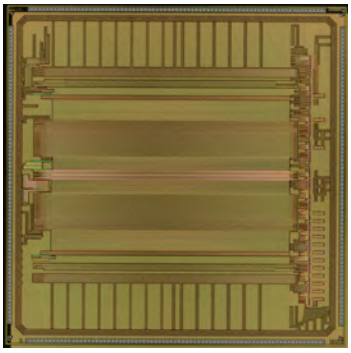


芝浦工業大学工学部　佐々木 昌浩, 鈴木 ケイ, エルキンズ 礼, 秋山 真司

概要：本試作では，1チップを3つの領域に分割し，異なる複数の機能の回路を実装している．1つ目の回路は，Multiplying Delay Locked Loopである．この回路は，DLLの入力信号生成回路であり，133MHzを基準にして12〜15倍の周波数を出力する機能を有している．MDLLとDLLの動作の確認のためにMDLL単体と，その後段にDLLを接続した二種類の回路を実装している．2つ目の回路は，Time Difference Amplifierである．微小時間差での利得を補正する回路の特性確認のため，これをバイパスしたものと補正回路を実装したものの二つを実装している．3つ目の回路はTDAを用いたFlash Analog to Digital Converterである．この回路はVoltage to Time Converterを用いることでアナログ電圧を時間領域で比較を行うことで低電圧化に対応した高速高分解能なFlash A/D Converterを実現している．

設計期間：4人月以上，5人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Synopsys社 StarRC（XT），Synopsys社 Hercules，Synopsys社 HSPICE（RF），Keysight社 ADS，　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

CTIA 画素回路と蓄積途中複数回CDSにより低照度感度・S/N を向上させた高速リニアイメージセンサ

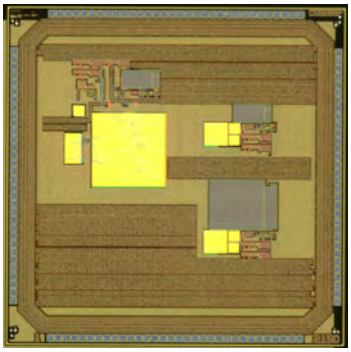


東京理科大学大学院工学研究科　池沢 尚紀

概要：高速・高感度・高S/Nな撮像を目的として，CTIA 画素回路と蓄積途中複数回CDSにより低照度感度・S/N を向上させた高速リニアイメージセンサを試作した．高感度化を実現するために，CTIAフィードバック回路を用いたが，画素回路内の雑音まで高い利得で増幅しノイズフロアを上昇させるという問題点がある．そこで，蓄積途中の画素信号出力を用いることで複数回のCDSを行い，得られた結果を用いて平均化処理を施すことでノイズフロアを低減する．また，Dual CG機構を画素に組み込むことでHDR化も行う． 本チップはCTIAフィードバック画素回路，オペアンプ，読み出し回路，水平走査回路，出力バッファ回路，信号同期回路，バイアス生成回路から構成されており，AD変換を行うADCについては面積の都合上，チップ外部の評価ボードに配置した．画素回路は512（H）×1（V）で構成しており，画素ピッチは7.08umとした．チップを制御する信号は外部ボード上のFPGAで生成しており，チップまでの伝送中に生じた歪みや遅延を抑制するために信号同期回路を配置した．また，出力バッファ回路を配置することでアナログ出力を可能とし，外部ADCでのAD変換を可能とした．

設計期間：4人月以上，5人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Cadence社 Spectre，**トランジスタ数**：100,000〜1,000,000　**試作ラン**：ローム CMOS 0.18μm 5.0mm角チップ　**チップ種別**：イメージセンサ/スマートセンサ

Multiphase Fractional-N PLL

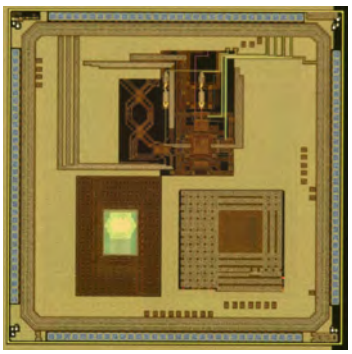


富山県立大学大学院電子・情報工学専攻　吉河 武文, 水野 功務, 永末 玲央

概要：5相クロックを出力するマルチフェーズのPLLを試作した．このPLLは，2次のデルタシグマ変調器（DSM）を備え，Fractional-N PLLとして機能する．5相出力の電圧制御オシレータ（VCO）から出力されたクロックは，それぞれのDSMにより分周比がNとN+1に適宜切り替えられて分周される．そして各DSMによって所定の分周比に分周された5相のクロックは，参照クロックと比較される．この参照クロックは，入力クロックをDLLにより5相に分割されて生成されており，これら5相の参照クロックが上記の5相の分周クロックと位相周波数比較器（PFD）で比較される．このように，入力クロックが5相に分割されて，VCOからの5相クロックと比較される．つまり，入力クロック1周期で5回の比較結果を得られることになるので，入力クロック周波数を上げた場合と等価になり，ループ帯域を広げることができるので，小面積化が図れる．

参考文献：Reo Nagasue, Isamu Mizuno, Ryo Kishida, Tatsuya Iwata and Takefumi Yoshikawa “A Fractional-N PLL for Multi-Phase Clock Generation with Loop Bandwidth Enhancement”, , ISCAS2024　**設計期間**：4人月以上，5人月未満　**設計ツール**：Cadence社 Xcelium，Synopsys社 ICCompiler，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナデジ混載

部分露光型イメージセンサ，磁気センサの特性評価用TEG

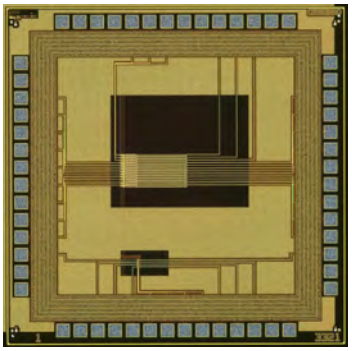


茨城大学理工学研究科　木村 孝之

概要： イメージセンサの多画素化による読み出し速度上昇に対応するため，本研究では蓄積・読み出しする画素の範囲を絞る事が可能な，部分露光型イメージセンサの感度ばらつきを抑えるための画素設計を行った．これまでの研究では制御回路を分割して画素へ配置する際にフォトダイオード面積が変化してしまったため，それが原因で画素の感度のばらつきが生じてしまっていた．本試作で設計した画素では画素間の配線を工夫することでフォトダイオードの面積の変化を抑えた．その結果，試作されたチップにおける画素間のばらつきは1.4%以内に抑えることができ，先行研究で得られているばらつきである16.8%よりも低減することができた．合わせてバイオセンシングに適用可能な磁気ビーズ制御を可能とするための集積化磁気センサ回路の設計と試作を行った．磁気ビーズを制御するためには磁場を発生するためのコイルを配置する必要があるが，磁気ビーズの制御のためにはセンシングを行う磁気センサとコイルを積層しなければならない．そのため，少ない金属配線層で効率的に磁場を発生する必要がある．その設計に有限要素法シミュレータFemtetを併用し，少ない金属配線層でコイルを実現した．試作チップで直径4.5μmの磁気ビーズの移送実験を行ったところ，76.9μm/sの移送速度が実現できた．

設計期間：1人月以上，2人月未満　**設計ツール：**Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数：**1,000〜10,000　**試作ラン：**ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別：**TEG（特性評価回路など）

暗電流が多いフォトダイオードで利用可能なフォトアンプの特性評価用TEG

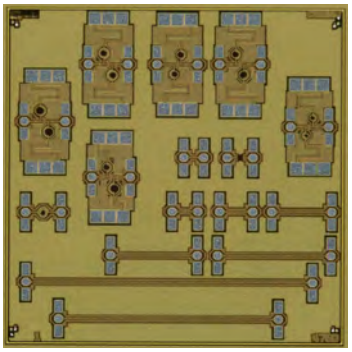


茨城大学理工学研究科　木村 孝之

概要： 現在，環境負荷の低いマグネシウムシリサイドを材料とした光電変換素子の開発が行われている．実現されている光電変換素子では材料の結晶性から暗電流が多い問題があった．そのため，暗電流が多いフォトダイオードでも正常に光電変換するための回路を検討し試作した．まず実現されている光電変換素子でのリーク電流は素子のバイアスが0Vの時に最小となるため，トランス・インピーダンス・アンプ（TIA）を利用することとした．トランスインピーダンスは1MΩとし，TIA回路は10回路配置した．入力に1MΩの抵抗を接続することで1倍の反転回路を形成しゲインを測定したところ，10回路におけるゲイン誤差は2%以内に収まっていた．続いて浜松ホトニクス社製のフォトダイオード（L10660）を使用してTIA回路のI/V特性を測定したところ，0.95 V/μAとなり，トランスインピーダンス値からも妥当な値であることが確認できた．さらにマグネシウムシリサイドからなるフォトダイオードでも1.05V/μAとなった．以上の結果から，試作したTIA回路は暗電流が多い光電変換素子でも利用可能であることが明らかとなった．

設計期間：1人月以上，2人月未満　**設計ツール：**Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数：**1,000〜10,000　**試作ラン：**ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別：**TEG（特性評価回路など）

高周波増幅回路TEG

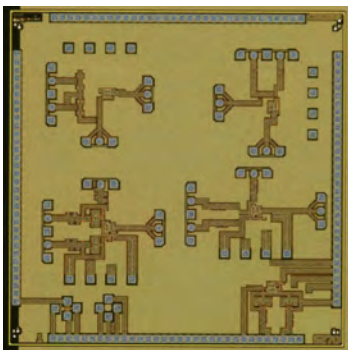


広島大学先進理工系科学研究科　吉田 毅
広島大学工学部　持田 光輝, 三吉 雄大, 濱崎 拓真, 内藤 智康, 稲吉 翔太

概要：本シャトルでは学部4年生がRF回路の基礎を学ぶため，Rohm 180nm CMOSプロセスを用いた回路設計，回路シミュレーション，電磁界シミュレーション，レイアウト設計を実施し，10GHz以上で動作するRF増幅回路の試作および測定を行った．本試作では，1段のシングルエンドのソース接地増幅器の設計を行った．整合回路はスパイラルインダクタとキャパシタを用いたL型整合回路を用いた．MOSFETへのゲート電圧およびドレイン電圧供給は高周波数帯で低インピーダンスを実現するために，電源パネルの代わりに0Ω伝送線路を用いている．また，シミュレーション結果と測定結果の乖離を検証するために，回路で用いた各種要素素子をデバイスTEGとして試作した．搭載したデバイスTEGは，特性インピーダンス50Ωの伝送線路，MIM（Metal-Insulator-Metal）キャパシタ，MOM（Metal-Oxide-Metal）キャパシタ，スパイラルインダクタ，MOSFETである．試作した1段のシングルエンド増幅器の測定を行い，中心周波数 18GHz，3dB帯域幅 3GHz，ピークゲイン 7.2dBを得た．また伝送線路TEGの測定結果は電磁界シミュレーション結果とよく一致しており，Rohm 180nm CMOSプロセスのRF-PDKで提供されている伝送線路モデルの妥当性を検証できた．

設計期間：5人月以上，6人月未満　**設計ツール：**Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Synopsys社 HSPICE（RF），Keysight社 ADS，　**トランジスタ数：**10〜100　**試作ラン：**ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別：**TEG（特性評価回路など）

強化学習に用いる履歴積算回路

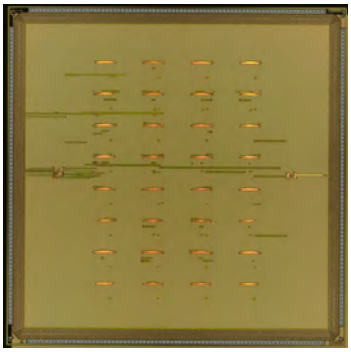


明治大学理工学部　海野 悠人, 坪井 凜

概要：現在，当たり確率の分からない複数台のスロットマシンから1台のスロットマシンを選んでアームを引くことを繰り返して儲けの最大化を目指す，多本腕バンデット問題が広く研究されている．多本腕バンデット問題の中で最も基礎的な2本腕バンデット問題解決用のシステムをアナログ回路で実装することが目的である．今回は，低電圧・小面積CMOSアナログ回路を設計することを根底に置き，強化学習システムに必要な回路の設計を行った．2022年の2月TOのチップが，うまく動作しなかったため，不良原因を検討し，再度レイアウトを行った．今回作成した回路は環境から得られた結果を保持する回路である．レイアウトを行うにあたり，電流が多く流れる部分の配線幅をより太く，また，階層を増やす工夫をした．そして，PADの数を減らすことで，低面積化を図った．

設計期間：4人月以上，5人月未満　**設計ツール：**Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Synopsys社 StarRC（XT），**トランジスタ数：**10〜100　**試作ラン：**ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別：**アナログ/デジタル信号処理プロセッサ

超低電圧で動作するLeakage-based PUFの評価チップ

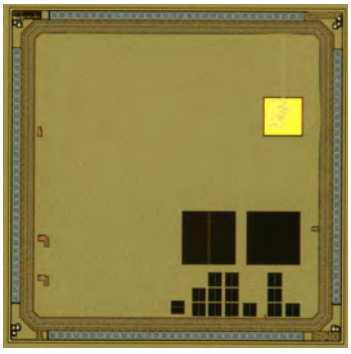


芝浦工業大学電気電子情報工学専攻　畑 俊吉
芝浦工業大学工学部　宇佐美 公良

概要：LSIチップの個体識別技術として，半導体素子のばらつきを利用したPUF（Physically Unclonable Function）が注目されている．素子のばらつきの中でも，しきい値電圧のばらつきに起因するサブスレッショルドリーク電流のばらつきを利用したLeakage-based PUFとして，LRPUF（Leak Racing PUF）が提案されたが，実機での超低電圧動作は確認できていない．本チップは，超低電圧で動作するLRPUFのPUF性能と機械学習攻撃耐性の実機評価を目的として試作した．超低電圧下では，PUFとして利用するのに十分なリーク電流が確保できないため，トランジスタのゲート-ソース間電圧を制御する電圧を用意した．これにより，リーク電流が増加し超低電圧動作が可能となる．試作チップは0.3V〜1.8Vと広範囲の電源電圧での動作が確認できており，PUF性能や機械学習攻撃耐性については現在鋭意測定中である．

設計期間：3人月以上，4人月未満　**設計ツール：**Synopsys社 DesignCompiler，Synopsys社 ICCompiler，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Synopsys社 HSPICE（RF），Synopsys社 Formality，　**トランジスタ数：**100,000〜1,000,000　**試作ラン：**ローム CMOS 0.18μm 5.0mm角チップ　**チップ種別：**TEG（特性評価回路など）

超音波イメージングのための増幅回路 ほか



慶應義塾大学理工学部　中野 誠彦, 永田 智考
慶應義塾大学大学院理工学研究科　渡邉 悠太, 森 瑞紀

概要：X線やMRIによるイメージングと比べて，非侵襲かつ安価・簡易な超音波イメージングが注目されている．超音波イメージングには受信した信号を処理するためにアナログフロントエンドが必要になる．我々の研究では，これらをより低消費電力かつ小型に設計することを目標としている．今回の試作では，超音波イメージングに向けた要素回路としてオペアンプを設計した．超音波信号の周波数は2Mhzを想定しており，ゲインは約40dBで設計を行った．しかし，今回作成したオペアンプでは電圧の出力範囲が0.5V〜1.3Vほどととても狭いものであり，アンプとして用いると考えるのであれば，できる限りフルスイングに近い範囲で出力できるように改善したいと考えている．

設計期間：2人月以上，3人月未満　**設計ツール：**Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，　**トランジスタ数：**10〜100　**試作ラン：**ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別：**アナログ（PLL, A-D/DC-DCコンバータなど）

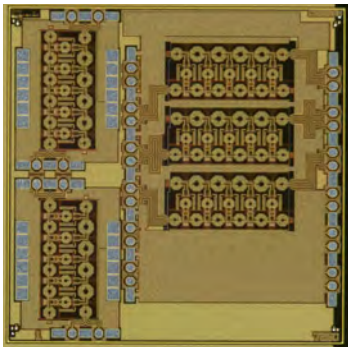
0.3V動作オペアンプ

埼玉工業大学工学部　吉澤 浩和

概要：近年，集積回路の電源電圧は1 V未満であることが珍しくなくなっている．低電圧化により，消費電力の低減や電池の軽量化が可能になるなどのメリットがある．オペアンプにおいても0.3 V以下で動作する回路構成について活発に研究が行われている．0.3 V以下の電源電圧での動作ではBody-driven入力を用いた回路構成が多く報告されている． 本研究室では電源電圧0.3Vで動作するCMOSオペアンプを考案し，回路シミュレーションで良好な動作を確認した．文献[1]（H. Yoshizawa and N. Inoue, “A 0.3-V 10-nW CMOS OTA with Feedforward Body-Driven Structure,” IEEE International Conference on Microelectronics, Dec., 2023.）で報告した回路を3段構成にして利得を上げることを試みるため0.18μm CMOSプロセスを用いて試作を行った．実機で測定して動作を確認するため，ローム社0.18μm CMOSプロセスを用いてICの試作を行ったが，今回の試作でも正常な動作を確認することができなかった．原因としては前回と同様にDeep Nwellが正しく作られていなかったことが考えられる．

参考文献：H. Yoshizawa and N. Inoue, “A 0.3-V 10-nW CMOS OTA with Feedforward Body-Driven Structure,” IEEE International Conference on Microelectronics, Dec., 2023. **設計期間**：0.5人月以上, 1人月未満 **設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE（RF）, **トランジスタ数**：10〜100 **試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ **チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

光変調器ドライバアレイ，差動分布型増幅器

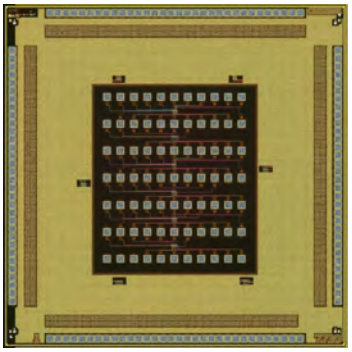


横浜国立大学工学研究院　川原 啓輔, 馬場 俊彦

概要：データセンタ内光インターコネクションの高速・低消費電力化が求められている．分布型増幅器は広帯域かつ高出力を実現できるため，光変調器のドライバ増幅器に適している．以前に我々は，疑似伝送線路に結合インダクタを用いた完全差動分布型増幅器を提案し，省面積を実証した．しかし，疑似伝送線路における信号の伝搬損失により，通常のインダクタを用いた場合に比べて帯域が制限される問題があった．本研究では，差動疑似伝送線路に負性RC回路を装荷し伝搬損失を補償することで広帯域化した差動分布型増幅器を試作した．回路シミュレーションにより性能を評価した結果，以前の回路に比べて62%の広帯域化が期待される．また，差動の最大出力電力としては，以前を9.3 dB上回る13 dBmが見込まれる．光変調器のモデルと組み合わせた信号伝送のシミュレーションも実施した．

参考文献：川原啓輔，馬場俊彦，「負性RC回路による損失補償を用いた差動分布型ドライバ増幅器」，IEICEソサイエティ大会，C-12-18，名古屋大学，2023年9月． **設計期間**：0.5人月以上，1人月未満 **設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Keysight社 ADS， **トランジスタ数**：100〜1,000 **試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ **チップ種別**：通信（RF回路，ATMなど）

断熱的論理回路によるPUF回路のTEG試作

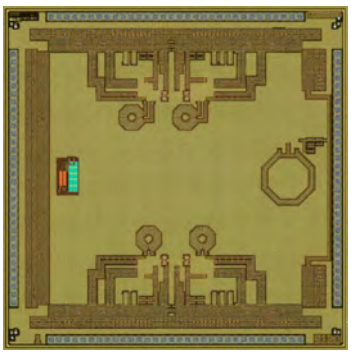


岐阜大学大学院工学研究科　劉 家銘
岐阜大学工学部　高橋 康宏

概要：IoT技術の発展に伴い，スマートフォン，スマートカードなどのデバイスは世界において広く用いられている． これらのデバイスを利用する際は，暗号，個人情報などの機密データを送信するため，デバイスのセキュリティ確保が重要になる．そのため，物理複製困難関数（PUF）は セキュリティ問題に対する解決策の1つとして，重要な役割を果たしている． PUFは，与えられたチャレンジビットを複雑な物理システムを通し，ユニークかつ複製困難な方法でレスポンスビットに変換する． PUF を用いた暗号システムの応答は予測不能となるため，システムへのサイバー攻撃から機密データを守ることができる．本チップでは 2相クロック断熱的PUFを改善した新たな断熱的 PUFを試作し，従来PUFとの比較を行った．

参考文献：劉家銘, 高橋康宏, “断熱的論理によるSRAM-PUFのシミュレーションによる評価,” 2021年電気学会電子回路研究会, vol. ECT-21, pp. 53-57（ECT-21-076）, Dec. 2021. **設計期間**：1人月以上, 2人月未満 **設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 Hercules, **トランジスタ数**：100〜1,000 **試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ **チップ種別**：TEG（特性評価回路など）

電磁カップリング検証用発振器TEGとPLL相互干渉ノイズ低減用TEGおよびエナジーハーベスト向け切り替え機能付き昇圧回路TEG



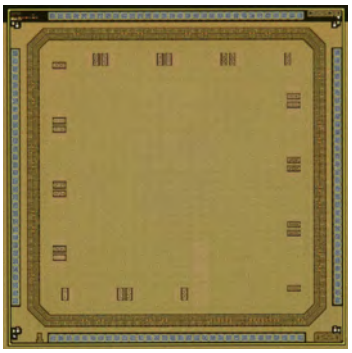
大阪工業大学大学院工学研究科 電気電子機械工学専攻　駒林 龍二, 安部 慶太, 榎 一将
大阪工業大学工学部 電気電子システム工学科　吉村 勉

概要：発振器間の電磁カップリングについて定量的に解析するために，大小二つの距離をもつ2つの発振器を実装した．ノイズ発生源の発振器を動作させ，各発振器の出力波形のスプリアスを測定することで電磁カップリング強度の距離依存性を解析する．もう一つは，2つの位相同期回路の電磁カップリングによる相互干渉現象を検証し，その影響の低減を目的としたテスト回路を設計した．相互干渉を低減するための機構として，発振器の分周出力の電流パルスを用いた注入回路を実装した．測定において，その注入タイミングおよび強度依存を検証する．また2種類の発電素子を想定したエナジーハーベスト向け昇圧回路も実装した．特に今回，ウェアラブル端末を想定した熱電発電と太陽光発電を並列に発電素子として用い，その発電量の大小関係を比較してより効率のよい方を採用するための比較器およびそれを用いた昇圧回路を設計した．実機測定によりその効果を検証する予定．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Synopsys社 StarRC（XT），Synopsys社 Hercules，Synopsys社 HSPICE（RF），Keysight社 ADS，　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

令和5年度度第2回ローム CMOS 0.18um 試作

弛張型発振回路を用いたFiCCの容量測定TEG



立命館大学情報理工学部　越智 裕之

概要：Fishbone-in-Cage Capacitor（FiCC）はメタルフリンジキャパシタの一種であり，魚の骨状の内側電極を籠状の外側電極で囲んだ構成にすることで，内側電極が周囲からのクロストークノイズの影響を受けにくくしている．数fF程度の小容量のFiCCは疑似的にダブルゲート構造を構成して不揮発性メモリを実現することにも利用できる．しかしこのような小容量のFiCCは構造が複雑であり，フィールドソルバなどで正確に容量を求めることは難しいと考えられる．容量を測定する方法として，リングオシレータにキャパシタを接続して発振周波数から容量を推定することも試みられたが，トランジスタのばらつきや環境の変動の影響を受けやすい．本試作チップには，被測定キャパシタと高抵抗ポリ抵抗の時定数を用いた弛張型発振回路を実装した．高抵抗ポリ抵抗はトランジスタよりもばらつきが小さく，環境の影響も比較的受けにくいと考えられる．32個から40個のFiCCを並列接続し，1MΩの高抵抗ポリ抵抗と組み合わせて弛張型発振回路を試作して測定したところ，並列にしたFiCCの数に応じて発振周期が線形に変化することが確認できた．

設計期間：0.1人月以上，0.5人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

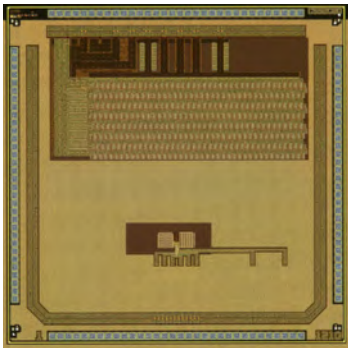
4入力ニューロンCMOS型可変論理回路

東海大学大学院情報通信学研究科　澤田 桐弥, 古川 大鷹, 穂刈 成晃, 福原 雅朗

概要：本試作では，ニューロンCMOS型FGC付き4入力可変論理回路を設計，試作した．本回路は4入力の可変論理回路であり，制御信号を切り替えることで，NOT，AND，ORの基本論理回路の動作だけでなく，XOR，XNORを含む8種類の4入力対称論理機能を実現している[1]．本回路は，FGC（Floating-Gate Calibration）回路を付加したニューロンCMOSインバータ3つで構成されている．FGC回路は，ニューロンCMOSインバータの懸念点であるFG（Floating-Gate）を安定化させる回路である．これにより，FGに蓄積される初期電荷による影響をなくせる他，チップ製造時におけるばらつきの影響を受けても問題なく動作することができる．今回試作したチップの評価を行う際に，FGの動作が安定していることを確認するため，FGの電圧を測定するためのボルテージフォロワを設計し，3つのニューロンCMOSインバータに付加している．本回路を，HSPICEシミュレーションによる動作検証を行い，チップを試作した．

参考文献：[1] Shoma Ito, Hisaya Sawada, Hirotaka Furukawa, Naruaki Hokari, Daishi Nishiguchi, Masaaki Fukuhara,“A Layout Area Reduction of Basic Logic Element by Using a Neuron CMOS Type 4-input Variable Logic Circuit,” Proceedings of 2023 IEEE Region 10 Conference（TENCON）, pp.564-569, Nov. 2023.　**設計期間**：10人月以上　**設計ツール**：Cadence社 Virtuoso，Synopsys社 CustomCompiler，Mentor社 Calibre，Cadence社 QUANTUS, Synopsys社 HSPICE（RF），　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

確率的フラッシュADCに向けたばらつき測定可能なTEG



東京電機大学工学部　武田 拓郎, 小松 聡

概要：プロセスの微細化にともなって製造ばらつきの影響が大きくなり，MOS FET の閾値電圧ばらつきが大きくなる．MOS FET の閾値電圧ばらつきが大きくなることによりコンパレータのオフセット電圧ばらつきが大きくなる．そのため，コンパレータを多数用いるフラッシュADC はオフセット電圧ばらつきによりA/D 変換時に誤差が生じる．この誤差を小さくするため，オフセット電圧ばらつきを利用する確率的フラッシュADC がある．しかし，確率的フラッシュADC を構成するコンパレータの実際のオフセット電圧ばらつきは設計段階ではわからない．本研究ではMOS FET の閾値電圧ばらつきによって起こるオフセット電圧のばらつきを測定するTEG を設計し，コンパレータのオフセット電圧ばらつきを測定できる回路を提案した．測定を行うために比較動作をするコンパレータを任意に選択してオフセット電圧ばらつきを測定することができる回路を用いた．測定結果から設計したTEG がオフセット電圧のばらつきを測定できることが確認できた．

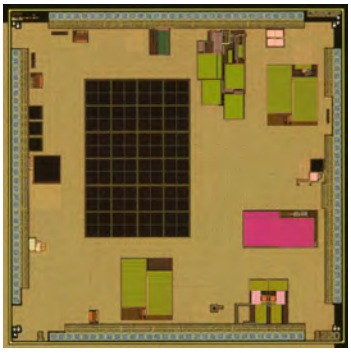
設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Synopsys社 HSPICE（RF），**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

MOSFETのチャネル抵抗を用いたMEMS圧力センサ

東京電機大学大学院工学研究科　前澤 龍平
東京電機大学工学部　小松 聡

概要：MEMS（Micro Electro Mechanical Systems）とは半導体微細加工技術を応用して製造する微小デバイスである．MEMSデバイスの市場規模は年々増加しているため更なる小型化や高感度なセンサが期待されている．本研究ではCMOSプロセスを用いてMEMS圧力センサの試作を行った．CMOSプロセスを用いて圧力センサとセンサの信号を増幅する増幅回路を集積することによってセンサ全体の小型化や寄生成分を低減することによる高精度化が可能である．CMOSプロセスを用いて圧力センサを製造した後にポストプロセスを行うことにより圧力センサとして動作するような構造を形成する．本研究ではMOSFETに圧力を加えた際にチャネル抵抗が変化することによるドレイン電流の変化を検知することで圧力の変化を検知する圧力センサの試作を行った．今回の試作では圧力センサをホイートストンブリッジ回路，増幅回路を計装アンプとした圧力センサの試作を行った．今回の試作ではダイアフラムサイズが300 μm × 300 μm，200 μm × 200 μm，100 μm × 100 μmの3種類のセンサの試作を行った．
設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：10〜100　**試作ラン**：ローム CMOS 0.18μm 2.5mmx5.0mmチップ　**チップ種別**：MEMS

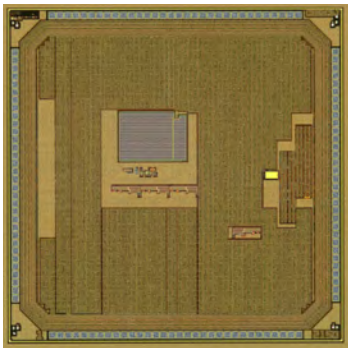
IoTのためのアナログ回路TEG



広島工業大学工学部/電子情報工学科　升井 義博

概要：IoTの研究・開発・実用化に伴い，無線センサーネットワークの利用が開始されつつある．最近の無線センサーネットワークでは信号通信用の配線だけでなく，電源配線の無線化もすすみつつある．特にセンサ系回路においてはアナログ回路の性能改善が重要である．そのような背景を受け，本試作ではエネルギーハーベストを電源とし，無線センサーネットワークでの利用を想定したアナログ要素回路の試作を行った．低電圧駆動，低消費電力というテーマで0.18μmCMOS プロセスを用いたアナログ回路TEGとして以下の回路を集積した．基準電圧生成回路，照度センサ，温度センサ，電流センサ，リアルタイムクロック生成回路等．その他として，LED照明（可視光）を利用した通信のための送受信回路も集積した．
参考文献：野﨑勘太郎，升井義博，”サーミスタを用いた高速応答温度センサに関する研究”2023年度（第74回）電気・情報関連学会中国支部連合大会，2023年10月（オンライン開催）　**設計期間**：0.1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Cadence社 Spectre，　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

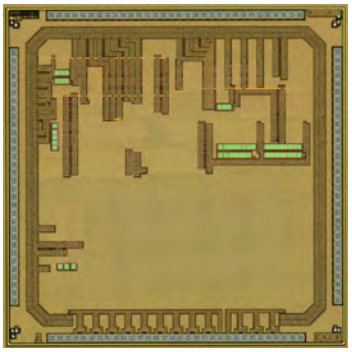
モード多重伝送用トランシーバIC



富山県立大学大学院電子・情報工学専攻　吉河 武文
富山県立大学工学部 電気電子工学科　先田 涼真, 長崎 慎也

概要：シングルエンドで4レベルの信号をやりとりする4ビットのトランシーバを試作した．このトランシーバの出力側（TX）では，所定のテーブルに従ってエンコードされた4ビットのデジタルデータをそれぞれ4レベルの電流値として出力する．この出力電流は，外部の終端抵抗により4レベルの電圧信号に変換されるとともに，4線ケーブルを介して受信側（RX）に入力される．RXでは，3つの比較電圧値との比較により，各線における入力された信号のレベルを判断し，その判断結果をデコードして，その結果を各線2ビットで出力する．このデータ伝送は，エンコードとデコードの妙により，各線間のクロストークが最小化される．
参考文献：松嶋徹，今川壱織，福本幸弘，”モード多重伝送のための電力分配器によるシールド付4線ケーブルに対するモード信号印加法，”EMCJ2022-7，第122巻，pp. 37-42，Apr. 2022.　**設計期間**：3人月以上，4人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナデジ混載

10mV電源でバッテリ充電可能なDC/DCコンバータ



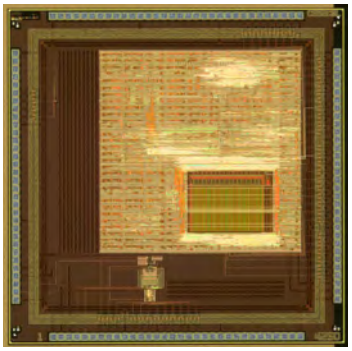
静岡大学工学部　丹沢 徹

概要：バッテリーと熱電発電素子（TEG）を備えてバッテリーの電力消費を抑制できるDC-DCコンバータの回路システムを提案し，回路シミュレーション，実測によってその効果を検証した．現在，太陽光や熱などの自然環境に存在する微小なエネルギーを電力に変換して回路を動かすエネルギーハーベスティング（EH）という技術がIoT用センサデバイスの電源供給手段として注目されている．EHでは発電素子から得られる出力電圧が低いことや，環境に依存する技術であることから電力供給が安定しないためバッテリーとの併用が行われている．それにより，電力供給が安定するほかバッテリーそのものの電力消費を抑制することが出来る．本研究ではDC-DCコンバータの制御回路をバッテリー電力で動作させて，TEGの出力電力を電力変換してバッテリーを充電する．制御回路に使う電力よりコンバータの出力電力が大きければ正味の電力はプラスになる．この条件ではバッテリーは充電される．コンバータの回路パラメータをこの正味の充電電力を最大化するように決定する理論を求めた．この理論の実証をするために入力電圧10mVで1.5Vのバッテリーを充電できる回路を試作した．

参考文献：齋藤 航，丹沢 徹，極低電圧電源でバッテリを充電する昇圧コンバータの設計，電子情報通信学会総合大会 2023年3月

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，　**トランジスタ数**：10〜100　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

差動増幅回路・SERV SoC with lightweight cryptography cores

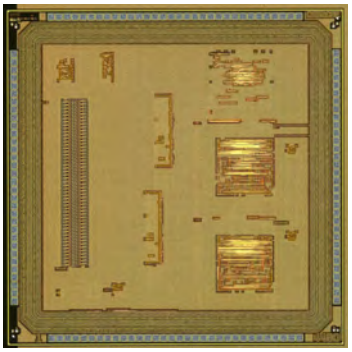


電気通信大学情報理工学研究科　小黒 柊, 竹内 翔吾, Nguyen Khai Duy, 範 公可

概要：①今回は差動増幅回路について報告する．MOSFETの特性の1つである増幅動作を解析するために差動増幅回路の設計をRohm 0.18μmで行った．バイアス電圧により，電流源としてふるまうNMOSによって，回路全体への安定した電流制御がなされる．また，入力電圧及び出力電圧範囲をPMOSへのバイアス電圧で調整している．試作回路のシミュレーションにおいて直流利得は31dB，ユニティゲイン周波数は約800MHzとなった．実測では必要なバイアス電圧の値が変化した．また，利得について安定した結果を得ることができなかった．ある程度の安定した出力から直流利得を測定したが，シミュレーションの値よりも悪い値となっていた．②本プロセッサでは軽量暗号コアを搭載したSoCを提案する．SoCには32bitRISC-VコアであるSERVプロセッサ，Ascon暗号コア，AES暗号コアが含まれる．この設計は，性能のトレードオフを伴うビット・シリアル・アプローチによるスペースの最適化に重点を置いている．ASCON暗号スイートはMonkeyDuplexをベースにしており，認証された暗号化とハッシュ機能を提供する．これらのスキームは，単一の実装でAEADとハッシュを処理できる場合，同じ320ビットのパーミュテーションを使用しながら128ビットのセキュリティを提供する．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 GENUS，Cadence社 Innovus，Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 StarRC（XT），　**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナデジ混載

遅延故障およびIC間配線の検査用の各種検査容易化回路の試作

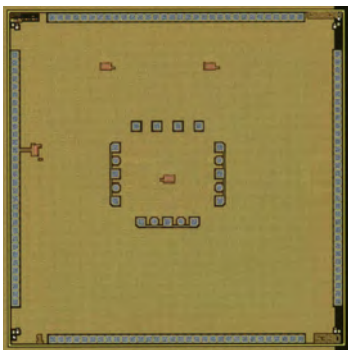


徳島大学大学院創成科学研究科理工学専攻　有元 康滋, 大濱 瑛祐, 大松 正男, 川野 航生, 佐々木 渓, 三木 勇人
徳島大学大学院社会産業理工学研究部　四柳 浩之

概要：下記のIC間配線の検査用の回路4種と注入電荷量を用いるIC内回路の検査回路1種を含むチップを試作した．1）PUF機能を持つ時間-ディジタル変換回路（TDC）組込型検査容易化回路を設計した．2）待機状態ICの配線検査に対応するバウンダリスキャン設計を実装した．3）弛緩発振器を用いるIC間断線検出を行う検査回路を実装した．4）自己観測型TDC組込みバウンダリスキャンを用いる半断線故障検査を実装した．5）注入電荷量によるIC検査回路を実装した．各回路について動作検証および検出可能故障の条件についての実験を行なっている．

設計期間：6人月以上，7人月未満　**設計ツール**：Cadence社 Xcelium，Synopsys社 DesignCompiler，Synopsys社 ICCompiler，Cadence社 Virtuoso，TOOL社 Lavis，Mentor社 Calibre，Cadence社 QUANTUS，Cadence社 Spectre，Synopsys社 PrimeTime，Synopsys社 Formality，**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

2本腕バンディット問題を解くアナログ回路の集積回路設計

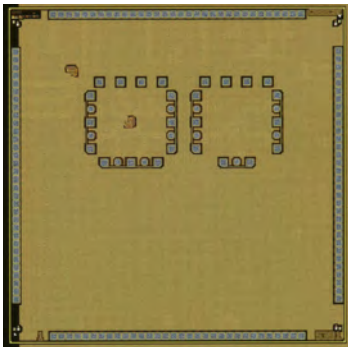


明治大学理工学研究科電気工学専攻　中條 洋資

概要：本試作チップでは，2本腕バンディット問題を解くための集積回路を設計した．2本腕バンディット問題とは2つのスロットマシンが存在した時，選択を繰り返して過去の結果から報酬を最大化するというものである．ROHM社の 0.18 μmで学習システム全体の集積化を行った．回路構成は比較器，選択回路，履歴積算回路，パルス発生器，D-FFから構成されている．比較器と選択回路は寄生容量による遅延時間を極力抑える設計をしている．また，履歴積算回路において充放電幅を揃える設計を行い，スロットマシンの選択に偏りがないようにしている．学習システム全体でのシミュレーションでは1 GHzでの動作が確認できている．比較器や選択回路単体でも測れるようにしている．測定結果として比較器とパルス発生器，履歴積算回路，D-FFは10 MHzでの動作が確認できた．一方で，学習システム全体と選択回路は所望の動作が得られなかった．選択回路は動作不良の原因を追究し，再設計を行う．

参考文献：中條，森，和田，関根，原，笠松，成瀬，”2本腕バンディット問題を解くアナログ回路の集積回路設計”，電子回路研究会資料，pp.11-16，2024年3月　**設計期間**：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Synopsys社 StarRC（XT），　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナデジ混載

2本腕バンディット問題を解くアナログ集積回路

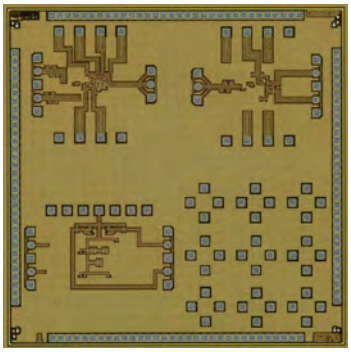


明治大学理工学研究科電気工学専攻　森 光平

概要：本試作チップでは，機械学習分野の一つである2本腕バンディット問題を解くための集積回路を設計した．バンディット問題とは確率が不明な複数のスロットマシンが存在したとき，どのように報酬を最大化するかという問題である．スロットマシンの確率を通信分野のスループットや伝送エラー率に置き換えることでWi-Fiのチャネル選択やアクセスポイントの選択などに応用ことができる．先行研究により，PCB基板上での回路動作が確認されており，30 MHzでの動作が報告されている．ここでは，段階的な高速化のために1 GHzを目標として設計した．回路構成としては，Double-Tail型コンパレータ，履歴積算回路，選択回路およびパルス生成回路から構成されている．履歴積算回路は簡単なチャージポンプ回路で構成され，電圧を増減させることでスロットマシンの当たり状況を蓄えている．履歴積算回路の出力電圧を基準の電圧と比較を行うことで選択する．システム全体での回路では所望の動作が得られなかった．また，コンパレータとパルス生成回路のみの実装も行っており，コンパレータは100 MHz，パルス生成回路は15 MHzでの動作が確認できた．履歴積算回路と選択回路が動作不良の原因であると予想し，再設計を行っている．

設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Synopsys社 StarRC（XT），**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナデジ混載

強化学習に用いるマシン選択回路および履歴積算回路および光リザバコンピューティングに用いるアナログ積和演算回路

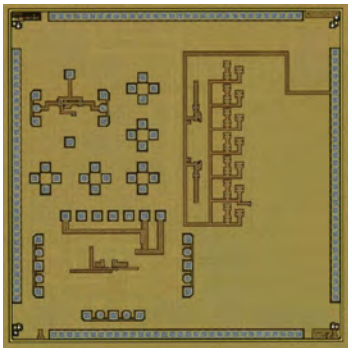


明治大学理工学部　安藤 夏輝, 海野 悠人

概要：低電圧・小面積CMOSアナログ回路を設計することを根底に置き，強化学習システムに必要な回路の設計を行った．強化学習の内環境を選択する回路と環境から得られた結果を保持する回路の高速動作を期待し，最低限のトランジスタ数で構成し試作した．結果として，約1GHzでの動作を確認することができた．実測によって得られた結果から，強化学習システムのさらなる検討をすることができた． また現在，省エネルギー化や高速化の観点から光を用いた演算が期待されており，光と電気を融合させて双方の長所を活かす光電融合での演算処理技術の研究が注目を集めている．光電融合研究の一環として光リザバーから出力された重みと信号を乗算して出力する乗算回路の設計も行った．本回路は7つの入力と重みを乗算し，加算まで行える7入力積和演算回路になっている．本回路は入出力の信号が差動信号になっているためノイズに強いことや直流で入力するコントロール電圧によって出力信号の倍率を変えられることが特徴として挙げられる．

設計期間：4人月以上，5人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Synopsys社 StarRC（XT），**トランジスタ数**：10〜100　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

光リザバコンピューティングに用いるアナログ積和演算回路



明治大学理工学部　安藤 夏輝, 緒方 敦洋

概要：現在，省エネルギー化や高速化の観点から光を用いた演算が期待されているが，光を用いた複雑な演算処理技術は確立されておらず，光のみでの演算が難しいため，光と電気を融合させて双方の長所を活かす光電融合での演算処理技術の研究が注目を集めている．光電融合研究の一環として光リザバーから出力された重みと信号を乗算して出力するギルバートセルを試作した．ギルバートセルはアナログの乗算器である．デジタル回路は線形，アナログ回路は非線形という特徴があり，雑音や素子ばらつきを考慮する必要のあるアナログ回路は扱いが難しいように思える．しかし，光リザバーと併用するため高速化が必要な本回路はアナログ回路での設計が必須となる．本回路は入出力の信号が差動信号になっているためノイズに強いことや直流で入力するコントロール電圧によって出力信号の倍率を変えられることが特徴として挙げられる．今後は光リザバーチップとの併用を目指して，評価，改善を続けていく予定である．

設計期間：4人月以上，5人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Synopsys社 StarRC（XT），**トランジスタ数**：10〜100　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：演算回路（乗算器，除算器など）

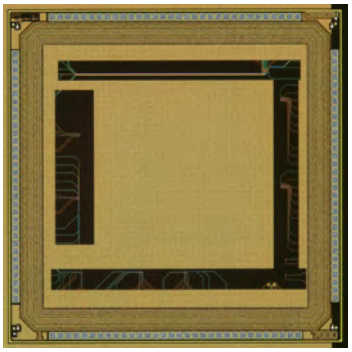
超低電圧向けオンチップ温度センサ

芝浦工業大学電気電子情報工学専攻　永井 海音
芝浦工業大学工学部　宇佐美 公良

概要：IoTデバイスは環境発電やバッテリーによる駆動が考えられ，限られた電力で動作する回路設計が求められる．本研究室では電源電圧を閾値電圧以下として，リーク電流により動作する温度センサ回路の研究が行われている．リーク電流の温度依存性を利用し，温度により異なる配線の充電時間をデジタル値に変換し温度を測定する手法である．従来の手法では9bitのカウンタ回路を用いていたが超低電圧ではカウンタ回路が動作しないという問題があった．今回の試作では複数段連続したバッファとラッチ回路で構成されるTime-to-Digital Converter（TDC）に置き換えた構造で超低電圧化を目指した．TDCは64段のバッファとラッチから構成され，温度により出力が論理値1となるラッチの段数が異なることを利用して温度を測定する．温度センサ回路を16個搭載し，16個のうち1つ選択しチップから出力するマルチプレクサを搭載した．本試作では正常な動作を確認することが出来なかった．これは初期動作の段階で期待する出力がされなかったためチップの出力を決定するマルチプレクサのレイアウトに問題があることが考えられる．

設計期間：4人月以上，5人月未満　**設計ツール**：Synopsys社 DesignCompiler，Synopsys社 ICCompiler，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Synopsys社 HSPICE（RF），　**トランジスタ数**：100,000〜1,000,000　**試作ラン**：ローム CMOS 0.18μm 2.5mmx5.0mmチップ　**チップ種別**：TEG（特性評価回路など）

多端子MOSFETによる回路動作の「その場」計測TEG

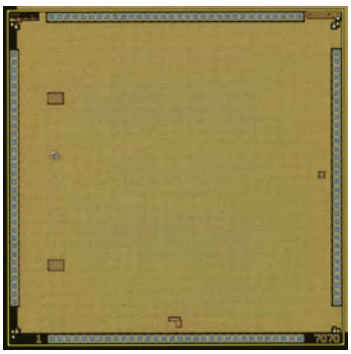


山形大学大学院理工学研究科　原田 知親

概要：現在，IoT（Internet of Things）技術を使ったデータ収集デバイスなどの開発が盛んに行われているが，適用分野によっては，安心安全を担保する必要に迫られている．特に，集積回路の置かれている動作環境の収集や故障予測・セキュリティー検証などにおける，回路動作時の電流検出・評価においては，今後の安全性の確保やシステム効率の向上のために必要である．電流検出部分において，MOSFETをベースとしたセンサを用いると，集積回路と同様のSiプロセスで作製可能なため，回路内への組み込みが容易となり，集積回路内の回路ブロック単位でのリアルタイム計測やデータ収集が可能になる．特に集積回路におけるサイドチャネル攻撃などのセキュリティーに対する検証用モニタとして利用することも可能である．よって，以前からセンサ・回路素子として研究されている多端子MOSFETを応用し，基本的なディジタル回路（インバータ，AND，1bit加算器等）へ多端子MOSFETを組み込んで設計し，間接的に貫通電流や充放電電流を計測することで回路動作の「その場」計測を行なった．また，今後のオンチッププロービングを想定し，それに必要はアナログ基本回路（電圧フォロア，差動増幅器等）を設計し試作評価を行なった．

参考文献：[1] 原田，“多端子 MOSFET による回路動作の「その場」計測”，第40回「センサ・マイクロマシンと応用システム」シンポジウム，2023年11月　**設計期間**：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

0.3V動作オペアンプ

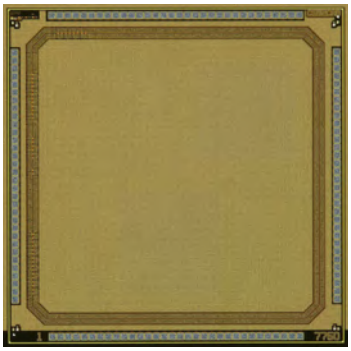


埼玉工業大学工学部　吉澤 浩和

概要：近年，集積回路の電源電圧は1 V未満であることが珍しくなくなっている．低電圧化により，消費電力の低減や電池の軽量化が可能になるなどのメリットがある．オペアンプにおいても0.3 V以下で動作する回路構成について活発に研究が行われている．0.3 V以下の電源電圧での動作ではBody-driven入力を用いた回路構成が多く報告されている． 本研究室では電源電圧0.3Vで動作するCMOSオペアンプを考案し，回路シミュレーションで良好な動作を確認した．文献[1]（H. Yoshizawa and N. Inoue, “A 0.3-V 10-nW CMOS OTA with Feedforward Body-Driven Structure,” IEEE International Conference on Microelectronics, Dec., 2023.）で報告した回路を0.18μm CMOSプロセスを用いて試作を行った．これまでに試作した際はNMOSのボディ端子から信号を入力するため，Deep Nwellを用いていた．しかしDeep Nwellが正しく作成できずにオペアンプが動作しなかったと思われるため，今回はPMOSのボディ端子から信号を入力する構成に変更した． 実機で測定して動作を確認するため，ICの試作を行ったところ，ボルテージフォロワ構成で電源電圧0.3Vでの動作が確認できた．詳細の測定は現在継続中である．

参考文献：H. Yoshizawa and N. Inoue, “A 0.3-V 10-nW CMOS OTA with Feedforward Body-Driven Structure,” IEEE International Conference on Microelectronics, Dec., 2023.　**設計期間**：0.5人月以上, 1人月未満　**設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE（RF），　**トランジスタ数**：10〜100　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

スキャン機能を有する排他制御素子

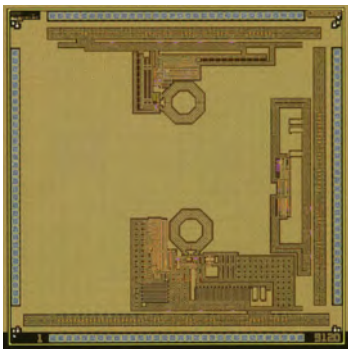


奈良高専情報工学科　岩田 大志
奈良高専システム創成工学専攻情報システムコース　衛藤 優, 谷口 翔寿人

概要：排他制御素子（Mutex）に対して，テスト用のスキャン機能を付与したゲートレベル回路をレイアウトにテクノロジマッピングすることで設計した．結果として，カスタム設計ではライブラリとしてスキャン排他制御素子が利用可能となった． また，以前作成したスキャンC素子をスタンダードセル対応とする改良を行い，同じくカスタム設計した結果，そちらも搭載することができた． 残念ながら上流工程からライブラリとしてそれらのセルを利用するところまでは達さなかったが，来年度またチャレンジする予定である．

参考文献：谷口翔寿人, 岩田大志, 山口賢一: “スキャンMUTEXを対象としたレイアウトレベルの設計,” 第22回情報科学技術フォーラム講演論文集, No.1, CC-006, pp.63-68, Sep.（2023）.　**設計期間**：1人月以上，2人月未満　**設計ツール**：Synopsys社 DesignCompiler，Synopsys社 ICCompiler，Cadence社 Virtuoso，Mentor社 Calibre，　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：演算回路（乗算器，除算器など）

Fractional-N PLL TEG，CDR-PLL TEGおよびジッタ検出回路TEG

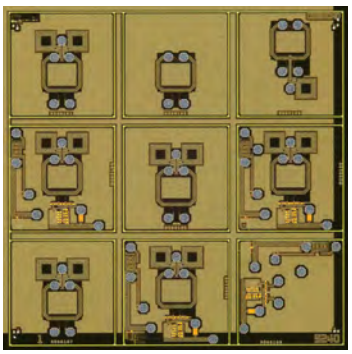


大阪工業大学大学院工学研究科 電気電子機械工学専攻　大槻 祥太郎, 駒林 龍二, 中尾 駿太, 野中 拓磨, 兒玉 沙恭, 岡田 康宏
大阪工業大学工学部 電気電子システム工学科　吉村 勉

概要：位相同期回路の応用として，Fractional-N PLLを設計・試作した．今回，2.5GHz発振器を用いたType-IIリニアPLLをベースとした回路構成を採用した．ΔΣ変調器としてMASH1-1を用い，量子化ノイズを削減するためにOver clockingを採用した．またそれに伴うリファレンススプリアスを削減するために，Twin-T Notchフィルタとスイッチトキャパシタフィルタを実装している．もう一つは2.5Gbps対応リファレンスレスCDR-PLL回路の設計で，周波数引き込み回路の省電力化として，位相引き込みループに切り替え後はFD回路の大部分を停止する方式を用いている．またEXOR回路とチャージポンプを組み合わせたCML型チャージポンプを採用し，2.5Gbps動作に対応した．さらに，PLLの安定性を測定評価するための高精度ジッタ検出回路を設計・試作した．

設計期間：3人月以上, 4人月未満　**設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre, Synopsys社 StarRC（XT），Synopsys社 Hercules，Synopsys社 HSPICE（RF），Keysight社 ADS，　**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

広帯域化を目指したオンチップ方向性結合器



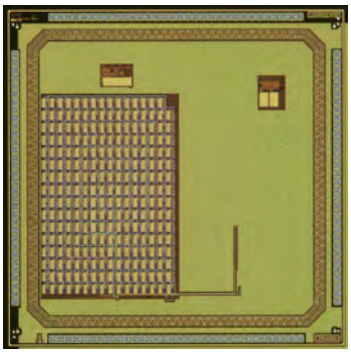
大阪工業大学工学部電気電子システム工学科　金城 良守, 濱田 昌鴻, 大室 樹生

概要：本試作チップは，携帯電話のフロントエンドモジュールに内蔵されるマイクロ波部品である方向性結合器である．方向性結合器は，送信信号の電力測定とアンテナからの反射測定に重要な役割を果たし，送信電力の制御やアンテナインピーダンスの調整に使われる．我々はフェーズシフタを副線路に挿入することで信号の位相を制御し，結合度の周波数依存性を抑圧することで，挿入損失を本質的に減らし，広帯域化を狙っている．本研究では，集積回路上に，新しい構成のフェーズシフタ付き方向性結合器カプラを考案し，2.5次元および3次元電磁界シミュレータで設計した．比較対象として，移相器を備えない従来の方向性結合器も実装しており，特に感度が高いパラメータである方向性（Directivity）が劣化しないことを確かめることも本設計の目的としている．また，方向性を向上させる技術として，10ビットの制御信号で可変できるRC終端回路も備えた．単純なシリアルーパラレル変換器として，D-FFからなるシフトレジスタで基本的に構成された簡易インターフェース回路も集積した．

設計期間：4人月以上，5人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Keysight社 ADS，**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：通信（RF回路，ATMなど）

令和5年度度第3回ローム CMOS 0.18um 試作

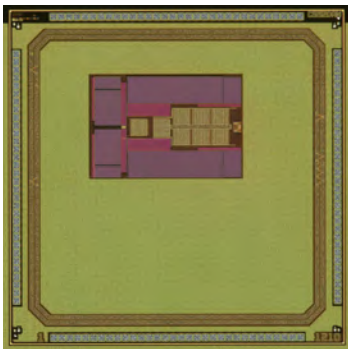
容量-ディジタル変換回路/ディジタル-時間変換回路および電源回路の試作



山梨大学大学院工学専攻電気電子工学コース　向井 一輝, 土屋 真弥
山梨大学大学院総合研究部　佐藤 隆英, 小川 覚美

概要：本試作では，容量・ディジタル変換回路，時間・ディジタル変換回路および電源回路の設計を行った．容量・ディジタル変換回路はチャージポンプ回路を用いて電荷転送行うことでセンサ容量の電圧が一定値に達するまでの電荷転送回数が容量値に比例することを利用して容量をディジタル値に変換する．この方式ではスイッチトキャパシタ回路のように演算増幅器を必要としないため低電力化が期待できる．時間・ディジタル変換回路は消費電力低減のため2段構成とし，1段目ではディジタル・時間変換回路で1回前に変換した入力時間信号と新しく変換する入力時間信号の差分を検出し，その差分信号のみを変換する方式を用いた．試作チップでは，容量・ディジタル変換器のアナログ回路部のみ実装した．スイッチの制御信号は外部から与える．また，時間・ディジタル変換器は，まず回路の線形特性の評価を行うためにディジタル・時間変換回路のみを実装した．電源回路は本研究室が提案した昇降圧型DC-DCコンバータに用いるスイッチ及び制御回路を試作している．
設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

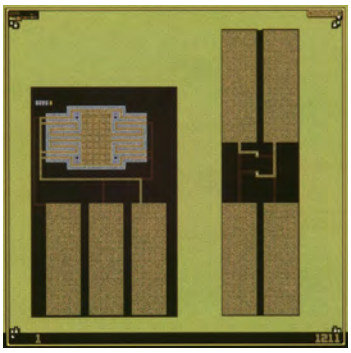
ウェアラブル機器搭載に向けたパッシブ型マルチビットΔΣ変調器



東京電機大学大学院工学研究科　丸山 尚哉
東京電機大学工学部　小松 聡

概要：パッシブフィルタを用いたΔΣ 変調器は，低消費電力であるがフィルタ部におけるゲインが得られないため，分解能が低いという課題がある．分解能の向上のためにパッシブフィルタとアクティブフィルタ，ローゲイン回路を組み合わせた回路が提案されたが，分解能の向上に対して消費電力が大きく増加する．そこで本研究では従来手法よりも消費電力の増加を抑え，従来のパッシブ型ΔΣ 変調器と比較してSNDR を向上させることを目的とし，パッシブフィルタと低消費電力なコンパレータより構成された2-bit Flash ADC を組み合わせた変調器を提案する．提案回路はRohm 社0.18 μm CMOS プロセスで設計され，帯域幅10 kHz，クロック周波数は1.28 MHz とした．回路レベルのシミュレーションによる評価によって提案回路が，1.75 μW の消費電力，54.0 dB のPeak SNDR, 62 dB のダイナミックレンジを実現することを示した．
設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Synopsys社 HSPICE（RF），**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

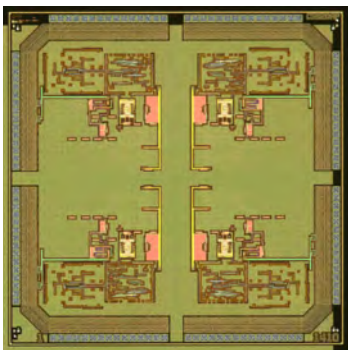
静電作動式RF-MEMSスイッチ



東京電機大学工学研究科　後河内 駿介
東京電機大学工学部　小松 聡

概要：MEMS（Micro Electro Mechanical Systems）とは集積回路技術を発展させた「マイクロマシーニング」と呼ばれる微細加工技術により，回路だけでなく微細構造体やセンサ，あるいは機械的に動くアクチュエータを集積化させたものである．MEMSの中でも高周波（RF）帯のMEMS技術をRF-MEMSと呼ばれている．近年，モバイル通信システムにおける5G（第5世代モバイル技術）が普及している．5Gを処理するシステム作製には優れたコンポーネントが必要になる．本研究では静電力で作動する低動作電圧なCMOS-MEMSスイッチを試作し，MEMSスイッチを接触状態にするために必要なプルイン電圧の測定及びMEMSスイッチを接触状態から非接触状態にする時，接触状態のまま固着しないような動作信頼性を高めることを目的としている．本試作では，可動電極をメタル5層及びメタル4層で設計した．コンデンサの電極間距離を充分に確保するための犠牲層をメタル3層及びメタル2層で設計した．引き下げ電極をメタル層で設計した．また，試作したチップのMEMS構造を解放するために武田クリーンルームにて加工を行い，RF-MEMSスイッチを製作する．犠牲層であるメタル1層のエッチングを行い，加速度センサとして機能するように製作を行った．その結果，犠牲層部分のビアが細かいため，充分にエッチングすることが出来なかった．
設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，　**トランジスタ数**：〜10　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：MEMS

水道，ガス流量計

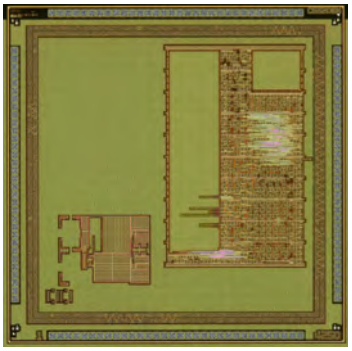


信州大学大学院総合理工学研究科　尾田 準平, 松尾 直哉
信州大学工学部　上口 光

概要：本テストチップは，水道メータ用の流量計とガスメータの流量計のテスト回路から構成されている．水道，ガスの双方の流量計は超音波の伝搬時間差を基に流体の流速を求め，そこから流量を算出する，流量計TEGは超音波アクチュエータの駆動回路とスイッチング制御，また，受信信号から伝搬時間を検出する回路から構成されている．水道メータ用の流量計は2022年第4回試作の再設計であるが，ガスメータ用の流量計は気体においても超音波が伝搬しやすくなるよう，超音波の周波数を変えられる機能を実現している．それに合わせた帯域幅のバンドパスフィルタも実装した．これにより，気体においても超音波による流量の測定ができると考えられる．

参考文献：J. Oda, Y. Kaga and K. Johguchi, “Multi-phase time-zooming high-precision ultrasonic water flow meter” Extended Abstracts of 2023 Solid State Devices and Materials（SSDM2023）, 63 03SP62　**設計期間**：1人月以上，2人月未満　**設計ツール**：Cadence社 Xcelium，Synopsys社 VCS，Synopsys社 DesignCompiler，Synopsys社 ICCompiler，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 ICADVM，Cadence社 QUANTUS，Cadence社 Spectre，Synopsys社 HSPICE（RF），Synopsys社 PrimeTime，Synopsys社 Synplify，Synopsys社 Formality，　**トランジスタ数**：10,000～100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：イメージセンサ/スマートセンサ

先行研究再現オペアンプ・
SERV SoC with Ascon lightweight cryptography cores

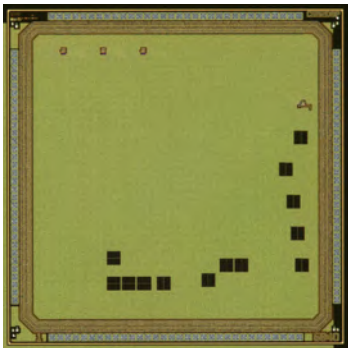


電気通信大学情報理工学研究科　小黒 柊, 竹内 翔吾, Nguyen Khai Duy, 範 公可

概要：①先行研究との環境の違いによる影響を解析するため，オペアンプの設計をRohm 0.18μmで行った．入出力電圧がフルスイングする，Rail-to-Rail動作の確保するため複数のカレントミラー回路による電流制御を設計している．また，ある程度位相余裕を獲得するために，外付けの位相補償コンデンサを150pFとして設定している．試作回路の性能は，シミュレーションにおいては直流利得は95dB，ユニティゲイン周波数は7.2MHz，位相余裕は41°となった．実測では，ユニティゲイン周波数はあまり変化しなかったが，位相余裕の値がシミュレーションの値よりも悪い値となった．原因の1つとして，周期的な出力のノイズを発生させている，電源のノイズが考えられる．②軽量暗号コアを搭載したSoCを提案する．SoCには32bitRISC-Vコアである SERVプロセッサとAscon暗号コアが含まれている．本設計では，IoTアプリケーションに適した順列数の少ないAscon-128を実装に選択しました．マイクロプロセッサとのデータ交換は1KBのRAMバッファで処理され，アスコン・コアのその他の制御信号はステータス・レジスタに格納され，いずれもウィッシュボーン・バス経由で直接アクセスできる．この設計の占有面積は約8.5kGEで，Ascon暗号コアは3.1KGE，SERVプロセッサは3.2KGEである．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 GENUS，Cadence社 Innovus，Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 StarRC（XT），　**トランジスタ数**：1,000～10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナデジ混載

チップ題目：超音波イメージングのためのLPF

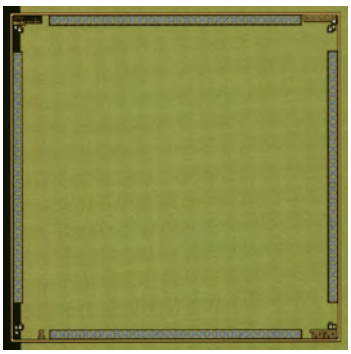


慶應義塾大学理工学部　中野 誠彦, 永田 智考
慶應義塾大学大学院理工学研究科　渡邉 悠太, 森 瑞紀

概要：X線やMRIによるイメージングと比べて，非侵襲かつ安価・簡易な超音波イメージングが注目されている．より精度の高い超音波イメージングを実現するために，受信した信号を処理するアナログフロントエンドをより低歪みで作成することが目標となる．今回の試作では主にローパスフィルター（LPF）を作成した．このLPFでは入力信号の周波数を2MHzと想定しており，カットオフ周波数が約4MHz程度になるように設計した．また，オペアンプ自体の性能もよくなるようにカスコード型のオペアンプを新たに設計しLPFに取り入れた．ただし，今回のLPFでは歪み率が依然として高いため，回路で発生してしまうノイズがイメージングにおいて妨げとなってしまうことから今後改善を続ける予定である．

設計期間：2人月以上，3人月未満　**設計ツール**：Synopsys社 DesignCompiler，Synopsys社 ICCompiler II，Cadence社 Virtuoso，Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre, Synopsys社 HSPICE(RF), Synopsys社 PrimeTime, Synopsys社 Formality，　**トランジスタ数**：10～100　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

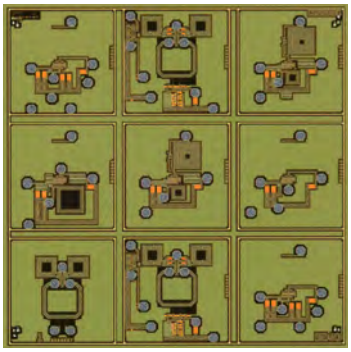
Deep Nwellを用いたNMOSトランジスタ



埼玉工業大学工学部　吉澤 浩和

概要：本研究室ではNMOSトランジスタのボディ端子に信号を入力するbody-drivenを用いた低電圧動作のCMOSオペアンプを考案し，回路シミュレーションで電源電圧0.3Vでの動作を確認した．しかしながら，0.18μm CMOSプロセスを用いて2回の試作を行ったところ，2回とも正常な動作が得られなかった．そこで，Deep Nwellを用いたNMOSトランジスタを試作し，Deep Nwellが正しく作られているか，そして，NMOSトランジスタは正常に動作するかを確認することとした． 残念ながら今回試作したNMOSトランジスタは正常な動作が得られなかった．ボディ端子とソース端子を0Vに固定して，ドレイン端子とゲート端子を短絡した状態で電圧を0Vから増やしたところ，ドレイン電流は単調増加はするものの，強反転領域のドレイン電流の式とは大きく異なる性質の電流値が計測された．正常な動作をしない原因について，今後検討を行っていく．
設計期間：0.1人月以上，0.5人月未満　**設計ツール：**Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数：**～10　**試作ラン：**ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別：**TEG（特性評価回路など）

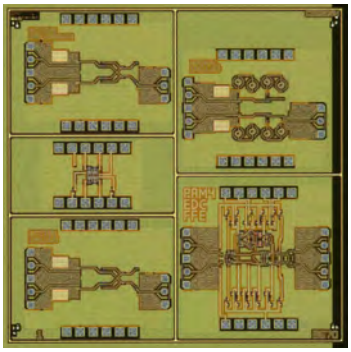
LNAの線形化TEGおよび広帯域なオンチップ方向性結合器



大阪工業大学工学部電気電子システム工学科　金城 良守, 濱田 昌鴻, 大室 樹生

概要：本試作チップは，無線通信装置の受信器で用いられるLNA（低雑音増幅器）の線形化を狙ったTEGおよび方向性結合器のTEGである．LNAの線形化技術は様々存在するが，今回はゲートとボディのバイアス電圧を所望の設定値にすることで，3次歪を5dB改善することを狙っている．本プロセスを使用しての初めての設計であるため，入出力マッチングや負荷共振がないアンプも実装している．LNAに加えて，9月にテープアウトした方向性結合器の改良版も設計した．方向性結合器は，送信信号の電力測定とアンテナからの反射測定に重要な役割を果たし，送信電力の制御やアンテナインピーダンスの調整に使われる．我々はフェーズシフタを副線路に挿入することで信号の位相を制御し，結合度の周波数依存性を抑圧することで，挿入損失を本質的に減らし，広帯域化を狙っている．本研究では，集積回路上に，新しい構成のフェーズシフタ付き方向性結合器カプラを考案し，2.5次元および3次元電磁界シミュレータで設計した．比較対象として，移相器を備えない従来の方向性結合器も実装しており，特に感度が高いパラメータである方向性（Directivity）が劣化しないことを確かめることも本設計の目的としている．また，方向性を向上させる技術として，10ビットの制御信号で可変できるRC終端回路も備えた．
設計期間：2人月以上，3人月未満　**設計ツール：**Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Keysight社 ADS，**トランジスタ数：**100～1,000　**試作ラン：**ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別：**通信（RF回路，ATMなど）

光受信用アナログフロントエンド回路 TEG10



岐阜大学大学院自然科学技術研究科　石田 翔悟, 大鹿 純聖
岐阜大学工学部　伊藤 大輔, 中村 誠

概要： 情報トラフィック量の増加に対応するため，光通信システムの高速大容量化，長距離化が求められている．また，情報通信機器の増加による消費電力や装置占有面積の増加も喫緊の課題である．これまでの試作で，アナログフロントエンド回路であるTIA（Transimpedance Amplifier）の広帯域・低雑音特性を小型で実現するインダクタレス回路技術を検討してきた．今回の試作では，インダクタレスな高速PAM4（4-level Pulse Amplitude Modulation）レーザドライバ回路及びスタック型部分等化技術によるPAM4符号対応EDC（Electrical Dispersion Compensation）回路を検討し試作を行った． ドライバ回路では，インダクタピーキングによる帯域延伸技術の代替として，ネガティブインピーダンスコンバータ技術とアクティブフィードバック技術の協調設計による小面積帯域延伸設計を適用した．占有面積の広いインダクタを用いないことで，同程度の利得・帯域において約1/5 の小型化を実現した．EDC回路では，従来の2値符号対応EDCを縦積みしたスタック構造のEDC回路とすることで，中間レベルを持つPAM4符号を効果的に波形等化するスタック型部分等化技術を検討した．
参考文献：[1] 石田, 小澤, 鍋島, 中村, 伊藤, “FFE回路を用いたスタック型部分等化技術によるPAM4符号対応EDCの検討,” 電子情報通信学会総合大会, A-1-7, 2023年3月． **設計期間：**4人月以上，5人月未満　**設計ツール：**Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 StarRC（XT），Synopsys社 HSPICE（RF），　**トランジスタ数：**100～1,000　**試作ラン：**ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別：**通信（RF回路，ATMなど）

C. Publication list（VDEC利用者に関する発表文献リスト）

【原著論文】

[1] Weiyu Zhou, Koji Wada, Kenichi Ohta, “The Design Method of Compact Mutiplexer based on New Substrate Integrated Defected Ground Structure,” Transactions of The Japan Institute of Electronics Packaging 16 p. . E23-001-1-E23-001-13 2023年8月

[2] Weiyu Zhou, Koji Wada, “A New SIDGS-Based Tunable BPF Design Method with Controllable Bandwidth,” IEICE Transactions on Electronics, Paper No. 2022ECP5062, Vol. E106.C, No.10, pp.614-622, Oct. 2023

[3] Takemori Orima, Takeru Tsuji, Yoshihiko Horio, “An extended spatiotemporal contextual learning and memory network model for hardware implementation,” Procedia Computer Science, vol. 222, pp.478-487, 2023年8月.

[4] Junpei Oda, Yuta Kaga and Koh Johguchi, “Multi-phase time-zooming high-precision ultrasonic water flow meter,” Japanese Journal of Applied Physics (JJAP), 63, 03SP62, 2024

[5] Akira Matsuoka, Yo Kumano, Tomohiro Nezuka, Yoshikazu Furuta and Tetsuya Iizuka, “A 79.2μW 19.5kHz-BW 94.8dB-SNDR Fully Dynamic DT ΔΣ ADC using CLS-Assisted FIA with Sampling Noise Cancellation,” IEEE Transactions on Circuits and Systems-II: Express Briefs, vol. 70, no. 8, pp.2759 - 2763, Aug. 2023.

[6] Tetsuya Iizuka, Haochen Yuan, Yoshio Mita, Akio Higo, Shun Yasunaga and Motohiko Ezawa, “Experimental demonstration of position-controllable topological interface states in high-frequency Kitaev topological integrated circuits,” Communications Physics, Vol. 6, No. 279, 2023.

[7] Ryoya Shibata, Yasushi Hotta, Hitoshi Tabata and Tetsuya Iizuka, “Analysis of SAR ADC Performance Enhancement utilizing Stochastic Resonance,” IEEE Transactions on Circuits and Systems-II: Express Briefs, vol. 70, no. 12, pp.4324 - 4328, Dec. 2023.

[8] 角 颯太, 楊 明宇, 原 祐子, “故障注入攻撃耐性を強化した擬似乱数生成器の設計,” ハードウェアセキュリティ研究会，那覇，2024年3月.

[9] 一岡 知佑, タンビア アーメド, 原 祐子, “eFPGAを用いた組込みプロセッサのIP保護,” ハードウェアセキュリティ研究会，那覇，2024年3月.

[10] Haolong Zhou, Sankar Ganesh Ramaraj, Kaijie Ma, Md Shamim Sarker, Zhiqiang Liao, Siyi Tang, Hiroyasu Yamahara and Hitoshi Tabata: Nanoscale Advances, 5, 6999-7008 (2023)

[11] Md Shamim Sarker, Lihao Yao, Hiroyasu Yamahara, Kaijie Ma, Zhiqiang Liao, Kenyu Terao, Siyi Tang, Sankar Ganesh Ramaraj, Munetoshi Seki, Hitoshi Tabata: Scientific Reports, 13, 4872(1-9) (2023)

[12] Takehiro Kitamura, Takashi Hisakado, Osami Wada, and Mahfuzul Islam, “Design of Reference-free Flash ADC With On-chip Rank-based Comparator Selection Using Multiple Comparator Groups,” IPSJ Transactions on System and LSI Design Methodology, vol. 17, pp.36-43, 2024.

[13] Shinichi Ota, Mahfuzul Islam, Takashi Hisakado, and Osami Wada, “Wide-range and low supply dependency MOSFET-based temperature sensor utilizing statistical properties of scaled MOSFETs,” Japanese Journal of Applied Physics, vol. 62, no. SC, pp.SC1098, May 2023.

[14] 関山晃生，中山渉，大隈井輔，森下克幸，齊藤健 “光センサを集積回路化した受容細胞モデルに接続した光量検知に関する研究,” LSIとシステムのワークショップ2023 2023.5.10

[15] 中山渉，関山晃生，大隈井輔，森下克幸，齊藤健，“四足歩行ロボットに実装するセンサ入力可能なニューロモーフィック回路の集積化に対する検討,” LSIとシステムのワークショップ2023，2023.5.10

[16] 石濱拓実，武田健嗣，石橋元邦，後藤達巳，山﨑健太郎，石濱拓実，粟飯原萌，金子美泉，内木場文男，“歩行と走行を切り替える2足歩行制御用ハードウェアCPGモデルアナログICチップの検討,” 2023マイクロエレクトロニクスショーアカデミックプラザ 一般社団法人エレクトロニクス実装学会 2023.05.31

[17] Yamakawa S., Ando K., Akai-Kasaya M., and Asai T., “A novel small-signal detection method using divergence properties of second-order linear differential equations,” Electronics Letters, vol. 59, no. 16, pp.e12928-1-4 (2023).

[18] Wen Q., Shiramatsu T.I., Takahashi H., and Asai T.,

"Active charge balancer for CMOS integration of an array of neural stimulators," Nonlinear Theory and Its Applications, vol. E14-N, no. 2, pp.319-333 (2023).

[19] K. Kawahara, Y. Umeda, K. Takano, and S. Hara, "A 0.0058-mm2 Inductor-Less CMOS Active Balun With Gain and Phase Errors Within −0.1 ± 0.2 dB and −0.18 ± 1.17° From DC to 8 GHz," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 70, no. 6, pp.2317-2330, June 2023.

[20] K. Kawahara, Y. Umeda, K. Takano, and S. Hara, "A Compact Fully-Differential Distributed Amplifier With Coupled Inductors in 0.18-μm CMOS Technology," IEICE Transactions on Electronics, vol. E106.C, no. 11, pp.669–676, Nov. 2023.

[21] K. Naruse, T. Ueda, J. Shiomi, Y. Midoh and N. Miura, "A Fetal-Movement Circuit Harvesting High-Energy Plasma During Fabrication, Concept, and Its Application to Self-Programming PUF," IEEE Solid-State Circuits Letters, vol. 6, pp.269-272, Sep. 2023.

[22] Haruka Hirata, Daiki Miyahara, Victor Arribas, Yang Li, Noriyuki Miura, Svetla Nikova, and Kazuo Sakiyama, "All You Need Is Fault: Zero-Value Attacks on AES and a New λ-Detection M&M," IACR Transactions on Cryptographic Hardware and Embedded Systems, Vol.2024, No.1, pp.133–156, Dec. 2023.

[23] S. Tanabe, T. Tanzawa, "Battery-Assisted Battery Charger with Maximum Power Point Tracking for Thermoelectric Generator: Concept and Experimental Proof," Electronics (19) 2023年9月

[24] An Area-Efficient up/down Double-Sampling Circuit for a LOFIC CMOS Image Sensor

[25] Two-Step Reset to Reduce the SNR Drop in the LOFIC CMOS Image Sensor

[26] T. Sugiura and T. Yoshimasu, "Ka-band Stacked-FET Power Amplifier IC with Adaptively Controlled Gate Capacitor and Two-Step Adaptive Bias Circuit in 45-nm SOI CMOS," IEICE Trans. on Electornics, Vol. E106-C, No.7, pp.382-390 July, 2023

[27] H. Yonezaki, T. Mori, and J. Ida, "Steep Subthreshold Slope "Dual-Gate PN-Body Tied SOI-FET" -First Fabrication Results-," Solid-State Electronics Volume 207, September 2023, 108720

[28] H. Yonezaki, T. Mori, and J. Ida, "Leaky-integrate-and-fire operation with signal amplification using gate-controlled carrier-injection silicon-on-insulator transistor," Japanese Journal of Applied Physics, Volume 63, Number 2

[29] Q. Cheng, M. Huang, C. Man, A. Shen, L. Dai, H. Yu, and M. Hashimoto, "Reliability Exploration of System-On-Chip with Multi-Bit-Width Accelerator for Multi-Precision Deep Neural Networks," IEEE Transactions on Circuits and Systems I: Regular Papers, volume 70, number 10, 3978 -- 3991, October 2023.

[30] Q. Cheng, L. Dai, M. Huang, A. Shen, W. Mao, M. Hashimoto, and H. Yu, "A Low-Power Sparse Convolutional Neural Network Accelerator with Pre-Encoding Radix-4 Booth Multiplier," IEEE Transactions on Circuits and Systems II, 70(6), 2246 - 2250, June 2023.

[31] S. Amakawa, R. Sugimoto, K. K. Tokgoz, S. Lee, H. Ito, and R. Kishikawa, "Signal-flow-graph analysis of weakly nonlinear microwave circuits around a large-signal operating point," IEEE Trans. Microwave Theory Tech., vol. 71, no. 9, pp.3722–3733, September 2023.

[32] Y. Su, M. Yanagisawa, and Y. Shi, "A Dual-Output Rectifier-based Self-Powered Interface Circuit for Triboelectric Nanogenerators," IEEE Transactions on Power Electronics, DOI: 10.1109/TPEL.2024.3376536.

[33] 阿武宏明,橋國克明,"密度汎関数理論によるGa-P同時ドーピングBa8Cu6Ge40クラスレートの電子構造の研究," 山陽小野田市立山口東京理科大学紀要, 第7号, pp.21-26, 2024年3月.

[34] 清水暁生，吉冨貴司，野口卓朗，石川洋平，深井澄夫，"小中学生を対象としたアナログLSI設計講座," 電気学会論文誌C（電子・情報・システム部門誌），143巻，10号，pp.995–1002. Oct. 2023.

[35] M. Tanaka, Y. Kitagawa, T. Satoh, and T. Yamamoto, "Design and fabrication of low-power single-flux-quantum circuits toward quantum bit control," IEEE Trans. Appl. Supercond., vol. 33, no. 5, p. 1700805, Aug. 2023.

[36] R. Kashima, I. Nagaoka, T. Nakano, M. Tanaka, T. Yamashita, and A. Fujimaki, "Lowering latency in a high-speed gate-level-pipelined single flux quantum datapath using an interleaved register file," IEEE Trans. Appl. Supercond., vol. 33, no. 5, p. 1303306, Aug. 2023.

[37] I. Nagaoka, R. Kashima, M. Tanaka, S. Kawakami, T.

Tanimoto, T. Yamashita, K. Inoue, and A. Fujimaki, "50-GFLOPS floating-point adder and multiplier using gate-level-pipelined single-flux-quantum logic with frequency-increased clock distribution," IEEE Trans. Appl. Supercond., vol. 33, no. 4, p. 1302711, Jun. 2023.

[38] M. Tanaka, R. Sato, A. Fujimaki, K. Takagi, and N. Takagi, "Execution of stored programs by a rapid single-flux-quantum random-access-memory-embedded bit-serial microprocessor using 50-GHz clock frequency," Applied Physics Letters, vol. 122, no. 19, p. 192601, May 2023.

[39] I. Nagaoka, R. Kashima, K. Ishida, M. Tanaka, T. Yamashita, T. Ono, K. Inoue, and A. Fujimaki, "A high-throughput multiply-accumulate unit with long feedback loop using low-voltage rapid single-flux quantum circuits," IEEE Trans. Appl. Supercond., vol. 33, no. 3, p. 1301808, Apr. 2023.

[40] Ryozo Takahashi, Takuji Miki, Makoto Nagata, "An Analog Side-channel Attack on a High-speed Asynchronous SAR ADC using Dual Neural Network Technique," IEICE Transactions on Electronics, Vol. E106.C, No. 10, pp.565-569, Oct. 2023.

[41] Takuya Wadatsumi, Kohei Kawai, Rikuu Hasegawa, Kikuo Muramatsu, Hiromu Hasegawa, Takuya Sawada, Takahito Fukushima, Hisashi Kondo, Takuji Miki, Makoto Nagata, "Experimental Exploration of the Backside ESD Impacts on an IC Chip in Flip Chip Packaging," IEICE Transactions on Electronics, Vol. E106.C, No. 10, pp.556-564, Oct. 2023.

[42] Makoto Nagata, "Design of Circuits and Packaging Systems for Security Chips (Invited)," IEICE Transactions on Electronics, Vol. E106.C, No. 7, pp.345-351, July 2023.

[43] M. Zhang, S. Nishizawa and S. Kimura, "Area Efficient Approximate 4-2 Compressor and Probability-Based Error Adjustment for Approximate Multiplier," IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 70, no. 5, pp.1714-1718, May 2023.

[44] K. Mii, D. Kanemoto, T. Hirose, "Low Quiescent Current LDO with FVF-Based PSRR Enhanced Circuit for EEG Recording Wearable Devices," Jpn. J. Appl. Phys. 63 03SP33, 2024.

[45] Y. Mizuno, H. Sebe, D. Kanemoto, T. Hirose, "Ultra-low power low-dropout linear regulator with a load current tracking bias current generator for loT devices," Jpn. J. Appl. Phys. 63 02SP96 2024.

[46] K. Mii, D. Kanemoto, T. Hirose, "0.36μW/channel Capacitively-coupled Chopper Instrumentation Amplifier in EEG Recording Wearable Devices for Compressed Sensing Framework," Jpn. J. Appl. Phys. 63 03SP54, 2024.

[47] S. Sumi, H. Sebe, D. Kanemoto and T. Hirose, "Sub-50-mV power supply, recursive stacking body bias NAND gate for extremely low-voltage CMOS LSI," Jpn. J. Appl. Phys. 63 03SP87, 2024.

[48] Menghan Song, and Tamio Ikehashi, "A Capacitance Varying Charge Pump with Exponential Stage-Number Dependence and Its Implementation by MEMS Technology," IEICE Transactions on Electronics, Vol. E107-C, No.1, pp.1-11.

[49] T. Megumi, A. Endo and T. Kawahara, "Scalable Fully-Coupled Annealing Processing System Implementing 4096 Spins Using 22nm CMOS LSI," in IEEE Access, vol. 12, pp.19711-19723, 2024, doi: 10.1109/ACCESS.2024.3360034.

[50] Chihiro Matsui, Kasidit Toprasertpong, Shinichi Takagi and Ken Takeuchi, "FeFET Local Multiply and Global Accumulate Voltage-sensing Computation-in-Memory Circuit Design for Neuromorphic Computing," IEEE Transactions on VLSI Systems, December 2023.

[51] Naoko Misawa, Shunsuke Koshino, Ruhui Liu, Chihiro Matsui and Ken Takeuchi, "Dual integration design of approximate random weight generator and computation-in-memory for event-based neuromorphic computing," Japanese Journal of Applied Physics (JJAP), vol. 63, pp.03SP83, March, 2024.

[52] S. Tanaka, T. Yoshida, M. Fujishima, "Effects of parasitic elements on L-type LC/CL matching circuits," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Nov. 7, 2023.

[53] S. Lee, S. Amakawa, T. Yoshida, and M. Fujishima, "A 58-%-lock-range divide-by-9 injection-locked frequency divider using harmonic-control technique," IEICE Trans. Electron., vol. E106-C, no. 10, pp.529–532, October 2023.

[54] S. Lee, K. Takano, S. Amakawa, T. Yoshida, M. Fujishima, "A 0.6-V 41.3-GHz power-scalable sub-sampling PLL in 55-nm CMOS DDC," IEICE

Trans. Electron., vol. E106-C, no. 10, pp.533–537, October 2023.

[55] Tohru Nakamura, Michitaka Yoshino, Toru Toyabe and Akira Yasuda 3, Breakdown Characteristics of GaN DMISFETs Fabricated via Mg, Si and N Triple Ion Implantation, Micromachines. 2024; 15 (1):147. https://doi.org/10.3390/mi15010147

[56] R. Okada, M. Mizuno, T. Nagaoka, H. Takehara, M. Haruta, H. Tashiro, J. Ohta, K. Sasagawa*,"THz near-field intensity distribution imaging in 0.3-THz band using a highly sensitive polarization CMOS image sensor using a 0.35-μm CMOS process," Jpn. J. Appl. Phys., vol. 63, no. 3, 03SP66, Jan. 2024. doi:10.35848/1347-4065/ad21b8

[57] Y. Nakanishi, W. Sriitsaranusorn, T. Hattori, K.-C. Tso, K. Shodo, Y. Terasawa, Y. Sunaga, H. Takehara, M. Haruta, H. Tashiro, K. Sasagawa*, J. Ohta,"Demonstration of multi-point stimulation with AC-driven CMOS chips for retinal prosthesis," Jpn. J. Appl. Phys., vol. 63, no. 3, 03SP22, Feb. 2024. doi:10.35848/1347-4065/ad1fad

[58] K. Sasagawa*, R. Okada, Y. Akamatsu, M. Mizuno, H. Takehara, M. Haruta, H. Tashiro, J. Ohta, "Exposure time control method for higher intermediate frequency in optical heterodyne imaging and its application to electric-field imaging based on electro-optic effect," Sensors, vol. 24, no. 4, 1249, Feb. 2024. doi:10.3390/s24041249

[59] Y. Kurauchi*, S. Ryu, R. Tanaka, M. Haruta, K. Sasagawa, T. Seki, J. Ohta, H. Katsuki, "Goreisan regulates cerebral blood flow according to barometric pressure fluctuations in female C57BL/6J mice," J. Pharmacol. Sciences, vol. 154, no. 2, pp.47-51, Feb. 2024. doi:10.1016/j.jphs.2023.12.001

[60] K. Sugie, K. Sasagawa*, R. Okada, Y. Ohta, H. Takehara, M. Haruta, H. Tashiro, J. Ohta, "Implantable multimodal sensing device for simultaneous imaging and electrophysiological recording of mouse brain activity," Sens. Mater., vol. 35, no. 9, pp.3173-3188, Sep. 2023. doi:10.18494/SAM4264

[61] R. Siwadamrongpong, Y. Sunaga, K. Sasagawa*, Y. Ohta,H. Takehara, M. Haruta, H. Tashiro, J. Ohta, "Miniaturized Neural Observation System for in vivo Brain Imaging in Freely Moving Rats," Sens. Mater., vol. 35, no. 9, pp.3227-3239, Sep. 2023. doi:10.18494/SAM4563

[62] E. Rustami, K. Sasagawa*, K. Sugie, Y. Ohta, H. Takehara, M. Haruta, H. Tashiro, and J. Ohta, "Thin and scalable hybrid emission filter via plasma etching for low-invasive fluorescence detection," Sensors, vol. 23, no. 7, 3695, Apr. 2023. doi:10.3390/s23073695

[63] L. Akbar, V. C. G. Castillo, J. P. Olorocisimo, Y. Ohta, M. Kawahara, H. Takehara, M. Haruta, H. Tashiro, K. Sasagawa, M. Ohsawa, Y. M. Akay, M. Akay, J. Ohta*, "Multi-region microdialysis imaging platform revealed dorsal raphe nucleus calcium signaling and serotonin dynamics during nociceptive pain," Int. J. Mol. Sci., vol. 24, no. 7, 6654, Apr. 2023. doi:10.3390/ijms24076654

[64] T. Nishiguchi, N. Kuroki, and M. Numa, "Technology remapping approach using multi-gate reconfigurable cells for post-mask functional ECO," IEICE Trans. Fundamentals, vol. E107-A, no. 3, pp.592-599, Mar. 2024.

[65] T. Asano and T. Sugawara, "Simulation-based Evaluation of Bit-Interaction Side-Channel Leakage on RISC-V: Extended Version," Journal of Cryptographic Engineering, 2023.

[66] R. Sumikawa, A. Kosuge, Y. C. Hsu, K. Shiba, M. Hamada, T. Kuroda "A183.4-nJ/inference 152.8-μW 35-Voice Commands Recognition Wired-Logic Processor Using Algorithm-Circuit Co-Optimization Technique," in IEEE Solid-State Circuits Letters, vol. 7, pp.22-25, 2024.

[67] K. Shiba, M. Okada, A. Kosuge, M. Hamada, T. Kuroda, "Polyomino: A 3D-SRAM-Centric Accelerator for Randomly Pruned Matrix Multiplication With Simple Reordering Algorithm and Efficient Compression Format in 180-nm CMOS," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 70, no. 9, pp.3440-3450, Sep. 2023.

[68] K. Shiba, A. Kosuge, M. Hamada, and T. Kuroda, "Crosstalk Analysis and Countermeasures of High-Bandwidth 3D-Stacked Memory Using Multi-Hop Inductive Coupling Interface," IEICE Transactions on Electronics, vol. E106-C, no. 7, pp.391-394, July 2023.

[69] K. Shiba, M. Okada, A. Kosuge, M. Hamada, and T. Kuroda, "A 7-nm FinFET 1.2-TB/s/mm2 3D-Stacked SRAM Module With 0.7-pJ/b Inductive Coupling Interface Using Over-SRAM Coil and

Manchester-Encoded Synchronous Transceiver," IEEE Journal of Solid-State Circuits (JSSC), vol. 58, no. 7, pp.2075-2086, July 2023.

[70] 小島 拓也, 矢内 洋祐, 奥原 颯, 天野 英晴, 久我 守弘, 飯田 全広, "FPGAとRISC-Vプロセッサを搭載したSoC向けHW/SW設計フローと実機評価," 信学技報, vol. 123, no. 191, RECONF2023-31, pp.52-57, 2023年9月.

[71] W. Luo, O. Chen, N. Yoshikawa, N. Takeuchi, "Sigmoid function generator using stochastic adiabatic superconductor logic," Appl. Phys. Lett., 122, 242602 (2023).

[72] N. Mizushima, N.Takeuchi, Y. Yamanashi and N. Yoshikawa, "Adiabatic quantum-flux-parametron boosters for long interconnection and large fanouts," Supercond. Sci. Tech., vol. 36, 2023, 115021 (9pp).

[73] H. Shen, N. Takeuchi, Y. Yamanashi and N.Yoshikawa, "Amplitude-controllable microwave pulse generator using single-flux-quantum pulse pairs for qubit control," Supercond. Sci. Tech., vol. 36, 2023, 095010 (5pp).

[74] M. Naruse, N. Yoshikawa, N. Takeuchi, "Self-Resetting Interface Between Rapid Single-Flux-Quantum and Adiabatic Quantum-Flux-Parametron Circuits," IEEE Trans. Appl. Supercond., vol. 33, 2023, 1304704.

[75] Akira Kunihiro, Yuki Yamanashi, Nobuyuki Yoshikawa, "Pulse-Density-Modulated Microwave Generator Using Single-Flux-Quantum Circuits for Controlling Qubits," IEEE Trans. Appl. Supercond., vol. 33, 2023, 1701105

[76] Takuya Suzuki, Kazuma Akizuki, Yuki Yamanashi, Nobuyuki Yoshikawa, "Design and Component Demonstration of an SFQ Complex Event Detector Corresponding to Regular Expressions," IEEE Trans. Appl. Supercond., vol. 33, 2023, 1301105.

[77] yosuke Kageyama, Sota Arai, Hajime Hamano, Xiangbo Kong, Tetsushi Koide and Takeshi Kumaki, "Implementation of floating-point arithmetic processing on content addressable memory-based massive-parallel SIMD matrix core," IEEJ Transactions on Electrical and Electronic Engineering, Jan., 2023. DOI: https://doi.org/10.1002/tee.23753

[78] 鈴木 慎弥, 原田 知親, "0.18 μm多端子MOSFET型センサのプローブ位置と温度に対する磁界特性評価," 電気学会論文誌E（センサ・マイクロマシン部門誌), 143 巻 9 号, p.300-305, 2023年9月

[79] T. Shimizu, R. Miura, M. Fukamachi, Y. Yokoshiki, T. Tokuda, T. Shibahara, D. Kawaura and H. Kudo, Appl. Phys. Express Vol.16(5), 056501 (2023)

[80] Rioki Sanda, Koji Yamashita, Hirohito Sawahata, Kensei Sakamoto, Shota Yamagiwa, Shohei Yokoyama, Rika Numano, Kowa Koida, Takeshi Kawano, Low-invasive neural recording in mouse models with diabetes via an ultrasmall needle-electrode, Biosensors and Bioelectronics, Volume 240(2023) 115605, ISSN 0956-5663,https://doi.org/10.1016/j.bios.2023.115605.

[81] Tomoya Ide, Yong-Joon Choi, Ryoya Matsubara, Yasuyuki Kimura, Kensuke Murakami, Takeshi Hizawa, Daisuke Akai, Yoshiko Noda, Kazuhiro Takahashi, Hiromu Ishii, Toshihiko Noda, Kazuaki Sawada, "Realization of a filter-free wavelength image sensor and imaging system for visualization of wavelength information," Sensors and Actuators A: Physical, 360(2023) 114499.

[82] Takuya Kojima, Hayate Okuhara, Masaaki Kondo, Hideharu Amano, "A Scalable Body Bias Optimization Method Towards Low-Power CGRAs," IEEE Micro, Vol. 43, no. 1, pp.49-57, Jan.-Feb. 2023. DOI: 10.1109/MM.2022.3226739.

[83] Aika Kamei, Takuya Kojima, Hideharu Amano, Daiki Yokoyama, Hisato Miyauchi, Kimiyoshi Usami, Keizo Hiraga, Kenta Suzuki, and Kazuhiro Bessho, "A Variation-Aware MTJ Store Energy Estimation Model for Edge Devices With Verify-and-Retryable Nonvolatile Flip-Flops," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 31, no. 4, pp.532-542, April 2023, doi: 10.1109/TVLSI.2023.3237794

[84] Hideto Kayashima, Hideharu Amano, "TCI Tester: A Chip Tester for Inductive Coupling Wireless Through-Chip Interface," Journal of Low Power Electronics and Applications, vol. 13, no.3, Aug. 2023. DOI: 10.3390/jlpea13030048.

[85] K.Usami, H.Yokoyama, A.Kamei, H.Amano, K.Suzuki, K.Hiraga, K.Bessho, "Optimized Two-Step Store Control for MTJ-based Non-Volatile Flip-FLops to Minimize Store Energy under Process and Temperature Variations," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Accepted.

[86] S. Nagasaki, J. Kadomoto, H. Irie, S. Sakai, Dynamically Reconfigurable Network Protocol for

Shape-Changeable Computer System, IEEE Design & Test, 40, (6), 2023年12月.

[87] An Electronic Microsaccade Circuit with Charge-Balanced Stimulation and Flicker Vision Prevention for an Artificial Eyeball System. Open access journals, MDPI, Electronics, Vol.12, No.2836, 1-17pages, (2023), DOI: https://doi.org/10.3390/electronics12132836. Y. Liang, K. Nakamura, B. Du, S. Wang, B. Inoue, Y. Aruga, H. Kino, T. Fukushima, K. Kiyoyama and T. Tanaka.

[88] Dehua Liang, Hiromitsu Awano, Noriyuki Miura, Jun Shiomi, "A Robust and Energy Efficient Hyperdimensional Computing System for Voltage-scaled Circuits," ACM Transactions on Embedded Computing Systems, Sep. 2023, doi: 10.1145/3620671.

[89] zixuan li, Sangyeop Lee, Noboru Ishihara, Hiroyuki Ito. Low-power and high-resolution capacitance sensing using CMOS inverter-based RC oscillator by employing voltage-integration feedback, Japanese Journal of Applied Physics, Feb. 2023.

[90] Arisa Kimura, Kaito Kuroki, Ryoichiro Yoshida, Kenji Hirakawa, Masayuki Iwase, Munehiro Ogasawara, Takashi Yoda, Noboru Ishihara, Hiroyuki Ito. Simulation of a ring oscillator operation during γ-ray irradiation using the TID response model of MOSFETs and its experimental verification, Japanese Journal of Applied Physics, Vol. 62, SC1060, Feb. 2023.

[91] Kaito Kuroki, Arisa Kimura, Kenji Hirakawa, Masayuki Iwase, Munehiro Ogasawara, Takashi Yoda, Noboru Ishihara, Hiroyuki Ito. Design and Fabrication Results of Z-gate Layout MOSFETs for Radiation Hardness Integrated Circuit, Japanese Journal of Applied Physics, Vol. 62, SC1045, Jan. 2023.

[92] Y. Hashimoto, N. Kaneda, K. Komoku and N. Itoh, "Study of 18.2-42.0 GHz Injection-Locked Frequency Doubler with Transformer Input," IEICE Electronics Express, Vol.20, No.13, 1–52023. DOI: 10.1587/elex.20.20230107

【国際会議】

[1] H. Zhang, D. Zhang, H. Yamasaki, K. Hata, K. Wada, K. Akatsu, I. Omura, and M. Takamiya, "Gate Driver IC with Fully Integrated Overcurrent Protection Function by Measuring Gate-to-Emitter Voltage During IGBT Conduction," IEEE International Symposium on Power Semiconductor Devices and ICs (ISPSD), Hong Kong, pp.76 – 79, May 2023.

[2] H. Zhang, D. Zhang, K. Hata, K. Wada, K. Akatsu, I. Omura, and M. Takamiya, "Fully Integrated Overcurrent Protection Method During SiC MOSFET Conduction," IEEE Southern Power Electronics Conference (SPEC), Florianopolis, Brazil, pp.1-8, Dec. 2023.

[3] Takemori Orima, Yoshihiko Horio, Takeru Tsuji, and Mamoru Furuya, "Analysis of hippocampal spatiotemporal contextual learning memory model for hardware implementation," in Proc. 5th International Symposium on Neuromorphic AI Hardware, p. 22, 2024年3月.

[4] Takemori Orima, Takeru Tsuji, Yoshihiko Horio, Satoshi Moriya, and Shigeo Sato, "Memory state evaluation of spatio-temporal contextual learning memory network based on output spike rate," in Proc. International Symposium on Nonlinear Theory and Its Applications, pp.378-381, 2023年9月.

[5] Takemori Orima, Takeru Tsuji, and Yoshihiko Horio, "An extended spatiotemporal contextual learning and memory network model for hardware implementation," in Proceedings of International Joint Conference on Neural Networks, paper no. 1570883985 (10 pages), 2023年6月.

[6] 中島, 伊藤, 杉谷, 記伊, 榎原, 古田, 小林, Louvat, Jacquet, Eloy, Montfort, Lionel, Huard, "Soft-error Tolerance by Guard-Gate Structures on Flip-Flops in 22 and 65 nm FD-SOI Technologies," IEICE Trans. on Electronics (2024)

[7] 菊田, 岸田, 小林, "Ring Oscillators with identical Circuit Structure to Measure Bias Temperature Instability," International Conference on ASIC (2023)

[8] 吉田，中島，杉谷，伊藤，古田，小林，"SEU Sensitivity of PMOS and NMOS Transistors in a 65 nm Bulk Process by α-Particle Irradiation," pp.72-75, International Conference on IC Design and Technology (2023)

[9] 杉崎，中島，杉谷，古田，小林，"Frequency Dependency of Soft Error Rates Based on Dynamic Soft Error Measurements," International Conference on IC Design and Technology (2023)

[10] 小林, "Circuit-level Insight into Reliability Issues of Si-based Semiconductor Chips," pp.415-416,

International Conference on Solid State Devices and Materials (2023)

[11] 杉谷, 中島, 伊藤, 古田, 小林, Louvat, Jacquet, Eloy, Montfort, Lionel, Huard, "Radiation Hardness Evaluations of a Stacked Flip Flop in a 22nm FD-SOI Process by Heavy-Ion Irradiation," IEEE International Symposium on On-Line Testing and Robust System Design (2023)

[12] Koh Johguchi, "Smart sensing circuit design in IoT Era," Proceedings of 2023 International Symposium on Devices, Circuits and Systems, 2023.

[13] Yuichiro Ichimura, Kenta Goto and Koh Johguchi, "Temperature sensor circuit for a wearable perspiration monitoring system," Proceedings of 2023 International Symposium on Devices, Circuits and Systems, 2023.

[14] Junpei Oda, Yuta Kaga and Koh Johguchi, "A high-resolution ultrasonic water flow meter with multi-phase time-zooming technique and active band pass filter," Extended Abstracts of 2023 Internal Conference on Solid State Devices and Materials (SSDM2023), 2023.

[15] Haoming Zhang, Shuowei Li and Tetsuya Iizuka, "Dynamic Circuit Characterization and a Single Ring-Oscillator-Based Test Structure for Its Timing Parameter Extraction," in Proceedings of IEEE International Conference on IC Design and Technology (ICICDT), Sep. 2023.

[16] Yuyang Zhu, Zunsong Yang, Zhenyu Cheng, Md Shamim Sarker, Hiroyasu Yamahara, Munetoshi Seki, Hitoshi Tabata and Tetsuya Iizuka, "A 1-5GHz Inverter-Based Phase Interpolator With All Digital Control for Spin-Wave Detection Circuit," in Proceedings of IEEE International Conference on IC Design and Technology (ICICDT), Sep. 2023.

[17] Zhenyu Cheng, Zunsong Yang, Yuyang Zhu, Md Shamim Sarker, Hiroyasu Yamahara, Munetoshi Seki, Hitoshi Tabata and Tetsuya Iizuka, "Design of 1-5 GHz Two-Stage Noise-Canceling Low-Noise Amplifier With Gm-Boosting Technique for Spin Wave Detection Circuit," in Proceedings of IEEE International Conference on IC Design and Technology (ICICDT), Sep. 2023.

[18] Zunsong Yang, Masaru Osada, Shuowei Li, Yuyang Zhu and Tetsuya Iizuka, "A Reference-Sampling PLL with Low-Ripple Double-Sampling PD Achieving −80-dBc Reference Spur and −259-dB FoM with 12-pF Input Load," in IEEE Symposium on VLSI Technology and Circuits Digest of Technical Papers, Jun. 2023.

[19] Sota Kano, Naoto Usami, Atsushi Tomiki and Tetsuya Iizuka, "Preliminary Design of X-band Noise-cancelling Receiver Front-end with Radiation-Hardened 130nm SiGe BiCMOS Process for Deep Space Probes," The 34th International Symposium on Space Technology and Science (ISTS), Jun. 2023.

[20] Kousuke Miyaji, Makoto Sonehara, and Toshiro Sato, "A Collaboration from High Frequency Soft Magnetic Materials to Integrated Circuit Design for beyond 10MHz Switching Power Supply," IEEE International Magnetics Conference 2023 (INTERMAG2023), FA-06, May 2023.

[21] Mizuki Muramatsu, Jun Kawasaki, Kazuhiro Shimura, Nanami Kawada, Mitsuhide Sato, Makoto Sonehara, Toshiro Sato, Tsutomu Mizuno, and Kousuke Miyaji, "A Design Methodology for 30MHz Fe-based Metal Composite Core Isolation Power Transformer and LLC Resonant Converter," International Symposium on Integrated Magnetics 2023 (iSIM 2023), p. 45, May 2023.

[22] Jun Kawasaki, Kazuhiro Shimura, Mizuki Muramatsu, Nanami Kawada, Mitsuhide Sato, Makoto Sonehara, Toshiro Sato, Tsutomu Mizuno, and Kousuke Miyaji, "A 289nH 20MHz Isolation Planar Power Transformer with Fe-based Metal Composite Magnetic Core," International Symposium on Integrated Magnetics 2023 (iSIM 2023), p. 46, May 2023.

[23] Kyohei Ichikawa, Tatsuki Iwata, Saya Onishi, Tomohiro Higuchi, Yuya Hirose, Naoki Sakai, Kenji Itoh, and Kousuke Miyaji, "A 64.4% Efficiency 5.8GHz RF Wireless Power Transfer Receiver with GaAs E-pHEMT Rectifier and 45.2μs MPPT Time SIDITO Buck-Boost Converter using VOC Prediction Scheme," to be presented at IEEE International Solid-State Circuits Conference (ISSCC), February 2024.

[24] Mahfuzul Islam, Shogo Harada, Takashi Hisakado, and Osami Wada, "CMOS temperature sensor utilizing gate-length-based threshold voltage modulation," in 21st IEEE Interregional NEWCAS Conference, June 2023, pp.1-5.

[25] Yuma Iwata, Takehiro Kitamura, and Mahfuzul Islam, "Measurement of Temperature Effect on Comparator Offset Voltage Variation," in IEEE 35th International

Conference on Microelectronic Test Structures, Tokyo, Japan, March 2023, pp.1-6.

[26] Kazuma Dobata, Kazuhito Ito, "Reduction of Static Power Consumption of LSI by Decreasing Leakage Current Paths with Equivalent Logic Expression Conversion," Proc. Workshop on Synthesis and System Integration of Mixed Information Technologies, pp.299-304, 2024.

[27] Katsutoshi Otsuka, Kazuhito Ito, "Double Moduler Redundancy Design of LSI Controller for Soft Error Tolerance," Proc. Workshop on Synthesis and System Integration of Mixed Information Technologies, pp.20-25, 2024.

[28] Akihisa Ishida, Isuke Okuma, Katsuyuki Morishita, Ken Saito "Development of quadruped robot system mounting integrated circuits of pulse-type hardware neuron models for gait generation," Artificial Life and Robotics,2023.1.10

[29] Kosei Sekiyama, Wataru Nakayama, Isuke Okuma, Shuxin Lyu, Katsuyuki Morishita, Ken Saito "Development of Neuromorphic Locomotion Generator with Switching Gait by Light Stimulation for Microrobots," 20th International Conference on IC Design and Technology (ICICDT), 2023.9.26

[30] Y. Sato, S. Yasunaga, Y. Mita, S. Komatsu, "Automatic Generation System of Capacitive MEMS Accelerometers," 2023 Symposium on Design, Test, Integration & Packaging of MEMS/MOEMS (DTIP), May 2023.

[31] K. Hara, S. Komatsu, "A PVT Variation Dependencies of VCO in Frequency Locked Loop," 2023 30th IEEE International Conference of Electronics, Circuits and Systems (ICECS), Dec. 2023.

[32] T. Sakaguchi, S. Komatsu, "A Comparator with Controllable Offset Voltage Variation for Stochastic Flash ADC," Proc. of The 25th Workshop on Synthesis And System Integration of Mixed Information Technologies, Mar. 2024.

[33] Kunimi T., Hagiwara N., Ando K., and Asai T., "A novel dynamic predictive coding network with augmented direct feedback alignment towards its physical implementation," The 5th International Symposium on Neuromorphic AI Hardware, RIHGA Royal Hotel Kokura, Kitakyushu, Japan (Mar. 1-2, 2024).

[34] Yamakawa S., Ando K., and Asai T., "Evaluation of a nonlinear small signal detection circuit for a neuromorphic membrane using alginate gel," In-material Computing Workshop for Young Researchers, p. 16, PA-11, Hokkaido Jichiro Kaikan, Sapporo, Japan (Nov. 14, 2023).

[35] Muramatsu S., Nishida K., Ando K., Akai-Kasaya M., and Asai T., "Stochastic Memory Devices with Simple Bistable Analog Circuits," 2023 International Symposium on Nonlinear Theory and Its Applications (NOLTA2023),, Cittadella Campus of the University, Catania, Italy (Sep. 26-29, 2023).

[36] Yamakawa S., Ando K., Akai-Kasaya M., and Asai T., "A novel nonlinear small-signal detection circuit using divergence properties of second-order linear differential equations," Proceedings of the 5th International Conference on Microelectronics Devices & Technology (MicDAT' 2023), pp.17-19, Pestana Casino Park Hotel, Funchal, Portugal (Sep. 20-22, 2023).

[37] Hiroaki Myoren, Takuro Funazawa, Kitaru Oba, Yuki Shimizu and Masato Naruse, "Braiding Operations of Majorana Bound State controlled by SFQ Logic Circuit," 2023 EUCAS, 2-EP-QI-04S, 2023年9月.

[38] Hiroaki Myoren, Takuro Funazawa, Yuki Shimizu and Masato Naruse, "Single Flux Quantum Logic Circuit for Photon-Number-Resolving SNSPD Array," 2023 ISEC, 2023年11月.

[39] Hiroaki Myoren, Takuro Funazawa, Kitaru Oba, Yuki Shimizu and Masato Naruse, "SFQ logic circuits for Braiding Operations in a Topological Josephson Junction Array," SSV2023, O-7, 2023年11月.

[40] Hiroshi Kobayashi, Kawori Sekine, Kazuyuki Wada, François RIVET, Hervé LAPUYADE, Yann DEVAL, "Proposal and Application of Equivalent MOSFET with different temperature coefficient of threshold voltage," AVIC (Analog VLSI Circuits) 2023, 2023年10月.

[41] S. Takahashi, D. Kwon and K. Namba, "Soft error tolerant non-volatile flip-flops using DICE and C-element," 10th Korea-Japan Joint Workshop on Complex Communication Sciences, 2024.

[42] T. Sato, Y. Hayashihara, S. Yokota, S. Chivapreecha and P. Moungnoul, "Optimal Number of Wires for Circuits on RTL-Designed FPGAs," Proc. of iEECON 2024, 2024年3月

[43] K. Kawahara and T. Baba, "Modeling of Si Rib and Photonic Crystal Mach-Zehnder Modulators for

Electro-Optic Co-Simulation up to 64 Gbaud," 2023 IEEE MTT-S International Conference on Numerical Electromagnetic and Multiphysics Modeling and Optimization (NEMO), Winnipeg, MB, Canada, June 2023.

[44] K. Kawahara and T. Baba, "Signal Bandwidth Tripling in Si Optical Modulators Using an Image-Rejection Analog Multiplexer," The 28th Opto-Electronics and Communications Conference (OECC), Shanghai, China, July 2023.

[45] K. Kawahara and T. Baba, "Electro-Optic Equalization in Si Photonic Crystal Optical Modulators for Bandwidth Extension," The 28th Opto-Electronics and Communications Conference (OECC), Shanghai, China, July 2023.

[46] K. Kawahara and T. Baba, "Triple-Parallel Si Mach-Zehnder Optical Modulators for Low-Power Flexible Transmitters," 13th International Symposium on Photonics and Electronics Convergence, Tokyo, Japan, Nov. 2023.

[47] K. Kawahara, T. Tsuchizawa, N. Yamamoto, Y. Maegami, K. Yamada, T. Baba, "59-fJ/bit Si Photonic Crystal Slow-Light Modulator with FinFET-Compatible Driving Voltage," 2024 Optical Fiber Communications Conference and Exhibition (OFC), San Diego, USA, Mar. 2024.

[48] S. Tanabe, Y. Sakamoto, H. Uchida, T. Tanzawa, "A Hybrid Thermoelectric Generator – Battery Power Supply System Toward Replacement-Free Battery," International Conference on Power Electronics - ECCE Asia 2023年5月

[49] A Study on Two Step Reset LOFIC Pixel to Reduce SNR Gap

[50] A Dual Conversion Gain Scheme for a Small Pixel CMOS Image Sensor

[51] D. Kikuta, R. Kishida, and K. Kobayashi, "Ring Oscillators with identical Circuit Structure to Measure Bias Temperature Instability," IEEE International Conference on ASIC (ASICON), D8-5, 2023/10, Nanjing, China.

[52] 谷, 長名, "A 100Gbps-ready Low Latency on-Chip Router for FPGA clusters," ICCE2024, 2024年1月

[53] 長名, "An SDR implementation of HF ocean radar on FPGA SoC," ICCE 2024, 2024年1月.

[54] T. Mori and J. Ida, "Neuronal Function and Signal Amplification Device with Steep Switching "PN-Body Tied SOI-FET"," 2023 International VLSI Symposium on Technology, Systems and Applications (VLSI-TSA/VLSI-DAT), HsinChu, Taiwan, 2023, pp.1-2.

[55] H. Yonezaki, T. Mori, J. Ida, "First fabrication results of Steep Subthreshold Slope "Dual-Gate PN-Body Tied SOI-FET"," 9th Joint International EuroSOI Workshop and International Conference on Ultimate Integration on Silicon (EuroSOI-ULSI) 2023.

[56] H. Yonezaki, T. Mori, and J. Ida, "Integrate-and-Fire Operation with Signal Amplification by using "Dual-Gate PN-Body Tied SOI-FET"," Extended Abstracts of the 2023 International Conference on Solid State Devices and Materials.

[57] Y. Mizugaki, K. Sato, H. Shimada, and T. Onomi, "Random Number Generation Utilizing Timing Jitters of Single-Flux-Quantum Propagation," Proceedings of 2023 PhotonIcs & Electromagnetics Research Symposium (PIERS2023), Prague, pp.1744–1748, August, 2023.

[58] K. Sato, N. Sega, H. Shimada, Y. Mizugaki, "Evaluation of True Random Number Sequences Generated by Utilizing Timing Jitters in Superconducting Integrated Circuits," Journal of Physics: Conference Series, vol. 2545, 012022 (8 pages), August, 2023.

[59] Y. Mizugaki, "Development of RSFQ digital-to-analog converters generating quantum voltages," 36th International Symposium on Superconductivity (ISS2023), Wellington, New Zealand, November 28-30, 2023.

[60] Y. Mizugaki, K. Sato, and H. Shimada, "RSFQ Hardware Random Number Generator Comprising Two Josephson Oscillators," 16th European Conference on Applied Superconductivity (EUCAS2023), Bologna, Italy, September 3–7, 2023. 1-EO-SN-04S

[61] Shun Yasunaga, Motohiko Ezawa, Keigo Tsuji, Kei Misumi, Tomoki Sawamura, Shinji Tsuboi, Ayako Mizushima, Yukinori Ochiai, Akio Higo, and Yoshio Mita, "Operation of arrayed logic elements for MEMS Ising machine," The 22nd International Conference on Solid-state Sensors, Actuators and Microsystems (Transducers 2023), 26-29 June, Kyoto, Japan, W2D.01 (2023.6.28)

[62] Ryugo Shimamura, Shun Yasunaga, Kei Misumi, Anne-Claire Eiler, Akio Higo, Gilgueng Hwang,

Ayako Mizushima, Dongchen Zhu, Kikuo Komori, Yasuyuki Sakai, Hiroshi Toshiyoshi, Agnès Tixier-Mita, and Yoshio Mita, "A bimodal "sensor chiplet" platform applied for albumin and pH multi-chemical sensing," The 22nd International Conference on Solid-state Sensors, Actuators and Microsystems (Transducers 2023), 26-29 June, Kyoto, Japan, T4P.100 (2023.6.27)

[63] Ryugo Shimamura, Kei Misumi, Shun Yasunaga, Akio Higo, Ryosho Nakane, and Yoshio Mita, "Nanospires Insulation Penetraor for Reliable On-touch Electrical Connection," The 37th International Conference on Micro Electro Mechanical Systems (IEEE MEMS 2024), 21-25, January, Austin, Texas, W34-d (2024.01.24)

[64] Nobutaka Kito, "Automatic Cell Placement for Josephson Transmission Lines in Cell-Based Layout Design Environment for RSFQ Circuits," 36th International Symposium on Superconductivity (ISS2023), ED8-3, Wellington, New Zealand, Nov. 2023.

[65] S. Amakawa, "Measurement and modeling for sub-THz CMOS design: Challenges and opportunities," Asia-Pacific Microwave Conference (APMC), pp.864–866, December 8, 2023..

[66] Jiayi Shen, Chang Liu, Tadaaki Hoshi, Atsushi Sinoda, Hisashi Kino, Tetsu Tanaka, Murugesan Mariappan, Mitsumasa Koyanagi, Takafumi Fukushima, "Impact of Super-long-throw PVD on TSV Metallization and Die-to-Wafer 3D Integration Based on Via-last," 3DIC 2023, Ireland, May, 2023

[67] Atsushi Shinoda, Yuki Susumago, Chang Liu, Jiayi Shen, Tadaaki Hoshi, Hisashi Kino, Tetsu Tanaka, Takafumi Fukushima, "Assembly-Based Through-X Via (TXV) Integration Technology by Advanced FanOut Wafer-Level Packaging," 2023 IEEE 73rd Electronic Components and Technology Conference, USA, May, 2023

[68] Kohei Nakamura, Bang Du, Keishun Sugishita, Ryo Hasegawa, Hisashi Kino, Takafumi Fukushima, Koji Kiyoyama, and Tetsu Tanaka, "Development of Trans-nail PPG Controller Using Fingertip Blood Volume Changes to Enable Highly Accurate Motion Prediction," 2023 IEEE Biomedical Circuits and Systems Conference, Canada, October, 2023

[69] Tadaaki Hoshi, Daichi Nishiguchi, Hisashi Kino, Tetsu Tanaka, Takafumi Fukushima, "FOWLP-based Flexible Hybrid Electronics I: Photobiomodulation Device Fabrication on Hydrogel Substrate Using RDL-first Approach," 12th IEEE CPMT Symposium Japan, Japan, November, 2023

[70] Y. Su, M. Yanagisawa and Y. Shi, "Strategy for Improving Cycle of Maximized Energy Output of Triboelectric Nanogenerators," IEEE International Conference on IC Design and Technology (ICICDT), 2023, pp.1-4.

[71] J. Li, M. Yanagisawa and Y. Shi, "An Area-Power-Efficient Multiplier-less Processing Element Design for CNN Accelerators," IEEE 15th International Conference on ASIC (ASICON), 2023, pp.1-4.

[72] Reo Nagasue, Isamu Mizuno, Ryo Kishida, Tatsuya Iwata and Takefumi Yoshikawa "A Fractional-N PLL for Multi-Phase Clock Generation with Loop Bandwidth Enhancement," ISCAS2024 (to be appeared)

[73] M. Tanaka, Y. Kitagawa, T. Satoh, and T. Yamamoto, "High-frequency operation of low-power single-flux-quantum circuits fabricated using 250 A/cm 2 Nb/AlOx/Nb planarization process," 2023 International Conference on IC Design and Technology (ICICDT), pp.84–87, Tokyo, Japan, Sep. 2023.

[74] Ryuji Komabayashi and Tsutomu Yoshimura, "Analysis of the Electromagnetic Coupling of Two Phase-Locked Loops," IEEE International Symposium on Circuits and Systems (ISCAS), 21-25 May 2023.

[75] M.Akiyama, et.al. "Printable Sheet Sensor System with Organic Circuit for Structural Health Monitoring," 2023 IEEE CMPT Symposium Japan, December 2023, DOI:10.1109/ICSJ59341.2023.10339551

[76] Takuya Wadatsumi, Rikuu Hasegawa, Kazuki Monta, Takaaki Okidono, Takuji Miki, Makoto Nagata, "A Si-Interposer with Buried Cu Metal Stripes and Bonded to Si-Substrate Backside for Security IC Chips," in Proceedings of the IEEE 73rd Electronic Components and Technology Conference (ECTC 2023), pp.951-954, June 2023

[77] Kazuki Monta, Makoto Nagata, Josep Balasch, Ingrid Verbauwhede, "ON THE UNPREDICTABILITY OF SPICE SIMULATIONS FOR SIDE-CHANNEL LEAKAGE VERIFICATION OF MASKED CRYPTOGRAPHIC CIRCUITS," ACM/IEEE Design Automation Conference (DAC 2023), Jul. 2023.

[78] Makoto Nagata, Naofumi Homma, Yuichi Hayashi, "Hardware Supply Chain Security and EM Tricks," in Proceedings of the 2023 International Symposium on Electromagnetic Compatibility - EMC Europe, #281, pp.1-4, Sep. 2023.

[79] Kazuki Monta, Makoto Nagata, "Power-supply noise monitoring to evaluate embedded VRMs and Si-backside buried Decaps," IEEE Design, Automation and Test in Europe Conference (DATE 2024), PhD Forum, 2024.03.25.

[80] Zekun Wang, Shinichi Nishizawa and Shinji Kimura, "An 8-Point Approximate DCT Design with Optimized Signed Digit Encoding," Proc. of IEEE SOCC 2023, pp.351-356, Sept. 2023.

[81] Renrui Duan, Mingtao Zhang, Yi Guo, Shinichi Nishizawa and Shinji Kimura, "A Hardware-Efficient Approximate Multiplier Combining Inexact Same-Weight N:2 Compressors and Remapping Logic with Error Recovery," Proc. of IEEE SOCC 2023, pp.345-350, Sept. 2023.

[82] Y. Itotagawa, K. Atsumi, H. Sebe, D. Kanemoto, T. Hirose, "A Programmable Differential Bandgap Reference for Ultra-Low-Power IoT Edge Node Devices," in Proc. International Symposium on Circuits and Systems (ISCAS) 2023, May 21 –25, Monterey, California, USA, 2023.

[83] H. Sebe, T. Okumura, S. Sumi, D. Kanemoto, P. -H. Chen, T. Hirose, "Sub-30-mV-Supply, Fully Integrated Ring Oscillator Consisting of Recursive Stacking Body-Bias Inverters for Extremely Low-Voltage Energy Harvesting," Proceedings of the 49th European Solid-State Circuits Conference (ESSCIRC), pp.325-328, Lisbon, Portugal, Sep. 11-14, 2023.

[84] K. Mii, D. Kanemoto, and T. Hirose, "Low Quiescent Current Capacitively-coupled Chopper Instrumentation Amplifier in EEG Recording Wearable Devices for Compressed Sensing Framework," in Ext. Abstr. Solid State Devices and Materials (SSDM), PS-12-06, p. 917, Sep. 2023.

[85] S. Sumi, H. Sebe, D. Kanemoto, and T. Hirose, "A sub-50-mV supply, recursive stacking body bias NAND gate for extremely low-voltage energy harvesting," in Ext. Abstr. Solid State Devices and Materials (SSDM), PS-12-04, p. 913, Sep. 2023.

[86] Y. Mizuno, H. Sebe, D. Kanemoto, and T. Hirose, "An Ultra-Low Power Low-Dropout Regulator with a Load Current Tracking Bias Current Generator," in Ext. Abstr. Solid State Devices and Materials (SSDM), PS-12-03, p. 911, Sep. 2023.

[87] K. Mii, D. Kanemoto, and T. Hirose, "Low Quiescent Current LDO with FVF-Based PSRR Enhanced Circuit for EEG Recording Wearable Devices," in Ext. Abstr. Solid State Devices and Materials (SSDM), J-3-04, p. 411, Sep. 2023.

[88] Hiroumi Matsuhashi, Koichi Hagino, Aya Bamba (University of Tokyo), Ayaki Takeda, Masataka Yukumoto, Koji Mori, Yusuke Nishioka (University of Miyazaki), Takeshi Go Tsuru, Mizuki Uenomachi, Tomonori Ikeda, Masamune Matsuda, Takuto Narita (Kyoto University), Takaaki Tanaka, Hiromasa Suzuki (Konan University), Ikuo Kurachi (D&S), Takayoshi Kohmura, Yusuke Uchida (Tokyo University of Science), Yasuo Arai (KEK), "Evaluation of the X-ray SOI pixel detector with on-chip ADC," "The 13th International "Hiroshima" Symposium on the Development and Application of Semiconductor Tracking Detectors (HSTD13), 2023年12月 3日 ～ 12月 8日"

[89] Kouichi Hagino, Masatoshi Kitajima, Takayoshi Kohmura, Ikuo Kurachi, Takeshi G. Tsuru, Masataka Yukumoto, Ayaki Takeda, Koji Mori, Yusuke Nishioka, Takaaki Tanaka, "Kouichi Hagino, Masatoshi Kitajima, Takayoshi Kohmura, Ikuo Kurachi, Takeshi G. Tsuru, Masataka Yukumoto, Ayaki Takeda, Koji Mori, Yusuke Nishioka, Takaaki Tanaka," 2023 IEEE NUCLEAR SCIENCE SYMPOSIUM, MEDICAL IMAGING CONFERENCE AND ROOM TEMPERATURE SEMICONDUCTOR DETECTOR CONFERENCE 2023年11月 4日 ～ 11月 11日

[90] Takeshi Tsuru Overview of Imaging Sensors for X-ray Astronomy IDW '23 - 30th International Display Workshops・TOKI MESSE Niigata Convention Center Niigata, Japan・December 6-8, 2023

[91] A. Endo, T. Megumi and T. Kawahara, "Fabrication and Evaluation of a 22nm 512 Spin Fully Coupled Annealing Processor for a 4k Spin Scalable Fully Coupled Annealing Processing System," 2024 IEEE 22nd World Symposium on Applied Machine Intelligence and Informatics (SAMI), Stará Lesná, Slovakia, 2024, pp.000071-000076, doi: 10.1109/SAMI60510.2024.10432908.

[92] Seria Kasai, Yamato Ishida, Fumiya Sano, Tomoya Akasaka, Masami Fukushima, Koichi Kitagishi, Seijin Nakayama, Hideki Ishihara, Masashi Imai, Atsushi Kurokawa, Toshiki Kanamoto, "Energy Reduction of Health Monitoring Processor by Optimizing Supply and Back-Gate Voltages with Simulated Annealing," Proc. SASIMI2024, pp.227-232, Mar., 2024

[93] Shoma Ito, Hisaya Sawada, Hirotaka Furukawa, Naruaki Hokari, Daishi Nishiguchi, Masaaki Fukuhara, "A Layout Area Reduction of Basic Logic Element by Using a Neuron CMOS Type 4-input Variable Logic Circuit," Proceedings of 2023 IEEE Region 10 Conference(TENCON), pp.564-569, Nov. 2023.

[94] S. Tanaka, T. Yoshida, M. Fujishima, "Effects of Parasitic Elements on LC/CL Matching Circuits," International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2023), Jun. 27, 2023.

[95] S. Tanaka, T. Yoshida, S. Amakawa, M. Fujishima, "Analysis of the Wilkinson Coupler Under Different Input Conditions," URSI General Assembly and Scientific Symposium (URSI GASS 2023), Aug. 24, 2023.

[96] Z. Yan, S. Tanaka, T. Yoshida, M. Fujishima, "Differential Wilkinson Coupler with Reduced Reflections at Intersections," URSI General Assembly and Scientific Symposium (URSI GASS 2023), Aug. 22, 2023.

[97] Z. Yan, S. Tanaka, T. Yoshida, M. Fujishima, "Suppression of Reflections and Elimination of Transmission Disparities in Differential Crossover Line Junctions," 2023 IEEE 15th International Conference on ASIC (ASICON 2023), Oct. 27, 2023.

[98] L. Xu, S. Yabuki, S. Tanaka, T. Yoshida, M. Fujishima, "A 27-to-65-GHz CMOS Amplifier with Tunable Frequency Response," 2023 IEEE 15th International Conference on ASIC (ASICON 2023), Oct. 27, 2023.

[99] T. Yoshida, S. Hara, T. Hagino, M. Mubarak, A. Kasamatsu, K. Takano, Y. Sugimoto, K. Sakakibara, S. Amakawa, M. Fujishima, "A 2D Beam-Steerable 252-285-GHz 25.8-Gbit/s CMOS Receiver Module," 2023 IEEE Asian Solid-State Circuits Conference (A-SSCC), Nov. 5, 2023.

[100] Z. Yan, S. Tanaka, T. Yoshida, M. Fujishima, "Evaluation of a 40-nm CMOS Process 105-to-145-GHz Differential Wilkinson Coupler," 2023 Asia-Pacific Microwave Conference (APMC 2023), Dec. 7, 2023.

[101] Reiji Takaki, Akira Yasuda, Digital direct-drive speaker system using MEMS speakers ICCE2024, 21.3, Las Vegas, U.S.A., Jan. 6th-8th, 2024.

[102] Uta Kobayashi, Yasuhiro Sugimoto, Koji Yoshimura, Akira Yasuda, A CSRR Glucose Concentration Sensor with Increased Resolution Using the Q-value Enhancement Circuit Technique ICCE2024, 16.4, Las Vegas, U.S.A., Jan. 6th-8th, 2024.

[103] Koji Yoshimura, Yasuhiro Sugimoto, Uta Kobayash, Kiichi Yamashita A Complementary Split Ring Resonator Sensor Optimized for Maximizing the Dip and Q-value in S21 Frequency Characteristics ICCE2024, 39.5, Las Vegas, U.S.A., Jan. 6th-8th, 2024.

[104] Takumi Shibata, Kiichi Yamashita, Yuki Genkaku, Yasuhiro Sugimoto, Akira Yasuda, A Multi-bit ΔΣ down-converting ADC with even-harmonic mixer and mismatch shaper, International Conference on Analog VLSI Circuits (AVIC 2023), R-7, Cinaia, Romania, Oct. 11th – 15th, 2023.

[105] K. Sasagawa, Y. Sunaga, Y. Ohta, M. Kawahara, H. Takehara, M. Haruta, H. Tashiro, J. Ohta, "Miniaturized CMOS image sensors for brain functional imaging," Bio4Apps 2023, Griffith University, Gold Coast, Australia, Dec. 2023.

[106] H. Takehara, K. Takada, M. Haruta, H. Tashiro, K. Sasagawa, J. Ohta, "Optical systems and image processing technologies in a near-infrared multispectral fundus camera," Bio4Apps 2023, Griffith University, Gold Coast, Australia, Dec. 2023.

[107] K. Sasagawa, Y. Akamatsu, R. Okada, M. Mizuno, H. Takehara, M. Haruta, H. Tashiro, J. Ohta, "Frame interval control technique for high frequency electric field imaging by equivalent time sampling," Asia-Pacific Microwave Conference 2023 (APMC 2023), Taipei International Convention Center (TICC), Taiwan, Dec. 2023.

[108] R. Okada, M. Mizuno, H. Takehara, M. Haruta, H. Tashiro, J. Ohta, K. Sasagawa, "Sensitivity improvement in electro-optic imaging based on polarization CMOS image sensor," Asia-Pacific Microwave Conference 2023 (APMC 2023), Taipei International Convention Center (TICC), Taiwan, Dec. 2023.

[109] K. Sasagawa, R. Okada, Y. Akamatsu, M. Mizuno, M. Haruta, H. Takehara, H. Tashiro, J. Ohta, "Tripling of intermediate frequency in electro-optic imaging using a modified equivalent time sampling metho," 2023 International Conference on Emerging Technologies for Communications, Kaderu 2.7, Sapporo, Japan, Nov. 2023.

[110] R. Okada, M. Mizuno, H. Takehara, M. Haruta, H. Tashiro, J. Ohta, K. Sasagawa, "36-GHz electric field imaging using an electro-optic imaging system based on polarization CMOS image sensor," 5th International Workshop on Photonics applied to Electromagnetic Measurement (PEM2023), Hokkaido University, Hokkaido, Japan, Nov. 2023.

[111] K. Sasagawa, Y. Ito, D. Schaeffer, Y. Sunaga, H. Takehara, M. Haruta, H. Tashiro, J. Ohta, "Front-light structure for a lensless fluorescence imaging device with a hybrid emission filter," BioCAS 2023, Toronto, Canada, Oct. 2023.

[112] Y. Sunaga, K.-C. Tso, Y. Nakanishi, T. Kouno, Y. Terasawa, H. Takehara, M. Haruta, H. Tashiro, K. Sasagawa, J. Ohta, "CMOS and Parylene-based flexible array device for artificial retina," The Eye and Chip, The Westin Southfield Hotel, Detroit, USA, Oct. 2023.

[113] K.-C. Tso, Y. Sunaga, H. Takehara, M. Haruta, H. Tashiro, P.-C. Chen, P.-W. Wu, K. Sasagawa, J. Ohta, "A facile synthesis of high-performance Na-doped iridium oxide electrodes for artificial retina devices," The Eye and Chip, The Westin Southfield Hotel, Detroit, USA, Oct. 2023.

[114] K. Sasagawa, R. Okada, H. Takehara, M. Haruta, H. Tashiro, J. Ohta, "RF electric-field imaging using an electro-optical measurement system with a polarization image sensor," Information Photonics 2023 (IP2023), Pause Landis Resort Wulai, New Taipei, Taiwan, Sep. 2023.

[115] Y. Nakanishi, W. Sriitsaranusorn, Y. Sunaga, K. Shodo, Y. Terasawa, H. Takehara, M. Haruta, H. Tashiro, K. Sasagawa, J. Ohta, "Demonstration of multi-point stimulation with AC-driven CMOS chip for retinal prosthesis," 2023 International Conference on Solid State Devices and Materials (SSDM2023), Nagoya Congress Center, Japan, Sep. 2023.

[116] R. Okada, M. Mizuno, T. Nagaoka, H. Takehara, M. Haruta, H. Tashiro, J. Ohta, K. Sasagawa, "Visualization of THz electromagnetic near field distributions using highly sensitive polarization CMOS image sensor," 2023 International Conference on Solid State Devices and Materials (SSDM2023), Nagoya Congress Center, Japan, Sep. 2023.

[117] K. Pan, X. Ouyang, N. Yoshida, T. Kono, Y. Terasawa, Y. Sunaga, M. Haruta, H. Takehara, H. Tashiro, K. Sasagawa, J. Ohta, "Waterproof evaluation of flexible retinal device with CMOS smart electrode," The 45th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC2023), ICC Sydney, Australia, July 2023.

[118] S. Lee, "RLGC-model-based film-type electromagnetic-wave absorber design," The 25th Workshop on Synthesis And System Integration of Mixed Information technologies, Mar. 2024.

[119] H. Yoshizawa and N. Inoue, "A 0.3-V 10-nW CMOS OTA with Feedforward Body-Driven Structure," IEEE International Conference on Microelectronics, Dec., 2023.

[120] Renya Makimoto, Takashi Imagawa, and Hiroyuki Ochi, "Approximate Logarithmic Multipliers Using Half Compensation with Two Line Segments," 2023 IEEE 36th International System-on-Chip Conference (SOCC), pp.333-338, Sep. 2023.

[121] X. Wang, A. Kosuge, Y. Hayashi, K. Shiba, M. Hamada, and T. Kuroda, "Analysis and Design of a 7 Gb/s Rotatable Non-contact Connector with Grid Array Package Application," IEEE International New Circuits and Systems Conference (NEWCAS), June 2023.

[122] A. Kosuge, R. Sumikawa, Y. -C. Hsu, K. Shiba, M. Hamada, and T. Kuroda, "A 183.4nJ/inference 152.8uW Single-Chip Fully Synthesizable Wired-Logic DNN Processor for Always-On 35 Voice Commands Recognition Application," IEEE Symposium on VLSI Circuits, June 2023.

[123] M. Miyahara, Z. Xu, T. Ishii and N. Kimura, "A Quick Start-up Low-Power Hybrid Crystal Oscillator for IoT Application," IEICE Tran. on Electronics, Volume E106.C, Issue 10, pp.521-528, 2023

[124] Miki Hayato, Eisuke Ohama, Hiroyuki Yotsuyanagi and Masaki Hashizume : Evaluation of a PUF Embedded in the Delay Testable Boundary Scan Circuit, Proc. of 2023 International Technical Conference on Circuits/

Systems, Computers and Communications (ITC-CSCC), pp.896-901, Cheju, June 2023.

[125] S. Tohkai, D. Akamatsu, H. Yotsuyanagi, M. Hashizume, "On Test Pattern Generation Method for an Approximate Multiplier Considering Acceptable Faults," Proc. 2023 IEEE International Test Conference in Asia, pp.1-6, Matsue, Sep. 2023.

[126] H. Yotsuyanagi, "On the application of boundary scan design with embedded time-to-digital converter to 3D stacked IC," Proc. 2023 IEEE International Test Conference in Asia, Matsue, Sep. 2023.

[127] Satoshi Moriya, Hideaki Yamamoto, Shigeo Sato, Yasushi Yuminaka, Yoshihiko Horio, Jordi Madrenas, Analog hardware implementation of spiking neural networks for edge computing, The 2023 International Symposium on Nonlinear Theory and Its Applications, 2023

[128] Shigeo Sato, Satoshi Moriya, Satoshi Ono, Hideaki Yamamoto, Analog CMOS Implementation of Neuromorphic Hardware, The 2023 International Meeting for Future of Electron Devices, Kansai, 2023

[129] Satoshi Moriya, Yosuke Iida, Hideaki Yamamoto, Shigeo Sato, Analog circuit design of multiplicative spike-timing-dependent plasticity in 65-nm CMOS, The 12th RIEC International Symposium on Brain Functions and Brain Computer, 2024

[130] Shigeo Sato, Satoshi Moriya, Satoshi Ono, Hideaki Yamamoto, Yoshihiko Horio, Yasushi Yuminaka, Jordi Madrenas, CMOS spiking neural networks for edge computing, The 12th RIEC International Symposium on Brain Functions and Brain Computer, 2024

[131] Satoshi Ono, Satoshi Moriya, Hideaki Yamamoto, Yasushi Yuminaka, Yoshihiko Horio, Shigeo Sato, Reservoir computing system with ultra-low power analog CMOS spiking neural network LSIs, The 12th RIEC International Symposium on Brain Functions and Brain Computer, 2024

[132] Hiroyuki Hama, Tomoaki Ukezono, and Toshinori Sato, "Negative Impact of Approximated Signed Addition on Power Reduction," Proc. of 2023 International Symposium on Devices, Circuits and Systems (ISDCS 2023), pp.148--153, 6-pages, DOI: 10.1109/ISDCS58735.2023.10153565, Higashi-Hiroshima, Japan, May. 2023.

[133] Tomoaki Ukezono and Yui Koyanagi, "A Countermeasure to Power Analysis Attack by Arbitrarily Injecting Multiple Types of Noise," Proc. of the 2023 IEEE Region 10 Symposium (TENSYMP 2023), 6-pages, DOI: 10.1109/TENSYMP55890.2023.10223483, Canberra, Australia, Sep. 2023.

[134] Yui Koyanagi and Tomoaki Ukezono, "Improving Tamper-Resistance Exploiting Clock Phase Shifter Embedded in FPGAs," Proc. of the 10th International Conference on Electrical Engineering, Computer Science and Informatics (EECSI 2023), pp.493--498, 6-pages, DOI: 10.1109/EECSI59885.2023.10295855, Palembang, Indonesia, Sep. 2023.

[135] Toshinori Sato, Hiroyuki Hama, and Tomoaki Ukezono, "Comparative Evaluation between Carry Prediction and Sign Error Correction in Approximate Addition," Proc. of 20th International SoC Design Conference (ISOCC 2023), pp.77--78, 2-pages, DOI: 10.1109/ISOCC59558.2023.10396324, Jeju Island, Korea, Oct. 2023.

[136] Yui Koyanagi and Tomoaki Ukezono, "A Cost-sensitive and Simple Masking Design for Side-channels," Proc. of 2023 IEEE Region 10 Technical Conference (TENCON 2023), pp.731--736, 6-pages, DOI: 10.1109/TENCON58879.2023.10322358, Chiang Mai, Thailand, Oct. 2023.

[137] Tomoaki Ukezono and Yui Koyanagi, "Reusing Outputs from S-boxes for Tamper Resistant Design," Proc. of 3rd International Conference on Electrical, Computer and Energy Technologies (ICECET 2023), pp.1362--1367, 6-pages, DOI: 10.1109/ICECET58911.2023.10389410, Cape Town, South Africa, Nov. 2023.

[138] Yui Koyanagi and Tomoaki Ukezono, "A Cost-aware Generation Method of Disposable Random Value Exploiting Parallel S-box Implementation for Tamper-resistant AES Design," Proc. of 14th International Workshop on Advances in Networking and Computing (WANC 2023), pp.318--322, 5-pages, DOI: 10.1109/CANDARW60564.2023.00060, Matsue, Japan, Nov. 2023.

[139] Taiki Nagatomo and Toshinori Sato, Improving Energy Efficiency in Medical Edge Devices for ECG Feature Detection via Approximate Computing, 5th IEEE Eurasia Conference on IoT, Communication and Engineering, pp.595-599, October 2023.

[140] Hiroyuki Hama and Toshinori Sato, Towards At-The-Edge ECG Signal Processing With Accuracy-Tunable Approximate Adders, 12th IEEE Global Conference on Consumer Electronics, pp.902-906, October 2023.

[141] Toshinori Sato and Hiroyuki Hama, Evaluating Sign Error Correction for Approximate Adders Employing ECG Signal Processing, 10th International Conference on Electrical Engineering, Computer Science and Informatics, pp.43-48, September 2023.

[142] Keisuke Takano, Takeaki Yajima, Satoshi Kawakami, Design of The Ultra-Low-Power Driven VMM Configurations for μW Scale IoT Devices. MCSoC (2023)

[143] Kaito Kutsuna, Takuya Kojima, Hideki Takase, Hiroshi Nakamura, "An Area-Efficient Coarse-Grained Reconfigurable Array Design for Approximate Computing," 15th International Symposium on Embedded Multicore/Many-core Systems-on-Chip (MCSoC-2023), Singapore, December, 2023.

[144] T. Hatakeyama H. Hirai M. Sometani D. Okamoto M. Okamoto S. Harada, "A Physics-based Model for Inversion Layer Mobility in SiC MOSFETs," MOD4, ICSCRM23, 2023.9.17

[145] M. Natsui, Y. Takako, A. Tamakoshi, and T. Hanyu, "Challenge of Energy-Efficient Edge-AI Accelerator Architecture Using Nonvolatile Logic," 2023 International Symposium on Nonlinear Theory and Its Applications (NOLTA2023), pp.263-264, September 2023.

[146] K. Sakai, M. Natsui, and T. Hanyu, "Design of an Error-Tolerant Nonvolatile Register for Energy-Aware Intermittent Computing," The 66th IEEE International Midwest Symposium on Circuits and Systems (MWSCAS2023), pp.269-273, August 2023.

[147] F. Zhong, M. Natsui, and T. Hanyu, "High-Performance/Low-Area Power-Gating Switch Linear Array for Energy-Efficient LSIs with an Optimum Switch-Timing Control," 2023 IEEE International Symposium on Circuits and Systems(ISCAS2023), 5 pages, May 2023.

[148] Ren Izumi, Makoto Nakamura, and Daisuke Ito, "Inductor-less CMOS TIA Based on MSTA for Low-power and Low-noise Optical Communication," IEEE International SoC Design Conference (ISOCC2023), SS3-3(42), Jeju, South Korea, Oct. 25-28, 2023.

[149] Kuga, Sumita, Gen, Iida, "Evaluation of the Second FPGA-IP Prototype for MEC Devices and its Improvements," APRIS2023, C4, 2023

[150] Roberto Andrino Robles; Tomochika Harada, "A 0.6V Beat-Frequency ADC with Processing of Oscillator Internal States for Resolution Improvement," 2023 30th IEEE International Conference on Electronics, Circuits and Systems (ICECS), DOI: 10.1109/ICECS58634.2023.10382728, 2023年12月

[151] P. Srisinsuphya, K. Takamatsu, H. Tazaki, Y. Yokoshiki, T. Tokuda, C2RTL-Enabled Sustainable Computing: Building a RISC-V CPU Microdevice Platform for a Greener Future, 2023/12/6, IDW'23, Niigata, Japan

[152] Yudai TONDOKORO Naoya KAKUTANI Akinobu KOBAYASHI Tsukasa HIRAI Naoki SAKAI and Kenji ITOH, "A 28 GHz band SOI-CMOS highly sensitive rectenna MMIC with an impedance transformed loop antenna," Thailand-Japan MicroWave (TJMW)2023, Dec. 2023.

[153] T. Kitade, A. Nishikawa, A. Loesing, M. Shirai, H. Kobayashi, I. Fukunaga, H. Sekiguchi, Optimization of gate structure in hollow-structured MicroLED array for batch transfer technique towards flexible LED film, The 14th International Conference on Nitride Semiconductors, OD8-3, Fukuoka, Japan, November 12th-17th.

[154] R. Kanda, T. Kitde, A. Nishikawa, A. Loesing, M. Sirai, H. Kobayashi, I. Fukunaga, T. Hikima, N. Ohkawa, H. Sekiguchi, Flexible MicroLED array film adhering to the brain surface for in vivo optogenetic stimulation, The 14th International Conference on Nitride Semiconductors, OD11-4, Fukuoka, Japan, November 12th-17th.

[155] Mai Madokoro, Yuto Nakamura, Hiroshi Horiuchi, Tomoko Kobayashi, Junko Ishida, Tomoko Horio, Yasuyuki Kimura, Takeshi Hizawa, Daisuke Akai, Hideo Doi, Yong-Joon Choi, Kazuhiro Takahashi, Toshihiko Noda, Junichi Nabekura, and Kazuaki Sawada, IMPLANTABLE IN-VIVO PH IMAGE SENSOR WITH INTEGRATED REFERENCE ELECTRODE FOR BIOLOGICAL EXPERIMENTS ON AWAKE MOUSE, The 22nd International Conference on Solid-State Sensors, Actuators and Microsystems(TRANSDUCERS2023), W4P.092, poster, 2023.6.28, Kyoto, Japan

[156] Takeru Wada, Tomoki Kamijo, Yoshiko Noda, Daisuke Akai, Takeshi Hizawa, Yasuyuki Kimura, Yong-Joon Choi, Kazuhiro Takahasi, Kazuaki Sawada, and Toshihiko Noda, CMOS GAS-SENSING ARRAY BY NOVEL SENSING APPROACH USING MIXED-PIXEL- ARCHITECTURE FOR DETECTION OF VARIOUS RESPONSE OF GAS-SENSITIVE MEMBRANES, The 22nd International Conference on Solid-State Sensors, Actuators and Microsystems(TRANSDUCERS2023), W5B.06, oral, 2023.6.28, Kyoto, Japan

[157] T. Nakagawa, K. Arano, L.P. Anh, T. Hizawa, D. Akai, Y. Noda, Y.J. Choi, T. Noda, K. Sawada and K. Takahashi, "Integration of Graphene-based Resonant Mass Sensor and PIN Photodiode for On-Chip Measurement," 36th International Microprocesses and Nanotechnology Conference (MNC 2023), 16P-1-188, 2023.11.6, Sapporo, Japan.

[158] Motoki Kato, Ken Arano, Masato Saito, Toshinori Fujie, Tatsuro Goda, Yong Joon Choi, Toshihiko Noda, Kazuaki Sawada, and Kazuhiro Takahashi, FABRICATION OF STRAIN-INDUCED GRAPHENE RESONANT MASS SENSOR USING ELASTOMER NANOSHEET FOR MOLECULAR DETECTION, The 22nd International Conference on Solid-State Sensors, Actuators and Microsystems(TRANSDUCERS2023), W4P.107, poster, 2023.6.28, Kyoto, Japan

[159] S. Wang, K. Usami, "Thermal coupling analysis and improved dynamic temperature control algorithm for 3D-LSI," The 38th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2023), pp.911-916, June 27, 2023.

[160] S. Hata, K. Usami, "Design Optimization of Leakage Based PUF Circuit targeting at Ultra-Low Voltage Operation," The 38th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2023), pp.890-895, June 27, 2023.

[161] K.Nagai, K.Usami, "Temperature sensor with buffer-chain based time-to-digital converter for ultra-low voltage operation," International Conference on Embedded Systems and VLSI (EMVL 2023), August 12-13, 2023.

[162] K.Usami, S.Wang, K.Nagai, G.Latronico, P.Mele, "A 200mV Operable On-Chip Temperature Sensor for IoT Devices Powered by Energy Harvesters with Ultra-Low Output Voltage," 2023 IEEE International Conference on Internet of Things and Intelligence Systems (IoTaIS), pp.65-71, Nov.28-30, 2023.

[163] T. Amano, J. Kadomoto, S. Mitsuno, T. Koizumi, R. Shioya, H. Irie, S. Sakai, An Out-of-Order Superscalar Processor Using STRAIGHT Architecture in 28 nm CMOS, IEEE International Symposium on Circuits and Systems (ISCAS), 1-5, 2023年5月.

[164] Development of Trans-nail PPG Controller Using Fingertip Blood Volume Changes to Enable Highly Accurate Motion Prediction. IEEE Biomedical Circuits and Systems Conference (BioCAS), 4 pages, (2023). Kohei Nakamura, Bang Du, Keishun Sugishita, Ryo Hasegawa, Hisashi Kino, Takafumi Fukushima, Koji Kiyoyama and Tetsu Tanaka.

[165] Kazuki Minamiguchi, Yoshihiro Midoh, Noriyuki Miura, Jun Shiomi, "Modeling of Tamper Resistance to Electromagnetic Side-channel Attacks on Voltage-scaled Circuits," ACM/IEEE Asia and South Pacific Design Automation Conference (ASP-DAC), pp.618-624, Jan. 2024.

[166] Kazuki Minamiguchi, Yoshihiro Midoh, Noriyuki Miura, Jun Shiomi, "Voltage Dependence Model of Electromagnetic Side-Channel Attacks on Cryptographic Circuits," The 25th Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI 2024), pp.361-366, Mar. 2024.

[167] Naoya Tanaka, Shogo Hirayama and Yoshinori Takeuchi, "CODEC system using EG2C chips and power control with a sleep mode for a visual prosthesis," The 25th Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI 2024), pp.335-340, Mar. 11-12, 2024, Taipei, Taiwan.

[168] M. Miyake, K. Komoku and N. Itoh, "A Study of Linearity Improvement for 920-MHz Fully-Integrated LNAs Operating in the Moderate Inversion Region," Proceeding of Thailand-Japan Microwave & Asian Wireless Power Transfer Workshop 2023 (TJMW&AWPT 2023), 303, Bangkok, Thailand, Dec. 2023.

[169] N. Tamura, K. Komoku and N. Itoh, "A Study on Kv and FTR Trade-off for 28-GHz Band VCO with

Variable Inductor Using Switched Resistor," The proceedings of Joint Workshop Thailand-Japan Microwave (TJMW) & Asian Wireless Power Transfer Workshop (AWPT) 2023, TH2-01, Bangkok, Dec. 2023.

[170] Keita Kobayashi, Takao Komiyama, Yasunori Chonan, Hiroyuki Yamaguchi, Koji Kotani, "Optical Wireless Power Transmission with Light-switching Boost Converter Using Integrated Solar Cell and Phototransistor Composed of Four-layer npnp Junction," Optical Wireless and Fiber Power Transmission Conference (OWPT2023), OWPT4-04, April 2023.

【国内会議，研究会等】

[1] 周 威宇・和田光司・太田謙一, "A design method for miniaturized multiplexer based on a novel substrate integrated defect ground structure," 電子情報通信学会研究技術報告, vol.123, no.35, MW2023-10, pp.6-11 (2023年5月)

[2] H. Zhang, D. Zhang, H. Yamasaki, K. Hata, K. Wada, K. Akatsu, I. Omura, and M. Takamiya, "Gate Driver IC with Fully Integrated Overcurrent Protection Function by Measuring Gate-to-Emitter Voltage," 電子情報通信学会, LSIとシステムのワークショップ, ポスターセッション 学生部門, 09, 東京, 2023年5月.

[3] H. Zhang, D. Zhang, H. Yamasaki, K. Hata, K. Wada, K. Akatsu, I. Omura, and M. Takamiya, "Gate Driver IC with Fully Integrated Overcurrent Protection by Measuring Gate-to-Emitter Voltage," 電子情報通信学会, 信学技報, ICD2023-32, 札幌, 2023年8月.

[4] 矢野広気，畑 勝裕，谷口佳輔，古田善一，高宮真，"70V耐圧のICプロセスを用いた400V入力，12V出力のチップ直列接続ハイブリッドDC-DCコンバータ," 電子情報通信学会総合大会，C-12-16，広島，2024年3月.

[5] 今川，小山，小林，三好，"極低温下で動作する信号処理ASICの実現に向けたFPGA向けデザインのマイグレーション，" no.RECONF2023-88, pp.31-34, 電子情報通信学会技術報告（リコンフィギャラブルシステム）（2024）

[6] 青山，門本，小林，"誤り耐性量子コンピュータに向けた22nmバルクプロセスによる表面符号用エラー訂正復号器の設計，" no.VLD2023-38, pp.49-53, 電子情報通信学会技術報告(VLSI設計技術)(2023)

[7] 吉田，中島，杉谷，伊藤，古田，小林，"α線照射による65nm bulkプロセスにおけるPMOS及びNMOSトランジスタのSEU感度，" no.ICD2023-43, pp.31-36, 電子情報通信学会技術報告（VLSI設計技術）（2023）

[8] 杉崎，中島，杉谷，古田，小林，"アルファ線と重イオンによるソフトエラー率の周波数依存性の測定，" no.ICD2023-41, pp.19-24, 電子情報通信学会技術報告（VLSI設計技術）（2023）

[9] 小山，小林，今川，三好，"量子コンピュータ制御装置のASIC化に向けた10Gbpsクラス Deserializerの開発，" no.2023-SLDM-203, pp.1-3, 情報処理学会研究報告（SLDM）（2023）

[10] 木下，岸田，小林，"65nm FDSOIプロセスで試作したリングオシレータの 超長期経年劣化の実測評価，" pp.149-155, DAシンポジウム（2023）

[11] 戸田，岸田，小林，松浦，宮内，兵庫，"ストレス分離スターブ型発振器を用いた経年劣化現象の実測評価，" pp.193-198, DAシンポジウム（2023）

[12] 阿部，小林，塩見，越智，"間欠動作を行うIoT向けプロセッサに適したFiCCを用いた不揮発ストレージセル，" no.ICD2023-1, pp.1-6, 電子情報通信学会技術報告（集積回路設計）（2023）

[13] 峯尾俊作，山本歩，黒木伸一郎，百瀬英哉，黒木伸一郎，上口光，"0.18 μm BCDプロセスを用いたウェアラブル発汗量計の開発と実測，" LSIとシステムのワークショップ2023, 2023.

[14] 尾田準平，加賀悠太，上口光，"多相クロックを用いたスマート超音波流量計の回路設計と測定精度の向上の検証，" LSIとシステムのワークショップ2023, 2023.

[15] 峯尾俊作，山本歩，黒木伸一郎，百瀬英哉，上口光，"0.18 μm BCDプロセスを用いたウェアラブル発汗量計測システムの作成とその高精度化への検討，" デザインガイア2023, 2023.

[16] 峯尾俊作，山本歩，黒木伸一郎，百瀬英哉，上口光，"ウェアラブル発汗量計測システムの高精度化への検討と実測，" 2024年第71回応用物理学会春季学術講演会，2024.

[17] 尾田準平，加賀悠太，上口光，"多相タイムズーミング手法を用いた超音波式流量計の開発，" 2024年第71回応用物理学会春季学術講演会，2024.

[18] 熊野 陽，飯塚 哲也，"デルタシグマADC における量子化雑音ランダマイズ効果の解析と検証，'' 電子情報通信学会 ICD/CAS学生・若手研究会2023, 2023年12月.

[19] 李 燦煒, 楊 尊松, 飯塚 哲也, “インバータセルによるCDACに基づくスタンダードセルベース合成可能な逐次比較型A/D変換回路,’’ 電子情報通信学会 夏の合宿2023, 2023年7月.

[20] Ckristian Duran, Tetsuya Iizuka, “FPGA Case of Study: Fast Prototyping Methodology for Mixed-Signal Modeling and Integration Based on Open-Source Tools,” 情報処理学会 DAシンポジウム2023論文集, 2023年8月.

[21] Haoming Zhang, Shuowei Li and Tetsuya Iizuka, “Dynamic Circuit Characterization and Test Structures for its Timing Parameter Extraction,” 電子情報通信学会 LSIとシステムのワークショップ2023, 2023年5月.

[22] 熊野 陽, 松岡 英, 根塚 智裕, 古田 善一, 飯塚 哲也, “CLS-FIAを用いたサンプリングノイズキャンセル機構付き完全ダイナミック離散時間ΔΣADCとその測定評価,’’ 電子情報通信学会 LSIとシステムのワークショップ2023, 2023年5月.

[23] Zhenyu Cheng, Zunsong Yang, Yuyang Zhu, Md Shamim Sarker, Hiroyasu Yamahara, Munetoshi Seki, Hitoshi Tabata and Tetsuya Iizuka, “Design of 1-5 GHz 2-Stage Noise-Cancelling Low-Noise Amplifier with gm-Boosting Technique for On-Chip Network Analyzer,” 電子情報通信学会 LSIとシステムのワークショップ2023, 2023年5月.

[24] Yuyang Zhu, Zunsong Yang, Zhenyu Cheng, Md Shamim Sarker, Hiroyasu Yamahara, Munetoshi Seki, Hitoshi Tabata and Tetsuya Iizuka “Design of 1-5GHz Phase Interpolator and Lock-in Amplifier for On-Chip Network Analyzer,” 電子情報通信学会 LSIとシステムのワークショップ2023, 2023年5月.

[25] 竹中 理太郎, 飯塚 哲也, Asad A. Abidi, “FD-SOIプロセスを用いた10-bit 4GS/sタイムインターリーブ型アナログ・デジタル変換回路の設計,’’ 電子情報通信学会 LSIとシステムのワークショップ2023, 2023年5月.

[26] 宮地幸祐, 西島和哉, 両角光一 “48V入力1V出力対称並列Dickson型Dual Inductor Hybrid コンバータによるラインおよび負荷変動応答の改善,” 電子情報通信学会, 集積回路研究会, LSIとシステムのワークショップ 一般03, 2023年5月

[27] 久保美希, 志村和大, 両角光一, 竹谷憲吾, 佐藤篤史, 佐藤光秀, 水野勉, 宮地幸祐, “鉄系メタルコンポジットコアトランスを用いた2.5MHz動作24V入力1.2V/15A出力高降圧Double Step-Downフルブリッジ LLCコンバータの検討,” 電気学会, マグネティクス研究会, MAG-23-066, 2023年8月

[28] 竹谷憲吾, 志村和大, 両角光一, 久保美希, 佐藤篤史, 佐藤光秀, 水野勉, 宮地幸祐, “24V入力1V出力Phase-Shift Double Step-Down Full Bridge型高降圧DC-DCコンバータの検討,” 電気学会, マグネティクス研究会, MAG-23-067, 2023年8月

[29] 岩田竜季, 市川響平, 宮地幸祐, “RF非接触給電向け高入力電圧DC-DCコンバータにおけるZVS動作の検討,” 電子情報通信学会, ソサイエティ大会, C-12-9, 2023年9月

[30] 飯尾翼, 松永温加, 佐藤敏郎, 曽根原誠, 宮地幸祐, “50MHz動作3V入力0.8V出力高降圧IVR用パッケージ内蔵磁心インダクタ諸元の検討,” 電子情報通信学会, ソサイエティ大会, C-12-10, 2023年9月

[31] 佐藤篤史, 志村和大, 両角光一, 竹谷憲吾, 久保美希, 佐藤光秀, 水野勉, 宮地幸祐, “48V入力2V/50A出力Phase-Shift Double Step-Down Full Bridge型高降圧DC-DCコンバータの二次側回路トポロジー検討,” 電子情報通信学会, 信越支部大会, 3D-5, 2023年9月

[32] 竹谷憲吾, 志村和大, 両角光一, 久保美希, 佐藤篤史, 佐藤光秀, 水野勉, 宮地幸祐, “24V 入力 1V 出力 Phase-Shift Double Step-Down Full Bridge 型 高降圧 DC-DC コンバータの試作,” 電子情報通信学会信越支部, 信州大学 Student Branch, 信州ブランチ研究交流会, 2023年12月

[33] 久保美希, 志村和大, 両角光一, 竹谷憲吾, 佐藤篤史, 佐藤光秀, 水野勉, 宮地幸祐, “鉄系メタルコンポジットコアトランスを用いた2.5 MHz 動作 24 V 入力 1.2 V/15 A 出力 Double Step-Down フルブリッジ LLC 共振コンバータの動作検討,” 電子情報通信学会信越支部, 信州大学 Student Branch, 信州ブランチ研究交流会, 2023年12月

[34] 飯尾翼, 宮地幸祐, “高電流密度集積電源に向けた65nm CMOSプロセス 55MHz動作2V入力疑似3値コンバータの検討,” 電子情報通信学会, 総合大会, C-12-17, 2024年3月

[35] 佐藤篤史, 竹谷憲吾, 久保美希, 志村和大, 両角光一, 佐藤光秀, 水野勉, 宮地幸祐, “48 V入力2 V/ 50 A出力, Phase-Shift Full Bridge高降圧DC-DCコンバータにおけるDouble Step-Down方式の適用効果,” 電子情報通信学会, 総合大会,

B-9-14, 2024年3月

[36] 岩田竜季，市川響平，大西沙耶，樋口智大，廣瀬裕也，坂井尚貴，伊東健治，宮地幸祐，“受電全体効率64.4%の5.8GHz RF 無線電力伝送用受電器用開放端電圧予測型MPPTを搭載するSIDITO昇降圧コンバータ,”電子情報通信学会，総合大会，C-12-18, 2024年3月

[37] 久保美希，志村和大，竹谷憲吾，佐藤篤史，佐藤光秀，水野勉，宮地幸祐，“鉄系磁性コンポジットマトリクストランスを用いた3MHz動作48V入力1.0V出力高降圧Double Step-Downフルブリッジ LLC共振コンバータの検討,”電子情報通信学会，総合大会，B-9-15, 2024年3月

[38] 菊田康次，イスラム マーフズル，久門尚史，“MOSFETの基板バイアス効果を利用するオンチップSCコンバータの高効率化設計,”DAシンポジウム2023論文集，pp.8-14, August 2023.

[39] 太田慎一，イスラム マーフズル，久門尚史，“微細MOSFETの統計的性質を利用する-40〜140℃で動作可能なCMOS温度センサ,”DAシンポジウム2023論文集，pp.41-47, August 2023.

[40] 岩田祐磨，イスラム マーフズル，久門尚史，“再構成可能なコンパレータを活用した自己キャリブレーション機構を有するフラッシュ型ADC,”DAシンポジウム2023論文集，pp.48-55, August 2023.

[41] 大隈井輔，関山 晃生，LYU SHUXIN，森下 克幸，齊藤 健，“CMOSプロセスに適合した太陽電池の基本特性の測定,”令和5年度（第67回）日本大学理工学部学術講演会 2023.11.30

[42] 石田 暁久，LYU SHUXIN，森下 克幸，齊藤 健“集積回路化したニューロモーフィック回路を搭載した四足歩行ロボットのTrot歩容に対する検討,”令和5年度（第67回）日本大学理工学部学術講演会 2023.11.30

[43] 大隈 井輔，村本 大和，安田 祐希，関山 晃生，中山 渉，LYU SHUXIN，森下 克幸，齊藤 健“マイクロロボットに搭載可能な光刺激に反応するニューロモルフィックチップの開発,”電気学会 電子回路研究会 2024.3.21

[44] 関山晃生，中山渉，大隈井輔，LYU SHUXIN，森下克幸，齊藤健“マイクロロボットの歩行生成回路にセンサ入力する受容体細胞モデルの開発,”令和5年度（第67回）日本大学理工学部学術講演会 2023.11.30

[45] 関山晃生，中山渉，LYU SHUXIN，森下克幸，齊藤健“マイクロロボットの中枢パターン生成器に必要な受容細胞モデルの検討,”第29回電子情報通信学会東京支部学生会研究発表会 2024.3.2

[46] 中山渉，関山晃生，LYU SHUXIN，森下克幸，齊藤健，“四足歩行ロボットに実装するセンサ入力可能なニューロモーフィック回路の集積化に向けた検討,”令和5年度（第67回）日本大学理工学部学術講演会，2023.11.30

[47] 中山渉，関山晃生，LYU SHUXIN，森下克幸，齊藤健，“四足歩行ロボットに搭載するセンサ入力可能なニューロモルフィック回路の集積化に対する検討,”第29回電子情報通信学会東京支部学生会研究発表会，2024.3.2

[48] 原 航太，小松 聡，“オンチップ発振回路に向けたPVTばらつき耐性の高いVCOの検討,”LSI とシステムワークショップ 2023, 2023年5月.

[49] 原 航太，小松 聡，“発振周波数範囲をディジタル制御可能な電圧制御発振器,”2023年電子情報通信学会ソサイエティ大会 C-12-4, 2023年9月.

[50] 丸山尚哉，小松聡，“ウェアラブル機器搭載に向けたパッシブ型マルチビットΔΣ変調器,”2023年電子情報通信学会ソサイエティ大会 C-12-5, 2023年9月.

[51] 前澤龍平，小松聡，“MOSFET のチャネル抵抗を用いたピエゾ抵抗型MEMS圧力 センサ,”第40回「センサ・マイクロマシンと応用システム」シンポジウム，2023年11月.

[52] 後河内 駿介，小松 聡，“低動作電圧なCMOS-MEMSスイッチの試作と評価,”第203回SLDM研究発表会（SLDM WIP Forum 2023），2023年11月.

[53] 武田 拓朗，小松 聡，“確率的ADC向けコンパレータのオフセット電圧測定回路,”第203回システムとLSIの設計技術研究発表会（SLDM WIP Forum 2023），2023年11月.

[54] 坂口 平，小松 聡，“差動対の電流制御によるコンパレータのオフセット電圧のばらつき制御手法とその応用,”デザインガイア2023 -VLSI設計の新しい大地-, 2023年11月.

[55] 丸山尚哉，小松聡，“ウェアラブル機器搭載に向けた低消費電力なパッシブ型マルチビットΔΣ変調器,”信学技報，vol. 123, no. 389, DC2023-94, pp.1-6, 2024年2月.

[56] 齋藤 大成，安藤 洸太，浅井 哲也，“ベイジアンニューラルネットワークのベルヌーイ近似を適用したハ

ードウェア軽量化手法," 電子情報通信学会リコンフィギャラブルシステム研究会, くまもと市民会館シアーズホーム夢ホール, (熊本), 2023年11月15-17日.

[57] 山川 綜一郎, 安藤 洸太, 浅井 哲也, "アルギン酸ゲル膜内の疑似活動電位を検出する微小信号検出回路の評価," 電子情報通信学会複雑コミュニケーションサイエンス研究会 (CCS), 富山県立大学, (富山), 2023年11月11-12日.

[58] 山川 綜一郎, 安藤 洸太, 赤井 恵, 浅井 哲也, "アルギン酸カルシウムを用いた疑似神経膜に対する非線形微小信号検出回路の評価," 2023年電子情報通信学会NOLTAソサイエティ大会, 東京都市大学, (東京), 2023年6月10日.

[59] 大場 来, 成瀬雅人, 明連広昭, 船澤卓朗, "トポロジカル量子ビット用ブレイディング操作SFQ制御回路," 2023年電子情報通信学会ソサイエティ大会, C-8-9, 2023年9月

[60] 清水祐希, 明連広昭, 成瀬雅人, "マヨラナ束縛状態のブレイディング操作用バイポーラ電源の設計," 2023年電子情報通信学会ソサイエティ大会, C-8-10, 2023年9月

[61] 大場 来, 清水 裕希, 成瀬 雅人, 明連 広昭, "トポロジカル量子ビット用ブレイディング操作SFQ制御回路 (2)," 2024年電子情報通信学会総合大会, C-8-10, 2024年3月.

[62] 藤江 和輝, 成瀬 雅人, 明連 広昭, "単一磁束量子論理によるMKID用低消費電力デジタル信号処理回路の設計," 2023年度秋季第106回 低温工学・超電導学会研究発表会, 1C-a08, 2023年12月.

[63] 池沢尚紀, 大高俊徳, 佐藤俊一, 浜本隆之, "高速応答機能を有するCTIA画素回路と蓄積途中複数回CDSにより低照度感度・S/Nを向上させた高速リニアイメージセンサ," 映像情報メディア学会技術報告, vol.47, no.19, pp.7-10, 2023年6月.

[64] 寺西洋平, 大高俊徳, 佐藤俊一, 浜本隆之, "低ローリングシャッター歪を実現する高速高分解能列並列パイプラインADC," 映像情報メディア学会技術報告, vol.47, no.19, pp.13-16, 2023年6月.

[65] 祖父江滉一, 安藤夏輝, 関根かをり, 和田和千, 砂田哲, 笠松章史, "積和演算回路の非線形性による光リザーバコンピューティングシステムへの影響," 応用物理学会秋季学術講演会, 22p-A302-12 22, 2023年9月.

[66] 原田崇寛, 島田義久, 大川智, 吉野理貴, 関根かをり, "MOSFETのPN接合ダイオードを用いたICチップ上の温度検知," 電気学会電子回路研究会, ECT-023-063, 2023年12月.

[67] 原田崇寛, 島田義久, 大川智, 吉野理貴, 関根かをり, "PTAT電圧発生回路を用いた集積回路上の温度検知及び評価," 電気学会電子回路研究会, ECT-024-010, 2024年3月.

[68] 安藤夏輝, 関根かをり, 和田和千, "ギルバートセル型乗算回路設計における移動度の影響," 電気学会電子回路研究会, ECT-024-011, 2024年3月.

[69] 難波, "DICEを基にしたエッジトリガ型耐ソフトエラーD-FFを用いたシステム設計," 信学技報, DC, 2024年 2月.

[70] S. Wang, K. Namba, "Critical Charge Measurements Around Falling Edge of Clock Signal for D Flip-Flops," FTC研究会, 2024年 1月.

[71] 高橋, 難波, "ソフトエラー耐性を持つ不揮発性フリップフロップの設計," 信学技報, DC2023-13, 2023年 8月.

[72] 下條将虎, 佐々木伸一, 野元昭典, "LED照明反射光を用いた可視光通信の検討 ～受光回路検討～," 2023年度電子情報通信学会九州支部学生会講演会・講演論文集, C-03 (2023.9.6)

[73] 橋本卓弥, 佐々木伸一, 江副経介, "プリント配線板電源層からの放射雑音低減方法 ～シート状抵抗の厚さによる影響～," 2023年度電子情報通信学会九州支部学生会講演会・講演論文集, B-15 (2023.9.6)

[74] 亀川愛, 佐々木伸一, 野元昭典, "プリント配線板電源層からの放射雑音低減方法 ～チップ搭載スルーホールの影響～," 2023年度電子情報通信学会九州支部学生会講演会・講演論文集, B-16 (2023.9.6)

[75] 江副経介, 佐々木伸一, "プリント配線板電源層における放射雑音の低減～円形格子電源層～;," 2023年度 (第76回) 電気・情報関係学会九州支部連合大会講演会論文集,11-1P-01 (2023.9.7)

[76] 田中優, 佐々木伸一, 江副経介, "容量付加による遠端クロストーク低減技術 ～最適付加個数と位置の検討～," 2023年度電子情報通信学会九州支部学生会講演会・講演論文集, C-11 (2023.9.6)

[77] 野元昭典, 佐々木伸一," 高速信号線の曲がり部円弧の特性評価, 2023年度(第76回)電気・情報関係学会九州支部連合大会講演会論文集,11-1P-02 (2023.9.7)

[78] 江副経介, 佐々木伸一, "プリント配線板電源

層における放射雑音の低減 -円形格子状電源層-," 電子情報通信学会 信学技報, vol.123, no.346,EMCJ2023-87, pp.1-pp.6 (2024.1.19)

[79] 野元昭典, 佐々木伸一, "高速信号線路の曲がり部の特性評価," 電子情報通信学会 信学技報, vol.123, no.346,EMCJ2023-88, pp.7-pp.10 (2024.1.19)

[80] 川原啓輔, 馬場俊彦,「光電ハイブリッド集積送信機フロントエンドの開発」, LSIとシステムのワークショップ2023, 東京大学, 2023年5月.

[81] 川原啓輔, 馬場俊彦,「光電ハイブリッド集積高効率 Si 光送信機の研究」, 第45回光通信研究会, P-1-15, 東京工業大学, 2023年8月.

[82] 川原啓輔, 馬場俊彦,「負性RC回路による損失補償を用いた差動分布型ドライバ増幅器」, IEICEソサイエティ大会, C-12-18, 名古屋大学, 2023年9月.

[83] 川原啓輔, 馬場俊彦,「低電力フレキシブル送信機のための3並列Si Mach-Zehnder光変調器」, JSAP秋季学術講演会, 20p-A201-11, 熊本城ホール, 2023年9月.

[84] 川原啓輔, 馬場俊彦,「オープンコレクタ・ftダブラ出力段を用いた低電力光変調器ドライバ」, IEICE総合大会, C-12-26, 広島大学, 2024年3月.

[85] 川原啓輔, 土澤泰, 山本宗継, 前神有里子, 山田浩治, 馬場俊彦,「Sub-1-V 59-fJ/bit Siフォトニック結晶スローライト光変調器」, JSAP春季学術講演会, 22a-11E-6, 東京都市大学, 2024年3月.

[86] 中尾, 小平, 齋藤, 富岡, "Approximate Computingにおける禁止領域設定による精度を考慮した大規模回路設計手法," 信学技報, pp.107-112, 2024年3月.

[87] 佐々木芳樹, "低電源電圧で動作可能なパルス形カオスニューロンモデルに対する検討," 令和6年電気学会全国大会 2024年3月16日

[88] 佐々木 芳樹, "同期ネットワークを接続したアナログ型スパイキングニューロンモデルを用いた全結合型ネットワークの時系列想起に対する検討," 2023年電気学会 電子・情報・システム部門大会 2023年9月1日

[89] 山口明伸, 佐々木芳樹, "ニューラルネットワークのリザバー層における収束性の一検討," 第67回 理工学部学術講演会 2023年11月30日

[90] 竹内佑樹, 佐々木芳樹, "筋繊維制御ニューラルネットワークを用いた四足歩行ロボットに対する一検討," 第67回 理工学部学術講演会 2023年11月30日

[91] 竹内佑樹, 佐々木芳樹, "Renshaw細胞モデルを用いた筋繊維制御ニューラルネットワークに対する一検討," 令和6年電気学会全国大会 2024年3月16日

[92] 山口明伸, 佐々木芳樹, "パルス形ハードウェアカオスニューロンモデルで構築したリザバー層に対する一検討," 令和6年電気学会全国大会 2024年3月16日

[93] 飯島楓, 佐々木芳樹, "スパーキングニューロン解析用ソフトウェアのためのSTDP学習則実装に関する一検討," 令和6年電気学会全国大会 2024年3月16日

[94] 山本 究太郎, 丹沢 徹, "熱電素子バッテリ直列接続型バッテリ充電回路の充電効率最大化," 子情報通信学会総合大会 2024年3月

[95] 平野 敬祐, 丹沢 徹, "論理回路電源電圧下限の解析," 電子情報通信学会総合大会 2024年3月

[96] 樋口 愛莉, 丹沢 徹, "100mV以下の電源から1.5Vバッテリを充電するチャージポンプの設計," 電子情報通信学会総合大会 2024年3月

[97] 杉澤 有右太, 丹沢 徹, "NANDフラッシュの高速化と低電力化を同時に実現する動的ビット線分割方式," 電子情報通信学会総合大会 2024年3月

[98] 佐藤 光翼, 丹沢 徹, "バッテリ充電器用バッテリ電圧監視回路の回路面積最小化設計," 電子情報通信学会総合大会 2024年3月

[99] 宮崎 直人, 丹沢 徹, "高インピーダンス発電素子用Switched capacitor降圧コンバータの性能比較: 直並切替型対Dickson型," 電子情報通信学会総合大会 2024年3月

[100] 稲葉 泰誠, 丹沢 徹, "電圧振幅拡大型コルピッツオシレータを用いたDC-DC昇圧回路の動作実証," 電子情報通信学会総合大会 2024年3月

[101] 田辺 駿介, 丹沢 徹, "熱電素子バッテリ直列接続型バッテリ充電回路のMPPT回路設計," 電子情報通信学会総合大会 2024年3月

[102] 植村寛太, 丹沢 徹, "差動型LC発振器駆動チャージポンプの昇圧特性評価," 電子情報通信学会総合大会 2024年3月

[103] 小坪稜麻, 丹沢 徹, "クロスカップルRF-DCチャージポンプ出力電圧電流特性の非線形性について," 電子情報通信学会ソサイエティ大会 2023年9月

[104] 田辺駿介, 丹沢 徹, "熱電発電用バッテリ充電器

のMPPT回路システム設計,” 電子情報通信学会ソサイエティ大会 2023年9月
[105] 宮崎直人, 丹沢徹, “静電振動発電用降圧コンバータの設計,” LSIとシステムのワークショップ 2023年5月
[106] 齋藤航, 丹沢徹, “極低電圧電源動作バッテリ充電器の設計,” LSIとシステムのワークショップ 2023年5月
[107] 稲葉泰誠, 野村達也, 丹沢 徹, “振幅拡大型コルピッツ・オシレータとそれを利用したオンチップ昇圧回路の設計,” LSIとシステムのワークショップ 2023年5月
[108] 植村寛太, 丹沢 徹, “LC発振器駆動チャージポンプの設計,” LSIとシステムのワークショップ 2023年5月
[109] LOFIC型CMOSイメージセンサのための低ノイズ画素回路
[110] CMOSイメージセンサに用いる小面積かつ高線形な列並列アンプ
[111] LOFIC イメージセンサに用いる 小面積かつ高線形な列並列読み出し回路
[112] 特徴量抽出可能なCMOSイメージセンサ画素に向けたグレースケール変換および縦縞低減可能な画素の検討
[113] 戸田 莉彩, 岸田 亮, 小林 和淑, 松浦 達治, 宮内 亮一, 兵庫 明,「ストレス分離スターブ型発振器を用いた経年劣化現象の実測評価」, DAシンポジウム, pp.193-198, 2023/08/31, ハイブリッド（加賀市, 石川/オンライン）.
[114] 菊田 大輔, 岸田 亮, 小林 和淑,「同一の回路構造のリングオシレータを用いた65nm FDSOIプロセスに発生するBTI 劣化の実測評価」, 電子情報通信学会技術報告（VLSI設計技術）, pp.1-6, 2023/03/01, ハイブリッド（那覇市, 沖縄/オンライン）
[115] IEICE Technical Report EID2023-13(2024-01)
[116] 林 誠也, 島田 宏, 水柿義直, “単一磁束量子パルス周波数変調型D/A変換器のGHz信号生成回路への応用,” 電子情報通信学会技術研究報告（超伝導エレクトロニクスSCE）, SCE2023-26, 2024年1月
[117] 林 誠也, 島田 宏, 水柿義直, “単一磁束量子パルス周波数変調型マイクロ波発生器の設計,” 第84回応用物理学会秋季学術講演会, 21p-C301-12, 2023年9月
[118] 福代大紀, 島田 宏, 水柿義直, “Time-to-Digital Converterを備えたSFQ All-Digital Phase Locked Loopの設計,” 2024年電子情報通信学会総合大会, C-8-1, 2024年3月
[119] 熊谷, 外山, 淡野, “多入力FG-MOSFETの初期電荷除去法とその考察,” 電気・情報関係学会九州支部連合大会, 07-2A-06, 2023年9月.
[120] Chenyu Zhao, Hiroshi Tsutsui, Takeo Ohgane, “A Prototype Implementation of Audio Signal Pitch Shifting Utilizing Arty A7 and I2S MEMS Microphone Controlled by RISC-V Processor,” Proceedings of the 49th PARTHENON Technical Society Conference, pp.25-29, Dec. 2023.
[121] 金井, 田中, “BCD符号を用いた除算回路の高速化,” 信学技報, vol. 123, no. 373, VLD2023-89, pp.53-58, 2024年1月.
[122] Hemthavy Xaybandith, 小林, 田中, “分散型積和演算法によるテイラー展開演算回路の省面積化,” 第29回 電子情報通信学会 東京支部学生会研究発表会, 10, 2024年3月.
[123] Y. Tanaka, “A new signed-digit addition algorithm,” 32nd International Workshop on Post-Binary ULSI Systems, May, 2023.
[124] 鬼頭信貴, “セルベースRSFQ論理回路設計における配線経路のJTL配線セルによる実現の自動化,” 2023年電子情報通信ソサイエティ大会 C-8-8, 2023年9月.
[125] 久岡辰次郎, 升井義博, “可視光通信における照度センサを用いた受信回路” 2023年度（第74回）電気・情報関連学会中国支部連合大会, 2023年10月（オンライン開催）
[126] 野﨑勘太郎, 升井義博, “サーミスタを用いた高速応答温度センサに関する研究” 2023年度（第74回）電気・情報関連学会中国支部連合大会, 2023年10月（オンライン開催）
[127] 鶸田拓也, 岩田大志, 山口賢一: “並列型5入力5出力アービタの設計とテスト法案,’’ 電子情報通信学会 関西支部 第28回学生会研究発表講演会, A1-4, P.5, Mar.（2024）.
[128] 杉山咲, 山口賢一, 岩田大志: “回路構造と同一視可能なグラフ構造の構築と可検査性と中心性の関係に対する考察,’’ 電子情報通信学会 関西支部 第28回学生会研究発表講演会, A1-5, P.6, Mar.（2024）.
[129] 島岡宏彰, 岩田大志, 山口賢一: “MUTEXに対す

る適したスキャン構造とスキャン機能の提案,'' 電子情報通信学会 関西支部 第28回学生会研究発表講演会, A1-3, P.4, Mar.（2024）.

[130] 谷口翔寿人, 岩田大志, 山口賢一:“スキャンMUTEXを対象としたレイアウトレベルの設計,'' 第22回情報科学技術フォーラム講演論文集, No.1, CC-006, pp.63-68, Sep.（2023）.

[131] 中村皓平, 杜邦, 杉下景俊, 黄貝宇彤, 片浦葵, 長谷川稜, 木野久志, 福島誉史, 清山浩司, 田中徹,“指先の血液量変化を利用する経爪型PPGコントローラの開発－リザバーコンピューティングによる手首動作の分類－,” 2023年電子情報通信学会エレクトロニクスソサイエティ大会, 名古屋, 2023九月

[132] 長谷川 稜, 杜 邦,中村 皓平, 杉下 景俊, 黄 貝宇彤, 片浦 碧, 藤井 まなみ, 木野 久志, 福島 誉史, 清山 浩司, 田中 徹,“高速な動作誘導を可能にするウェアラブル GVS ナビゲーションデバイスの開発－前庭電気刺激回路の設計と評価－,” 2023年電子情報通信学会エレクトロニクスソサイエティ大会, 名古屋, 2023九月

[133] 篠田 敦志, 冨永 晃洋, 木野 久志, 田中 徹, 福島 誉史,“銅ピラーのアセンブリを用いたFOWLPによるTXV形成と曲げ特性の強化,” 第84回応用物理学会秋季学術講演会, 熊本, 2023九月

[134] 星 匡朗, 西口 大智, 木野 久志, 田中 徹, 福島 誉史,“ハイドロゲルFHEデバイスのためのRDL-first Multichip-to-Wafer集積技術,” 第84回応用物理学会秋季学術講演会, 熊本, 2023九月

[135] 番場 崚太郎, 岸本 凌平, 加藤 勇志, 桂井 亮介, 木野 久志, 福島 誉史, 田中 徹,“高い画像認識性能を有する三次元積層人工網膜チップの作製,” 第71回応用部物理学会春季学術講演会, 東京, 2024三月

[136] 岸本 凌平, 番場 崚太郎, 加藤 勇志, 桂井亮介, 木野 久志, 福島 誉史, 田中 徹,“プロセスフレンドリな三次元積層デジタル人工網膜チップの作製と評価,” 第71回応用部物理学会春季学術講演会, 東京, 2024三月

[137] 大庭 脩太郎, 岩沼 尚樹, 邱 晨曦, 辻 一志, 木野 久志, 福島 誉史, 田中 徹,“下方光照射を可能にする光伝播UCNPメッシュシートの作製と評価,” 第71回応用部物理学会春季学術講演会, 東京, 2024三月

[138] 杉下 景俊, 杜 邦, 中村 皓平, 黄 貝宇彤, 片浦葵, 長谷川 稜, 木野 久志, 福島 誉史, 清山 浩司, 田中 徹,“非接触非圧平ポータブル眼圧測定デバイスの開発ー計測手法の提案と計測回路設計ー,” 第71回応用部物理学会春季学術講演会, 東京, 2024三月

[139] [C-12-27] 水野功務, 永末玲央, 岩田達哉, 吉河武文（富山県立大）「Fractional-N PLLのVCOゲインとCP電流の最適化に関する考察」, 2023年度電子情報通信学会総合大会

[140] 永末玲央, 水野功務, 岩田 達哉, 吉河 武文“Fractional-N PLLにおける周波数変動抑制に関する考察,” 2023年度電気・情報関係学会北陸支部連合大会, D2. 集積回路, 素子, Sept. 2, 2023.

[141] 水野功務, 永末玲央, 岩田達哉, 吉河武文（富山県立大）「DLLの電圧制御遅延線における線形性と動作レンジの向上に関する考察」, 2023年度電子情報通信学会ソサエティ大会

[142] 大塚, 及川, 熊谷,“極低温下におけるPN接合特性の評価と評価環境の検討,” 電気電子情報関係学会東海支部連合大会 2023年8月.

[143] 佐々木優希, 野口卓朗, 石川洋平, 深井澄夫, 清水暁生,“入力トランスコンダクタンスを調整できる微小位相差計測回路の検討,” 令和 5 年度（第14 回）電気学会九州支部 高専研究講演, B102, pp.35-36, Mar. 2024.

[144] 清水暁生, 野口卓朗, 石川洋平,“アナログLSI設計者育成のための子供向け工作教室,” 2023年度（第76回）電気・情報関係学会九州支部連合大会・講演論文集, 12-1P-01, p. 190, Sep. 2023.

[145] 中塩屋, 井上, 土谷, 岸根,“周波数変調によるデータ管理情報重畳PAM4伝送システムにおける付加情報抽出のための受信回路の検討,” 2024年電子情報通信学会総合大会, A-1-09, 2024年3月.

[146] 北村, 土谷, 井上, 岸根,“極低温におけるアナログ回路のMOSサイズと動作可能範囲の関係,” IEICE ICD/CAS 学生・若手研究会, 2023年12月.

[147] 阿南, 土谷, 井上, 岸根,“アナログ回路の設計難易度の数値化による性能要件評価,” DAシンポジウム2023, 2023年8月.

[148] 田中雅光, 北川佳廣, 佐藤哲朗, 山本剛,“量子ビット制御に向けた250 A/cm2プロセスによる低消費電力単一磁束量子回路の動作速度評価,” 第71回応用物理学会春季学術講演会, 22p-12C–9, 東京, 2024年3月.

[149] 秋山実邦子,“マイクロパワー有機回路を搭載したシート型印刷センサ,” MES2023 第33回マイクロ

エレクトロニクスシンポジウム論文集，pp.337-340, 2023年9月

[150] 隠岐貴文，門田和樹，三木拓司，永田真，“ハードウェアトロージャン検知に向けた電源電流シミュレーション手法の検討,” 電子情報通信学会技術報告，vol. 123, no. 6, HWS2023-1, pp.1-5, 2023年4月.

[151] 林佑亮，長谷川陸宇，弘原海拓也，門田和樹，三木拓司，永田真，“暗号ICチップの電磁的故障注入攻撃における解析手法の検討,” 電子情報通信学会技術報告，vol. 123, no. 6, HWS2023-4, pp.11-15, 2023年4月.

[152] 長谷川陸宇，弘原海拓也，門田和樹，三木拓司，永田真，“暗号ICチップの電磁的故障注入攻撃とチップ内部電圧応答の解析,” 電子情報通信学会技術報告，vol. 123, no. 6, HWS2023-5, pp.16-19, 2023年4月.

[153] 山田友弥，高橋亮蔵，三木拓司，永田真，“量子デバイスの環境モニタリングに向けた極低温AD変換器の検討,” 電子情報通信学会技術報告，vol. 123, no. 144, ICD2023-15, pp.6-9, 2023.8.1.

[154] 田口美里，高橋亮蔵，加藤薫子，楠野順弘，三木拓司，永田真，“量子コンピュータ向けフリップチップシリコンインターポーザの極低温評価,” 電子情報通信学会技術報告，vol. 123, no. 144, ICD2023-16, pp.10-13, 2023.8.1.

[155] 林佑亮，長谷川陸宇，弘原海拓也，門田和樹，三木拓司，永田真，“裏面電圧故障注入を用いた差分故障解析による攻撃実現性の検討,” 2023年電子情報通信学会ソサイエティ大会，A-19-3, pp.140, 2023.9.13.

[156] 隠岐貴文，門田和樹，三木拓司，永田真，“ICチップレベル電源電流シミュレーションによるハードウェアトロイ検知可能性の検討,” 2023年電子情報通信学会ソサイエティ大会，C-12-6, pp.36, 2023.9.14.

[157] 林佑亮，長谷川陸宇，弘原海拓也，門田和樹，三木拓司，永田真，“裏面電圧故障注入を用いた差分故障解析による攻撃実現性の検討,” 2023年電子情報通信学会ソサイエティ大会，A-19-3, pp.140, 2023.9.13.

[158] 林佑亮，長谷川陸宇，弘原海拓也，門田和樹，三木拓司，永田真，“裏面電圧故障注入を用いた差分故障解析による秘密鍵導出,” 電子情報通信学会技術報告，vol.123, no.259, ICD2023-72, pp.178-181, 2023.11.17.

[159] 長谷川陸宇，門田和樹，弘原海拓也，三木拓司，永田真，“オンチップLDOによる電磁波照射ノイズ低減効果の検討,” 電子情報通信学会技術報告 ,vol. 123, no. 391, HWS2023-84, pp.131-134, 2024.3.1.

[160] 祝迫琉士，高橋亮蔵，山田友弥，三木拓司，永田真，“大規模シリコン量子ビットの高精度制御に向けた極低温バイアス電圧生成DA変換回路の開発,” 2024年電子情報通信学会総合大会，A-1-13, 2024.3.6.

[161] 林佑亮，長谷川陸宇，弘原海拓也，門田和樹，三木拓司，永田真，“裏面電圧故障注入による攻撃精度評価,” 2024年電子情報通信学会総合大会，A-19-02, 2024.3.6.

[162] 隠岐貴文，門田和樹，三木拓司，永田真，“ディジタル回路の消費電荷量に着目したハードウェアトロイ検知手法,” 2024年電子情報通信学会総合大会，A-19-03, 2024.3.6.

[163] 永田真，“無線通信を利用する自律移動体の電磁ノイズ課題と解決に向けて,” 2024年電子情報通信学会総合大会，依頼シンポジウム，BI-12-01, 2024.3.7.

[164] 松本 香，池田隆希，瀬部 光，黒木修隆，沼 昌宏，兼本大輔，廣瀬哲也，“デジタルMPPT制御を用いた小型PVセル向けオンチップ昇圧コンバータ,” LSIとシステムのワークショップ2023, S15, 2023年5月.

[165] K. Matsumoto, R. Ikeda, H. Sebe, N. Kuroki, M. Numa, D. Kanemoto, T. Hirose, “Switched-capacitor voltage boost converter with digital maximum power point tracking for low-voltage energy harvesting,” IEEE EDS Kansai Chapter, 第23回関西コロキアム電子デバイスワークショップ, 2023年10月.

[166] 萩野浩一（東京大学），北島正隼，幸村孝由（東京理科大学），倉知郁生（ディーアンドエス），鶴剛（京都大学），行元雅貴，武田彩希，森浩二，西岡祐介（宮崎大学），田中孝明（甲南大学），“SOI技術を用いた新型X線撮像分光器の開発 58: PDD 構造を持つ X 線 SOI ピクセル検出器の放射線損傷による性能劣化機構の研究,” 日本天文学会 2023年秋季大会

[167] 木村明愉，森浩二，武田彩希，西岡祐介，行元雅貴，泉大輔，岩切卯月（宮崎大学），鶴剛，上ノ町水紀，池田智法，松田真宗，成田拓仁（京都大学），倉知郁生（ディーアンドエス），新井康夫（KEK），幸村孝由，内田悠介，清水真（東京理

科大学), 萩野浩一（東京大学）他, “SOI 技術を用いた新型X線撮像分光器の開発 59：PDD 構造を有するX線 SOI-CMOS ピクセル検出器 XRPIXにおける軟X線性能評価,” 日本天文学会 2023年秋季大会

[168] 幸村孝由, 内田悠介, 土居俊輝, 角町駿, 武居悠貴, 伊藤尚輝, 清水真, 志賀文哉（東京理科大学), 萩野浩一（東京大学), 鈴木寛大（甲南大学), 鶴剛, 上ノ町水紀, 松田真宗, 成田拓仁（京都大学), 倉知郁生（ディーアンドエス), 岩切卯月, 泉大輔, 木村明愉, 川島陸斗, 眞方恒陽 他, “SOI 技術を用いた新型X線撮像分光器の開発 60: PDD 構造を導入した X 線天文用 SOI ピクセル検出器のサブピクセルレベルの X 線応答特性の評価,” 日本天文学会 2023年秋季大会

[169] 松橋裕洋, 萩野浩一, 馬場彩（東京大学), 武田彩希, 行元雅貴, 森浩二, 西岡祐介（宮崎大学), 鶴剛, 上ノ町水紀, 池田智法, 松田真宗, 成田拓仁（京都大学), 田中孝明, 鈴木寛大（甲南大学), 倉知郁生（ディーアンドエス), 幸村孝由, 内田悠介（東京理科大学), 新井康夫（KEK), “SOI 技術を用いた新型 X 線撮像分光器の開発 61:内蔵アナログ-デジタル変換器の性能評価,” 日本天文学会 2023年秋季大会

[170] 橋爪大樹, 須田祐介, 深澤泰司（広島大学), 鶴剛（京都大学), 武田彩希（宮崎大学), “SOI 技術を用いた新型 X 線撮像分光器の開発 62:宇宙 MeV ガンマ線観測に向けた XRPIX8.5 と CsI シンチレータで構成するコンプトンカメラの開発,” 日本天文学会 2024年春季大会

[171] 武田彩希, 森浩二, 西岡祐介, 行元雅貴, 岩切卯月, 泉大輔, 木村明愉, 川島陸斗, 眞方恒陽, 塩川朝日, 三谷美輝, 鶴剛, 内田裕之, 上ノ町水紀, 池田智法, 松田真宗, 成田拓仁, 島添健次, 朱慶紅, 高橋浩之, 幸村孝由, 内田悠介, 角町駿, 土居俊輝, 武居悠貴, 伊藤尚輝, 志賀文哉 他, “宇宙X線観測向け大面積SOIピクセル検出器の改良と性能評価,” 日本物理学会 第78回年次大会（2023年）

[172] 幸村孝由, 内田悠介, 土居俊輝, 角町駿, 武居悠貴, 伊藤尚輝, 清水真, 志賀文哉, 萩野浩一, 鈴木寛大, 鶴剛, 上ノ町水紀, 池田智法, 松田真宗, 成田拓仁, 倉知郁生, 岩切卯月, 泉大輔, 木村明愉, 川島陸斗, 眞方恒陽, 塩川朝日, 三谷美輝, 行元雅貴, 武田彩希, 森浩二, 西岡祐介 他, “PDD 構造を導入したX線天文衛星搭載用SOIピクセル検出器のサブピクセルレベルのX線応答特性の評価,” 日本物理学会 第78回年次大会（2023年）

[173] 遠藤 あかり, 恵 太一, 河原 尊之, “スケーラブルイジングマシン向け22nm CMOS LSIチップ設計と評価,” 2024年電子情報通信学会総合大会, 2024年3月

[174] 恵 太一, 遠藤 あかり, 河原 尊之, “4096 スピンスケーラブル全結合型アニーリングシステムと並列化,” 2024年電子情報通信学会総合大会, 2024年3月

[175] 今井雅, “同期式回路設計支援環境における Muller’s C-element の実装に関する一考察,” 電子情報通信学会技術研究報告 VLD2023-79, pp.255-260, Nov., 2023

[176] 古川大鷹, 穂刈成晃, 澤田桐弥, 伊藤祥磨, 西口大嗣, 福原雅朗, “FGキャリブレーション回路を付加したニューロンCMOSインバータに関する理論解析,” 電子情報通信学会総合大会, C-12-02, 2024年3月7日.

[177] 穂刈成晃, 古川大鷹, 澤田桐弥, 伊藤祥磨, 西口大嗣, 福原雅朗, “Neuron CMOS型WTA回路を用いた最小値判定回路のDTW距離計算機への応用,” 電子情報通信学会総合大会, C-12-03, 2024年3月7日.

[178] 澤田桐弥, 古川大鷹, 穂刈成晃, 伊藤祥磨, 西口大嗣, 福原雅朗, “電力削減を目的としたノンプリチャージ型ハミング距離検索機能付きCAMの回路構成の提案,” 電子情報通信学会総合大会, C-12-04, 2024年3月7日.

[179] 松井千尋, トープラサートポンカシディット, 高木信一, 竹内健, “FeFETを用いた電圧検知Computation-in-Memoryの回路デザイン,” 第71回応用物理学会春季学術講演会, 24p-31A-7, 2024年3月.

[180] 中西 優輝, Wisaroot Sriitsaranusorn, 服部 天哉, 鐘堂 健三, 寺澤 靖雄, 須永 圭紀, 竹原 浩成, 春田 牧人, 田代 洋行, 笹川 清隆, 太田 淳, “分散配置型スマート電極人工視覚チップを用いた多点刺激システムの実証,” 第40回「センサ・マイクロマシンと応用システム」シンポジウム, 熊本城ホール, 2023年11月.

[181] 鎧 圭吾, 春田 牧人, 竹原 浩成, 田代 洋行, 笹川 清隆, 太田 淳, “生体埋植イメージセンサ空間

分解能向上にむけた非対称な角度選択画素構造の検討,” 第40回「センサ・マイクロマシンと応用システム」シンポジウム, 熊本城ホール, 2023年11月.

[182] Ouyang Xinyuan, 潘 愷鴿, 高野 拓郎, 寺澤 靖雄, 竹原 浩成, 春田 牧人, 田代 洋行, 笹川 清隆, 太田 淳, “パリレン C 薄膜 CMOS スマート電極搭載人工視覚デバイスの開発,” 第40回「センサ・マイクロマシンと応用システム」シンポジウム, 熊本城ホール, 2023年11月.

[183] 伊藤 佑樹, 須永 圭紀, 竹原 浩成, 春田 牧人, 田代 洋行, 笹川 清隆, 太田 淳, “小型蛍光イメージングデバイス用フロントライト構造の性能向上と実測,” 第84回応用物理学会秋季学術講演会, 熊本城ホール, 2023年9月.

[184] 吉田 成寿, 潘 愷鴿, 須永 圭紀, 春田 牧人, 高野 拓郎, 中野 由香梨, 寺澤 靖雄, 竹原 浩成, 田代 洋行, 笹川 清隆, 太田 淳, “in-vitro及びin-vivo実験に向けたフレキシブル人工視覚デバイスの実装,” 第84回応用物理学会秋季学術講演会, 熊本城ホール, 2023年9月.

[185] 竹原 浩成, 髙田 奎之心, 春田 牧人, 田代 洋行, 笹川 清隆, 池田 博一, 野口 一秀, 鈴木 雄斗, 藤田 喜則, 喜多村 康一, 太田 淳, “誘電体薄膜モザイクRGBフィルタ搭載耐放射線カラーカメラの開発,” 第84回応用物理学会秋季学術講演会, 熊本城ホール, 2023年9月.

[186] 岡田 竜馬, 水野 麻弥, 長岡 智明, 竹原 浩成, 春田 牧人, 田代 洋行, 太田 淳, 笹川 清隆, “高感度偏光イメージングシステムを用いたTHz電磁界イメージング,” 第84回応用物理学会秋季学術講演会, 熊本城ホール, 2023年9月.

[187] 岡田 竜馬, 水野 麻弥, 竹原 浩成, 春田 牧人, 田代 洋行, 太田 淳, 笹川 清隆, “高感度偏光イメージセンサを用いた高周波電界イメージングの感度改善に向けた検討,” 2023年電子情報通信学会 ソサイエティ大会, 名古屋大学 東山キャンパス, 2023年9月.

[188] 赤松 喜裕, 岡田 竜馬, 水野 麻弥, 竹原 浩成, 春田 牧人, 田代 洋行, 太田 淳, 笹川 清隆, “フレーム遅延制御を用いた等価時間サンプリングにおける周波数成分分離,” 2023年電子情報通信学会 ソサイエティ大会, 名古屋大学 東山キャンパス, 2023年9月.

[189] W Sriitsaranusorn, Y. Nakanishi, Y. Sunaga, K. Shodo, Y. Terasawa, H. Takehara, M. Haruta, H. Tashiro, K. Sasagawa, J. Ohta, “Design of artificial retina chip for stimulation with higher voltage range,” 2023年電子情報通信学会 ソサイエティ大会, 名古屋大学 東 山キャンパス, 2023年9月.

[190] 髙田 奎之心, 竹原 浩成, 春田 牧人, 田代 洋行, 笹川 清隆, 太田 淳, “複数の屈折力を持つモデル眼球の製作および近赤外マルチスペクトル眼底カメラにおける固視標投影の検証,” 映像情報メディア学会2023年年次大会, 東京理科大学 葛飾キャンパス, 2023年8月.

[191] 須永 圭紀, Austin Ganaway, 太田 安美, 竹原 浩成, 春田 牧人, 田代 洋行, 笹川 清隆, Yasemin M. Akay, Metin Akay, 太田 淳, “げっ歯類の複数脳領域同時計測に向けた小型プラットフォームの開発,” 第46回日本神経科学大会 (Neuroscience2023), 仙台国際センター, 2023年8月.

[192] 14. L. Akbar, V. C. G. Castillo, J. P. Olorocisimo, Y. Ohta, M. Kawahara, H. Takehara, M. Haruta, H. Tashiro, K. Sasagawa, M. Ohsawa, J. Ohta, “Simultaneous CMOS-based calcium imaging and serotonin release during formalin-induced nociceptive pain in freely moving mice,” 第46回日本神経科学大会 (Neuroscience2023), 仙台国際センター, 2023年8月.

[193] L. Akbar, V. C. G. Castillo, J. P. Olorocisimo, Y. Ohta, M. Kawahara, H. Takehara, M. Haruta, H. Tashiro, K. Sasagawa, M. Ohsawa, J. Ohta, “Simultaneous CMOS-based calcium imaging and serotonin release during formalin-induced nociceptive pain in freely moving mice,” 第46回日本神経科学大会 (Neuroscience2023), 仙台国際センター, 2023年8月.

[194] V. C. G. Castillo, L. Akbar, J. P. Olorocisimo, Y. Ohta, H. Takehara, M. Haruta, H. Tashiro, K. Sasagawa, J. Ohta, “Region of Interest Selection for Lensless Imaging Systems by Adaptive Binarization,” 第46回日本神経科学大会 (Neuroscience2023), 仙台国際センター, 2023年8月.

[195] J. P. Olorocisimo, V. C. Castillo, P. R. Regonia, Y. Ohta, H. Takehara, M. Haruta, K. Sasagawa, J. Ohta, “Neuroengineering a biophotonic system for imaging and modulation of kainic acid-induced seizure in freely behaving mice,” 第46回日本神経科学大会 (Neuroscience2023), 仙台国際センター, 2023年8月.

[196] Ouyang Xinyuan, 潘 愷鴿, 高野 拓郎, 寺澤 靖雄, 須永 圭紀, 竹原 浩成, 春田 牧人, 田代 洋

行, 笹川 清隆, 太田 淳, “CMOSスマート電極搭載人工視覚デバイス用フレキシブル薄膜基板の開発,” 電気学会E部門総合研究会, 豊田工業大学, 名古屋, 2023年7月.

[197] 笹川 清隆, 赤松 喜裕, 岡田 竜馬, 竹原 浩成, 春田 牧人, 田代洋行, 太田 淳, “高周波信号検出用イメージングシステムにおける露光時間制御の検討,” LSI とシステムのワークショップ 2023, 東京大学 武田先端知ビル, 2023年5月.

[198] 赤松 喜裕, 岡田 竜馬, 竹原 浩成, 春田 牧人, 田代 洋行, 笹川 清隆, 太田 淳, “電界イメージングの中間周波数向上に向けた偏光イメージセンサの露光時間制御,” LSI とシステムのワークショップ 2023, 東京大学 武田先端知ビル, 2023年5月.

[199] 柴田まりな, 高橋康宏, “断熱的論理回路へのDickson整流器の導入に関する検討,” 2024年電気学会電子回路研究会, vol. ECT-24, pp.53-56 (ECT-24-021), March 2024.

[200] 岩田隆誠, 高橋康宏, “広帯域で低雑音なRGC-TIAの設計,” 2024年電気学会電子回路研究会, vol. ECT-24, pp.57-60 (ECT-24-022), March 2024.

[201] 高橋康宏, “メモリスタSPICEモデルの違いによるカオス回路のシミュレーション比較,” 信学技報, vol. 123, no. 203, NLP2023-29, pp.1-4, Oct. 2023.

[202] 柏森 風介,佐々木 敬泰,坂 一哲: Double-Split-output Latchを用いたSemi-Static TSPC DFFのLSI試作と評価, DAシンポジウム2023論文集, pp.2-7 (2023/8).

[203] 大松, 大寺, 四柳, 橋爪, S-K. Lu, “アナログ素子のみで構成する弛緩発振器によるIC間抵抗断線の検出可能性調査,” 第33回マイクロエレクトロニクスシンポジウム論文集, pp.393-396, 2023年9月.

[204] 有元, 四柳, 奥本, 宮谷, 橋爪, “待機モード ICの配線検査可能なバウンダリスキャンの動作検証,” 電気・電子・情報関係学会四国支部連合大会講演論文集, p.10-12, 2023年9月.

[205] 小松原, 大松, 四柳, 橋爪, “オフセットキャンセル型コンパレータ内インバータゲートの増幅度の温度依存性,” 電気・電子・情報関係学会四国支部連合大会講演論文集, 10-13, 2023年9月.

[206] 赤松, 東海, 四柳, 橋爪, “切り捨てビットを考慮する近似乗算器用BIST回路の面積削減について,” 電子情報通信学会技術研究報告, Vol.123, No.260, pp.156-161, 2023年11月.

[207] 鈴木, 今泉, “電極間の容量変化に基づく液体検出センサシステムの開発,” 第33回日本MRS年次大会, L-P15-029, 2023年11月

[208] 小野, 守谷, 山本, 弓仲, 堀尾, 佐藤, “アナログCMOSスパイキングニューラルネットワーク回路を用いた超低消費電力リザバー計算システムの設計,” 電子情報通信学会 ニューロコンピューティング研究会, 2023

[209] 小野, 守谷, 山本, 弓仲, 堀尾, 佐藤, “アナログCMOSスパイキングニューラルネットワークLSIを用いた超低消費電力リザバー計算システムの実装と画像認識応用,” 電子情報通信学会 総合大会, 2024

[210] 酒井, 守谷, 山本, 佐藤, “高閾値MOSFETを用いた超低電力アナログCMOSスパイキングニューロン回路の検討,” 電子情報通信学会総合大会, 2024

[211] 中村浩輔, 森雅之, 前澤宏一, “共鳴トンネル素子を用いた硬い発振器の発振初期過程の観測,” 和5年度応用物理学会北陸・信越支部学術講演会, 2023年12月

[212] 清水晴喜, 森雅之, 前澤宏一, “共鳴トンネル素子と周波数ΔΣ変調方式を用いた走査型マイクロ波近接場顕微鏡の提案,” 和5年度応用物理学会北陸・信越支部学術講演会, 2023年12月

[213] 前澤, 森, “周波数ΔΣ方式走査型近接場マイクロ波顕微鏡の実験的検証,” 第15回集積化MEMSシンポジウム, 2023年11月

[214] 土屋, 小川, 佐藤, “12bit時間・デジタル変換回路の低消費電力化の検討,” 2023年電気学会電子・情報・システム部門大会 講演論文集, pp.1186-1191, 2023年8月

[215] 向井, 佐藤, 小川, “チャージポンプ回路を用いた低消費電力の容量・ディジタル変換回路の誤差解析及び高精度化に関する研究,” 2023年電気学会電子・情報・システム部門大会 講演論文集, pp.1180-1185, 2023年8月

[216] 新垣雅斗, 高橋芳浩:「SOI-MOSFETの重イオン照射誘起電流における支持基板の影響」, 2024年電子情報通信学会総合大会, C-11-01, 2023.3.6.

[217] 新垣雅斗, 高橋芳浩:「SOI-MOSFETの重イオン照射誘起電流における支持基板の影響」, 日本大学理工学部術講演会, C-5, 2023.11.30.

[218] 大西尚征, 高橋芳浩:「Pocket構造がトンネルFETの電気的特性に及ぼす影響」, 日本大学理工学部術講演会, C-6, 2023.11.30.

[219] 泉連，佐田京介，鍋島拓海，中村誠，伊藤大輔，“キャパシタレスノイズキャンセリングTIAによる信号品質の改善,” 電子情報通信学会総合大会，A-1-1，2024年3月.

[220] 水谷健介，大鹿純聖，石田翔悟，中村誠，伊藤大輔，“バルク駆動を用いた低電力 CMOS TIA の提案,” 電子情報通信学会総合大会，A-1-2，2024年3月.

[221] 松尾一輝，油品弘輝，富樫淳次，中村誠，伊藤大輔，“トリプルレート・バースト信号対応自動利得制御回路の検討,” 電子情報通信学会総合大会，A-1-3，2024年3月.

[222] 恩田翔矢，水谷健介，大鹿純聖，中村誠，伊藤大輔，“大振幅出力・広帯域な停電力外部変調器ドライバ回路の提案,” 電子情報通信学会総合大会，A-1-4，2024年3月.

[223] 角田, 久我, 飯田, “Evaluation of the static timing analysis of an FPGA-IP prototype chip for MEC devices,” 電気・情報関係学会九州支部連合大会, 09-2A-03, 2023

[224] 厳, 角田, 久我, 飯田, “Adopting Open-source Logic Synthesizer for the original FPGA-IP,” 電気・情報関係学会九州支部連合大会, 09-2A-04, 2023

[225] 長尾, 飯田, “Research on Compression Ratio Improvement in Lossy Data Compression Algorithms,” 電気・情報関係学会九州支部連合大会, 09-2A-06, 2023

[226] 原田, “多端子 MOSFET による回路動作の「その場」計測,” 第40回「センサ・マイクロマシンと応用システム」シンポジウム, 8P2-PS-32, 2023年11月

[227] 阿部 岳, Andrino Robles Roberto, 原田知親, “サブスレショルドで動作するPWM信号を用いた加減算回路の設計と評価,” 電気学会電子回路研究会, ECT-024^019, 2024年3月

[228] 岩崎 秀栄, 横式 康史, 德田 崇, 光駆動型CGMSセンサ用900 MHz帯RF送信回路の研究, 2023年第84回応用物理学会秋季学術講演会, 22a-D902-7, 2023/9/22, 熊本城ホール

[229] 吉本 海生, 高松 洸佑, 横式 康史, 德田 崇, IoT・バイオメディカル向け環境光エナジーハーベスティング回路, 2023年第84回応用物理学会秋季学術講演会, 22a-D902-8, 2023/9/22, 熊本城ホール

[230] 田崎 広都, 横式 康史, 德田 崇, 光駆動バッテリレス CGMS センサのディジタル化, 2023年第84回応用物理学会秋季学術講演会, 22a-D902-9, 2023/9/22, 熊本城ホール

[231] 衛 亦誠, 髙松 洸佑, 横式 康史, 德田 崇, 分散型ブレインマシンインターフェースのためのAC給電および電源線通信の研究, 2023年第84回応用物理学会秋季学術講演会, 22a-D902-10, 2023/9/22, 熊本城ホール

[232] 高松 洸佑, 衛 亦誠, 横式 康史, 德田 崇, 分散型光電気BMIデバイス向け0.18μm CMOSチップの設計, 2023年第84回応用物理学会秋季学術講演会, 22a-D902-11, 2023/9/22, 熊本城ホール

[233] 光石 幹, 横式 康史, 德田 崇, 鈴木 純一郎, 菅原 大翔, 渡辺 剛志, 黄 晋二, CMOS電気化学センサへの単層グラフェン集積化, 2023年第84回応用物理学会秋季学術講演会, 22p-D902-3, 2023/9/22, 熊本城ホール

[234] Reyhan Ramadhan, Yasufumi Yokoshiki, Takashi Tokuda, A Fully Digital Data Recovery Circuit for Optical Link-based Implantable Biomedical Devices, 2023年第84回応用物理学会秋季学術講演会, 22p-D902-1, 2023/9/22, 熊本城ホール

[235] Panithan Srisinsuphya, Yasufumi Yokoshiki, Takashi Tokuda, Low-Powered RISC-V Processing Core for Optically-Powered IoT and Biomedical Devices, 2023年第84回応用物理学会秋季学術講演会, 22p-D902-2, 2023/9/22, 熊本城ホール

[236] 伊藤 淳太郎, 吉本 海生, 横式 康史, 德田 崇, 超小型IoTノード実現に向けた光給電・エナジーハーベスト回路の改善設計, 2024年第71回応用物理学会春季学術講演会, 23a-1BM-1, 2024/3/23

[237] Reyhan Ramadhan, Yasufumi Yokoshiki, Takashi Tokuda, Low Power Voltage Comparator with Pulse Generation for Power Management in Optically-powered Microelectronic Devices, 2024年第71回応用物理学会春季学術講演会, 23a-1BM-3, 2024/3/23

[238] 坂田 篤典, 德田 崇, 横式 康史, 高松 洸佑, 分散型光電気 BMI デバイス向け CMOS 制御・通信回路の評価, 2024年第71回応用物理学会春季学術講演会, 23a-1BM-2, 2024/3/23

[239] Panithan Srisinsuphya, Kosuke Takamatsu, Yasufumi Yokoshiki, Takashi Tokuda, C2RTL-designed RISC-V Processor for Optically-driven Biomedical and IoT platform, 2024年第71回応用物理学会春季学術講演会, 23a-1BM-4, 2024/3/23

[240] 青山 将士, 田崎 広都, 横式 康史, 德田 崇, 光駆動方式小型連続血糖センサのディジタルデータ出

力化，2024年第71回応用物理学会春季学術講演会，23p-1BM-4, 2024/3/23

[241] 德田 崇，横式 康史，非エレクトロニクス実在の仮想化に向けた光駆動マイクロIoTエッジ，2024年第71回応用物理学会春季学術講演会，25p-71A-4, 2024/3/25

[242] 德田 崇，横式 康史，IoE（Internet of Everything）を目指した，光駆動マイクロエッジによる非エレクトロニクス物の情報化，2024年第71回応用物理学会春季学術講演会，22p-61C-5, 2024/3/22

[243] 芳賀，藤本，林，同種写像暗号実装に向けたRNSモンゴメリ剰余乗算器の高エネルギー効率な設計法," SCIS2024, No.1F1-5, 2024年1月

[244] 遁所，角谷，小林，平井司，坂井，伊東，"インピーダンス変成ループアンテナを用いる28GHz帯SOI-CMOS高感度レクテナMMIC，" 信学技報，vol. 123, no. 268, MW2023-141, pp.81-86, 2023年11月.

[245] 鈴木 尚也，澤畑 博人，赤井 大輔，山下 幸司，沼野 利佳，鯉田 孝和，竹内 雄一，河野 剛士，"超音波ニューロモジュレーション用発振回路の製作，" 第40回「センサ・マイクロマシンと応用システム」シンポジウム，7P2-PS-25, 2023年11月7日，熊本城ホール（熊本県熊本市）.

[246] 冨田 健太，渕上 晃広，Nerchan Rexy Alvian，清水 快季，赤井 大輔，山下 幸司，沼野 利佳，鯉田 孝和，河野 剛士，"電気・薬理・光学的ニューロン計測に向けたパリレン製マイクロチューブデバイスの作製と評価，" 第40回「センサ・マイクロマシンと応用システム」シンポジウム，7A2-C-2 2023年11月7日，熊本城ホール（熊本県熊本市）.

[247] Pham Viet Khoa，吉田 誉，坂井 佐知子，秋田 一平，合田 達郎，崔 容俊，野田 俊彦，澤田 和明，高橋 一浩，"電流駆動型グラフェン共振質量センサによる非標識ウイルス検出/ Label-free virus detection using current-driven graphene resonant mass sensor，" 第15回 集積化MEMSシンポジウム，6P3-D-4, 2023年11月6日，熊本城ホール（熊本県熊本市）.

[248] 福島未菜，王松祥，永井海音，宇佐美公良，"リーク電流による電荷蓄積型エイジングセンサ回路の提案と実機評価，" VLD2023-43, 2023.11.16.

[249] 菊地拓，宇佐美公良，"入力デコーダを使用したMTJ-PUFの提案と機械学習耐性の評価，" VLD2023-44, 2023.11.16.

[250] 海津康生，宇佐美公良，"参照抵抗を用いて2段階ストア制御を行うMTJベース不揮発性フリップフロップの提案，" VLD2023-45, 2023.11.16.

[251] 金森嵩天，王松祥，宇佐美公良"3次元積層チップにおける分散型タスク移動アルゴリズムの提案と実機評価，" VLD2023-109, 2024.2.29.

[252] 南口 和生，御堂 義博，三浦 典之，塩見 準，"暗号回路から漏えいする電磁波の電源電圧依存性モデル，" 信学技報，vol. 123, no. 6, 9-10, 2023年4月.

[253] 南口和生，御堂義博，三浦典之，塩見準，"暗号回路に対する電磁波解析攻撃に必要な波形取得回数の電源電圧依存性モデル，" DAシンポジウム2023, pp.35-40, 2023年8月.

[254] 松本，吉長，木村，"部分露光型イメージセンサにおける低照度時の感度不均一性を改善可能な六角形型セルの提案，" 令和5年度電気学会東京支部茨城支所研究発表会,2023年12月.

[255] 椎名，木村，"外部磁場とコイル発生磁場の合成で形成した磁場勾配による磁気ビーズの移動速度の改善，" 令和5年度電気学会東京支部茨城支所研究発表会,2023年12月.

[256] 鈴木，半田，木村，"耐放射線性CMOSイメージセンサにおけるリーク電流発生原因の分析，" 令和5年度電気学会東京支部茨城支所研究発表会,2023年12月.

[257] 中條，森，和田，関根，原，笠松，成瀬，"2本腕バンディット問題を解くアナログ回路の集積回路設計，" 電子回路研究会資料，pp.11-16，2024年3月

[258] 吉澤翔悟，武内良典，"オペコードコンパクト化によるプロセッサの回路面積低減の評価，" DAシンポジウム2023論文集，Vol. 2023, pp.71-77, 2023年8月.

[259] 平山聖冴，田中尚哉，武内良典，" 人工視覚システムのための圧縮伸張チップEG2Cの消費電力評価，" 信学技報，Vol. 123, VLD2023-78, pp.249-254, 2023年11月.

[260] 辻健介，小椋 清孝，伊藤 信之，"出力整合回路に並列LC 整合回路を用いた1.5/3.0/5.0-GHz 三帯域同時受信LNA 回路の検討，" 電子回路研究会ECT-23-044，2023年7月21日.

[261] 三宅充城，小椋 清孝，伊藤 信之，"モデレートインバージョン領域で動作する低雑音増幅器の線形性改善に関する検討，" 2023 年度（第 74 回）電気・情報関連学会中国支部連合大会，R23-12-01,

2023年10月28日

[262] 田村直渡，小椋 清孝，伊藤 信之，“スイッチトレジスタを用いた可変インダクタを擁する 28 GHz 帯 VCO の検討,” 2023 年度（第 74 回）電気・情報関連学会中国支部連合大会，R23-12-02, 2023年10月28日

[263] N. Tamura, K. Komoku, and N. Itoh, “A Study on Low Kv 28-GHz Band VCO with Variable Inductor Using Switched Resistor,” Proceedings of 2nd OPU-HsH Japanese-German Symposium (OHJG-2024), Feb. 16th, 2024.

[264] 伊藤信之，“リッツ線形状を模したスパイラルインダクタとそのVCOへの適用に関する検討,” 電子情報通信学会マイクロ波研究会，2024年2月29日

[265] 伊藤克俊，塩津勇作，菅原聡，“新型超低電圧リテンションSRAM（ULVR-SRAM）マクロの設計と性能解析,” 第84回応用物理学会秋季学術講演会，熊本市，熊本，2023年9月19日-23日，paper 20a-A304-10.

[266] 塩津勇作，菅原聡，“並列化MACユニットを有するULVR-SRAMを用いたBNNアクセラレータマクロ,” 第84回応用物理学会秋季学術講演会，熊本市，熊本，2023年9月19日-23日，paper 20a-A304-11.

[267] 塩津勇作，菅原聡，“ピエゾエレクトロニックトランジスタで構成した超低電圧SRAMのばらつき耐性,” 第71回応用物理学会春季学術講演会，世田谷区，東京，2024年3月22日-25日，paper 22a-12J-6.

[268] 塩津勇作，山崎修，菅原聡，“FinFETを用いた低電圧駆動NV-SRAMのパワーゲーティング性能,” 第71回応用物理学会春季学術講演会，世田谷区，東京，2024年3月22日-25日，paper 22a-12J-5.

[269] 成田健斗，小宮山崇夫，長南安紀，山口博之，小谷光司，“フェライトバーアンテナを用いたAM ラジオ放送波からの環境電波発電,” 2024年電子情報通信学会総合大会，B-20-16, 2024年3月，東広島市.

[270] 長田峻輔，小宮山崇夫，長南安紀，山口博之，小谷光司，“40 cm 角ループアンテナを用いたAMラジオ放送波からの環境電波発電,” 2024年電子情報通信学会総合大会，B-20-17, 2024年3月，東広島市.

[271] 豊田響子，小宮山崇夫，長南安紀，山口博之，小谷光司，“ショットキーダイオードを用いた整流回路の高精度シミュレーションモデル,” 2024年電子情報通信学会総合大会，B-20-18, 2024年3月，東広島市.

[272] 佐藤拓実，小宮山崇夫，長南安紀，山口博之，小谷光司，“環境電波発電向け高効率整流回路の比較検討,” 2024年電子情報通信学会総合大会，B-20-19, 2024年3月，東広島市.

[273] 小谷光司，“電波発電向け整流回路の数式モデル,” 2024年電子情報通信学会総合大会，B-20-15, 2024年3月，東広島市.

【特許】

[1] 飯塚 哲也，徐 祖楽，楊 尊松 “位相同期回路およびそれを用いたカスケード位相同期回路,’’ 特願2023-008347.

[2] 飯塚 哲也，松岡英，根塚智裕，中村邦彦 “変調器,’’ 特願2022-195643.

[3] 飯塚 哲也，柴田 凌弥 “A／Dコンバータ，アナログ／デジタル変換方法,’’ 特願2022-185120.

[4] 浅井 哲也，村松 聖倭，西田 浩平，“メモリ回路及びメモリ処理方法,” 特願2023-161571（2023年9月25日）.

[5] 廣瀬哲也，鷲見真太郎，“半導体論理回路及び半導体集積回路,” 特願2023-92315（2023年6月5日）.

D. VDECの利用規程・申し込みガイド

D.1 概要

VDECは，全国の大学・高専向けに様々な支援事業を実施している．

1. CADツールの共同利用
2. VLSI試作サービスの共同利用
3. CADツール講習会（8-9月・3月）
4. 社会人リフレッシュ教育（6月-8月，学生も参加可能）
5. VLSIデザイナーフォーラム（若手の会）
6. 大型装置利用

CADベンダー，試作会社等のアカデミック向けの協力により，それぞれのサービスを大幅なアカデミックディスカウントで提供している．VDEC設立以来，これまでの実績では，CADの利用・CAD講習会は無償，LSI試作サービスは海外での類似サービスの半額以下，大型装置は消耗品実費負担のみとなっている．見返りとして，ユーザにはVDECを利用する「顧客」ではなく，VDECと一緒になってサービスを向上させる「主体」としての自己研鑽と協力を期待している．全国の研究室がバーチャルな一つの研究室として助けあいができるような状況を理想とし，限られたスタッフの中，日々支援活動を行っている．

サービスの対象は基本的には，大学・高専であり，端的にはメールアドレスとして「.ac.jp」を持つ教員と，その研究室内の教職員と学生を対象とする．それ以外の研究所の利用や，企業との共同研究については個別の判断を要する．特にCADツールについてはCADベンダーとのライセンス規定に抵触しないよう細心の注意が必要であるため，VDECの担当者（vdec@vdec.u-tokyo.ac.jp）に必ず相談いただきたい．その他のサービスについてはVDECの裁量範囲が広くなるので可能性が高くなるが，こちらもあらかじめ相談いただきたい．企業との共同研究については，少なくとも非営利，アカデミック側が51%以上のイニシアチブを取る研究であることが必要である．

また，CADの申込や試作申込，装置利用申込など，契約にかかわる作業は全て，代表の教員の方々に行っていただくことをお願いしている．研究室のメンバが代理で行うことも現実には可能であるが，その場合もあくまで教員の了解をとり，代理としての心構えで望んでいただきたい．

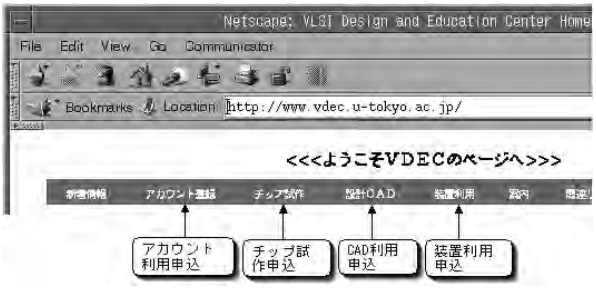
VDECのシステムは，InternetとUnix operating systemの上になりたっているので，Internetの仕組やUnixについての素養はあらかじめ付いていることを期待している．従って，利用でトラブルが起こったときには研究室や学校のネットワーク管理者と十分連絡をとって，問題を切りわけながら対処することが勧められる．

D.2 まずはじめに

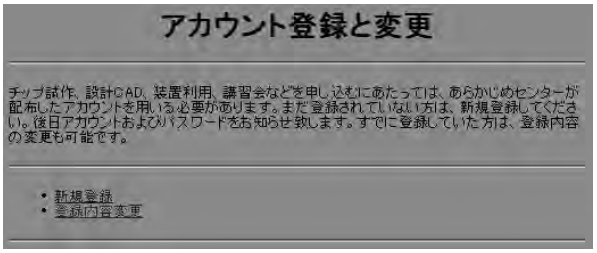
VDECからのおしらせ，また講習会・リフレッシュ教育を除く全ての申込や問い合わせには，VDECのWEBページ http://www.vdec.u-tokyo.ac.jp/ を用いている．一部のページは秘密等が含まれるため，WEBアクセス用アカウント・パスワードならびにアクセスしているマシンのInternet Protocol（IP）アドレスによって制限をかけている．

従って，VDECを利用したい場合，前もって教員によるアカウントの申請が必要である．登録は無料．資格の審査を行うため十分な（サービス開始前1ヶ月以上）時間的余裕をもって，申込をお願いしたい．申込から概ね数週間が経過した後，WEBページアクセス用のアカウントとパスワードが発行される．アカウントは，半角英大文字2字+半角数字5桁（例：VD00000）からなる．

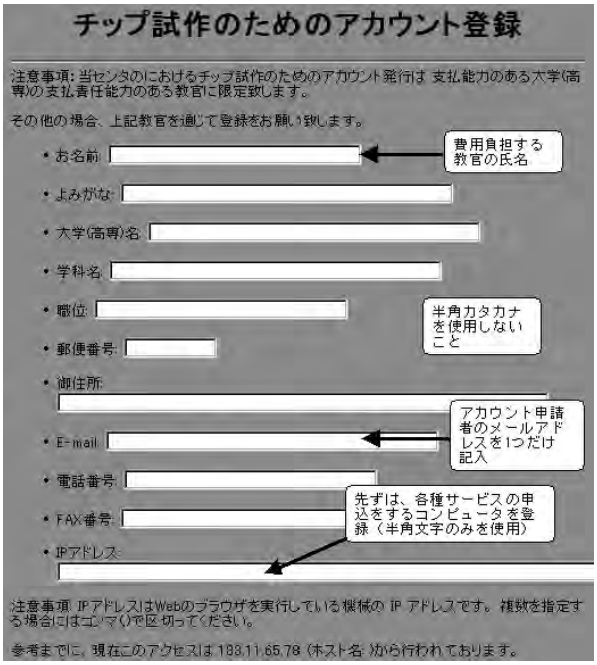
申込で特に注意する点は，VDECのWEBにアクセスしたい研究室のマシンのIPアドレスを入力することである．学校の中にあるマシンからのみアクセスを許可しており，プロバイダーのアドレスならびに，Proxyサーバのアドレス登録は禁止する．入力の際は，133.11.58.4,133.11.58.5のように，IPアドレスを全て「半角」の英数字で，「,」（半角カンマ）で区切って，途中改行を入れずに入力する．また，ここで入力するアドレスは，「ネットワークの外部から見えるアドレス」であることに注意する．特に，NAT（IP masqueradeというプログラム名で呼ばれることもある．機能としてはNATが正しい．）で研究室内をローカルネットワークにしている場合は，NATサーバのアドレスを入力する．よくある間違いとして，ローカルネットワークのIP，例えば「192.168.X.XX」を登録したためアクセスできなくて困っている例がある．



図D.1　VDECホームページのインデクスフレーム



図D.2　アカウント登録・変更ページの入口



図D.3　アカウントの新規登録の注意点

ネットワークが変更になるとか，研究室のマシン増設などでIPアドレスを変更する場合は同じく，申込のページから「登録内容変更」を行う．特に，古いIPが使えなくなるといった大幅なネットワークの変更がわかっている場合は，まえもって新旧両方のアドレスを登録しておく．万一アクセスできなくなった場合は，「新規登録」を行い，同じE-Mailアドレスを入力することで上書き変更が可能である．

【登録するIPアドレスに関する要件】

- アクセス制限を行わないページのみを参照するコンピュータのIPアドレスを登録する必要はない
- IPアドレスの登録数には制限を設けないが，管理の行き届いたコンピュータのみに限定すること
- DHCPサーバにより動的に割り当てられたIPアドレスやローカルアドレスなどは登録できない（しても意味が無い）
- Proxyサーバ等を介さないアドレスを指定すること．これは，設計規則等の機密情報がProxyサーバに残ってしまい，機密漏洩につながることを防ぐためであるので守っていただきたい．但し，ファイアーウォールが設置されているなど学内の事情により直接のアクセスが行えない場合にはその限りではない

D.3　CADツールの共同利用

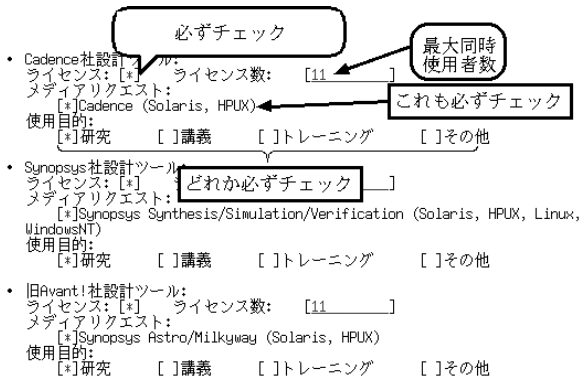
VDECでは，集積回路の上流から下流まで一連の設計を行うためのCADツールを提供している．これらのソフトウェアは，VDECのVLSI試作以外のアカデミック用途（MOSIS-VDECを通じた試作，教育用の演習，EB等VDECの大型装置利用のためのデータ作成用，等）の利用も可能である．アカデミック向けであるから，企業との研究の際は利用の可・不可が場合により異なるので，心配な場合あらかじめ相談いただきたい．

1つの設計作業を行うために，2つ以上のベンダーからCADを選べる状況（二重化）を理想としている．LSIの設計には，CADソフトと共に，パラメータやライブラリが必要であるが，これも職員や関連研究室のボランティアにより，充実のための努力が払われている．ボランティアとしての協力は大変に歓迎される．

CAD申込のWEBページに教員がアクセスする（WEBアカウントが必要である）．NDA事項を了解いただきサイン入りの文書をVDECセンター長室に送付した後，CADの申請ができる．

申請時にWEBから入力する内容は以下のとおり．

- ソフトウェアライセンス数（研究室で同時に使用すると思われる最低数を入力）
- 用途
- メディアリクエスト（使用するOperating Systemを選んでチェックする）．
- 利用する研究室所有ワークステーションのホストネーム（VDEC，端的にはusr1から名前→IPアドレスの解決ができる，「.ac.jp」で終わるホスト名であることが条件．）



図D.4　CAD利用申込フォームの「ライセンス数の登録」パート記入における注意点

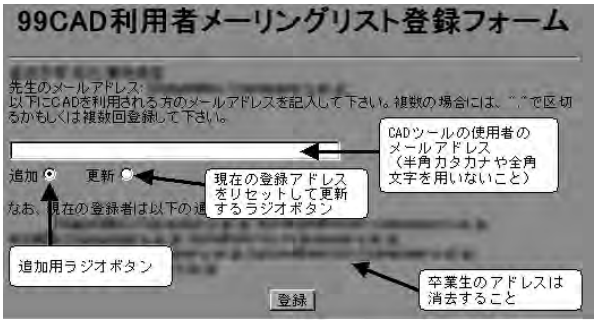
ソフトウェアのCDROM（メディア）について，VDECの創設期においては，メディアを近隣の研究室で「回覧」していたが，インターネットの発達により回線が豊富になったので，現在ではCDに書き込めるISOイメージファイルで提供している．VDECホームページの「ライセンスファイルの配布>ここから」からダウンロードできるようにある．当然ながら，VDECのユーザアカウントとパスワードが必要となるため，CADを申請してから数週間程度の時間差が必要となるであろう．

メディアをダウンロードした後，プログラムをインストールし，初期設定ファイルを整備する．特に，ライセンスファイルはWEB経由で別途取得の上設定するか，環境変数LM_LICENSE_FILE等を（ライセンスサーバのポート番号）@（ライセンスサーバ）の形式で設定する．また，/etc/hostsファイル等を設定し，ライセンスサーバを「ローカルのネットワーク相当でアクセスできるように」する．端的には，手元のワークステーションにおいて，例えば「vdec-cad1」と指定するだけで，FQDN形式の「vdec-cad1.vdec.u-tokyo.ac.jp」のマシンのIPアドレスが引けるように設定する．

CADツールを実行するためには，VDECまたは地域拠点校のライセンスサーバによる認証が必要である．ライセンスファイルまたは環境変数の変更により認証を行うライセンスサーバを切り替えることが出来るので，VDECまたは地域拠点校のどちらかのライセンスサーバがメンテナンス等の事情により停止している場合でも，稼働中のもう一方のライセンスサーバを選択することによりCADを実行することが可能である．また，ライセンスサーバの認証は，CADツール起動後も数分おきに行われるので，CADツールを実行中は常時ライセンスサーバとの通信が可能な状態にしておかなければならない．また，ファイアーウォールを使用しているネットワーク環境では，VDECのWebサーバとVDECおよび地域拠点校に対して，ライセンス認証用の特定のポートを空ける必要がある．この場合，各大学・高専のネットワーク管理者と相談すること．

初期設定等はやり方を一度経験すれば簡単であるが，はじめてのときは様々な問題が起こることもある．VDECに対する大幅なアカデミックディスカウントの引き換えとして，各研究室はCADベンダーによる直接のサポートを受けられない．かわりにVDECでは，「CADuser@vdec.u-tokyo.ac.jp」メーリングリストを用意している．質問はこちらのメーリングリストを利用いただきたい．CADを利用する研究室の構成員のどなたでも投稿，返答してよい．CADuser MLの注意点は以下のとおり．

1. WEBページから，利用するメンバのE-Mailアドレスを登録すること．特にその際，「.ac.jp」で終わるアドレスを利用し，メールはプロバイダ等に転送しないこと（情報漏洩の観点から）．
2. リストの更新は頻繁におこない，卒業生へのメール配信は速やかに停止すること．特に4月に注意．
3. メールをする前に，あらかじめCADuser MLの過去記事検索がWEBからできるので，類似の質問が無いかどうか検索してから投稿すること．
4. 機密保持にかかわるような内容のメールは，CADuserに送ってはならない．各試作のメーリングリストに送ること
5. 問題解決したら，問題，原因，解決法をまとめて投稿すること（必須ではないが，ネット利用のエチケットといえる）．



図D.5　CAD利用者メーリングリスト登録における注意点

ライセンスは年度単位で申込みを受けつけしている．各CADベンダーとVDECとの交渉がまとまる毎年3月末に，CADuser ML とWEB上に，次年度のCAD利用申込案内が出るので忘れずに申込する．4月中は移行

期間として前年度申込のライセンスも有効にしてあるが，4月末に切れるため，そのときになって慌てる例が毎年発生している．「永久ライセンスではない」ことに十分ご注意いただきたい．

【毎月注意を払うべき点．熟読必須．】

1. VDECでは，CADを使用できる計算機のリスト（アクセスリストと呼ぶ）を半年毎に更新している．このときDNSの逆引きができなくなっていた等の何らかの不具合で，アクセスリストに自分の計算機が登録されない場合がある．その場合，CADが使えなくなるので，アクセスリスト更新前に対処する必要がある．サーバの停止は，全国ユーザに影響が及ぶため頻繁には行えないので，万が一アクセスリストの不備に気づかなかった場合は，最悪半年以上CADが使用できなくなる．
2. 以上の理由で，VDECから「CADのアクセスリストを更新します」というアナウンスがあった場合，必ずチェックを行い，自分のコンピュータが登録されていることを確認しなければならない．
3. 登録確認のページは，http://www.vdec.u-tokyo.ac.jp/CAD/cad_access_list.htmlである．ブックマークを強くお勧めする．
4. IPアドレス（ホスト名）**registered** という表示が出ていれば登録されている．
5. false（false（ホスト名）） **FAIL** という表示が出ていれば登録に失敗しているので，原因を探る．

一般的に，DNSの逆引き（ホスト名からIPアドレスを引く）に失敗していることが多い．研究室のネットワーク管理者とも相談して，VDECのサーバから，当該ホスト名の逆引きができるまで原因の除去を行う．

D.4 VLSI試作サービスの共同利用

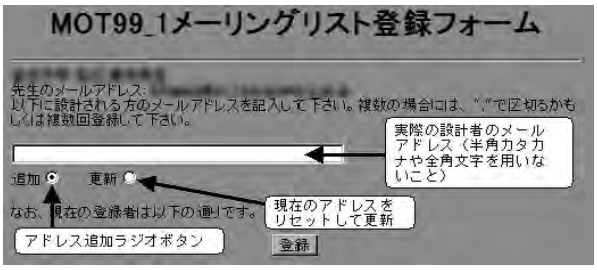
VLSI試作サービスは，教育研究目的に限って認められる．WEBページに本年度のランが掲示され，数ヶ月前から試作が申込可能になり，リンクが張られる．まず，試作会社の持つ機密情報に対するNDA契約を行う．これはVDECホームページの「試作関係>試作案内>機密保持契約（NDA）の文面」より，希望プロセスのNDAにサインしてVDECに郵送し，VDEC側で手続き終了後にNDA締結となり，設計規則やライブラリにアクセスできるようになる．設計規則はWEB経由のアクセスならびに，WEBでの公開を禁止している会社の場合はCDROM等で送付される．NDAの対象は教員であるが，研究室の職員・学生にも同じNDAが適用されるため，取扱には細心の注意を支払っていただきたい．尚，秘密保持契約内容は，以降の同一プロセスによるチップ試作全てにおいて有効である．

試作申込はデザイン提出〆切日の6〜3ヶ月前，キャンセルの〆切は1ヶ月前である．1ヶ月前より遅くなったキャンセルには，原則として試作代金をお支払いいただくので注意いただきたい．特にはじめて試作に参加される場合は，1ヶ月前には回路ができているくらいの，余裕をもったスケジュールを組まれることを強くお勧めする．

VLSI申込フォームの入力に関する注意点（図5.8）

- 希望チップ寸法の項目のチェックボックスを必ずチェックした上で希望チップ数を入力すること．チェックを行わないと入力した数字は無効となる
- チップ数入力には半角数字を用いる

設計に関する問い合わせについては，各試作についてメーリングリストを用意してあるので，設計者全員のメールアドレスを登録する．「.ac.jp」で終わるアドレスであり，プロバイダに転送をしないよう注意願いたい．これらメーリングリストの過去記事検索もできる．



図D.6　VLSI試作メーリングリスト登録ページの注意点

レイアウトを設計した後，VDECが提供する最新のDesign Rule Checkファイルでチェックを行い，エラーフリーになったものを提出する．また，シミュレーションはもちろんのこと，レイアウトが回路図と同等であることを確認するLayout Vs Schematic（LVS）チェックを通しておいて，提出しようとする回路が本当に動作しそうである確信を持っておくことは最低限必要であろう．デザインの提出は指定されたVDECページから行う．提出時にVDEC側で最終DRCを実行する．ここでエラーが出たチップは提出できない．必ず自分の環境でDRCフリーにしてからチップを提出すること．

提出〆切は月曜日に設定されていることが多いが，

できる限り余裕をもって，前の週などに提出をいただきたい．また，月曜日に締め切った後，VDEC側でさらにデザインルールをチェックしている．この際本来出てはいけないエラーが出ることがあり，出た場合設計者に修正のお願いを連絡するので，提出したからといって安心せず，1週間ほどはVDECからの連絡に注意願いたい．

デザイン提出から数ヶ月後に，VLSIチップが納品され，請求書も送付されるので，遅滞なく支払をお願いする．

D.5 CADツール講習会

CADベンダーとの契約により，個々のサポートは提供しないかわりに，毎年2回，夏と春とCAD講習会を開催している．東京大学の武田先端知ビルセミナー室にてメイン会場として開催され，各地方の拠点校へサブ会場としてストリーミング配信される．まずはこういった講習会に参加し，大体の知識を付けてから実際の試作なりCAD利用を行うことをお勧めしている．アナウンスはCADUser メーリングリストで流れる．また，申込は，VDECのWEBページから行う．

D.6 社会人・大学リフレッシュ教育

CADツール講習会からさらに進んだ形で，VDEC環境での回路設計，アナログ回路のレイアウトやシミュレーションを体験したりする「アナログコース」，「RF」コース，「MEMsコース」らびに一線の研究者による設計事例の講演会などを企画している．6月〜9月に開催し，有料である．社会人を主に対象としていたが，近年関係者にも向けている．

D.7 デザイナズフォーラム（旧若手の会）

毎年9月頃，VDECを利用する若手が合宿を行い，最近の動向や研究内容について話しあう機会を設けている．発足当初の「若手」の定義は年齢が5ビット．最近の定義は「自分は若手だと思っている学生・教職員」であるので積極的な参加をお待ちしている．

D.8 大型装置利用

LSIテスターや，EB装置など，公開可能な装置については，利用の案内をWEBページに掲載している．その手順に従って利用方法の学習と申請を行う．基本的なスタンスは以下のとおり．

1. 公開の対象は教員であり，研究室メンバは教員の代理として責任をもって使っていただく．
2. 利用免許を持っている者の付き添いがあれば基本的に自由な利用が可能
3. 数回のトレーニングを受けて免許を持てば自分一人で利用可能

VDEC専任・協力教員のサポートスタッフ数に限りがあるので，免許保持者に積極的な教育をお願いすることがあるので，協力いただきたい．

E. IPデータベースの整備

設計資産の再利用のために，VDECではWeb上でのデータベースの構築および公開を行っている（http://www.vdec.u-tokyo.ac.jp/IP/lsiip.html，図E.1）．本データベースの利用対象は，IP登録に関してはVDECユーザに限定しているが，IP利用に関しては任意対象となっている．本データベースに関してのVDECの役割は，IPのカタログデータの整理，公開および登録者－利用者間の仲介と機密情報の取り扱いの監督である．

平成12年度から平成14年度の3年間，（株）半導体理工学研究センター（STARC）との共同研究としてIPプロジェクトを行ってきたが，その最終成果としてIP開発グループの各参加者へ完成IPの登録を働きかけ，上記データベースによって公開を行っている．

現在までに登録済みのIPを表E.1に示す．

図E.1　VDEC LSI IP Webデータベースの例

表E.1　VDEC LSI IPデータベースに登録済みのIP（平成24年3月現在）

登録番号	IP名	カテゴリー
1	Data Encryption Standard (DES) Core	Others
2	Phase Locked Loop (PLL) Core	Others
3	PPRAM-Link Interface (PLIF) Core	Networking
4	SRAM Core	Memory
5	Processor Core with Instruction set Compatibility with Hitachi SuperH	Processor/Controller
6	IEEE-754-Standard Single-Precision Floating-Point Dividers	Datapath
7	Controller Core with Instruction set Compatibility with PIC16F84	Processor/Controller

令和6年度
東京大学大学院工学系研究科附属システムデザイン研究センター
年報

2024年8月

編集・発行	東京大学大学院工学系研究科附属システムデザイン研究センター 黒田　忠広 〒113-8656 東京都文京区本郷7-3-1工学部2号館111A1 TEL　03-5841-6561
印刷・製本	株式会社総北海 東京支店 〒130-0022 東京都墨田区江東橋4丁目25番10号 加藤ビル2F TEL　03-5625-7321

d.lab
Systems Design Lab

Systems Design Lab, School of Engineering, The University of Tokyo 2024