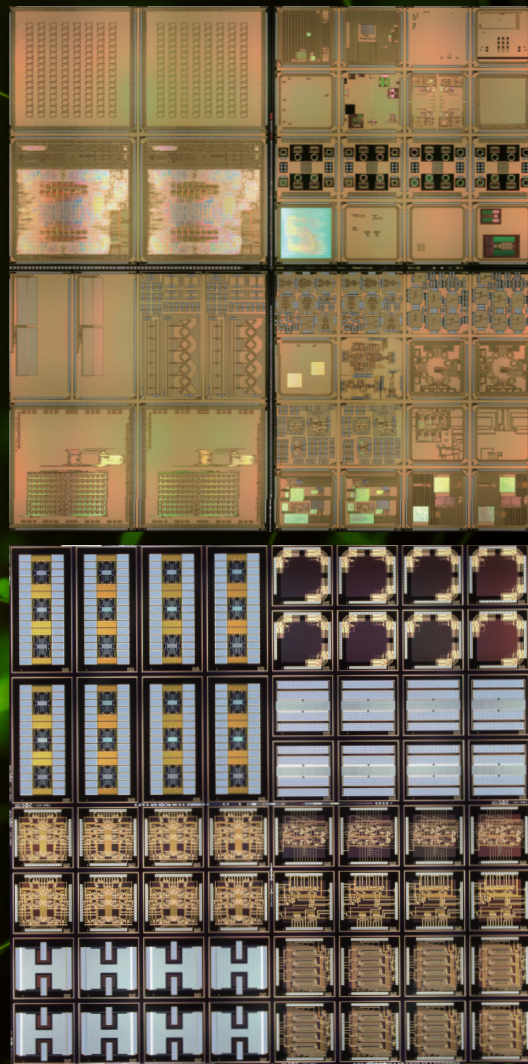


東京大学大学院工学系研究科
附属システムデザイン研究センター
先端設計研究部門・先端デバイス研究部門
(旧VDEC) 基盤設計研究部門・基盤デバイス研究部門

年報





Message from the Director of d.lab

東京大学大学院工学系研究科附属システムデザイン研究センター (d.lab)

池田 誠

東京大学大規模集積システム設計教育研究センターは1996年5月に発足し、2019年10月に学内改組に伴い、東京大学大学院工学系研究科附属システムデザイン研究センター (d.lab) 基盤設計研究部門においてVDEC機能としてその活動を継続しております。VDECは言うまでもなく、日本国内の唯一の半導体集積回路設計プラットフォームであり、29年目を迎え、昨今の半導体投資ブームにおいてますますその重要性が増しています。2018年8月から2023年3月まで経済産業省・NEDO（新エネルギー・産業技術総合開発機構）によるプロジェクト「AIチップ開発加速のためのイノベーション推進事業／研究開発項目②：AIチップ開発を加速する共通基盤技術の開発」をAIST（産総研）とともに受託し活動を開始した「AIDC（AIチップ設計拠点）」活動は、これまでVDEC機能が完全なアカデミック向けであったものを、中小企業・ベンチャー・大学における開発型プロジェクトにも拡張するものとして、NEDOからのプロジェクト終了後の2023年4月以降も有料化することでより活動を活性化させています。技術研究組合最先端半導体技術センター (Leading-edge Semiconductor Technology Center: LSTC) が2022年12月に発足し、東京大学もその準会員として、活動に参画しております。その中で、設計関係では「ポスト5G情報通信システム基盤強化研究開発事業/先端半導体製造技術の開発(委託)/2nm世代半導体技術によるエッジAIアクセラレータの開発」において、産総研、テントレント社とともに生成AIを含むエッジ推論処理用途に専用化したエッジAIアクセラレータの開発を国際連携により進めています。「ポスト5G情報通信システム基盤強化研究開発事業/人材育成/最先端デジタルSoC設計人材育成」においても、テントレント社、EDAベンダーとともに、EDAツールの利用、SoC設計に関するハンズオントレーニングを含めた教育、さらには米国テントレント社におけるOJTによる先端SoC設計人材の育成にも取り組んでいます。

また、半導体・設計研究の高度化を目指してVDECの改組により2019年10月に設置されたd.labは設立して5年半が経過しました。その間、世界中で半導体に関する取り組みの活性化に呼応する如く、d.lab協賛事業の発足・継続、技術組合RaaSの発足と継続といった活動に加え、文部科学省の「次世代X-nics半導体創生拠点形成事業」への『Agile-X～革新的半導体技術の民主化拠点』としての採択・活動開始、「技術研究組合最先端半導体技術センター (LSTC)」活動に関連した活動への取り組み等多くの活動に取り組んできております。

2024年4月からは東京大学の学部横断型教育プログラム「半導体教育プログラム (SPIRIT)」をd.labが主導する形で開始し、東京大学において幅広く半導体の素養を身に着けた人材の輩出への取り組みを始動しました。

また、VDECは、2003年12月に竣工した武田先端知ビルに地下にクリーンルームを有しており、装置の利用共有に早くから取り組み、2007年度-2011年度の文部科学省の施策「ナノテクノロジーネットワーク」における「超微細リソグラフィー・ナノ計測拠点」、2012年度-2017年度の「ナノテクノロジープラットフォーム」事業、そして現在「マテリアル先端リサーチインフラ (ARIM)」事業を通じたクリーンルーム装置の共有によるデバイス研究のプラットフォームとしての取り組みを継続しています。

同時に、半導体が産業のコメ、Society5.0実現のためのカギであり、世界中での技術覇権争いと国際協調といった国際社会における地政学的、国家戦略上重要な技術と位置付けられるに従い、世界各国で国家規模の大規模な投資がなされています。それに呼応する最先端の研究開発の担い手としてd.labの位置づけがますます重要になると考えています。d.labでは最先端の研究開発と同時に、その研究・教育活動の基盤を整備する役割を担うことで、この社会要請にこたえていきたいと考えています。

今後、経済産業省・文部科学省などと最先端半導体の設計を担える人材の育成にも取り組んでいきます。

2024年4月1日より初代センター長の黒田忠広先生の後を受けて、二代目のセンター長として、同時に、1996年発

足のVDECの初代センター長，鳳紘一郎先生，二代目浅田邦博先生，三代目藤田昌宏先生からという意味でVDEC
四代目のセンター長として，皆様の力を結集する形でd.lab・VDEC機能の活動をさらに拡充してまいります。なお
2026年5月にVDEC発足30周年を迎え，2026年5月11日にVDEC30周年記念会を計画しております。ぜひ多くの皆様に
今一度結集いただき半導体集積回路設計の将来展望を議論できる場としたいと考えております。

池田 誠



2025
Systems Design Lab, School of
Engineering,
(VLSI Design and Education Center),
The University of Tokyo
Annual Report

C O N T E N T S

ご挨拶	1
第1章 d.labの紹介	4
第2章 d.lab事業の紹介と2024年度事業報告	5
2.1 先端設計研究部門	5
2.2 先端デバイス研究部門	11
2.3 基盤設計研究部門	12
2.4 基盤デバイス研究部門	15
2.5 「アドバンテストD2T 寄附講座」活動報告	19
第3章 d.lab概要	23
3.1 組織概要	23
3.2 人事報告	24
3.3 新任・退任ご挨拶	28
3.4 決算報告	30
第4章 研究報告 - 各研究室 -	33
4.1 全体概況	33
4.2 研究室構成員(2024年度)	34
4.3 研究概要	39
4.4 研究発表	56
4.5 特許, 受賞等	93
付録(Appendix)	97
A. 旧VDEC事業関連	97
A.1 CADソフトウェアの整備	97
A.2 基盤設計研究部門におけるチップ試作支援の実施状況	98
A.3 セミナー	100
A.4 VDEC発ベンチャー	103
B. チップ試作結果報告	105
B.1 試作ラン別一覧	106
B.2 チップ種別一覧	109
B.3 各チップの詳細	112
C. Publication list (VDEC利用者に関する発表文献リスト)	144
D. VDECの利用規程・申し込みガイド	175
E. IPデータベースの整備	180

第1章 d.labの紹介

1996年5月に東京大学に全国共同利用施設として、大規模集積システム設計教育研究センター（VDEC）が設置されました。ほぼ世界に先駆けて、日本国内の国公立大学・高専をカバーするEDAツールライセンスの導入、当時としては世界中のアカデミアでアクセス可能なプロセスの中でもフロントランナーを走り、ツール講習会、設計法の講習会、リフレッシュセミナー、テスター利用の講習会などを実施し、日本全体で多くの優秀な人材を半導体産業に輩出してきました。当初0.5umCMOS、1.2umCMOSから始まった試作メニューも0.35um、0.18um、90nm、65nm、40nmと順調にスケールリングを追いかけながら設計環境の高度化に資してきましたが、以降日本国内での先端プロセスのファブ進化の停止とともに、先端の試作はすべて海外のファブを使用する、という状況に至っております。

一方で、世界の中では、半導体メーカーが供給する汎用チップでは競争に勝てないという判断の基に米国の大手IT企業（俗にGAFA）等が専用ロジック（アクセラレータ）チップを自社開発する時代が到来しました。

東京大学では、基盤的活動だけでなく半導体の研究面の強化を目指して、2019年10月に工学系研究科内に附属センターとしてシステムデザイン研究センター（d.lab）を設置いたしました。d.labは先端研究を担う、先端設計研究部門、先端デバイス研究部門に加え、VDECが合流しその活動を担う基盤設計研究部門、武田クリーンルームを核としたデバイス研究共用設備を担う基盤デバイス研究部門の4部門として運営しています。2019年11月にはTSMCとの戦略提携を結び、共同研究などを開始し、2025年4月にTSMC東大ラボの開設に至りました。同ラボでは従来の共同研究に加え、半導体分野の人材育成の強化などを目指した、社会連携講座（Advanced Semiconductor Creation (ASC) Program）をd.labに設置しております。また2007年10月に設置されたアドバンテストD2T寄附研究部門は2019年10月よ

りアドバンテストD2T寄附講座として、2025年10月から第7期を迎え、複雑化し社会的重要性が増しつつある大規模集積システムの高信頼化を目指した、新たな設計フロー、検証フロー、試験・診断フローの研究・開発を行っています。

2020年10月からd.lab協賛事業を開始し、協賛会員は現在40社程度となっている。加えて、2020年の8月に先端システム技術研究組合（RaaS）を設立して、産学官連携の体制を整えました。d.labとRaaSのオープン・クローズ戦略を両輪にして、学術・社会連携と産学協創を推進しています。2018年8月から2023年3月まで経済産業省・NEDO（新エネルギー・産業技術総合開発機構）によるプロジェクト「AIチップ開発加速のためのイノベーション推進事業／研究開発項目②：AIチップ開発を加速する共通基盤技術の開発」をAIST（産総研）とともに受託し活動を開始した「AIDC（AIチップ設計拠点）」活動は、これまでVDEC機能が完全なアカデミック向けであったものを、中小企業・ベンチャー・大学における開発型プロジェクトにも拡張するものとして、NEDOからのプロジェクト終了後の2023年4月以降も有料化することでより活動を活性化させています。

人材育成面では、従来のVDEC活動におけるセミナーに加え、2024年4月より、東京大学学部横断型教育プログラム「半導体教育プログラム（SPIRIT: Semiconductor education Program for Interdisciplinary Research and Innovation）」を開始し、従来の学部・学科の枠を超えた半導体分野の人材育成プログラムとして実施しています。さらに、2024年11月より、「ポスト5G情報通信システム基盤強化研究開発事業／人材育成／最先端デジタルSoC設計人材育成」においても、テントレント社、EDAベンダーとともに、EDAツールの利用、SoC設計に関するハンズオントレーニングを含めた教育、さらには米国テントレント社におけるOJTによる先端SoC設計人材の育成にも取り組んでいます。

第2章 d.lab事業の紹介と2024年度事業報告

2.1 先端設計研究部門

2.1.1. 先端設計研究部門の事業概要紹介

先端設計部門は、教授3名、准教授1名、講師1名、特任教授1名、上席研究員2名（兼務含）で構成されており、エネルギー効率と設計効率の高い半導体集積回路の設計を目指しています（2025年3月現在）。

2022年8月に国立研究開発法人新エネルギー・産業技術総合開発機構（以下「NEDO」）の「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発／研究開発項目④AIエッジコンピューティングの産業応用加速のための技術開発」の中で、「万能高位合成と新型汎用データフロー計算機構」を研究テーマとして、日本電気株式会社と東京大学とキャノン株式会社が実施先として採択され、2025年3月31日に研究を完了しました。

各研究室での研究とは別に、組織として大きく2つの活動を行っています。1つ目は、d.lab協賛事業です。これはd.lab内の他部門の方々にもご協力いただいているものです。2つ目は、先端システム技術研究組合への参画です。本節では、これら2つの2024年度の活動について報告いたします。

2.1.2 d.lab協賛事業

システムデザイナーと半導体関連事業者が集い、情報・意見交換を行い、学術・社会連携をオープンに議論する国際知能センターを目指してd.lab協賛事業を2020年度に開設しました。IoT、AI、5G、自動運転・制御、ヘルスケアなどのシステムデザイナーのアイデアと、先端CMOSや3D集積などの先進半導体技術と、それを支える素材や製造装置を結びつけるハブを目指しています。2024年度は、最終的に45社にご参加いただきました。表2.1.1が2024年度の協賛会員企業一覧です。参加いただいた各社の皆様にこの場であらためてお礼申し上げます。

2024年度は、新型コロナウイルス感染症の5類移行を受け、協賛事業設立時の構想にあったようにd.labの研究成果の報告にとどまらず、東京大学の著名教授や学生との交流、世界の大学や研究機関との交流、国際会議の情報提供、産業界のトップレベルの交流、Rapidusなどの最先端技術の紹介や見学ツアーなどを従来のWebinar形式に加え複数回のリアルイベントというプロ

グラムを構成できました。以下2024年度の協賛事業の活動を報告いたします。2024年度も5月から3月のほぼ1年間にわたり活動を行いました。表2.1.2に2024年度に開催したイベント及びセミナーの一覧を示します。

2024年5月29日に2024年度第1回イベントとして、d.lab協賛事業キックオフ特別講演会および懇談会を行いました。20世紀は内燃機関の発展と同期して、石油が重要な戦略物資として発展した「石油の世紀」とも言えます。一方21世紀はあらゆる物へのコンピュータの搭載とネットワーク化により、半導体の重要性が急速に高まっています。将来は「半導体の世紀」とも言われるかもしれません。この中で半導体開発は国家的なプロジェクトとして、EU、アジア、アメリカなど各地域で産官学協力の下進められるようになってきました。d.lab協賛事業キックオフでは、半導体の開発や人材育成について、日本で行われている産官学取組みをご紹介すると共に今年度のイベントについてもご紹介差し上げました。最初に、経済産業省商務情報政策局情報産業課課長補佐である齋藤尚史様から「我が国の半導体・デジタル産業戦略について」ご講演いただきました。その後、株式会社ティアフォー創業者兼代表取締役社長CEO兼CTOである加藤真平様から「自動運転の民主化」、Turing株式会社CEOである山本一成様から「エッジ生成AI推論によるE2Eでの完全自動運転実現に向けて」、株式会社MujinのLead Software Engineerである峠仁人様から「Mujinが進める知能ロボティクスの社会実装と先端半導体による応用の可能性」と3社の取り組みをご紹介いただきました。その後、d.lab最上徹特任研究員から、「文科省次世代半導体拠点運営PJ X-nics」、産業技術総合研究所の内山邦男様から「AI半導体設計拠点事業」、同じく産業技術総合研究所の大内真一様から「LSTC エッジAIアクセラレータとテンストレント協業」というd.labがかかわる3つの研究プロジェクトに関する発表を行いました。セミナーの結びには、d.lab特任教授の濱田基嗣から、「2024年度の協賛事業イベントについて」と題し、24年度のイベント計画案について広報しました。本講演会は、東京大学伊藤謝恩ホールおよびオンラインでのハイブリッド形式で行われ、講演会後には現地参加していただいた皆様と懇談会を行い、名刺交換等の情報交換を行いました。

6月28日には、2024 IEEE 74th Electronic Components and Technology Conference (ECTC 2024) の報告会を行いました。本会議は、IEEE Electronics Packaging Societyが主催するパッケージ、部品、マイクロエレクトロニクスシステムについての科学・技術について幅広く議論する、今年で74回目の開催となる伝統のある世界有数の国際会議です。今回は米国コロラド州デンバーにて開催されました。技術プログラムは、パッケージング技術全般にわたる最先端の開発成果と革新技术をカバーし、チップレット、ハイブリッド接合、モデリングとシミュレーション、インターコネクション、材料とプロセス、信頼性、製造技術などが主なトピックスとして構成されています。本報告会では、最新の先端パッケージ技術と次世代のコア技術にフォーカスし、その技術動向とトピックスについて報告しました。

7月24日には6月16日～20日に米国ハワイにて開催されたVLSIシンポジウム(The 2024 Symposium on VLSI Technology & Circuits)の報告会を行いました。本会議は、1987年以来、IEEE Electron Device Society/Solid State Circuits Societyと応用物理学会(協賛:電子情報通信学会)が主催する最先端の半導体デバイス・プロセス技術、半導体回路技術に関するマイクロエレクトロニクス業界のプレミア国際会議です。毎年、日米(京都/ホノルル)交互で開催され、2024年はハワイ開催となりました。今年のテーマである「BRIDGING THE DIGITAL & PHYSICAL WORLDS with efficiency & intelligence」に基づいて、先端ロジックCMOS、メモリー、イメージセンサー、フォトリソ、機械学習、AI、デジタル、通信、アナログなどの最先端技術のプログラムが組み込まれました。報告会では、回路・通信システム、AI・機械学習、先端CMOS、先端メモリー、3D集積プロセス技術にフォーカスし、その技術動向とトピックスについて報告しました。

9月11日には、「生成AIチュートリアル」と題し、近年話題の生成AI、大規模言語モデル(LLM)に関してのチュートリアルと実務での利用例をご紹介します。日本のAI研究の最高峰の一つである松尾・岩澤研究室の岩澤准教授から、初学者でも直感的に理解できるように生成AIの原理、仕組み等をご教授いただきました。続いて、Arsaga Partners株式会社Arsaga Generative AI Lab所長の横溝比呂様から製造業での適用事例をご紹介します。

9月30日と10月1日には、d.lab協賛事業としては2回目の試みとして、1泊2日のツアーに出かけました。目的地は、従来から半導体の研究開発が盛んであるととも

に、近年、半導体関連産業の集積が進む宮城県です。1日目は、3GeV高輝度放射光施設(NanoTerasu)を見学させていただき、その後、東北大学半導体テクノロジー共創体を見学させていただきました。同日は仙台市内に宿泊し、翌日は東京エレクトロン宮城株式会社およびCKD株式会社を見学させていただきました。本ツアーの企画段階から相談に乗っていただいた宮城県庁の皆様、また見学先機関及び企業の皆様にあらためてこの場でお礼申し上げます。宮城県の皆様の半導体への熱い取組みを肌で感じた2日間でした。

10月23日には、「AIチップ&量子コンピュータに向けたデバイス・プロセス」と題し、今後も高性能化が期待されるAIチップや量子コンピュータにおいて、新たに期待されるシリコン関連デバイス・プロセスやこれまであまり紹介されていなかった超伝導デバイス・プロセスについて、各分野の専門家に講演いただきました。はじめに、「超伝導デジタルおよび超伝導量子コンピュータデバイスプロセス」と題し、産業技術総合研究所の日高陸夫招聘研究員にご講演いただき、次に「AI応用に向けた3Dフラッシュメモリ技術」と題して、東京都市大学の三谷祐一郎教授にご講演いただきました。最後に「HF系強誘電体薄膜の不揮発性メモリトランジスタ応用」と題して、東京科学大学の犬見俊一郎准教授にご講演いただきました。

11月27日には、「RISC-V CPU:その歴史から最新のトピックまで」と題したセミナーを行いました。RISC-Vは、ARMに代わってAIチップのホストプロセッサの主流に躍り出ています。ARMと違ってライセンス料が不要でありながら豊富な設計資産とソフトウェアのエコシステムと洗練された命令セットアーキテクチャを持っています。本セミナーでは、前半で、d.lab天野英晴上席研究員よりCPUのアーキテクチャの基本からx86、ARMとの相違、RISC-Vの利点とAIアクセラレータのホストとして選ばれる理由、ビジネスモデルの問題点を解説しました。その後、RISC-V協会の河崎俊平会長より、Tenstrent社のチップを含むRISC-Vの最新応用事例の紹介をしていただきました。

12月16日は、Rapidus Dayと題し、日本の半導体産業の復活をかけて、最先端半導体デバイスの製造を担うRapidus株式会社で陣頭指揮を取っておられるお二人の専務執行役員から最先端半導体デバイス事業に対する取り組み状況についてご紹介いただきました。同社石丸一成専務執行役員からは、「半導体製造の未来:スピードとイノベーションの新展開」と題し、主に半導体前工程の最先端開発についてお話いただきました。後半は、

同社折井靖光専務執行役員から「後工程の新しい幕開け：革新的チップレット技術の未来」と題し、チップレット技術を中心に半導体後工程の最先端開発についてお話いただきました。同イベントは、HASEKO-KUMA HALL ラウンジにて行われ、セミナー後には両氏を囲む意見交換会を行い、会員の皆様には活発にご議論いただきました。

年が明けて2025年1月16日には、IEDM2024報告会を行いました。IEDM (International Electron Devices Meeting) はIEEEが主催するデバイス技術に関する世界最高峰の国際会議で、12月7日-11日にIn-personおよびOn-demandのハイブリッド形式で開催されました。IEDM会議全体概要の報告と先端CMOSデバイス技術・材料技術、メモリデバイス技術、コンピューティング技術、3D集積・実装技術にフォーカスした最新テクノロジーの動向についてd.lab教授陣が解説を行いました。

2月26日には、材料セミナーを行いました。2024年に開催された国際会議では、電子システムの性能を最大限に発揮させる3DICを実現するためのハイブリッドボンディング等のプロセス技術や今後も指数関数的に増大するデータセンターの消費電力に警鐘を鳴らす講演論文が数多く発表されました。本セミナーでは、低消費エネルギー化を目指す半導体産業にとって有益な情報となることを期待して、IEEE主催の国際会議で半導体パッケージ技術を先導しているシンガポールIME (Institute of Microelectronics) から先端半導体パッケージの技術トレンドを紹介して頂き、d.lab協賛会員から熱制御技術や銅めっき技術に関わる材料を紹介して頂きました。最初にシンガポールのA*STAR Institute of MicroelectronicsにてDirector and Head of System-in-Package Dept.を務められるSurya Bhattacharya様から、「AI-Driven Multi-Chiplet Heterogeneous Integration Technology Requirements and Roadmap」と題して、現在の技術トレンドとその研究開発への取組みを概観していただきました。その後、三菱ケミカル株式会社半導体本部インキュベーション部の河瀬康弘部長と西木戸真弓マネージャーから「次世代半導体の課題解決に向けた材料開発」と題してご発表いただき、最後に株式会社JCUの大野晃宜執行役員から「Advanced Packaging用硫酸銅めっき」と題してご発表いただきました。

2024年度のセミナーシリーズは、3月31日の2025 International Solid-State Circuits Conference (ISSCC2025)の報告会で結びました。2月16日から20日に、米国サンフランシスコにおいて開催された、2025 IEEE International Solid-State Circuits Conference (ISSCC)の学

会報告を行いました。今年度は過去にないほどの厳しい審査を勝ち抜いた論文が発表されました。会議概要、基調講演、イメージャ、セキュリティ、メモリ、機械学習、RF、ワイヤレス、データコンバータ、デジタルアーキテクチャ、デジタル回路、パワーマネジメント/アナログ、ワイヤライン、テクノロジーディレクションの分野について、d.lab教授陣が解説しました。

2024年度の活動は、ポストコロナ時代に合わせ、参加者の利便性の高いリモートセミナーとより深く交流できるリアルイベントを織り交ぜた開催としました。昨年度の九州ツアーに続き、宮城県への泊りがけの見学ツアーも組み込むことができました。引き続き2025年度も、会員と大学人、あるいは会員間の知的交流を活性化できるイベントの企画を行っていきたいと考えています。

2.1.3 先端システム技術研究組合

先端システム技術研究組合 (RaaS: Research Association for Advanced Systems) は2020年8月17日に開設されました。RaaSは、データ駆動型社会を支えるシステムに必要な専用チップのデザインプラットフォームを構築し、オープンアーキテクチャを展開することで、専用チップの開発効率を10倍高めることを目標に掲げています。さらに、3次元集積技術を研究開発し、最新の7nm CMOSテクノロジーで製造したチップを同一パッケージ内に積層実装することで、エネルギー効率を10倍高めることが目標です。

我々は半導体ビジネスの主役が、汎用チップから専用チップに再びスイングすると考えています。その背景にはデータ社会特有の「エネルギー危機」があります。データが急増し、AI処理が高度化して、エネルギー危機に拍車がかかっています。このままいくと、2030年には現在の総電力の倍近い電力をIT関連機器だけで消費し、2050年にはそれが約200倍になると予想されています。デジタルトランスフォーメーションに莫大なエネルギーを費やして地球環境を破壊することになるのなら、サステイナブルな未来は望めません。

こうした状況下では、エネルギー効率を10倍高めた者だけが、コンピュータを10倍高性能にでき、スマートフォンを10倍長く使えます。あらゆるタスクをこなせる汎用チップに比べて、無駄な回路をそぎ落とした専用チップはエネルギー効率を桁違いに改善できます。専用チップが求められる理由がここにあります。さらに、AI処理に用いられる神経回路網はデータを並列処理するので、逐次処理をするフォン・ノイマン・

アーキテクチャでは性能を引き出せません。AIアクセラレータのための専用チップが世界中で開発されています。また、ムーアの法則が減速していることも専用チップの時代の追い風になっています。

ところが、専用チップの開発は誰にでも簡単にできるものではありません。チップに集積されるトランジスタ数は世界人口を超えようとしています。開発費は近年急増して100億円にも達する勢いです。数100人の設計者を配しても開発に数年を要します。技術進歩が早い現代においては全く間に合いません。

ソフトウェアは、バグがあっても後でパッチを当てて修復できます。しかし、ハードウェアは完璧に仕上げなければなりません。ハードウェアはソフトウェアより設計が難しくて開発リスクが高く、“hard”です。

もし、ソフトウェアの開発に用いられるコンパイラのような技術がチップの開発にも用いられたならば、すなわちシリコンコンパイラができたならば、ハードウェアの開発費が下がりリスクも下がるでしょう。ハードウェア設計者の人口も増えます。やがてオープンソースの文化が根付き、エコシステムのネットワークが重層的に拡大発展すれば、マスコラボレーションも可能になるでしょう。そうなれば、まさにソフトウェアを書くようにチップを作ることができます。

かつてアラン・ケイが「ソフトウェアを本気で考える人たちは、自分でハードウェアを作ることになる」と言いました。システム開発には、ハードウェアとソフトウェアの両方が必要です。

私たちの目標は、シリコン技術の民主化 (democratize

access to silicon technology) です。シリコンコンパイラをイノベーションし (design chips as writing software)、短時間でプロトタイプを作れる開発プラットフォームを創出します (agile authentic prototyping)。

技術目標は、開発効率10倍かつエネルギー効率10倍です。開発効率を高めるために、アジャイル設計プラットフォームを創出し、オープンアーキテクチャを展開します。また、エネルギー効率を高めるために、チップを先端CMOS技術で製造し、3次元実装します。

半導体を製品として売るのではなく、サービスとして提供する。そのための技術をRaaS (ラース) は研究開発します。

2021年度には、国立研究開発法人新エネルギー・産業技術総合開発機構 (以下「NEDO」という。) の、「ポスト5G情報通信システム基盤強化研究開発事業／先端半導体製造技術の開発 (b) 先端半導体の後工程技術 (More than Moore技術) の開発」に係る公募にRaaSとして応募し採択されました。開発テーマは、「(b2) エッジコンピューティング向け実装技術」です。

2024年度は、システム系研究開発においては、3か年計画の第2年度として、システムプラットフォームチップの設計を進めました。テクノロジー系研究開発においては、前述のNEDOプロジェクトを柱に、ダイレクト接合3D積層技術開発 (WoWおよびCoW向け装置・プロセス開発) としてCu-Cuの低温ハイブリッド接合によるWoW (Wafer on Wafer) 接合技術及びCoW (Chip on Wafer) 接合技術の構築とその実装化に取り組んでおります。

表2.1.1 2024年度d.lab協賛会員（50音順）

アオハ株式会社	株式会社ニコン
株式会社アドバンテスト（RaaS）	日本ケイデンス・デザイン・システムズ社
アナログ・デバイス株式会社	日本シノプシス合同会社
ウシオ電機株式会社	日本電子株式会社
オルガノ株式会社	株式会社ネクスティ エレクトロニクス
キオクシア株式会社	パナソニック インダストリー株式会社
株式会社神戸製鋼所	パナソニック コネクト株式会社（RaaS）
株式会社コベルコ科研	株式会社半導体エネルギー研究所
一般財団法人 材料科学技術振興財団	株式会社日立製作所（RaaS）
株式会社サムスン日本研究所	富士通株式会社
シーメンスEDAジャパン株式会社	富士フイルム株式会社（RaaS）
JSR株式会社	株式会社本田技術研究所
株式会社JCU	マイクロンメモリ ジャパン株式会社
信越化学工業株式会社	三菱ケミカル株式会社
株式会社SCREENホールディングス（RaaS）	三菱電機株式会社
住友商事株式会社	株式会社ミライズテクノロジーズ（RaaS）
株式会社ソシオネクスト	株式会社村田製作所
ソニーグループ株式会社	国立研究開発法人 理化学研究所（RaaS）
ダイキン工業株式会社（RaaS）	ルネサス エレクトロニクス株式会社
株式会社ディスコ	株式会社レゾナック
東京エレクトロン株式会社	ローム株式会社
東京応化工業株式会社	YKK株式会社
凸版印刷株式会社（RaaS）	

表2.1.2 2024年度d.lab協賛事業セミナー

開催日	タイトル	講師
2024/5/29	2024年度 d.lab協賛事業キックオフ特別講演会	経済産業省商務情報政策局情報産業課 課長補佐 齋藤 尚史 様 株式会社ティアフォー 創業者兼代表取締役社長 CEO兼CTO 加藤 真平 様 Turing株式会社 CEO 山本 一成 様 株式会社Mujin Lead Software Engineer 峠 仁人 様 d.lab 最上 徹 特任研究員 産業技術総合研究所 内山 邦男 様 産業技術総合研究所 大内 真一 様
2024/7/3	ECTC2024報告会	d.lab 川野 連也 特任研究員 東京工業大学 栗田 洋一郎 教授 d.lab 高木 剛 主幹研究員 d.lab 池田 謙一 学術専門職員
2024/7/24	VLSIシンポジウム2024報告会	d.lab 濱田 基嗣 特任教授 d.lab 小菅 敦丈 講師 d.lab 平本 俊郎 教授 d.lab 高木 信一 教授 d.lab 小林 正治 准教授 d.lab 丹羽 正昭 上席研究員

開催日	タイトル	講師
2024/9/11	生成AIチュートリアル	東京大学大学院工学系研究科 岩澤 有祐 准教授 Arsaga Partners株式会社 Arsaga GenerativeAI Lab 所長 横溝 比呂 様
2024/9/30-10/1	東北ツアー	3GeV高輝度放射光施設 (NanoTerasu) 東北大学半導体テクノロジー共創体 東京エレクトロン宮城株式会社 CKD 株式会社
2024/10/23	AIチップ&量子コンピュータに向けたデバイス・プロセス	d.lab 最上 徹 特任研究員 産業技術総合研究所 日高睦夫 招聘研究員 東京都市大学 三谷祐一郎 教授 東京科学大学 大見俊一郎 准教授
2024/11/27	RISC-V CPU: その歴史から最新のトピックまで	d.lab 天野 英晴 上席研究員 RISC-協会 会長 河崎 俊平 様
2024/12/16	Rapidus Day	Rapidus株式会社 専務執行役員 石丸 一成 様 Rapidus株式会社 専務執行役員 折井 靖光 様
2025/1/16	IEDM2024報告会	d.lab 平本 俊郎 教授 d.lab 高木 信一 教授 d.lab 小林 正治 准教授 d.lab 竹内 健 教授 d.lab 高木 剛 主幹研究員
2025/2/26	d.lab 材料系セミナー	d.lab 山本 和徳 特任研究員 A*STAR Institute of Micro-electronics, Director and Head of System-in-Package Dept., Surya Bhattacharya 様 三菱ケミカル株式会社 半導体本部 インキュベーション部 河瀬 康弘 部長, 西木戸 真弓 マネージャー 株式会社JCU 大野 晃宜 執行役員
2025/3/31	ISSCC2024報告会	d.lab 池田 誠 教授 d.lab 竹内 健 教授 d.lab 飯塚 哲也 准教授 d.lab 濱田 基嗣 特任教授 d.lab 小菅 敦文 講師

2.2 先端デバイス研究部門

先端デバイス部門では、データ駆動型システムを実現するため半導体システムのエネルギー効率を10倍改善することを目指し、3次元集積技術と先端デバイス技術の研究を行っている。

2.2.1 構成

教授	高木 信一
教授	平本 俊郎 (部門長)
教授	染谷 隆夫
教授	内田 建
准教授	小林 正治
上席研究員	丹羽 正昭
主幹研究員	高木 剛
特任研究員	山本 和徳
特任研究員	最上 徹
特任研究員	川野 連也
特任研究員	二宮 健生
特任研究員	王 俊沙

2.2.2 事業報告

データ駆動型社会の実現を目指して、エネルギー効率10倍を可能とする次世代3D集積技術のコアとなるプロジェクトを行っている。AIをはじめ大量のデータ処理を必要とするコンピューティング技術において、メモリとプロセッサとの間の大量で頻繁なデータ移動に伴うエネルギー消費が大きな課題となっている。そのような課題を解決する技術として、チップレベルも

しくはウェハレベルで直接接合を形成して、データの移動距離を短縮しエネルギー効率を高めるダイレクト接合3D積層技術に注目し研究を行っている。

2021年度に採択されたNEDO事業「ポスト5G情報通信システム基盤強化研究開発事業／先端半導体製造技術の開発(助成)」において、d.labが組合本部となり運営している3D集積技術に関する技術研究組合である先端システム技術研究組合 (Research Association for Advanced Systems : RaaS) が、『ダイレクト接合3D積層技術開発 (WoWおよびCoW向け装置・プロセス開発)』というテーマにRaaS組合員企業とともに取り組んでいる。Cu-Cuの低温ハイブリッド接合によるWoW (Wafer on Wafer) 接合技術及びCoW (Chip on Wafer) 接合技術に関するチョークポイント技術の開発とその実装化を目指したプロジェクトである。

2024年1月の中間ゲート審査を通過し、今年度は、2026年6月の最終目標を達成するべく、開発品の完成度を向上させるとともに、顧客とのサンプルワークを通じた実用化に注力している。

また、2023年に採択されたJST ALCA-Next “フォノンエンジニアリングに立脚した3DIC放熱技術開発”について生産技術研究所、マテリアル工学専攻と共同で研究を行っている。2024年は、高熱伝導絶縁体であるAINを用いた3DICの放熱のコンセプトおよび実験検討状況をVLSI Symposiumで発表した。今年度は、2026年度末に予定されているステージゲートに向けて、放熱効果の実証を行う予定である。

2.3 基盤設計研究部門(旧VDEC部門)2024年度事業報告および2025年度事業計画

2.3.1 基盤設計研究部門概要

東京大学大規模集積システム設計教育研究センター(VDEC)は、1996年の発足以来『LSI教育情報の発信拠点形成』、『VLSI設計支援教育用CADソフトウェアの整備』、『VLSIチップ試作支援』を3つの柱として、日本の大学・高専における集積回路設計教育に資する事業を展開してきた。2019年10月1日に東京大学における、半導体集積回路関係の強化を目指した組織改編により、東京大学大規模集積システム設計教育研究センターは東京大学大学院工学系研究科附属システムデザイン研究センター(d.lab)へと改組され、その中で、基盤設計研究部門がこれまでのVDECの担ってきた機能を引き続き担い、シームレスに活動を継続している。ここでは、d.lab基盤設計研究部門の活動内容に基づき、以下に2024年度の概要を報告する。

VDECの使命は全国の国公立大学および高専のLSI設計研究・教育を高度化し、産業界に対しても優秀なLSI設計技術者を数多く送り出すことである。VDECの発足より28年経過し、各大学におけるCADソフトウェアの利用技術教育やLSI設計・設計フローに関する教育の充実が図られている。その一方で、先端のLSI設計技術およびそれに対応するCADソフトウェアは一層複雑化し続けている。そのため、CADツールの導入に際しては、CADベンダーから講師を招いてのセミナーの開催を継続しており、参加者の利便を図るために2009年度より東京での開催と同時に映像配信による拠点校での遠隔受講としている。VDECとしては各ユーザ研究室内で“技術伝承”され、VDEC主催のセミナーがトリガーとなって最新のCAD利用技術が全国的に広がることを期待している。2024年度においては、セミナーはオンラインをベースにしつつ、一部の項目に関しては、オンデマンド+ライブQ&Aという形で実施し、参加への利便性の向上への取り組みを行った。また、各社のツールチェーンが複雑化し導入しているツールを十分に使いこなすことが困難となっているという現状を鑑み、各ツールベンダーの推奨するツールチェーンに関する講演会もツールセミナーの開催に合わせる形で実施した。なお、2019年度末からのCOVID-19感染拡大を受けて、各EDAベンダーからEDAツールの自宅からの利用に関する許諾を受け、2024年度においても、日本国内における集積回路設計研究・教育に遅滞の生じないよう取り組んだ。After Coronaにおいても当面この運用を継続している。

2.3.2 基盤設計研究部門における教育の実施状況

LSI設計フローセミナーはLSI設計の基本概念教育と複数のCADツールを連携する実用的設計例の体験教育である。コロナ後2023年度に再開したりフレッシュ教育プログラムは、2024年度はオンラインを前提として実施した。

これらセミナーに加えてVDECでは年1回、若手教官と学生を中心としたVDEC デザイナー・フォーラムを開催している。これはワークショップ形式の会合であり、企業・大学からの招待講演に交えて、参加者が設計事例を持ち寄ってその成功談、失敗談を交換する。これから設計を始めたいと考えている学生・教官もここでさまざまなノウハウを得ることができる。2024年度はVDEC デザイナー・フォーラムを9月27-28日に石川県加賀市 加賀温泉 ゆのくに天祥にて開催した。2011年度から、VDEC活動における表彰として「IEEE SSCS Japan Chapter VDEC Design Award」の最終審査・表彰をVDEC デザイナー・フォーラムの場で行っており、2024年は、IEEE SSCS Japan Chapter VDEC Design Awardとして、東京大学の加納創太、2件のVDEC デザインアワード優秀賞、(加納創太(東京大学)、中西 優輝(奈良先端科学技術大学院大学))、2件のVDEC デザインアワード奨励賞(朱玉揚(東京大学)、菊田康次(東京工業大学))、2件のVDEC デザインアワードアイデアコンテスト部門囑望賞(中村昌稀(熊本大学)、堀聖菜(立命館大学))を授与した。また、本年度より、次の4名(三井健司(大阪大学)、濱崎拓(東京大学)、畑俊吉(芝浦工業大学)、水野功務(東京工業大学))をVDEC デザインアワード ファイナリストと認定した。

このようなセミナー、フォーラムを通じた教育システムによりLSI設計の基本的項目を学習できるようになっているが、それでも実際のLSI設計の場面では、さまざまな困難に直面することが多い。初心者にとってはCADソフトウェアのセットアップは最大の問題である。セットアップの後もCADソフトウェアが発する“難解なエラーメッセージ”でとまどうことも多い。このような場合に力を発揮するものがVDECメールグループである。VDECユーザはVDECのホームページからCADメールグループや試作技術対応のユーザグループに登録することができ、そこに直面する疑問点を投稿し、助けを求めることができる。メールグループの登録ユーザはそれに回答する義務を負っているわけで

はないが、ほとんどの場合、数時間から数日以内に経験豊かなユーザからの支援を得ることができる。ぜひこの仕組みを活用することで問題解決の一助としていただきたい。

2.3.3 基盤設計研究部門における発表文献の推移

図2.3.1にVDECに関する発表文献のVDECファシリティー利用状況を示す。論文執筆にあたりCADソフトウェアが幅広く利用されていることが確認できる。CADソフトウェアはチップ設計だけでなくチップ試作の準備段階で利用される場合が多いため、研究の基本アイデアを実証するツールとしての貢献度も大きい。

2.3.4 基盤設計研究部門におけるAIチップ設計拠点活動概況

平成30年度（2018年度）から東京大学VDEC、国立研究開発法人産業技術総合研究所が共同でNEDOから受託している「AIチップ開発加速のためのイノベーション推進事業／研究開発項目②：AIチップ開発を加速する共通基盤技術の開発」により、国内のベンチャー・中小企業向けのEDA利用・設計環境を構築し、AIチップ設計拠点として活動を行っている。2023年3月にNEDOからの受託プロジェクトは終了したが、引き続き2023年4月より国立研究開発法人産業技術総合研究所（産総研）共用研究開発施設の枠組みとして、後述の「産総研・東大 AIチップデザインオープンイノベーションラボラトリ」（AIDL）が主体となる形で、AIチップ設計拠点活動を継続している。本活動では、ベンチャー・中小企業がエンジニアリングサンプルまで試作可能なEDAツールライセンスの導入に加え、40nm、28nm、12nm向けのIPを導入、また、同プロジェクト開始時に経済産業省からの補助金により導入された、ハ

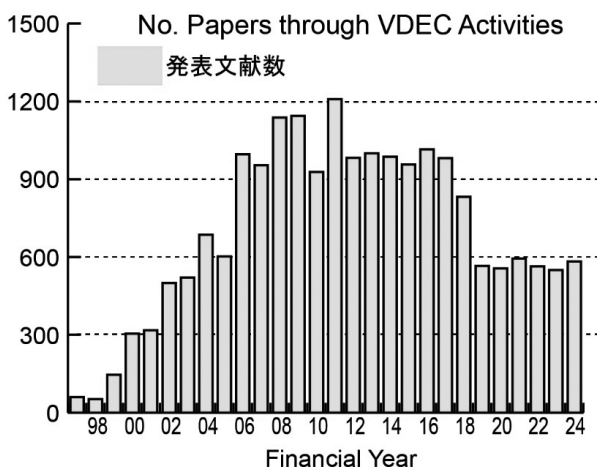


図2.3.1 VDECを利用した発表文献数の推移

ードウェアエミュレータによる大規模・高速設計検証環境の提供を行っている。2020年度にNoCおよびPCIe、DDR4などを備え、複数の機能IPコアを搭載可能なSoCプラットフォームのAI-One設計を行い、利用者の設計したAI IPコアを複数搭載したSoCとしてテープアウトを行ったものが、組み立て等の関係で大幅に遅れて2022年1月に納品され1週間足らずでSoCの基本機能の検証、2021年度中にほぼすべてのIPコアの基本動作の確認が完了するという大きな成果を上げている。さらに2022年6月には12nmで4種類のAI IPコアを搭載したAI-Twoの設計試作を行い2023年3月までにすべてのIPコアのデモの実現を行っている。また、同活動をより強化するために、2019年9月1日に、「産総研・東大 AIチップデザインオープンイノベーションラボラトリ」（AIDL）を東京大学浅野キャンパス武田ビル内に設置し研究を加速させている。

2.3.5 基盤設計研究部門の2025年度の活動計画

2024年度においても、従来通りアカデミック向けの活動を継続する。

【設計情報発信・セミナー開催】

本年度は、1997年度より継続しているCADツール利用法に関する技術セミナー、1998年度から継続している社会人向けの「リフレッシュセミナー」、1996年度より継続している若手のための「デザイナーズフォーラム」を継続して開催する。教科書、教材の整備充実を行なうことを予定している。

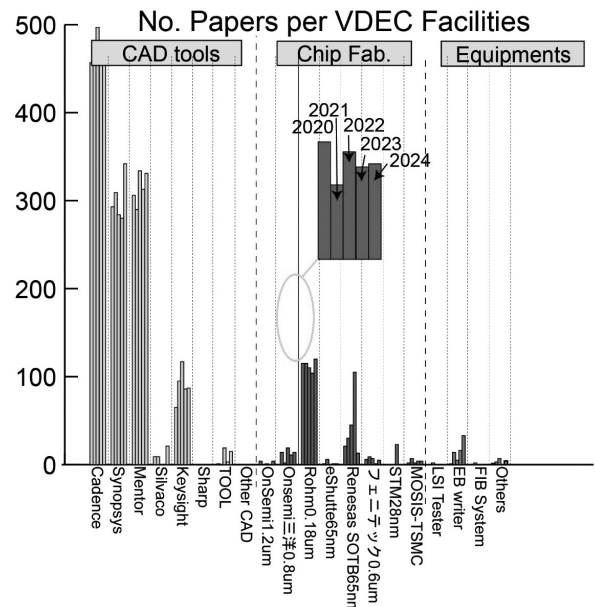


図2.3.2 VDECファシリティー利用状況

【CADツール提供】

上流設計 (Cadence, Synopsys), 中流設計 (Synopsys, Cadence), 下流設計 (Cadence) の各基本ツールを, 2024年度もサポートしていく. これに加え2002年度から導入した設計検証 (Mentor: Caribre, ModelSim, Catapult等), 2004年度から導入したアナログRF設計ツール (Agilent: ADS/EMPro/GoldenGate) を継続してサポートするとともに, 2005年度より提供を受けているSharp社Cベース設計ツール (BachC) を継続してサポートする. 2008年度より提供を開始しているTOOL社レイアウト表示プラットフォーム (Lavis) についても利用状況に基づき継続を行うとともに, 2011年度からのSpringSoft社の検証ツールは, SpringSoft社がCadence社に買収されCadence社のツール群としてのサポートが継続されることになっている.

【チップ試作支援】

2024年度は, 2023年度から引き続きローム株式会社の0.18umCMOSプロセスおよびJS Foundry (旧オンセ

ミ-三洋半導体) 0.8umCMOSを定常試作として継続する (すでに一部の試作は進行中である). なお, 2025年7月14日付でJS Foundryの破産手続き開始決定が発令されたため, JS Foundryにおける試作は中止となってしまうこととなった. なお, 一部のチップ試作に関しては試作申込数が少ない場合に試作キャンセルとなることがある. また, 2020年度に検討を開始した, IHP SiGeBiCMOS 0.18um試作を継続する.

【その他】

経済産業省・NEDOの「AIチップ開発加速のためのイノベーション推進事業」における「AIチップ開発を加速する共通基盤技術の開発」事業が2023年3月に終了し, この事業を自立して活動するために, 「産総研・東大 AIチップデザインオープンイノベーションラボラトリ」(AIDL) 第2期を東京大学浅野キャンパス武田ビル内に設置し, AIチップの設計・評価・検証等の開発環境を中小・ベンチャー企業への提供を継続している.

表2.3.1 VDECチップ試作スケジュール (2025年度)

【CMOS 0.8um 2P2M】 JS Foundry (旧オン・セミコンダクタ) 中止

【CMOS 0.18um 1P5M (+MiM)】 ローム株式会社

	試作申込締切	設計締切	納品・試作完了
2025年度第1回(2025年7月試作)	2025/3/31	2025/6/23	2025/10/10
2025年度第2回(2025年9月試作)	2025/6/2	2025/8/25	2025/12/5
2025年度第3回(2025年11月試作)	2025/7/28	2025/10/20	2026/2/13
2025年度第4回(2025年3月試作)	2025/12/8	2026/2/24	2026/6/12

2.4 基盤デバイス研究部門

2.4.1 基盤デバイス研究部門のミッション

d.lab 基盤デバイス研究部門は、自らも現役研究者としてクリーンルームにおいて実験研究を牽引する三田吉郎教授を部門長とし、関連専攻ならびにセンター（総合研究機構、電気系工学専攻、機械系工学専攻・ナノシステム集積センター等）と人的・予算的協力を行いながら、高度微細デバイス研究の必須3要素（後述）を整備・運営・研究する35名規模のチームである。集積回路に代表される半導体エレクトロニクス素子、センサ・マイクロシステムなど新規分野の研究には、①加工・計測装置への膨大な設備投資と、②学間に裏付けられた微細加工技術の厚い蓄積、そして③最先端の加工技術を開拓する研究開発力が必須である。上記高度微細デバイス研究の必須3要素は個々の研究室で開発され、個々の研究室に知見が蓄積されるのが20世紀後半の我が国の大学における基本形態であった。しかしながら加工・計測装置は年々高度化・大型化し、21世紀の第2四半世紀に至り、潤沢に資金を持つ研究室であっても一流装置の調達そして維持が不可能な時代が到来した。もとより大学高専、企業や国研、NPOにおける全ての研究室が潤沢に巨額の資金と潤沢な人的リソースを個々に「独占所有」することは不可能であるが、1996年のVDEC設立時に整備した「集積回路設計研究におけるシェアードエコノミーモデル（ファウンドリ）」を微細加工・計測研究分野に対して水平展開し、何人に対しても開かれた「オープンプラットフォーム」

を整備し運用する「互助」の仕組みを成立させられれば、恵まれた環境を「等価的に所有（共有）」でき、全国津々浦々で最先端研究を実施することができる。

上記目的を達成するためにd.lab 基盤部門では、2001年に武田郁夫氏（現アドバンテスト創業者）による工学系研究科（小宮山宏工学部長）及び大規模集積システム設計教育研究センター（浅田邦博センター長）に対して行われた巨額の寄付により、2003年12月に竣工した「武田先端知ビル」地下スーパークリーンルーム（ISOクラス3、実測クラス1を含む600㎡）、及び上層階スペースの固有面積および借室面積を利用、価値総額60億円を超える一流の微細加工・計測装置を戦略的に展開、共用授業を展開している（図1）。

管理する公開装置は、アドバンテスト株式会社大浦会長御英断の寄付による「世界最速」高速電子線描画装置F5112+VD01に始まり、平成24年度補正予算（アベノミクス「第一の矢」）によって導入された高精細電子線描画装置F7000S-VD02、シリコン高速深掘りエッチング装置SPTS MUC-21 ASE-Pegasus、研究室レベルで導入できる最も高精細なクラスの走査型電子顕微鏡Hitachi Regulus SU8230等約100台であり、洗浄、製膜、リソグラフィ、エッチング、組み立て、評価プロセスの大半をカバーしている。現時点でカバーできていない技術分野の装置は、ナノテクノロジープラットフォームを受け継いだマテリアル先端リサーチインフラ事業全国14拠点のネットワークによって提供している。



図1 武田先端知スーパークリーンルーム沿革

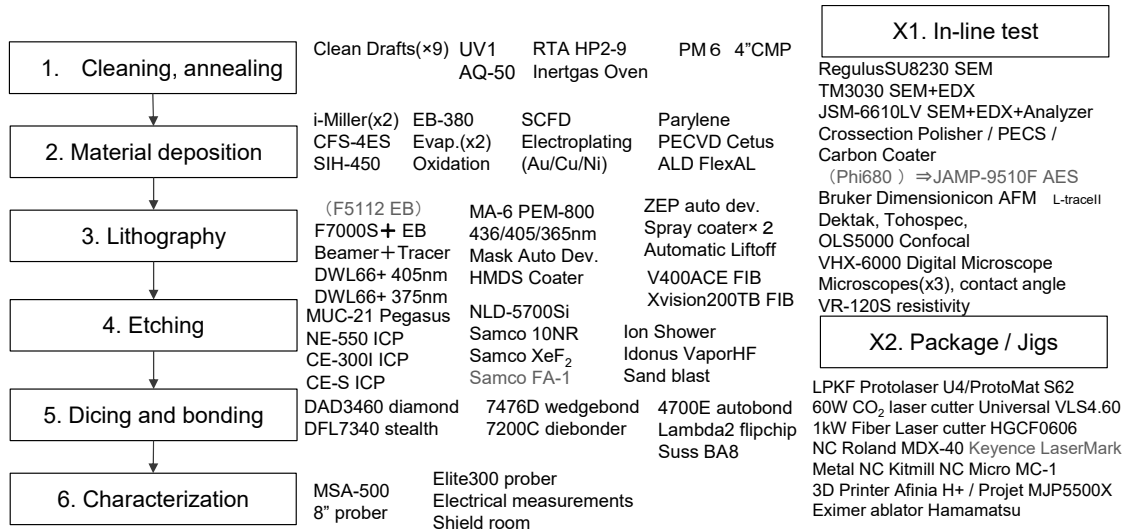


図2 d.lab 基盤デバイス部門が管理公開する共同利用装置（薄灰色文字は増強分）

2.4.2 基盤デバイス研究部門が運営する「武田先端知クリーンルーム」共有環境

拠点は、文部科学省事業（2020-2031）「マテリアル先端リサーチインフラ事業東京大学ハブ微細加工拠点」または「武田先端知クリーンルーム」と呼ばれ、「装置共用という価値観を共有する者」に対して広く開かれている。2023年12月17日に竣工20年を迎えた。

単なる試作の外注先ではないと利用者一人一人が自覚することが非常に大切であり、利用開始に先立ち「自助・共助・公助」という価値観を理解し共有する。このことによって研究室運営者としての自分が当然支払うべきコスト（人的、金銭的、時間的）を最低限に抑えながら直ちに最先端の研究が展開できる。価値観の共有による利益は、例えば建物も含め100億円を超える施設整備費、年間3.5億円の運転経費、これらを整備し先端プロセスの知見を蓄積していた20年という時間の短縮効果である。このように絶大な効果のため多数の研究室の賛同を得ている。24年度登録者は202研究室年間1147名となった。

運用は「自助・公助・共助」を旨とし、利用者負担金（内規に基づく）、d.lab 運営費交付金、文部科学省マテリアル先端リサーチインフラ事業、関連研究室（武田先端知ビルおよびクリーンルームの借室研究室）やd.labと直接共同研究関係のある企業等からの研究資金を収入とし、それぞれの予算用途を厳密に区分して各種法規規則や命令を完全に遵守して公正に運用している。運転資金年間3.5億円の内訳は大分類として整備費、電気代・修理費・人件費からなる（昨今電気代の負担増が厳しい）。法人化以降、中期計画に基づいた弾力的な運用が可能であり、突発的故障を想定した安全

係数の運用を行い、年度で節約できた運営費を原資として職員の安定雇用や小・中規模装置の更新、増強に割り当てている。

基盤デバイス研究部門では、多数の利用者が抱える微細加工への期待に日夜接することで、技術動向の「空気感」を持っている。需要が高く、分野を超えた普遍性が見込まれる基幹技術については自らのチームで技術開発を行い、積極的に論文発表して公共財とするように努めている。

さらに、d.labの一部門であるという「地の利」を活かし、集積回路素子（LSI）と新規MEMS構造の集積化、所謂「集積化MEMS」の研究開発を10年以上にわたって実践している。詳細は原著論文[1]にまとめているとおり、「LSIファウンドリ」機能によって、特定用途向け電子デバイスの搭載されたシリコンウエーハを協力会社（例：フェニテックセミコンダクター社）で試作し、取得したウエーハに対して武田先端知ビルスーパークリーンルームを始めとするオープンプラットフォームにおいて微細後加工を施し、センサ・アクチュエータ素子とする仕組みである。この仕組みによれば、信頼性が必要であるトランジスタ回路部分は全く苦勞することなく入手できる上、（新規機能であるために）外注の引受先が存在しないMEMS部分は自前で試作できる。まさに「世界初の機能を」「世界最高の性能で」実現することが可能な、世界的にもユニークな仕組みといえる。企業も含む共同研究ベースで年1回の共同試作（固定枠方式）を行っている。

[1] Y. Mita *et al.*, *Japanese Journal of Applied Physics*, **56**, p. 06GA03, 2017 (2017) DOI: 10.7567/JJAP.56.06GA03

2.4.3 基盤デバイス研究部門2024活動報告

【KPI】2024年度は、202研究室（昨年比+7、以下括弧内は前年度からの差分）からの利用があった。内訳は企業：外部公的機関：東大工学部以外：工学部=1：1：1：1であり、1148名（+19）の登録があった。

集計対象装置36台の稼働率は51%（+4%、延べ8685日中4412日使用）、外部共用率64.5%（-2.7%、4412日中2846日が外部利用：ただし、ARIM事業の計算指針に従い一装置につき1日がカウントの単位で、同一日に外部と内部の利用が複数あった場合は「外部1日」とカウントした）となった。これは、ARIM事業で課されている目標（外部共用率30%）を大きく上回る実績であり本年度も「世界で最も民主的なオープンプラットフォーム」の面目躍如たる結果であった。これらの活動が認められることになり、文部科学省が複数部局および経済産業省と連携して進める新規施策「半導体基盤プラットフォーム」の中核機関に選定され、極めて大型の補正予算が措置され、高速大面積電子線描画装置ならびに電子顕微鏡の入れ替え、強化が行われることになった。武田開闢以来の初号機F5112が経年劣化によるトラブル続きで更新待ったなしの折、極めて適切な予算措置が行われた。

【秀でた成果ダブル受賞】文部科学省ARIMプロジェクトでは、年間3000件を超える利用報告書の中から、①優れた科学技術、②イノベーションの高い可能性、③拠点が多大な貢献をした研究を顕彰している。2024年度は武田SCR利用者2研究室が同時受賞、うち一方が最優秀賞を受賞という快挙を成し遂げた。2025年1月29日東京ビッグサイトで開催された第24回国際ナノテク

ノロジー総合展・技術会議に於いて発表会と表彰式が行われた。図3、図4はそれぞれ国際ナノテクノロジー総合展での記念撮影。

《最優秀賞》

「電子線描画装置を使用した1GHz OPAW振動子の電極パターニング」

ユーザー：今大 健、元野 智幸、丸山 春樹、芦沢 英紀（リバーエレテック株式会社）

実施機関担当者：藤原 誠^a、水島 彩子^a、落合 幸徳^a、三田 吉郎^a、菊田 利行^b、庄子 征希^b、鶴谷 敏則^b、森山 雅昭^b、戸津 健太郎^b（^a東京大学、^b東北大学）

《優秀賞》

「量子センシングのためのマイクロ波アンテナ作製」

ユーザー：佐々木 健人、小河 健介、塚本 萌太、西村 俊亮、中村 祐貴、顧 豪、山本 航輝、小林 拓、須田 涼太郎、原田 怜、小林 研介（東京大学）

実施機関担当者：豊倉 敦、Eric Lebrasseur、天谷 諭、水島 彩子、太田 悦子、落合 幸徳、三田 吉郎 ほか武田クリーンルーム支援チーム（東京大学）

【世界の一流クリーンルームプラットフォームとの高水準技術交流】オープンイノベーション拠点としてのクリーンルームプラットフォームは、米国NSFによるNNCIや、フランス共和国国立科学研究センター（CNRS）が運営するRTB-RENATECH、オーストラリアANFFなど、特に西側先進国において広く整備されている。基盤デバイス部門は、三田拠点長の25年来のネットワークによって、仏RENATECHとそれが主導するEuroNanoLabと密接な協力関係にある。具体的な協業プロジェクトとして、2022年度末に開始した



図3 秀でた利用成果 最優秀賞 リバーエレテック株式会社の皆様と受賞記念撮影

RENATECH 五大拠点の一つである CNRS-LAAS 研究所とエンジニア東大拠点と共同で技術開発を行った。具体的には2024年7月に ARIM エンジニア2名ならびに三田教授を LAAS 研究所に2週間派遣し、高アスペクト比ディープサブミクロンメッキの実験を行った。東京大学の有する高速大面積電子線描画技術と、LAAS 研究所が日本の装置メーカー（山本鍍金試験器）と協力して開発した大面積高信頼メッキ技術とを融合する試みであり、成功した暁には武田先端知 SCR の標準微細加工寸法を一桁微細化できる重要な技術である。現在は幅 230nm、高さ 1500nm（アスペクト比 1:6.5）、長さ 125 μ m までの微細構造を Ni,Cu,Au 材料で作製することができるようになっている。開発した技術をフランス国内のマイクロナノ技術者会議（JNTE）[2]ならびに IEEE 国際会議（IEEE ICMTS）[3]に国際共著で投稿、採択され口頭発表を行った。

[2] Noriko Kawai, Ayako Mizushima, David Bourrier, Etsuko Ota, Amel Beghersa, Hugues Granier, and Yoshio Mita, “Nano-EB LIGA Process through LAAS-RENATECH and UTokyo Engineers Exchange”, Journées Nationales sur les Technologies Emergentes en micro-nanofabrication, 27-29 Nov., St Etienne, France (2024.11.27)

[3] Yoshio Mita, Ayako Mizushima, Noriko Kawai, Tsuboi Shinji, Yurie Inoue, Etsuko Ohta, Shun Yasunaga, Ryosho Nakane, David Bourrier, Amel Beghersa, Hugues Granier, and Akio Higo, “Advantage and Challenge of Electrical Critical Dimension Test Structures for Electroplated High Aspect Ratio Nano Structures (HARNs) on Insulating Materials”, 2025 IEEE International Conference on Microelectronic Test Structures (37th ICMTS), 24-27 Mar., San Antonio, TX, USA. (2025.03.26)



図4 秀でた利用成果 最優秀賞 東京大学 理学系研究科 小林研介研究室の皆様と受賞記念撮影

2.5 「アドバンテストD2T寄附講座」活動報告

2.5.1 「アドバンテストD2T寄附講座」の紹介

2.5.1.1 アドバンテストD2T寄附講座設立の趣旨

これまでのVDECの活動を通じ、多くの大学・高専でVLSI設計・試作文化が根付き、活発な設計研究・教育活動が行われています。このような状況の中、株式会社アドバンテストからの寄附金により、「アドバンテストD2T寄附研究部門」が2007年10月にVDEC内に設立されました。「アドバンテストD2T寄附研究部門」は、全国の学生にVLSIの設計からテストまで一貫した研究・教育環境を提供することで、テスト設計の専門家となりえる人材を育成するとともに、SoCの設計に関する研究を支援することを目的としております。従来、VDECではVLSIの「設計・試作」という面からの活動を重点的に行ってまいりましたが、「設計」だけでなく「テスト」の観点からも研究・教育の中心拠点となるべく“Design to Test (D2T)”の理念のもと、国内の大学・高専における「テスト研究・教育」の拠点としての活動を行っています。

当部門はこれまで2007年10月～2010年9月（第1期）、2010年10月～2013年9月（第2期）、2013年10月～2016年9月（第3期）、2016年10月～2019年9月（第4期）の計12年間に渡るプロジェクトを遂行してきました。東京大学大学院工学系研究科附属システムデザイン研究センター（d.lab）が2019年10月に発足後、D2T寄附研究部門は研究のさらなる発展、D2T教育により重心を置いた「アドバンテストD2T寄附講座」としてセンター内に設置されました。2019年10月から株式会社アドバンテストのご厚意により新たに開始した第6期（2022年10月～2025年9月）の3年目が開始いたしました。本報告は第6期2年目、2023年10月～2024年9月の活動報告となります。D2Tに関する研究とともに、教育活動の充実図って

く予定であります。当寄附講座の活動の詳細については、続く各章においてそれぞれ報告いたします。

2.5.1.2 アドバンテストD2T寄附講座構成員

特任教授	池田 誠
特任講師	肥後 昭男
共同研究員	浅見 幸司 (株式会社アドバンテスト研究所)
共同研究員	石田 雅裕 (株式会社アドバンテスト)
共同研究員	歌丸 剛 (株式会社アドバンテスト)
学術支援職員	山口 隆弘
事務補佐員	岡崎 真紀子

2.5.2 「第19回D2Tシンポジウム」開催報告

2024年9月6日（金）に、武田ホールにて第19回D2Tシンポジウムを開催し、非常に多くの皆様にご聴講頂きました。半導体・LSIの期待が高まっており武田ホールでの臨場感をお届けできていれば幸いです。「半導体から日本を、世界を元気に」を発信するため、University of California, Los AngelesのAsad Abidi先生、Stanford UniversityのSubhashish Mitra先生、University of Hawai'i at MānoaのAaron Ota先生、The Hong Kong University of Science and TechnologyのTim Cheng先生、University of UtahのPriyank Kalla先生、Hamburg University of TechnologyのGörschwin Fey先生をお招きし最新の研究について講演をいただきました。多くの方にご参加いただき、大変盛況な会となりましたことを改めて感謝申し上げます。次回「第20回D2Tシンポジウム」は、2025年9月2日（火）に開催予定です。記念すべき節目の回となりますので、ぜひ多くの皆様のご参加を心よりお待ちしております。



アドバンテスト D2T 寄附講座 東京大学大学院工学系研究科附属システムデザイン/研究センター Systems Design Lab (d.lab)

第19回 D2Tシンポジウム

~ Design Fixed and Controllable CMOS Delay Lines, Reconfigurable Wireless Communication, Edge Inference Chips, and Si Photonics ~

2024
9/6 (日)
10:00~18:00 予定
武田先達知ビル 5階武田ホール

東京大学大学院工学系研究科附属システムデザイン/研究センター (d.lab) では、株式会社アドバンテストからの寄附によるアドバンテスト D2T 寄附講座において、「D2T (Design-to-Test)」の理念に基づき、「設計」と「テスト」の橋渡しを目的とした研究・教育活動を行なっています。その一環として開催して参りました D2T シンポジウムを今年も下記の通り開催いたします。当日までに数名のキーノートークが増える可能性がありますので、ウェブサイトでのご確認をどうぞよろしくお願いいたします。今回は武田ホール現地開催です。多くの皆様のご来場・ご参加を心よりお待ちしております。

Keynote Speakers



How to Design Fixed and Controllable CMOS Delay Lines for Jitter versus Power
Asad Abidi
Professor
University of California, Los Angeles



A Cambrian Explosion in Robust Computing Systems is Dead Ahead
Subhasish Mitra, William E. Ayer
Professor
Stanford University



Reconfigurable Wireless Communication Components Enabled by Liquid Metals
Aaron Ota
Professor
University of Hawaii at Manoa



Architecture, Design and EDA of High-Performance and Energy-Efficient Edge Inference Chips for Large-Scale AI Models: The InnoHK ACCESS Approach
Tim Cheng
Professor
The Hong Kong University of Science and Technology



Exploring Design-for-Test and Calibration for Silicon Photonics
Priyank Kalla
Professor
University of Utah

参加費・送料

参加のお申し込み <http://www.vdec.u-tokyo.ac.jp/d2t2024symposium2024.html>

主催 東京大学大学院工学系研究科附属システムデザイン/研究センター (d.lab)
後援 株式会社アドバンテスト
協賛 (左) 電子情報通信学会 (一社) 情報処理学会 社団法人 IEEE SPS Japan Chapter 社団法人 IEEE SPS Korea Chapter 産総研電子学 産総研MEMS 産総研電子アナスタングラム (一社) 電子情報技術産業協会 (一社) 日本半導体技術協会 産総研シリコンフォトニクス (一社) ワーパイクス・イノベーション協会 日本シリコンフォトニクス協会

お問い合わせ 東京大学大学院工学系研究科附属システムデザイン/研究センター P.Labセンター D2T 寄附講座
〒113-8652 東京都文京区湯島1-6-1 産総研知能未来ビル5F
Tel. 03-5841-0233 FAX: 03-5841-1093 <http://www.vdec.u-tokyo.ac.jp/>
E-Mail: higo@iisl.u-tokyo.ac.jp



19th D2T Symposium Program September 6, 2024

10:00	<p>Opening Remarks Makoto Ikeda (Director, d.lab, School of Engineering, the University of Tokyo) Koichi Tsukui (President & CEO, ADVANTEST CORPORATION)</p>
10:15	<p>Session 1 <i>A Cambrian Explosion in Robust Computing Systems is Dead Ahead</i> Subhasish Mitra, William E. Ayer Professor (Stanford University) <i>How to Design Fixed and Controllable CMOS Delay Lines for Jitter versus Power</i> Asad Abidi, Professor (University of California, Los Angeles)</p>
11:45	<p>Free coffee and Tea break (KESCO supported)</p>
14:00	<p>Session 2 <i>Learning Models for Monitoring Complex Systems</i> Görschwin Fey, Professor (Hamburg University of Technology) <i>Architecture, Design and EDA of High-Performance and Energy-Efficient Edge Inference Chips for Large-Scale AI Models: The InnoHK ACCESS Approach</i> K.-T. Tim Cheng, Professor U-Tokyo Fellow (Hong Kong University of Science and Technology)</p>
15:30	<p>15min break</p>
15:45	<p>Session 3 <i>Exploring Design-for-Test and Calibration for Silicon Photonics</i> Priyank Kalla, Professor University of Utah <i>Reconfigurable Wireless Communication Components Enabled by Liquid Metals</i> Aaron Ota, Professor (University of Hawai'i at Mānoa)</p>
17:15	<p>Session 4 <i>Recent D2T research department progress</i> Akio Higo, Lecturer (d.lab, the University of Tokyo)</p>
	<p>Closing Remarks Makoto Ikeda (d.lab, School of Engineering, the University of Tokyo)</p>

2.5.3. 研究活動報告

■高精度波形測定技術

山口 隆弘, 肥後 昭男, 飯塚 哲也, 池田 誠

確率のアナログ-デジタル変換器 (Stochastic Analog to Digital Converter; ADC) の研究をおこなっている。とくに、耐不規則性をより向上させるための、確率の中央値をもちいたレベル交叉(LC)時刻検出方式について研究している。

MC (モンテカルロ) 実験にもちいる乱数発生器の性能を検証した:ベクトル形式雑音, 行列形式雑音, Golay形式雑音はほぼ同じ不規則性を示した。N個の『プロセス変動ゼロのコンパレータ』をもちいると単純乱歩が発生することを理論的に予測, MC (モンテカルロ) 実験により検証した。

■5G多チャンネル・ミリ波信号測定手法の研究

浅見 幸司, Byambadorj Zolboo, 小池 良吾, Sheng Guo, Mai-Khanh Nguyen Ngoc, 肥後 昭男, 飯塚 哲也, 藤田 昌宏, 松本 高士, 池田 誠

ミリ波信号を over-the-air (OTA) 環境で測定するための、要素技術の研究を行っている。

ミリ波用アンテナの近傍界測定用マルチチャンネル測定システムを構築した。ビームの周囲の雑音を抑圧するため、Tukey windowを使用する様アルゴリズムを変更した。市販の5G用ビームフォーミングアンテナを測定し、期待通りの方向の遠方界放射パターンを推定することができた。

■ATE向け高速・高精度な多ピン信号品質CAL技術

白幡 一樹, 石田 雅裕, 飯塚 哲也, 肥後 昭男, 名倉 徹, 池田 誠

半導体試験装置 (ATE) では数千から数万ピンの信号入出力チャンネルをもち、被試験デバイス (DUT) との間で入出力される試験信号の品質をそれぞれ一致させる信号品質キャリブレーション (CAL) が必要である。本研究テーマでは、ATEに適用可能な高速かつ高精度な多ピン信号品質CAL方式の研究をおこなっている。本年度は、メモリテストのドライバ (DR) とコンパレータ (CP) をもちいたTDR (Time Domain Reflectometry) 測定による伝送路特性およびCAL点波形を推定する技術について、実用上の課題調査およびCAL演算理論の構築をすすめた。実機環境を模擬した系での実験結果から、DR経路にCPを割り込ませる回

路部の非理想特性および伝送路内で生じる不要な反射成分によりCAL精度が劣化することが分かった。CP割り込みの非理想特性に対しては、CP割り込み特性を考慮した新しい演算理論を構築した。不要な反射に対しては、モデルを構築し、理論的に反射成分が消える条件と理論的に消えない反射成分がCAL精度に与える影響を明らかにした。

■セキュリティ考慮テスト駆動半導体設計技術研究開発

田中 玄一, 正田 薫, 羽鳥 智裕, 長谷川 宏太郎, 木村 学, 肥後 昭男, 池田 誠

半導体サプライチェーンにおいて、半導体テストを活用することにより半導体製品のセキュリティ担保、主に半導体製品の真正性を保証する技術を開発している。セキュリティ担保のためのシステムおよびHW, SW双方を含むアーキテクチャを検討した。さらに実現する回路方式を検討し、必要計算量の削減および効率改善を進めている。2025年4月からは処理速度に加え、スループット最大化も考慮した設計方式を開発している。また、実証実験の前準備としてのテストチップ設計および製作も完了した。

■超広帯域信号計測用高周波回路技術の研究

歌丸 剛, 中村 雅之, 石田 雅裕, 浅見 幸司, Yunjie Chen, 湯浅 太蔵, 小野 纏, Zolboo Byambadorj, 飯塚 哲也, 肥後 昭男

6G, WiFiや車載レーダなど、次世代無線通信では、ミリ波からTHz波に及ぶ周波数が使用され、変調帯域幅もGHzオーダーの超広帯域となる。このようなデバイスをテストするために必要となるクロック生成回路および信号生成回路の要素技術の研究する。主な研究要素として、広帯域PLL回路および広帯域DAC回路の方式を検討する。

PLL回路では、50 GHzから100 GHz発振を可能とする高純度VCO, およびこのVCOを使用したPLL構成の検討を進めている。2段カスケード構成のPLLを採用し、帰還回路の工夫により低位相雑音特性を狙う。VCOは、バラクタレス構成でありながら、周波数可変範囲と低位相雑音特性を両立できる方式の検討を進めている。

CMOSプロセスを採用し、伝送路および140 GHzアンプを実装したTEGチップを23年12月にテープアウト完了。TEG評価結果を第2版TEGチップ設計ヘフィードバックし、24年7月にテープアウト完了。第2版TEGを実測し、simulationとよく合うことを確認した。

DACでは、広帯域化の方式として時間インターリーブおよび周波数インターリーブ方式の両方で検討を進めている。まずは、時間インターリーブ方式の新しいアーキテクチャとしてマルチプレクサと加算器を組み

合わせたmixing DAC方式を考案し、シミュレーションで動作確認を完了。実装を進めている。IEICE特集号へ、DAC方式に関する論文投稿済み。

第3章 d.lab概要

3.1 組織概要

東京大学大学院工学系研究科附属システムデザイン研究センター (d.lab) は、2019年10月に、東京大学における半導体関連研究の強化を目指し設置された。d.lab は、知識集約型社会の到来に備え、システムのアイデアを持つ者が誰でも専用チップを即座に入手できるよう、デザインの手法と製造のエコシステムを再構築することを目指している。また、データ駆動型システムのデザインプラットフォームを作り、データ駆動型社会で活躍する人材の育成を目標とする。

センター長の下、先端設計研究部門、基盤設計研究部門、先端デバイス研究部門、基盤デバイス研究部門の4つの部門が互いに連携しながら活動を行っており、専任教員のほか、東京大学の他部局や工学系研究科を本務とする教員が兼務で在籍している。2025年4月1日現在、d.labの人員構成は、教授10名(内専任2名、兼任7名、特任1名)、准教授2名(内専任1名、特任1名)、講師3名(内専任1名、特任2名)、助教3名(内専任2名、兼任1名)、研究員17名(内上席研究員3名、主幹研究員1名、特任研究員13名)、学術専門職員13名である。

d.labでは重要事項の審議のため、「システムデザイン研究センター運営委員会」を必要に応じ開催している。また、学外委員を含めた「システムデザイン研究センター基盤設計研究部門 (VDEC) 全国運営協議会」に、研究・事業計画等の事項について諮問を行っている。

東京大学大規模集積システム設計教育研究センター (VDEC) は、1996年5月に全国共同利用施設として発足し、国立大学法人化に伴い東京大学の1部局としての位置づけを経て、国公立大学と工業高等専門学校におけるVLSI設計教育の充実と研究活動を継続してきたが、d.lab設置の際にこれに合流することとなった。それまでVDECが担ってきた活動は、d.labの基盤設計研究部門における「VDEC機能」として継続しつつ、先端設計研究部門における産学連携をも強化した、最先端設計研究の強化を目指した活動が行われている。

基盤設計研究部門には「協力教員制度」を有しており、全国の各大学との教員との連携を図っている。2025年度の体制は協力教員14名、協力研究員6名の合計20名である。

d.labは、研究探求と技術実践の橋渡しの場、また産学官連携と人的交流を促進する場として、2020年から協賛事業を開始し、例年40社程度の企業から参加を頂いている。また、2022年には文科省次世代X-nics半導体創成拠点形成事業に採択され、半導体技術の民主化を実現する基幹技術 (Agile技術) を整備し、プラットフォームとして研究に展開し、研究成果・産業への波及効果・高度人材の育成を目指している。さらに、目白台インターナショナル・ビレッジに研究スペースを設け、先端システム技術研究組合に参画するなど、活動を日々加速させているところである。

2018年度-2022年度には、経済産業省/NEDOのプロジェクト「AIチップ設計拠点」として、国内の中小企業ベンチャー向けのチップ設計環境の整備を、産業技術総合研究所(産総研)とともに実施した。2023年度からは、産総研が東大内に設けるオープンイノベーションラボラトリ (OIL)「AIDL」が主体として拠点を運営することで、アカデミック向けのチップ設計環境「VDEC機能」、中小ベンチャー向けのチップ設計環境「AIチップ設計拠点」のチップ設計の拠点機能を拡充させている。

最先端の研究開発に加え、2024年4月からは東京大学学部横断型教育プログラム「半導体教育プログラム (SPIRIT)」を開始し、また、同年10月からNEDOポスト5G情報通信システム基盤強化研究開発事業/人材育成プログラム「最先端デジタルSoC設計人材育成」に携わっている。さらに、2025年1月には、有明工業高等専門学校と「半導体人材育成分野における包括連携に関する協定」を締結するなど、半導体・集積回路設計を担う高度な人材育成にも注力している。

3.2 人事報告

d.lab 人事 (2025年4月1日付け)

センター長・基盤設計研究部門長・教授	池田 誠
先端設計研究部門長・特任教授	濱田 基嗣
先端デバイス研究部門長・教授 (東京大学生産技術研究所)	平本 俊郎
基盤デバイス研究部門長・教授 (東京大学大学院工学系研究科 電気系工学専攻)	三田 吉郎
教授 (東京大学大学院情報理工学系 研究科)	中村 宏
教授	竹内 健
教授 (東京大学大学院工学系研究科 電気系工学専攻)	染谷 隆夫
教授 (東京大学大学院工学系研究科 マテリアル工学専攻)	内田 建
教授 (東京大学大学院工学系研究科 電気系工学専攻)	竹中 充
教授 (東京大学大学院工学系研究科 電気系工学専攻)	飯塚 哲也
准教授	小林 正治
特任准教授	中根 了昌
講師	小菅 敦丈
特任講師	肥後 昭男
特任講師	浅見 幸司
助教	BYAMBADORJ ZOLBOO
助教 (東京大学大学院工学系研究科 電気系工学専攻)	宮武 悠人
助教	松尾 亮祐
上席研究員	天野 英晴
上席研究員	若林 一敏
上席研究員	丹羽 正昭
主幹研究員	高木 剛
特任研究員	島本 直伸
特任研究員	荒川 文男
特任研究員	落合 幸徳
特任研究員	二宮 健生
特任研究員	坪井 伸二

特任研究員
特任研究員
特任研究員
特任研究員
特任研究員
特任研究員
特任研究員
特任研究員

川野連也
CHITRA PANDY
最上徹
藤田昌宏
DURAN CKRISTIAN
角博文
WANG JUNSHA
VATANKHAHGHADIM BEHRAZ

学術専門職員
学術専門職員
学術専門職員
学術専門職員
学術専門職員
学術専門職員
学術専門職員
学術専門職員
学術専門職員
学術専門職員
学術専門職員
学術専門職員

長谷川 淳
岡田 光司
林 泰弘
太田 悦子
YIP WAI YEUNG
窪田 通孝
小倉 建治
井上 友里恵
近藤 翔午
池田 謙一
中西 克文
河井 哲子
松本 高士

(東京大学大学院工学系研究科
電気系工学専攻)

※ () が記載されている教員は、() 内が本務先である。



2024年度東京大学大学院工学系研究科附属システムデザイン研究センター基盤設計研究部門 (VDEC)
 全国運営協議会委員名簿

氏名	所属・職位	任期	連絡先	
			TeL/Fax	E-mail
池田 誠	東京大学大学院工学系研究科附属システムデザイン研究センター 教授	2024.4.1～ 2026.3.31	TEL 03 (5841) 6661	ikedas@silicon.u-tokyo.ac.jp
高木 信一	東京大学大学院工学系研究科電気系工学専攻 教授	2024.4.1～ 2026.3.31	TEL 03 (5841) 7467	takagi@ee.t.u-tokyo.ac.jp
池辺 将之	北海道大学量子集積エレクトロニクス研究センター 教授	2024.4.1～ 2026.3.31	TEL/FAX 011-716-6004	ikebe@ist.hokudai.ac.jp
黒田 理人	東北大学未来科学技術共同研究センター 教授	2024.4.1～ 2026.3.31	TEL 022 (795) 4836	rihito.kuroda.e3@tohoku.ac.jp
一色 剛	東京科学大学工学院 情報通信系 教授	2024.4.1～ 2026.3.31	TEL/FAX 03(5734)2842	isshiki@ict.e.titech.ac.jp
岡田 健一	東京科学大学工学院電気電子系 教授	2024.4.1～ 2026.3.31	TEL 03-5734-3764	okada@ee.e.titech.ac.jp
史 又華	早稲田大学基幹理工学部電子物理システム学科 教授	2024.4.1～ 2026.3.31	TEL 03-5286-3400	shi@waseda.jp
北川 章夫	金沢大学理工研究域電子情報通信学系 教授	2024.4.1～ 2026.3.31	TEL 076 (234) 4863 FAX 076 (234) 4863	kitagawa@is.t.kanazawa-u.ac.jp
石原 亨	名古屋大学大学院情報学研究科情報システム学専攻 教授	2024.4.1～ 2026.3.31	TEL 052 (789) 4363	ishihara@i.nagoya-u.ac.jp
佐藤 高史	京都大学大学院情報学研究科通信情報システムコース 教授	2024.4.1～ 2026.3.31	TEL 075 (753) 4801 FAX 075 (753) 4802	takashi@i.kyoto-u.ac.jp
三浦 典之	大阪大学大学院情報科学研究科情報システム工学専攻 教授	2024.4.1～ 2026.3.31	TEL 06 (6879) 7810 FAX 06 (6879) 7812	nmiura@ist.osaka-u.ac.jp
藤島 実	広島大学大学院先進理工系科学研究科量子物質科学プログラム 教授	2024.4.1～ 2026.3.31	TEL 082 (424) 6269	fuji@hiroshima-u.ac.jp
井上 弘士	九州大学大学院システム情報科学研究科情報知能工学部門 教授	2024.4.1～ 2026.3.31	TEL 092 (802) 3793 FAX 092 (802) 3786	inoue@ait.kyushu-u.ac.jp
宇野 重康	立命館大学理工学部電気電子工学科 教授	2024.4.1～ 2026.3.31	TEL 077 (599) 4278	suno@fc.ritsumei.ac.jp
高野 恭弥	東京理科大学創域理工学部電気電子情報工学科 准教授	2024.4.1～ 2026.3.31	TEL 04 (7124) 1501 (内線3777)	ktakano@rs.tus.ac.jp
石黒 仁揮	慶應義塾大学理工学部電気情報工学科 教授	2024.4.1～ 2026.3.31	TEL 045 (566) 1815 内42255	ishikuro@elec.keio.ac.jp
永田 真	神戸大学大学院科学技術イノベーション研究科 教授	2024.4.1～ 2026.3.31	TEL 078 (803) 6569 or 6221	nagata@cs.kobe-u.ac.jp
名倉 徹	福岡大学工学部電子情報工学科 教授	2024.4.1～ 2026.3.31	TEL 092 (871) 6631	nakura@fukuoka-u.ac.jp
青柳 昌宏	熊本大学半導体・デジタル研究教育機構半導体部門 卓越教授	2024.4.1～ 2026.3.31	TEL 096 (342) 3810 FAX 096 (342) 3630	m-aoyagi@kumamoto-u.ac.jp

2024年度 システムデザイン研究センター運営委員会委員名簿

区分	氏名	所属	任期	メールアドレス
委員長	池田 誠	システムデザイン研究センター センター長	-	ikedas@silicon.u-tokyo.ac.jp
1号委員	加藤 泰浩	工学系研究科長	-	dean@t.u-tokyo.ac.jp
2号委員	山下 真司	電気系工学専攻長	-	syama@cntp.t.u-tokyo.ac.jp
3号委員	柴田 直哉	総合研究機構長	-	shibata@sigma.t.u-tokyo.ac.jp
4号委員	小林 正治	システムデザイン研究センター	2023.4.1～ 2025.3.31	masa-kobayashi@nano.iis.u-tokyo.ac.jp
4号委員	飯塚 哲也	システムデザイン研究センター	2023.4.1～ 2025.3.31	iizuka@vdec.u-tokyo.ac.jp
5号委員	高木 信一	電気系工学専攻	2023.4.1～ 2025.3.31	takagi@ee.t.u-tokyo.ac.jp
5号委員	霜垣 幸浩	マテリアル工学専攻	2023.4.1～ 2025.3.31	shimo@dpe.mm.t.u-tokyo.ac.jp
5号委員	鈴木 雄二	機械系工学専攻	2023.4.1～ 2025.3.31	ysuzuki@mesl.t.u-tokyo.ac.jp
6号委員	中村 宏	情報理工学系研究科	2023.4.1～ 2025.3.31	nakamura@hal.ipc.i.u-tokyo.ac.jp
6号委員	平本 俊郎	生産技術研究所	2023.4.1～ 2025.3.31	hiramoto@nano.iis.u-tokyo.ac.jp

3.3 新任・退任ご挨拶

退任のご挨拶

水野 正之

2017年4月、東京大学大規模集積システム設計教育研究センター（VDEC）の客員教授としてお世話になって以来、東京大学とのご縁が始まりました。その後、システムデザイン研究センターに籍を移し、2025年3月までの8年間、大変お世話になりました。この場をお借りし、皆さまに心より御礼申し上げます。

このご縁の始まりは、私にとっても転機の時期でした。長年身を置いたルネサスエレクトロニクスを離れ、NECに移って間もない頃、生体認証・虹彩認証などを手掛けるAIの研究所——バイオメトリクス研究所を立ち上げていました。つまり、半導体を“作る側”から“使う側”へと立ち位置を変えた時期です。

そのときに改めて感じたのは、システムLSIの設計という分野が、システム全体を見渡し、その隅々までを理解する稀有な訓練の場であったということです。半導体設計の経験が、異なる領域に進んでも常に思考の土台となりました。

2020年3月、NECを離れ、翌4月から富士フイルムに籍を移しました。今度はITから材料の世界へ、そして、そこで携わったのが、抗体医薬の連続生産事業の立ち上げでした。意外にもこの構造は、ファウンドリビジネス、すなわちTSMCと酷似していました。事業の中で“どこに立つか”という戦略的な視点は、やはり半導体業界で学んだものでした。

その後、再びNECに戻り、現在は航空宇宙防衛に関わる技術戦略・新規事業開発に取り組んでいます。この分野で、性能や機能を決定づける要素——それは、やはり半導体チップです。技術の根幹が、どれほど半導体に依存しているか、あらためて痛感する日々です。

2017年から2025年、この8年の間にも、世界の半導体業界は激変しました。地政学リスクの顕在化、生成AIの台頭、そして日本国内でもRapidusの始動、TSMC熊本工場の建設と、時代の流れが、新たな巡りに入ろうとしつつあります。東京大学もその変化の中で、大きな役割を果たされてきました。VDECに始まり、d.lab, RaaS, Agile-Xと、アカデミアと産業を結ぶ回路は確実に太く、力強くなっていると感じています。

半導体は、まさに肝です。そして、これほど変化のうねりの中にある時代はないと、私は感じています。

これまで、ご一緒に歩ませていただいた皆さまに、

改めて心より御礼申し上げます。そして、新たな時代を切り拓いていかれるシステムデザイン研究センターの皆さまのご健闘をお祈り申し上げます。

松本 高士

VDEC（現在では「東京大学d.labにおけるVDEC活動」としてVDECの名前が残っておりますが）であった頃以来、EDA CADライセンシングサービスに関する各大学・高専への対応業務とCADライセンスサーバ管理業務などを主に担当し、全国の大学・高専での集積回路教育・研究のお役に立てるように努めてまいりました。最近数年間はCAD講習会やVDECリフレッシュセミナーに関する業務も担当させて頂きました。その間、いろいろと至らない点がございましたことはこの場を借りてお詫び申し上げます。2025年度からは私が担当しておりました業務につきまして、最近着任された松尾先生、浅見先生に主に引き継いで頂いております。私はd.lab/VDECから電気系工学専攻に異動することになりましたが、今後もCADuserのメーリングリスト等でも時々お目にかかるかもしれません。その際には引き続きどうぞよろしくお願い申し上げます。

最後にVDECおよびシステムデザイン研究センター（d.lab）で仕事をする機会を頂いたことに改めて感謝申し上げます。池田現センター長、黒田前センター長、藤田元センター長、浅田元センター長をはじめスタッフの皆様、武田先端知ビル関係者・学生の皆様、EDA CADツールをお使いの全国の大学・高専関係者の皆様へ感謝申し上げます。

新任のご挨拶

松尾 亮祐

2025年1月より、d.labセンター長・池田誠教授のもとで、d.labの助教を務めさせていただいております。d.labの先進的な研究環境に参画する機会をいただけたことを心より感謝申し上げます。また、半導体分野における人材育成の中核拠点であるd.labにおいて、教育活動に携われることを大変光栄に感じております。

2018年3月に京都大学工学部電気電子工学科を卒業後、京都大学大学院情報学研究科通信情報システム専攻に進学し、2020年3月に修士号、2023年3月に博士号を取得いたしました。修士課程では小野寺秀俊教授、博士課程では湊真一教授のご指導のもと、シリコンフォトニクスデバイスを用いた集積回路の自動設計に関する研究に取り組みました。博士課程修了後は、2024年12月まで大阪大学にて、量子コンピュータの集積回路制御システムに関する研究プロジェクトに特任助教として従事しておりました。

今後は、これまでに取り組んできた新しい計算パラダイムに関する知見を活かし、d.labが誇る設計環境や設備、そして多様な専門性を持つ先生方との連携を通じて、革新的なシステムの創出と次世代の人材育成の双方に貢献してまいります。精一杯努力してまいりますので、今後ともご指導ご鞭撻のほど、何卒よろしくお願い申し上げます。

3.4 決算報告

1. 運営費交付金

(円)

事項	収入(予算配分)額	支出額	過不足額
共通経費	1,256,740,909	839,970,705	416,770,204
研究経費	20,508,221	21,489,508	△981,287
計	1,277,249,130	861,460,213	415,788,917

2. 2024年度公的機関からの研究費

	教員名	委託者	研究課題	種類	受入金額(円)
1	池田 誠	文部科学省	Agile-X～革新的半導体技術の民主化拠点	受託研究	425,000,000
2	池田 誠	技術研究組合最先端半導体技術センター	ポスト5G情報通信システム基盤強化研究開発事業/先端半導体製造技術の開発/(f1) 2nm世代半導体技術によるエッジAIアクセラレータの開発/2nm世代半導体技術によるエッジAIアクセラレータの開発	受託研究(技組分室)	462,229,680
3	池田 誠	技術研究組合最先端半導体技術センター	ポスト5G情報通信システム基盤強化研究開発事業/人材育成/最先端デジタルSoC設計人材育成	受託研究(技組分室)	39,020,300
4	池田 誠	国立研究開発法人 科学技術振興機構	Smart-Xを実現する高信頼のサイバー・フィジカル・コグニティブ・システムの構築	受託研究	35,100,000
5	池田 誠	国立研究開発法人 新エネルギー・産業技術総合開発機構	省エネAI半導体及びシステムに関する技術開発事業/AIエッジコンピューティングの産業応用加速のための技術開発/RISC-Cシステム設計プラットフォームの研究開発	受託研究	72,995,000
6	池田 誠	国立研究開発法人 新エネルギー・産業技術総合開発機構	経済安全保障重要技術育成プログラム/ハイブリッドクラウド利用基盤技術の開発/半導体・電子機器等のハードウェアにおける不正機能排除のための検証基盤の確立	受託研究	89,121,000
7	池田 誠	一般財団法人サイバーリサーチコンソーシアム	経済安全保障重要技術育成プログラム/先進的サイバー防御機能・分析能力強化/サイバー攻撃に対抗するための状況把握力と防御力の向上	受託研究	65,000,000
8	池田 誠	国立研究開発法人 産業技術総合研究所	AI機能付デジタル・アナログ・センサ(DAS)集積システムに関する研究開発	共同研究	4,950,000
9	三田 吉郎	国立研究開発法人 科学技術振興機構	トポロジカル量子計算機に必要な可変電子素子および理想MEMS素子の開発	受託研究	20,150,000
10	小林 正治	国立研究開発法人 科学技術振興機構	最先端原子層プロセス国際共同研究ネットワークにおけるデバイス応用研究	受託研究	6,500,000
11	小林 正治	国立研究開発法人 科学技術振興機構	三次元垂直型酸化物半導体チャネルトランジスタメモリ	受託研究	5,200,000
12	飯塚 哲也	国立研究開発法人 科学技術振興機構	AIによる回路トポロジー合成を実現する高度なアナログ回路設計プラットフォームの開発	受託研究	19,266,000
13	飯塚 哲也	国立研究開発法人 科学技術振興機構	集積化読み出し回路の研究	受託研究	19,500,000
14	飯塚 哲也	国立研究開発法人 科学技術振興機構	リアルタイム学習推論機能創出に向けた回路設計技術基盤構築	受託研究	15,496,000
15	飯塚 哲也	国立研究開発法人 科学技術振興機構	無線・光融合回路における受信機アナログ回路の研究開発	受託研究	16,562,000
16	飯塚 哲也	国立研究開発法人 宇宙航空研究開発機構	深宇宙・表面探査用ワンチップ無線機に向けた研究	共同研究	2,750,000
17	小菅 敦文	国立研究開発法人 科学技術振興機構	ASIC設計ユニバーサル化に向けた、粗粒度ロジックアレイプラットフォームの創生	受託研究	36,660,000

	教員名	委託者	研究課題	種類	受入金額(円)
18	小菅 敦丈	国立研究開発法人 科学技術振興機構	デバイス・システム協調による超低電圧布線論理型AIプロセッサ	受託研究	14,950,000
19	肥後 昭男	国立研究開発法人 科学技術振興機構	無線応用機械学習光推論器向け光集積回路の研究開発	受託研究	31,044,000
20	天野 英晴	国立研究開発法人 科学技術振興機構	MEC用マルチノード統合システム基盤の開発	受託研究	11,960,000
21	若林 一敏	国立研究開発法人 新エネルギー・産業技術総合開発機構	省エネAI半導体及びシステムに関する技術開発事業/AIエッジコンピューティングの産業応用加速のための技術開発/万能高位合成と新型汎用データフロー計算機構	受託研究	96,382,000
22	若林 一敏	国立研究開発法人 科学技術振興機構	MEC用マルチノード向けの総合高位合成システムの研究開発	受託研究	13,000,000
23	丹羽 正昭	国立研究開発法人 科学技術振興機構	パワーエレクトロニクス応用におけるSiC半導体素子の革新	受託研究	20,800,000
合計					1,523,635,980

※合計金額は、上記1～23の各課題の合計金額を記載している。

3. 2024年度民間企業等からの研究費

	教員名	申込者	研究課題	種類	受入金額(円)
1	池田 誠	キオクシア株式会社	ストレージシステム向け高機能暗号回路技術の研究	受託研究	-
2	池田 誠	Taiwan Semiconductor Manufacturing Company, Ltd.	Hardware Accelerator Design of PQC: CRYSTALS-Kyber/Dilithium	受託研究	-
3	池田 誠	株式会社アドバンテスト	先端LSI開発環境・テストング技術	共同研究	-
4	三田 吉郎	東レ株式会社	有機材料を用いたハイブリットボンディング用プロセス開発	共同研究	-
5	三田 吉郎	株式会社東芝	MEMS形成プロセス及び接合モニタ手法の研究	共同研究	-
6	小林 正治	Taiwan Semiconductor Manufacturing Company, Ltd	Technology development of stacked nanosheet oxide semiconductor FETs	受託研究	-
7	小林 正治	日本サムスン株式会社 Samsung デバイスソリューションズ研究所	次世代DRAM応用に向けた酸化物半導体トランジスタの材料及びデバイスに関する研究	共同研究	-
8	小林 正治	株式会社神戸製鋼所 株式会社コベルコ科研	大規模集積回路応用に向けたIn系酸化物半導体とHfO系絶縁膜を用いたデバイスプロセスに関する研究	共同研究	-
9	飯塚 哲也	Taiwan Semiconductor Manufacturing Company, Ltd	14bit 650MS/s C-DAC based subranging ADC	受託研究	-
10	小菅 敦丈	Taiwan Semiconductor Manufacturing Company, Ltd	3D-CiM: ThurChip Interface-Based 3D-Stacked SRAM and a Non-linear Neural Network for Weight Matrix Compression for Transformer-AI Applications.	受託研究	-
11	小菅 敦丈	Rapidus株式会社	ポスト5G情報通信システム基盤強化研究開発事業/先端半導体製造技術の開発(委託)/2nm世代半導体のチップレットパッケージ設計・製造技術開発	受託研究	-
12	小菅 敦丈	三菱電機株式会社	チップ間ミリ波信号無線伝送技術の研究	共同研究	-
13	小菅 敦丈	株式会社荏原製作所	メモリキューブ加工技術の研究	共同研究	-

	教員名	申込者	研究課題	種類	受入金額(円)
14	小菅 敦丈	株式会社神戸製鋼所	3次元実装半導体デバイスにおける薄膜AINの適用に関する研究	共同研究	-
15	小菅 敦丈	アオハ株式会社	大規模自然言語モデルの小型化	共同研究	-
16	肥後 昭男	トーカロ株式会社	シリコン微小ピラーの形成プロセスに関する研究	共同研究	-
合 計					674,435,447

※合計金額は、上記1～16の各課題の合計金額を記載している。

※研究課題、受入金額の「-」は非公表を意味している。

4. 2024年度寄附金

受入件数：7件 受入額計 138,200,000円

(株式会社アドバンテスト，株式会社エフ・イー・ティー・ジャパン，株式会社ジーダット，東京エレクトロン株式会社，東芝デバイス&ストレージ株式会社，公益財団法人村田学術振興・教育財団)

第4章 研究報告 -各研究室-

4.1 全体概況

	研究室構成 人数 (名)	研究発表			著書 (冊)	特許 (件)	受賞 (件)
		研究論文	国際会議	その他			
d.lab 教員	88	27	36	55	0	10	11
協力教員	155	70	64	103	0	2	17

4-1

第4章
研究報告 -各研究室-

4.2 研究室構成員(2024年度)

飯塚研究室 構成

飯塚哲也	准教授
ビヤムバドルジゾルポー	助教
ドラン クリステリアン	特任研究員
ヴァタンハガディムベラズ	特任研究員
李 燦 煒	博士3年
王 錫 明	博士2年
張 浩 明	博士2年
加 納 創 太	博士1年
朱 玉 揚	博士1年
竹 中 理太郎	修士2年
許 瑜 昊	修士2年
陈 赧 杰	修士2年
魚 家 傲	修士2年
小 野 まとい	修士1年
佐久間 文 哉	修士1年
湯 浅 太 蔵	修士1年
賈 沅 鑫	修士1年
任 煥 宇	修士1年
占 黎 晨	修士1年
何 永 隼	修士1年
内 田 雅 大	学部4年
大 西 啓 介	学部4年
西 川 賢 尽	学部4年

池田研究室 構成

池 田 誠	教授
松 本 高 士	助教
宮 武 悠 人	助教
松 尾 亮 祐	助教 (2025年1月から)
荒 川 文 男	特任研究員
繆 逸杰 (Yijie Miao)	博士3年 (修了・博士取得現在 特任研究員)
Zeyu Wang	博士3年 (修了・博士取得 現 在 Apple Japan)
Bayasgalan Amartuvshin	博士3年
Anawin Opasatian	博士3年
叶 子楊 (Ziyang Ye)	博士2年
赵 寅帆 (Yinfan Zhao)	博士2年

孙 鹏飞 (Pengfei Sun)	博士1年
竹 島 優 太	修士2年 (現在日本シノプシス)
福 田 桃 子	修士2年 (現在TSMC Japan Design Center)
王 啓睿 (Qirui Wang)	修士2年
中 村 孔 星	修士1年
中 村 優 斗	修士1年
鈴 木 佑 典	修士1年
李 奥 (Ao Li)	修士1年
羽 鳥 智 裕	学部4年 (現在修士1年)
森 上 巧	学部4年 (現在修士1年)
柏 原 玖 都	学部4年 (現在電子情報学専攻 入江研究室修士1年)

内田研究室 構成

内 田 建	教授
須 田 秀 喜	学術専門職員
田 中 美奈子	派遣職員
成 田 雄 紀	博士1年
谷 口 雄 麻	修士2年
吉 永 啓 人	修士2年
欧 陽 劍	修士2年
申 雨 祥	修士2年
財 前 孝 輔	修士1年
齋 藤 兵 悟	修士1年
宇 井 柱 明	学部4年
加 藤 大 海	学部4年
野 口 尚 暉	学部4年
渡 邊 一 輝	学部4年

小菅研究室 構成

小 菅 敦 丈	講師
濱 田 基 嗣	特任教授
天 野 英 晴	上席研究員
丹 羽 正 昭	上席研究員
若 林 一 敏	上席研究員
高 木 剛	主幹研究員
川 野 連 也	特任研究員

二宮健生	特任研究員
最上徹	特任研究員
山本和徳	特任研究員
王俊沙	特任研究員
池田謙一	学術専門職員
岡田光司	学術専門職員
窪田通孝	学術専門職員
近藤翔午	学術専門職員
四手井綱章	学術専門職員
林泰弘	学術専門職員
吉田悟志	学術専門職員
Wai-Yeung Yip	学術専門職員
Jaewon Shin	博士1年
Hung-Chih Huang	博士1年
Jiawei Yu	修士1年
Yuxuan Pan	修士1年
御手洗勇輝	修士1年
内間典子	特任専門職員
豊井弘美	特任専門職員
中島幹子	特任専門職員

小泉真里	学術専門職員
雪田和歌子	学術専門職員
池ヶ谷智子	特任専門職員
松岡一代	特任専門職員
山崎祥子	特任専門職員
原五月	技術補佐員
HARIMURTI, Suksmandhira	博士3年
CHENG, Dongkai	博士3年
DU, Baocai	博士3年
加藤裕	博士3年
WANG, Wenqing	博士2年
WIJAYA, Theodorus Jonathan	博士2年
XU, Ruifeng	博士2年
奥田知華	博士1年
海老原祐輔	修士2年
XU, Jiaying	修士2年
JIANG, Jingyi	修士2年
三室真帆	修士2年
佐々木光生	修士2年
牛丸智晶	修士2年
増田凌	修士2年
鷺見直	修士1年
井内悠	修士1年
阿部大和	修士1年
青木悠登	修士1年
按田智大	修士1年
栗倉幸	修士1年
會田祥太郎	学士4年
安武完	学士4年
見附昂紀	学士4年
中込満博	学士4年
立花卓遠	学士4年
日野玲	学士4年

染谷・横田・山岸研究室 構成

染谷隆夫	教授
横田知之	准教授
李成薰	特定客員准教授
山岸健人	講師
多川友作	特任助教
福澤亮太	助教
高桑聖仁	助教
LIANG, Xiaoping	特任研究員
CHEN, Hongting	特任研究員
YU, Buyun	特任研究員
LIU, Yiming	JSPS 外国人特別研究員
LIU, Wei	JSPS 外国人特別研究員
ZHAO, Dou	JSPS 外国人特別研究員
WANG, Ruiliu	客員研究員
MA, Haoyu	客員研究員
松葉頼重	特任研究員
川島伊久衛	学術専門職員
立花勇太郎	学術専門職員

高木研究室 構成

高木信一	教授
トープラサートボン カシディット	准教授
韓雪揚	博士3年 (工学系)
蔡作成	博士3年 (工学系)
関信義	博士3年 (工学系)

趙 成 謹 博士3年 (工学系)
 名 幸 瑛 心 博士3年 (工学系)
 陳 育 同 修士2年 (工学系)
 鈴木 陸 央 修士2年 (工学系)
 万 明 霞 修士2年 (工学系)
 靳 釗 修士2年 (工学系)
 志 村 瞭太朗 学部4年 (工学部)
 周 亮 安 学部4年 (工学部)
 松 川 浩 之 学部4年 (工学部)
 村 嶋 柊 弥 学部4年 (工学部)

黄 明 智 修士2年 (工学系)
 傅 晟 修士2年 (工学系)
 作 本 宙 彌 修士2年 (工学系)
 脇 田 耀 介 修士2年 (工学系)
 バルダワジダルワイシャン 修士2年 (工学系)
 小 松 健太郎 修士1年 (工学系)
 小 林 研 二 修士1年 (工学系)
 汪 元 品 修士1年 (工学系)
 潘 勁 馳 修士1年 (工学系)
 郭 津 睿 修士1年 (工学系)
 森 温 音 学部4年 (工学部)
 田 鍋 衛 学部4年 (工学部)

竹内研究室 構成

竹 内 健 教授
 松 井 千 尋 特任准教授
 三 澤 奈央子 学術支援専門職員
 Adil Padiyal 博士1年
 劉 汝 暉 博士1年
 薛 寒 熙 修士2年
 王 一 帆 修士2年
 山 内 堅 心 修士2年
 木 原 冬 輝 修士2年
 王 韜 修士2年
 林 达 祺 修士2年
 張 宇 帆 修士2年
 柴 田 行 輝 修士1年
 鈴木 涉 太 修士1年
 平 田 佑 亮 学部4年
 古 川 準之助 学部4年
 井 爪 優 輔 学部4年

中村研究室 構成

中 村 宏 教授
 高 瀬 英 希 准教授
 小 島 拓 也 助教
 上 野 洋 典 客員研究員
 岡 田 怜 士 博士3年
 宮 城 竜 大 博士2年
 李 慧 霖 博士2年
 齋 藤 真 博士1年
 伊 藤 慧 弥 修士2年
 伊 藤 向 子 修士2年
 小 野 悠 太 修士2年
 齋 藤 卓 修士2年
 中 田 雅 貴 修士2年
 野 崎 愛 修士1年
 浦 瀬 英 弘 修士1年
 織 田 悠 希 修士1年
 高 島 和 樹 修士1年
 森 田 昌 樹 修士1年
 徐 宇 東 修士1年
 小 澤 秀 真 修士1年
 劉 丕 業 修士1年

竹中研究室 構成

竹 中 充 教授
 唐 睿 特任助教
 ティバットピヤパクタークン 博士3年 (工学系)
 柴 成 立 博士3年 (工学系)
 柳 柱 栄 博士2年 (工学系)
 張 超 博士1年 (工学系)
 赤 澤 智 熙 博士1年 (工学系)

平本・小林研究室 構成

平本俊郎研究室	
平本俊郎	教授
更屋拓哉	助手
竹内 潔	特任研究員
水谷朋子	特任研究員
鈴木慎一	特任研究員
高倉俊彦	特任研究員
福井宗利	特任研究員
高瀬博行	特任研究員
櫛田知義	特任研究員
伊藤一夫	シニア協力員
周 翔	博士3年
刘子豪	博士3年
金 駿午	博士2年
二木大輝	博士1年
李 珍秀	修士2年
鄭 スジョン	修士2年
霜田龍生	修士1年
馮 子申	修士1年

小林正治研究室

小林正治	准教授
Chitra PANDY	特任研究員
李 卓	博士3年
梅 瀟然	博士2年
呉 承翰	博士2年
糸矢祐喜	博士2年
金 在顕	博士2年
金 成勳	博士2年
郝 俊翔	博士2年
黄 星宇	博士2年
陳 安瀾	博士1年
朴 基雄	博士1年
崔 善洪	博士1年
肖 瑶萍	修士2年
坂井洸太	修士2年
永井歩武	修士1年

三田研究室 構成

三田吉郎	教授
中根了昌	特任准教授(寄付講座ナノシステム集積技術の創製)
肥後昭男	特任講師(ADVANTEST D2T)
安永 竣	助教
黄 吉卿	客員研究員(LIMMS研究所/仏CNRS C2N研究所)
落合幸徳	特任研究員(マテリアル先端リサーチインフラ事業 専任マネージャ)
島本直伸	特任研究員(次世代X-nics拠点形成事業)
坪井伸二	特任研究員(マテリアル先端リサーチインフラ事業 クリーンルーム支援担当)
Anne-Claire EILER	特任研究員(JST CREST)
水島彩子	技術専門職員(マテリアル先端リサーチインフラ事業 技術支援担当)
豊倉 敦	技術専門職員(電気系一般電子実験室, 武田先端知204バックエンド加工室支援担当)
澤村智紀	技術専門職員(武田先端知クリーンルーム管理室)
與田光弘	技術専門職員(武田先端知クリーンルーム管理室)
太田悦子	学術専門職員(マテリアル先端リサーチインフラ事業 技術支援担当)
河井哲子	学術専門職員(マテリアル先端リサーチインフラ事業 ディレクション担当)
大江千明	特任専門職員(マテリアル先端リサーチインフラ事業 事務局)
渡邊かをる	特任専門職員(マテリアル先端リサーチインフラ事業 事務局)

井上 友里恵	学術専門職員 (マテリアル先端リサーチインフラ事業 技術支援担当)
藤原 誠	支援員 (マテリアル先端リサーチインフラ事業 技術支援担当)
中山 雄太	共同研究員 (電気系, コニカミノルタ)
梅田 賢一	共同研究員 (NanoHub, AGC)
三角 啓	博士3年
辻 啓吾	修士2年
島村 龍伍	修士2年
中村 友哉	修士2年
高橋 遼平	修士1年
吉田 安紀彦	修士1年
後藤 将人	修士1年
廣安 幸志郎	学部4年
前川 浩紀	学部4年
ほか 3名	共同研究員

4.3 研究概要

飯塚研究室

(<http://www.mos.t.u-tokyo.ac.jp/iizuka>)

低雑音位相同期回路技術

飯塚 哲也, 張 浩明, 朱 玉陽, 佐久間 文哉,
任 煥宇, 何 永集

ハーモニックミキサ (HM) を用いた PLL は, 量子化雑音 (Qノイズ) や分数スプリアスを抑制するためのキャリブレーションを必要としないことから, 分数-N PLL の有力な選択肢となります。これにより, PLL のセトリング時間を大幅に延長する要因となる, デジタル・ツァイム・コンバータ (DTC) を用いた複雑なキャリブレーションを回避できます。しかし, このアーキテクチャの課題は, 少なくとも1つの補助 PLL を必要とする点であり, それに伴う雑音や消費電力の増加により, ジッタと消費電力のトレードオフが悪化する可能性があることです。そこで本研究では, 電圧ドメインのフィードフォワード雑音キャンセル (FFNC) を適用した HM ベースの分数-N PLL を提案します。第一段の位相検出器 (PD) の出力を第二段の PD の出力に加えることで, 第一段の電圧制御発振器 (VCO) に起因する雑音や消費電力のオーバーヘッドを抑制できます。この手法では, 高速ディレイラインのようにキャンセル対象の雑音成分よりもはるかに広い帯域で動作する回路ブロックを必要としません。また, プロセスばらつきによる雑音キャンセルの影響を抑えるためにアーキテクチャを工夫し, キャリブレーションを不要にしました。提案手法の有効性を検証するために, 65-nm CMOS 技術を用いてプロトタイプを試作し, 測定を行いました。その結果, 106-fs rms のジッタと, 最悪時-63-dBc の分数スプリアスを達成しました。さらに, 提案する雑音キャンセル技術による位相雑音 (PN) の改善を測定結果を通じて示します。

$\Delta\Sigma$ 変調器 (DSM) による量子化雑音 (Qノイズ) の抑制は, 高性能な分数-N PLL の開発において一貫して重要な課題であり, これは現代のワイヤレス送受信機や FMCW レーダーシステムにおいて求められています。分数-N PLL の代表的なアーキテクチャとして, DTC ベース PLL, HM ベース PLL, カスケード PLL が挙げられますが, それぞれに課題が存在します。DTC ベース PLL は, DTC のゲイン誤差や直線性の影響を受けやすく, PLL のセトリング時間を長引かせる複雑なキ

ャリブレーションが必要となります。HM ベース PLL は, ミキシングスプリアスの影響を受ける可能性があり, それを抑制するために専用のアナログローパスフィルタが必要となるため, 設計の複雑化やチップ面積の増大を招きます。カスケード PLL は Qノイズを抑制できますが, 整数近傍の分数チャンネルで発生する帯域内分数スプリアスを低減できず, 最終的に全体のジッタ特性を劣化させる可能性があります。そこで本研究では, 単一の DSM で駆動される2つの MMD を用いたカスケード PLL を提案し, Qノイズの抑制を実現しました。補助 MMD を2つの PLL の間に配置し, 元の量子化誤差 (Qエラー) を再現することで, 2つの誤差が位相検出器 (PD) に認識される際にキャンセルされるように設計しました。周波数分周は線形な演算であるため, 提案手法は DTC のようなキャリブレーションを必要とせず, また MMD は PLL の基本的な構成要素であるため, HM ベース PLL のような設計の複雑さを伴いません。さらに, 本手法は従来のカスケード PLL と比較して, Qノイズと分数スプリアスの両方をより効果的に抑制できます。本 PLL は 65-nm CMOS プロセスで試作され, 96-fs rms のジッタおよび最悪時-70.6-dBc の分数スプリアスを達成しました。

PLL アーキテクチャがますます複雑化するにつれ, フラクショナル-N PLL においてジッタと消費電力の性能を計算のみで最適化することが困難になっています。さまざまなアプリケーションのジッタ-消費電力要件を満たす最適な PLL アーキテクチャを見つけるためには, 異なる PLL アーキテクチャの最適なジッタ-消費電力関係を求めるための, シンプルかつ汎用的な手法が求められています。本研究では, 複雑化するフラクショナル-N PLL の効果的な最適化のために, 多目的進化アルゴリズム (MOEA) を活用したハイブリッド最適化手法を提案します。本手法は, 従来の研究で計算によって解析されていた手法とは異なり, フラクショナル-N PLL のジッタと消費電力を同時に最適化することを可能にします。本手法を用いて, DTC ベース PLL および HM ベース PLL という代表的な2つのフラクショナル-N PLL アーキテクチャにおいて, LC-VCO および RVCO を含む最適なジッタ-消費電力のトレンドを導出・比較しました。この比較フレームワークにより, 無線通信や有線通信といった特定のアプリケーションに最適なアーキテクチャを判断することが可能に

なります。本解析を通じて、各PLLアーキテクチャの性能の違いを明らかにし、さまざまなアプリケーション条件下での有効性についての洞察を提供することを目指します。

量子化雑音を抑制するための効果的な方法として近年活発に研究されているテーマがDTC (Digital-to-Time Converter) である。DTCは回路に与える遅延を制御することにより量子化雑音を打ち消すことができるが、キャリブレーションを必要とするためロック時間の増大を招く要因になる。また、DTCには非線形性があり、その程度によりスパークを生じさせる。その影響を減らすための手法としてDTCのレンジを狭めることにより非線形性を小さくするレンジリダクション技術、Constant-Slope DTCをはじめとする線形性の高いDTCの設計技術、線形性を補償するキャリブレーション技術などの研究がされている。また、我々の研究ではHMベースのPLLにDTCを組み合わせることで、さらにPLLのFoMを高めることができると考え研究を進めており、我々が行った最適化ではすでにこの手法のFoM上の優位性が示されている。DTCにより量子化雑音は打ち消される上に、HMベースのPLLの性質からDTC由来の熱雑音、量子化雑音、スパークも増幅されない。そのため、この手法ではFractional-N型PLLに比べてDTCの熱雑音や非線形性の制約が緩くなるため、DTC自体やそのキャリブレーション回路の電力や設計コストを抑えることができる。

提案するスピン波検出システムの送信側では、マルチフェーズ出力を備えたフラクショナル-N型のインダクタ不要PLLが必要です。また、広いチューニング範囲 (1GHz~3GHz) と比較的低いジッタ (800fs) が求められるため、PLLのループ帯域を拡張する技術を採用する必要があります。フラクショナルモードを実現するためにDSMを使用する場合、QEキャンセル技術も適用すべきです。現在、PLLのシステムレベルシミュレーションのコードを作成しており、要求を満たす最適なPLL構造を検討しています。

5G NR n257バンドをカバーするQVCOの設計を目指し、シミュレーションにおいて187 dBcのFoMを達成しました。この結果は有望な性能を示していますが、PLLシステム設計における実装上の課題に対応するためには、さらなる最適化が必要です。加えて、ミリ波設計において超低位相雑音を実現するための可能性を

探るべく、直列共振VCOに関する文献調査を行いました。現在進行中の研究として、ハーモニックミキサーベースPLLに関する詳細な調査と振る舞い解析を進めています。これらの取り組みは、将来のミリ波周波数合成の設計改善に向けた確固たる基盤を築くことを目的としています。

高速・高精度変換回路とその自動設計技術

飯塚 哲也, 李 燦煒, 王 錫明, 竹中 理太郎,
許 瑜昊, 陈 贇杰, 内田 雅大

標準セルを基盤としたアナログ回路は、高い再利用性、高度な集積性、自動設計との互換性、信頼性、安定性など、多くの利点を持ち、現在および将来の研究において非常に有望です。私たちは、標準セルを用いたパイプラインSAR ADCを設計し、標準セルベースのコンパレータ、アンプ、キャパシタ、スイッチなどのブロックを統合しました。各ステージは、SAR ADCアーキテクチャに従い、ビット推定のためのDACの事前バイアスを必要としません。標準セルベースのアンプの第1段には、AOI (AND-OR-INV) ロジックを用いた高ゲインの静的アンプを採用し、第2段にはコモンモード電圧シフターを配置しました。この設計により、Walden Figure of Merit (FoM) がさらに低減され、電力効率が向上します。さらに、より単純な標準セルベースの合成可能なSAR ADCに対して、デジタルPlace & Route (PR) ツールを活用した自動レイアウト生成フレームワークを構築しました。PRルールを最適化することで、レイアウト後のシミュレーション結果を改善し、手動設計によるレイアウトとより近い後工程の特性を実現しました。

高精度・高電力効率なADC設計のために、今年度もFloating Inverter Amplifier (FIA) を用いた完全ダイナミック離散時間 $\Delta\Sigma$ ADCに関する研究を続いた。および昨年から継続しているCLSによるゲインブースト・SNCによるノイズキャンセルに加え、昨年提案した技術であるFast Self-Quenching FIAを用いてCRESを再利用し、SNCのために高電力効率な積分器を提案した。そして、2次5レベル完全ダイナミック離散時間 $\Delta\Sigma$ ADCの回路設計およびチップ試作を行い、その性能を実測により評価した。今年度は昨年のチップのテスト結果に基づき、十分に分析と検証を行い、シミュレーション結果と比べて性能が低下した原因をまとめた。試作し

たチップの性能低下を避けるために、今年は再設計を行い、同時にゲインスイッチドフローティングインバータアンプを提案した。この設計により、より安定したゲイン変換を実現し、SNCの効果が向上した。また、第一階積分器の消費電力も大幅に低減した。さらに、2種類の離散時間 $\Delta \Sigma$ ADCの回路設計およびチップ試作も完了した。

近年では5GやWi-Fiなどの無線通信機器のため、高速、高精度かつ低消費電力のアナログ・デジタル変換回路(ADC)が求められている。従来はパイプライン型ADCが主に用いられていたが、精度の高い増幅器が必要であり、特に微細化したCMOSプロセスでは実現が困難であった。提案する増幅器切り替え型サブレンジングADCは、変換の精度が増幅器に依存しないため、微細プロセスであっても高い精度と速度を両立することが可能である。加え、入力容量や消費電力を従来の2割以下に抑えられる複数閾値を持つ比較器、チップ上で大きな面積を占めるADC基準電源のデカップリングコンデンサの容量を90%削減する分割基準電源を提案した。提案手法は28nm CMOSプロセスにより試作と性能の検証を行い、560MHzのサンプリング周波数では9.8mWと低消費電力でありながら73.4dBの高いSNDRを達成した。電力効率を表すSchreier FoMは176.7dBであり、帯域幅が100MHz以上のADCとしては最高である。

無線受信機や生体信号のセンサーなどでは、入力信号の振幅が大きく変化するため、ダイナミックレンジが高いADCが求められる。分解能の高いADCは消費電力が大きく設計が複雑であるため、従来はADCの前端に可変ゲイン増幅器(VGA)を用いていた。しかしVGAも消費電力が大きく、また電源電圧が低い場合は線形性を確保することが困難であった。可変ゲインADCは、ADCのフルスケールを可変させることで、VGAと同等の機能を持つ。提案する可変ゲインADCは増幅器を用いず、ゲインの調整をスイッチトキャパシタ回路で行うため、低い消費電力と高い線形性が実現可能である。提案手法は65nm CMOSプロセスにより試作と性能の検証を行った。サンプリング周波数が100MHzの時の消費電力は0.6mWと低く、8ビットの分解能でありながら76.5dBと高いダイナミックレンジを実現した。

通信技術の基準は4Gから5Gへと進化を遂げ、現在

ではさらに次世代の6Gに向けた検討が進められている。目指す新しい通信基準は、超広帯域の能力を特徴としており、より広範囲の周波数帯をサポートし、データ転送の速度を大幅に向上させることが求められている。超高速データ通信を可能にするための技術の一つとして、超高速デジタルアナログ変換器(DAC)の研究開発が急務である。単一DACの内部寄生成分と部品特性のため、その性能をさらに進化させることが困難である。

近年では、インターリーブ技術がDACに頻繁に組み込まれている。特に時間インターリーブ型DAC(TI-DAC)があります。以前のTI-DACに関する研究では、4チャンネルの場合には、異なる周波数のクロック間の位相誤差の整列や、非常に小さい出力スケールなど、いくつかの潜在的な設計上の問題が明らかにされている。

今年の研究では、既存の設計上の制限を効果的に改善しつつ、サンプリングレートを維持し、良いSFDRを実現する20 GHzの時間インターリーブ型DACを提案した。提案されたTI-DACは、単段のMUXと最終出力での直接合計を特徴としている。理想的な場合には、提案されたTI-DACはニュイスト周波数の65%まで63dBのSFDRを維持することができるが、一方、既存のTI-DACはニュイスト周波数に達することができず、出力電力の損失によりSFDRが8dB低下する。この提案された構造は、2つのMUX TI-DACからの出力を直接合計することで2段目のMUXを置き換える。この変更により、クロック設計が大幅に簡素化され、複雑さが減少しながらシステムの精度が維持される。

逐次比較(SAR; Successive Approximation Register)型アナログ-デジタル変換器(ADC; Analog-to-Digital Converter)において、内部の論理回路による速度性能のボトルネックを回避し、そのサンプリング速度を向上させ性能最適化を行う手法について検討し、上述のダイナミック回路への置換プロセスをよりシステムティックに行うためのワークフローを提案した。これにより、論理回路設計の経験が浅い人でも、回路の最適化をより容易に行えるようになる。この最適化ワークフローをより効率的に実行するために、スタティックタイミング解析(STA; Static Timing Analysis)を用いて、タイミング制約を迅速に評価する手法を提案した。この手法は、28nm CMOSプロセスで設計された10-bit

SAR型ADCを例として用い、2種類のスタティック論理回路に対してデモンストレーションが行われ、その有効性が示された。さらに、ダイナミック回路にSTAを適用するためには、適切なキャラクタライゼーションが必要となる。これに対応するために、ダイナミック回路専用のライブラリファイルの構築手法を提案した。加えて、特性評価を迅速に行うための自動化テストベンチも提案した。この自動キャラクタライゼーションプロセスの有効性は、異なるサイズの2つのダイナミックNANDゲートを用いた実験結果により検証された。

近年スマートフォンなど無線通信を行う小型機器の普及により、高速かつ高精度であり、さらに低消費電力なadcが求められている。高い精度を維持するためには様々なノイズの抑制が不可欠であるが、サンプリングノイズを小さくするためには容量を増やす必要がある。低消費電力化を妨げる要因になる。またこのノイズの従来のキャンセリング手法では高速なadcへの適応が難しい。そこで高速に動作する場合でも適応できるキャンセリング手法を提案した。従来の方法で動作を律速する要因となっていたアンプをサンプリング時のみ使用し、変換時は2組の入力トランジスタを持つコンパレータで、dac出力とサンプリング信号を重み付け加算後、比較し変換することで高速化を図った。シミュレーションを行った結果、サンプリング周波数を従来の40MS/sから64MS/sに上昇させることができた。

深宇宙探査機向けワンチップ送受信機の設計

飯塚 哲也, 加納 創太, 大西 啓介

民間を含めた挑戦的な深宇宙探査の流れが加速するなか、探査機の小型化に対する需要が高まっている。特に必要不可欠な構成要素の1つである通信モジュールの小型化、軽量化、およびコスト削減の要求が大きくなっている。最近の超小型惑星探査機では主にコスト削減を目的として民生品を使用するケースが増加しているが、民生品を広範囲に使用するシステムの信頼性を確保することは困難であり、長期間の深宇宙探査ミッションへの応用に際して大きな障壁となっている。そこで、通信モジュールを構成する送信機、受信機、デジタル信号処理をワンチップに統合することが提案されている。これにより回路全体のサイズを極めて効率的に縮小できるだけでなく、機能の全てが一つの部

品に集約されるため、信頼性の担保が現行の無線通信機と比べて容易にできる。

本研究では、深宇宙探査機向けワンチップ通信機の実現に向けて、X帯(7.2 GHz)の受信回路の設計および試作を行った。前年までには、受信機フロントエンドのプロトタイプチップの試作および実測評価をTSMC 65 nm CMOSプロセスを用いて行った。プローブステーションによる測定の結果、2.3 dBの雑音指数が得られ、過去のオンボード実装されたトランスポンダと同等の受信感度をCMOSチップ単体で実現し得ることを示した(発表文献[1])。今年度はワンチップ通信機の可用性をさらに高いレベルで実証するため、フロントエンド回路に加え位相同期回路(Phase-locked loop; PLL)、中間周波数増幅器、アナログ・デジタル変換器(A/D converter; ADC)を含むワンチップ受信回路システムを設計し、65 nm CMOSプロセスでチップを試作した。現在評価用プリント基板への実装を行っている段階であり、ビットエラーレート測定およびフェムト秒レーザによる放射線試験を予定している。

ワンチップ化によって浮上してくる問題点もある。半導体デバイスの放射線耐性の低さである。特に宇宙ミッションでの運用の場合、高エネルギーの放射線に長期にわたって晒されることが想定されるため、有効な放射線対策の実現は重要な課題となると言える。

本研究は、放射線の回路における影響をシミュレーション及び試作チップに対する放射線照射試験を通して評価・解析し、深宇宙探査機向けワンチップ無線通信機向け電圧制御発振器(Voltage-controlled oscillator; VCO)の放射線耐性向上手法を確立することを目的とする。

NMOS型VCO、CMOS型VCO、Dual-Core VCOにおける放射線の影響をシミュレーションにより比較した。また、CMOS型VCOにおいてローパスフィルタとしての特性を持つAC結合バッファを用いることで、放射線耐性を向上する手法を検証した。

その結果、CMOS型VCOにおいては発振波形の振幅減衰や位相変化が少なく、放射線耐性が他のVCOと比べて高いことが確認された。また、AC結合バッファを介して発振波形を出力することで、減衰した波形を復元できるほか、放射線照射によって生じる低周波変動を抑えることができることが確認された。

CMOSアナログ回路によるニューロン素子の実装とその応用

飯塚 哲也, ビヤムバドルジ ソルポー,
ドラク クリスティアン, 西川 賢尽

人工知能 (AI) は、パフォーマンスと効率を競う新しいモデルパラダイムに向けて進歩を続けています。最近、ChatGPT と Deepseek が LLM の効率に関する議論の中心でした。Deepseek はオープンソースと低予算の計算要件を目指していますが、プライバシー、セキュリティ、実装、移植性に関する問題が発生します。現在、AI の処理はハードウェアのアーキテクチャによって制限されています。カスタム処理アーキテクチャは GPU や NPU などの電力を大量に消費するため、個人での使用には適していません。この傾向は、持続可能な AI を実現するにはパラダイムの変更が必要であることを示しています。

処理の問題を解決するために、アナログ コンピューティングは特定のタスクで有望な結果を示しています。今日のアナログ プロセッサは、実際の生物学的ニューロンの動作を模倣し、ネットワークの構築に使用できます。このアナログ コンピューティングは、スパイク ニューラル ネットワーク (SNN) やリザーバ コンピューティング (RC) などのさまざまな学習モデルで改善を続けています。SNN の実装として選択されたのは、生物のケースに最も類似している積分リークおよび発火 (LIF) ニューロンです。LIF ニューロンをリザーバ コンピューターとして使用することで、アナログ ニューラル ネットワークは FORCE アルゴリズムを使用して周期波形を学習したり、オープン ループ フィルターの最適化でメモリベースの計算を実行したりできます。

この研究の継続は、リザーバコンピューティングを使用してアナログ計算を実行するための物理的な CMOS ベースの LIF ニューロンに向けて進んでいます。実装された LIF ニューロンは、ゲートリークのある MOS コンデンサ、統合用の複数のスイッチングコンデンサ、および電圧制御発振器 (VCO) を使用した発火で構成されています。以前のチッププロトタイプは、いくつかの学習アルゴリズムに対して正常に測定およびテストされました。測定値は、昨年開発された学習シミュレーションモデルと一致しています。チップは、カウンターの形式でニューロンの状態を取得す

るカスタムマイクロコントローラーと通信します。このようなカウンターは、ニューロンの状態に依存する VCO の周波数を測定します。ニューロンの状態の測定値を組み合わせることで、さまざまなアルゴリズムで学習機能をフィルター処理および最適化できます。学習は、バイナリ短期記憶 (STM) や遅延ベースの XOR 関数などの基本的なテストで機能します。線形メモリ容量 (MC)、非線形メモリ容量 (NLMC)、NARMA10 関数予測ベンチマークなどのアナログ学習ベンチマークも可能です。最後に、リザーバ内でフィードバックベースの学習を実行し、100 Hz から 350 Hz までの周期波形を学習しました。リザーバのエネルギー消費量は 22.4 pJ/サイクルです。

新しい開発は、スイッチングしきい値電圧 (V_t) を動的に調整することでニューロンの状態を記憶する革新的な酸化物ベースのトランジスタである STOFET という新しいデバイスによって達成されました。STOFET の主な特徴は、回路設計に大きな面積を占めるコンデンサがないことです。発振器ベースのニューロン回路に統合された STOFET 設計は、 V_t 変調によるリーク統合と発振器による発火が可能です。STOFET ベースのニューロンのモデルは、接続性をテストする Python でモデル化されました。このような機能により、STOFET ベースのニューラル ネットワークをリザーバ コンピューティングに使用できます。このシステムは、遅延タスクでの短期記憶と学習を実証し、既存の FPGA プラットフォームと互換性のある低電力ニューロモルフィック ハードウェアの可能性を強調しました。

最後に、今年、接続性が改善されたチップが TSMC の 65nm CMOS テクノロジーで製造されました。このチップには、1000 個の LIF ニューロンを備えた新しいバージョンの FPGA が含まれています。100 個のニューロンの接続と設定は完全に構成可能です。900 個の追加ニューロンは個別に構成可能ですが、基本的な方法でのみ接続できます。ニューロン設計には、以前のプロトタイプ チップの測定で検出されたエラーの修正が含まれています。チップは、入力パルスをより適切に制御するために重みモジュール、グリッチを回避するために出力ステージ、および消費電力を改善するために発振器を具体的に変更します。このチップは 12 月に納品され、測定が行われています。

無線通信用アンテナ計測・試験技術

飯塚 哲也, ビヤムバドルジ ソルポー

5Gテクノロジーでは、ミリ波周波数と小型端末に依存するテクノロジーのため、5Gアンテナの無線 (OTA) 測定が必要です。従来のOTA測定は遠方界測定に基づいていました。ただし、ミリ波では、パス損失が大きく、測定精度が低いため、遠方界測定はほとんど実行できません。したがって、ミリ波範囲でのOTA測定の代わりに近傍界測定が行われます。遠方界測定データは、近傍界から遠方界への方法を使用することにより、近傍界測定から取得できます。

これまで、プローブやテスト対象アンテナ (AUT) としてさまざまな種類のアンテナが使用されてきました。近傍界測定では、測定時間とプローブ設計が最も重要な要素であることはよく知られています。28GHzをターゲット周波数としたデュアルフィードマルチプローブの設計に成功しました。このマルチプローブは、複数の位置で同時に二重偏波信号を受信でき、測定結果から偏波比が20dB以上であることを確認しました。このマルチプローブを使用すると、スキャン空間で複数のサンプルを取得することで、近傍界測定時間を大幅に短縮できます。一般的なVNAにはポートがいくつかしかないため、これらの複数の信号をキャプチャするために新しいキャプチャシステムが開発されました。システムとマルチプローブの概念実証として、複数のAUTをキャプチャし、比較的良好な遠方界特性を再生することに成功しました。

今年度は、FPGAボードを搭載したマルチプローブと複数のRF受信機を活用して測定を強化し、無線 (OTA) 測定時間を短縮しました。遠方界放射パターンにヌルを持つさまざまなテスト対象アンテナ「AUT」を使用することで、近傍界の放射から遠方界の放射への変換アルゴリズムを検証する絶好の機会が得られます。徹底的な測定を行った結果、マルチプローブ設定による多重反射が変換性能を大幅に低下させることが分かりました。ただし、電磁波吸収材を効果的に使用することで、この反射の問題を効果的に軽減できます。検証中、再構成された遠方界放射パターンは基準パターンと高い一致を示し、正規化した平均二乗誤差「NMSE」は-46dBに達しました。

広帯域スピン波検出システムの設計

飯塚 哲也, 朱 玉揚, 魚 家傲, 賈 沅鑫, 任 煥宇

スピン波は電子スピンの集合的な励起であり、熱損失なしに情報を伝達できることで新世代の超低消費電力コンピュータを実現する可能性を秘めています。しかし、オンチップでの検出はこれまで大きな課題でした。本研究では、インダクタ不要のスピン波検出システムを開発することでこの課題に取り組んでいます。

設計を進めるうえで、私たちはシステムレベルのシミュレーションを活用しています。MATLABモデルを構築し、送信器および受信器全体を評価した結果、800 fsの統合ジッタを持つPLLが、ターゲットとするLNAと同程度のノイズを生じさせることが判明しました。これは設計目標を定めるうえで重要な知見となっています。

受信器側では、従来の研究をもとにLNAの第1段の性能向上に注力しました。シミュレーションでは、利得が36.91 dB、ノイズフィギュア (NF) が1.667 dB、帯域幅が0.17~2.57 GHzから0.15~2.9 GHzへ拡張されたことが確認されています。今後はLNAのレイアウト設計とレイアウト後シミュレーションを実施し、さらなる最適化を行う予定です。

送信器側では、HMベースの二重フィードバック構造を採用したインダクタ不要のPLLを設計中です。広帯域での量子化ノイズ抑制にFIRフィルタを活用し、またzero-ISFサブサンプリング位相検出器と非50%デューティサイクルのリングオシレータ (RO) を組み合わせせた、広帯域かつ低リファレンススパーPLLも導入しました。これにより2.5 GHzにおけるzero-ISF領域を拡大し、高周波数帯域でのノイズとスパーを低減しています。テープアウトとPCB設計はすでに完了しています。

測定では、R&S信号発生器からの標準信号を用いてキャリブレーションを行った結果、提案する受信システムでスピントロニクスデバイスが生成するスピン波を検出できるようになりました。セットアップは2種類あり、1つはデバイス、Keysight VNA、本システム間のリファレンスキャリブレーション用、もう1つはスピン波を直接検出するための構成です。新しい受信器はスピン波とノイズを明確に区別し、VNAの測定結果ともよく一致しています。これにより、インダクタ不要のスピン波検出システムの実用性が実証され、オンチップ応用への大きな一歩となりました。

ミリ波集積回路技術

飯塚 哲也, 湯浅 太蔵, 小野 まとい

データトラフィックの増大や周波数資源の枯渇などにより、集積回路の動作速度はますます高まっている。また、低雑音動作や消費電力の低減も、重要な性能要件となっている。一方で、高周波帯における回路設計には、回路素子のモデルの不正確さやデバイスの動作速度の限界といった障壁がある。本研究では、TSMC 28nm CMOS プロセスにおいて、ミリ波帯における集積回路の設計技術の確立と、それを実証するための位相同期回路 (Phase-Locked Loop, PLL)、電圧制御発振器 (Voltage Controlled Oscillator, VCO) の実装を目指す。PLL と VCO は RF テスタへの応用を見据え、広帯域と低位相雑音の実現を目標とする。

PLL は参照信号を受け取り、周波数を通倍し位相を同期させて出力する回路である。回路内に様々な雑音源が存在し、雑音が現れる周波数も異なる。したがって、PLL の出力端での雑音を低減するためには、適切なループ帯域幅やアーキテクチャの選択が不可欠である。本研究では、高調波ミキサ (Harmonic Mixer, HM) を用いた HMPLL を実装する。HMPLL は、分周器の代わりに HM を用いるアーキテクチャであり、ループ内で雑音が増幅されないことやキャリブレーションが不要であることなどが主な利点である。今後は、HM 部分を中心に、回路全体の実装を進めていく。

また、高性能な PLL の実装にあたり、VCO へ要求される性能もより厳しくなる。VCO の出力周波数は PLL の出力周波数に直結し、雑音はハイパスフィルタリングされて PLL の出力端に現れる。VCO には複数の種類が存在するが、雑音性能や動作周波数を考慮し LC-VCO を選択した。VCO のチューニングレンジ拡大のための手法として、一般的にはバラクタやキャパシタバンクなどが用いられる。今後は、スイッチにより切り替え可能なインダクタやマルチコア、マルチモードの発振など、新たな手法を実装・検証していく。

さらに、ミリ波帯で動作する回路の設計においては、デバイスモデルの信頼性が大きな問題となる。寄生成分の影響に加え、ミリ波帯ではファウンドリが検証を十分に行っていないこともあり、シミュレーション結果と実際の特性には誤差が生じる。素子のレイアウトを設計し、電磁界シミュレーションを行ったとしても、デバイスの正確な特性を得ることは難しい。したがっ

て、ミリ波帯においては、回路設計に先立ってデバイスモデルを作成することが必要不可欠である。回路素子を複数搭載した TEG (Test Element Group) を設計し、モデルと測定結果の誤差の修正を繰り返し、より正確なデバイスモデルを作成する。

磁気トンネル接合デバイスの高速通信への応用

飯塚 哲也, ヴアタンハガディム ペラズ, 占 黎晨

このプロジェクトの目標は、光子シフトレジスタ (PSR) の形で接続された磁気トンネル接合 (MTJ) デバイスのアレイと通信するための電気インターフェイスを開発することです。この作業は、物理デバイスの特性評価、システム全体のモデルの開発、クロック分配と読み出し回路の詳細な仕様の決定など、相互に関連する可能性のあるいくつかの段階と方向で構成されています。

過去 1 年間、MTJ デバイスの開発を担当するグループから提供された 2 つの異なるサンプルセットについて、実験室で測定を行いました。2 つ目のサンプルセットは、当グループからの改善提案に基づいて準備されました。測定は主に、散乱パラメータ (S パラメータ) の取得と、印加電流から生じる電圧値の決定で構成され、この値を使用して抵抗を調べました。抵抗値をデバイス開発者が報告した値と比較したところ、良好な一致が見られました。また、S パラメータを使用して、同様の周波数領域動作を示す同等の電気回路も見つけました。

私たちのグループは、シフトレジスタのペアを形成する D 型フリップフロップ (MTJ デバイスのデータストレージの側面を表すメモリ要素として機能) に基づく PSR の MATLAB および Simulink モデルにも取り組みました。このモデルは入力ビットストリームを受け取り、操作開始から経過したクロックサイクル数に応じて、2 つのシフトレジスタのいずれかにそれを送信します。1 つのレジスタがいっぱいになると、最初のシフトレジスタに格納されているデータが読み出される間、データは他のレジスタに送信されます。このようにして、新しいデータが書き込まれている間にデータを読み取ることができます。システムレベルのモデルブロックには、MTJ デバイス用の等価回路も含まれています。読み取り中、これらのデバイスに電流が流され、その結果生じる電圧が比較器 (コンパレータ) セ

ットの1つの入力に流されます。比較器セットは、この電圧を2番目の入力に流されたしきい値電圧と比較することで、格納されているビットを0または1として解釈します。

デバイス開発チームによると、MTJ デバイスの各ペア間、つまり各デバイスから接地までの電気経路に小さな抵抗があるそうです。分析とシミュレーションを通じて、さまざまなパラメータ（適用電流など）と条件下でこの余分な抵抗の影響を調査し、システムで許容される電圧レベルに基づいて許容できる抵抗の大きさを決定することを目標としました。

上で説明した追加の抵抗の影響は、シフトレジスタの異なる部分に接続された読み出し回路内の比較器が、異なる同相（コモンモード）電圧レベルで動作する必要があることです。私たちのグループはまた、いろいろな同相レベルに対応でき、さまざまな同相電圧にわたって低ノイズ動作と安定した遅延（出力信号を生成するために必要な時間）を示す新しい比較器設計を提案しました。PSR インターフェースの実装段階では、この種の構成要素を使用する予定です。

現在、そして来年度（2025年度）に向けて、システム内のクロック方式のより具体的な詳細化や、外部からクロック入力がない場合の異なるクロック信号の回復と生成に取り組んでいます。また、必要に応じて追加要素を組み込むためにシステムレベルモデルをさらに開発し、過去1年間の作業と結果に基づいて仕様を確定した後、比較器やタイミング関連ブロックなどの一部の回路ブロックと構成要素の実装を進めます。

池田研究室

(<http://www.mos.t.u-tokyo.ac.jp>)

格子ベース耐量子計算暗号の実装

池田 誠, 孫 鹏飞, 中村 優斗, 森上 巧

量子計算機の実用化にあたってはRSA暗号や楕円曲線暗号といった古典的な暗号が破られてしまうという脅威が存在している。そこで、耐量子計算機性を持つ、耐量子計算機暗号（PQC：Post-Quantum Cryptography）が複数考案されている。我々は鍵カプセル化メカニズムであるCRYSTALS-Kyber、デジタル署名であるCRYSTALS-Dilithium、を対象として、専用ハードウェアによる高速化を行っている。

CRYSTALS-Dilithiumに特化したASIC用アクセラレータの実装が完了し、既存の研究にくらべて4倍程度の高速化が確認された。昨年度に実装されたCRYSTALS-KyberとのASIC上での統合に向けての、実装が進んでいるほか、FinFETテクノロジーを使用したアクセラレータについても検討が進められている。

Crystals-Kyberと共有して使用されるアクセラレータに加えて、リソース圧縮とサイクル数削減を実現するCRYSTALS-Dilithium向けの独立したFPGA実装も実現している。広範なリソース再利用とセグメント化されたパイプライン設計を最大限活用することに焦点を当てた実装により、既存の実装と比較して、リソース消費と最大周波数条件をほとんど変更せずにクロック要件を30%以上圧縮することが期待される。

我々はまた、多くの格子ベース耐量子計算機暗号や完全準同型暗号で登場するコストの高い演算である数論変換（Number Theoretic Transform; NTT）やmodular演算に着目している。複数の多項式次数（ n ）及び加算・乗算の法（ q ）に対応する数論変換ハードウェアの設計を行った他、演算器及びデータパスの統合により、 n と q の双方を回路の製造後でも変化可能とする設計を実現した。

ハッシュベースおよび同種写像ベース耐量子計算機暗号の実装

池田 誠, 竹島 優太, 中村 孔星

ハッシュベースの耐量子計算機署名SLH-DSAは、他の署名と比較し鍵長が短いという利点があるのに加え、ハッシュの衝突困難性のみを安全性の根拠としているため今後破られる可能性が低いとされている。一方、計算に要する時間は長く、ハードウェアによる高速化が求められる。我々はスループットの向上だけでなくレイテンシの短縮を目的とし、SHA2とSHAKEの両方に対応可能な互換性のあるハードウェアの設計を行った。SHA2演算器の方がクリティカルパスが長くサイクル数も多いため、特にSHA2演算器の最適化に重点的に取り組んだ。その結果、他の実装と比較して、面積遅延時間積に関して最大20倍の性能向上を達成した。

同種写像暗号はSIKEが破られて以降、さまざまな暗号アルゴリズムが考案されている状況にある。その中でもFESTA, QFESTA, SQI-sign2Dなどは同種写像暗号の中で計算速度、ビット幅ともに優れており、これら

に共通する(2,2)-Isogenyに着目して専用ハードウェアの設計を行った。ビット幅の大きい2次拡大体演算を効率的に行う演算器を配置し、さらにキャッシュメモリの最適割り当てを行うことによってpython実装よりも30倍の高速化を実現した。

暗号アクセラレータの自動設計

池田 誠, 福田 桃子, 鈴木 佑典, 柏原 玖都

複雑なアルゴリズムを実装する際、ASICやFPGAを用いた専用ハードウェアの開発では、汎用CPU上でのソフトウェア実装と比較して、並列性を活用することで低消費電力かつ低レイテンシでの処理が期待される。しかし、ハードウェア実装では、アルゴリズムに適したアーキテクチャの設計、データ依存性を考慮した処理順序の最適化、さらには演算器の並列性やパイプライン化など、設計パラメータの検討が必要となる。そのため、開発には膨大な人的・時間的コストがかかるという課題がある。

そこで我々は、属性ベース暗号やペアリング暗号などの高機能暗号の実装において、並列処理のスケジューリングを自動生成する手法を実現した。これにより、演算器の最適な並列数やパイプライン段数の探索を効率的に行うことが可能となった。

さらに、単一始点最短経路問題を解くための並列アルゴリズムであるDelta-Stepping法の実装では、複雑な多重ループとノード探索の競合が生じ、RTL設計における大きな課題となっていた。これに対し、我々は高位合成を利用してスケラブルなネスト型パイプライン構造を持つアーキテクチャを提案し、従来の実装と比較して優れたアクセラレータを実現した。

暗号アクセラレータの設計最適化

池田 誠, 松本 高士, 松尾 亮祐, 荒川 文男,
Anawin Opasatian, Bayasgalan Amartuvshin,
王 啓睿, 羽鳥 智裕

さまざまなレベルにおいて暗号アクセラレータの設計を向上させる手法を検討します。モジュールレベルでは、暗号処理における基本的な演算であるモジュラ乗算の最適化に注力します。低レイテンシを実現するため、事前計算された値を利用するManipulated Lookup Table法を提案し、効率的な計算のためにインターリーブ型Montgomeryモジュラ乗算器の実装改善を検討しま

す。暗号レベルでは、低消費電力の楕円曲線暗号(Elliptic Curve Cryptography)アクセラレータの実装に向けた高度な手法を探ります。さらに、高性能化のために、複数モジュラスユニットアーキテクチャを用いた自動スケジュール生成により、属性ベース暗号(Attribute-Based Encryption)の最適な構成を探索し、先行研究と比較して優れた性能を実現します。

ニューラルネットワークとそのセキュリティ

池田 誠, Zeyu Wang, 繆 逸杰

ニューラルネットワーク(NNs)の様々な実応用における課題解決に取り組み、SWとHWの両面からアプローチを行った。まず、SPAD距離センサー応用において、画素からの出力をNNで直接処理する手法は処理フローを大幅に簡略化できるため期待されていたが、最適モデルの未確立と厳しいハードウェアリソース制約が課題であった。これに対し、我々はSPAD出力の特性に着目した当該分野初の特化型モデルを提案した。その結果、精度と効率の両面で既存モデルより大幅な優位性を実現し、ASICによる実装評価では、約7.5Kゲートという小規模な回路で画素内実装の可能性を示した。また、より一般的なエッジデバイス応用向けに、自己同期データパスを用いたバイナリニューラルネットワークアクセラレータを提案し、動作範囲変動下でも高いスループットと省エネルギー性を実現した。提案した非同期技術に基づき、SWとHWを共同最適化したニューラルネットワークモデルのストリーミングアーキテクチャ開発にも取り組んでいる。一方、クラウドコンピューティングにおけるNN応用では、プライバシー保護対策として準同型暗号(HE)が注目されているものの、処理効率の大幅な低下が実用化への障壁となっていた。この課題を克服するため、専用ハードウェアアクセラレータを開発した。パイプライン化された暗号文乗算器と効率的な周辺回路の実装、さらにHE操作のスケジューリングの最適化により、CPU実装と比べて1200倍以上の高いスループットを実現した。

秘密分散演算の実装

池田 誠, 趙 寅帆, 李 奥

複数のデータの所有者が、互いのデータを秘匿にした状態で、データの演算を可能とするマルチパーティ

計算(MPC)手法の一つである、秘密分散演算手法は、個々の情報の秘匿性お担保しつつ、安全に演算を行うことを可能とするものである。本手法は、一般的には、演算中のデータ通信の帯域、遅延が大きな課題として挙げられるが、本研究では、低遅延の通信路が確保された場合に、以下の高性能な演算が可能となるかに関して、秘密分散演算コアのパイプライン段数など検討から、FPGA上において、従来の実装と比較して、約50%高速な性能を達成可能であることを示している。

準同型暗号に基づくロジックロック技術の実装

池田 誠, 叶子 楊

量子SATソルバーがもたらすセキュリティ課題に対処するため、Ring-LWEアルゴリズムに基づく耐量子ロジックロック技術を提案する。本手法では格子ベース準同型暗号をロジックロックに統合し、暗号文領域のロックパラメータへのアクセスを制限するとともに元のパラメータを秘匿化することでセキュリティを強化。ハードウェア実装向けに最適化されたパラメータ設計により効率性を達成した。ロックモジュールは、オリジナルな設計に対して、LUTで6.0%、レジスタで6.9%のオーバーヘッドを実現している。アンロック処理は約2.6マイクロ秒で可能であり、利便性を維持とシステムへの影響を最小化した実装を実現している。誤り率に関する理論解析と多様なパラメータ設定での実験的検証を通じ、セキュリティと実装効率のトレードオフの評価を行った。

シリコンフォトニクスデバイス設計に関する研究

宮武 悠人

光電融合技術の主要なプラットフォームとして、シリコンフォトニクスにおける光集積回路の研究が進められている。光集積回路の大規模化に伴い、高性能化・小型化が要求されるシリコンフォトニクスデバイスの設計に取り組んでいる。受動素子の小型化及び低損失化を実現する技術として開発進めてきた共分散行列適応進化戦略(CMA-ES)を用いたデバイス設計手法を新たなデバイスの設計に適用した。マッハツェンダー型の光集積回路の重要な構成要素である2x2カブラの設計に取り組み、10マイクロメートル以下の短いデバイス長と0.02デシベル以下の極めて小さい挿入損失を達成した。また、光集積回路に新たな機能性を付与すべ

く、標準シリコンフォトニクスプラットフォームに導入可能なトランジスタの設計に取り組んだ。TCADシミュレーションを用いて、標準的なシリコンフォトニクスファウンドリの設計規則の範囲内でMOSFETの電流駆動力を向上させる設計を提案した。

内田研究室

(<http://www.ssn.t.u-tokyo.ac.jp/>)

ナノスケール電子材料を用いたエレクトロニクス・デバイスに関する研究

揮発性有機化合物(VOC)などを検知するナノスケール分子センサ

ヒトの呼吸には、ヒトの代謝物を含めて、様々な揮発性有機化合物(Volatile Organic Compounds: VOC)が含まれている。そのため、呼吸に含まれる、ヒトの疾病と関連する特定のVOCを選択的に検出できれば、疾病の超早期診断を実現することが期待される。我々は、金属ナノシートを用いた低電力の水素センサ素子をこれまで開発してきた。しかし、金属ナノシートによる分子センシングを原子論的にシミュレーションする方法は確立されていない。今回、分子動力学法と非平衡グリーン関数法を組み合わせることで、センサ応答を原子論的にシミュレートする手法を新たに開発した。今後、この手法を様々な系に应用することで、計算手法の改善を行うと共に、新たなセンサ向け材料の探索にも活用をしていく。

ナノデバイスの熱配慮設計

LSIは、その構成要素であるMOSトランジスタのサイズ縮小によってこれまで飛躍的に性能を向上してきた。近年はナノシートトランジスタなどの新たなデバイス構造の導入が予定されており、トランジスタ動作中のジュール発熱による素子の温度上昇が最も深刻な問題のひとつとして指摘されている。我々は、熱配慮設計によりCMOSチャンネル部の動作時温度を極力抑制する技術の開発に取り組むとともに、シリコンチャンネルにおける電子-フォノン輸送特性について精緻な評価を展開してきた。今回、分子動力学法と非平衡グリーン関数法を組み合わせることで、Si/SiO₂界面に特有の振動モードが存在し、その振動モードによって界面

近傍の電子-フォノン散乱が増大することを示唆する結果が得られた。

小菅研究室

(https://klab.t.u-tokyo.ac.jp/research_theme/)

3次元チップ集積技術

小菅 敦丈, 濱田 基嗣, 四手井 綱章, 岡田 光司,
イップ ウエイエン, Hugh-Chih Huang,
御手洗 勇輝, 川野 連也

放熱特性に優れた3次元チップ積層集積技術の研究を実施している。AIがスケールアップに当たって大規模化しより巨大なパラメータを有するようになった。プロセッサ、特に大規模AIモデル向けAIプロセッサでは大規模メモリも同時に集積されるようになっているものの、積層枚数が増えるにつれて熱抵抗が増え動作温度が上昇する課題があった。

そこで本研究室では民間企業や他の学術機関との共同研究を通じ、より多くのチップをパッケージ内に集積可能な新たな材料や3次元集積構造の研究開発を進めている。本年度は特に新たな積層構造に向けた基礎検討やチップ設計試作を行うとともに、AINによる放熱特性の改善効果についての対外発表をIEEE VLSI Symposiumにて行った。特に後者については従来高い熱抵抗に起因する動作温度の上昇により16チップ積層しかできていなかったところ、熱抵抗の改善により同じ熱勾配で20チップまで積層できることを明らかにした。

超低電力AIプロセッサ

小菅 敦丈, 濱田 基嗣, Jaewon Shin,
Yuxuan Pan, Jiawei Yu

処理量の多いAIが多数社会実装されるにつれて急増する電力消費を抑えるため、Wired-logicに着目した非ノイマン型AI Processorを研究している。Wired-logicを用いることでDRAMやSRAMアクセスを最小化でき電力効率を大幅に向上できるが、膨大な素子をチップ上に実装するため面積効率は大幅に劣化する。そこで(1)人間の脳におけるプルーニングと呼ばれる不要なニューロンとシナプスを削除しネットワークを最適化する技術、そして(2)従来以上に大幅にプルーニングし素子数を節約するため、人間のニューロンが

持つ多種多様な非線形関数を適材適所使い分けて演算強度を増す性質を取り入れた、非線形ニューラルネットワーク技術、そして(3)畳み込みアルゴリズムの処理に合わせて回路を再利用する畳み込み型Wired-logic architecture回路の3つの技術を開発している。本年度は低コスト化、小面積化に注力した。非線形関数を近似計算に置き換え、特に精度に影響与えやすい小数点以下の計算を細粒度で、大きな値は精度に与える影響が小さいので粗粒度で非線形関数を計算するCoarse and Fine Segmentation of LUT手法を開発し、IEEE ISCASにて口頭発表を、さらに本手法を用いた回路設計の設計自動化手法についてASP-DAC 2025にて発表を行った。本成果は高く評価され、ASP-DAC Special Feature Award 2025に選出された。低コスト化のため共通の下地基板を用意しニューロンアレーをタイル配置、それらに対してVIAマスク1枚だけで学習されたネットワークを構成するVia-programmable Neuron Arrayを開発した。フルマスクASIC実装と比較して、必要なマスク枚数を1枚に削減でき大幅に製造コストを削減できる。本成果はIEEE ISSCCにて口頭発表を行い、プレスリリースを配信、日経テクノロジーオンラインをはじめとする多くの媒体でニュース記事が掲載された。

染谷・横田・山岸研究室

(<http://www.ntech.t.u-tokyo.ac.jp/>, <https://files.t.u-tokyo.ac.jp/>)

着脱構造を有する有機フォトディテクタの高性能化

佐々木 光生, 李 成薫, 山岸 健人, 染谷 隆夫,
横田 知之

近年、貼り付け型電極を用いた有機フォトディテクタが注目を集めている。貼り付け型電極を用いた有機フォトディテクタは、基板上に透明電極、電子輸送層、活性層が形成された下部電極シートと、別の基板上に電極、ホール輸送層が形成された上部電極シートから構成されている。この2枚のシートを分子間力によって接触させることで、動作し、有機半導体層にダメージを与えずに取り外すことが可能である。これまでに、我々のグループではデバイスの動作後に上部電極を取り外すことで、電気的特性と駆動前後のP3HT:MoOx (HTL) 界面の結晶性について一つのデバイスで直接的連続的に評価することに成功している。しかし活性層と正孔輸送層の二層の密着が弱く、界面を分子間力の

みで密着させるOPDはできていなかった。そのため駆動には常に圧力の印加が必要であった。継続的な圧力の印加は活性層に歪みを与え劣化を早め、結晶性にも影響を与える恐れがある。そこで圧力を印加しなくても動作する着脱可能な有機光検出器の開発が重要となっている。

今回、ナノファイバーと呼ばれるポリウレタンの薄い膜にポリジメチルシロキサン (PDMS) をディップコートした、極めて丈夫で自己粘着性・ガス透過性のある厚み約700 nmのPDMSナノフィルムを基板として用い、圧力を印加しなくても動作する着脱可能な有機フォトディテクタの作製に成功したことを報告する。具体的には-5VにおけるEQEは550 nmにおいて67% (光量: $6.7 \times 10^{-3} \text{ mW/cm}^2$) を達成した。さらに比検出能は 2.9×10^{12} Jonesと高い値であった。

高木研究室

(<https://sites.google.com/g.ecc.u-tokyo.ac.jp/mosfet/>)

Ge/SiGe Metal-Oxide-Semiconductor (MOS) FETとその3次元集積化に関する研究

高木 信一, 韓 雪揚,

トープラサートポン カシディット, 竹中 充

3次元集積CMOSへの適用を目指して、Si基板上の極薄Ge-On-Insulator (GOI) 構造を実現する技術やこれらの構造を用いた高性能GOI CMOSの実現と性能向上、電気特性を決定しているデバイス物理の研究を進めた。今年度は、表面ラスネス散乱の抑制に有効であり高い電子移動度が期待できる(111)面GOI nチャネルMOSFETの極薄膜領域での動作実証と性能解析に関する研究を進め、smart cut法により形成したGOI層を薄膜化したのちに別のSi基板にトランスファーする方法により、実効移動度が向上できること、移動度には貼り合わせ後のCMPプロセスが影響を及ぼしていると考えられること、更なる移動度向上にはMOS界面欠陥の低減が必要であることを明らかにした。

HfO₂-系強誘電体ゲート絶縁膜トランジスタと強誘電体メモリに関する研究

高木 信一, トープラサートポン カシディット,

蔡 作成, 趙 成謹, 劉 振泓, 伊藤 広恭, 竹中 充

分極反転を伴う強誘電体をゲート絶縁膜とした

MOSFET (FeFET) や金属とのサンドイッチ構造 (MFM構造) をメモリセルとするFeRAMは、将来の極低消費電力メモリやロジック用素子として期待されている。特に近年発見されたHf_{1-x}Zr_xO₂ (HZO) 強誘電体・反強誘電体を用いたデバイスは、現在のSi CMOSテクノロジーとの親和性が極めて高く、大きな関心を集めている。我々は、ALD法によって堆積したこれら強誘電体薄膜の物性やFeFETの素子動作原理の明確化を通じて、優れた素子特性を実現する研究を進めている。今年度は、FeFETの最大の課題の一つであるメモリウィンドウ劣化の機構を調べ、その保持電圧依存性の評価を通じて、書き込み時のトラップの発生、特に正孔トラップが大きな影響を及ぼしていることを明らかにした。またこのメモリウィンドウを、パルスの印加により回復させる方式の回復条件と機構を調べ、パルス電圧が高ければ十分高速に回復させられることを明らかにした。加えて更に、FeRAM応用に向けた極薄膜MFMキャパシタにおいて重要なwake-up現象が、印加パルスの周波数に依存しており、膜中のイオンの移動がwake-upに効果的に働いている可能性が高いことを見出した。

強誘電体デバイスを用いたリザバーコンピューティングに関する研究

高木 信一, トープラサートポン カシディット,

名幸 瑛心, 鈴木 陸央, 万 明霞, 竹中 充, 中根了昌

計算負荷の軽いAI計算手法として、リザバーコンピューティングが近年注目を集めている。我々は、メモリ・イン・ロジック機能や非線形アナログ計算機能をもつFeFETやFeRAMが、リザバーコンピューティングを物理実装できるハードウェアとして有望であることを提案しており、Siプラットフォーム上で極低消費電力で推論・学習を行うことができる新しいAIハードウェアとして、動作方式やデバイスの工夫によるAI性能の向上の研究を進めている。今年度は、反強誘電体MFMキャパシタ及び反強誘電体FETのリザバー計算性能を調べ、反強誘電体を用いることで、リザバー計算性能が向上することを明らかにした。また、FeFETリザバー計算性能を向上できる手法として、過去の入力をゲートと基板バイアスの両方に入れる方法を提案し、性能向上を実証した。

量子コンピュータ制御回路に向けたSi CMOSの極低温での動作特性の理解

高木 信一, 陳 育同, 斬 剣,

トープラサートポン カシディット, 竹中 充

量子コンピューティングシステムでは、量子ビット数向上のためには、4 Kなどの極低温で動作できるSi CMOS回路を量子ビットチップの近くに置くことが必要である。この目的のために、極低温でのMOSトランジスタの動作を定量的に明らかにして、その物理機構を明確化するための実験的・理論的研究を進めている。今年度は、極低温で正確に移動度を評価する方法を調べ、従来のsplit C-V法では実効移動度の測定精度が劣化すること、QS (Quasi Static) -CV法を用いることで高い精度の移動度測定ができることを明らかにした。またFN注入により界面電荷が生成されることを利用し、界面電荷によるクーロン散乱移動度の4 Kでの挙動を実験と理論計算により明らかにした。

竹内健研究室

(<https://co-design.t.u-tokyo.ac.jp/>)

Computation in memory (CiM) に関する研究

竹内 健, 松井 千尋

Computation in Memory (CiM) はメモリアレイ構造を利用して乗算・累積 (multiply-and-accumulate: MAC) 演算を行う事が可能になる。MAC演算はディープニューラルネットワーク (DNN) の中で最も計算資源を消費する演算である。DNNの精度を評価するシミュレータを開発した。シミュレータでは畳み込み層と全結合層における重みを任意に量子化し、重みに任意の分布に従ったばらつきを付加することや、一定の値で加減させることができる。以上により、DNNの重みを操作することでCiMメモリセルにおけるデバイスの非理想性を再現することが可能になった。

Simulated Annealing に関する研究

竹内 健, 松井 千尋, 三澤 奈央子

組合せ最適化問題の1つであるナップサック問題を、シミュレーテッドアニーリングを用いてコンピューション・イン・メモリ (CiM) で解く場合、従来のエンコーディングはナップサック容量が増えると回路面積が線形的に大きくなるという問題があった。そこ

でログ・エンコーディングによるReRAMコンピューション・イン・メモリを提案した。提案のログ・エンコーディングは従来のエンコーディングに比べ、CiMの回路面積が97.6%縮小する。ReRAMデバイスの非対称なエラー特性を考慮し、二次形式のハミルトニアンにおけるQUBO行列の“0”をHRSに記憶することで、許容できるビット・エラー率 (BER) が10倍、許容できるビット精度が5ビットまで減らすことが可能になった。

インセンサ・コンピューティングの研究

竹内 健, 松井 千尋

センシングのためのEvent-based vision sensor (EVS) と統合し演算する低消費エネルギーのSRAM Computation-in-Memory (CiM) を提案した。従来のフレームカメラと比較して、EVSは画素の光の強度変化を非同期で検出し出力するため、データは空間的に疎で時間的に密という特徴がある。提案するSRAM CiMはEVSから出力されるイベントを受け取り、On-eventおよびOff-eventをそれぞれ演算する。イベントデータを演算するspiking neural network (SNN) のマルチビット重みはSRAM CiMに保存されている。提案したEVS向けのSRAM CiMはEVSのデータの特徴により、フレームカメラと比較して 10^6 倍のエネルギー効率を達成できた。

竹中研究室

(<https://sites.google.com/g.ecc.u-tokyo.ac.jp/takenaka-lab/>)

光配線LSIに関する研究

竹中 充, 唐 睿, ティパット ピヤパツタラクン,

赤澤 智熙, 傅 晟, 作本 宙彌,

バルダワジ ダルワ イシャン, 小松 健太郎, 森 温音, 潘 勁馳, 郭 津睿

シリコンフォトリソグラフィ等を用いてLSIの配線やI/Oを光化する研究を進めている。InGaAs薄膜をSi導波路上に集積したプラズモニック受光器の研究を進めた。NiとInGaAsの合金を用いてプラズモニック導波路の作製に成功し、受光器としての動作を得ることに成功した。

AI用シリコン光回路に関する研究

竹中 充, 唐 睿, 柴 成立, 柳 柱栄, 黄 明智,

赤澤 智熙, 脇田 耀介, 小林 研二, 汪 元品, 田鍋 衛

ユニバーサル光回路などのプログラマブル光回路を

用いたAI用深層学習の研究を進めている。Geを使った多ポート受光器を新たに開発した。多ポート受光器を用いて、導波路を束ねる導波路多重化による光演算を実証することに成功した。畳み込みニューラルネットワークにより高い精度で画像認識が可能であることを示した。

Ge中赤外光集積回路に関する研究

竹中 充, 唐 睿, ティパット ピヤパッタラクン, 張 超
Ge-on-insulator (GeOI) 基板上に形成したGe導波路を用いた中赤外光集積回路の研究を進めている。GeOI基板を用いたGe導波路にPIN接合を形成したリング共振器において、雪崩増幅を用いた高感度受光器ができることを示した。

中村研究室

(<http://www.hal.ipc.i.u-tokyo.ac.jp/index-e.html>)

IoTネットワークセキュリティに関する研究

中村 宏

深層学習を用いたネットワーク侵入検知システム(NIDS: Network Intrusion Detection System)の脆弱性について検討を加え、対敵的サンプルを用いた検知回避手法について研究を行った。具体的には、Explainable AI (XAI)を活用し、FN (False Negative)となるサンプルを解析することで、NIDSの誤検知を引き起こす特徴量を特定し、その情報を基に実ネットワークトラフィック空間で敵対的サンプルを生成する手法を検討した。ホワイトボックス・、ブラックボックス条件下において、それぞれ異なる攻撃手法を提案し、両者を実ネットワーク環境で定量的に評価し、NIDSモデルに対する高い回避率を確認している。

粗粒度再構成アーキテクチャ

Coarse-Grain Reconfigurable Architecture

小島拓也, 中村 宏

粗粒度再構成可能アーキテクチャCGRA (Coarse-Grained Reconfigurable Architecture)は高いエネルギー効率とプログラミング柔軟性という特徴を有するため、組み込みシステムから高性能コンピューティングまでの広い応用が期待されている。CGRAは多くのPE (Processing Element)が2次元アレイ状に配置された構

成であり、その有効性は、処理をこれらのPEにマッピングするコンパイラの質に依存する。そこで、マッピングにおける時間的な制約を緩和するElastic CGRAに関するマッピング手法を提案し、コンパイル時間に関する優位性があることを示した。また、CGRAに制御機構を導入し、動的に実行フローが決定する場合にも効率的に処理をするアーキテクチャについても検討した。

組み込みデバイス向けのROS 2ノード軽量実行環境

高瀬 英希, 中村 宏

ROS (Robot Operating System)及びその後継であるROS2は、分散型のロボットシステムにおけるソフトウェア開発プラットフォームとして注目されている。ROS2の問題の1つは、動作環境としてLinuxを必要とするため、高性能で消費電力の大きい計算リソースを必要とすることである。そのため、応答性や消費電力の点で、ROS2を組み込みデバイスへ適用する際の障害となっている。

そこで組み込みデバイス向けの実行環境であるmROS2の研究を行っている。mROS2の利点は、高効率な通信を実現しメモリ軽量であることである。現在、目的の実現に求められる設計要件を整理し、効率的な通信処理を実現するためのソフトウェア構成および動作フローを設計している。この研究はモバイルロボットシステムの低消費電力化とリアルタイム性の向上に貢献することが期待されている。

平本・小林研究室

(<https://vlsi.iis.u-tokyo.ac.jp/>, <http://nano-lsi.iis.u-tokyo.ac.jp/>)

シリコン量子ビットの集積化に関する研究

平本俊郎, 小林正治

CMOSによるバイナリーデジタル演算に代わるコンピューティング手法として量子計算が注目されている。本研究室では、量子計算に用いる量子ビットをシリコンで実現し、さらに多量子ビットを集積化する研究を行っている。大規模集積回路プロセス互換のプロセスを用いて集積化を実現する。

ナノスケールCMOSデバイスの特性ばらつきに関する研究

平本俊郎, 小林正治

MOSトランジスタが微細化されるとともに、ランダムな特性ばらつきの影響が無視できないほど大きくなってきている。その原因は主にチャンネル中の不純物数の揺らぎであるが、ばらつき原因は定量的にはまだ明らかとなっていない。本研究では、ランダムな特性ばらつきの評価と、そのデバイス・回路特性への影響について検討している。

三次元集積メモリデバイス応用に向けた原子層堆積法による酸化半導体の形成とデバイス実証に向けた研究

小林正治, 平本俊郎

本研究では、ゲート長が100nm以下の微細なナノシート酸化半導体トランジスタを試作し、トランジスタ性能のゲート長依存性を調査することで、高電界輸送特性を明らかにした。具体的には酸化半導体トランジスタとではシリコントランジスタと異なり速度飽和が起こりにくいことがわかり、その結果、微細化により移動度の違いによる特性のギャップを縮めることができることが示唆された。さらに千個以上のトランジスタを歩留まり高く試作することで、シリコントランジスタと特性ばらつきの比較を行うことができ、結果としてナノシート酸化半導体ではドナー濃度の低減とチャンネル膜厚の薄膜化により、シリコントランジスタよりも閾値・DIBL・オン電流のばらつきを低減できることを明らかにした。

HfO₂系強誘電体の成膜プロセスおよび信頼性に関する研究

小林正治, 平本俊郎

本研究では、HfO₂系強誘電体キャパシタの信頼性向上のために、HfZrO₂を成膜する直前に下部電極をオゾン酸化し、TDDDBの耐圧改善(V_{max}の向上)とスイッチング特性の均一化を実現した。その主な理由としては、HfZrO₂と電極間での酸素の授受を抑制して劣化の原因となる酸素空孔を低減したできたこと、HfZrO₂の結晶配向性を改善できたことが挙げられる。

三田研究室

(<http://www.if.t.u-tokyo.ac.jp>)

TopoMEMS：トポロジカル量子計算機に向けた可変電子素子およびMEMS演算素子の研究開発

三田 吉郎, 高橋 遼平, 辻 啓吾, Anne-Claire Eiler, 安永 竣, 肥後 昭男, 飯塚 哲也, 江澤 雅彦 (物理工学専攻)

量子コンピューティング分野における次世代の計算手法として、物質が持つトポロジカルな状態をハミルトン演算子として表現し、演算に用いるトポロジカル計算機が期待され、幅広い系で研究が行われている。我々のチームでは、JST-CRESTプロジェクトとして、ハミルトン演算子行列を電気回路部品の集合体として捉え、電気回路のトポロジーによって演算を行う手法の探索を担当しており、三田グループは集積MEMSの専門家として計算機に必要な理想の可変素子・MEMS素子を「TopoMEMS」と命名し、精力的に研究開発を行っている。本年度はさらに、これまで用いられてきた「容量結合の大小」による結合に変えて「磁気結合の大小」による結合を用いる新しいトポロジカル電子回路を考案実証し、結果を国際会議で発表した。

機械構造による新原理コンピューティング

三田 吉郎, 安永 竣, 吉田 安紀彦, 中根 了昌, 肥後 昭男, 江澤 雅彦 (物理工学専攻)

トポロジカル電子回路の研究から発展する形で、MEMSの動きそのものを新原理コンピューティングに用いる研究を行っている。MEMS素子同士の相互反応をIsing演算に用いる新しい構想を科研費基盤Aとして研究プロジェクト化することができている。多段双安定MEMSアクチュエータの開発ならびにその制御法の構築に成功し、トップカンファレンス国際会議で発表した。

エネルギー自立型分散マイクロシステム

三田 吉郎, 後藤 将人, 黄 吉卿 (CNRS LIMMS研究所)

集積化MEMS(微小電気機械システム)のトップダウンアプリケーションとして、「適切な制御によって小さな物体の集合が賢い動きをする」自立マイクロシステムの研究を行っている。「大きさ1cm以下のマイクロ

ロボットを多数環境に放出し、個々のロボットは近傍のロボットと通信を行いながら、協調的に環境測定などの高度な機能を実現するという自律分散システムを目指している。2016年度より受託していた仏FEMTO-ST研究所との共同研究「Programmable Matter」は一段落したが、同じくフランス共和国CNRS研究所より三田研に派遣された客員研究員（黄博士）により、バイオ応用を目指した微小ロボットの研究が進捗している。

電子線リソグラフィとMEMSプロセスによる微細電極構造と流体素子への集積化作製手法の研究

三田 吉郎, Anne-Claire Eiler, 肥後 昭男,
井上 友里恵, 太田 悦子, 水島 彩子, 河井 哲子,
岡本 有貴 (産業技術総合研究所), 藤原 誠,
澤村 智紀, David Bourrier (CNRS-LAAS研究所),
Amel Beghersa (CNRS-LAAS研究所),
Mathieu Arribat (CNRS-LAAS研究所),
Hugues Granier (CNRS-LAAS研究所)

電極構造の微細化によるセンサ素子の更なる高感度化、高機能化を目指し、電子線リソグラフィとMEMS加工プロセスを組み合わせた微細電極のトップダウン作製手法の高度化に取り組んでいる。局所的に測定電極を集積化した微細孔構造や、マイクロアクチュエータと微細構造を組み合わせた電極ギャップの精密制御に取り組んでいる。本年度は、完全空乏型のSOIトランジスタ構造 (FD SOI) によるVLSIウエーハを入手し、ポストプロセス加工によってデバイスを得るためのプロセス開発を引き続き行い、加工後のチップの電氣的評価を行っている。また、LAAS研究所と共同で微細構造のアディティブ作製の試みを開始し、初期成果をフランス国内会議で発表した。

電子線リソグラフィによる集積型プラズモニク光受光機

三田 吉郎, 前川 浩紀, 安永 竣, 肥後 昭男,

VDECに平成25年に新規導入された高速大面積電子線描画装置F7000S-VD02の持つ高ドース対応性、セル(キャラクタ)プロジェクション方式による鮮明なエッジを活用し、シリコン光導波路上に光の波長未満のプラズモニク共振構造電極を作製し、通過する光とのカップリングによってショットキー接合を流れる電流を変調するデバイスを考案した。作製プロセスの開発

に成功し、成果がIEEE国際会議にアクセプトされた。

サブテラヘルツ領域における高出力電子回路を可能とするz軸集積回路

三田 吉郎, 中村 友哉, 高野 恭弥 (東京理科大学)

「チップレット」技術の動向ならびに、期待が高まるサブテラヘルツ領域 (>100GHz) での電子回路による高出力送(受)新規を志向した研究を科研費基盤 (A) によって行っている。特に、サブテラヘルツ領域の集積回路では伝送線路によってパッシブ部品 (例えばインダクタL) を作製することになるが、集積回路の本質は平面形状 (プレーナ) であることから、パッシブ部品の寸法以下に一つのユニットを小さくすることができない。結果として現状の最高のテクノロジーでも送信機のパワー出力はたかだか10mWに留まっている。そこで提案者らはパッシブ部品を「面外 (z軸) 方向に向けて配置する」新しい技術を提案する。本技術によれば、集積回路を上から見たときのフットプリントを劇的に小さくすることができるので、同一の増幅器素子を半波長以下で多数並べて出力を合成する手法が利用でき、結果として高出力の電子回路を実現することができる。研究初年度は、300GHzでの動作を目指したλ/4スタブ構造を実現するシリコン貫通ビア (TSV) 技術を開発した。

CMOS-VLSIのMEMS後加工による高機能システムの産学連携研究

三田 吉郎, 島村 龍伍, 廣安 幸四郎, 中根 了昌,
安永 竣,

ティモテ レヴィ (仏ボルドー大学IMS研究所),
ギレム ラリユー (仏LAAS-CNRS研究所),
池内 与志穂 (生産技術研究所),
ティクシエ 三田 アニエス (生産技術研究所),
齊藤 健 (日本大学)

d.labを通じて試作したVLSIウエーハを、武田先端知ビルスーパークリーンルームやその他のクリーンルームにおいて後加工することによって新規センサデバイスを製作、評価する研究を行っている。後加工に関する知見として、トランジスタが作製された直後 (配線前) のウエーハ引き渡しを受け、熱工程を伴う後加工プロセス (成膜, インプラ, ドライブイン) を施してもトランジスタ特性の劣化はそれほど進行しないこと、

VLSIをあらかじめSilicon-on-Insulator (SOI)基板の上に配置した構造をMEMS後加工できることなどが分かっている。共同研究開発する素子の種類は共同研究先との相談により様々だが、作製テクノロジーは共通のものを利用できるところが産業的に重要である。数多くの企業の興味を引き、会社との共同研究や国際共同研究等様々なプロジェクトで電子デバイスの研究が進行している。特に本年度は、垂直接合時に絶縁膜（意図して製膜する場合、意図しない製膜の両方を含む）を積極的に破壊する「ナノコーン状のペネトレーター」構造の計測結果がセンサ・マイクロマシンとシステムのシンポジウムで発表され、学生が「五十嵐賞」を受賞した。35歳以下のMEMS研究者に与えられる最高の賞を意味する。

CMOS-MEMS 高密度集積接合の信頼性向上のための微細構造研究

三田 吉郎, 水島 彩子, 河井 哲子, 島本 直伸,
三角 啓, 肥後 昭男, 中根 了昌, 津村 一道 (東芝),
依田 孝 (東京工業大学), 東 和幸 (東芝), 落合 幸徳
高機能なCMOS-MEMSシステムを簡便に得る方法として、チップレベル接合技術（チップ）に期待が高まるが、数百万個に至る数 μm 角のパッドを接合する際に、バンプ同士がすべってずれてしまうという問題が生じる場合がある。この問題に対して、奥歯のかみ合わせにヒントを得て、自然（パッシブ）に位置合わせが出来る構造を構想し、テスト構造を設計試作検証している。成果を国際会議で発表し、さらに改良を施した。

4.4 研究発表

飯塚研究室

研究論文

- [1] Shuowei Li, Zunsong Yang, and Tetsuya Iizuka, "An All-Standard-Cell-Based Synthesizable SAR ADC with Inverter-Cell-Based Capacitive DAC," *Circuits, Systems, and Signal Processing*, Dec. 2024.
- [2] Hisashi Inoue, Hiroto Tamura, Ai Kitoh, Xiangyu Chen, Zolboo Byambadorj, Takeaki Yajima, Yasushi Hotta, Tetsuya Iizuka, Gouhei Tanaka, and Isao H. Inoue, "Taming Prolonged Ionic Drift-Diffusion Dynamics for Brain-Inspired Computation," *Advanced Materials*, 2407326, 2024.
- [3] Tetsuya Iizuka, Rituro Takenaka, Hao Xu, and Asad A. Abidi, [Invited] "Systematic Equation-Based Design of a 10-Bit, 500-MS/s Single-Channel SAR A/D Converter with 2-GHz Resolution Bandwidth," *IEEE Open Journal of the Solid-State Circuits Society*, vol. 4, pp. 147 - 162, 2024.
- [4] Satya Prakash Pati, Yifan Geng, Satoshi Hamasuna, Kantaro Fujiwara, Tetsuya Iizuka, Hisashi Inoue, Isao Inoue, and Takeaki Yajima, "Real-time information processing via volatile resistance change in scalable protonic devices," *Communications Materials*, Vol. 5, No. 177, 2024.
- [5] Masaru Osada, Zule Xu, Zunsong Yang, and Tetsuya Iizuka, "A Fractional-N Ring PLL Using Harmonic-Mixer-Based Dual Feedback and Split-Feedback Frequency Division with Phase-Domain Filtering," *IEEE Journal of Solid-State Circuits*, vol. 59, no. 7, pp. 2171 - 2184, Jul. 2024.
- [6] Hongyu Ren, Zunsong Yang, Yunbo Huang, Chaoping Feng, Tianle Chen, Xinming Zhang, Xianghe Meng, Weiwei Yan, Weidong Zhang, Tetsuya Iizuka, Yong Chen, Pui-In Mak, Zhengsheng Han, and Bo Li, "A 6-GHz 78-fsRMS Double-Sampling PLL with Low-Ripple Bootstrapped DSPD and Retimer-Less MMD Achieving -92-dBc Reference Spur and -258-dB FOM," *IEEE Microwave and Wireless Technology Letters*, vol. 34, no. 5, pp. 548 - 551, May 2024.
- [7] Haoming Zhang, Shuowei Li, and Tetsuya Iizuka,

"A Single Ring-Oscillator-Based Test Structure for Timing Characterization of Dynamic Circuit," *IEEE Transactions on Very Large Scale Integration Systems*, vol. 32, no. 5, pp. 938 - 951, May 2024.

- [8] Sota Kano and Tetsuya Iizuka, "150 GHz Fundamental Oscillator Utilizing Transmission-line-based Inter-stage Matching in 130 nm SiGe BiCMOS Technology," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E107-A, no.5, pp. 741 - 745, May 2024.
- [9] Yuyang Zhu, Zunsong Yang, Masaru Osada, Haoming Zhang and Tetsuya Iizuka, "Investigation and Improvement on Self-dithered MASH $\Delta\Sigma$ Modulator for Fractional-N Frequency Synthesis," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E107-A, no.5, pp. 746 - 750, May 2024.

国際会議論文

- [1] Haoming Zhang, Yuyang Zhu, Masaru Osada, and Tetsuya Iizuka, "A 96fsrms-Jitter, -70.6dBc-Fractional-Spur Cascaded PLL Employing Two MMDs with Shared-DSM for Quantization Noise Cancellation," *IEEE International Solid-State Circuits Conference (ISSCC)*, Feb. 2025.
- [2] Sota Kano, Naoto Usami, Atsushi Tomiki, and Tetsuya Iizuka, "Design of a 7.2-GHz CMOS Receiver Front-end for One-chip Transponders in Deep Space Probes," *IEEE the 30th Asia and South Pacific Design Automation Conference (ASP-DAC) - University Design Contest*, Jan. 2025.
- [3] Yuyang Zhu, Zunsong Yang, Zhenyu Cheng, Md Shamim Sarker, Hiroyasu Yamahara, Munetoshi Seki, Hitoshi Tabata, and Tetsuya Iizuka, "Design of a 1-5GHz Inverter-Based Phase Interpolator for Spin-Wave Detection," *IEEE the 30th Asia and South Pacific Design Automation Conference (ASP-DAC) - University Design Contest*, Jan. 2025.
- [4] Kazuki Shirahata, Masahiro Ishida, Koji Asami, Toru Nakura, Akio Higo, and Tetsuya Iizuka, "TDR-Based S-Parameter Estimation of Signal

- Transmission Line on ATE Utilizing Built-In Driver and Comparator,” IEEE International Test Conference (ITC), Nov. 2024.
- [5] Hongyu Ren, Yunbo Huang, Zunsong Yang, Tianle Chen, Xianghe Meng, Weiwei Yan, Weidong Zhang, Zhongmao Li, Tetsuya Iizuka, Pui-In Mak, Yong Chen and Bo Li, “A Type-II Reference-Sampling PLL with Non-Uniform Octuple-Sampling Phase Detector Achieving 55-fs JitterRMS, -91.9-dBc Reference Spur and -259-dB Jitter-Power FOM,” in Proceedings of IEEE European Solid-State Electronics Research Conference (ESSERC), Sep. 2024.
- [6] Tetsuya Iizuka, [Invited] “Phase-Locked Loops: Large-Effort-Calibrated Versus Calibration-Less PLLs; Which design approach to take?,” in IEEE Symposium on VLSI Circuits Workshop: High-Performance Mixed-Signal Circuit Recent Art Balancing the Analog vs. Digital, Jun. 2024.
- [7] Tianle Chen, Hongyu Ren, Zunsong Yang, Yunbo Huang, Xianghe Meng, Weiwei Yan, Weidong Zhang, Xuqiang Zheng, Xuan Guo, Tetsuya Iizuka, Pui-In Mak, Yong Chen and Bo Li, “A 6.5-to-6.9-GHz SSPLL with Configurable Differential Dual-Edge SSPD Achieving 44-fs RMS Jitter, -260.7-dB FOM Jitter, and -76.5-dBc Reference Spur,” in IEEE Symposium on VLSI Technology and Circuits Digest of Technical Papers, Jun. 2024.
- [8] Ronaldo Serrano, Ckristian Duran, Marco Sarmiento, Khai-Duy Nguyen, Tetsuya Iizuka, Trong-Thuc Hoang, Cong-Kha Pham, “A Unified OTP and PUF Exploiting Post-Program Current on Standard CMOS Technology,” in Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS), May 2024.
- [9] Tetsuya Iizuka, [Invited] “An Analysis-Based Systematic Design of CMOS SAR A/D Converters,” IEEE International Conference on Communications, Circuits and Systems (ICCCAS), May 2024.
- [10] Ryohei Takahashi, Kei Misumi, Keigo Tsuji, Anne-Claire Eiler, Shun Yasunaga, Akio Higo, Ryosho Nakane, Tetsuya Iizuka, Motohiko Ezawa, Yoshio Mita, “Su-Schrieffer-Heeger Topological Electrical Circuit Using In-Plane Mutual Inductance,” Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP), May 2024.
- #### シンポジウム・研究会・大会等発表
- [1] 中村 友哉, 高野 恭弥, 飯塚 哲也, 安永 竣, 水島 彩子, 肥後 昭男, 中根 了昌, 三田 吉郎, “横方向スタブを用いた300GHz帯z軸λ/4スタブの共振周波数調整手法,” 2025年第72回応用物理学会春季学術講演会, 16p-P05-10, 2025年3月.
- [2] Yunjie Chen, Koji Asami, Zolboo Byambadorj, Akio Higo, and Tetsuya Iizuka, “Comparative Analysis of High-Speed Time-Interleaved Digital-to-Analog Converters,” 2025年第72回応用物理学会春季学術講演会, 14p-P10-17, 2025年3月.
- [3] Jiaao Yu, Yuyang Zhu, Zhenyu Cheng, Yuanxin Jia, Md Shamim Sarker, Hiroyasu Yamahara, Munetoshi Seki, Hitoshi Tabata, and Tetsuya Iizuka, “Design and Measurement of a Receiver for a Spin-wave Detection System,” 2025年第72回応用物理学会春季学術講演会, 14p-P10-11, 2025年3月.
- [4] 井上 悠, 田村 浩人, 鬼頭 愛, チェン シャンユ, ビヤムバドルジ ゴルポー, 矢嶋 起彬, 堀田 育志, 飯塚 哲也, 田中 剛平, 井上 公, “FPGA実装したスパイクングリザバーによるリアルタイム筆跡異常検知,” 2024年第85回応用物理学会秋季学術講演会, 16p-A33-2, 2024年9月.
- [5] 許 瑜昊, 竹中 理太郎, 李 燦煒, 張 浩明, 飯塚 哲也, “アナログ-デジタル変換回路におけるダイナミック論理を活用した性能向上とその設計最適化の検討,” 電子情報通信学会 技術研究報告, ICD2024-19, pp. 15 - 20, 2024年8月.
- [6] 濱崎 拓, 加納 創太, 宇佐美 尚人, 冨木 淳史, 飯塚 哲也, “深宇宙探査機搭載ワンチップトランスポンダの実現に向けたX帯CMOS送信機フロントエンドの設計,” 電子情報通信学会

LSIとシステムのワークショップ2024, 2024年5月.

- [7] Yunjie Chen, Koji Asami, Zolboo Byambadorj, Akio Higo and Tetsuya Iizuka, “Systematic Analysis on Four Channel Time-Interleaved Digital-to-Analog Converters,” 電子情報通信学会 LSIとシステムのワークショップ2024, 2024年5月.

池田研究室

研究論文

- [1] Y. Miao and M. Ikeda, “Advancing energy efficiency of spiking neural network accelerator via dynamic predictive early stopping,” *IEICE Electronics Express*, vol. 21, no. 12, pp. 20240206–20240206, Jun. 2024, doi: 10.1587/elex.21.20240206
- [2] Z. Wang and M. Ikeda, “Toward Bootstrapping-Free Homomorphic Encryption-Based GRU Network for Text Classification,” in *IEEE Access*, vol. 12, pp. 94008–94017, 2024, doi: 10.1109/ACCESS.2024.3422455.
- [3] A. Opatatian and M. Ikeda, “Manipulated Lookup Table Method for Efficient High-Performance Modular Multiplier,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 33, no. 1, pp. 114–127, Jan. 2025, doi: 10.1109/TVLSI.2024.3505920.
- [4] K. Taki, N. Sekine, K. Watanabe, Y. Miyatake, T. Akazawa, H. Sakumoto, K. Toprasertpong, S. Takagi, and M. Takenaka, “Nonvolatile optical phase shift in ferroelectric hafnium zirconium oxide,” *Nature Communications*, vol. 15, 3549, May 2024. DOI: 10.1038/s41467-024-47893-2
- [5] Y. Wakita, R. Tang, H. Tang, S. Ohno, T. Akazawa, Y. Miyatake, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, and M. Takenaka, “Add-drop microring resonator switch with positive/negative phase tuning using InGaAsP/Si hybrid MOS phase shifter,” *IEEE/OSA Journal of Lightwave Technology*, vol. 42, no. 12, pp. 4289–4295, June 2024 (invited). DOI: 10.1109/JLT.2024.3383724
- [6] Y. Miyatake, R. Tang, K. Makino, J. Tominaga, N. Miyata, M. Okano, K. Toprasertpong, S. Takagi, M. Takenaka, “Photonic matrix-vector multiplication with low-insertion-loss and non-volatile Ge₂Sb₂Te₃S₂ intensity modulators,” *IEEE/OSA Journal of Lightwave Technology*, vol. 42, no. 12, pp. 4347–4354, June 2024 (invited). DOI: 10.1109/JLT.2024.3408877
- [7] Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, “Compact, low-loss, and broadband 2 × 2 Si optical coupler designed by covariance matrix adaptation evolution strategy,” *Jpn. J. Appl. Phys.*, vol. 63, 12SP16, Dec. 2024. DOI: 10.35848/1347-4065/ad983b

国際会議

- [8] Y. Miao and M. Ikeda, “Single Gate Spiking Recurrent Neural Network for Histogram-less Single-Photon Depth Sensing,” pp. 1866–1870, Aug. 2024, doi: 10.23919/EUSIPCO63174.2024.10715266
- [9] Z. Ye and M. Ikeda, “Design of a High Jitter Harmonic Injected Ring Oscillator for Entropy Sources,” 2024 IEEE International Conference on Integrated Circuits, Technologies and Applications (ICTA), Hangzhou, China, 2024, pp. 74–75, doi: 10.1109/ICTA64028.2024.10860508.
- [10] P. Sun and M. Ikeda, “Fully Pipelined Number Theoretic Transform and Reordering Solution for CRYSTALS-Dilithium,” 2024 IEEE International Conference on Integrated Circuits, Technologies and Applications (ICTA), Hangzhou, China, 2024, pp. 100–101, doi: 10.1109/ICTA64028.2024.10860673.
- [11] A. Opatatian and M. Ikeda, “Low-latency Elliptic Curve Scalar Multiplication Accelerator on FPGA,” 2024 9th International Conference on Integrated Circuits, Design, and Verification (ICDV), Hanoi, Vietnam, 2024, pp. 55–60, doi: 10.1109/ICDV61346.2024.10616881.
- [12] M. Takenaka, Y. Miyatake, R. Tang, K. Makino, J. Tominaga, N. Miyata, M. Okano, K. Toprasertpong, and S. Takagi, “Si programmable photonic integrated circuits based on phase change materials,” *IEEE Si Photonics Conference*, ThD2, Hilton

- Tokyo Bay, Japan, April 2024 (invited).
- [13] K. Komatsu, T. Nakayama, T. Akazawa, Y. Wakita, H. Sakumoto, C. Zhang, Y. Miyatake, S. Monfray, F. Boeuf, R. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, “Plasmonic Photodetector with InGaAs Membrane on Si Waveguide using Ni-InGaAs Alloy,” European Conference on Optical Communication (ECOC), W2A.27, Frankfurt, Germany, September 2024.
- [14] H. Sakumoto, Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, “InP-Si interlayer optimization using GPU-accelerated CMA-ES,” 14th International Symposium on Photonics and Electronics Convergence (ISPEC), P-11, Tokyo, November 2024.
- [15] K. Komatsu, T. Nakayama, T. Akazawa, Y. Wakita, H. Sakumoto, C. Zhang, Y. Miyatake, S. Monfray, F. Boeuf, R. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, “InGaAs-based plasmonic photodetector using Ni-InGaAs alloy,” 14th International Symposium on Photonics and Electronics Convergence (ISPEC), P-13, Tokyo, November 2024.
- [16] K. Kobayashi, Y. Miyatake, R. Tang, K. Makino, J. Tominaga, N. Miyata, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, “Non-volatile Ge₂Sb₂Te₃S₂ driven Si microring resonator switch for photonic matrix multiplication,” 14th International Symposium on Photonics and Electronics Convergence (ISPEC), P-16, Tokyo, November 2024.
- [17] K. Makino, Y. Miyatake, S. Hatayama, M. Takenaka, and J. Tominaga, “Development of optical phase change materials for non-volatile photonics,” MRS Fall Meeting, EL02.08.03, December 2024.
- [18] M. Takenaka, Y. Miyatake, R. Tang, T. Taki, N. Sekine, K. Watanabe, T. Akazawa, H. Sakumoto, D. I. Bhardwaj, M. Fujita, H. Tang, K. Makino, J. Tominaga, N. Miyata, M. Okano, K. Toprasertpong, and S. Takagi, “Non-volatile optical phase shifters on Si photonics platform,” 50th Conference on the Physics and Chemistry of Surfaces and Interfaces (PCSI-50), MoM2-33, Kailua-Kona, Hawaii, USA, January 2025 (invited).
- [19] Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, “Experimental demonstration of compact, low-loss and broadband 22 Si optical coupler designed by CMA-ES,” International Conference on Solid State Devices and Materials (SSDM), E-3-04, Arcree Himeji, Himeji, Japan, Sept. 2024.
- #### 国内研究会
- [20] 竹島優太, 池田誠, “SHA2とSHAKEを統合したSPHINCS+署名生成ハードウェアの設計,” DAシンポジウム 2024, 2024年8月.
- [21] Yinfan Zhao, Makoto Ikeda, “Secret Sharing Supporting Multi-input Gates on FPGA Design for Less Communication Bandwidth Network” ハードウェアセキュリティ, 2024年11月
- [22] A. Opatatian and M. Ikeda, “Fixed Modulus Modular Reduction with Manipulated Lookup Table Method,” Technical Committee on Integrated Circuits and Devices/Hardware Security (ICD/HWS) (集積回路/ハードウェアセキュリティ研究会), Aomori, Japan, 2024.
- [23] 羽鳥智裕, 中村孔星, 池田誠, “逆数演算器の設計空間探索,” 電子情報通信学会ハードウェアセキュリティフォーラム2024, 2024年12月
- [24] Chung-Hsuan Yang, Makoto Ikeda, “An Exploration of Energy-Efficient Elliptic Curve Cryptography Processors for IoT Applications,” ハードウェアセキュリティフォーラム2024, 2024年12月
- [25] 竹島優太, 池田誠, “FIPS205に対応した低レイテンシ署名生成ハードウェアの設計,” ハードウェアセキュリティフォーラム 2024, 2024年12月.
- [26] 中村優斗, 池田誠, “ML-DSAの面積速度最適化に基づくハードウェア構成と速度評価,” ハードウェアセキュリティフォーラム2024, 2024年12月
- [27] Yinfan Zhao, Makoto Ikeda, “MPC Based on Secret Sharing in Hardware Core Design and ISCAS-85 Benchmark Results” ハードウェアセキュリティフォーラム2024, 2024年12月

- [28] 福田桃子, 池田誠, “ペアリング演算の安全性とハードウェア実装コストの自動設計手法を用いた推定.” ハードウェアセキュリティフォーラム2024, 2024年12月
- [29] 中村孔星, 池田誠, “同種写像ベース耐量子計算機暗号の汎用演算に向けたハードウェア設計,” ハードウェアセキュリティフォーラム2024, 2024年12月
- [30] 羽鳥智裕, 池田誠, “リソース使用率を考慮したBLS12-381を用いた検索可能暗号のスループット向上の検討,” 電子情報通信学会 ICD/CAS 学生・若手研究会, 2024年12月
- [31] 森上巧, 池田誠, “複数パラメータ対応の数論変換ハードウェア設計の検討,” 電子情報通信学会 ICD/CAS 学生・若手研究会, 2024年12月
- [32] 柏原玖都, 池田誠, “ペアリングハードウェア演算の低サイクル化を目指した自動設計の検討,” 電子情報通信学会 ICD/CAS 学生・若手研究会, 2024年12月
- [33] 中村孔星, 池田誠, “同種写像ベース耐量子計算機暗号の最適メモリ割り当てを考慮したハードウェア設計,” 電子情報通信学会 ICD/CAS 学生・若手研究会, 2024年12月
- [34] A. Opatatian and M. Ikeda, “Lookup Table Modular Reduction in ASIC,” 2024 IEICE General Conference, Hiroshima, Japan, 2024.
- [35] 竹島優太, 池田誠, “FIPS205(SLH-DSA) 署名生成ハードウェア向けSHA2演算の最適化,” 2025年第72回応用物理学会春季学術講演会次世代半導体創生に向けた研究・人財育成活動シンポジウム, 2025年3月.
- [36] 福田桃子, 池田誠, “ペアリング演算の安全性およびハードウェア実装コストの自動設計手法による見積もり評価.” 2025年 第72回応用物理学会 春季学術講演会, 2025年3月
- [37] 福田桃子, Anawin Opatatian, 池田誠, “自動スケジューリングによる属性ベース暗号向けハードウェアの設計空間探索.” 電子情報通信学会総合大会2025, 2025年3月
- [38] A. Opatatian, M. Fukuda, and M. Ikeda, “Exploring Multiple Modular Units in ALU for Attribute-based Encryption Accelerator,” 2025 IEICE General Conference (2025年 総合大会), Tokyo, Japan, 2025.
- [39] Yinfan Zhao, Makoto Ikeda, “MPC Based on Secret Sharing in Hardware Core Design for Less Communication Bandwidth Network” IEICE GlobalNet Workshop 2025, 2025年3月
- [40] B. Dhruv Ishan, K. Taki, N. Sekine, K. Watanabe, Y. Miyatake, T. Akazawa, H. Sakumoto, K. Toprasertpong, S. Takagi and M. Takenaka, “Investigation of Linear Electro-optic Effect in Ferroelectric Hafnium Zirconium Oxide on SiN Waveguide,” 第85回応用物理学会秋季学術講演会, 16p-A25-3, 朱鷺メッセ 新潟コンベンションセンター, 2024年9月.
- [41] 作本宙彌, 宮武悠人, トーブラサートポン カシディット, 高木信一, 竹中充, “GPUを用いた進化戦略計算によるInP-Si レイヤ間遷移光導波路設計,” 第85回応用物理学会秋季学術講演会, 16a-A25-5, 朱鷺メッセ 新潟コンベンションセンター, 2024年9月16日-20日.
- [42] 小松健太郎, 中山武壽, 赤澤智熙, 脇田耀介, 作本宙彌, 張超, 宮武悠人, モンフレ ステファン, ブフ フレデリック, 唐睿, トーブラサートポン カシディット, 高木信一, 竹中充, “Ni-InGaAs 合金を用いたInGaAs-Si ハイブリッドプラズモニク導波路受光器,” 第85回応用物理学会秋季学術講演会, 16p-A25-15, 朱鷺メッセ 新潟コンベンションセンター, 2024年9月.
- [43] 竹中充, 唐睿, 宮武悠人, 柴成立, 赤澤智熙, 作本宙彌, 脇田耀介, バルダワジ ダルワイシャン, 按田智大, 高城和馬, 関根尚希, 渡辺耕坪, 大野修平, 谷澤健, 牧野孝太郎, 富永淳二, 宮田典幸, 池田和浩, 岡野誠, モンフレ ステファン, ブフ フレデリック, トーブラサートポン カシディット, 高木信一, “異種材料集積を用いたAI用光回路,” 招待講演, 第85回応用物理学会秋季学術講演会, 18p-C302-6, 朱鷺メッセ 新潟コンベンションセンター, 2024年9月.

国内大会

- [44] 小林研二, 宮武悠人, 唐睿, 牧野孝太郎, 富永淳二, 宮田典幸, 岡野誠, トープラサートボンカシディット, 高木信一, 竹中充, “Ge2Sb2Te3S2 光強度変調器を用いた不揮発性シリコンマイクロリング共振器スイッチ,” 第72回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 野田市, 千葉県, 2025年3月.
- [45] 脇田耀介, 宮武悠人, 大野修平, 赤澤智熙, 牧野孝太郎, 畑山祥吾, モンフレ ステファン, ブフ フレデリック, トープラサートボンカシディット, 高木信一, 竹中充, “III-V/Si ハイブリッド導波路向けSb2S3 不揮発光位相シフタの検証,” 第72回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 野田市, 千葉県, 2025年3月.
- [46] 宮武悠人, 竹中充, 池田 誠, “標準シリコンフォトニクスにおける MOSFET の短チャネル効果抑制のための設計,” 第72回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 野田市, 千葉県, 2025年3月.
- [47] 池田 誠, “集積回路研究専門委員会(ICD)活動報告,” 電子情報通信学会 エレクトロニクスソサイエティ News Letter, No. 193, April 2024.
- [48] 池田 誠, “半導体集積回路設計とその民主化,” SURGE (Silvaco UseRs Global Event), 基調講演, 2023年11月
- [49] 池田 誠, “先端半導体設計と人材育成,” 2023年度北海道工学教育協会研究講演会「次世代半導体産業への人材育成」における講演「先端半導体設計と人材育成」, 2023年10月
- [50] 池田 誠, “半導体集積回路設計と人材育成活動: VDEC/d.lab/AIDC/AgileX,” Semicon Japan 2023, 半導体テクノロジーシンポジウム, 大学の事例紹介, パネルディスカッション第2部アカデミアパネル, 2023年12月
- [51] 池田 誠, Semicon Japan 2023, 半導体テクノロジーシンポジウム, パネルディスカッション
- 第一部 産官学TOPパネル「先端半導体開発にむけた教育と国際連携について」, 2023年12月
- [52] 池田 誠, “VDECが紡ぐ半導体・人材育成の未来,” 独立行政法人国立高等専門学校機構 有明工業高等専門学校 特別講演会, 2024年2月
- [53] Makoto Ikeda, “Hardware acceleration of functional encryption and its security measure,” NTU x UTokyo Joint Workshop ICDA, Dec. 2023.
- [54] Makoto Ikeda, “Hardware acceleration of functional encryption and its security measure,” CYCU UT International Collaboration Workshop, Dec. 2023
- [55] Makoto Ikeda, “Agile-X: Agile Chip Design and Fabrication Platform,” 最先端集積回路設計に関する日米連携ワークショップ(フェーズ1), 2023年12月
- [56] Makoto Ikeda, “Introduction to Agile-X Project-2-week chip TAT project for chip democratization-,” RISC-V Day Tokyo 2024 Winter, Jan. 2024
- [57] Makoto Ikeda, “AI Chip Design Center (AIDC), SoC design platform for small industries and startups in Japan,” International Cooperation On Semiconductor (ICOS), Workshop on Sustainable Electronics & International Cooperation on Semiconductors, April, 2023.
- [58] Makoto Ikeda, “Strategy to Increase Chip Designers-Education, Re-Education, Re-skilling and..c JP-EU semiconductors workshop, Jan. 2024.
- [59] Makoto Ikeda, “Hardware Acceleration of Functional Encryption and its Security Measures,” IEEE Solid-State Circuits Society, Commemorative Lectures for Transistor 75th Anniversary, at San Diego Chapter, June 2023.
- [60] Makoto Ikeda, “The Transistor: Exponential Growth and Securing our world for 75 years of Existence,” IEEE Solid-State Circuits Society, Commemorative Lectures for Transistor 75th Anniversary, at Delhi Chapter, July 2023.
- [61] Makoto Ikeda, “The Transistor: Exponential Growth and Securing our world for 75 years of Existence,” IEEE Solid-State Circuits Society, Commemorative

解説記事

そのほか

- Lectures for Transistor 75th Anniversary, at Dalian Chapter, July 2023.
- [62] Makoto Ikeda, “The Transistor: Exponential Growth and Securing our world for 75 years of Existence,” IEEE Solid-State Circuits Society, Commemorative Lectures for Transistor 75th Anniversary, at EPFL, Sept. 2023.
- [63] Makoto Ikeda, “The Transistor: Exponential Growth and Securing our world for 75 years of Existence,” IEEE Solid-State Circuits Society, Commemorative Lectures for Transistor 75th Anniversary, at Grenoble Chapter, Sept. 2023.
- [64] Makoto Ikeda, “Hardware Acceleration of Functional Encryption and its Security Measures,” IEEE Solid-State Circuits Society, Commemorative Lectures for Transistor 75th Anniversary, at POSTECH, Oct. 2023.
- [65] Makoto Ikeda, “Hardware Acceleration of Functional Encryption and its Security Measures,” IEEE Solid-State Circuits Society, Commemorative Lectures for Transistor 75th Anniversary, at Nanjing University, Oct. 2023.
- [66] Makoto Ikeda, “Hardware Acceleration of Functional Encryption and its Security Measures,” IEEE Solid-State Circuits Society, Commemorative Lectures for Transistor 75th Anniversary, at Hanoi, Nov. 2023.
- [3] J. Shiomi and K. Uchida, “Scientific challenges of cryo-electronics thermal management,” *Nat. Rev. Electr. Eng.*, 2024. doi: 10.1038/s44287-024-00110-0
- [4] Q. Jiang, T. Iwai, M. Jo, T. Hosomi, T. Yanagida, K. Uchida, K. Hashimoto, T. Nakazono, Y. Yamada, A. Kobayashi, S. Takizawa, H. Masai, J. Terao, “Insulated π -Conjugated Azido Scaffolds for Stepwise Functionalization via Huisgen Cycloaddition on Metal Oxide Surfaces,” *Small*, **2403717**, 2024. doi: 10.1002/sml.202403717
- [5] T. Kato, T. Tanaka, and K. Uchida, “Thermal-aware device design of low-power H₂S sensors using Joule-heated Au nanosheet,” *Jpn. J. Appl. Phys.*, **63**, 065003, 2024. doi: 10.35848/1347-4065/ad53b1
- [6] T. Miyao, K. Yoshinaga, T. Tanaka, H. Ishikuro, M. Tada, and K. Uchida, “Imaginary impedance due to hopping phenomena and evaluation of dopant ionization time in cryogenic metal-oxide-semiconductor devices on highly doped substrate,” *Appl. Phys. Express*, **17**, 051001, 2024. doi: 10.35848/1882-0786/ad3d2a
- [7] H. Numata, N. Iguchi, M. Tanaka, K. Okamoto, S. Miura, K. Uchida, H. Ishikuro, T. Sakamoto, and M. Tada, “Superconducting Nb interconnects for Cryo-CMOS and superconducting digital logic applications,” *Jpn. J. Appl. Phys.*, **63**, 04SP73, 2024. doi: 10.35848/1347-4065/ad37c1
- [8] T. Kato, T. Tanaka, and K. Uchida, “Detection of PPB-Level H₂S Concentrations in Exhaled Breath Using Au Nanosheet Sensors with Small Variability, High Selectivity, and Long-Term Stability,” *ACS Sens.*, **9**, 2, 708, 2024. doi: 10.1021/acssensors.3c01944
- [9] R. Toyoshima, T. Tanaka, T. Kato, H. Abe, K. Uchida, and H. Kondoh, “Understanding of a Pt thin-film H₂ sensor under working conditions by AP-XPS and XAFS,” *Chem. Lett.*, **53**, 2, upad031, 2024, doi: 10.1093/chemle/upad031
- [10] C.-W. Pai, K. Uchida, M. Tada, and H. Ishikuro, “Design and analysis of a high-speed low-power comparator with regeneration enhancement and

内田研究室

研究論文

- [1] S. Yamaguchi, T. Iwai, H. V. Miyagishi, H. Masai, T. Hosomi, T. Yanagida, K. Uchida, and J. Terao, “Azido-enabled thermal history analysis on metal-oxide surface,” *Nanoscale*, 2025. doi: 10.1039/D5NR01176K.
- [2] C.-W. Pai, K. Uchida, M. Tada, and H. Ishikuro, “A Cryo-CMOS 10-bit 60-MS/s SAR ADC with Common-Mode Variation Suppression Switching Scheme and Gain Boosting Dynamic Comparator,” *Microelectronics Journal*, **106435**, 2024. doi: 10.1016/j.mejo.2024.106435

through current suppression techniques from 4 K to 300 K in 65-nm Cryo-CMOS,” *Microelectronics Journal*, **144**, 106066, 2024. doi: 10.1016/j.mejo.2023.106066

- [11] Y. Fujiki, T. Tanaka, K. Yakabe, N. Seki, M. Akiyama, K. Uchida, and Y.-G. Kim, “Hydrogen gas and the gut microbiota are potential biomarkers for the development of experimental colitis in mice,” *Gut Microbiome*, **5**, e3, 1012, 2024. doi: 10.1017/gmb.2023.17

国際会議論文

- [1] K. Uchida, “Integrated ultra-low power molecular sensors for health-condition and environment monitoring,” International Cooperation on Semiconductors (ICOS) Workshop -Challenges in advanced computing and functionalities, International Cooperation, Athene, Greece, May 13-14, 2024. (Invited)
- [2] K. Uchida, “Scientific Challenges of Cryo-CMOS for Quantum Computing,” International Symposium on Digital Technologies and Policies: Supporting the Indo-Pacific-European Digital Partnership (INPACE Symposium) 2024, Seoul, Republic of Korea, Oct 21, 2024. (Invited)
- [3] Y. Shen, K. Uchida, “Covalent functionalization of Porphyrin to Graphene for Fast, Sensitive and Reproducible Ammonia Sensors,” European Materials Research Society (E-MRS), 08_1181 Symposium J: Chemical functionalization of 2D materials, Strasbourg, France, May 30, 2024.
- [4] N. Iguchi, H. Numata, M. Tanaka, K. Okamoto, T. Tanaka, K. Uchida, H. Ishikuro, T. Sakamoto, and M. Tada, “200nm-pitched, Superconducting Nb Interconnects for Cryo-CMOS Applications,” International Interconnect Technology Conference (IITC) 2024, San Jose, United States, June 3-6, 2024.

シンポジウム・研究会・大会等発表

- [1] 内田 建, 「ナノスケールトランジスタの課題」, 第52回薄膜・表面物理セミナー「先端集積回

路の技術動向と光機能融合技術」(応用物理学会 薄膜・表面物理分科会), 東京, 2024年7月4日. (招待講演)

- [2] 内田 建, 「クライオ CMOS 素子の物理 ～過渡応答特性を中心として～」, 電子情報通信学会研究会 (SDM, ICD, ITE-IST), 北海道大学, 2024年8月6日. (招待講演)
- [3] Yuxiang Shen, 豊島 遼, 内田 建, 「Covalent Functionalization of CVD Monolayer Graphene with Cobalt Phthalocyanine for Fast, Sensitive, Selective, and Stable Ammonia Sensors」, 第85回応用物理学会秋季学術講演会, 新潟, 17.2 グラフェン, 18a-A37-6, 2024年9月18日.
- [4] 成田 雄紀, 豊島 遼, 内田 建, 「六方晶(NH₄)xWO₃ナノワイヤの酸素アニールによる新奇な電子濃度制御技術」, 第85回応用物理学会秋季学術講演会, 新潟, 9.2 ナノ粒子・ナノワイヤ・ナノシート, 16p-C301-13, 2024年9月16日.
- [5] 欧陽 剣, 豊島 遼, 内田 建, 「IrO₂ナノシートを用いたCH₄センサの開発および評価」, 第85回応用物理学会秋季学術講演会, 新潟, 9.2 ナノ粒子・ナノワイヤ・ナノシート, 16p-C301-12, 2024年9月16日.
- [6] 押尾 世文, 小林 瑞月, 安達 和喜, 林凌佑, 吉永 啓人, 内田 建, 多田 宗弘, 「超伝導量子ビット制御用クライオ CMOS における高電圧 nMOSFET の低温特性」, 第72回応用物理学会春季学術講演会, 東京, 13.5 デバイス/配線/集積化技術, 14a-K101-5, 2025年3月14日.
- [7] 成田 雄紀, 豊島 遼, 内田 建, 「六方晶(NH₄)xWO₃ナノワイヤの酸素アニールによる材料物性変化機構の解明」, 第72回応用物理学会春季学術講演会, 東京, 9.2 ナノ粒子・ナノワイヤ・ナノシート, 15a-K307-10, 2025年3月15日.
- [8] 内田 建, 「集積デバイス熱設計」, 第72回応用物理学会学術講演会, 東京, T24 実装技術アラカルト II : 最先端半導体実装技術と将来展望, 15p-K101-4, 2025年3月15日. (招待講演)
- [9] 内田 建, 「金属ナノシートおよび修飾グラフェンによる低分子センシング」, 第72回応用物

理学会学術講演会, 東京, T26 極薄物質で本当に良いセンサーができるのか? ~ ナノチューブ・二次元材料を用いた低分子センシングの現状と課題~, 16p-K101-6, 2025年3月16日. (招待講演)

著書

なし

小菅研究室

研究論文

- [1] R. Sumikawa, A. Kosuge, Y. C. Hsu, K. Shiba, M. Hamada, T. Kuroda “A183.4-nJ/inference 152.8- μ W 35-Voice Commands Recognition Wired-Logic Processor Using Algorithm-Circuit Co-Optimization Technique,” in IEEE Solid-State Circuits Letters, vol. 7, pp. 22-25, 2024.
- [2] D. Li, Z. Zhan, R. Sumikawa, M. Hamada, A. Kosuge, T. Kuroda “A 0.13mJ/Prediction CIFAR-100 Fully Synthesizable Raster-Scan-Based Wired-Logic Processor in 16-nm FPGA,” in IEICE Trans. Electronics, Vol.E107-C, No.6, pp.155-162, June 2024.
- [3] K. Tsuda, K. Furutani, Y. Yakubo, H. Godo, Y. Ando, A. Kosuge, T. Nakura, and S. Yamazaki, “A 1.1-nJ/Classification True Analog Current Computing on Multilayer Neural Network With Crystalline-IGZO/Si-CMOS Monolithic Stack Technology,” in IEEE Journal of the Electron Devices Society, vol. 12, pp. 594-604, 2024. doi: 10.1109/JEDS.2024.3439712
- [4] A. Kosuge and K. Lee, “Solid-State Circuit Directions Committee’s “Think Impact With ICs” Workshop on System, Circuit, Device, and Packaging Co-Optimization for Next Generation AI Systems [Society News],” in IEEE Solid-State Circuits Magazine, vol. 16, no. 4, pp. 111-113, Fall 2024.

国際会議論文

- [1] D. Li, T. Zhao, K. Kobayashi, A. Kosuge, M.

Hamada, T. Kuroda, “Efficient FPGA Resource Utilization in Wired-Logic Processors Using Coarse and Fine Segmentation of LUTs for Non-Linear Functions,” in IEEE International Symposium on Circuits and Systems (ISCAS), May, 2024.

- [2] T. Takagi, T. Ninomiya, M. Niwa, S. Obara, T. Momose, Y. Shimogaki, M. Nomura, H. Fujioka, M. Mori, and T. Kuroda, “High thermal conductivity AlN films for advanced 3D Chiplets,” in IEEE VLSI Symposium on Circuits and Technology, June 2024.
- [2] Kota Shiba, Zhijie Zhan, Koji Nii, Yih Wang, Tsung-Yung Jonathan Chang, Atsutake Kosuge, Mototsugu Hamada, Tadahiro Kuroda, “A 28-nm 0.8M-weights/mm² 9.1-TOPS/mm² SRAM-Based All-Analog Compute-In-Memory Using Fine-Grained Structured Pruning with Adaptive-Ranging ADC,” in IEEE European Solid-State Electronics Research Conference (ESSERC), Sep, 2024.
- [3] A. Kawada, K. Kobayashi, J. Shin, R. Sumikawa, M. Hamada, A. Kosuge, “A 250.3uW Versatile Sound Feature Extractor Using 1024-Point FFT 64-ch LogMel Filter in 40nm CMOS,” in IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), Nov., 2024.
- [4] Y. Pan, D. Li, M. Hamada, and A. Kosuge, “A Coarse- and Fine-Grained LUT Segmentation Method Enabling Single FPGA Implementation of Wired-Logic DNN Processor,” in IEEE 30th Asia and South Pacific Design Automation Conference (ASP-DAC), Jan. 2025.
- [5] J. Shin, R. Sumikawa, D. Li, M. Hamada, and A. Kosuge, “A Via-Programming DNN Processor Fabrication toward 1/40 Mask Cost,” in IEEE International Solid-State Circuits Conference (ISSCC’25), Feb. 2025.

シンポジウム・研究会・大会等発表

- [1] 後藤, 新田見, 天野, 御手洗, 于, 潘, 小菅, 池田 “AI の基盤としての半導体の理解に向けてのデザインハッカソン” 電子情報通信学会 RECONF 研究会, 2025/1/17

- [2] 天野, 小菅, 島本, 最上, 井上, 落合, 角, 池田, 三田 “Agile-chip platformを用いた半導体教育入門用学生実験の提案と試行” 電子情報通信学会VLD研究会(デザインガイア2024)
- [3] 島本, 天野, 最上, 井上, 落合, 角, 小菅, 黒田, 池田, 三田 “ボンディングパッド表面処理によるAgile-X LSIの製造歩留改善” 第16回集積化MEMSシンポジウム 2024/11

■ 染谷・横田・山岸研究室

研究論文

- [1] Osbel Almora, Guillermo C. Bazan, Carlos I. Cabrera, Luigi A. Castriotta, Sule Erten-Ela, Karen Forberich, Kenjiro Fukuda, Fei Guo, Jens Hauch, Anita W.Y. Ho-Baillie, T. Jesper Jacobsson, Rene A.J. Janssen, Thomas Kirchartz, Richard R. Lunt, Xavier Mathew, David B. Mitzi, Mohammad K. Nazeeruddin, Jenny Nelson, Ana F. Nogueira, Ulrich. W. Paetzold, Barry P. Rand, Uwe Rau, Takao Someya, Christian Sprau, Lidice Vaillant-Roca, and Christoph J. Brabec, “Device Performance of Emerging Photovoltaic Materials (Version 5),” *Advanced Energy Materials*, 2404386(2024). [DOI: 10.1002/aenm.202404386]
- [2] Yiming Liu, Wooyoung Park, Chun Ki Yiu, Xingcan Huang, Shengxin Jia, Yao Chen, Hehua Zhang, Hongting Chen, Pengcheng Wu, Mengge Wu, Zhenyu Liu, Yuyu Gao, Kening Zhu, Zhao Zhao, Yuhang Li, Tomoyuki Yokota, Takao Someya, and Xinge Yu, “Miniaturized, portable gustation interfaces for VR/AR/MR,” *PNAS*, Vol. 121(49) (2024). [DOI: 10.1073/pnas.2412116121]
- [3] Kenjiro Fukuda, Lulu Sun, Baocai Du, Masahito Takakuwa, Jiachen Wang, Takao Someya, Lluís F. Marsal, Yinhua Zhou, Yiwang Chen, Hongzheng Chen, S. Ravi P. Silva, Derya Baran, Luigi A. Castriotta, Thomas M. Brown, Changduk Yang, Weiwei Li, Anita W. Y. Ho-Baillie, Thomas Österberg, Nitin P. Padture, Karen Forberich, Christoph J. Brabec, and Osbel Almora, “A bending test protocol for characterizing the mechanical performance of flexible photovoltaics,” *Nature Energy* (2024). [DOI: 10.1038/s41560-024-01651-2]
- [4] Feng Jiang, Gurunathan Thangavel, Jin Pyo Lee, Adit Gupta, Yufei Zhang, Jian Yu, Tomoyuki Yokota, Kento Yamagishi, Yihui Zhang, Takao Someya, and Pooi See Lee, “Self-healable and stretchable perovskite-elastomer gas-solid triboelectric nanogenerator for gesture recognition and gripper sensing,” *Science Advances*, Vol. 10 (2024). [DOI: 10.1126/sciadv.adq5778]
- [5] Tatsuma Miyake, Masahito Takakuwa, Daishi Inoue, Daisuke Hashizume, Tomoyuki Yokota, Shinjiro Umezu, Kenjiro Fukuda, Takao Someya, “Direct Conductive Bonding of Silver Electrodes on Ultrathin Polymer Films,” *ACS Applied Electronic Materials*, Vol. 6(10) (2024). [DOI: 10.1021/acsaelm.4c01197]
- [6] Sunghoon Lee, Joo Sung Kim, Yan Wang, Yusaku Tagawa, Wenqing Wang, Lulu Sun, Xiaoping Liang, Md Osman Goni Nayeem, Tomoyuki Yokota, Kenjiro Fukuda, Takao Someya, “An ultrasoft nanomesh strain sensor with extreme mechanical durability against friction for on-skin applications,” *Device*, Vol. 3, 100559(2024). [DOI: 10.1016/j.device.2024.100559]
- [7] Baocai Du, Sixing Xiong, Lulu Sun, Yusaku Tagawa, Daishi Inoue, Daisuke Hashizume, Wenqing Wang, Ruiqi Guo, Tomoyuki Yokota, Shuxu Wang, Yasuhiro Ishida, Sunghoon Lee, Kenjiro Fukuda, and Takao Someya, “A water-resistant, ultrathin, conformable organic photodetector for vital sign monitoring,” *Science Advances*, Vol. 10(30), 2679(2024). [DOI: 10.1126/sciadv.adp2679]
- [8] Yu Ding, Sixing Xiong, Lulu Sun, Yiyang Wang, Yinhua Zhou, Yaowen Li, Jun Peng, Kenjiro Fukuda, Takao Someya, Ruiyuan Liu, and Xiaohong Zhang, “Metal nanowire-based transparent electrode for flexible and stretchable optoelectronic devices,” *Chemical Society Reviews*, Vol. 53(15), pp. 7784-7827, (2024). [DOI: 10.1039/D4CS00080C]
- [9] Limei Liu, Zihan Lu, Zhenyu Yan, Haoyang Wang, Zhicheng Su, Tomoyuki Yokota, Takao Someya,

- and Binghao Wang, “Ultraflexible Ring-Shaped Organic Photodetectors for Motion Artifact-Less Photoplethysmography,” *Advanced Optical Materials*, Vol. 12(22), 2400665(2024). [DOI: 10.1002/adom.202400665]
- [10] Jiachen Wang, Yuto Ochiai, Niannian Wu, Kiyohiro Adachi, Daishi Inoue, Daisuke Hashizume, Desheng Kong, Naoji Matsuhisa, Tomoyuki Yokota, Qiang Wu, Wei Ma, Lulu Sun, Sixing Xiong, Baocai Du, Wenqing Wang, Chih-Jen Shih, Keisuke Tajima, Takuzo Aida, Kenjiro Fukuda, and Takao Someya, “Intrinsically stretchable organic photovoltaics by redistributing strain to PEDOT:PSS with enhanced stretchability and interfacial adhesion,” *Nature Communications*, Vol. 15, 4902(2024). [DOI: 10.1038/s41467-024-49352-4]
- [11] Yiming Liu, Shengxin Jia, Chun Ki Yiu, Wooyoung Park, Zhenlin Chen, Jin Nan, Xingcan Huang, Hongting Chen, Wenyang Li, Yuyu Gao, WeiKe Song, Tomoyuki Yokota, Takao Someya, Zhao Zhao, Yuhang Li, and Xinge Yu, “Intelligent wearable olfactory interface for latency-free mixed reality and fast olfactory enhancement,” *Nature Communications*, Vol. 15, 4474 (2024). [DOI: 10.1038/s41467-024-48884-z]
- [12] Wenqing Wang, Suksmandhira Harimurti, Daishi Inoue, Md Osman Goni Nayeem, Jiachen Wang, Chika Okuda, Daisuke Hashizume, Sunghoon Lee, Kenjiro Fukuda, Tomoyuki Yokota, and Takao Someya, “Janus Membrane-Based Wearable pH Sensor with Sweat Absorption, Gas Permeability, and Self-Adhesiveness,” *ACS Applied Materials & Interfaces*, Vol. 16, pp. 27065–27074, (2024). [DOI: 10.1021/acsami.4c02189]
- [13] Zehao Wang, Simin Cheng, Kenjiro Fukuda, Wenping, Xiaomin Xu, and Takao Someya, “Flexible near-infrared organic photodetectors for emergent wearable applications,” *Wearable Electronics*, Vol. 1, pp. 53-57 (2024). [DOI: 10.1016/j.wees.2024.04.001]
- [14] Sunghoon Lee, Xiaoping Liang, Joo Sung Kim, Tomoyuki Yokota, Kenjiro Fukuda, and Takao Someya, “Permeable Bioelectronics toward Biointegrated Systems,” *Chemical Reviews*, Vol. 124, pp. 6543-6591 (2024). [DOI: 10.1021/acs.chemrev.3c00823]
- [15] Ahmed Miguel Román Abolhosen, Shinyoung Lee, Kenjiro Fukuda, Takao Someya, Leobardo Hernández González, and Jun Shintake, “Functional soft robotic composites based on organic photovoltaic and dielectric elastomer actuator,” *Scientific Reports*, Vol. 14(1), 9953 (2024). [DOI: 10.1038/s41598-024-60899-6]
- [16] Lulu Sun, Jiachen Wang, Hiroyuki Matsui, Shinyoung Lee, Wenqing Wang, Shuyang Guo, Hongting Chen, Kun Fang, Yoshihiro Ito, Daishi Inoue, Daisuke Hashizume, Kazuma Mori, Masahito Takakuwa, Sunghoon Lee, Yinhua Zhou, Tomoyuki Yokota, Kenjiro Fukuda, and Takao Someya, “All-solution-processed ultraflexible wearable sensor enabled with universal trilayer structure for organic optoelectronic devices,” *Science Advances*, Vol. 10, no. 15 (2024). [DOI: 10.1126/sciadv.adk9460]
- [17] Lulu Sun, Kenjiro Fukuda, Ruiqi Guo, Luigi A. Castriotta, Karen Forberich, Yinhua Zhou, Takao Someya, Christoph J. Brabec, and Osbel Almora, “A Flexible Photovoltaic Fatigue Factor for Quantification of Mechanical Device Performance,” *Advanced Functional Materials*, 2422706(2025). [DOI: 10.1002/adfm.202422706]
- [18] Kosei Sasaki, Chika Okuda, Theodorus Jonathan Wijaya, Sunghoon Lee, Kento Yamagishi, Takao Someya, Tomoyuki Yokota, “Detachable Top Electrode-Organic Photodetector for Repeated Nondestructive Evaluation of Device Performance and Surface Analysis of the Active Layer,” *ACS Applied Materials & Interfaces*, Vol. 17(5), pp. 8064-8071 (2025). [DOI: 10.1021/acsami.4c15572]
- [19] Masahito Takakuwa, Daishi Inoue, Lulu Sun, Michitaka Yamamoto, Shinjiro Umezu, Daisuke Hashizume, Toshihiro Itoh, Kenjiro Fukuda, Takao Someya, Tomoyuki Yokota, “Robust Full-Surface Bonding of Substrate and Electrode for Ultra-Flexible Sensor Integration,” *Advanced Materials*, 2417590

- (2025). [DOI: 10.1002/adma.202417590]
- [20] Shumpei Katayama, Keigo Ando, Sunghoon Lee, Zhi Jiang, Xiaodong Chen, Tomoyuki Yokota, Hiroataka Sato, Shinjiro Umezu, Kenjiro Fukuda, Takao Someya, “Locomotion control of Cyborg insects by using ultra-thin, self-adhesive electrode film on abdominal surface,” *npj Flexible Electronics*, 9(1), 25 (2025). [DOI: 10.1038/s41528-025-00387-7]
- [21] Ayato Kanada, Ryo Takahashi, Keito Hayashi, Ryusuke Hosaka, Wakako Yukita, Yasutaka Nakashima, Tomoyuki Yokota, Takao Someya, Mitsuhiro Kamezaki, Yoshihiro Kawahara, Motoji Yamamoto, “Joint-Repositionable Inner-Wireless Planar Snake Robot,” *IEEE Robotics and Automation Letters*, vol. 10, no. 5, pp. 4994-5001 (2025). [DOI: 10.1109/LRA.2025.3555394]
- #### 国際会議論文
- [1] (Invited)Tomoyuki Yokota, “Flexible Optical Pressure Sensor Based on Organic Imager,” *international Conference on Display Technology (ICDT), Virtual*, 4, 2024.
- [2] (Invited)Tomoyuki Yokota, “Ultra-Flexible Organic Devices for Health Monitoring,” *The 19th IEEE International Conference on Nano/Micro Engineered and Molecular Systems (IEEE-NEMS 2024)*, Kyoto International Conference Center (ICC Kyoto), 5, 2024.
- [3] (Invited)Kento Yamagishi, “Biomaterials and Biodevices I,” *The 19th IEEE International Conference on Nano/Micro Engineered and Molecular Systems (IEEE-NEMS 2024)*, JR Hotel Clement Tokushima, 5, 2024.
- [4] (Plenary)Takao Someya, “Stretchable and Wearable Electronics,” *The International Union of Materials Research Societies – 18th International Conference on Electronic Materials 2024 (IUMRS-ICEM 2024)*, Virtual, 5, 2024.
- [5] (Invited)Takao Someya, “Recent Advancements in Electronic Skin for Robotics and Wearables,” *ASC Nano Summit*, Virtual, 5, 2024.
- [6] (Plenary)Takao Someya, “Recent Advancements in Electronic Skin for Robotics and Wearables,” *Advanced Epitaxy for Freestanding Membranes and 2D Materials(AEFM2024)*, , 7, 2024.
- [7] (Invited)Kento Yamagishi, “Direct ink writing for flexible and stretchable microfluidic electronics,” *The 1st International Conference on AI Sensors & The 10th International Symposium on Sensor Science*, 8, 2024.
- [8] (Plenary)Takao Someya, “Recent Progress of Electronic Skins,” *The International Conference on Flexible and Printed Electronics (ICFPE2024)*, 8, 2024.
- [9] (Invited)Lee Sunghoon, “Skin-attachable ultrasoft nanomesh sensors toward nextgeneration wearable electronics,” *the 2024 IEEE International Flexible Electronics Conference (The IEEE IFETC2024)*, 9, 2024.
- [10] (Plenary)Takao Someya, “Flexible Energy Harvesting Systems for Energy-independent Bio-implantable Biosensors,” *2024 Wiley Forum Fall Meeting*, 10, 2024.
- [11] (Invited)Tomoyuki Yokota, “Flexible optical pressure sensor based on organic imager,” *IEEE SENSORS 2024*, 10, 2024.
- [12] (Invited)Takao Someya, “Recent Advancements in Electronic Skins,” *GTIIT Leadership Lecture Series*, 11, 2024.
- [13] (Invited)Tomoyuki Yokota, “Conformable Organic Image Sensor for Bioimaging,” *The 31st International Display Workshops (IDW’ 24)*, 12, 2024.
- [14] (Invited)Takao Someya, “E-skins powered by highly efficient optical photovoltaics,” *ECE Departmental Seminars*, 3, 2025.
- [15] (Invited)Takao Someya, “Recent progress of electronic skins,” *American Chemical Society Spring meeting (ACS Spring 2025)*, 3, 2025.
- [16] (Invited)Takao Someya, “Advances in Electronic Skins for Robotics and Next-Generation Wearables,” *東大_Cambridge Joint Work Shop(JST ASPIRE)*, 3, 2025.

シンポジウム・研究会・大会等発表

- [1] 染谷隆夫, “イノベーション創出に向けた新しい産学協創と大学の役割
〜ウェアラブルの医療応用を事例として〜,” DBJ オンライン講演会, オンライン, 2022年4月.
- [2] 染谷隆夫, “ヘルスケアDXを加速する次世代ウェアラブル,” Japan Analytical & Scientific Instruments Show2024(JASIS 2024), 幕張メッセ国際展示場, 2024年9月.
- [3] 高桑聖仁, “パリレンポリマー接合及び金接合用途に使用可能なハイブリット接合法,” 日本機械学会2024年度年次大会, 愛媛大学, 2024年9月.
- [4] 染谷隆夫, “Biosensor for the ageing society,” Kidney Health In Aging and Aged Societies: JSN/ERA Symposium Collaboration with JSDT and WDA (高齢化社会における腎臓の健康: 日本腎臓学会欧州腎臓学会合同シンポジウム), 国立京都国際会館, 2024年9月.
- [5] 染谷隆夫, “伸縮性エレクトロニクスの技術トレンドと電子皮膚,” 第85回応用物理学会秋季学術講演会, 朱鷺メッセ, 2024年9月.
- [6] 三室 真帆, 山岸 健人, 李 成薫, 横田 知之, 染谷 隆夫, “ポリビニルアルコール・ポリウレタン混合ナノファイバーを用いた耐水性と伸縮性を有する皮膚電極,” 第85回応用物理学会秋季学術講演会, 朱鷺メッセ, 2024年9月.”
- [7] 佐々木 光生, 山岸 健人, 染谷 隆夫, 横田 知之, “極薄ゴム基板を用いた着脱可能な構造を有する有機光検出器の開発,” 第85回応用物理学会秋季学術講演会, 朱鷺メッセ, 2024年9月.
- [8] 栗倉 幸, 佐々木 光生, 染谷 隆夫, 横田 知之, “異なる波長域光を選択的に検出可能な有機光検出器の作製,” 第85回応用物理学会秋季学術講演会, 朱鷺メッセ, 2024年9月.
- [9] 佐々木 光生, 大井 寛崇, 横田 知之, “電子輸送層にTi₃C₂T_x MXeneを用いた薄膜フレキシブル有機フォトダイオードの開発,” 第85回応用物理学会秋季学術講演会, 朱鷺メッセ, 2024年9月.
- [10] 青木 悠登, 奥田 知華, 李 成薫, 染谷 隆夫, 横田 知之, “ナノメッシュ基板上に作製した有機フォトランジスタ,” 第85回応用物理学会秋季学術講演会, 朱鷺メッセ, 2024年9月.
- [11] 増田 凌, 多川 友作, 山岸 健人, 横田 知之, 染谷 隆夫, “毛羽立ち構造による皮膚への追従性を持つ心電図計測向け布型電極の作製,” 第85回応用物理学会秋季学術講演会, 朱鷺メッセ, 2024年9月.
- [12] 多川 友作, 染谷 隆夫, 横田 知之, “有機光検出器の電子輸送層用ZnO膜のドライアニール効果,” 第85回応用物理学会秋季学術講演会, 朱鷺メッセ, 2024年9月.
- [13] 山岸 健人, チン テリー, チョウ ウェンシェン, ファン シャオウィン, 橋本 道尚, “生体組織に機械的に適合する超柔軟・伸縮性液体金属アンテナ,” 第85回応用物理学会秋季学術講演会, 朱鷺メッセ, 2024年9月.
- [14] 福澤 亮太, 牛丸 智晶, 山岸 健人, 横田 知之, 染谷 隆夫, “自己ドープ型PEDOTを用いたナノシート電極による生体計測,” 第85回応用物理学会秋季学術講演会, 朱鷺メッセ, 2024年9月.
- [15] 中込 満博, 福澤 亮太, 山岸 健人, 横田 知之, 染谷 隆夫, “S-PEDOTを用いた導電性ナノメッシュの開発,” 第85回応用物理学会秋季学術講演会, 朱鷺メッセ, 2024年9月.
- [16] 牛丸 智晶, 福澤 亮太, 山岸 健人, 染谷 隆夫, 横田 知之, “自己接着性と伸縮性を有する皮膚貼り付けナノシート電極の開発,” 第85回応用物理学会秋季学術講演会, 朱鷺メッセ, 2024年9月.
- [17] Jingyi Jiang, Wakako Yukita, Kento Yamagishi, Tomoyuki Yokota, Takao Someya, “Smart socks with all textile-based pressure sensors,” 第85回応用物理学会秋季学術講演会, 朱鷺メッセ, 2024年9月.
- [18] 染谷隆夫, “The next generation wearables for bio-signal monitoring and vaccine development,” 第15回 UTOPIA Monthly Research Seminar, Web, 2024年10月.

- [19] 染谷隆夫, “次世代ウェアラブルの社会実装,” 服部報公会 特別講演会「応用物理学研究の最前線～未来に向けた挑戦～」, 東京大学 山上会館, 2025年1月.
- [20] 山岸健人, “ヘルスケアおよびスポーツ応用に向けた超薄膜エレクトロニクスの開発,” 第39回エレクトロニクス実装学会春季講演大会, 拓殖大学, 文京キャンパス, 2025年3月.
- ## 高木研究室
- ### 研究論文
- [1] S.-Y. Min, K. Toprasertpong, E. Nako, R. Nakane, M. Takenaka, and S. Takagi, “Polarization Current-based Reservoir Computing Utilizing an Anti-ferroelectric-like HfZrO₂ Capacitor,” *Appl. Phys. Lett. Mach. Learn.*, Vol. 3, 016120, 2025 (DOI: 10.1063/5.0255149)
- [2] Y. Chen, Z. Jin, X. Han, H. Oka, T. Mori, K. Toprasertpong, M. Takenaka and S. Takagi, “Accurate Evaluation of Effective Mobility in Si MOSFETs at Cryogenic Temperatures using Quasi-Static C-V Method,” *Jpn. J. Appl. Phys.*, Vol. 64, 2025 (DOI: 10.35848/1347-4065/adb4fa)
- [3] R. Suzuki, K. Toprasertpong, R. Nakane, E. Nako, M. Takenaka, and S. Takagi, “Voltage-Operating Reservoir Computing Utilizing Ferroelectric-FET Source Follower Configurations,” *Jpn. J. Appl. Phys.*, Vol. 64, Num. 2, 02SP40, 2025 (DOI: 10.35848/1347-4065/adb295)
- [4] S.-Y. Min, K. Toprasertpong, M. Takenaka, and S. Takagi, “Unipolar Polarization Switching and High-endurance Memory Operation of HZO/Si Anti-ferroelectric FETs,” *Jpn. J. Appl. Phys.*, Vol. 64, Num. 2, 02SP36, 2025 (DOI 10.35848/1347-4065/adb163) (selected as a Spotlight Paper)
- [5] S.-K. Cho, K. Toprasertpong, M. Takenaka, and S. Takagi, “A Novel Measurement Method to Evaluate Relationship Between Threshold Voltage and Polarization for Understanding Memory Operation of Ferroelectric Field-Effect Transistors,” *Jpn. J. Appl. Phys.*, Vol. 64, Num. 2, 02SP12, 2025 (DOI: 10.35848/1347-4065/ada6bf)
- [6] Z. Jin, Y. Chen, X. Han, H. Oka, T. Mori, K. Toprasertpong, M. Takenaka and S. Takagi, “A correction method of split C-V characteristics based on transmission line model for accurate evaluation of surface carrier concentration and effective mobility in MOSFETs,” *Jpn. J. Appl. Phys.*, Vol. 64, Num. 1, 01SP16, 2025 (DOI: 10.35848/1347-4065/ad9f70)
- [7] Z. Cai, Z. Liu, Y.-K. Liang, X. Han, S.-Y. Min, E. Nako, S.-K. Cho, C.-T. Chen, M. Takenaka, K. Toprasertpong, and S. Takagi, “Recovery Strategy of Fatigue-Limited Endurance in Si FeFETs with thin HfZrO₂ films,” *IEEE Trans. Electron Devices*, Vol. 72, Issue 1, pp. 467-473, 2025 (DOI: 10.1109/TED.2024.3493065)
- [8] Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, “Compact, Low-loss, and Broadband 2×2 Si Optical Coupler Designed by CMA-ES,” *Jpn. J. Appl. Phys.*, Vol. 63, Num. 12, 12SP16, 2024 (DOI: 10.35848/1347-4065/ad983b)
- [9] M.-S. Kang, K. Toprasertpong, H. Oka, T. Mori, M. Takenaka, and S. Takagi, “Characterization and Quantitative Understanding of Subthreshold Swing of Si MOSFETs at Cryogenic Temperatures,” *J. Appl. Phys.*, vol. 136, Issue 19, 195702, November 18, 2024. (DOI: 10.1063/5.0233899)
- [10] トープラサートポン カシディット, 名幸瑛心, 関信義, 鈴木陸央, 中根了昌, 竹中充, 高木信一, “強誘電体トランジスタのリザーバーコンピューティングによる時系列データの機械学習,” 「表面と真空」, 日本表面真空学会, vol. 67, No.11, pp. 545-550, 2024.
- [11] S. Takagi, X. Han, C.-T. Chen, K. Sumita, K. Toprasertpong and M. Takenaka, “(Invited) Mobility enhancement technology of extremely thin body Ge-On-Insulator channel MOSFETs,” *ECS Trans.*, 114 (2), pp. 3-14, Oct. 6, 2024 (DOI: 10.1149/11402.0003ecst)
- [12] R. Suzuki, K. Toprasertpong, R. Nakane, E. Nako, M. Takenaka, and S. Takagi, “Reservoir computing utilizing a complementary combination of n- and

- p-channel FeFETs,” *IEEE Electron Device Lett.*, Vol. 45, Issue. 10, pp. 1768-1771, 2024 (DOI: 10.1109/LED.2024.3435422)
- [13] T. Akazawa, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, and M. Takenaka, “Si-waveguide-based optical power monitoring of a 2×2 Mach-Zehnder interferometer based on a InGaAsP/Si hybrid MOS optical phase shifter,” *Optics Letters*, vol. 49, no. 20, pp. 5882–5885, October 2024. (DOI: 10.1364/OL.538924)
- [14] R. Tang, S. Ohno, K. Tanizawa, K. Ikeda, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, “A symmetric silicon microring resonator optical crossbar array for accelerated inference and training in deep learning,” *Optica*, vol. 12, Issue 8, pp. 1681-1688, 2024 (DOI: 10.1364/PRJ.520518)
- [15] X. Han, C.-T. Chen, K. Sumita, K. Toprasertpong, M. Takenaka, and S. Takagi, “Electron Mobility Enhancement of (111)-Oriented Extremely-Thin Body Ge-On-Insulator nMOSFETs by Flipped Smart-Cut Substrates,” *IEEE Trans. Electron Devices*, Vol. 71, Issue 9, pp. 5198-5204, 2024 (DOI: 10.1109/TED.2024.3434782)
- [16] Y.-K. Liang, W.-L. Li, Y.-L. Lin, D.-R. Hsieh, T.-T. Chou, C.-C. Kei, H.-Y. Huang, Y.-M. Lin, Y.-C. Tseng, T.-S. Chao, E. Y. Chang, K. Toprasertpong, S. Takagi, and C.-H. Lin, “Improved Stability of Highly Scaled Ultrathin InZnO Channel Ferroelectric Thin Film Transistor with TiO₂ Interfacial Layer,” *IEEE Trans. Electron Devices*, Vol. 71, Issue 9, pp. 5788-5791, 2024 (DOI: 10.1109/TED.2024.3433835)
- [17] Z. Liu, K. Toprasertpong, Z. Cai, M. Takenaka, and S. Takagi, “Role of charge injection/de-trapping in imprint behavior of ferroelectric Hf_{0.5}Zr_{0.5}O₂ thin film,” *Appl. Phys. Lett.*, vol. 125, 072904, 2024. (DOI: 10.1063/5.0212368)
- [18] Y.-K. Liang, Z. Liu, Z. Cai, X. Han, Y.-Y. Hsiao, H.-Y. Huang, Y.-M. Lin, E. Y. Chang, C.-H. Lin, M. Takenaka, K. Toprasertpong, and S. Takagi, “Demonstration of Highly Robust 6 nm Ultra-Thin ZrO₂-HfO₂ Superlattice Ferroelectric Capacitors,” *IEEE Electron Device Lett.*, Vol. 45, No. 8, pp. 1468-1471, 2024. (DOI: 10.1109/LED.2024.3410378)
- [19] Y. Miyatake, R. Tang, K. Makino, J. Tominaga, N. Miyata, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, “Photonic Matrix Multiplication with Low-insertion-loss and Non-volatile Ge₂Sb₂Te₃S₂ Intensity Modulators,” *IEEE/OSA Journal of Lightwave Technology*, Vol. 42, Issue 12, pp. 4347-4354, June 15, 2024. (DOI: 10.1109/JLT.2024.3408877)
- [20] Y. Wakita, R. Tang, H. Tang, S. Ohno, T. Akazawa, Y. Miyatake, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, and M. Takenaka, “Add-drop Microring Resonator Switch with Positive/negative Phase Tuning using InGaAsP/Si Hybrid MOS Phase Shifter,” *IEEE/OSA J. Lightwave Technology*, Vol. 42, Issue 12, pp. 4289-4295, June 15, 2024. (DOI: 10.1109/JLT.2024.3383724)
- [21] T. Akazawa, K. Sumita, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, and M. Takenaka, “Transparent In-line Optical Power Monitoring using InP/Si Hybrid Waveguide Phototransistor,” *IEEE/OSA Journal of Lightwave Technology*, Vol. 42, Issue 12, pp. 4281-4288, June 15, 2024. (DOI: 10.1109/JLT.2024.3392471)
- [22] Z. Cai, K. Toprasertpong, Z. Liu, M. Takenaka, and S. Takagi, “Understanding HZO Thickness Scaling in Si FeFETs: Low Operating Voltage, Fast Wake-up, and Suppressed Charge Trapping,” *IEEE Trans. Electron Devices*, Vol. 71, Issue 6, pp. 3633-3639, June 2024. (DOI: 10.1109/TED.2024.3386508)
- [23] Y.-K. Liang, J.-Y. Zheng, Y.-L. Lin, Y.-C. Lu, D.-R. Hsieh, T.-T. Chou, C.-C. Kei, H.-Y. Huang, Y.-M. Lin, Y.-C. Tseng, T.-S. Chao, E. Y. Chang, K. Toprasertpong, S. Takagi, and C.-H. Lin, “Highly Scaled BEOL-Compatible Thin Film Transistors with Ultra-thin Atomic Layer Deposited Indium Tin Zinc Oxide Channel,” *IEEE Trans. Electron Devices*, Vol. 71, Issue 6, pp. 3671-3677, June 2024. (DOI: 10.1109/TED.2024.3385395)
- [24] S. Liu, K. Jana, K. Toprasertpong, J. Chen, Z. Liang, Q. Jiang, S. Wahid, S. Qin, W.-C. Chen,

- E. Pop, and H.-S. P. Wong, "Design guidelines for oxide semiconductor gain cell memory on logic platform," *IEEE Transactions on Electron Devices*, vol. 71, Issue 5, pp. 3329 - 3335, May 2024. (DOI: 10.1109/TED.2024.3372938)
- [25] K. Taki, N. Sekine, K. Watanabe, Y. Miyatake, T. Akazawa, H. Sakumoto, K. Toprasertpong, S. Takagi, and M. Takenaka, "Non-volatile optical phase shift in ferroelectric hafnium zirconium oxide," *Nature Communications*, vol. 15, 3549, May 2024. (DOI: 10.1038/s41467-024-47893-2)
- [26] H. Sawai, M. Kurata, T. Murakawa, Y. Ando, K. Fukushima, R. Eto, S. Sasagawa, K. Sugaya, R. Hodo, T. Mizuguchi, Y. Komura, H. Kunitake, S. Takagi and S. Yamazaki, "Demonstration of scaling and monolithic stacking for higher integration of integrated circuit using c axis aligned crystalline oxide semiconductor FET," *Jpn. J. Appl. Phys.*, Vol. 63, Num. 5, 051003, 2024. (DOI: 10.35848/1347-4065/ad3ab7)
- #### 国際会議論文
- [1] K. Toprasertpong, "Ferroelectric devices for low-power high-density non-volatile memory," SEMICON Korea 2025, Seoul, Korea, Feb 19-21, 2025 (Invited talk).
- [2] S. Takagi, "Channel material design for extremely-thin nano-sheet MOSFETs," Nano-Kiss, invited, Korea, Seoul, February 11, 2025.
- [3] M. Takenaka, Y. Miyatake, R. Tang, T. Taki, N. Sekine, K. Watanabe, T. Akazawa, H. Sakumoto, D. I. Bhardwaj, M. Fujita, H. Tang, K. Makino, J. Tominaga, N. Miyata, M. Okano, K. Toprasertpong, and S. Takagi, "Non-volatile optical phase shifters on Si photonics platform," invited, 50th Conference on the Physics and Chemistry of Surfaces and Interfaces (PCSI-50), Hawaii, USA, January 19-23, 2025.
- [4] S. Takagi, "Hafnia-Based Ferroelectric FETs and Capacitors for Low-Power Memory and AI Applications: Physical Understanding of Device Operation and Reliability," Tutorial, 55th IEEE Semiconductor Interface Specialists Conference (SISC), San Diego, CA, December 11-14, 2024.
- [5] S.-K. Cho, K. Toprasertpong, M. Takenaka, and S. Takagi, "Unveiling memory-window narrowing mechanism after bipolar cycling in HZO/Si FeFETs: Critical role of hole trap generation and carrier de-trapping behavior," 70th Annual IEEE International Electron Devices Meeting (IEDM), San Francisco, CA, December 7-11, 2024.
- [6] S. Takagi, K. Toprasertpong, Z. Cai, S.-K. Cho, M. Otomo, Z. Liu, K. Ito, E. Nako, S.-Y. Min, R. Nakane and M. Takenaka, "HfZrO₂-based Ferroelectric FETs for lower power memory and AI applications," 2024 US-Japan Seminar on Dielectric and Piezoelectric Ceramics, pp. 349-354, Kofu, Yamanashi, Japan, November 10-13, 2024.
- [7] T. Akazawa, Q. Li, G.-Q. Lo, K. Toprasertpong, S. Takagi, and M. Takenaka, "TIA-less Optical Power Monitor Using InGaAs/Si Hybrid Phototransistor and On-chip Si Resistor," IEEE Photonics Conference (IPC), Rome, Italy, 10-14 November, 2024.
- [8] S. Takagi, X. Han, C.-T. Chen, K. Sumita, M. Takenaka and K. Toprasertpong, "Approach to mobility enhancement in extremely-thin body Ge-On-Insulator MOSFETs," invited, 15th International WorkShop on New Group IV Semiconductor Nanoelectronics, pp. 17-18, Tohoku University, Sendai, Japan, October 21- 22, 2024.
- [9] S. Takagi, X. Han, C.-T. Chen, K. Sumita, K. Toprasertpong and M. Takenaka, "Mobility enhancement technology of extremely-thin body Ge-On-Insulator channel MOSFETs," invited, 246th Electrochemical Society (ECS) Meeting (PRiME 2024), 11th SiGe, Ge, & Related Compounds: Materials, Processing and Devices Symposium, Hawaii Convention Center & Hilton Hawaiian Village, Honolulu, USA, October 6-11, 2024.
- [10] S.-Y. Min, K. Toprasertpong, M. Takenaka, and S. Takagi, "Unipolar Polarization Switching and High-endurance Operation of HZO/Si Anti-ferroelectric FETs," 2024 International Conference on Solid

- State Devices and Materials (SSDM), B-3-02, pp. 83-84, Arcree Himeji, Hyogo, September 1-4, 2024.
- [11] X. Han, C.-T. Chen, K. Sumita, K. Toprasertpong, M. Takenaka, and S. Takagi, "High Performance (111)-Oriented Extremely-Thin Body Ge-On-Insulator nMOSFETs down to 2.1 nm," A-4-01, pp. 29-30, 2024 International Conference on Solid State Devices and Materials (SSDM), Arcree Himeji, Hyogo, September 1-4, 2024.
- [12] Y. Miyatake, K. Toprasertpong, S. Takagi and M. Takenaka, "Experimental Demonstration of Compact, Low-loss and Broadband 2x2 Si Optical Coupler Designed by CMA-ES," 2024 International Conference on Solid State Devices and Materials (SSDM), E-3-04, pp. 253-254, Arcree Himeji, Hyogo, September 1-4, 2024.
- [13] Z. Jin, Y. Chen, X. Han, H. Oka, T. Mori, K. Toprasertpong, M. Takenaka and S. Takagi, "A Correction Method of Split C-V Characteristics in MOSFETs by using Transmission Line Model for Accurate Extraction of Effective Mobility," 2024 International Conference on Solid State Devices and Materials (SSDM), A-6-04, pp. 53-54, Arcree Himeji, Hyogo, September 1-4, 2024.
- [14] Y. Chen, Z. Jin, X. Han, H. Oka, T. Mori, K. Toprasertpong, M. Takenaka and S. Takagi, "Accurate Evaluation of Effective Mobility in Si nMOSFETs at Cryogenic Temperature by Introducing Quasi-Static C-V method," 2024 International Conference on Solid State Devices and Materials (SSDM), A-6-03, pp. 51-52, Arcree Himeji, Hyogo, September 1-4, 2024.
- [15] R. Suzuki, K. Toprasertpong, R. Nakane, E. Nako, M. Takenaka and S. Takagi, "Voltage-operating Reservoir computing utilizing a ferroelectric source follower," 2024 International Conference on Solid State Devices and Materials (SSDM), B-5-02, pp. 103-104, Arcree Himeji, Hyogo, September 1-4, 2024.
- [16] Z. Liu, Z. Cai, M. Takenaka, S. Takagi, and K. Toprasertpong, "Understanding of Imprint Behavior of Ferroelectric Hf_{0.5}Zr_{0.5}O₂ thin Film: Role of Charge Injection and Field Cycling," 2024 International Conference on Solid State Devices and Materials (SSDM), B-1-02, pp. 67-68, Arcree Himeji, Hyogo, September 1-4, 2024.
- [17] S.-K. Cho, K. Toprasertpong, M. Takenaka, and S. Takagi, "A Novel Measurement Method to Extract Relationship Between Threshold Voltage and Polarization for Understanding FeFET Memory Operation," 2024 International Conference on Solid State Devices and Materials (SSDM), B-8-01, pp. 131-132, Arcree Himeji, Hyogo, September 1-4, 2024.
- [18] M. Otomo, K. Toprasertpong, Z. Cai, Z. Liu, M. Takenaka and S. Takagi, "Revealing Mechanism of Non-accumulative Disturb and Approach Toward Disturb Suppression in HZO/Si FeFET Memory," 2024 IEEE Symposium on VLSI Technology & Circuits, T15.2., Hilton Hawaiian Village, Hawaii, USA, June 16-20, 2024.
- [19] Q. Jiang, K. Jana, K. Toprasertpong, S. Liu, and H.-S. P. Wong, "Positive bias stress measurement guideline and band analysis for evaluating instability of oxide semiconductor transistors," 2024 IEEE Symposium on VLSI Technology & Circuits, Hilton Hawaiian Village, Hawaii, USA, June 16-20, 2024.
- [20] S. Liu, S. Qin, K. Jana, J. Chen, K. Toprasertpong, and H.-S. P. Wong, "First experimental demonstration of hybrid gain cell memory with Si PMOS and ITO FET for high-speed on-chip memory," 2024 Symposia on VLSI Technology and Circuits, TFS1.4, Honolulu, HI, Jun. 16-20, 2024.
- [21] S.-Y. Min, K. Toprasertpong, E. Nako, R. Nakane, M. Takenaka, and S. Takagi, "Reservoir computing using nonlinear polarization and charge dynamics of anti-ferroelectric HZO/Si FETs," IEEE Si Nanoelectronics Workshop (SNW) 2024, 6.1., pp. 37-38, Hilton Hawaiian Village, Hawaii, USA, June 15-16, 2024.
- [22] Y.-K. Liang, L.-C. Peng, Y.-L. Lin, J.-Y. Zheng, D.-R. Hsieh, T.-T. Chou, H.-Y. Huang, Y.-M. Lin, Y.-C. Tseng, T.-S. Chao, E. Y. Chang, K. Toprasertpong,

- S. Takagi, and C.-H. Lin, "Investigation of In-Sn-Zn Composition on the Characterization of Submicron Channel Length Ultra-Thin Atomic Layer Deposited InSnZnO Channel Transistors," IEEE Si Nanoelectronics Workshop (SNW) 2024, 9.3., pp. 63-64, Hilton Hawaiian Village, Hawaii, USA, June 15-16, 2024.
- [23] R. Tang, M. Okano, K. Toprasertpong, S. Takagi and M. Takenaka, "A single-wavelength non-coherent photonic matrix multiplication circuit for optical neural networks," the Conference on Lasers and Electro-Optics (CLEO), Charlotte, North Carolina, USA, 5-10 May 2024.
- [24] M. Takenaka, Y. Miyatake, R. Tang, K. Makino, J. Tominaga, N. Miyata, M. Okano, K. Toprasertpong, and S. Takagi, "Si programmable photonic integrated circuits based on phase change materials," invited, IEEE Si Photonics Conference, Hilton Tokyo Bay, Japan, 15-18 April 2024.
- [25] R. Tang, H. Tang, K. Ikeda, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Global optimization of universal unitary photonic integrated circuits," IEEE Si Photonics Conference, Hilton Tokyo Bay, Japan, 15-18 April 2024.
- [26] S. Takagi, "Hafnium-Oxide-Based Ferroelectric Devices for Low-Power Memory and AI Applications: Promises and Reliability Challenges," keynote, IEEE International Reliability Physics Symposium (IRPS), KN1, Dallas, TX, USA, April 14-18, 2024.
- [27] K. Toprasertpong, E. Nako, S.-Y. Min, Z. Cai, S.-K. Cho, R. Suzuki, R. Nakane, M. Takenaka, and S. Takagi, "Robustness to device degradation in silicon FeFET-based reservoir computing," invited, IEEE International Reliability Physics Symposium (IRPS), 6C.1, Dallas, TX, USA, April 14-18, 2024.
- 2025年3月28-29日
- [2] 唐睿, 岡野誠, 柴成立, 張超, トープラサートポン カシディット, 高木信一, 竹中充, "光ニューラルネットワークに向けた光行列演算回路," 招待講演, 電子情報通信学会総合大会, 東京都市大学, 東京都, 2025年3月24-28日.
- [3] 名幸瑛心, トープラサートポン カシディット, 中根了昌, 竹中充, 高木信一, "アナログ時系列データの入力電圧波形への変換方式の改良によるFeFETリザバーコンピューティングの性能向上," 第72回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 野田市, 千葉県, 2025年3月14-17日.
- [4] 名幸瑛心, トープラサートポン カシディット, 中根了昌, 竹中充, 高木信一, "FeFETリザバーコンピューティングにおける異なるタイミングでのゲート入力と基板入力をもつFeFETの効率的な組み合わせ方の検討," 第72回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 野田市, 千葉県, 2025年3月14-17日.
- [5] トープラサートポン カシディット, 田原建人, 彦坂幸信, 中村亘, 齋藤仁, 竹中充, 高木信一, "4 nm の薄膜 Hf_{0.5}Zr_{0.5}O₂ 強誘電体キャパシタにおける低動作電圧と高書換耐性の実証およびプロセス温度とウェークアップの課題," 記念講演, 第72回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 野田市, 千葉県, 2025年3月14-17日.
- [6] 作本宙彌, ピヤパッタラクン ティパット, トープラサートポン カシディット, 高木信一, 竹中充, "InP 薄膜導波路を用いた低光損失・低消費電力MOS型光位相シフタ," 第72回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 野田市, 千葉県, 2025年3月14-17日.
- [7] 森温音, 小松健太郎, 作本宙彌, 脇田耀介, 赤澤智熙, トープラサートポン カシディット, 高木信一, 竹中充, "InGaAsP を用いたプラズモニック電界吸収変調器の数値解析," 第72回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 野田市, 千葉県, 2025年3月

シンポジウム・研究会・大会等発表

- [1] 高木信一, "SiGeの酸化とGe偏析効果," 第2回半導体分野将来基金委員会・研究会(名取研究会)「半導体の酸化機構と酸化膜—今日と明日は酸化三昧—」, 東京大学, 東京都,

- 14-17日.
- [8] 伊藤広恭, 竹中充, 高木信一, トープラサートポン カシディット, “Hf0.5Zr0.5O2薄膜強誘電体キャパシタにおける wake-up 特性の電界・温度依存性と物理機構の考察,” 第72回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 野田市, 千葉県, 2025年3月14-17日.
- [9] 小林研二, 宮武悠人, 唐睿, 牧野孝太郎, 富永淳二, 宮田典幸, 岡野誠, トープラサートポン カシディット, 高木信一, 竹中充, “Ge2Sb2Te3S2 光強度変調器を用いた不揮発性シリコンマイクロリング共振器スイッチ,” 第72回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 野田市, 千葉県, 2025年3月14-17日.
- [10] 赤澤智熙, 李強, Guo-Qiang Lo, トープラサートポン カシディット, 高木信一, 竹中充, “In-GaAs/Si ハイブリッドフォトトランジスタとオンチップSi 抵抗を用いた電圧出力型光パワーモニタ,” 第72回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 野田市, 千葉県, 2025年3月14-17日.
- [11] 田鍋衛, 柳柱栄, 牧野孝太郎, 畑山祥吾, トープラサートポン カシディット, 高木信一, 竹中充, “二硫化アンチモン薄膜へのレーザー直描を用いた光導波路の作製,” 第72回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 野田市, 千葉県, 2025年3月14-17日.
- [12] Zhao Jin, Yutong Chen, Hiroshi Oka, Takahiro Mori, Mitsuru Takenaka, Kasidit Toprasertpong and Shinichi Takagi, “Coulomb-scattering-limited mobility at cryogenic temperatures due to interface charges induced by Fowler-Nordheim injection in Si n-MOSFETs,” 第72回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 野田市, 千葉県, 2025年3月14-17日.
- [13] 志村瞭太郎, 名幸瑛心, 松本光二, 鈴木陽洋, 山本博昭, 松川和人, 竹中充, 高木信一, トープラサートポン カシディット, “Si(110) 微傾斜基板上的 SiO2/Si MOS キャパシタにおける界面特性評価,” 第72回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 野田市, 千葉県, 2025年3月14-17日.
- [14] 松川浩之, 蔡作成, 劉振泓, 竹中充, 高木信一, トープラサートポン カシディット, “強誘電体 Hf_xZr_{1-x}O₂ MFIS キャパシタの電界印加による誘電率低下機構の考察,” 第72回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 野田市, 千葉県, 2025年3月14-17日.
- [15] 村嶋柊弥, 高 烜赫東, 竹中充, 高木信一, トープラサートポン カシディット, “IGZO MOS キャパシタによる IGZO の誘電率の高精度評価,” 第72回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 野田市, 千葉県, 2025年3月14-17日.
- [16] 脇田耀介, 宮武悠人, 大野修平, 赤澤智熙, 牧野孝太郎, 畑山祥吾, モンフレ ステファン, ブフ フレデリック, トープラサートポン カシディット, 高木信一, 竹中充, “III-V/Si ハイブリッド導波路向け Sb₂S₃ 不揮発光位相シフトの検証,” 第72回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 野田市, 千葉県, 2025年3月14-17日.
- [17] 井上颯太, 請関優, 藤村紀文, Kasidit Toprasertpong, 高木信一, 吉村武, “物理リザーブコンピューティング応用に向けた強誘電体薄膜の出力分類特性の評価,” 第72回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 野田市, 千葉県, 2025年3月14-17日.
- [18] 請関優, 井上颯太, 山田洋人, 藤村紀文, 横松得滋, 神田健介, 前中一介, Kasidit Toprasertpong, 高木信一, 吉村武, “強誘電体ゲートFETを用いた物理リザーブ計算における分極状態と学習性能の関係 II,” 第72回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 野田市, 千葉県, 2025年3月14-17日.
- [19] S.-K. Cho, K. Toprasertpong, M. Takenaka, and S. Takagi, “[招待講演] HZO/Si FeFETにおけるバイポーラ・ストレス中のメモリウィンドウ劣化機構の解明: ホールトラップの生成とキャリアのデトラップ挙動の役割 (Understanding the Impact of Bipolar Cycling on Memory Window Narrowing

- in HZO/Si FeFETs: Role of Hole Trapping and De-trapping Dynamics)招待講演, 研究集会「先端デバイス・プロセス技術 (IEDM特集)」, 応用物理学会シリコンテクノロジー分科会, 電子情報通信学会シリコン材料・デバイス研究会 (SDM) 共催, 2025年1月29日.
- [20] 高木信一, “MOSトランジスタ電気特性に与えるチャネルひずみやチャネル膜厚の影響,” 第一回「電子デバイスにおける原子拡散・応力現象研究会」, エッサム神田ホール1号館, 東京, 2024年11月5日.
- [21] 高木信一, “強誘電体MOSトランジスタを用いた物理リザバーコンピューティング,” 奈良先端科学技術大学・データ駆動型サイエンス創造センター・第4回 (2024年度) データサイエンス特別講義, 奈良先端科学技術大学, 2024年10月25日.
- [22] 伊藤広恭, 田原建人, 川野真琴, 竹中充, 高木信一, トープラサートポン カシディット, “HZO強誘電体キャパシタにおける wake-up 特性の周波数・温度依存性と物理機構の考察,” 第85回応用物理学会秋季学術講演会, 18p-B3-3, 朱鷺メッセ 新潟コンベンションセンター, 2024年9月16日-20日.
- [23] Z. Liu, Z. Cai, M. Takenaka, S. Takagi and K. Toprasertpong, Imprint Behavior of Ferroelectric Hf_{0.5}Zr_{0.5}O₂ Thin Film: Impact of Wake-up, 第85回応用物理学会秋季学術講演会, 18p-B3-2, 朱鷺メッセ 新潟コンベンションセンター, 2024年9月16日-20日.
- [24] 請関優, 山田洋人, 藤村紀文, 横松得滋, 神田健介, 前中一介, Kasidit Toprasertpong, 高木信一, 吉村武, “強誘電体ゲート FET を用いた物理リザバー計算における分極状態と学習性能の関係,” 第85回応用物理学会秋季学術講演会, 18p-B3-1, 朱鷺メッセ 新潟コンベンションセンター, 2024年9月16日-20日.
- [25] 竹中充, 唐睿, 宮武悠人, 柴成立, 赤澤智熙, 作本宙彌, 脇田耀介, バルダワジ ダルワ イシャン, 按田智大, 高城和馬, 関根尚希, 渡辺耕平, 大野修平, 谷澤健, 牧野孝太郎, 富永淳二, 宮田典幸, 池田和浩, 岡野誠, モンフレ ステファン, ブフ フレデリック, トープラサートポン カシディット, 高木信一, “異種材料集積を用いた AI 用光回路,” 招待講演, 第85回応用物理学会秋季学術講演会, 18p-C302-6, 朱鷺メッセ 新潟コンベンションセンター, 2024年9月16日-20日.
- [26] Z. Jin, Y. Chen, X. Han, H. Oka, T. Mori, K. Toprasertpong, M. Takenaka and S. Takagi, “Influence of channel resistance on split C-V characteristics in MOSFETs and the correction based on a transmission model for accurate evaluation of effective mobility,” 第85回応用物理学会秋季学術講演会, 18a-A23-6, 朱鷺メッセ 新潟コンベンションセンター, 2024年9月16日-20日.
- [27] Y. Chen, Z. Jin, X. Han, H. Oka, T. Mori, K. Toprasertpong, M. Takenaka and S. Takagi, “Precise Extraction of Effective Mobility in Si nMOSFETs at Cryogenic Temperatures Using Quasi-Static C-V Technique,” 第85回応用物理学会秋季学術講演会, 18a-A23-5, 朱鷺メッセ 新潟コンベンションセンター, 2024年9月16日-20日.
- [28] 姜政秀, トープラサートポン カシディット, 岡博史, 森貴洋, 竹中充, 高木信一, “Si MOSFET の S 値の極低温領域における温度依存性の定量的理解,” 第85回応用物理学会秋季学術講演会, 18a-A23-1, 朱鷺メッセ 新潟コンベンションセンター, 2024年9月16日-20日.
- [29] S.-Y Min, K. Toprasertpong, E. Nako, R. Nakane, M. Takenaka, and S. Takagi, “Reservoir Computing Using Dynamic Polarization and Charge Coupling of Anti-ferroelectric HZO/Si FETs,” 第85回応用物理学会秋季学術講演会, 17p-A33-5, 朱鷺メッセ 新潟コンベンションセンター, 2024年9月16日-20日.
- [30] S.-Y Min, K. Toprasertpong, E. Nako, R. Nakane, M. Takenaka, and S. Takagi, “Experimental Demonstration of Reservoir Computing Using Anti-ferroelectric HZO Capacitors,” 第85回応用物理学会秋季学術講演会, 17p-A33-4, 朱鷺メッセ 新潟コンベンションセンター, 2024年9月16日-20日.
- [31] 鈴木陸央, トープラサートポン カシディット,

- 名幸瑛心, 中根了昌, 竹中充, 高木信一, “FeFETソースフォロワーを用いた電圧動作リザバコンピュティングの実証,” 第85回応用物理学会秋季学術講演会, 17p-A33-3, 朱鷺メッセ 新潟コンベンションセンター, 2024年9月16日-20日.
- [32] 名幸瑛心, トーブラサートポン カシディット, 中根了昌, 竹中充, 高木信一, “FeFETリザバコンピュティングの信頼性における強誘電体分極量の影響,” 第85回応用物理学会秋季学術講演会, 17p-A33-2, 朱鷺メッセ 新潟コンベンションセンター, 2024年9月16日-20日.
- [33] 唐 睿, 岡野誠, トーブラサートポン カシディット, 高木信一, 竹中充, “多ポート光検出器を用いた単一波長・非コヒーレント型光行列演算回路の実証,” 第85回応用物理学会秋季学術講演会, 16p-A25-6, 朱鷺メッセ 新潟コンベンションセンター, 2024年9月16日-20日.
- [34] 小松健太郎, 中山武壽, 赤澤智熙, 脇田耀介, 作本宙彌, 張超, 宮武悠人, モンフレ ステファン, プフ フレデリック, 唐睿, トーブラサートポン カシディット, 高木信一, 竹中充, “Ni-InGaAs合金を用いたInGaAs-Siハイブリッドプラズモニク導波路受光器,” 第85回応用物理学会秋季学術講演会, 16p-A25-15, 朱鷺メッセ 新潟コンベンションセンター, 2024年9月16日-20日.
- [35] 黄明智, トーブラサートポン カシディット, 高木信一, 竹中充, “回路構成の異なるユニタリ変換光回路の損失耐性に関する考察,” 第85回応用物理学会秋季学術講演会, 16p-A25-10, 朱鷺メッセ 新潟コンベンションセンター, 2024年9月16日-20日.
- [36] B. Dhruv Ishan, K. Taki, N. Sekine, K. Watanabe, Y. Miyatake, T. Akazawa, H. Sakumoto, K. Toprasertpong, S. Takagi and M. Takenaka, “Investigation of Linear Electro-optic Effect in Ferroelectric Hafnium Zirconium Oxide on SiN Waveguide,” 第85回応用物理学会秋季学術講演会, 16p-A25-3, 朱鷺メッセ 新潟コンベンションセンター, 2024年9月16日-20日.
- [37] 赤澤智熙, 李強, Guo-Qiang Lo, トーブラサートポン カシディット, 高木信一, 竹中充, “In-GaAs/Si ハイブリッドフォトトランジスタとオンチップSi 抵抗の一体集積によるTIA-less光パワーモニタの実証,” 第85回応用物理学会秋季学術講演会, 16p-A25-16, 朱鷺メッセ 新潟コンベンションセンター, 2024年9月16日-20日.
- [38] 作本宙彌, 宮武悠人, トーブラサートポン カシディット, 高木信一, 竹中充, “GPUを用いた進化戦略計算によるInP-Siレイヤ間遷移光導波路設計,” 第85回応用物理学会秋季学術講演会, 16a-A25-5, 朱鷺メッセ 新潟コンベンションセンター, 2024年9月16日-20日.
- [39] 唐 睿, 大野修平, 谷澤健, 池田和浩, 岡野誠, トーブラサートポン カシディット, 高木信一, 竹中充, “[招待講演] AI応用に向けた光行列演算回路,” 電子情報通信学会レーザ・量子エレクトロニクス研究会 (LQE), 弘前大学文京町地区キャンパス 創立50周年記念会館, 2024年8月29日-30日.
- [40] 大友将樹, トーブラサートポン カシディット, 蔡作成, 劉振泓, 竹中充, 高木信一, “HZO/Si FeFETメモリにおける非積算性ディスタープ機構の解明及びその低減に向けた手法の提案,” 応用物理学会シリコンテクノロジー分科会第252回研究集会, pp. 21-26, 金沢工業大学虎ノ門キャンパス, 2024年8月26日.
- [41] S. Takagi, K. Toprasertpong, Z. Cai, E. Nako, S.-Y. Min, Z. Liu, R. Suzuki, S.-K. Cho, R. Nakane and M. Takenaka, “HfZrO-based Ferroelectric Devices for Low Power Memory and AI Applications,” 招待講演, 第41回強誘電体会議, pp. 69-70, 京都産業会館ホール, 京都, 2024年6月12-15日.

竹内研究室

研究論文

- [1] Ayumu Yamada, Zhiyuan Huang, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, “Comprehensive Analysis of Read Fluctuations in ReRAM CiM by Using Fluctuation Pattern Classifier,” *IEICE Transactions on Electronics*, April 9, 2024.

- [2] Yuya Ichikawa, Ayumu Yamada, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, "REM-CiM: Attentional RGB-Event Fusion Multi-modal Analog CiM for Area/Energy-efficient Edge Object Detection during both Day and Night," *IEICE Transactions on Electronics*, April 9, 2024.
- [3] Fuyuki Kihara, Chihiro Matsui and Ken Takeuchi, "3D Parallel ReRAM Computation-in-Memory for Hyperdimensional Computing," *IEICE Transactions on Electronics Brief Letter*, April 16, 2024.
- [4] Yuya Ichikawa, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, "RGB-Event Multi-modal NV-CiM to Detect Object by Mapping-Oriented Enhanced-Feature Pyramid Network with Mapping-Aware Group Convolution," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, September 5, 2024.
- [5] Akira Goda, Chihiro Matsui and Ken Takeuchi, "Device and System Co-Design of Summing Network With Floating Gate-Based Stochastic Neurons," *IEEE Journal of the Electron Devices Society*, December 16, 2024.
- [6] Ayumu Nagai, Yuya Ichikawa, Chihiro Matsui and Ken Takeuchi, "Quantization tolerant network design and performance estimation of computation-in-memory for energy-efficient 3D object detection inference," *Japanese Journal of Applied Physics (JJAP)*, vol. 64, no.2, pp. 02SP09, February 4, 2025.
- [3] Ken Takeuchi, "Non-volatile Memory-based Analog Computation-in-Memory (CiM) for Edge AI Applications," *IEEE International Memory Workshop Tutorial*, May 12, 2024.【招待講演】
- [4] Naoko Misawa, Tao Wang, Chihiro Matsui and Ken Takeuchi, "Embedded Transformer Hetero-CiM: SRAM CiM for 4b Read/Write-MAC Self-attention and MLC ReRAM CiM for 6b Read-MAC Linear&FC Layers," *IEEE International Memory Workshop Poster*, May 13, 2024.
- [5] Koki Shibata, Hiroshi Horiguchi, Chihiro Matsui and Ken Takeuchi, "Automated Recipe Creation and Verification of Single Wafer Wet Etching: Ensemble Learning with Backcasting and Forecasting AIs Using Scarce Data," *IEEE Silicon Nanoelectronics Workshop (SNW) Poster*, June 16, 2024, pp. 117-118.
- [6] Ken Takeuchi, "Ferroelectric FET-based Computation-in-Memory (CiM) for Edge AI," *14th Japan-Korea Conference on Ferroelectricity (JKC-FE14)*, August 31, 2024.【招待講演】
- [7] Naoko Misawa, Tao Wang, Chihiro Matsui and Ken Takeuchi, "Transformer Hetero-CiM: Heterogeneous Integration of ReRAM CiM and SRAM CiM for Vision Transformer at Edge Devices," *30th Asia and South Pacific Design Automation Conference (ASP-DAC 2025) University LSI Design Contest*, January 20-23, 2025.
- [8] Koki Shibata, Takashi Ota, Koji A5do, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, "Invertible Prediction Model for Si3N4 Wet Etching Using DHF," *9th IEEE Electron Devices Technology and Manufacturing (EDTM) Conference 2025*, March 9-12, 2025.
- [9] Adil Padiyal, Tao Wang, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, "Investigation of Effects of Non-Volatile Memory-based Computation-in-Memory Non-Idealities and Model Size on Performance and Robustness of Small Language Model During Inference Phase," *9th IEEE Electron Devices Technology and Manufacturing (EDTM) Conference 2025*, March 9-12, 2025.

国際会議論文

- [1] Naoko Misawa, Shunsuke Koshino, Ruhui Liu, Chihiro Matsui and Ken Takeuchi, "Approximate Random Weight Generator & CiM Integration for Neuromorphic Computing," *IEEE Symp. on Low-Power and High-Speed Chips and Systems (Cool Chips 27) Poster*, April 19, 2024.
- [2] Tao Wang, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, "Compact Edge Vision Transformer Design for Non-volatile Computation-in-Memory," *IEEE Symp. on Low-Power and High-Speed Chips and Systems (Cool Chips 27) Poster*, April 19, 2024.

シンポジウム・研究会・大会等発表

- [1] 三澤奈央子, 王韜, 松井千尋, 竹内健, “SRAM CiM と MLC ReRAM CiM の異種統合による Transformer モデルに向けた Hetero-CiM,” 第72 回応用物理学会春季学術講演会, 2025年3月16日, 16a-K306-3.
- [2] 木原冬輝, 松井千尋, 竹内健, “Hyperdimensional Computing 向け 3D Parallel ReRAM CiM アレイ,” 第72 回応用物理学会春季学術講演会, 2025年3月16日, 16a-K306-4.
- [3] 松井千尋, 永井歩武, 市川裕也, 竹内健, “LiDAR と RGB カメラのマルチモーダル3次元物体検出に向けた高エネルギー効率なエッジ推論 CiM,” 第72 回応用物理学会春季学術講演会, 2025年3月16日, 16a-K306-7.
- [4] 柴田行輝, 太田喬, 安藤幸嗣, 三澤奈央子, 松井千尋, 竹内健, “DHF を用いた窒化膜のウェットエッチングプロセスにおける データドリブンな予測モデル,” 第72 回応用物理学会春季学術講演会, 2025年3月15日, 15p-K206-5.
- [5] 柴田行輝, 堀口博司, 松井千尋, 竹内健, “ウェットエッチングプロセスにおける少サンプル下でのレシピ作成および検証を行う AI システム,” 第72 回応用物理学会春季学術講演会, 2025年3月15日, 15p-K206-10.
- [6] Adil Padiyal, Tao Wang, Naoko Misawa, Chihiro Matsui, Ken Takeuchi, “Analysis of Non-Volatile Memory-based CiM Non-Idealities on Small Language Models’ Performance and Robustness During Inference,” 第72 回応用物理学会春季学術講演会, 2025年3月16日, 16a-K306-5.
- [7] Yifan Wang, Adil Padiyal, Daqi Lin, Shota Suzuki, Chihiro Matsui, Ken Takeuchi, “A Design for Digital-CiM INT8 Transformer Accelerator with Pipeline,” 第72 回応用物理学会春季学術講演会, 2025年3月14日, 16a-K306-5.

著書

なし

竹中研究室

研究論文

- [1] S.-Y. Min, E. Nako, R. Nakane, M. Takenaka, K. Toprasertpong, and S. Takagi, “Polarization current-based reservoir computing utilizing an anti-ferroelectric-like HfZrO₂ capacitor,” *APL Machine Learning*, vol. 3, 016120, March 2025. DOI: 10.1063/5.0255149
- [2] Y. Chen, Z. Jin, X. Han, H. Oka, T. Mori, K. Toprasertpong, M. Takenaka, and S. Takagi, “Accurate evaluation of effective mobility in Si MOSFETs at cryogenic temperatures using the quasi-static C-V method,” *Jpn. J. Appl. Phys.*, vol. 64, 03SP29, March 2025. DOI: 10.35848/1347-4065/adb4fa
- [3] R. Suzuki, K. Toprasertpong, R. Nakane, E. Nako, M. Takenaka, and S. Takagi, “Voltage-operating reservoir computing utilizing ferroelectric-FET source follower configurations,” *Jpn. J. Appl. Phys.*, vol. 64, 02SP40, Feb. 2025. DOI: 10.35848/1347-4065/adb295
- [4] S.-Y. Min, K. Toprasertpong, M. Takenaka, and S. Takagi, “Unipolar polarization switching and high-endurance memory operation of HZO/Si anti-ferroelectric FETs,” *Jpn. J. Appl. Phys.*, vol. 64, 02SP36, Feb. 2025. DOI: 10.35848/1347-4065/adb163
- [5] S.-K. Cho, K. Toprasertpong, M. Takenaka, and S. Takagi, “A novel measurement method to evaluate relationship between threshold voltage and polarization for understanding memory operation of ferroelectric field-effect transistors,” *Jpn. J. Appl. Phys.*, vol. 64, 02SP12, Feb. 2025. DOI: 10.35848/1347-4065/ada6bf
- [6] Z. Jin, Y. Chen, X. Han, H. Oka, T. Mori, K. Toprasertpong, M. Takenaka, and S. Takagi, “A correction method of split C-V characteristics based on transmission line model for accurate evaluation of surface carrier concentration and effective mobility in MOSFETs,” *Jpn. J. Appl. Phys.*, vol. 64, 01SP16, Jan. 2025. DOI: 10.35848/1347-4065/ad9f70

- [7] Z. Cai, Z. Liu, Y.-K. Liang, X. Han, S.-Y. Min, E. Nako, S.-K. Cho, C.-T. Chen, M. Takenaka, K. Toprasertpong, and S. Takagi, "Recovery strategy of fatigue-limited endurance in Si FeFETs with thin HfZrO₂ films," *IEEE Trans. Electron Devices*, vol. 72, no. 1, pp. 467–473, Jan. 2025. DOI: 10.1109/TED.2024.3493065
- [8] Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, "Compact, low-loss, and broadband 2 × 2 Si optical coupler designed by covariance matrix adaptation evolution strategy," *Jpn. J. Appl. Phys.*, vol. 63, 12SP16, Dec. 2024. DOI: 10.35848/1347-4065/ad983b
- [9] M.-S. Kang, K. Toprasertpong, H. Oka, T. Mori, M. Takenaka, and S. Takagi, "Characterization and quantitative understanding of subthreshold swing of Si MOSFETs at cryogenic temperatures," *J. Appl. Phys.*, vol. 136, No. 19, 195702, Nov. 2024. DOI: 10.1063/5.0233899
- [10] S. Takagi, X. Han, C.-T. Chen, K. Sumita, K. Toprasertpong, and M. Takenaka, "Mobility enhancement technology of extremely thin body Ge-On-Insulator channel MOSFETs," *ECS Trans.*, vol. 114, no. 2, pp. 3–14, Oct. 2024 (*invited*). DOI: 10.1149/11402.0003ecst
- [11] T. Akazawa, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, and M. Takenaka, "Si-waveguide-based optical power monitoring of a 2 × 2 Mach-Zehnder interferometer based on a InGaAsP/Si hybrid MOS optical phase shifter," *Optics Letters*, vol. 49, no. 20, pp. 5882–5885, Oct. 2024. DOI: 10.1364/OL.538924
- [12] R. Suzuki, K. Toprasertpong, R. Nakane, E. Nako, M. Takenaka, and S. Takagi, "Reservoir computing utilizing a complementary combination of n- and p-channel FeFETs," *IEEE Electron Dev. Lett.*, vol. 45, no. 10, pp. 1768–1771, Oct. 2024. DOI: 10.1109/LED.2024.3435422
- [13] X. Han, C.-T. Chen, K. Sumita, K. Toprasertpong, M. Takenaka, and S. Takagi, "Electron mobility enhancement of (111)-oriented extremely thin body Ge-on-insulator nMOSFETs by flipped smart-cut substrates," *IEEE Trans. Electron Devices*, vol. 71, no. 9, pp. 5198–5204, September 2024. DOI: 10.1109/TED.2024.3434782
- [14] Z. Liu, K. Toprasertpong, Z. Cai, M. Takenaka, and S. Takagi, "Role of charge injection/de-trapping in imprint behavior of ferroelectric Hf_{0.5}Zr_{0.5}O₂ thin film," *Appl. Phys. Lett.*, vol. 125, 072904, August 2024. DOI: 10.1063/5.0212368
- [15] Y.-K. Liang, Z. Liu, Z. Cai, X. Han, H.-Y. Huang, Y.-M. Lin, E.-Y. Chang, C.-H. Lin, M. Takenaka, K. Toprasertpong, and S. Takagi, "Demonstration of wake-up free 6 nm ultrathin ZrO₂-HfO₂ superlattice ferroelectric capacitors with high endurance against fatigue," *IEEE Electron Dev. Lett.*, vol. 45, no. 8, pp. 1468–1471, August 2024. DOI: 10.1109/LED.2024.3410378
- [16] R. Tang, S. Ohno, K. Tanizawa, K. Ikeda, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Symmetric silicon microring resonator optical crossbar array for accelerated inference and training in deep learning," *Photonics Research*, vol. 12, no. 8, pp. 1681–1688, August 2024. DOI: 10.1364/PRJ.520518
- [17] Y. Miyatake, R. Tang, K. Makino, J. Tominaga, N. Miyata, M. Okano, K. Toprasertpong, S. Takagi, M. Takenaka, "Photonic matrix-vector multiplication with low-insertion-loss and non-volatile Ge₂Sb₂Te₃S₂ intensity modulators," *IEEE/OSA Journal of Lightwave Technology*, vol. 42, no. 12, pp. 4347–4354, June 2024 (*invited*). DOI: 10.1109/JLT.2024.3408877
- [18] T. Akazawa, K. Sumita, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, M. Takenaka, "Transparent In-line Optical Power Monitoring Using InP/Si Hybrid Waveguide Phototransistor," *IEEE/OSA Journal of Lightwave Technology*, vol. 42, no. 12, pp. 4281–4288, June 2024 (*invited*). DOI: 10.1109/JLT.2024.3392471
- [19] Y. Wakita, R. Tang, H. Tang, S. Ohno, T. Akazawa, Y. Miyatake, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, and M. Takenaka, "Add-drop microring resonator switch with positive/negative phase tuning

- using InGaAsP/Si hybrid MOS phase shifter,” *IEEE/OSA Journal of Lightwave Technology*, vol. 42, no. 12, pp. 4289–4295, June 2024 (*invited*). DOI: 10.1109/JLT.2024.3383724
- [20] K. Taki, N. Sekine, K. Watanabe, Y. Miyatake, T. Akazawa, H. Sakumoto, K. Toprasertpong, S. Takagi, and M. Takenaka, “Nonvolatile optical phase shift in ferroelectric hafnium zirconium oxide,” *Nature Communications*, vol. 15, 3549, May 2024. DOI: 10.1038/s41467-024-47893-2
- [21] Z. Cai, K. Toprasertpong, Z. Liu, M. Takenaka, and S. Takagi, “Understanding HZO thickness scaling in Si FeFETs: Low operating voltage, fast wake-up, and suppressed charge trapping,” *IEEE Trans. Electron Devices*, vol. 71, no. 6, pp. 3633–3639, April 2024. DOI: 10.1109/TED.2024.3386508

国際会議論文

- [1] M. Takenaka, Y. Miyatake, R. Tang, T. Taki, N. Sekine, K. Watanabe, T. Akazawa, H. Sakumoto, D. I. Bhardwaj, M. Fujita, H. Tang, K. Makino, J. Tominaga, N. Miyata, M. Okano, K. Toprasertpong, and S. Takagi, “Non-volatile optical phase shifters on Si photonics platform,” *50th Conference on the Physics and Chemistry of Surfaces and Interfaces (PCSI-50)*, MoM2-33, Kailua-Kona, Hawaii, USA, 19–23 January 2025 (*invited*).
- [2] M. Takenaka, “Si photonics based on heterogeneous material integration,” *Intel-UTokyo symposium*, Hongo campus, The University of Tokyo, 16 December 2024.
- [3] S.-K. Cho, K. Toprasertpong, M. Takenaka, and S. Takagi, “Unveiling memory-window narrowing mechanism after bipolar cycling in HZO/Si FeFETs: Critical role of hole trap generation and carrier de-trapping behavior,” *International Electron Devices Meeting (IEDM)*, 4.7, San Francisco, 7–11 December 2024.
- [4] K. Makino, Y. Miyatake, S. Hatayama, M. Takenaka, and J. Tominaga, “Development of optical phase change materials for non-volatile photonics,” *MRS Fall Meeting*, EL02.08.03, 1–6 December 2024.
- [5] T. Akazawa, Q. Li, G.-Q. Lo, K. Toprasertpong, S. Takagi, and M. Takenaka, “Demonstration of TIA-less optical power monitor based on InGaAs/Si hybrid waveguide phototransistor and on-chip Si resistor,” *14th International Symposium on Photonics and Electronics Convergence (ISPEC)*, P-7, Tokyo, 26–27 November 2024.
- [6] K. Kobayashi, Y. Miyatake, R. Tang, K. Makino, J. Tominaga, N. Miyata, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, “Non-volatile Ge₂Sb₂Te₃S₂ driven Si microring resonator switch for photonic matrix multiplication,” *14th International Symposium on Photonics and Electronics Convergence (ISPEC)*, P-16, Tokyo, 26–27 November 2024.
- [7] K. Komatsu, T. Nakayama, T. Akazawa, Y. Wakita, H. Sakumoto, C. Zhang, Y. Miyatake, S. Monfray, F. Boeuf, R. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, “InGaAs-based plasmonic photodetector using Ni-InGaAs alloy,” *14th International Symposium on Photonics and Electronics Convergence (ISPEC)*, P-13, Tokyo, 26–27 November 2024.
- [8] H. Sakumoto, Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, “InP-Si interlayer optimization using GPU-accelerated CMA-ES,” *14th International Symposium on Photonics and Electronics Convergence (ISPEC)*, P-11, Tokyo, 26–27 November 2024.
- [9] R. Tang, M. Okano, C. Zhang, K. Toprasertpong, S. Takagi, and M. Takenaka, “Scalable intensity-based photonic matrix-vector multiplication processor,” *14th International Symposium on Photonics and Electronics Convergence (ISPEC)*, P-4, Tokyo, 26–27 November 2024.
- [10] T. Akazawa, Q. Li, G.-Q. Lo, K. Toprasertpong, S. Takagi, and M. Takenaka, “TIA-less optical power monitor using InGaAs/Si hybrid phototransistor and on-chip Si resistor,” *IEEE Photonics Conference (IPC)*, WB1.2, Rome, Italy, 10–14 November 2024.
- [11] S. Takagi, K. Toprasertpong, Z. Cai, S.-K. Cho, M. Otomo, Z. Liu, K. Ito, E. Nako, S.-Y. Min, R. Nakane, and M. Takenaka, “HfZrO₂-based

- Ferroelectric FETs for lower power memory and AI applications,” 2024 US-Japan Seminar on Dielectric and Piezoelectric Ceramics, pp. 349–354, Kofu, Yamanashi, Japan, 10–13 November 2024 (*invited*).
- [12] S. Takagi, X. Han, C.-T. Chen, K. Sumita, M. Takenaka, and K. Toprasertpong, “Approach to mobility enhancement in extremely-thin body Ge-On-insulator MOSFETs,” *15th International Workshop on New Group IV Semiconductor Nanoelectronics*, Tohoku University, Sendai, 21–22 October 2024 (*invited*).
- [13] S. Takagi, X. Han, T. Chen, K. Sumita, K. Toprasertpong, and M. Takenaka, “Mobility enhancement technology of extremely-thin body Ge-on-insulator channel MOSFETs,” *246th ECS Meeting*, Symposium G03, 2290, Honolulu, USA, 6–11 October 2024 (*invited*).
- [14] Z. Dai, W. Lin, S. Ji, H. Sakumoto, M. Takenaka, and S. Iwamoto, “(B-3) Unidirectional lasing in a ring resonator with an S-shaped waveguide,” *29th Microoptics Conference*, B-3, Kaohsiung, Taiwan, 29 September–2 October 2024.
- [15] K. Komatsu, T. Nakayama, T. Akazawa, Y. Wakita, H. Sakumoto, C. Zhang, Y. Miyatake, S. Monfray, F. Boeuf, R. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, “Plasmonic Photodetector with InGaAs Membrane on Si Waveguide using Ni-InGaAs Alloy,” *European Conference on Optical Communication (ECOC)*, W2A.27, Frankfurt, Germany, 22–26 September 2024.
- [16] Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, “Experimental demonstration of compact, low-loss and broadband 2×2 Si optical coupler designed by CMA-ES,” *International Conference on Solid State Devices and Materials (SSDM)*, E-3-04, Arcree Himeji, Himeji, Japan, 1–4 Sept. 2024.
- [17] X. Han, C.-T. Chen, K. Sumita, K. Toprasertpong, M. Takenaka, and S. Takagi, “High performance (111)-oriented extremely-thin body Ge-on-insulator nMOSFETs down to 2.1 nm,” *International Conference on Solid State Devices and Materials (SSDM)*, A-4-01, Arcree Himeji, Himeji, Japan, 1–4 Sept. 2024.
- [18] Y. Chen, Z. Jin, X. Han, H. Oka, T. Mori, K. Toprasertpong, M. Takenaka, and S. Takagi, “Accurate evaluation of effective mobility in Si nMOSFETs at cryogenic temperature by introducing quasi-static C-V method,” *International Conference on Solid State Devices and Materials (SSDM)*, A-6-03, Arcree Himeji, Himeji, Japan, 1–4 Sept. 2024.
- [19] Z. Jin, Y. Chen, X. Han, H. Oka, T. Mori, K. Toprasertpong, M. Takenaka, and S. Takagi, “A correction method of split C-V characteristics in MOSFETs by using transmission line model for accurate extraction of effective mobility,” *International Conference on Solid State Devices and Materials (SSDM)*, A-6-04, Arcree Himeji, Himeji, Japan, 1–4 Sept. 2024.
- [20] Z. Liu, Z. Cai, M. Takenaka, S. Takagi, and K. Toprasertpong, “Understanding of imprint behavior of ferroelectric Hf_{0.5}Zr_{0.5}O₂ thin Film: Role of charge injection and field cycling,” *International Conference on Solid State Devices and Materials (SSDM)*, B-1-02, Arcree Himeji, Himeji, Japan, 1–4 Sept. 2024.
- [21] S.-Y. Min, K. Toprasertpong, M. Takenaka, and S. Takagi, “Unipolar polarization switching and high-endurance operation of HZO/Si anti-ferroelectric FETs,” *International Conference on Solid State Devices and Materials (SSDM)*, B-3-02, Arcree Himeji, Himeji, Japan, 1–4 Sept. 2024.
- [22] R. Suzuki, K. Toprasertpong, R. Nakane, E. Nako, M. Takenaka, and S. Takagi, “Voltage-operating reservoir computing utilizing a ferroelectric source follower,” *International Conference on Solid State Devices and Materials (SSDM)*, B-5-02, Arcree Himeji, Himeji, Japan, 1–4 Sept. 2024.
- [23] S.-K. Cho, K. Toprasertpong, M. Takenaka, and S. Takagi, “A novel measurement method to extract relationship between threshold voltage and polarization for understanding FeFET memory operation,” *International Conference on Solid State Devices and Materials (SSDM)*, B-8-01, Arcree Himeji, Himeji,

- Japan, 1–4 Sept. 2024.
- [24] M. Otomo, K. Toprasertpong, Z. Cai, Z. Liu, M. Takenaka, and S. Takagi, “Revealing Mechanism of Non-accumulative Disturb and Approach Toward Disturb Suppression in HZO/Si FeFET Memory,” *VLSI Symposium*, T15-2, Honolulu, Hawaii, 16–20 June 2024.
- [25] S.-Y. Min, K. Toprasertpong, E. Nako, R. Nakane, M. Takenaka, and S. Takagi, “Reservoir computing using nonlinear polarization and charge dynamics of anti-ferroelectric HZO/Si FETs,” *IEEE Si Nanoelectronics Workshop (SNW)*, 6.1., pp. 37-38, Hilton Hawaiian Village, Hawaii, USA, 15–16 June 2024.
- [26] R. Tang, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, “A single-wavelength non-coherent photonic matrix multiplication circuit for optical neural networks,” *Conference on Lasers and Electro-Optics (CLEO)*, SF2M.4, Charlotte, North Carolina, USA, 5–10 May 2024.
- [27] M. Takenaka, Y. Miyatake, R. Tang, K. Makino, J. Tominaga, N. Miyata, M. Okano, K. Toprasertpong, and S. Takagi, “Si programmable photonic integrated circuits based on phase change materials,” *IEEE Si Photonics Conference*, ThD2, Hilton Tokyo Bay, Japan, 15–18 April 2024 (*invited*).
- [28] R. Tang, H. Tang, K. Ikeda, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, “Global optimization of universal unitary photonic integrated circuits,” *IEEE Si Photonics Conference*, TuA5, Hilton Tokyo Bay, Japan, 15–18 April 2024.
- [29] K. Toprasertpong, E. Nako, Z. Cai, S.-K. Cho, R. Nakane, M. Takenaka, and S. Takagi, “Robustness to device degradation in silicon FeFET-based reservoir computing,” *2024 IEEE International Reliability Physics Symposium (IRPS)*, 6C.1, Hilton DFW Lakes, Dallas, Texas, 14–18 April 2024 (*invited*).

著書

- [1] 竹中充, “III-V族薄膜を用いた変調・受光デバイス,” 月刊オプトロニクス, No. 515, pp. 109–112, Nov. 2024.

- [2] トープラサートポン カシディット, 名幸 瑛心, 関 信義, 鈴木 陸央, 中根 了昌, 竹中 充, 高木 信一, “強誘電体トランジスタのリザーブコンピューティングによる時系列データの機械学習,” 表面と真空, Vol. 67, No. 11, pp. 545–550, 2024. DOI: 10.1380/vss.67.545

シンポジウム・研究会・大会等発表

- [1] 唐 睿, 岡野 誠, 柴 成立, 張 超, トープラサートポン カシディット, 高木 信一, 竹中 充, “光ニューラルネットワークに向けた光行列演算回路,” 電子情報通信学会総合大会, C-3_C-4-46, 東京都市大学世田谷キャンパス, 2025年3月24–28日 (招待講演) .
- [2] 田鍋 衛, 柳 柱栄, 牧野 孝太郎, 畑山 祥吾, トープラサートポン カシディット, 高木 信一, 竹中 充, “二硫化アンチモン薄膜へのレーザー直描を用いた光導波路の作製,” 第72回応用物理学会春季学術講演会, 16a-K305-5, 東京理科大学野田キャンパス, 2025年3月14–17日 .
- [3] 作本 宙彌, ピヤパッタラクン ティパット, トープラサートポン カシディット, 高木 信一, 竹中 充, “InP 薄膜導波路を用いた低光損失・低消費電力MOS型光位相シフタ,” 第72回応用物理学会春季学術講演会, 16p-K305-2, 東京理科大学野田キャンパス, 2025年3月14–17日 .
- [4] 森 温音, 小松 健太郎, 作本 宙彌, 脇田 耀介, 赤澤 智熙, トープラサートポン カシディット, 高木 信一, 竹中 充, “InGaAsPを用いたプラズモニック電界吸収変調器の数値解析,” 第72回応用物理学会春季学術講演会, 16p-K305-3, 東京理科大学野田キャンパス, 2025年3月14–17日 .
- [5] 小林 研二, 宮武 悠人, 唐 睿, 牧野 孝太郎, 富永 淳二, 宮田 典幸, 岡野 誠, トープラサートポン カシディット, 高木 信一, 竹中 充, “Ge2Sb2Te3S2光強度変調器を用いた不揮発性シリコンマイクロリング共振器スイッチ,” 第72回応用物理学会春季学術講演会, 16p-K305-4, 東京理科大学野田キャンパス, 2025年3月14–17日 .

- [6] 脇田 耀介, 宮武 悠人, 大野 修平, 赤澤 智熙, 牧野 孝太郎, 畑山 祥吾, モンフレ ステファン, ブフ フレデリック, トーブラサートポン カシディット, 高木 信一, 竹中 充, “III-V/Si ハイブリッド導波路向けSb₂S₃不揮発光位相シフトの検証,” 第72回応用物理学会春季学術講演会, 16p-K305-5, 東京理科大学野田キャンパス, 2025年3月14-17日.
- [7] 唐 睿, 岡野 誠, 張 超, トーブラサートポン カシディット, 高木 信一, 竹中 充, “側方入射構造を用いた導波路結合型高飽和電流Ge-on-Si光検出器,” 第72回応用物理学会春季学術講演会, 17a-K305-1, 東京理科大学野田キャンパス, 2025年3月14-17日.
- [8] 宮武 悠人, 竹中 充, 池田 誠, “標準シリコンフォトニクスにおけるMOSFETの短チャネル効果抑制のための設計,” 第72回応用物理学会春季学術講演会, 17a-K305-6, 東京理科大学野田キャンパス, 2025年3月14-17日.
- [9] 赤澤 智熙, 李 強, Guo-Qiang Lo, トーブラサートポン カシディット, 高木 信一, 竹中 充, “InGaAs/SiハイブリッドフォトトランジスタとオンチップSi抵抗を用いた電圧出力型光パワーモニタ,” 第72回応用物理学会春季学術講演会, 17p-K305-1, 東京理科大学野田キャンパス, 2025年3月14-17日 (第57回講演奨励賞受賞記念講演).
- [10] C. Chai, R. Tang, M. Okano, K. Toprasertpong, S. Takagi, M. Takenaka, “Time-division-multiplexed single-wavelength incoherent photonic matrix-vector multiplication circuit,” 第72回応用物理学会春季学術講演会, 17p-K305-10, 東京理科大学野田キャンパス, 2025年3月14-17日.
- [11] 志村 瞭太郎, 名幸 瑛心, 松本 光二, 鈴木 陽洋, 山本 博昭, 松川 和人, 竹中 充, 高木 信一, トーブラサートポン カシディット, “Si(110)微傾斜基板上のSiO₂/Si MOS キャパシタにおける界面特性評価,” 第72回応用物理学会春季学術講演会, 17a-K202-1, 東京理科大学野田キャンパス, 2025年3月14-17日.
- [12] トーブラサートポン カシディット, 田原 建人, 彦坂 幸信, 中村 亘, 齋藤 仁, 竹中 充, 高木 信一, “4 nmの薄膜Hf_{0.5}Zr_{0.5}O₂強誘電体キャパシタにおける低動作電圧と高書換耐性の実証およびプロセス温度とウェークアップの課題,” 第72回応用物理学会春季学術講演会, 14a-K101-2, 東京理科大学野田キャンパス, 2025年3月14-17日 (第16回シリコンテクノロジー分科会論文賞受賞記念講演).
- [13] 村嶋 柊弥, 高 烜赫東, 竹中 充, 高木 信一, トーブラサートポン カシディット, “IGZO MOS キャパシタによるIGZOの誘電率の高精度評価,” 第72回応用物理学会春季学術講演会, 16a-Y1311-1, 東京理科大学野田キャンパス, 2025年3月14-17日.
- [14] 名幸 瑛心, トーブラサートポン カシディット, 中根 了昌, 竹中 充, 高木 信一, “アナログ時系列データの入力電圧波形への変換方式の改良によるFeFETリザバーコンピューティングの性能向上,” 第72回応用物理学会春季学術講演会, 16p-K306-9, 東京理科大学野田キャンパス, 2025年3月14-17日.
- [15] 名幸 瑛心, トーブラサートポン カシディット, 中根 了昌, 竹中 充, 高木 信一, “FeFETリザバーコンピューティングにおける異なるタイミングでのゲート入力と基板入力をもつFeFETの効率的な組み合わせ方の検討,” 第72回応用物理学会春季学術講演会, 16p-K306-10, 東京理科大学野田キャンパス, 2025年3月14-17日.
- [16] 松川 浩之, 蔡 作成, 劉 振泓, 竹中 充, 高木 信一, トーブラサートポン カシディット, “強誘電体Hf_xZr_{1-x}O₂ MFISキャパシタの電界印加による誘電率低下機構の考察,” 第72回応用物理学会春季学術講演会, 14p-K503-14, 東京理科大学野田キャンパス, 2025年3月14-17日.
- [17] 伊藤 広恭, 竹中 充, 高木 信一, トーブラサートポン カシディット, “Hf_{0.5}Zr_{0.5}O₂薄膜強誘電体キャパシタにおけるwake-up特性の電界・温度依存性と物理機構の考察,” 第72回応用物理学会春季学術講演会, 14p-K503-15, 東京理科大学野田キャンパス, 2025年3月14-17日.
- [18] Z. Jin, Y. Chen, H. Oka, T. Mori, M. Takenaka, K. Toprasertpong, S.

- Takagi, "Coulomb-scattering-limited mobility at cryogenic temperatures due to interface charges induced by Fowler-Nordheim injection in Si n-MOSFETs," 第72回応用物理学会春季学術講演会, 14a-K101-9, 東京理科大学野田キャンパス, 2025年3月14-17日.
- [19] 竹中充, "シリコン光ニューラルネットワークによる深層学習アクセラレータ," 光材料・応用技術研究会, 中央大学 後楽園キャンパス, 2025年3月7日 (招待講演) .
- [20] 竹中充, "シリコン光回路を用いたフォトニックコンピューティング," フォトニックコンピューティング第2回公開シンポジウム, 情報通信研究機構, 2024年12月17日 (招待講演) .
- [21] 竹中充, "AI用シリコン光回路のための異種材料集積技術," 産総研PPRC公開シンポジウム, 秋葉原コンベンションホール, 2024年10月22日 (招待講演) .
- [22] 竹中充, 唐睿, 宮武悠人, 柴成立, 赤澤智熙, 作本宙彌, 脇田耀介, バルダワジ ダルワ イシャン, 按田智大, 高城和馬, 関根尚希, 渡辺耕坪, 大野修平, 谷澤健, 牧野孝太郎, 富永淳二, 宮田典幸, 池田和浩, 岡野誠, モンフレステファン, プフ フレデリック, トーブラサートポン カシディット, 高木信一, "異種材料集積を用いたAI用光回路," 第85回応用物理学会秋季学術講演会, 18p-C302-6, 朱鷺メッセ, 新潟市, 2024年9月16日-20日 (招待講演) .
- [23] 作本 宙彌, 宮武 悠人, トーブラサートポン カシディット, 高木 信一, 竹中 充, "GPUを用いた進化戦略計算による InP-Si レイヤ間遷移光導波路設計," 第85回応用物理学会秋季学術講演会, 16a-A25-5, 朱鷺メッセ, 新潟市, 2024年9月16日-20日 .
- [24] 唐 睿, 岡野 誠, トーブラサートポン カシディット, 高木 信一, 竹中 充, "多ポート光検出器を用いた単一波長・非コヒーレント型光行列演算回路の実証," 第85回応用物理学会秋季学術講演会, 16p-A25-6, 朱鷺メッセ, 新潟市, 2024年9月16日-20日 .
- [25] 黄 明智, トーブラサートポン カシディット, 高木 信一, 竹中 充, "回路構成の異なるユニ
タリ変換光回路の損失耐性に関する考察," 第85回応用物理学会秋季学術講演会, 16p-A25-10, 朱鷺メッセ, 新潟市, 2024年9月16日-20日 .
- [26] 小松 健太郎, 中山 武壽, 赤澤 智熙, 脇田 耀介, 作本 宙彌, 張 超, 宮武 悠人, モンフレステファン, プフ フレデリック, 唐 睿, トーブラサートポン カシディット, 高木 信一, 竹中 充, "Ni-InGaAs 合金を用いた InGaAs-Si ハイブリッドプラズモニク導波路受光器," 第85回応用物理学会秋季学術講演会, 16p-A25-15, 朱鷺メッセ, 新潟市, 2024年9月16日-20日 .
- [27] 赤澤 智熙, 李 強, G.-Q. Lo, トーブラサートポン カシディット, 高木 信一, 竹中 充, "InGaAs/Si ハイブリッドフォトリランジスタとオンチップSi抵抗の一体集積による TIA-less 光パワーモニタの実証," 第85回応用物理学会秋季学術講演会, 16p-A25-16, 朱鷺メッセ, 新潟市, 2024年9月16日-20日 .
- [28] D. I. Bhardwaj, K. Taki, N. Sekine, K. Watanabe, Y. Miyatake, T. Akazawa, H. Sakumoto, K. Toprasertpong, S. Takagi, M. Takenaka, "Investigation of linear electro-optic effect in ferroelectric hafnium zirconium oxide on SiN waveguide," 第85回応用物理学会秋季学術講演会, 16p-A25-3, 朱鷺メッセ, 新潟市, 2024年9月16日-20日 .
- [29] 名幸 瑛心, トーブラサートポン カシディット, 中根 了昌, 竹中 充, 高木 信一, "FeFET リザーバーコンピューティングの信頼性における強誘電体分極量の影響," 第85回応用物理学会秋季学術講演会, 17p-A33-2, 朱鷺メッセ, 新潟市, 2024年9月16日-20日 .
- [30] 鈴木 陸央, トーブラサートポン カシディット, 名幸 瑛心, 中根 了昌, 竹中 充, 高木 信一, "FeFET ソースフォロワーを用いた電圧動作リザーバーコンピューティングの実証," 第85回応用物理学会秋季学術講演会, 17p-A33-3, 朱鷺メッセ, 新潟市, 2024年9月16日-20日 .
- [31] 戴 知微, 林 文博, 池 尙玟, 作本 宙彌, 竹中 充, 岩本 敏, "Observation of unidirectional lasing in a ring resonator with a surface grating," 第85回応用

- 物理学会秋季学術講演会, 18p-A34-4, 朱鷺メッセ, 新潟市, 2024年9月16日-20日.
- [32] 姜 旼秀, トープラサートポン カシディット, 岡 博史, 森 貴洋, 竹中 充, 高木 信一, “Si MOSFETのSS値の極低温領域における温度依存性の定量的理解,” 第85回応用物理学会秋季学術講演会, 18a-A23-1, 朱鷺メッセ, 新潟市, 2024年9月16日-20日.
- [33] 伊藤 広恭, 田原 建人, 川野 真琴, 竹中 充, 高木 信一, トープラサートポン カシディット, “HZO強誘電体キャパシタにおけるwake-up特性の周波数・温度依存性と物理機構の考察,” 第85回応用物理学会秋季学術講演会, 18p-B3-3, 朱鷺メッセ, 新潟市, 2024年9月16日-20日.
- [34] S. Min, K. Toprasertpong, E. Nako, R. Nakane, M. Takenaka, S. Takagi, “Experimental Demonstration of Reservoir Computing Using Anti-ferroelectric HZO Capacitors,” 第85回応用物理学会秋季学術講演会, 17p-A33-4, 朱鷺メッセ, 新潟市, 2024年9月16日-20日.
- [35] S. Min, K. Toprasertpong, E. Nako, R. Nakane, M. Takenaka, S. Takagi, “Reservoir Computing Using Dynamic Polarization and Charge Coupling of Anti-ferroelectric HZO/Si FETs,” 第85回応用物理学会秋季学術講演会, 17p-A33-5, 朱鷺メッセ, 新潟市, 2024年9月16日-20日.
- [36] Y. Chen, Z. Jin, X. Han, H. Oka, T. Mori, K. Toprasertpong, M. Takenaka, S. Takagi, “Precise Extraction of Effective Mobility in Si nMOSFETs at Cryogenic Temperatures Using Quasi-Static C-V Technique,” 第85回応用物理学会秋季学術講演会, 18a-A23-5, 朱鷺メッセ, 新潟市, 2024年9月16日-20日.
- [37] Z. Jin, Y. Chen, X. Han, H. Oka, T. Mori, K. Toprasertpong, M. Takenaka, S. Takagi, “Influence of Channel Resistance on Split C-V Characteristics in MOSFETs and the Correction Based on a Transmission Model for Accurate Evaluation of Effective Mobility,” 第85回応用物理学会秋季学術講演会, 18a-A23-6, 朱鷺メッセ, 新潟市, 2024年9月16日-20日.
- [38] Z. Liu, Z. Cai, M. Takenaka, S. Takagi, K. Toprasertpong, “Imprint Behavior of Ferroelectric Hf_{0.5}Zr_{0.5}O₂ Thin Film: Impact of Wake-up,” 第85回応用物理学会秋季学術講演会, 18p-B3-2, 朱鷺メッセ, 新潟市, 2024年9月16日-20日.
- [39] 唐睿, 大野修平, 谷澤健, 池田和浩, 岡野誠, トープラサートポン カシディット, 高木信一, 竹中充, “AI応用に向けた光行列演算回路,” レーザ・量子エレクトロニクス研究会 (LQE), 弘前大学文京町地区キャンパス, 2024年8月29日-8月30日 (招待講演) .
- [40] 大友将樹, トープラサートポン カシディット, 蔡作成, 劉振泓, 竹中充, 高木信一, “HZO/Si FeFETメモリにおける非積算性ディスターブ機構の解明及びその低減に向けた手法の提案,” 応用物理学会シリコンテクノロジー分科会第252回研究集会, pp. 21-26, 金沢工業大学虎ノ門キャンパス, 2024年8月26日 (招待講演) .
- [41] 竹中充, “シリコンフォトニクスの最新技術動向,” 応物・薄膜表面物理分科会セミナー, 北陸先端科学技術大学院大学 東京サテライト, 2024年7月4日 (招待講演) .
- [42] S. Takagi, K. Toprasertpong, Z. Cai, E. Nako, S.-Yi Min, Z. Liu, R. Suzuki, S.-K. Cho, R. Nakane and M. Takenaka, “HfZrO-based ferroelectric devices for low power memory and AI applications,” 第41回強誘電体会議, 京都産業会館ホール, 2024年6月12日-6月15日 (招待講演).

中村研究室

研究論文

- [1] Y. Ueno and Y. Tomida and T. Tanimoto and M. Tanaka and Y. Tabuchi and K. Inoue and H. Nakamura, “Inter-Temperature Bandwidth Reduction in Cryogenic QAOA Machines” in IEEE Computer Architecture Letters, vol.23, pp.9-12, Jan-Jun, 2024.
- [2] Yosuke Ueno, Satoshi Imamura, Yuna Tomida, Teruo Tanimoto, Masamitsu Tanaka, Yutaka Tabuchi, Koji Inoue, Hiroshi Nakamura, “C3-VQA: Cryogenic Counter-Based Co-Processor for Variational

Quantum Algorithms,” IEEE Transactions on Quantum Engineering, 2024

- [3] Satoshi Okada, Houda Jmila, Kunio Akashi, Takuho Mitsunaga, Yuji Sekiya, Hideki Takase, Gregory Blanc, Hiroshi Nakamura, “Xai-driven black-box adversarial attacks on network intrusion detectors,” International Journal of Information Security, March, 2025

国際会議論文

- [1] Ai Nozaki, Takuya Kojima, Hiroshi Nakamura, Hideki Takase, “MLIR-Based Homomorphic Encryption Compiler for GPU,” Proceedings of the 14th International Symposium on Highly Efficient Accelerators and Reconfigurable Technologies, 2024
- [2] Makoto Saito, Takuya Kojima, Hideki Takase, Hiroshi Nakamura, “A Scalable Mapping Method for Elastic CGRAs,” 2024 IEEE International Parallel and Distributed Processing Symposium Workshops (IPDPSW), May 2024
- [3] Satoshi Okada, Houda Jmila, Kunio Akashi, Takuho Mitsunaga, Yuji Sekiya, Hideki Takase, Gregory Blanc, Hiroshi Nakamura, “XAI-driven Adversarial Attacks on Network Intrusion Detectors,” European Interdisciplinary Cybersecurity Conference, EICC 2024, Jun. 2024
- [4] Yosuke Ueno, Satoshi Imamura, Yuna Tomida, Teruo Tanimoto, Masamitsu Tanaka, Yutaka Tabuchi, Koji Inoue, Hiroshi Nakamura, “SFQ counter-based precomputation for large-scale cryogenic VQE machines,” Work in progress poster session in the 61st Design Automation Conference, Jun. 2024
- [5] Ai Nozaki, Takuya Kojima, Hiroshi Nakamura, Hideki Takase, “A Study on Number Theoretic Transform Acceleration on AMD AI Engine,” 2024 IEEE 17th International Symposium on Embedded Multicore/Many-core Systems-on-Chip (MCSoc), Dec. 2024

シンポジウム・研究会・大会等発表

- [1] 伊藤向子, 小島拓也, 高瀬英希, 中村宏, “CGRAにおけるコントローラ設計探索のため

の制御フロー分離の検討,” 第249回 システム・アーキテクチャ研究発表会, 6月, 2024

- [2] 石井悠人, 小島拓也, 高瀬英希, 中村宏, “オートエンコーダによる電力解析型サイドチャネル攻撃,” 第106回コンピュータセキュリティ・第56回セキュリティ心理学とトラスト合同研究発表会, 7月, 2024
- [3] 野崎愛, 小島拓也, 中村宏, 高瀬英希, “多項式演算グラフに着目したデータ再利用を高めるGPU向け準同型暗号コンパイラ,” 第248回 システム・アーキテクチャ・第205回システムとLSIの設計技術・第65回組込みシステム合同研究発表会 (ETNET), 3月, 2025

平本・小林研究室

研究論文

- [1] Kaito Hikake, Zhuo Li, Junxiang Hao, Chitra Pandey, Takuya Saraya, Toshiro Hiramoto, Takanori Takahashi, Mutsunori Uenuma, Yukiharu Uraoka, and Masaharu Kobayashi, “A Nanosheet Oxide Semiconductor FET Using ALD InGaOx Channel for 3-D Integrated Devices,” IEEE Transactions on Electron Devices, Vol. 71, No. 4, pp. 2373 - 2379, April, 2024.
- [2] Xingyu Huang, Kaito Hikake, Sung-Hun Kim, Kota Sakai, Zhuo Li, Tomoko Mizutani, Takuya Saraya, Toshiro Hiramoto, Takanori Takahashi, Mutsunori Uenuma, Yukiharu Uraoka, and Masaharu Kobayashi, “High-Field Transport and Statistical Variability of Nanosheet Oxide Semiconductor FETs With Channel Length Scaling,” IEEE Transactions on Electron Devices, Vol. 71, No. 12, pp. 7509 - 7515, December, 2024.
- [3] Zihao Liu, Tomoko Mizutani, Kiyoshi Takeuchi, Takuya Saraya, Hiroshi Oka, Takahiro Mori, Masaharu Kobayashi, and Toshiro Hiramoto, “Cryogenic Threshold Voltage and On-current Variability Comparative Analysis of Same-Fab 65nm Bulk and FDSOI MOSFETs,” Japanese Journal of Applied Physics, Vol. 63, 12SP04, December, 2024.
- [4] Yuki Itoya, Takuya Saraya, Toshiro Hiramoto, and

- Masaharu Kobayashi, "Enhanced reliability of ferroelectric Hf_{0.5}Zr_{0.5}O₂ capacitors by bottom electrode surface oxidation," *Japanese Journal of Applied Physics*, Vol. 64, No. 2, 02SP29, February, 2025.
- [5] Xiang Zhou, Wataru Saito, and Toshiro Hiramoto, "Demonstration of superior UIS robustness of 3300 V scaled IGBT by non-proportional scaling methods," *Japanese Journal of Applied Physics*, Vol. 64, No. 3, 034001, March, 2025.
- [6] Sung-Hun Kim, Kaito Hikake, Zhuo Li, Yuki Itoya, Kota Sakai, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, "Nanosheet oxide semiconductor FETs with ALD InZnOx compared to InGaOx," *Japanese Journal of Applied Physics*, Vol. 64, No. 3, 036504, March, 2025.
- [7] 小林正治, 「酸化物材料による3次元集積メモリデバイスの開発」, 応用物理, 94(1), pp.32-36, 2025年1月1日.
- [8] Masaharu Kobayashi, "Oxide-based 3D-integrated memory devices," *JSAP Review*, 250404, February 12, 2025.
- [9] Chitra Pandey, Masaharu Kobayashi, "Structural and electronic properties of interstitial oxygen defect in amorphous indium gallium oxide (IGO) semiconductors: a theoretical study," *Japanese Journal of Applied Physics*, 62, 2, 02SP29, February 19, 2025.
- [10] Xuebin Wang, Kaifei Chen, Yutao Li, Jingsi Qiao, Yuanxiao Ma, Chengji Jin, Jixuan Wu, Jiezhi Chen, Masaharu Kobayashi, Guanhua Yang, Ling Li, Fei Mo and Yeliang Wang, "A Physics-Based Compact Model for IGZO Channel FET Toward Subthreshold Characteristic Dependent Memory Application," *IEEE Transactions on Electron Devices*, March 4, 2025.
- Structures (ICMTS), Edinburgh, Scotland, 3.1, April 16, 2024.
- [2] Masaharu Kobayashi, Kaito Hikake, Zhuo Li, Junxiang Hao, Chitra Pandey, Takuya Saraya, Toshiro Hiramoto, Takanori Takahashi, Mutsunori Uenuma, and Yukiharu Uraoka (Invited), "Performance and reliability of nanosheet oxide semiconductor FETs with ALD-grown InGaO for 3D integration," *IEEE International Reliability Physics Symposium (IRPS)*, Hilton DFW Lakes, Dallas, Texas, USA, April 18, 2024.
- [3] Yusuke Kobayashi, Munetoshi Fukui, Tomoko Matsudai, Takuya Saraya, Kazuo Itou, Toshihiko Takakura, Shinichi Suzuki, Tatsunori Sakano, Takato Yamamoto, Tomoaki Inokuchi, Ryohei Gejo, Kenya Kobayashi, Kazuto Takao, Toshiro Hiramoto, "Reducing turn-off Loss by Suppressing back-Side Parasitic npn Transistor in single-Back and double-Front gate-Controlled IGBT," *IEEE International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, Die Clocke, Bremen, Germany, June 3, 2024.
- [4] T. Saraya, M. Fukui, Y. Kobayashi, K. Itou, T. Takakura, S. Suzuki, R. Gejo, T. Sakano, T. Inokuchi, T. Matsudai, K. Takao, T. Hiramoto, "Bi-Directional Operation and Active Err Reduction of 2nd Generation Back-gate-Controlled IGBTs (BC-IGBTs)," *IEEE International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, Die Clocke, Bremen, Germany, June 6, 2024.
- [5] Toshiro Hiramoto and Hitoshi Wakabayashi, "Future Perspectives of CMOS Logic Innovation Beyond 2nm" (Keynote), *2024 IEEE Silicon Nanoelectronics Workshop*, 2024, Hilton Hawaiian Village, Honolulu, HI USA, pp. 1 - 2, June 15, 2024.
- [6] Sung-hun Kim, Kaito Hikake, Zhuo Li, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, "A Nanosheet Oxide Semiconductor FET Using ALD InZnOx Channel," *2024 IEEE Silicon Nanoelectronics Workshop*, 2024, Hilton Hawaiian Village, Honolulu, HI USA, pp. 61 - 62,

国際会議論文

- [1] T. Mizutani, K. Takeuchi, T. Saraya, H. Oka, T. Mori, M. Kobayashi, and T. Hiramoto, "Transistor Matrix Array for Measuring Variability and Random Telegraph Noise at Cryogenic Temperatures," *36th International Conference on Microelectronic Test*

- June 16, 2024.
- [7] Kaito Hikake, Xingyu Huang, Sung-hun Kim, Kota Sakai, Zhuo Li, Tomoko Mizutani, Takuya Saraya, Toshiro Hiramoto, Takanori Takahashi, Mutsunori Uenuma, Yukiharu Uraoka, and Masaharu Kobayashi, “Scaling Potential of Nanosheet Oxide Semiconductor FETs for Monolithic 3D Integration –ALD Material Engineering, High-Field Transport, Statistical Variability,” Symposium on VLSI Technology, Hilton Hawaiian Village, Honolulu, HI, USA, T4.2, June 18, 2024.
- [8] Yuki Itoya, Takuya Saraya, Toshiro Hiramoto, Masaharu Kobayashi, “Analysis of reliability improvement in HfO₂-based ferroelectric capacitors by ozone oxidation of the bottom electrode,” 2024 International Conference on Solid State Devices and Materials (SSDM), Arcrea Himeji, Himeji, Hyogo, September 3, 2024.
- [9] Zihao Liu, Tomoko Mizutani, Kiyoshi Takeuchi, Takuya Saraya, Hiroshi Oka, Takahiro Mori, Masaharu Kobayashi, Toshiro Hiramoto, “Comparative Analysis of Cryogenic Threshold Voltage and On-current Variability in 65nm Bulk and FDSOI MOSFETs,” 2024 International Conference on Solid State Devices and Materials (SSDM), Arcrea Himeji, Himeji, Hyogo, September 4, 2024.
- [10] Masaharu Kobayashi, Kaito Hikake, Xingyu Huang, Sunghun Kim, Kota Sakai, Zhuo Li, Tomoko Mizutani, Takuya Saraya, Toshiro Hiramoto, Takanori Takahashi, Mutsunori Uenuma, Yukiharu Uraoka, “On the scalability of nanosheet oxide semiconductor transistors,” EDTM, March 11, 2025.
- [11] Tomoko Mizutani, Kiyoshi Takeuchi, Takuya Saraya, Hiroshi Oka, Takahiro Mori, Masaharu Kobayashi, and Toshiro Hiramoto, “Measurement of Subthreshold Current Variability at 1.5 K Using Addressable MOSFET Array,” 37th International Conference on Microelectronic Test Structures (ICMTS), The Historic Menger Hotel, San Antonio, TX, USA, March 26, 2025.
- [12] Masaharu Kobayashi, “Oxide semiconductor technology for 3D-integrated devices,” TSMC-UTokyo Symposium, Online, July 2, 2024.
- [13] Masaharu Kobayashi, “Nanosheet oxide semiconductor FETs by Atomic Layer Deposition for 3D LSI application,” International Workshop on Active-Matrix Flatpanel Displays and Devices (AMFPD), Ryukoku University, July 4, 2024.
- [14] Chitra Pandey, Masaharu Kobayashi, “Theoretical Study on Structural and Electronic Properties of Interstitial Oxygen Defects in Amorphous Indium Gallium Oxide for Transistor Reliability,” International Conference on Solid State Devices and Materials (SSDM), K-1-06, Himeji, September 2, 2024.
- [15] Masaharu Kobayashi, “On the Scalability of Nanosheet Oxide Semiconductor FETs,” International Display Workshop (IDW) 2024, AMD2-2, Sapporo, December 5, 2024.

シンポジウム・研究会・大会等発表

- [1] 平本俊郎, 「先端半導体技術の最新動向」, 野村証券投資家セミナー「スピーカーシリーズ」, オンライン形式, 2024年4月9日.
- [2] 平本俊郎, 「先端半導体の最新動向」, 集積システム材料産学連携コンソーシアム (iSyMs) 全体会議, 東京工業大学石川台キャンパス, 2024年4月25日.
- [3] 平本俊郎, 「先端半導体デバイスの技術動向」, 応用物理学会超集積エレクトロニクス産学連携委員会研究会, 東京工業大学石川台キャンパス, 2024年4月26日.
- [4] 平本俊郎, 「先端ロジックデバイスの技術動向と将来展望」, 新化学技術推進協会電子情報技術部会次世代エレクトロニクス分科会講演会, 新化学技術推進協会, 2024年6月10日.
- [5] 平本俊郎, 「先端ロジック半導体の挑戦」, 日本電子材料技術協会特別講演会, 早稲田大学西早稲田キャンパス, 2024年7月5日.
- [6] 平本俊郎, 「VLSI シンポジウム報告・先端CMOS デバイス関連技術」, d.lab 協賛事業, オンライン開催, 2024年7月24日.

- [7] 平本俊郎, 「先端ロジック半導体デバイスの最新技術動向 Part 2」, SEMI-NETシンポジウム, ホテルアジュール竹芝 (東京), 2024年7月26日.
- [8] 平本俊郎, 「先端ロジックデバイスの技術トレンドー過去, 現在, 未来ー」, 一般公開シンポジウム「最先端ロジック半導体と連携・協働する材料・プロセス・実装技術の最前線～再起する日本の先端ロジック半導体・その2～」, 第85回応用物理学会秋季学術講演会, 朱鷺メッセ (新潟), 16p-A41-3, 2024年9月16日.
- [9] Sunghun Kim, Kaito Hikake, Zhuo Li, Takuya Saraya, Toshiro Hiramoto, Masaharu Kobayashi, 「A Nanosheet Oxide Semiconductor FET Using ALD InZnOx Channel」, 第85回応用物理学会秋季学術講演会, 朱鷺メッセ (新潟), 16p-C302-5, 2024年9月16日.
- [10] 坂井洸太, 日掛凱斗, 更屋拓哉, 平本俊郎, 小林正治, 「ALD InGaZnOx をチャンネル材料とするナノシート酸化物半導体トランジスタ」, 第85回応用物理学会秋季学術講演会, 朱鷺メッセ (新潟), 16p-C302-6, 2024年9月16日.
- [11] Kaito Hikake, Xingyu Huang, Sung-hun Kim, Kota Sakai, Zhuo Li, Tomoko Mizutani, Takuya Saraya, Toshiro Hiramoto, Takanori Takahashi, Mutsunori Uenuma, Yukiharu Uraoka, Masaharu Kobayashi, 「Study on High-Field Transport and Statistical Variability of Nanosheet Oxide Semiconductor FETs for Device Scaling in Monolithic 3D Integration」, 第85回応用物理学会秋季学術講演会, 朱鷺メッセ (新潟), 16p-C302-7, 2024年9月16日.
- [12] 水谷朋子, 竹内 潔, 更屋拓哉, 岡 博史, 森貴洋, 小林正治, 平本俊郎, 「トランジスタマトリックスアレイを用いた極低温における特性ばらつきとランダムテレグラフノイズの測定」, 第85回応用物理学会秋季学術講演会, 朱鷺メッセ (新潟), 18a-A23-4, 2024年9月16日.
- [13] 山本崇人, 小林勇介, 坂野竜則, 井口智明, 高尾和人, 末代知子, 下條亮平, 小林研也, 福井宗利, 更屋拓哉, 伊藤一夫, 高倉俊彦, 鈴木慎一, 平本俊郎, 「両面マルチゲート IGBT における表裏両面から蓄積キャリアを低減した際のターンオフ損失低減効果の解析」, 電気学会電子デバイス/半導体電力変換合同研究会, 日立シビックセンター, 茨城, EDD-24-068, SPC-24-206, 2024年11月15日.
- [14] 小林勇介, 坂野竜則, 山本崇人, 井口智明, 高尾和人, 末代和子, 下條亮平, 小林研也, 福井宗利, 更屋拓哉, 伊藤一夫, 高倉俊彦, 鈴木慎一, 平本俊郎, 「両面マルチゲート IGBT における寄生素子動作抑制によるターンオフ損失低減効果の試作実証」, 電気学会電子デバイス/半導体電力変換合同研究会, 日立シビックセンター, 茨城, EDD-24-069, SPC-24-207, 2024年11月15日.
- [15] 更屋拓哉, 福井宗利, 伊藤一夫, 高倉俊彦, 鈴木慎一, 平本俊郎, 小林勇介, 坂野竜則, 井口智明, 高尾和人, 下條亮平, 末代知子, 「第2世代両面ゲート IGBT (BC-IGBT) における双方向伝導と動的なリバースリカバリ損失低減の実証」, 電気学会電子デバイス/半導体電力変換合同研究会, 日立シビックセンター, 茨城, EDD-24-070, SPC-24-208, 2024年11月15日.
- [16] 平本俊郎, 「先端ロジックデバイス: 2nm 技術と将来動向」, 大阪公立大学協創研究センター半導体超加工・集積化技術研究所, 2024年度第13回「半導体デバイスプロセス技術基礎講座」, 大阪公立大学 i-site なんば, 2025年1月7日.
- [17] 平本俊郎, 「IEDM 概要および先端 CMOS・デバイス技術関連」, d.lab 協賛事業, オンライン開催, 2025年1月16日.
- [18] 平本俊郎, 「先端ロジックデバイスの開発動向: 2nm から Beyond 2nm へ」, 応用物理学会第30回電子デバイス界面テクノロジー研究会, 静岡県総合コンベンション施設プラサヴェルデ, 2025年1月24日.
- [19] 平本俊郎, 「先端ロジック半導体の技術動向」, 大阪大学ナノ理工学人材育成産学コンソーシアム半導体セミナー, 大阪大学豊中キャンパス文理融合型研究棟, 2025年2月7日.
- [20] Zihao Liu, Tomoko Mizutani, Kiyoshi Takeuchi, Takuya Saraya, Hiroshi Oka, Takahiro

- Mori, Masaharu Kobayashi, and Toshiro Hiramoto, "Comparative Analysis of Threshold Voltage and On-current Variability in 65nm Bulk and FDSOI MOSFETs at Cryogenic Temperature," 第71回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 14a-K101-7, 2025年3月14日.
- [21] Zihao Liu, Tomoko Mizutani, Kiyoshi Takeuchi, Takuya Saraya, Hiroshi Oka, Takahiro Mori, Masaharu Kobayashi, and Toshiro Hiramoto, "On-Current Variability Components in 65nm Bulk and FDSOI MOSFETs at Cryogenic Temperature," 第71回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 14a-K101-8, 2025年3月14日.
- [22] 平本俊郎, 若林 整, 「先端ロジックデバイスの技術動向とLSTCでの取り組み」, 第71回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 16p-K205-2, 2025年3月16日.
- [23] Xiaoran Mei, Yaoping Xiao, Takuya Saraya, Toshiro Hiramoto, Masaharu Kobayashi, "Component Prioritization Assessment in Gate-All-Around Nanosheet FETs using Design-Technology Co-Optimization (DTCO)," 第71回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 17a-K101-10, 2025年3月17日.
- [24] Yaoping Xiao, Xiaoran Mei, Takuya Saraya, Toshiro Hiramoto, Masaharu Kobayashi, "Design Technology Co-optimization (DTCO) for spacer Design in Gate-All-around Nanosheet FETs," 第71回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 17a-K101-11, 2025年3月17日.
- [25] Yaoping Xiao, Xiaoran Mei, Takuya Saraya, Toshiro Hiramoto, Masaharu Kobayashi, "Comprehensive Study on the Silicon-Nanosheet Thickness Dependence On the Device Performance of Gate-All-Around NFETs," 第71回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 17a-K101-12, 2025年3月17日.
- [26] 鄭 スジョン, 水谷朋子, 竹内 潔, 更屋拓哉, 小林正治, 平本俊郎, 「ダイポールによりしきい値電圧制御したFDSOI MOSFETにおける特性ばらつきの測定」, 第71回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 17p-K101-1, 2025年3月17日.
- [27] Jinsoo Lee, Tomoyoshi Kushida, Takuya Saraya, Munetoshi Fukui, Masaharu Kobayashi, Toshiro Hiramoto, "Silicon Lateral Power MOSFET Using Thim Film Super-Junction Structure," 第71回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 17p-K101-3, 2025年3月17日.
- [28] 平本俊郎, 「先端ロジック半導体デバイスの最新技術動向 Part 3」, SEMI-NETシンポジウム, ホテルアジュール竹芝 (東京), 2025年3月28日.
- [29] 小林正治, 「メモリデバイス技術」, d.lab協賛事業VLSI Symposium 2024報告会, オンライン, 2024年7月24日.
- [30] 小林正治, Xingyu Huang, 日掛凱斗, Sung-hun Kim, 坂井洸太, Zhuo Li, 水谷朋子, 更屋拓哉, 平本俊郎, 高橋崇典, 上沼睦典, 浦岡行治, 「ナノシート酸化物半導体トランジスタにおける高電界輸送と特性ばらつき」, シリコンテクノロジー分科会研究集会, 金沢工業大学, 2024年8月26日.
- [31] 高橋 崇典, 上沼 睦典, 小林 正治, 浦岡 行治, 「原子層堆積法で成膜した非晶質/多結晶In-Ga-O酸化物トランジスタにおける信頼性劣化起源に関する考察」, 応用物理学会秋季学術講演会, 16p-C302-4, 新潟, 2024年9月16日.
- [32] 糸矢祐喜, 小林正治, 「機械学習ポテンシャルを用いたHfO₂結晶のモデリングの検討」, 応用物理学会秋季学術講演会, 18p-B3-11, 新潟, 2024年9月18日.
- [33] 小林正治, 「CMOSデバイスの基礎」, シリコンテクノロジー・チュートリアル 2024, 東京大学本郷キャンパス, 2024年10月26日.
- [34] 小林正治, 「強誘電体と酸化物半導体によるメモリデバイスの動向」, 第11回電子デバイスフォーラム, 京都, 2024年11月1日.
- [35] 小林正治, 「三次元集積デバイス応用に向けたナノスケール酸化物半導体トランジスタの研究報告」, 第10回透明酸化物光・電子材料研究

- 会, 東京大学, 2025年1月24日.
- [36] 小林正治, 「先端半導体デバイス技術の現状と展望」, 表面科学技術研究会2025, 大阪, 2025年1月31日.
- [37] 糸矢 祐喜, 藤原 弘和, édric Bareille, 辛 埴, 谷内 敏之, 小林 正治, 「レーザー励起光電子顕微鏡を用いたInZnOx/Hf0.5Zr0.5O2/TiN強誘電体キャパシタのマルチリークパスの分布の解明」, 応用物理学会春季学術講演会, 14p-K503-12, 東京理科大学, 2025年3月14日.
- [38] 小林正治, 「酸化半導体トランジスタの微細化に関する研究」, 応用物理学会春季学術講演会, 16p-K203-2, 東京理科大学, 2025年3月16日.
- [39] 黄 善彬, 坂井 洸太, 高橋 崇典, 上沼 睦典, 浦岡 行治, 小林 正治, 「ナノシート酸化半導体一電極界面における電子状態の分析」, 応用物理学会春季学術講演会, 16a-Y1311-2, 東京理科大学, 2025年3月16日.
- [40] 宮澤 徹也, 越智 元隆, 後藤 裕史, 小林 正治, 保井 晃, 唐 佳藝, 「半導体メモリ向けIGZO薄膜トランジスタの熱処理温度による特性変化と深さ分解HAXPESを用いた検証」, 応用物理学会春季学術講演会, 17p-K501-5, 東京理科大学, 2025年3月17日.
- USA. (2025.03.26)
- [2] Shun Beppu, Yuto Hirayama, Shinsuke Hara, Akifumi Kasamatsu, Yoshio Mita, and Kyoya Takano, “Passive and Causal Modeling of 300-GHz-Band IC Capacitors Using Rational Polynomial Approximation,” 2025 IEEE International Conference on Microelectronic Test Structures (37th ICMTS), 24-27 Mar., San Antonio, TX, USA. (2025.03.26)
- [3] Shun Yasunaga, and Yoshio Mita, “Estimating Verticality Parameters in Deep Reactive Ion Etching using MEMS Oscillators,” 2025 IEEE International Conference on Microelectronic Test Structures (37th ICMTS), 24-27 Mar., San Antonio, TX, USA. (2025.03.25)
- [4] Shun Yasunaga, Motohiko Ezawa, and Yoshio Mita, “Programmable Connected 2D Network of Bistable Elements for MEMS Ising Machine,” The 38th International Conference on Micro Electro Mechanical Systems (MEMS 2025), 19-23 Jan. 2025, Kaoshung, Taiwan (2025.01.21) doi: 10.1109/MEMS61431.2025.10918290
- [5] Fumiya Sakuma, Shun Yasunaga, Kei Misumi, Akio Higo and Yoshio Mita, “Constructing Temperature Constant Controlled Silicon-on-Insulator Bolometers,” 2024 Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP), Dresden, Germany, 2024, pp. 1-4, doi: 10.1109/DTIP62575.2024.10613084. (2024.06.05)
- [6] Ryohei Takahashi, Kei Misumi, Keigo Tsuji, Anne-Claire Eiler, Shun Yasunaga, Akio Higo, Ryosho Nakane, Tetsuya Iizuka, Motohiko Ezawa, Yoshio Mita, “Su-Schrieffer-Heeger Topological Electrical Circuit Using In-Plane Mutual Inductance,” 2024 Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP), Dresden, Germany, 2024, pp. 1-5, doi: 10.1109/DTIP62575.2024.10613147. (2024.06.05)
- [7] Shun Yasunaga, Kei Misumi, Ayako Mizushima, Atsushi Toyokura, Etsuko Ota, Yurie Inoue, Makoto Fujitawa, Noriko Kawai, Mitsuhiro Yoda,

著書

なし

三田研究室

査読付き国際学会

- [1] Yoshio Mita, Ayako Mizushima, Noriko Kawai, Tsuboi Shinji, Yurie Inoue, Etsuko Ohta, Shun Yasunaga, Ryosho Nakane, David Bourrier, Amel Beghersa, Hugues Granier, and Akio Higo, “Advantage and Challenge of Electrical Critical Dimension Test Structures for Electroplated High Aspect Ratio Nano Structures (HARNs) on Insulating Materials,” 2025 IEEE International Conference on Microelectronic Test Structures (37th ICMTS), 24-27 Mar., San Antonio, TX,

Shinji Tsuboi, Tomoki Sawamura, Akio Higo, Ryosho Nakane, Yukinori Ochiai, and Yoshio Mita, "An add-in Test Structure Chip to Unitedly Assess PVD Material Properties in University Open Nanotechnology Platform," The 36th International Conference on Microelectronic Test Structures (ICMTS), 15-18 April, Edinburgh, Scotland (2024.04.18) doi: 10.1109/ICMTS59902.2024.10520699

- [8] Ayako Mizushima, Kei Misumi, Shun Yasunaga, Akio Higo, Ryosho Nakane, Kazumichi Tsumura, Kazuyuki Higashi, Yukinori Ochiai, and Yoshio Mita, "Test Structure to Assess Bump Shape Influence on Hybrid Bonding," The 36th International Conference on Microelectronic Test Structures (ICMTS), 15-18 April, Edinburgh, Scotland (2024.04.18) doi: 10.1109/ICMTS59902.2024.10520685R

その他の講演・シンポジウム

- [1] 三田吉郎, 「【招待講演】 オープンプラットフォームにおける高速大面積電子線描画装置の役目と展望」, 日本工学会 (MORG) メタオプティクス研究会, 早稲田大学西早稲田キャンパス (東京都) (2025.03.24)
- [2] 島村 龍伍, 三角 啓, 安永 竣, 肥後 昭男, 中根 了昌, 三田 吉郎, 「[16p-P11-12]サブミクロン垂直 MEMS プローブのための Mo ナノスパイアの検討」 2025年第72回応用物理学会春季学術講演会, 2025年3月14-17日, 東京理科大学 (千葉県野田市) (2025.03.16)
- [3] 中村 友哉, 高野 恭弥, 飯塚 哲也, 安永 竣, 水島 彩子, 肥後 昭男, 中根 了昌, 三田 吉郎, 「[16a-P05-10]横方向スタブを用いた300GHz帯z軸 $\lambda/4$ スタブの共振周波数調整手法」 2025年第72回応用物理学会春季学術講演会, 2025年3月14-17日, 東京理科大学 (千葉県野田市) (2025.03.16)
- [4] Noriko Kawai, Ayako Mizushima, David Bourrier, Etsuko Ota, Amel Beghersa, Hugues Granier, and Yoshio Mita, "Nano-EB LIGA Process through LAAS-RENATECH and UTokyo Engineers

Exchange," Journées Nationales sur les Technologies Emergentes en micro-nanofabrication, 27-29 Nov., St Etienne, France (2024.11.27)

- [5] 島本直伸, 天野秀晴, 最上徹, 井上友里恵, 落合幸徳, 角博文, 小菅敦丈, 黒田忠広, 池田誠, 三田吉郎 「ボンディングパッド表面処理による Agile-X LSI の製造歩留り改善」, 第16回集積化MEMSシンポジウム, 仙台, 2024年11月25日-28日, 27A2-D-4 (2024.11.27)
- [6] 安永竣, 江澤雅彦, 三田吉郎: 「プロセス後変形可能な機械的バイアス機構を用いた非対称双安定MEMS素子」, 第16回集積化MEMSシンポジウム, 仙台, 2024年11月25日-28日, 27A2-D-1 (2024.11.27)
- [7] 中村友哉, 高野恭弥, 飯塚哲也, 安永竣, 水島彩子, 肥後昭男, 中根了昌, 三田吉郎 「300GHzパワーアンプ用z軸 $\lambda/4$ stubの設計・試作」, 第16回集積化MEMSシンポジウム, 仙台, 2024年11月25日-28日, 26P2-D-4 (2024.11.26)
- [8] 島村龍伍, 三角啓, 安永竣, 肥後昭男, 中根了昌, 三田吉郎 「ナノスパイアを用いた絶縁層貫通式接続機構の実現」, 第41回「センサ・マイクロマシンと応用システム」シンポジウム, 仙台, 2024年11月25日-28日, 25P2-M-3 (2024.11.25)
- [9] Yoshio Mita, "(keynote speech) "Number is Power" - autonomous distributed microsystems through MEMS technology," 2024 International Conference on Smart Sensors (ICSS 2024), Jul. 1-2, Lakeshore Hotel, Hsinchu, Taiwan, (2024.07.01)

4.5 特許, 受賞等

飯塚研究室

特許

- [1] 浅見 幸司, ビヤムバドルジ ゴルボー, 飯塚 哲也, 肥後 昭男, グエン ゴック マイカーン, “測定装置, 測定方法, および測定プログラム,” 国際出願番号PCT/JP2024/016693.
- [2] 飯塚 哲也, 占 黎晨, “コンパレータ回路, A/Dコンバータ,” 特願2025-003096.
- [3] 飯塚 哲也, 熊野 陽, 王 錫明, 中村 邦彦, 古田 善一, 根塚 智裕, “増幅回路及びスイッチトキャパシタ回路,” 特願2025-038366.

受賞

- [1] 令和6年度 工学系研究科長賞, 竹中 理太郎, 2025年3月.
- [2] 令和6年度 優秀修士論文賞, 竹中 理太郎, “複数閾値を持つ比較器を用いた増幅器切替型アーキテクチャによる高分解能・高速サブレンジングA/D変換器,” 2025年3月.
- [3] 2024年度 東京大学大学院工学系研究科 研究科長表彰 研究部門, 飯塚 哲也, 2025年3月.
- [4] 令和6年度 公益財団法人 矢崎科学技術振興記念財団 矢崎学術賞 功績賞, 飯塚 哲也, “高速・高効率通信システム向けアナログ集積回路技術の研究と新物性デバイスへの展開,” 2025年3月.
- [5] WINGS-QSTEP Best Poster Award, 李 燦煒, 2025年2月.
- [6] 令和6年度 学校法人東京電機大学学術振興基金 丹羽保次郎記念論文賞, 長田 将, “A Fractional-N Ring PLL Using Harmonic-Mixer-Based Dual Feedback and Split-Feedback Frequency Division with Phase-Domain Filtering,” IEEE Journal of Solid-State Circuits, vol. 59, no. 7, pp. 2171-2184, Jul. 2024.
- [7] IEEE SSCS Japan Chapter d.lab-VDEC Design Award, 加納 創太, “深宇宙探査機搭載ワンチップトランスポンダの実現に向けた X帯CMOS受信機フロントエンド,” 2024年9月.
- [8] 第14回 d.lab-VDEC デザインアワード 最優秀賞, 加納 創太, “深宇宙探査機搭載ワンチップトランスポンダの実現に向けた X帯CMOS

受信機フロントエンド,” 2024年9月.

- [9] 第14回 d.lab-VDEC デザインアワード 奨励賞, 朱 玉揚, “スピン波検出システムに向けたインダクタを用いない送受信回路の設計,” 2024年9月.
- [10] IEEE SSCS Japan Chapter Academic Research Award, 濱崎 拓, 加納 創太, 宇佐美 尚人, 冨木 淳史, 飯塚 哲也, “深宇宙探査機搭載ワンチップトランスポンダの実現に向けた X帯CMOS送信機フロントエンドの設計,” 電子情報通信学会 LSIとシステムのワークショップ 2024, 2024年5月.

その他, 特記事項

なし

池田研究室

特許, 受賞等一覧 (2024度)

なし

特許

なし

受賞

2025年3月26日 池田誠 電子情報通信学会2024年度フェロー

その他, 特記事項

なし

内田研究室

受賞

なし

特許

なし

その他, 特記事項

なし

小菅研究室

特許

なし

受賞

なし

その他, 特記事項

なし

染谷・横田・山岸研究室

特許

- [1] 染谷隆夫, 横田知之, 李成薫, 汪浩洋, 「圧力センサ」, PCT/JP2024/029889, 2024年8月22日出願.

受賞

- [1] 染谷隆夫, 藤原賞, 公益財団法人藤原科学財団, 2024年6月
- [2] Kento Yamagishi, M&BE Award, “Stretchable microfluidic liquid metal antennas based on direct ink writing 3D-printed microchannels”, The 11th International Conference on Molecular Electronics & Bioelectronics(M&BE11), 2024年6月
- [3] Chika Okuda, M&BE Student Presentation Award, “Mechanically stable organic thin-film transistors on reinforced ultrathin elastomer films”, The 11th International Conference on Molecular Electronics & Bioelectronics(M&BE11), 2024年6月
- [4] 山岸健人, Innovators Under 35 Japan 2024, MIT Technology Review, 2024年11月
- [5] 染谷隆夫, 高被引用論文著者, Clarivate Highly Cited Researchers 2024, クラリベイト・アナリティクス(Clarivate Analytics)社, 2024年11月
- [6] 立花卓遠, 日本生体医工学会関東支部 若手研究者発表会2024優秀論文発表賞, 公益社団法人 日本生体医工学会 関東支部, 2024年11月
- [7] 栗倉幸, Best Student Paper Award, “Flexible Organic Photodetectors Capable of Selectively Detecting Visible and Near-Infrared Light”, The

31st International Display Workshops (IDW' 24), 2024年12月

- [8] 染谷隆夫, 第4回森下泰記念賞, “伸縮性エレクトロニクスによる生体電子計測の先駆的貢献”, 交易財団法人テルモ生命科学振興財団, 2025年2月

その他, 特記事項

なし

高木研究室

特許

- [1] 蔡 作成, トープラサートポン カシディット, 竹中 充, 高木 信一, “記憶装置及びメモリステム”, PCT/JP2024/017271 (出願日:2024/5/9), 台湾特許出願番号 113117416 (出願日:2024/5/10)

受賞等

- [1] 第16回 応用物理学会シリコンテクノロジー分科会論文賞, トープラサートポン カシディット, 田原 建人, 彦坂 幸信, 中村 亘, 齋藤 仁, 竹中 充, 高木 信一
- [2] 第23回IEEE EDS Japan Joint Chapter Student Award, 趙 成謹
- [3] 第23回IEEE EDS Japan Joint Chapter Student Award, 大友 将樹
- [4] International Conference on Solid State Devices and Materials (SSDM) 2023 Best Student Award (BSA), 関 信義

竹内研究室

特許

なし

受賞

- [1] IEEE COOL Chips, Best Poster Award, “Approximate Random Weight Generator & CiM Integration for Neuromorphic Computing”.
- [2] 情報処理学会, 情報処理学会SLDM (システムとLSIの設計技術) 研究会優秀発表賞, “ニュー

ーラルネットワークの入出力レンジ最適化による低ビット CiM ベース推論器の設計手法”.

2711681
年月日：2024年9月25日

その他, 特記事項

なし

竹中研究室

特許

なし

受賞等

- [1] 第15回シリコンテクノロジー分科会論文賞受賞 (2025年3月14日) 竹中 充
- [2] 第57回 (2024年秋季) 応用物理学会講演奨励賞 (2024年3月) 赤澤 智熙
- [3] IEEE Photonics Conference 2024 Best Student Paper Award 2nd place winner (2024年11月) 赤澤 智熙

中村研究室

特許

なし

受賞

- [1] 伊藤向子, 情報処理学会システム・アーキテクチャ研究会若手奨励賞, 6月, 2024
- [2] 野崎愛, 情報処理学会システム・アーキテクチャ研究会若手奨励賞, 8月, 2024
- [3] 伊藤向子, xSIG 2024 Poster Award, 8月, 2024

その他, 特記事項

なし

平本・小林研究室

特許

国際特許
題目：Non-volatile memory device and method for operating same
発明者・発案者名：小林正治, 莫非, 平本俊郎
番号 (出願番号/公開番号)：韓国特許登録番号10-

国際特許

題目：三維陣列装置
発明者・発案者名：小林正治, Jixuan Wu, 平本俊郎
番号 (出願番号/公開番号)：台湾特許登録番号第1869581号
年月日：2023年5月31日

国際特許

題目：三次元アレイ装置
発明者・発案者名：小林正治, Jixuan Wu, 平本俊郎
番号 (出願番号/公開番号)：韓国特許登録番号 10-2765082
年月日：2025年2月4日

国際特許

題目：不揮発性記憶装置
発明者・発案者名：小林正治, 李卓, 平本俊郎
番号 (出願番号/公開番号)：中国特許出願番号202380036714.5
年月日：2024年10月25日

国内特許

題目：不揮発性記憶装置
発明者・発案者名：小林正治, 李卓, 平本俊郎
番号 (出願番号/公開番号)：特願2024-526368
年月日：2024年12月2日

国際特許

題目：Antiferroelectric memory device
発明者・発案者名：小林正治, 李卓, 平本俊郎
番号 (出願番号/公開番号)：US 18/870779
年月日：2024年12月2日

国際特許

題目：不揮発性記憶装置
発明者・発案者名：小林正治, 李卓, 平本俊郎
番号 (出願番号/公開番号)：韓国特許出願番号10-2024-7041242
年月日：2024年12月12日

受賞

氏名：Kaito Hikake, Xingyu Huang, Sung-hun Kim

受賞名(機関・団体名)：IEEE EDS Japan Joint Chapter Student Award (IEEE Japan Joint Chapter)

授与機関・団体：IEEE EDS Japan Joint Chapter

受賞対象の研究題目：Scaling Potential of Nanosheet Oxide Semiconductor FETs for Monolithic 3D Integration –ALD Material Engineering, High-Field Transport, Statistical Variability

受賞年月日：2025年2月21日

その他, 特記事項

なし

三田研究室

受賞

- [1] 島村 龍伍, “ナノスパイアを用いた絶縁層貫通式接続機構の実現”, 25P2-M-3, 一般社団法人電気学会 センサ・マイクロマシン部門大会第41回「センサ・マイクロマシンとシステムシンポジウム」にて「五十嵐賞」(若手最優秀賞) 2024年11月27日

Appendix

A.1 CADソフトウェアの整備

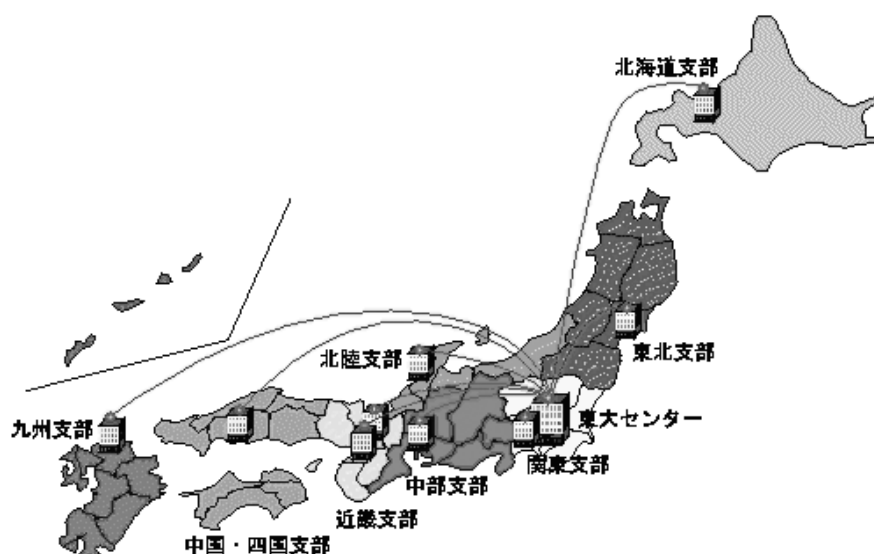
1996年度から整備を行っているCADソフトウェアは、2025年度は表A.1.1に示すツール群を全国の大学に提供している。CADソフトウェアの利用は、図A.1.1に示す全国地域拠点校10箇所 licensesサーバを設置し、全国各大学の利用者が手許の計算機にインストールしたCADソフトウェアを、最寄のライセンスサーバにおいて認証を行うことで、ネットワークを利用した

運用形態となっている。ライセンス数はCADの項目ごとに10から1000程度のフローティングライセンスとなっており、全国の国・公・私立大学・高専において教育・研究目的に限り利用できるようになっている。

東京大学VDEC活動を通じたVDECのCADの利用、および「A.2章」のチップ試作の利用のためには、あらかじめユーザ登録が必要となっている。

表A.1.1 導入されたCADシステム

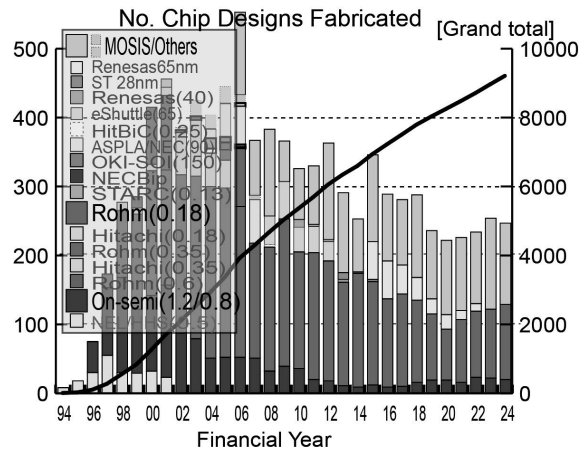
名称	用途	メーカー
Cadence 社設計システム	VerilogHDL/VHDL ベースの入力、シミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線とバックアノテーション、会話型の回路図およびマスクレイアウト入力、アナログ機能・回路シミュレーション、設計検証、回路抽出	Cadence Design Systems, Inc.
Synopsys 社設計システム	VerilogHDL/VHDL シミュレーション、論理合成、テスト生成、マクロセルを含むセルベースの配置配線設計とバックアノテーション、回路シミュレーション、デバイスシミュレーション	Synopsys, Inc.
Siemens 社設計ツール	レイアウトのデザインルールチェック及び検証	Siemens Electronic Design Automation Japan K.K.
Silvaco 社設計ツール	高速回路シミュレーション	Silvaco Japan Co., Ltd.
ADS/Golden Gate	通信機器や関連デバイスなどの高周波回路/システムの設計、検証	Keysight Technologies
Bach	BachC 言語での設計	Sharp
LAVIS	レイアウト表示プラットフォーム	TOOL



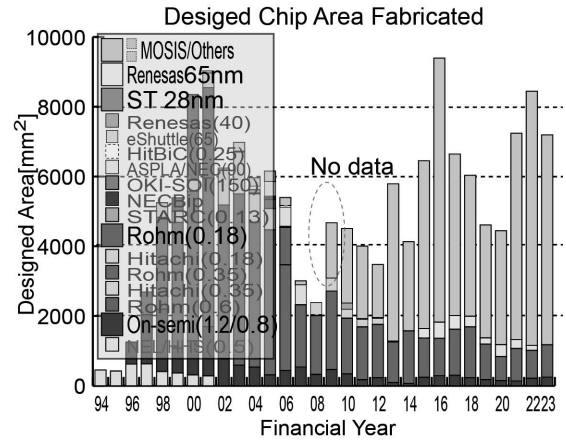
図A.1.1 全国地域拠点校

A.2 基盤設計研究部門におけるチップ試作支援の実施状況

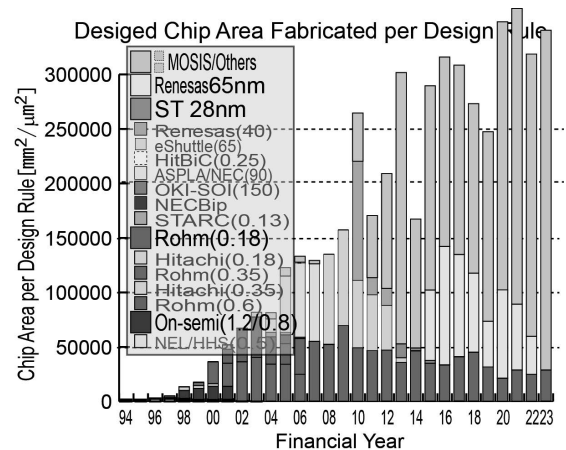
VLSIチップ試作支援に関しては、平成6、7年度(1994、1995年度)のパイロットプロジェクトでは、ファウンドリはNEL社のCMOS0.5 μm (当該プロセスはその後日立北海セミコンダクタ社に継続)1社であったが、平成8年度(1996年度)のVDEC発足後、日本モトローラ社のCMOS1.2 μm (平成11年度からは、オン・セミコンダクターにて継続)が協力を開始し、平成9年度からはローム社のCMOS0.6 μm が加わった。さらに平成10年度には日立製作所のCMOS0.35 μm 、平成11年度にはローム社0.35 μm がそれぞれ加わった。また、IP開発プロジェクトの一環としてSTARCO.13 μm の試作を行った。平成13年度から、日立製作所のCMOS0.18 μm のサービスを実施している。平成14年度は、広島大学岩田先生の主導の下に、VDECとMOSISの協力による試作サービスを試行的に実施した。これは、TSMC、IBMといった海外のファブをMOSISを経由することで格安で提供するものである。さらに、東京大学柴田先生主導の元に、NEC化合物デバイス株式会社によるバイポーラLSIの試作サービスも行った。平成16年からテスト試作として沖電気CMOS SOI 0.15 μm プロセスおよびASPLA 90nmプロセスの試作を開始し、90nm試作については平成17年度より通常の試作として公募の形で運用。平成18年度からはローム社0.18 μm の試作を開始し、日立製作所0.25 μm SiGeBiCMOSのテスト試作を実施した。平成19年度で終了した90nmCMOSの後継の先端プロセスの検討を平成19年度から開始し、平成20年度にeShuttle社の65nm CMOSによる試作を開始した。さらに経済産業省・STARCOのプロジェクト「次世代半導体回路アーキテクチャ実用化支援事業」の一環として、ルネサスエレクトロニクス社の40nm CMOSによる試作も開始した。一方で平成23年9月試作をもってCMOS1.2 μm を終了することとなったほか、平成24年度をもってルネサスエレクトロニクス社の40nm CMOS試作が終了、平成25年8月シャトルをもってeShuttle社の65nm CMOS試作が終了した。CMOS1.2 μm の後継として、オンセミー三洋半導体製造社(現在はJS Foundry)の協力により平成24年10月にCMOS0.8 μm のテスト試作を実施し、平成25年度から定常試作として継続している。最先端試作としては、平成25年度からフランスCMPを介してSTマイクロ社FD-SOI 28nm CMOS試作を開始。また、平成27年度から定常試作として、ルネサスエレクトロニクス社SOTB 65nm CMOS試作を開始し、令和4年7月試作をもって終了した。ま



(a) 設計チップ品種数



(b) 設計チップ面積



(c) 規格化した設計チップ面積

図A.2.1 チップ試作数・面積推移

た平成28年度にリコー電子デバイス株式会社による CMOS 0.6um 高耐圧試作の検討および、三重富士通株式会社による CMOS 40nm 試作の検討を開始した。令和2年度にはドイツ IHP 社との協定により BiCMOS0.18um 試作の検討を開始し、令和3年度に最初のテープアウトを実施した。

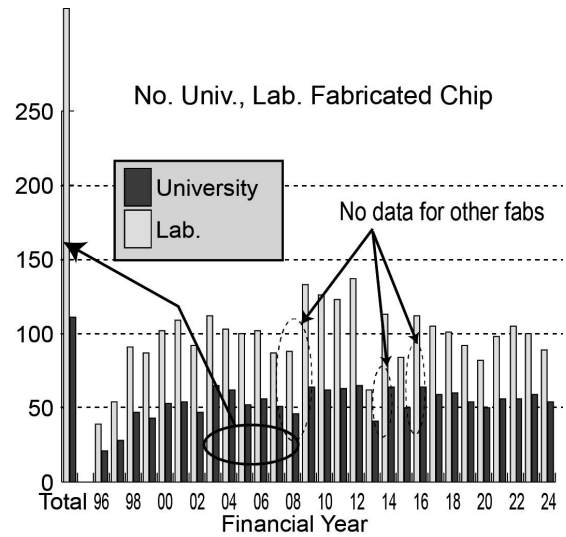
図A.2.1(a)は設計されたチップ品種数を示す。図中の棒グラフは、試作品種数の順調な増加を表しており、VLSI 試作研究・教育に直接的に係わった学生数を表しているものと考えられることから、研究・教育効果が劇的に向上していることが想像される。試作されたチップの品種数は、平成14年度に減少しているが、これは ROHM 社の0.6um プロセスを終了したことによる減少が考えられる。またそれ以降ほぼ400品種程度で推移しているが、その中でより微細なプロセスへ試作の中心が推移していることが読み取れる。また平成18年度に0.35um が終了し、平成19年度以降0.18um への移行したことにより、試作数が130品種程度減少し、さらに平成19年度に ASPLA 90nm CMOS 試作が終了し、eShuttle 65nm CMOS への移行に伴う試作数の減少がみられる。なお、JS Foundry は2025年7月14日付で破産手続開始決定が発令されたため、試作はキャンセルとなる。

この減少傾向は試作面積においてさらに顕著で、試作プロセスの微細化進展に伴い、集積度が向上することも重なり、試作面積が大幅に減少する結果となっている。図A.2.1(b)に設計されたチップ面積を示す。一方設計量の指標として、図A.2.1(c)に試作面積をそれぞれの試作プロセスにおける特性寸法で規格化した、規格化試作面積の傾向も併せて示す。こちらはまだ増加し

続けていることから、プロセスの微細化に伴うチップ当たりおよび面積当たりの設計工数の増大が試作数、試作面積の減少主要因になっていることが考えられる。

また、図A.2.2にこれまでに試作に参加した教員数、大学数の推移およびその累計を示す。また、チップ試作に必要な設計規則などの、試作会社固有の機密情報にアクセスするための「機密保持契約」締結教員数は、ロームの0.18um プロセスが304名、オンセミ三洋 0.8um プロセスが56名となっている。

2024年度は、表A.2.1に示す日程でチップ試作を行った。チップ試作の参加者・試作の内容は、付録Bのチップ試作報告を参照されたい。



図A.2.2 VDECチップ試作参加教員数・大学数の推移とその累計

表A.2.1 2024年度チップ試作日程

CMOS 0.8um (JS Foundry (旧オン・セミコンダクタ))

	試作申込締切	設計締切	納品・試作完了
2024年度第1回	2024/7/16	2024/9/24	2024/12/16
2024年度第2回	2025/1/6	2025/3/24	2025/6/23

CMOS 0.18um (ローム)

	試作申込締切	設計締切	納品・試作完了
2024年度第1回 (2024年7月試作)	2024/4/1	2024/6/24	2024/10/9
2024年度第2回 (2024年9月試作)	2024/6/10	2024/9/2	2024/12/14
2024年度第3回 (2024年11月試作)	2024/7/29	2024/10/21	2025/2/18
2024年度第4回 (2025年3月試作)	2024/11/14	2025/2/3	2025/5/16

A.3 セミナー

LSI 設計技術の向上にはセミナーは欠くことができない存在である。令和6年度にも、CAD 利用のための技術セミナーと VLSI 設計に関する知識・技術の習得を目的としたリフレッシュセミナーを開催した。加えて、若手教官・学生のためのデザイナーズフォーラムを企画、実施した。

A.3.1 VDECユーザ向けCAD セミナー

CAD 技術セミナーへの参加要望は常に非常に大きく、これは CAD 技術セミナーに対する需要が依然と

して大きなことを表しており、VDEC はこの状況に対応し、大規模な CAD 技術セミナー開催の仕組みの整備を行ってきた。CAD 利用のための技術セミナーでは、VDEC で使用可能なCadence, Synopsys, Keysight などCADベンダーのそれぞれのCAD ツールの操作方法等を各ツールベンダーから講師を派遣していただき講習を行っている。教員・学生は本講習会を通して最新版CADツールの使用方法や VDEC ライブラリを用いた VLSI 設計フローを修得している。

表A.3.1 令和6年度 CAD 技術セミナー開催状況

第1回CAD講習会

日程	夏の講習会	場所	申込人数	参加人数
9/11	Synopsys Custom Compiler	オンライン	11	11
9/12	Cadence Virtuoso Layout Editor	オンライン	15	20
9/13	Keysight EMPro – FEM 解析の基礎	オンライン	14	11
9/20	Cadence Virtuoso ADE	オンライン	26	23
9/30	Cadence Virtuoso Schematic Editor	オンライン	33	21

第2回CAD講習会

日程	春の講習会	場所	申込人数	参加人数
3/18	Keysight ADS Fundamental	オンライン	26	25
3/21	Cadence Clarity 3D Solver	オンライン	13	8
3/24	Cadence Innovus Digital Implementation System	オンライン	25	18
3/25	Cadence Virtuoso Layout Editor GXL	オンライン	54	37
3/27	Synopsys Custom Compiler	オンライン	37	19
～3/31	Synopsys Fusion Compiler	オンデマンド	27	---
～3/31	Synopsys Design Compiler	オンデマンド	37	---
～3/31	Synopsys IC Compiler II	オンデマンド	36	---
3/28	Synopsys Design Compiler & IC Compiler II Q&A	オンライン	17	6
～3/31	Synopsys Sentaurus Basic & Post Basic	オンデマンド	26	---

A.3.2 社会人・大学向けリフレッシュセミナー

今年も集積回路産業に携わる職業人を対象にリフレッシュ教育としてVLSI設計に関する最新かつ高度の知識・技術の習得を目的として、社会人向けの「VLSI設計リフレッシュセミナー」を拠点大学教官および企業の第一線の設計者を講師に招き開催した(表A.3.2)。

このセミナーは主に社会人を対象として、演習を伴

う最新のVLSI設計技術の実践的教育を行うもので、平成10年度に文部省専門教育課の支援のもとでスタートしたが、日本応用物理学会、情報処理学会、電子情報通信学会、IEEE Solid-State Circuits Society (Japan Chapter, Kansai Chapter)の協賛をあわせて得ることができ、大変効果的で有意義なセミナーとなった。

表A.3.2 リフレッシュセミナー開催状況

日程	コース	内容	講師	申込人数
8/1, 2	コースVD: d.lab-VDEC環境でのデジタル設計	VDEC連携提供したツールとプロセスでのデジタル設計フロー	小林和淑 (京都工芸繊維大学) 岸田亮(富山県立大学) 西澤真一(早稲田大学)	12
8/5, 6	コースVT: d.lab-VDEC環境でのトランジスタレベル設計	VDEC連携提供したツールとプロセスでのカスタマイズ設計フロー	名倉徹 (福岡大学)	4
8/21, 22, 23	コースA: アナログ集積回路設計と演習	回路設計, 回路シミュレーション アナログ集積回路の特徴と役割 レイアウト設計, 検証(DRC, LVS)	杉本泰博(中央大学) 飯塚哲也(東京大学) 小谷光司(秋田県立大学)	29
9/2	コースF1: SystemVerilogを用いたFPGA設計講習会(初級者向け)	SystemVerilogの基礎, FPGA ボードへのデジタル回路の実装	小林和淑 (京都工芸繊維大学) 寺澤真一(立命館大学)	10
9/3	コースF2: SystemVerilogを用いたFPGA設計講習会(中級者向け)	SystemVerilogを使って, スロットマシンをFPGAボード上に実装	塩見準(大阪大学)	7
9/5, 6	コースR: CMOS-RF集積回路設計と演習	変復調, 多次元接続方式 回路の基本性能, トランシーバ アーキテクチャ 要素回路, 設計フロー	伊藤浩之 (東京工業大学)	10
9/9, 10	コースM1: MEMS設計演習コース	MEMSの基礎, 電子回路との融合・統合シミュレーション, レイアウト設計実習(CADネットワーク)	三田吉郎 (東京大学)	10
9/17, 18, 19	コースM2: MEMS設計試作コース	面内振動型のMEMSマイクロアクチュエータ素子設計, 武田先端知《クラス1》スーパークリーンルームでの試作, 測定	三田吉郎 (東京大学)	5
9/24, 25	コースHE: ハードウェアエミュレータを用いた検証	AIチップ設計拠点に導入されたハードウェアエミュレータ(論理シミュレーションアクセラレータ)の使い方を実習	池田誠(東京大学) 松本高士(東京大学)	6

A.3.3 大学向けデザイナーズフォーラム

学生および若手教官を対象としたVDEC LSI デザイナーフォーラム (VDEC Designers Forum) を開催している。VDEC LSI デザイナーフォーラムは、LSI 設計者が、互いの研究成果だけではなく、チップ設計で苦労

した点、失敗事例と解決策、研究室に於ける設計環境の構築法など、通常の研究会や学会などでは得ることのできない情報を共有し、大学または研究室の枠を越えて研究者が連携を深めることを目的としている。今回もメイン会場とのハイブリッド開催となった。

表A.3.3 令和6年度デザイナーズフォーラムプログラム

9/27-28 現地 / ハイブリッド開催

9/27

12:30-14:00	会場受付
14:00-14:05	開会 挨拶 挨拶、趣旨の紹介 (東京大学 d.lab-VDEC 池田誠 教授) 挨拶 (ルネサスエレクトロニクス 島崎 靖久 / IEEE SSCS Japan Chapter Chair)
14:05-15:45	d.lab-VDEC デザインアワード発表会 ..1 (20分 × 5名)
15:45-15:55	休憩
15:55-16:55	d.lab-VDEC デザインアワード発表会 ..2 (20分 × 3名)
16:55-17:05	休憩
17:05-18:20	d.lab-VDEC デザインアワード (アイデアコンテスト部門) 発表会 (15分 × 5名)
18:20-18:30	後援企業からのメッセージ：デンソー様
18:30-18:40	後援企業からのメッセージ：タワー パートナース セミコンダクター (TPSCo) 様

9/28

8:30-9:30	PhD セッション
9:30-9:40	休憩
9:40-10:25	基調講演 秋田 純一 (金沢大学教授 / 自然科学研究科 電子情報科学専攻) タイトル：研究を「社会実装」する "別の" 方策
10:25-10:55	アイデアコンテスト表彰式 デザインアワード表彰式 IEEE SSCS Japan Chapter 賞授与式 閉会 挨拶

A.4 VDEC発ベンチャー

VDECでの設計/試作経験，人材育成が有効には機能した事例といたしまして，VDECと関連があった（ある）教員が起業したベンチャー企業のリスト（順不同）を以下に示します。

[1] エイ・アイ・エル株式会社 (<http://www.ailabo.co.jp/>)

代表の先生： 神戸大学 瀧 和男 教授（同社，代表取締役社長）

事業内容： (1) LSI設計受託開発・
(2) エンジニア派遣
(3) 人材の紹介
(4) 経営コンサルティング業務

[2] 株式会社シンセシス

(2017年7月1日に株式会社ソリトンシステムズと合併，<https://www.soliton.co.jp>)

代表の先生： 大阪大学 白川 功 名誉教授（同社，取締役）

事業内容： (1) システムLSI開発・設計受託
(2) IP開発及び販売
(3) システムソリューション提供
(4) 設計支援ツール開発及び販売

[3] エイシップ・ソリューションズ株式会社 (<https://asip-solutions.com/>)

代表の先生： 大阪大学 今井 正治 教授（同社，代表取締役 CTO）

事業内容： (1) IoT応用システムの研究，開発，教育およびコンサルテーション
(2) ASIP設計ツールの販売，ASIP開発のコンサルテーション

[4] 株式会社ナノデザイン (<http://www.nanodesign.co.jp/>)

代表の先生：九州工業大学 中村 和之 教授（同社，代表取締役）

事業内容： (1) 大規模半導体集積回路（LSI）の設計・開発
(2) LSI設計用CAD，及びLSI評価用装置の開発
(3) 設計コンサルティング，他

[5] 株式会社エイアールテック (<http://www.a-r-tec.jp/>)

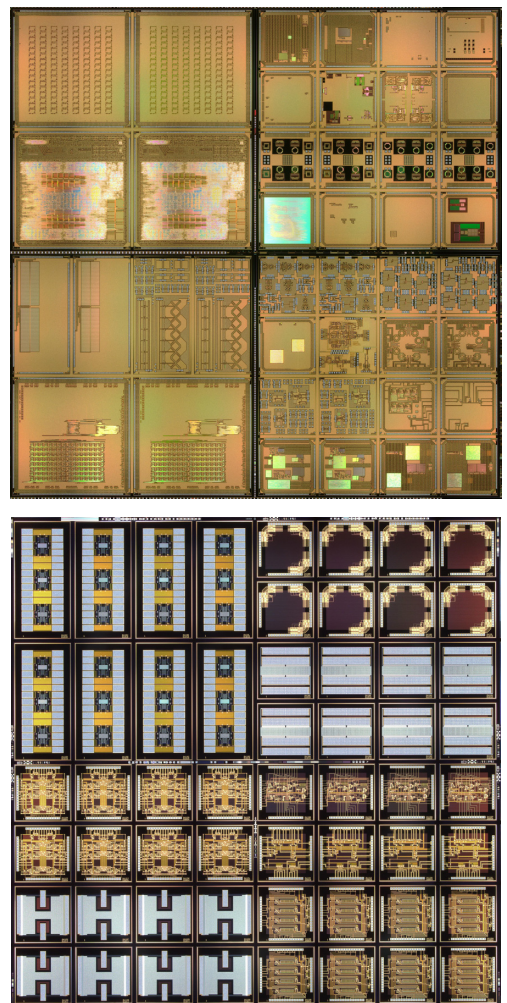
代表の先生：広島大学 岩田 穆 名誉教授（同社，代表取締役）

事業内容： (1) アナログ回路設計・測定
(2) 基板雑音解析
(3) 人材育成やOJT，講習会

[6] 有限会社 石島電子技研 (<http://ishi.main.jp/>)

事業内容： (1) 電子回路・基板開発
(2) ソフトウエア開発
(3) コンサルティング

B. チップ試作結果報告



B.1 試作ラン別一覧

令和5年度第2回オンセミコンダクター—三洋 CMOS 0.8um 試作

題名	大学名	研究者	掲載頁
ウェットエッチングを用いて試作する静電作動式RF-MEMSスイッチ	東京電機大学工学研究科 東京電機大学工学部	後河内 駿介 小松 聡	112
極低温 CMOS回路ノイズ評価TEG	豊田工業高等専門学校電気・電子システム 工学科	熊谷 勇喜	112
ラット型ロボット用ニューロモルフィック集積回路	日本大学理工学部	安田 祐希, 伊藝 楓斗, LYU SHUXIN, 齊藤 健	112
ラクダ型四足歩行ロボットに搭載するニューロモルフィック集積回路	日本大学理工学部	中山 渉, 山崎 順平, LYU SHUXIN, 齊藤 健	113
動物検知 TEGチップ	日本大学理工学部	関山 晃生, 中山 渉, 齊藤 健	113
四足歩行ロボットに実装する受容細胞モデルを搭載したニューロモルフィック回路	日本大学理工学部	中山 渉, 関山 晃生, LYU SHUXIN, 齊藤 健	113
歩行と走行を切り替えるヒューマノイドロボット制御用人工ニューラルネットワークIC	日本大学理工学部	後藤 達巳, 金子 美泉, 内木場 文男	114
4足マイクロロボット制御用人工ニューラルネットワークIC	日本大学理工学部	後藤 達巳, 楊 一帆, 金子 美泉, 内木場 文男	114

令和6年度第1回オンセミコンダクター—三洋 CMOS 0.8um 試作

題名	大学名	研究者	掲載頁
プラズマエッチングを用いて試作する静電作動式RF-MEMSスイッチ	東京電機大学工学研究科 東京電機大学工学部	後河内 駿介 小松 聡	115
CV変換回路との混載に向けた静電容量式CMOS-MEMS加速度センサ	東京電機大学工学部	角田 蒼空, 小松 聡	115
CMOS-MEMSに向けた1軸加速度センサの試作	東京電機大学工学研究科 東京電機大学工学部	三瓶 智矢 小松 聡	115
四足歩行ロボットに実装する受容細胞モデルを搭載したニューロモルフィック回路のTEGチップ	日本大学理工学部	中山 渉, 関山 晃生, LYU SHUXIN, 齊藤 健	116
両脚の歩容パターンを切り替えるアナログニューラルネットワークIC	日本大学理工学部	後藤 達巳, 金子 美泉, 内木場 文男	116
両脚の歩容パターンを生成するアナログニューラルネットワークIC	日本大学理工学部	後藤 達巳, 金子 美泉, 内木場 文男	116
筋肉による駆動を模倣したラット型ロボット用ニューロモルフィック集積回路	日本大学理工学部	安田 祐希, 伊藝 楓斗, LYU SHUXIN, 齊藤 健	117

令和5年度第4回ローム CMOS 0.18um 試作

題名	大学名	研究者	掲載頁
ミリ波計測用プロービングパッドTEG	東京大学工学系研究科	飯塚 哲也	118
弛張型発振回路を用いたFiCCの容量測定TEG	立命館大学情報理工学部	木村 知也, 越智 裕之	118
多数個の熱電変換素子の集電回路	中部大学ミュオン理工学研究センター	宮本 順一	118
音声向けのVCOを用いたADCの試作	東京電機大学大学院工学研究科 東京電機大学工学部	野口 泰寛 小松 聡	119
ウェットエッチングを用いて試作する静電作動式RF-MEMSスイッチ	東京電機大学工学研究科 東京電機大学工学部	後河内 駿介 小松 聡	119
Current Steering DAC, デューティ比修正回路, オンチップスキュー調整回路	芝浦工業大学工学部	佐々木 昌浩, 市川 諒, 松田 隆汰, 松尾 圭悟	119
ニューロモルフィックデバイスと心電図自動診断補助用ICの設計	日本大学理工学部	佐伯 勝敏, 山田 泰史, 飯泉 裕陽, 井上 大空, 楯身 龍之佑, 高橋 ひと葉, 上田 萌	120
Strong PUF 回路	京都大学情報学研究所	Chen Zhenzhe, 佐藤 高史	120
暗電流が多いフォトダイオードで利用可能なフォトアンプの特性評価用TEG	茨城大学理工学研究科	木村 孝之	120
単一細胞インピーダンス計測のためのアナログ集積回路	立命館大学理工学研究科電子システム専攻	北原 可奈子, 大島 智也, 久寿居 光希, 宇野 重康	121
自由課題によるチップ試作	福岡大学工学部	名倉 徹	121
筋電測定用2端子構成計装アンプ	福岡大学工学部	名倉 徹, 根 淳太	121
分布型レーザ駆動回路試作のためのTEG試作	九州大学大学院システム情報科学府	高森 啓志, 賀 正陽, Jiang Xinghan	122

LOFIC型CMOSイメージセンサに向けた高SNRかつ小面積・低消費電力な読み出し回路	立命館大学理工学研究科	堀 聖菜, 大倉 俊介, 大谷 愛	122
高速強化学習アナログ回路ならびにリザバ後処理用広帯域アナログ積和演算回路	明治大学理工学研究科電気工学専攻	小島 光, 森 光平	122
超音波ビームフォーミングのためのデジタルDLLほか	慶應義塾大学理工学部 慶應義塾大学大学院理工学研究科	中野 誠彦, 永田 智考 森 瑞紀	123
高昇圧DC-DCコンバーター用制御IC	東京工芸大学工学部	崔 通, 橋元 啓輔, CHEN ZHIXUAN	123
細胞体モデルの設計演習および低電圧化細胞体モデルの試作	日本大学理工学部	佐々木 芳樹, 今村 楓也, 牛島 爽介, 武田 海希, 早崎 寛人	123
RF特性検証用TEG	東京科学大学総合研究院未来産業技術研究所	李 尚曄	124

令和6年度第1回ローム CMOS 0.18um 試作

題名	大学名	研究者	掲載頁
LOFIC型CMOSイメージセンサに向けた高SNRかつ小面積・低消費電力な読み出し回路	立命館大学理工学研究科	北島 直, 大倉 俊介	125
FICCを用いたCMOS互換な不揮発性メモリセルアレイ	立命館大学情報理工学部	門馬 拓己, 木村 知也, 越智 裕之	125
PTAT温度センサ回路の試作	東京電機大学大学院工学研究科 東京電機大学工学部	新井 理巧 小松 聡	125
プラズマエッチングを用いて試作する静電作動式RF-MEMSスイッチ	東京電機大学工学研究科 東京電機大学工学部	後河内 駿介 小松 聡	126
Flash ADC, Current Steering DAC, Pipeline ADC	芝浦工業大学工学部	佐々木 昌浩, 細田 稀石, 市川 諒, 佐藤 祥馬	126
低ローリングシャッタ歪を実現する高速・高分解能CMOSイメージセンサ	東京理科大学大学院工学研究科	寺西 洋平	126
ニューロモフィックデバイスとロジック回路	日本大学理工学部	佐伯 勝敏, 寺田 伊吹, 南部 祐紀, 井上 大空, 小野 諒, 高橋 ひと葉	127
二足歩行用CPGと心電図自動診断補助用IC	日本大学理工学部	佐伯 勝敏, 坂田 将哉, 飯泉 裕陽	127
遅延レンジが拡張可能な高分解能デジタル遅延線	富山県立大学大学院電子・情報工学専攻	吉河 武文, 長崎 慎也	127
極低電圧バッテリー充電器用ブーストコンバータの設計	早稲田大学大学院情報生産システム研究科	丹沢 徹	128
部分露光型イメージセンサ, 磁気センサの特性評価用TEG	茨城大学理工学研究科	木村 孝之	128
遅延故障およびIC間配線の検査用の各種検査容易化回路の試作	徳島大学大学院創成科学研究科理工学専攻 徳島大学大学院社会産業理工学研究部	佐々木 深, 三木 勇人, 鶴岡 蒼久, 本間 琉偉, 南 柊哉, 山橋 湧也 四柳 浩之	128
省電力光通信用受信回路の試作	九州大学大学院システム情報科学府	西村 結良, 賀 正陽	129
特徴量出力可能なCMOSイメージセンサに向けた可変分解能シングルスロープ型A/D変換器	立命館大学理工学研究科	松原 一樹, 大倉 俊介	129
超音波ビームフォーミングのためのADDLLほか	慶應義塾大学理工学部 慶應義塾大学大学院理工学研究科	中野 誠彦 森 瑞紀, 永田 智考	129
20-28 GHz帯に対応した広帯域・高出力高周波回路	東京理科大学大学院創成理工学研究科 東京理科大学創成理工学部	橋本 琉威, 鎗谷 将太郎, 日野 優斗 高野 恭弥	130
能動電流等化を用いた広帯域スタックFET増幅器, インダクティブピーキングを用いた広帯域能動バラ	東京理科大学大学院創成理工学研究科 東京理科大学創成理工学部	西 雄大, 畑田 修治郎 榎田 洋太郎, 高野 恭弥	130
ADH-EIF方式ADC帯域ダブラ用ミキサ, インダクティブピーキングを用いた広帯域能動バラ	東京理科大学大学院創成理工学研究科 東京理科大学創成理工学部	井原 光貴, 畑田 修治郎 榎田 洋太郎, 高野 恭弥	130
2.5GHz動作CDR-PLL, 高速ロックFractional-N PLLおよびジッタ検出回路TEG	大阪工業大学大学院工学研究科 電気電子機械工学専攻 大阪工業大学工学部 電気電子システム工学科	野中 拓磨, 岡田 康宏, 大槻 祥太郎 吉村 勉	131

令和6年度第2回ローム CMOS 0.18um 試作

題名	大学名	研究者	掲載頁
ニューロンCMOSインバータ型可変論理回路の実用化に向けたアナログ回路の設計	東海大学情報通信学研究科 東海大学情報通信学部	古川 大鷹, 穂刈 成晃, 長谷川 達也 福原 雅朗	132
同相雑音を低減可能な全差動増幅回路の試作	山梨大学大学院医工農総合教育部修士課程 山梨大学大学院総合研究部工学域	石上 拓也, 中村 航太 佐藤 隆英	132
ウェアラブル機器に向けた低電源電圧OTAとそれを用いた低消費電力 $\Delta\Sigma$ 変調器	東京電機大学大学院工学研究科 東京電機大学工学部	丸山 尚哉 小松 聡	132

電源電圧依存性を改善したPTAT温度センサ回路	東京電機大学大学院工学研究科 東京電機大学工学部	新井 理巧 小松 聡	133
IoTのためのアナログ回路TEG	広島工業大学工学部	升井 義博	133
様々なアナログ回路の入出力特性を測定可能なCMOSイメージセンサ	東京理科大学大学院工学研究科	迫田 隼人	133
デジタル遅延線を用いたDLLとクロック伝送方式検証テストチップ	富山県立大学大学院電子・情報工学専攻	吉河 武文, 長崎 慎也	134
モード多重伝送を実現するトランシーバ改良版	富山県立大学大学院電子・情報工学専攻	吉河 武文, 先田 涼真	134
DLLによりループ帯域を拡幅したPLLの改良	富山県立大学大学院電子・情報工学専攻 富山県立大学電子・情報工学専攻	吉河 武文 水野 功務, 永末 玲央	134
階層的魔法陣配列を用いた電流加算型DAコンバータ	富山県立大学大学院電子・情報工学専攻	吉河 武文, 竹内 悠, 中村 巧未	135
極低電圧バッテリー充電器用チャージポンプの設計	早稲田大学大学院情報生産システム研究科	丹沢 徹	135
単一細胞インピーダンス計測のためのアナログ集積回路	立命館大学理工学研究科電子システム専攻 立命館大学理工学部電気電子工学科	北原 可奈子, 大島 智也, 久寿居 光希 宇野 重康	135
省電力光通信受信回路の試作	九州大学大学院システム情報科学府	西村 結良, 賀 正陽	136
省電力光通信送信回路の試作	九州大学大学院システム情報科学府	高森 啓志, Jiang Xinghan	136
超音波ビームフォーミングのためのADDLLほか	慶應義塾大学理工学部 慶應義塾大学大学院理工学研究科	中野 誠彦 森 瑞紀, サラ アルバロ	136
Tコイルピーキングを用いた広帯域能動バラン	東京理科大学大学院創域理工学研究科 東京理科大学創域理工学部	畑田 修治郎 榎田 洋太郎, 高野 恭弥	137
能動電流等化を用いた広帯域スタックFET増幅器	東京理科大学大学院創域理工学研究科 東京理科大学創域理工学部	西 雄大 榎田 洋太郎, 高野 恭弥	137
PLL相互干渉ノイズ低減検証TEGおよび低スプリアスFractional-N PLL	大阪工業大学大学院工学研究科 電気電子 機械工学専攻 大阪工業大学工学部 電気電子システム工 学科	大槻 祥太郎, 林 雅美, 喜多見 陸, 野中 拓磨, 岡田 康宏 吉村 勉	137
光送信・受信用アナログフロントエンド回路TEG11	岐阜大学大学院自然科学技術研究科 岐阜大学工学部	石田 翔悟, 大鹿 純聖 伊藤 大輔, 中村 誠	138

令和6年度第3回ローム CMOS 0.18um 試作

題名	大学名	研究者	掲載頁
レジスタブリッジ型並列二値CNN計算回路	埼玉大学大学院理工学研究科	伊藤 和人	139
音声向けVCO-ADCのための高い線形入力範囲をもつVCOの試作	東京電機大学大学院工学研究科 東京電機大学工学部	野口 泰寛 小松 聡	139
Flash ADC, NIRS System, LC閉回路	芝浦工業大学工学部	佐々木 昌浩, 細田 稀石, 郷橋 祐樹, 土田 和暉	139
ニューロモルフィックデバイスと心電図自動診断補助用ICの実装	日本大学理工学部	佐伯 勝敏, 坂田 将哉, 南部 祐紀, 飯泉 裕陽, 高橋 ひと葉	140
内部状態観測可能な2変数スパイクニューロン回路	東北大学電気通信研究所	堀尾 喜彦, 織間 健守	140
極低温環境向け要素回路評価用TEGチップ	弘前大学大学院理工学研究科	今井 雅	140
D級アンプの最適トランジスタサイズの検証	明治大学理工学研究科電気工学専攻	藤田 誉大	141
Computation-in-Memory回路	東京大学大学院工学系研究科電気系工学専攻 竹内研究室 東京大学大学院工学系研究科附属システム デザイン研究センター	木原 冬輝, Liu Ruhui, Zhang Yufan, Lin Daqi, 三澤 奈央子, 松井 千尋 竹内 健	141
電源回路	九州大学システム情報科学研究院	孫 世元	141
Extreme Learning Machine	九州大学システム情報科学研究院	高野 恵輔	142
温度センサシート	九州大学システム情報科学研究院	萱野 幸佑, 殷 浚航	142
超音波ビームフォーミングのためのLPF用増幅回路, デューティ補正回路ほか	慶應義塾大学理工学部 慶應義塾大学大学院理工学研究科	中野 誠彦, 赤羽根 遼 森 瑞紀, 永田 智考	142
三次元積層LSIシステムのためのTSVによるチップ間通信および温度計測用テスト回路	熊本大学半導体・デジタル研究教育機構 熊本大学大学院自然科学教育部	大川 猛, 久保木 猛, 青柳 昌宏 汐田 優斗, 中村 昌稀, 刈野 翔	143
静電容量による液滴形状推定センサのオンチップ化実証チップ	滋賀県立大学工学研究科 滋賀県立大学工学部	福井 快肇 土谷 亮	143
光送信・受信用アナログフロントエンド回路TEG12	岐阜大学大学院自然科学技術研究科 岐阜大学工学部	今枝 俊介, 松尾 一輝 伊藤 大輔, 中村 誠	143

B.2 チップ種別一覧

MEMS

ラン名	タイトル	研究者	掲載頁
OS08232	ウェットエッチングを用いて試作する静電作動式RF-MEMSスイッチ	後河内 駿介, 小松 聡	112
OS08241	プラズマエッチングを用いて試作する静電作動式RF-MEMSスイッチ	後河内 駿介, 小松 聡	115
OS08241	CV変換回路との混載に向けた静電容量式CMOS-MEMS加速度センサ	角田 蒼空, 小松 聡	115
OS08241	CMOS-MEMSに向けた1軸加速度センサの試作	三瓶 智矢, 小松 聡	115
RO18234	ウェットエッチングを用いて試作する静電作動式RF-MEMSスイッチ	後河内 駿介, 小松 聡	119
RO18241	プラズマエッチングを用いて試作する静電作動式RF-MEMSスイッチ	後河内 駿介, 小松 聡	126

TEG(特性評価回路など)

ラン名	タイトル	研究者	掲載頁
OS08232	極低温CMOS回路ノイズ評価TEG	熊谷 勇喜	112
OS08232	ラット型ロボット用ニューロモルフィック集積回路	安田 祐希, 伊藝 楓斗, LYU SHUXIN, 齊藤 健	112
OS08232	ラグダ型四足歩行ロボットに搭載するニューロモルフィック集積回路	中山 渉, 山崎 順平, LYU SHUXIN, 齊藤 健	113
OS08232	動体検知TEGチップ	関山 晃生, 中山 渉, 齊藤 健	113
OS08232	四足歩行ロボットに実装する受容細胞モデルを搭載したニューロモルフィック回路	中山 渉, 関山 晃生, LYU SHUXIN, 齊藤 健	113
OS08232	歩行と走行を切り替えるヒューマノイドロボット制御用人工ニューラルネットワークIC	後藤 達巳, 金子 美泉, 内木場 文男	114
OS08232	4足マイクロロボット制御用人工ニューラルネットワークIC	後藤 達巳, 楊 一帆, 金子 美泉, 内木場 文男	114
OS08241	四足歩行ロボットに実装する受容細胞モデルを搭載したニューロモルフィック回路のTEGチップ	中山 渉, 関山 晃生, LYU SHUXIN, 齊藤 健	116
OS08241	両脚の歩容パターンを切り替えるアナログニューラルネットワークIC	後藤 達巳, 金子 美泉, 内木場 文男	116
OS08241	両脚の歩容パターンを生成するアナログニューラルネットワークIC	後藤 達巳, 金子 美泉, 内木場 文男	116
OS08241	筋肉による駆動を模倣したラット型ロボット用ニューロモルフィック集積回路	安田 祐希, 伊藝 楓斗, LYU SHUXIN, 齊藤 健	117
RO18234	ミリ波計測用プロービングパッドTEG	飯塚 哲也	118
RO18234	弛張型発振回路を用いたFiCCの容量測定TEG	木村 知也, 越智 裕之	118
RO18234	暗電流が多いフォトダイオードで利用可能なフォトアンプの特性評価用TEG	木村 孝之	120
RO18234	自由課題によるチップ試作	名倉 徹	121
RO18234	細胞体モデルの設計演習および低電圧化細胞体モデルの試作	佐々木 芳樹, 今村 楓也, 牛島 爽介, 武田 海希, 早崎 寛人	123
RO18234	RF特性検証用TEG	李 尚暉	124
RO18241	部分露光型イメージセンサ, 磁気センサの特性評価用TEG	木村 孝之	128
RO18241	遅延故障およびIC間配線の検査用の各種検査容易化回路の試作	佐々木 深, 三木 勇人, 鶴岡 蒼久, 本間 琉偉, 南 柊哉, 山橋 湧也, 四柳 浩之	128
RO18241	2.5GHz動作CDR-PLL, 高速ロックFractional-N PLLおよびジッタ検出回路TEG	野中 拓磨, 岡田 康宏, 大槻 祥太郎, 吉村 勉	131
RO18242	PLL相互干渉ノイズ低減検証TEGおよび低スプリアスFractional-N PLL	大槻 祥太郎, 林 雅美, 喜多見 陸, 野中 拓磨, 岡田 康宏, 吉村 勉	137
RO18243	内部状態観測可能な2変数スパイクニューロン回路	堀尾 喜彦, 織間 健守	140
RO18243	極低温環境向け要素回路評価用TEGチップ	今井 雅	140
RO18243	静電容量による液滴形状推定センサのオンチップ化実証チップ	福井 快肇, 土谷 亮	143

アナデジ混載

ラン名	タイトル	研究者	掲載頁
RO18234	ニューロモルフィックデバイスと心電図自動診断補助用ICの設計	佐伯 勝敏, 山田 泰史, 飯泉 裕陽, 井上 大空, 楯身 龍之佑, 高橋 ひと葉, 上田 萌	120
RO18234	高速強化学習アナログ回路ならびにリザバ後処理用広帯域アナログ積和演算回路	小島 光, 森 光平	122
RO18234	超音波ビームフォーミングのためのデジタルDLLほか	中野 誠彦, 永田 智考, 森 瑞紀	123
RO18241	ニューロモルフィックデバイスとロジック回路	佐伯 勝敏, 寺田 伊吹, 南部 祐紀, 井上 大空, 小野 諒, 高橋 ひと葉	127
RO18241	二足歩行用CPGと心電図自動診断補助用IC	佐伯 勝敏, 坂田 将哉, 飯泉 裕陽	127

RO18241	遅延レンジが拡張可能な高分解能デジタル遅延線	吉河 武文, 長崎 慎也	127
RO18241	超音波ビームフォーミングのためのADDLL ほか	中野 誠彦, 森 瑞紀, 永田 智考	129
RO18242	ニューロンCMOSインバータ型可変論理回路の実用化に向けたアナログ回路の設計	古川 大鷹, 穂刈 成晃, 長谷川 達也, 福原 雅朗	132
RO18242	デジタル遅延線を用いたDLLとクロック伝送方式検証テストチップ	吉河 武文, 長崎 慎也	134
RO18242	モード多重伝送を実現するトランシーバ改良版	吉河 武文, 先田 涼真	134
RO18242	DLLによりループ帯域を拡張したPLLの改良	吉河 武文, 水野 功務, 永末 玲央	134
RO18242	階層的魔法陣配列を用いた電流加算型DAコンバータ	吉河 武文, 竹内 悠, 中村 巧未	135
RO18242	超音波ビームフォーミングのためのADDLL ほか	中野 誠彦, 森 瑞紀, サラ アルバロ	136
RO18243	ニューロモルフィックデバイスと心電図自動診断補助用ICの実装	佐伯 勝敏, 坂田 将哉, 南部 祐紀, 飯泉 裕陽, 高橋 ひと葉	140
RO18243	超音波ビームフォーミングのためのLPF用増幅回路, デューティ補正回路ほか	中野 誠彦, 赤羽根 遼, 森 瑞紀, 永田 智考	142
RO18243	三次元積層LSIシステムのためのTSVによるチップ間通信および温度計測用テスト回路	大川 猛, 久保木 猛, 青柳 昌宏, 汐田 優斗, 中村 昌稀, 瀧野 翔	143

アナログ(PLL, A-D/DC-DCコンバータなど)

ラン名	タイトル	研究者	掲載頁
RO18234	音声向けのVCOを用いたADCの試作	野口 泰寛, 小松 聡	119
RO18234	Current Steering DAC, デューティ比修正回路, オンチップスキュー調整回路	佐々木 昌浩, 市川 諒, 松田 隆汰, 松尾 圭悟	119
RO18234	筋電測定用2端子構成計装アンプ	名倉 徹, 根ノ 淳太	121
RO18234	高昇圧DC-DCコンバータ用制御IC	崔 通, 橋元 啓輔, CHEN ZHIXUAN	123
RO18241	PTAT温度センサ回路の試作	新井 理巧, 小松 聡	125
RO18241	Flash ADC, Current Steering DAC, Pipeline ADC	佐々木 昌浩, 細田 稀石, 市川 諒, 佐藤 祥馬	126
RO18241	極低電圧バッテリー充電器用ブーストコンバータの設計	丹沢 徹	128
RO18242	同相雑音を低減可能な全差動増幅回路の試作	石上 拓也, 中村 航太, 佐藤 隆英	132
RO18242	ウェアラブル機器に向けた低電源電圧OTAとそれを用いた低消費電力 $\Delta\Sigma$ 変調器	丸山 尚哉, 小松 聡	132
RO18242	電源電圧依存性を改善したPTAT温度センサ回路	新井 理巧, 小松 聡	133
RO18242	極低電圧バッテリー充電器用チャージポンプの設計	丹沢 徹	135
RO18243	音声向けVCO-ADCのための高い線形入力範囲をもつVCOの試作	野口 泰寛, 小松 聡	139
RO18243	Flash ADC, NIRS System, LC閉回路	佐々木 昌浩, 細田 稀石, 郷橋 祐樹, 土田 和暉	139
RO18243	D級アンプの最適トランジスタサイズの検証	藤田 誉大	141
RO18243	電源回路	孫 世元	141

アナログ/デジタル信号処理プロセッサ

ラン名	タイトル	研究者	掲載頁
RO18234	単一細胞インピーダンス計測のためのアナログ集積回路	北原 可奈子, 大島 智也, 久寿居 光希, 宇野 重康	121
RO18234	LOFIC型CMOSイメージセンサに向けた高SNRかつ小面積・低消費電力な読み出し回路	堀 聖菜, 大倉 俊介, 大谷 愛	122
RO18241	LOFIC型CMOSイメージセンサに向けた高SNRかつ小面積・低消費電力な読み出し回路	北島 直, 大倉 俊介	125
RO18241	特微量出力可能なCMOSイメージセンサに向けた可変分解能シングルスロープ型A/D変換器	松原 一樹, 大倉 俊介	129
RO18242	IoTのためのアナログ回路TEG	升井 義博	133
RO18242	単一細胞インピーダンス計測のためのアナログ集積回路	北原 可奈子, 大島 智也, 久寿居 光希, 宇野 重康	135
RO18243	温度センサシート	萱野 幸佑, 殷 浚航	142

イメージセンサ/スマートセンサ

ラン名	タイトル	研究者	掲載頁
RO18241	低ローリングシャッタ歪を実現する高速・高分解能CMOSイメージセンサ	寺西 洋平	126
RO18242	様々なアナログ回路の入出力特性を測定可能なCMOSイメージセンサ	迫田 隼人	133

ニューテクノロジー

ラン名	タイトル	研究者	掲載頁
RO18234	Strong PUF 回路	Chen Zhenzhe, 佐藤 高史	120

マイクロプロセッサ

ラン名	タイトル	研究者	掲載頁
RO18234	多数個の熱電変換素子の集電回路	宮本 順一	118
RO18241	FICCを用いたCMOS互換な不揮発性メモリセルアレイ	門馬 拓己, 木村 知也, 越智 裕之	125
RO18243	Extreme Learning Machine	高野 恵輔	142

メモリ

ラン名	タイトル	研究者	掲載頁
RO18243	Computation-in-Memory回路	木原 冬輝, Liu Ruhui, Zhang Yufan, Lin Daqi, 三澤 奈央子, 松井 千尋, 竹内 健	141

演算回路(乗算器, 除算器など)

ラン名	タイトル	研究者	掲載頁
RO18243	レジスタブリッジ型並列二値CNN計算回路	伊藤 和人	139

通信(RF回路, ATMなど)

ラン名	タイトル	研究者	掲載頁
RO18234	分布型レーザ駆動回路試作のためのTEG試作	高森 啓志, 賀 正陽, Jiang Xinghan	122
RO18241	省電力光通信用受信回路の試作	西村 結良, 賀 正陽	129
RO18241	20-28 GHz帯に対応した広帯域・高出力高周波回路	橋本 琉威, 鎗谷 将太郎, 日野 優斗, 高野 恭弥	130
RO18241	能動電流等化を用いた広帯域スタックFET増幅器, インダクティブピーキングを用いた広帯域能動バラン	西 雄大, 畑田 修治郎, 榎田 洋太郎, 高野 恭弥	130
RO18241	ADH-EIF方式ADC帯域ダブル用ミキサ, インダクティブピーキングを用いた広帯域能動バラン	井原 光貴, 畑田 修治郎, 榎田 洋太郎, 高野 恭弥	130
RO18242	省電力光通信用受信回路の試作	西村 結良, 賀 正陽	136
RO18242	省電力光通信用送信回路の試作	高森 啓志, Jiang Xinghan	136
RO18242	Tコイルピーキングを用いた広帯域能動バラン	畑田 修治郎, 榎田 洋太郎, 高野 恭弥	137
RO18242	能動電流等化を用いた広帯域スタックFET増幅器	西 雄大, 榎田 洋太郎, 高野 恭弥	137
RO18242	光送信・受信用アナログフロントエンド回路 TEG11	石田 翔悟, 大鹿 純聖, 伊藤 大輔, 中村 誠	138
RO18243	光送信・受信用アナログフロントエンド回路 TEG12	今枝 俊介, 松尾 一輝, 伊藤 大輔, 中村 誠	143

B.3 各チップの詳細

令和5年度第2回オンセミコンダクター—三洋 CMOS 0.8 μ m 試作

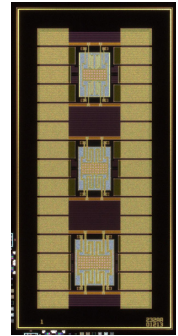
ウェットエッチングを用いて試作する静電作動式RF-MEMSスイッチ

東京電機大学工学研究科 後河内 駿介

東京電機大学工学部 小松 聡

概要：MEMS (Micro Electro Mechanical Systems) とは集積回路技術を発展させた「マイクロマシーニング」と呼ばれる微細加工技術により、回路だけでなく微細構造体やセンサ、あるいは機械的に動くアクチュエータを集積化させたものである。MEMSの中でも高周波 (RF) 帯のMEMS技術をRF-MEMSと呼ばれている。近年、モバイル通信システムにおける5G (第5世代モバイル技術) が普及している。5Gを処理するシステム作製には優れたコンポーネントが必要になる。本研究では静電力で作動する低動作電圧なCMOS-MEMSスイッチを試作し、MEMSスイッチを接触状態にするために必要なプルイン電圧の測定及びMEMSスイッチを接触状態から非接触状態にする時、接触状態のまま固着しないような動作信頼性を高めることを目的としている。本試作では、可動電極をメタル2層、コンデンサの電極間距離を確保するための犠牲層をメタル1層、引き下げ電極をポリシリコン層で設計した。また、試作したチップのMEMS構造を解放するために武田クリーンルームにて加工を行い、RF-MEMSスイッチを製作する。犠牲層であるメタル1層のエッチングを行い、MEMSスイッチとして機能するように製作を行った。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Cadence社 Dracula, トランジスタ数：~10 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mmx5.0mmチップ チップ種別：MEMS

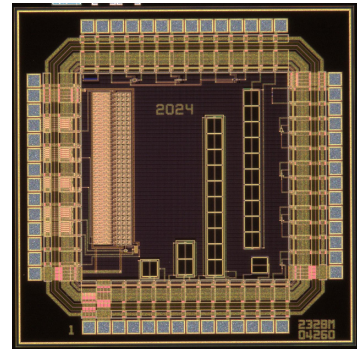


極低温CMOS回路ノイズ評価TEG

豊田工業高等専門学校電気・電子システム工学科 熊谷 勇喜

概要：昨年度に引き続き、極低温環境におけるCMOS集積回路のノイズおよびリーク電流の評価をおこなうことを目的として、アレイテスト回路を設計した。周辺回路動作の検証のため単体MOSFET、MOSキャパシタ、PN接合、抵抗、BJT (Bipolar Junction Transistor) を搭載した。温度約4Kまで下げることのできる極低温用の真空チャンパーにて測定する際、熱流入および真空度維持の観点から真空チャンパー内外の信号線の本数に制限があり、直流バイアスやパルス印可用の信号線の本数なるべく少なく配線が容易となるよう集積回路内のレイアウトを調整し設計した。試作チップをマイコンと接続し、マイコンから駆動パルスと直流バイアスを印可して、チップから出力されたアナログ信号をマイコン内蔵ADコンバータによりデジタル信号に変換したのち、PCに取り込んだ。その結果室温では、駆動パルスは10kHz程度と低速ではあるが、アレイテスト回路が正常動作することが確認できた。ただし極低温真空チャンパーとの接続には不具合があり実現しておらず、今後の課題として残った。次に、絶対零度付近でのキャパシタンス測定を容易にすることを考慮し大面積MOSキャパシタ (1E-4cm², 1E-3 cm²) を搭載した。極低温でのRTN (Random Telegraph Noise) やゲートリーク電流ばらつき、しきい値電圧バラつきを評価するため、素子選択回路、電流電圧変換回路を搭載したTEGを設計した。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, トランジスタ数：1,000~10,000 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

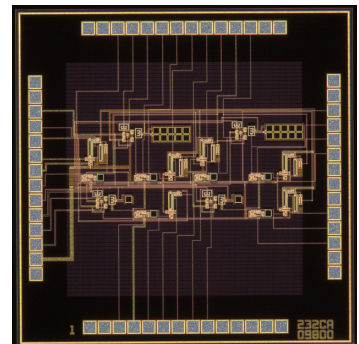


ラット型ロボット用ニューロモルフィック集積回路

日本大学理工学部 安田 祐希, 伊藝 楓斗, LYU SHUXIN, 齊藤 健

概要：本試作チップでは、筋肉による駆動を模倣したラット型ロボットに搭載するニューロモルフィック集積回路のレイアウト設計を行った。ニューロモルフィック回路は、生物の神経系をアナログ電子回路で模倣した発振回路であり、神経信号のようなスパイク状の発振パルスを出力する特性を持つ。本試作のチップは、人工筋肉ワイヤにより脚部の制御を行うラット型ロボットに搭載することで、1つの脚の歩行動作を行うことが可能である。4つの出力をバースト発振させることにより、それぞれに対応する人工筋肉ワイヤを適切な順番に収縮させることを目的に設計を行った。試作したチップの測定を行った結果、2つの出力が交互にバースト発振を行うことは確認できたが、他の2つの出力は適切な順番で出力されなかった。原因として、電源を入力するポートに近い配線があり通電してしまったことが考えられる。本試作を踏まえ、次回はラット型ロボットの1つの脚部を制御可能なニューロモルフィック集積回路の実現を目指す。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

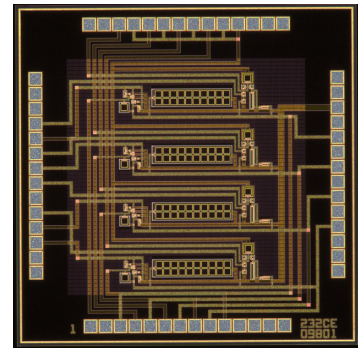


ラクダ型四足歩行ロボットに搭載するニューロモルフィック集積回路

日本大学工学部 中山 渉, 山崎 順平, LYU SHUXIN, 齊藤 健

概要：本試作チップでは、ラクダ型四足歩行ロボットに搭載するニューロモルフィック集積回路のレイアウト設計を行った。ニューロモルフィック回路は、生物の神経系をアナログ電子回路で模倣した発振回路であり、神経信号のようなスパイク状の発振パルスを出力する特性を持つ。本試作のチップは、受容細胞モデルと呼ばれる生物の感覚受容器の機能を模倣した発振回路を用いてラクダ型四足歩行ロボットの各脚を独立に制御する。また、ラクダ型四足歩行ロボットの脚先に搭載した圧力センサによって出力される発振パルスの周波数を調整することで、ラクダ型四足歩行ロボットは歩容を生成することが可能である。試作したチップの測定を行った結果、受容細胞モデルおよびニューロモルフィック集積回路の発振が確認された。さらに、受容細胞モデルの発振周波数の変化に伴い、ニューロモルフィック回路の発振周波数も変化することを確認した。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

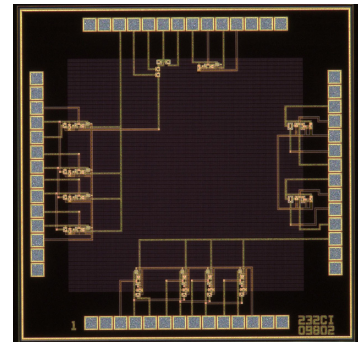


動体検知TEGチップ

日本大学工学部 関山 晃生, 中山 渉, 齊藤 健

概要：本試作チップでは、昆虫型マイクロロボットに搭載する受容細胞モデルを用いた動体検知回路の設計を行った。我々は、昆虫型マイクロロボットを開発する研究を行っている。先に開発した昆虫型マイクロロボットは、ミリメートルサイズでありながら、昆虫の歩行方法を模倣し移動に成功した。現在は、外部刺激に応じて自律的な行動を生成する昆虫型マイクロロボットの開発を進めている。本試作チップは、生物の神経系の機能をアナログ電子回路で模倣した各種ニューロンモデル（受容細胞モデル、細胞体モデル、軸索モデル、興奮性シナプスモデル）で構成されたニューロモルフィック回路であり、昆虫の視覚システムをもとにした動体検知モデルである相関型運動検出器を参考に設計した。本試作チップの測定の結果、構成要素である受容細胞モデル、細胞体モデル、軸索モデル、興奮性シナプスモデルはそれぞれ正常に動作することを確認できた。しかし、動体検知回路としては、動体を検知することはできなかった。今後は原因の解明と回路の改良を行う。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

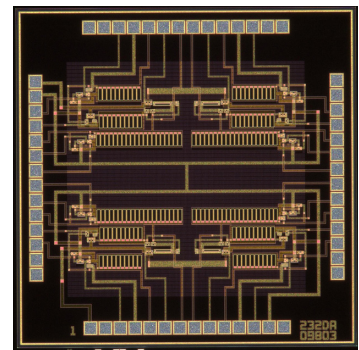


四足歩行ロボットに実装する受容細胞モデルを搭載したニューロモルフィック回路

日本大学工学部 中山 渉, 関山 晃生, LYU SHUXIN, 齊藤 健

概要：本試作チップでは、四足歩行ロボットに実装する受容細胞モデルを搭載したニューロモルフィック回路のレイアウト設計を行った。ニューロモルフィック回路は、生物の神経系をアナログ電子回路で模倣した発振回路であり、神経信号のようなスパイク状の発振パルスを出力する特性を持つ。受容細胞モデルは、生物の感覚受容器の機能を模倣した発振回路であり、特定の外部刺激に応じて発振周波数を変化させることができる。本試作のチップは、受容細胞モデルの出力パルスの発振周波数の変化に伴い、ニューロモルフィック回路の出力パルスの発振周波数を変化させることが可能である。試作したチップの測定を実施した結果、受容細胞モデルおよびニューロモルフィック回路の発振が確認できなかった。理由として、回路の短絡が原因である。今後は、受容細胞モデルの発振周波数の変化に伴い、ニューロモルフィック回路の発振周波数が変化するように再度設計を行う。

設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：10~100 試作ラン：オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ チップ種別：TEG (特性評価回路など)

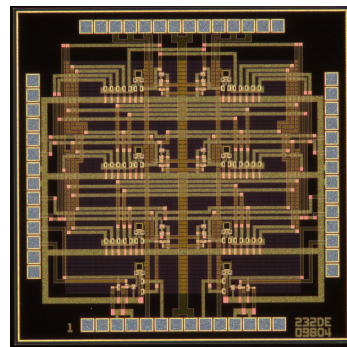


歩行と走行を切り替えるヒューマノイドロボット制御用人工ニューラルネットワークIC

日本大学理工学部 後藤 達巳, 金子 美泉, 内木場 文男

概要: 本試作では、ヒューマノイドロボットの歩行と走行を切り替え可能な人工ニューラルネットワークICチップを作製した。人間は脊髄に局在する神経回路網によって歩行と走行の5つのパルスパターンを生成し、各筋肉群を制御することが示唆されている。我々は人間の脊髄機能をアナログ電子回路で模倣し、ヒューマノイドロボットへの適用を試みた。本試作チップは、歩行と走行パターンを出力する上で基本となる6つのパルスパターンを生成する。6つの細胞体モデルを抑制性シナプスモデルで相互に接続し、連続したパルス信号の生成を行う。また、6つのパルスパターンの内、2つ目と3つ目の細胞体モデルの出力を切り替えることで、歩行パターンと走行パターンの切り替えを行う。測定結果としては、5つのパルスパターンが生成され、歩行から走行、走行から歩行への切り替えが可能であることを確認した。今後は脳の機能についても人工ニューラルネットワークで模倣してIC化を行い、ヒューマノイドロボットへの搭載を行う予定である。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数:** 10~100 **試作ラン:** オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

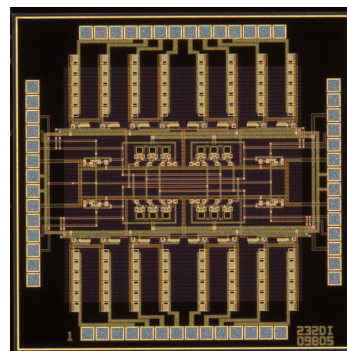


4足マイクロロボット制御用人工ニューラルネットワークIC

日本大学理工学部 後藤 達巳, 楊 一帆, 金子 美泉, 内木場 文男

概要: 本試作では、4足MEMS型マイクロロボット制御用の人工ニューラルネットワークICチップを作製した。昆虫などの生物の神経回路をアナログ電子回路で模倣し、人工ニューラルネットワークを構成する。本試作チップの構成としては、4つの細胞体モデルを抑制性シナプスモデルで接続することで、4つの連続したパルス信号の生成が可能となる。パルス信号によりアクチュエータを駆動させ、4足MEMS型マイクロロボットの歩行を行う。本試作チップは回路内に設置したコンデンサが一部外部付きになるため、4足MEMS型マイクロロボットの大きさに対応して基板の大きさを調整する必要がある。また、カレントミラー回路はチップ内に内蔵することで、周辺回路の省略化を考えた。結果としては、4つの連続したパルス信号の生成をオシロスコープで確認した。今後は歩容パターンを切り替えられるように再度設計を行い、マイクロロボットへ搭載する予定である。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数:** 10~100 **試作ラン:** オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



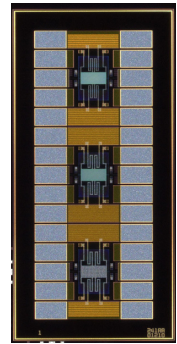
プラズマエッチングを用いて試作する静電作動式RF-MEMSスイッチ

東京電機大学工学研究科 後河内 駿介

東京電機大学工学部 小松 聡

概要：MEMS (Micro Electro Mechanical Systems) とは集積回路技術を発展させた「マイクロマシーニング」と呼ばれる微細加工技術により、回路だけでなく微細構造体やセンサ、あるいは機械的に動くアクチュエータを集積化させたものである。MEMSの中でも高周波 (RF) 帯のMEMS技術をRF-MEMSと呼ばれている。近年、モバイル通信システムにおける5G (第5世代モバイル技術) が普及している。5Gを処理するシステム作製には優れたコンポーネントが必要になる。本研究では静電力で作動する低動作電圧なCMOS-MEMSスイッチを試作し、MEMSスイッチを接触状態にするために必要なプルイン電圧の測定及びMEMSスイッチを接触状態から非接触状態にする時、接触状態のまま固着しないような動作信頼性を高めることを目的としている。本試作では、可動電極をメタル2層、引き下げ電極及び導波路をポリシリコン層で設計した。また、試作したチップのMEMS構造を解放するために武田クリーンルームにて加工を行い、RF-MEMSスイッチを製作する。犠牲層であるメタル1層のエッチングを行い、MEMSスイッチとして機能するように製作を行った。静電作動式MEMSスイッチを実現するにはメタル2とポリシリコン層の間に可動域となる空洞部が必要になるため、プラズマエッチングによる空洞部の形成をポストプロセスとして行う。

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Virtuoso, **トランジスタ数：**~10 **試作ラン：**オンセミー三洋 CMOS 0.8 μ m 2.5mmx5.0mm チップ **チップ種別：**MEMS



B-3

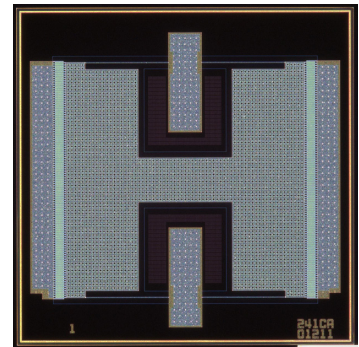
Appendix

CV変換回路との混載に向けた静電容量式CMOS-MEMS加速度センサ

東京電機大学工学部 角田 蒼空, 小松 聡

概要：MEMS (Micro Electro Mechanical Systems) とは、半導体微細加工技術を応用して製造する微小デバイスである。昨今では様々な機器に搭載され、さらなる小型化や高感度化が求められている。そこで、MEMSとCMOS回路をモノリシックに集積する集積化MEMSとすることにより、寄生容量の低減による高感度化や薄型化などのメリットがある。本試作ではCMOS回路との混載に向けたCMOS-MEMS加速度センサの設計を行った。錘の形状はH型とし、MEMSセンサの検出方式は静電容量式とし設計した。加速度センサの形状をH型とすることで、感度を増加させることを目的としている。センサの製作にあたり、武田先端知クリーンルームにてポストCMOSプロセスを行い、チップの金属間絶縁膜およびシリコン基板のエッチングをし加速度センサの浮遊構造を構成した。今後はプロセスの検討を行うとともに、製作したセンサの読み出し回路およびプロセスによる影響を受けにくい形状の設計を行う。

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Virtuoso, **トランジスタ数：**~10 **試作ラン：**オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ **チップ種別：**MEMS



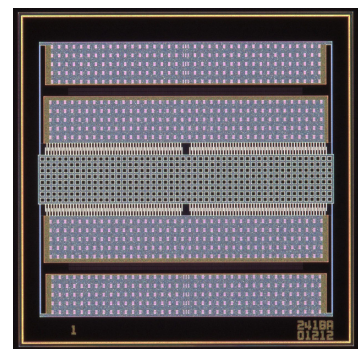
CMOS-MEMSに向けた1軸加速度センサの試作

東京電機大学工学研究科 三瓶 智矢

東京電機大学工学部 小松 聡

概要：MEMS (Micro Electro Mechanical Systems) とは集積回路技術を発展させた「マイクロマシーニング」と呼ばれる微細加工技術により、回路だけでなく微細構造体やセンサ、あるいは機械的に動くアクチュエータを集積化させたものである。MEMSデバイスの製造方法の一種であるCMOS-MEMSプロセスとは、CMOSプロセスを用いてセンサと回路を設計し、ポストプロセスによってMEMSデバイス構造を実現させる手法である。CMOS-MEMSプロセスを採用するメリットとして、一般的なMEMSプロセスと比較したとき、センサと処理回路が同一チップ上にあることから配線を短くすることができ、寄生容量の影響を低減できるといったことが挙げられる。今回はCMOS-MEMSプロセスによる1軸加速度センサの試作を行う。設計したセンサは梁に吊り上げられた可動部と固定部で噛み合う楕円形状の電極の静電容量変化を測定することで加速度を測定することができる仕組みとなっている。試作したチップの可動部を解放するために武田クリーンルームでポストプロセスを行う。今回はセンサ部分のみ設計したが、今後は回路を設計、搭載し、また、複数軸を測定できるセンサを設計する予定である。

設計期間：0.5人月以上, 1人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数：**~10 **試作ラン：**オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ **チップ種別：**MEMS

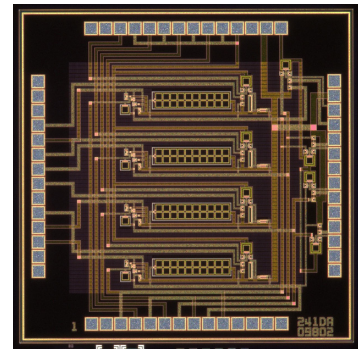


四足歩行ロボットに実装する受容細胞モデルを搭載したニューロモルフィック回路のTEGチップ

日本大学工学部 中山 渉, 関山 晃生, LYU SHUXIN, 齊藤 健

概要: 本試作チップでは、四足歩行ロボットに実装する受容細胞モデルを搭載したニューロモルフィック回路のレイアウト設計を行った。ニューロモルフィック回路は、生物の神経系をアナログ電子回路で模倣した発振回路であり、神経信号のようなスパイク状の発振パルスを出力する特性を持つ。受容細胞モデルは、生物の感覚受容器の機能を模倣した発振回路であり、特定の外部刺激に応じて発振周波数を変化させることができる。本試作のチップは、受容細胞モデルの出力パルスの発振周波数の変化に伴い、ニューロモルフィック回路の出力パルスの発振周波数を変化させることが可能である。レイアウトの構成は、本回路の発振特性にばらつきが少なくなるように設計し、出力に近い位置に4つ配置した。試作したチップの測定を実施した結果、受容細胞モデルおよびニューロモルフィック回路の発振が確認された。さらに、受容細胞モデルの発振周波数の変化に伴い、ニューロモルフィック回路の発振周波数も変化することを確認した。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数:** 10~100 **試作ラン:** オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

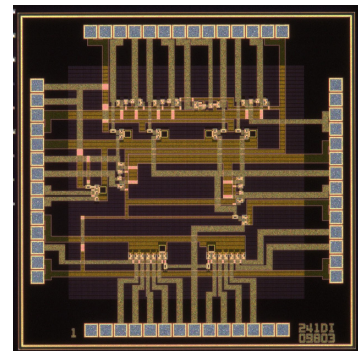


両脚の歩容パターンを切り替えるアナログニューラルネットワークIC

日本大学工学部 後藤 達巳, 金子 美泉, 内木場 文男

概要: 本試作では、ヒューマノイドロボットの両脚を対象に、歩行と走行を切り替え可能な人工ニューラルネットワークICチップを作製した。人間の歩行や走行の制御には、脊髄に局在する神経回路網が関与しており、これが5つの主要なパルスパターンを生成し、各筋肉群を制御していることが示唆されている。本研究では、脳からの運動指令や感覚情報に応じて脊髄の運動パターンを切り替える仕組みをアナログ電子回路で模倣し、ヒューマノイドロボットへの応用を試みた。試作したチップは、歩行および走行時の基本的な動作を構成する6つのパルスパターンのうち、2番目と3番目の細胞体モデルを、上位中枢や感覚情報に基づく入力により発火させることで、歩行パターンと走行パターンの切替を行う。測定の結果、上位中枢や感覚情報に相当する細胞体モデルからのパルス信号は確認できたものの、接続先の配線ミスにより、脊髄モデルへのパルス信号の出力を得ることはできなかった。今後は、試作したICチップに加え、配線の誤りを補完する外部素子の追加などにより、歩行から走行、走行から歩行へのリアルタイムな切り替えが可能なシステムの実現を目指す。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数:** 10~100 **試作ラン:** オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

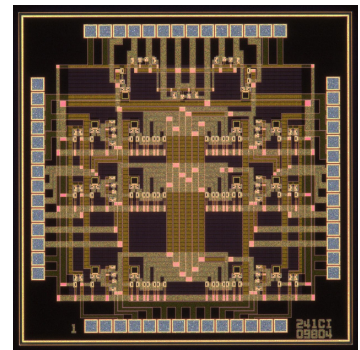


両脚の歩容パターンを生成するアナログニューラルネットワークIC

日本大学工学部 後藤 達巳, 金子 美泉, 内木場 文男

概要: 本試作では、ヒューマノイドロボットの両脚を対象に、歩行と走行のパルスパターンを生成する人工ニューラルネットワークICチップを作製した。人間の歩行や走行の制御には、脊髄に局在する神経回路網が関与しており、これが5つの主要なパルスパターンを生成し、各筋肉群を制御していることが示唆されている。本研究では、その脊髄機能をアナログ電子回路によって模倣し、ヒューマノイドロボットへの応用を試みた。試作したチップは、歩行および走行時における基本的な動作パターンを構成する6つのパルスパターンを生成するよう設計されている。さらに、2つ目および3つ目の細胞体モデルの出力を外部素子で切り替えることで、歩行パターンと走行パターンの選択的な切り替えが可能となる。測定の結果、6つの連続したパルスパターンが設計通りに生成され、各細胞体モデルに接続された抑制性シナプスモデルが相互に作用して、目的とするパルス出力が得られることを確認した。今後は、脳の高次機能を模倣したアナログニューラルネットワークICとの連携を図り、歩行から走行、走行から歩行へのリアルタイムな切り替えを可能とするシステムの実現を目指す。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数:** 10~100 **試作ラン:** オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

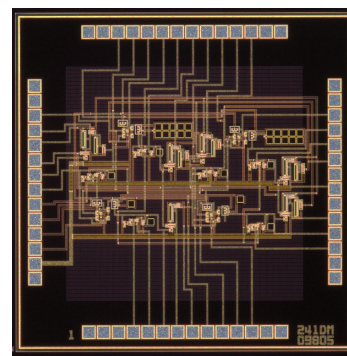


筋肉による駆動を模倣したラット型ロボット用 ニューロモルフィック集積回路

日本大学理工学部 安田 祐希, 伊藝 楓斗, LYU SHUXIN, 齊藤 健

概要: 本試作チップでは、筋肉による駆動を模倣したラット型ロボットに搭載するニューロモルフィック集積回路のレイアウト設計を行った。ニューロモルフィック回路は、生物の神経系をアナログ電子回路で模倣した発振回路であり、神経信号のようなスパイク状の発振パルスを出力する特性を持つ。本試作のチップは、前回の試作同様に人工筋肉ワイヤにより脚部の制御を行うラット型ロボットに搭載することで、1つの脚の歩行動作を行うことが可能である。4つの出力をバースト発振させることにより、それぞれに対応する人工筋肉ワイヤを適切な順番に収縮させることを目的に設計を行った。なるべく配線を均一にし、配線同士の距離を取ることで前回のレイアウトを改善した。試作したチップの測定を行った結果、前回以上に2つの出力は安定していたが、本試作のチップも他の2つの出力は適切な順番で出力されなかった。原因として、一か所短絡してしまった部分があったためだと考えられる。本試作を踏まえ、次回はラット型ロボットの1つの脚部を制御可能なニューロモルフィック集積回路の実現を目指す。

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数:** 10~100 **試作ラン:** オンセミー三洋 CMOS 0.8 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

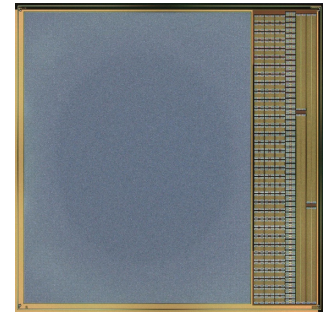


ミリ波計測用プロービングパッド TEG

東京大学工学系研究科 飯塚 哲也

概要：本試作では、ミリ波等高速信号計測のためのプロービング用パッドを複数用意するとともに、プローブ自身の水平出しのために金属部分が広く露出した領域を用意した。これによりプロービング技術に不慣れな学生にも実際に近い形でのプロービングの練習が可能であり、また多数回の試行にも耐えられるだけの個数を用意することで、繰り返し練習を行う事ができプロービング技術の習得に活用できる。このチップを活用することにより、学生のプロービング技術の向上と実際の測定時の効率化を図ることが出来る。実際の計測により、プローブの水平出しに本チップを活用できることを確認した。また多数のプローブパッドパターンを活用し、初心者に対して実際の針当ての練習に使用可能であることが分かった。今後も継続して活用していただけるものと考えられる。

設計期間：0.1人月未満 **設計ツール**：Cadence社 Virtuoso, **トランジスタ数**： ~ 10 **試作ラン**：ローム CMOS 0.18 μ m 7.5mm角チップ **チップ種別**：TEG (特性評価回路など)

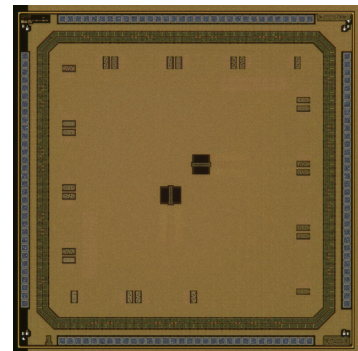


弛張型発振回路を用いた FiCC の容量測定 TEG

立命館大学情報理工学部 木村 知也, 越智 裕之

概要：Fishbone-in-Cage Capacitor (FiCC) はメタルフリンジキャパシタの一種であり、魚の骨状の内側電極を籠状の外側電極で囲むことで、内側電極が周囲からのクロストークノイズの影響を受けにくくしている。数 μ F程度の小容量のFiCCは疑似的にダブルゲート構造を構成して不揮発性メモリを実現することにも利用できる。しかしこのような小容量のFiCCは構造が複雑であり、フィールドソルバなどで正確に容量を求めることは難しいと考えられる。容量測定法として、リングオシレータにキャパシタを接続して発振周期から容量を推定することも試みたが、トランジスタのばらつきや環境の変動の影響を受けやすい。これに対し、高抵抗ボリ抵抗はばらつきも環境の影響もトランジスタより小さいと考えられる。我々は、被測定キャパシタと高抵抗ボリ抵抗の時定数を用いた弛張型発振回路を実装し、その発振周期による容量を測定を試みている。前回 (RO1823_2) 採用した初段のシュミットトリガインバータのトランジスタサイズを調整し、温度依存性を更に抑えている。32個から40個のFiCCを並列接続し、1M Ω の高抵抗ボリ抵抗と組み合わせて弛張型発振回路を試作して測定したところ、並列にしたFiCCの数に応じて発振周期が線形に変化することが確認できた。この他、チップ中央にはフォトセンサ TEG も搭載している。

設計期間：0.1人月以上, 0.5人月未満 **設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数**：100 \sim 1,000 **試作ラン**：ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別**：TEG (特性評価回路など)

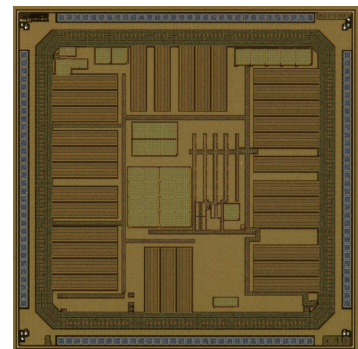


多数個の熱電変換素子の集電回路

中部大学ミュオン理工学研究センター 宮本 順一

概要：熱電変換素子を32個接続でき、それぞれの素子からの電力を集電するプロセッサ (追加分) 熱電変換素子を32個接続でき、それぞれの素子からの電力を集電するプロセッサ (追加分)。CMOSトランスファゲートを用い、各素子が発電しているか否かをモニターし、それをメモリに格納、その値によりトランスファゲートをON/OFFを制御し漏れ電流を防ぐ。従来方式に比べ、電力ロスが少なく、しかも、メモリ内容を読み取ることで各素子の発電状況がわかり、不良素子の場所特定も容易。メモリに外部から値を書き込めばその素子の電流・電圧特性の測定も可能となる。このLSIは微小電力の集積がもくてきではあるが、ディスクリット素子を外付けすれば大電力の集電も可能である。

参考文献：J. Miyamoto, M. Sato, H. Itoh, M. Tanaka, A. Kato, S. Hasegawa, Y. Suzuki, and F. Munakata, "Field Test of Dye-Sensitized Solar Cells (DSSC) by utilizing a Power Delivery CMOS Integrated Circuits", Extended Abstracts of the 2015 International Conference on Solid State Devices and Materials, Sapporo, 2015, pp. 530-531 **設計期間**：0.1人月未満 **設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数**：1,000 \sim 10,000 **試作ラン**：ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別**：マイクロプロセッサ



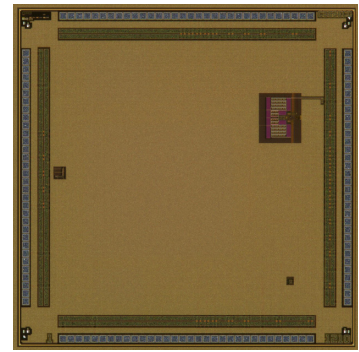
音声向けのVCOを用いたADCの試作

東京電機大学大学院工学研究科 野口 泰寛

東京電機大学工学部 小松 聡

概要： 音声認識等の機能は、常にマイクをアクティブにしておく必要がある為、マイクと共に搭載される Analog-to-Digital Converter (ADC) が低消費電力であることが重要である。しかし、従来音声信号に用いられる $\Delta\Sigma$ ADC は、低電源電圧化によるアナログ回路の特性劣化や、適切な積分器のフィルタ特性を実現する上で回路面積が大きくなってしまふなどの問題がある。この為より面積効率が良く、信号情報を時間領域に置換することで、理論上低電源電圧時でも分解能の劣化が少ない VCO-based ADC に着目した。本チップでは D-FF と XOR によって一次差分をとり、一次ノイズシェーピング特性を得る読み出し回路を搭載した、シンプルな構成の VCO-based ADC を実装した。マイク向けとして必要な分解能は得られなかった為、今後は構造の変更や低電源電圧化に向けた VCO の改善を目指す。

設計期間： 1人月以上, 2人月未満 **設計ツール：** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Synopsys社 HSPICE (RF), **トランジスタ数：** 100~1,000 **試作ラン：** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：** アナログ (PLL, A-D/DC-DC コンバータなど)



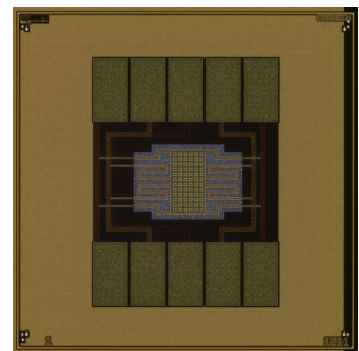
ウェットエッチングを用いて試作する静電作動式 RF-MEMS スイッチ

東京電機大学工学研究科 後河内 駿介

東京電機大学工学部 小松 聡

概要： MEMS (Micro Electro Mechanical Systems) とは集積回路技術を発展させた「マイクロマシーニング」と呼ばれる微細加工技術により、回路だけでなく微細構造体やセンサ、あるいは機械的に動くアクチュエータを集積化させたものである。MEMSの中でも高周波 (RF) 帯の MEMS 技術を RF-MEMS と呼ばれている。近年、モバイル通信システムにおける 5G (第5世代モバイル技術) が普及している。5G を処理するシステム作製には優れたコンポーネントが必要になる。本研究では静電力で作動する低動作電圧な CMOS-MEMS スイッチを試作し、MEMS スイッチを接触状態にするために必要な引き下げ電圧の測定及び MEMS スイッチを接触状態から非接触状態にする時、接触状態のまま固着しないような動作信頼性を高めることを目的としている。本研究で製作する MEMS スイッチはコプレーナ導波路の GND にまたがるような両もち梁を設計した。また、試作したチップの MEMS 構造を解放するために武田クリーンルームにてポストプロセスを行い、RF-MEMS スイッチを製作する。本試作では固定電極をメタル3、可動電極をメタル5、ウェットエッチング用の犠牲層をメタル4と PAD の組み合わせによるレイアウトした。

設計期間： 0.5人月以上, 1人月未満 **設計ツール：** Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数：** ~10 **試作ラン：** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：** MEMS

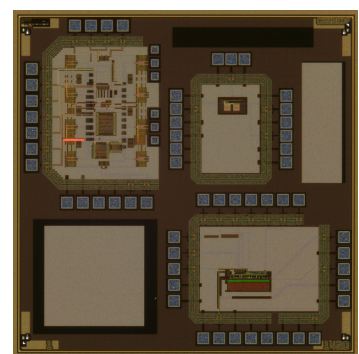


Current Steering DAC, デューティ比修正回路, オンチップスキュー調整回路

芝浦工業大学工学部 佐々木 昌浩, 市川 諒, 松田 隆汰, 松尾 圭悟

概要： 本試作では異なる複数の回路を実装している。1つ目の回路は、オンチップクロックスキュー測定調整回路である。本回路は、相対セットアップタイム測定回路とスキュー制御回路から構成されている。スキュー制御回路は、自動でクロックスキューを調整することができるように Verilog-HDL で作成した回路を自動配置配線によってレイアウトを設計した。スキュー制御回路によって、オンチップ上で自律的なクロックスキュー調整が実現されている。2つ目の回路は、入力クロックのデューティ比を補正するデューティ比修正回路である。ILO (Injection-Locked Oscillator) を用いて入力信号と同じ周波数で発振する注入同期特性を利用することで、従来回路と比較して高速かつ小面積な Duty 比修正回路を実現している。3つ目の回路は、10-bit Current Steering DAC である。この回路は、上位 3-bit を同じ重みをもつ電流源、下位 7-bit を 2 進重み付けした電流源をそれぞれ Thermometer Code, Binary Code で駆動しているセグメント型の構成になっている。さらに、個々の電流源セル間のばらつきを補正する電流源校正回路を搭載している。

設計期間： 4人月以上, 5人月未満 **設計ツール：** Cadence社 Xcelium, Cadence社 GENUS, Cadence社 Innovus, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre, Synopsys社 HSPICE (RF), Keysight社 ADS, **トランジスタ数：** 10,000~100,000 **試作ラン：** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別：** アナログ (PLL, A-D/DC-DC コンバータなど)

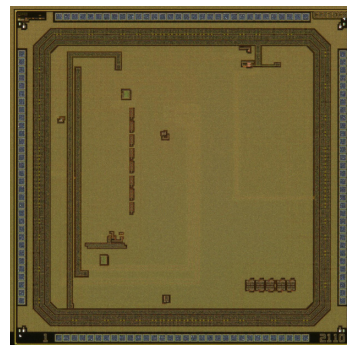


ニューロモルフィックデバイスと心電図自動診断補助用ICの設計

日本大学理工学部 佐伯 勝敏, 山田 泰史, 飯泉 裕陽, 井上 大空, 榎身 龍之佑, 高橋 ひと葉, 上田 萌

概要: 心電図は、心臓の病気を診断するために一般的に用いられている。現在の心電図自動診断技術はソフトウェアで実装されることが多く、ハードウェアのみを用いた実装例は少ない。そのため、現在、1チップで心電図自動診断補助を行うICを設計している。本チップでは心電図自動診断補助を行うために抵抗ラダーADCとデジタル素子を用いた異常検知部を搭載し、回路の評価考察を行った。ニューロモルフィックデバイスとして、複雑な計算無しに4足歩行ロボットの制御を可能にするために、CPG (Central Pattern Generator) を用いたロボット制御用ICを設計し、評価考察を行った。次に、生体の脳を模倣したニューラルネットワークを構築するために細胞体モデルを実装し、脳の優れた情報制御処理を模倣するために、逆伝搬を考慮した樹状突起モデル回路を設計し、本チップに搭載した。

設計期間: 6人月以上, 7人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナデジ混載

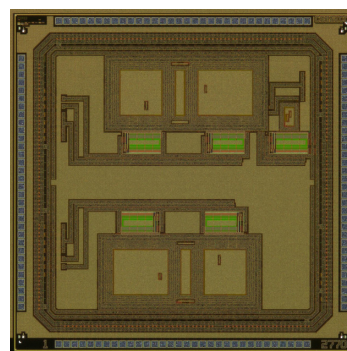


Strong PUF 回路

京都大学情報学研究科 Chen Zhenzhe, 佐藤 高史

概要: Physically Unclonable Function (PUF) は、製造時のばらつきを利用してデバイス固有のレスポンスを生成するハードウェア技術であり、リバースエンジニアリングに強い耐性を持つ。PUF は Strong PUF と Weak PUF に分類され、Strong PUF は指数的に多くのチャレンジ・レスポンス・ペア (CRP) を持ち、近年では機械学習 (ML) 攻撃耐性の強化が進んでいる。しかし従来の PUF は、可変長 CRP への対応が困難であり、また多ビットレスポンスのランダム性の確保が課題であった。本研究では、CRP の長さを柔軟に調整可能な Strong PUF 「SpongePUF」を実装している。SpongePUF はスポンジ構造を活用し、100 ビットのチャレンジから 20~100 ビットの可変長レスポンスを生成できる。さらに、非線形ブロックに Bent 関数を用いることで、高いランダム性を確保している。

参考文献: C. Zhenzhe, T. Sato, and H. Shinohara, "SpongePUF: A modeling attack resilient strong PUF with scalable challenge response pair," in Proc. IEEE International Symposium on Hardware Oriented Security and Trust (HOST), pp.244-253, May 2024. **設計期間:** 1人月以上, 2人月未満 **設計ツール:** Synopsys社 VCS, Synopsys社 DesignCompiler, Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** ニューテクノロジー

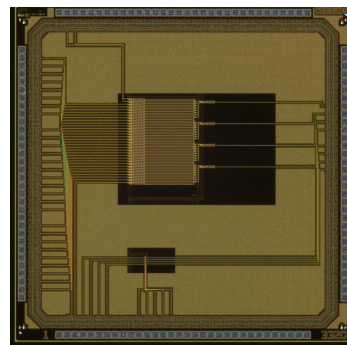


暗電流が多いフォトダイオードで利用可能なフォトアンプの特性評価用 TEG

茨城大学理工学研究科 木村 孝之

概要: 現在、環境負荷の低いマグネシウムシリサイドを材料とした光電変換素子の開発が行われている。前年度の試作において、開発したトランス・インピーダンス・アンプ (TIA) は暗電流が多い光電変換素子でも利用可能であることが明らかとなっている。今年度は、マグネシウムシリサイドによる32画素のフォトダイオードリニアアレイに対して読出しが可能なTIA回路の試作を行った。32チャンネルを同時に読み出すとその後の信号処理が困難となるため、チップ内にアナログスイッチによる8:1マルチプレクサを4回路実装し出力を4チャンネルとした。浜松ホトニクス社製のフォトダイオード (G12180-005) を使用してTIA回路のI/V変換特性を測定したところ、チャンネル感のばらつきは0.94%以内に収まっており読出し回路のばらつきは低く抑えられていることが確認できた。続いて波長1310 nmの均一な赤外光を用いてマグネシウムシリサイド上に作製したフォトダイオードリニアアレイでのI/V変換出力を確認したところ、不動画素を除いたチャンネルの出力の平均値は21 mVで標準偏差は3.9 mVであった。このチャンネル間のばらつきはフォトダイオードリニアアレイの特性と考えられる。さらにリニアアレイを水平にスキャンすることで2次元赤外画像を得ることができた。

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

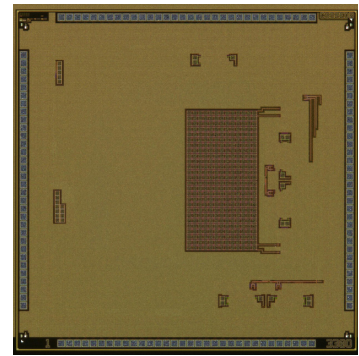


単一細胞インピーダンス計測のためのアナログ集積回路

立命館大学理工学研究科電子システム専攻 北原 可奈子, 大島 智也, 久寿居 光希, 宇野 重康

概要: CMOSチップ上の微小電極を用いて単一細胞のインピーダンス測定を行うためのアナログCMOS集積回路を設計した。回路は Trans-impedance Amplifier (TIA), Gilbert-cell type differential mixer (GC), Instrumentation amplifier (InsAmp), そして SAR型 Analog-digital converter (ADC) を含んでおり、従来設計したものの精度と動作範囲を改善するものを搭載した。それぞれの部分回路を個別に搭載し、各回路ブロックの動作を詳細に確認したところ、バイアス回路精度不足による動作点の違いや、しきい値電圧ばらつきによる制度定価などの課題が見られたが、おおむね基本的な動作を確認することができた。今後は今回の試作で明らかになった課題を改善すべく設計を改良し、全回路ブロック結合時のインピーダンス測定を可能とすることを目指す。

設計期間: 9ヶ月以上, 10ヶ月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ/デジタル信号処理プロセッサ



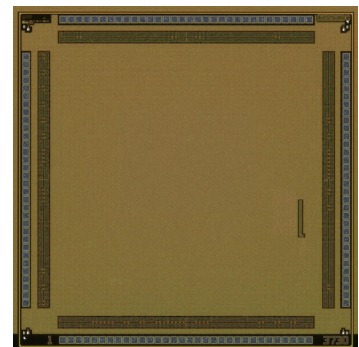
自由課題によるチップ試作

福岡大学工学部 名倉 徹

概要: 我々の研究室では、学部3年生が研究室に仮配属された段階で、集積回路設計に関する基本的な設計フローを体系的かつ実践的に学べるよう、回路設計・シミュレーション・レイアウト設計・物理検証といった、一連の設計プロセスを実際に自分の手で体験しながら習得することを重視しています。学生たちは、まず「どのような回路を設計するか」というテーマ設定の段階から自ら主体的に考え、試行錯誤しながら、最終的な検証作業までを自分の手で完結させます。さらに、設計したチップは実際に測定環境において動作確認を行い、自らの設計が正しく機能しているかどうかを実測によって評価します。このように、一連のIC設計フローを最初から最後まで一通り経験できることは、学生にとって非常に貴重で実践的な学びの場となっております。

将来の技術者としての成長に大きく寄与するものと考えています。今回のチップ試作では、以下のような多様な回路が実装されています。・オペアンプを用いた差動増幅回路・自動点滅を制御するウィンカーコントローラ回路・2ビットの加減算を可能にする演算回路・認証機能を実現するパスワード認証回路・高精度な信号取得に適した計装アンプ

設計期間: 2ヶ月以上, 3ヶ月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

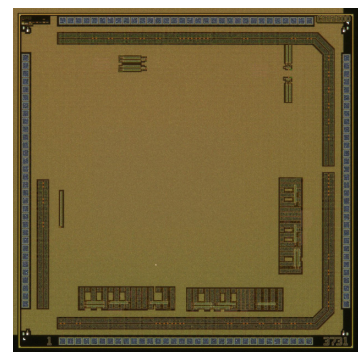


筋電測定用2端子構成計装アンプ

福岡大学工学部 名倉 徹, 根々 淳太

概要: 脳からの信号によって筋肉は動き、その言号は筋電と呼ばれる。これは体の表面に現れるため、表面電極を用いて測定することができる。人体の皮膚の表面に発生する筋電は1mVよりも小さい微弱な電圧であるため、これを測定するためには電圧を増幅させるアンプが必要である。本チップでは、このような微弱な筋電信号を精度よく増幅し、安定的に読み取ることを目的として、オフセット電圧を自動的に補正する機能を備えた計装アンプを新たに設計しました。オフセットキャンセル回路を内蔵することで、アンプ自身が持つ直流オフセットの影響を低減し、微小信号の精密な増幅が可能となっています。さらに、本研究では測定系の簡略化とユーザビリティの向上を目指し、入力部にフライングキャパシタ構造を導入しました。従来の筋電測定では、作動入力端子の他に基準電位を与える参照電圧端子が必要であり、最低でも3端子を人体に接続する必要がありました。しかし、今回の設計ではこの構造の採用により、2端子のみで安定した筋電信号の取得が可能となります。

設計期間: 2ヶ月以上, 3ヶ月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナログ (PLL, A-D/DC-DCコンバータなど)

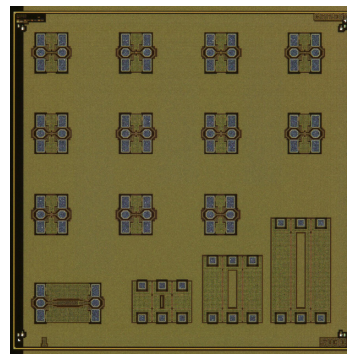


分布型レーザ駆動回路試作のためのTEG試作

九州大学大学院システム情報科学府 高森 啓志, 賀 正陽, Jiang Xinghan

概要：光通信では送受信回路の低消費電力化が求められている。通信波長のレーザを駆動するレーザ駆動回路は40mA程度の出力駆動電流振幅が必要で、かつ周波数特性としてビットレートの70%程度の帯域を必要と得る。大電流で高速な駆動回路実現には分布増幅型の回路構成が好適であるが、駆動対象との接続I/Fを50Ωに設計してしまうとMOSの耐圧内に収まらないため、出力側の低インピーダンスマッチング設計が必要となる。回路のチップ面積が大きくなる傾向があるため、伝送線路等の特性を把握するための事前TEG試作を実施した。TEGの品種はトランジスタ（ゲート幅の大きいものと、1μmを並列接続したものとの比較検証用）、抵抗、伝送線路（複数の特性隠蔽ダグスのもの）などである。

設計期間：3人月以上, 4人月未満 **設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE (RF), Keysight社 ADS, **トランジスタ数**：～10 **試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ **チップ種別**：通信 (RF回路, ATMなど)

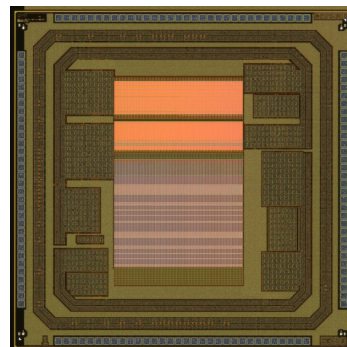


LOFIC型CMOSイメージセンサに向けた高SNRかつ小面積・低消費電力な読み出し回路

立命館大学工学研究科 堀 聖菜, 大倉 俊介, 大谷 愛

概要：LOFIC型CMOSイメージセンサは、1回の露光に対してゲインの異なる2回の読み出しを行うことでHigh Dynamic Range (HDR)を実現できるという特徴があるが、信号切り替え点におけるSNR低下や回路面積・消費電力の増大という課題がある。そこで、SNR低下の課題に対し、読み出し回路のゲインを3段階設けることで、HDRを維持したまま切り替え点におけるSNR dropの低減を図る読み出し回路を本チップに搭載した。さらに、回路面積・消費電力が増大するという課題に対し、読み出し回路内で画像生成に適する信号を選択し、適する信号のみをA/D変換し、SRAMに保持する回路も搭載した。試作したチップは、実測により回路動作、性能を評価し、シミュレーションと同等の結果が得られることを確認した。

設計期間：3人月以上, 4人月未満 **設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE (RF), **トランジスタ数**：1,000～10,000 **試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ **チップ種別**：アナログ/デジタル信号処理プロセス

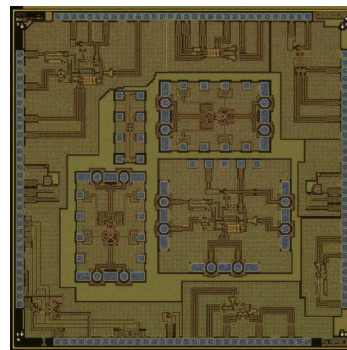


高速強化学習アナログ回路ならびにリザバー後処理用広帯域アナログ積和演算回路

明治大学工学研究科電気工学専攻 小島 光, 森 光平

概要：本チップは高速な機械学習を実現するアナログ回路を2つ、相乗りで試作するためのものである。第一の回路は、強化学習の一つであるバンディット問題の、意思決定をする。この学習回路はコンパレータやチャージポンプ回路、論理回路で構成している。経験に基づき判断基準として記憶する値を、論理回路で更新するデジタル信号ではなく、チャージポンプ回路の出力電圧で表わしている。アナログ信号であるため高速な計算が可能になる。測定を行った結果、1回あたり0.5 nsで意思決定をしながら期待通りに機械学習を進めていることを確認するとともに、さらなる高速化にはコンパレータの設計に課題があることが分かった。第二の回路は、光リザバーコンピューティングの出力段に用いる積和演算を、トランジスタ特性を生かして実現する。構成原理は、乗算回路で重みづけした信号を電流で表すことで、高速に加算するものである。リザバーの出力数が多いときに積和演算回路の入力数を増やす必要があり、加算電流が増えることで出力電圧が飽和しやすい。そこで、従来の折り返しカスコードを改良し、信号がpチャネルMOSFETを流れないようにカレントミラーを組み合わせることで、広出力範囲かつ広帯域を達成する回路構成を考案した。

設計期間：3人月以上, 4人月未満 **設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, **トランジスタ数**：1,000～10,000 **試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ **チップ種別**：アナデジ混載



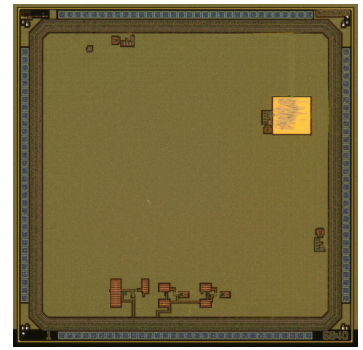
超音波ビームフォーミングのためのデジタルDLLほか

慶應義塾大学工学部 中野 誠彦, 永田 智考

慶應義塾大学大学院理工学研究科 森 瑞紀

概要：放射線によるがん治療に対し、より非侵襲的であるとされる超音波を用いたがん治療の研究が進んでいる。より高い精度で焦点を定めるためにはチャンネル数を増やす必要があるが、要求されるピン数やケーブルが増加する問題が生じる。そのため我々はシステムの集積化を目指しており、今回の試作では連続波ビームフォーミングおよび連続波イメージングに向けた要素回路として、遅延ビームを作る上で必要となる遅延同期ループとしてアナログ回路ベースのデジタルDLLを主に設計した。入出力周波数を4MHzとし、半周期遅延を8等分した遅延クロックをピンに引き出した。最大DNL 0.29LSB、最大INL 0.29LSBの精度で多相クロックが生成できている事を実測で確認したがジッタノイズが13.2nsと非常に大きかった。遅延素子の改良が今後の課題である。

設計期間：2人月以上、3人月未満 設計ツール：Synopsys社 DesignCompiler, Synopsys社 ICCompiler II, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre, Synopsys社 PrimeTime, Synopsys社 Formality, トランジスタ数：10,000~100,000
試作ラン：ローム CMOS 0.18μm 2.5mm角チップ チップ種別：アナデジ混載

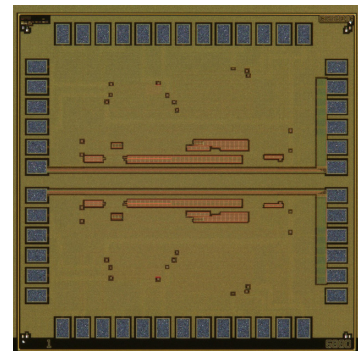


高昇圧DC-DCコンバーター用制御IC

東京工芸大学工学部 崔 通, 橋元 啓輔, CHEN ZHIXUAN

概要：太陽光発電システムにおいて、1枚のPhotovoltaic (PV) パネルからグリッドに接続するためには、高昇圧DC-DCコンバーターが必要である。Voltage doublerをベースに、QZ (Quasi-Z) ネットワークを組み込んだQZ high step-up DC-DC converterを提案した[1]。Conversion Rate (CR) = V_o/V_g は、次式で決まる。CR = $(2-2D) / (1-2D)$ 。ここで、DはDuty Ratioである。本試作ICは、当該高昇圧DC-DCコンバーター用に設計した制御ICである。電圧モードで制御しType IIIで補償する。制御ICには、エラーアンプ、PWMジェネレーター、オシレーター及びランプジェネレーター、MOSFETドライブ用のバッファ回路を含む。出力電圧 V_o の分圧抵抗、位相補償用パッシブ素子、バンドギャップレファレンスは外付けとした。出力バッファの正常動作を確認した。ESD対策などのイタレーション設計を行い再テープアウトする。

参考文献：[1] T. Sai, Y. Moon and Y. Sugimoto, "Improved Quasi Z-Source High Step-Up DC-DC Converter Based on Voltage-Doubler Topology," MDPI, Sensors (ISSN 1424-8220), Vol. 22, No. 24, pp. 1-13, Dec. 2022. 設計期間：7人月以上、8人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18μm 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)

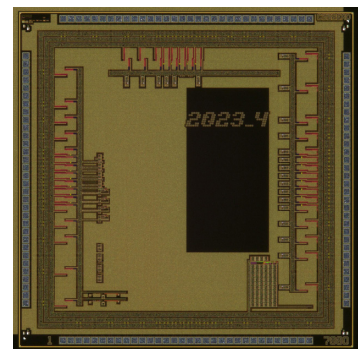


細胞体モデルの設計演習および低電圧化細胞体モデルの試作

日本大学工学部 佐々木 芳樹, 今村 楓也, 牛島 爽介, 武田 海希, 早崎 寛人

概要：本チップには細胞体モデルを実装した。ゼミナール生には、研究室で用いている最もベーシックな構成をレイアウト設計することを課題とし、完成チップを測定することでシミュレーションと実際の違いについて実感できるように考慮した。ゼミナールの課題以外として、細胞体モデルをサブスレッショルド領域で用いることで消費電力を大幅に削減可能な回路構成についても実装を行っている。こちらのモデルについては、MOSFETを低電圧で動かすために基盤の寄生ダイオードのリーク電流を積極的に用いた関係上、実装時のばらつきの影響を強く受けることが考えられたため、影響度合いを見るために複数パターンの素子パラメータを実装している。実測の結果、発火スパイクが発生後にピーク電圧でクリッピングされ、電圧が減少しないという現象に見舞われた。こちらについては、シミュレーション上ではどのような条件を設定しても再現できなかったことから、基盤の構造が何かしらの影響を与えたと考えている。次回以降の実装では、その影響を解析するための新たな構成を提案する予定である。

設計期間：4人月以上、5人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 Hercules, Synopsys社 HSPICE (RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18μm 2.5mm角チップ チップ種別：TEG (特性評価回路など)

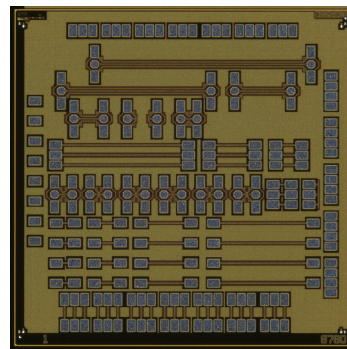


RF 特性検証用 TEG

東京科学大学総合研究院未来産業技術研究所 李 尚暉

概要：本チップは、NMOSトランジスタに加え、PMOSトランジスタおよび伝送線路など、RF特性の検証を目的としたTEG (Test Element Group) を含めて試作されたものである。NMOSおよびPMOSトランジスタは、ゲート幅 $16\ \mu\text{m}$ ($1\ \mu\text{m} \times 16$)、 $32\ \mu\text{m}$ ($1\ \mu\text{m} \times 32$)、 $64\ \mu\text{m}$ ($2\ \mu\text{m} \times 32$) の3種類を試作し、ゲートドレイン間の2ポート測定が可能となるよう、ソースおよびバックゲートを外部アクセス可能な構成とした。伝送線路については2種類を設計し、それぞれ異なる長さの構造を4種 ($100\ \mu\text{m}$, $300\ \mu\text{m}$, $1000\ \mu\text{m}$, $1500\ \mu\text{m}$) および3種 ($100\ \mu\text{m}$, $250\ \mu\text{m}$, $900\ \mu\text{m}$) を試作した。各伝送線路の De-embedding 処理に対応するため、thru および short パターンも併せてレイアウトした。また、実装時の接続特性を詳細に検証することを目的として、チップをPCB上に実装し、チップ上パッドとPCB上パッドをワイヤボンディングで接続した際の影響を評価可能なTEGパターンも併せて試作した。

参考文献：川原 啓輔, 榎田 洋太郎, 高野 恭弥 (東京理科大学), 原 紳介 (情報通信研究機構), “ $0.18\ \mu\text{m}$ CMOSプロセスにむけた準ミリ波帯対応RFセルライブラリの開発,” LSIとシステムのワークショップ2021, 2021年5月. 設計期間：0.1人月以上, 0.5人月未満
設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, トランジスタ数：10~100 試作ラン：ローム CMOS $0.18\ \mu\text{m}$ 2.5mm 角チップ チップ種別：TEG (特性評価回路など)



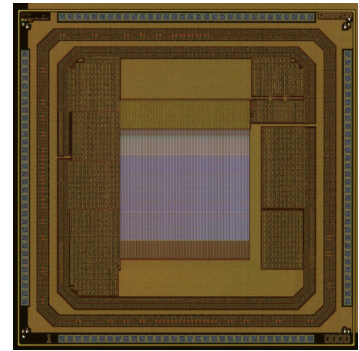
令和6年度第1回ローム CMOS 0.18 μ m 試作

LOFIC型 CMOS イメージセンサに向けた高 SNR かつ小面積・低消費電力な読み出し回路

立命館大学理工学研究科 北島 直, 大倉 俊介

概要： LOFIC 型 CMOS イメージセンサは、1 回の露光に対してゲインの異なる 2 回の読み出しを行うことで High Dynamic Range (HDR) を実現できるという特徴があるが、信号切り替え点における SNR 低下や回路面積・消費電力の増大という課題がある。そこで、SNR 低下の課題に対し、読み出し回路のゲインを 3 段階設けることで、HDR を維持したまま切り替え点における SNR drop の低減を図る読み出し回路を本チップに搭載した。さらに、回路面積・消費電力が増大するという課題に対し、読み出し回路内で画像生成に適する信号を選択し、適する信号のみを A/D 変換し、SRAM に保持する回路も搭載した。試作したチップは、実測により回路動作、性能を評価し、シミュレーションと同等の結果が得られることを確認した。

設計期間：3 人月以上、4 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), トランジスタ数：1,000~10,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ/デジタル信号処理プロセッサ

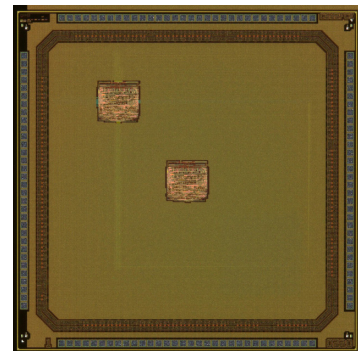


FiCC を用いた CMOS 互換な不揮発性メモリセルアレイ

立命館大学情報理工学部 門馬 拓己, 木村 知也, 越智 裕之

概要：当研究室では、メタルフリンジキャパシタの一種である、Fishbone-in-Cage Capacitor (FiCC) と NMOS トランジスタを組み合わせて、フラッシュメモリ素子のダブルゲート構造を CMOS プロセス互換で実現したメモリ素子を提案している。FiCC は、キャパシタ電極を内側と外側に分けた構造にすることで、一般的なメタルフリンジキャパシタに比べ、キャパシタ外のメタルとのクロストーク容量を約 1/10 に抑えたものであり、ノイズにセンシティブなフローティングノードを内側電極に割り当てれば、多数の素子を高密度実装することが可能である。本試作チップは、FiCC を用いた不揮発性メモリセルアレイのレイアウトを ICCompiler II で自動設計することを試みたものであり、FiCC を用いたメモリセルをスタンダードセル化している。曲がりなりにも設計フローを通すことはできたが、実装密度などに課題を残した。

設計期間：2 人月以上、3 人月未満 設計ツール：Synopsys 社 DesignCompiler, Synopsys 社 ICCompiler II, Cadence 社 Virtuoso, Mentor 社 Calibre, Synopsys 社 HSPICE (RF), トランジスタ数：~10 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：マイクロプロセッサ



PTAT 温度センサ回路の試作

東京電機大学大学院工学研究科 新井 理巧

東京電機大学工学部 小松 聡

概要：IC チップ内部の温度をモニタリングするため、オンチップ温度センサとして PTAT (Proportional To Absolute Temperature) 回路がある。絶対温度に比例する電圧、電流を生成する回路であり、本回路はチップの熱特性や温度を確認することを目的としている。今回のチップ試作では、回路設計やチップ測定、評価の練習、弱反転領域で動作する MOSFET を用いた PTAT 温度センサ回路の設計を行った。設計には ROHM 社の 0.18 μ m CMOS プロセスを使用している。設計した PTAT 温度センサ回路は、従来の BJT を弱反転領域動作の MOSFET に置き換えた構成とした。本試作回路は常温 (300 K) で PTAT 電圧 300 mV を得るよう設計し、233 K - 400 K の範囲で動作する温度センサとして動作を確認している。測定時には多少のオフセットが見られたものの、300 K - 400 K の範囲で温度に対する PTAT 電圧特性が良好に動作することを確認した。

設計期間：1 人月以上、2 人月未満 設計ツール：Cadence 社 Virtuoso, Mentor 社 Calibre, Cadence 社 QUANTUS, Synopsys 社 HSPICE (RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm 角チップ チップ種別：アナログ (PLL, A-D/DC-DC コンバータなど)



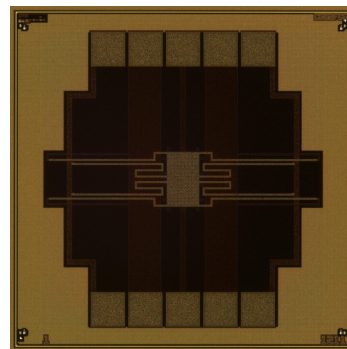
プラズマエッチングを用いて試作する静電作動式RF-MEMSスイッチ

東京電機大学工学研究科 後河内 駿介

東京電機大学工学部 小松 聡

概要：MEMS (Micro Electro Mechanical Systems) とは集積回路技術を発展させた「マイクロマシーニング」と呼ばれる微細加工技術により、回路だけでなく微細構造体やセンサ、あるいは機械的に動くアクチュエータを集積化させたものである。MEMSの中でも高周波 (RF) 帯のMEMS技術をRF-MEMSと呼ばれている。近年、通信システムにおける5G (第5世代モバイル技術) が普及している。5Gを処理するシステム作製には優れたコンポーネントが必要になる。本研究では静電力で作動する低動作電圧なCMOS-MEMSスイッチを試作し、MEMSスイッチを接触状態にするために必要なプルイン電圧の測定及びMEMSスイッチを接触状態から非接触状態にする時、接触状態のまま固着しないような動作信頼性を高めることを目的としている。また、試作したチップのMEMS構造を解放するために武田クリーンルームにて加工を行い、RF-MEMSスイッチを製作する。本試作では、固定電極をメタル2、可動電極をメタル5でレイアウトした。静電作動式MEMSスイッチを実現するにはメタル2とメタル5の間に可動域となる空洞部が必要になるため、プラズマエッチングによる空洞部の形成をポストプロセスとして行う。

設計期間：0.5人月以上、1人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数：**~10 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**MEMS

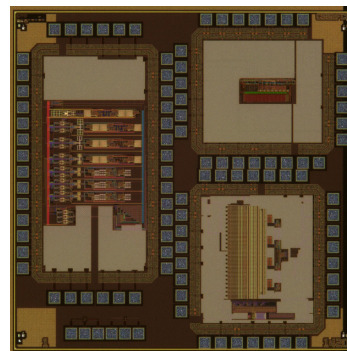


Flash ADC, Current Steering DAC, Pipeline ADC

芝浦工業大学工学部 佐々木 昌浩, 細田 稀石, 市川 諒, 佐藤 祥馬

概要：1つ目の回路は6-bit Flash ADCで、電圧を時間差に変換するVoltage-to-Time Converterを利用している。入力電圧を時間領域で高速に処理し、時間差検出回路を介して6ビット分解能のデジタル値に変換しており、これにより数GHz帯でも高精度・低ジッタなA/D変換を実現している。2つ目の回路は8-bit Pipeline A/D Converterで、入力信号を前段でSample & Holdし、各ステージのスイッチドキャパシタ (SC) 回路で量子化誤差を増幅・補正しながら段階的に処理を進行している。各ステージは小さな残差電圧を高速に生成し、後段へ渡すことで総分解能8-bitの高分解能A/D Converterを実現している。3つ目の回路は10-bit Current Steering Digital-to-Analog Converterである。この回路は、上位3-bitを同じ重みをもつ電流源、下位7-bitを2進重み付けした電流源をそれぞれThermometer Code, Binary Codeで駆動するセグメント型構成を採用している。さらに、動的キャリブレーション回路によりMOS閾値や温度変動によるセル間ばらつきをリアルタイム補正することで、高精度なD/A動作を実現している。

設計期間：4人月以上、5人月未満 **設計ツール：**Cadence社 Xcelium, Cadence社 GENUS, Cadence社 Innovus, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre, Synopsys社 HSPICE (RF), Keysight社 ADS, **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)

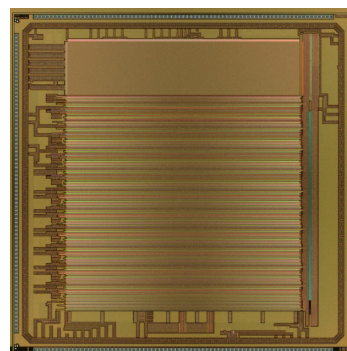


低ローリングシャッタ歪を実現する高速・高分解能CMOSイメージセンサ

東京理科大学大学院工学研究科 寺西 洋平

概要：低ローリングシャッタ歪の実現に向け、列並列パイプラインADCを用いたCMOSイメージセンサを試作した。ローリングシャッタ方式を採用するイメージセンサでは、ローリングシャッタ歪みが依然として深刻な課題となっている。この歪みを抑制するためには、高速なアナログ-デジタル変換器 (ADC) が必要不可欠であり、また、鮮明かつ滑らかな撮影に向け、高分解能なADCも必要となる。本研究では、分解能に依存せず高速なAD変換が可能なパイプラインADCに着目した。従来のパイプラインADCは、サンプリング、およびデジタル-アナログ変換 (DAC) に用いられるステージ内キャパシタにより、大規模なシリコン面積を必要とする問題がある。そのため、小容量なキャパシタを用いる必要があるが、小容量化に伴い、容量ミスマッチや熱雑音の影響が顕著となり、変換精度が低下する。加えて、ステージ内オペアンプにおけるゲイン誤差、長いセトリング時間、および熱雑音も精度劣化の要因となる。これらの課題を解決するため、小容量キャパシタを用いつつ容量ミスマッチおよび熱雑音の影響を低減するError-Averaging方式、オペアンプによる熱雑音を低減する低域通過フィルタ (LPF)、および高ゲインと高スルーレートを両立するFlip Voltage Followerオペアンプを組み合わせた高速・高分解能パイプラインADCを提案した。

設計期間：5人月以上、6人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre, **トランジスタ数：**100,000~1,000,000 **試作ラン：**ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別：**イメージセンサ/スマートセンサ

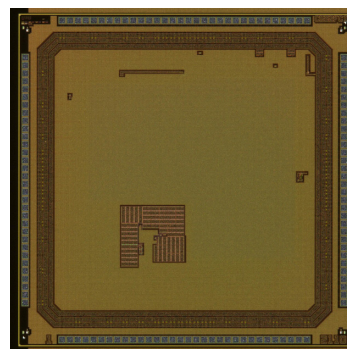


ニューロモーフィックデバイスとロジック回路

日本大学工学部 佐伯 勝敏, 寺田 伊吹, 南部 祐紀, 井上 大空, 小野 諒, 高橋 ひと葉

概要: 本試作チップは、生体の神経回路網を模倣したネットワークを構築するための回路を搭載することと、半導体チップのレイアウトを経験することを目的としたものである。前者については、生体の優れた機能を工学的に応用し、ニューラルネットワークに代表されるニューロモーフィックデバイスを用いて従来に無い特性のデバイス開発を目指す。また後者に関しては、回路設計とレイアウト作業を通じて製造バラツキや面積効率、信号伝搬能力を考慮した設計法を学ぶ、貴重な経験を得ることが出来る。搭載した回路は、ニューロンモデルや4足歩行ロボット制御回路、RS-FF、コンパレータ、電圧制御発振器である。ニューロンモデルでは、自励振や他励振、興奮性および抑制性等といった生体のニューロンと同様の特性を得られる回路を設計し、評価した。4足歩行ロボット制御回路では、中枢パターン発生器と呼ばれる動物の脊髄に内在する神経回路網を電子回路で模倣して、環境に適応した複雑な歩行動作をより効率的に実現することを目的とし、設計・評価を行った。RS-FFとコンパレータに関しては、デジタル回路で用いられるデバイスを実際に構築し、その動作原理と設計、評価工程の学習に充てた。

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナデジ混載

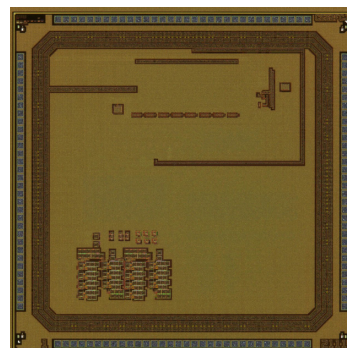


二足歩行用 CPG と心電図自動診断補助用 IC

日本大学工学部 佐伯 勝敏, 坂田 将哉, 飯泉 裕陽

概要: 心電図は心臓の状態を推定し、病気を診断するための検査として一般的に用いられている。近年では、心電図自動診断技術の進歩により、医者だけでなく自動診断を行うことができるようになった。しかし、それらの多くはソフトウェアを用いて自動診断が行われており、ハードウェアのみを用いた実装例は少ない。本チップでは、心電図自動診断補助をハードウェアのみを用いて1チップで行うための研究をするうえで、現在完成している回路の実測、評価を行うために、オペアンプやコンパレータを搭載した。次に、障害物を検知して、自動で歩行制御を行うことができる2足歩行ロボットの制御用ICを設計した。ハードウェアのみを用いて設計することで、回路の小型化、低消費電力化を達成することができる。本チップでは、CPG (Central Pattern Generator) を搭載することで、歩行パターンや速度制御を簡単な回路で構築した。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナデジ混載

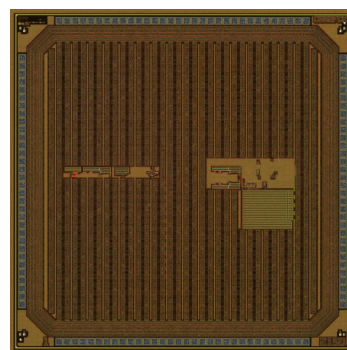


遅延レンジが拡張可能な高分解能デジタル遅延線

富山県立大学大学院電子・情報工学専攻 吉河 武文, 長崎 慎也

概要: 大きな遅延レンジと微小な解像度とを併せ持つデジタル遅延線を提案し試作した。当該デジタル遅延線は、一般的なNAND型の遅延セルで構成されるCoarse遅延線と、Phase Interpolatorで構成されるFine遅延性とを縦列接続することによりなる。Coarse遅延線は、その段数を増加させることにより遅延レンジを拡張可能である。また、Fine遅延線は、Coarse遅延線の1段分の遅延レンジを有し、そのレンジをPhase Interpolatorにより所望の諧調で調整できる。したがって、十数psの高分解能を得ることが出来る。本試作では、Coarse遅延線を8段とし、遅延レンジを1ns程度とした。この段数を増やせば遅延レンジは自由に増やすことができる。また、Fine遅延線は、32階調とし、分解能を14ps程度とした。

参考文献: Moazedi M, Abrishamifar A, Sodagar AM, 'A highly-linear modified pseudo-differential current starved delay element with wide tuning range', In: 19th Iranian conference on electrical engineering (ICEE), 17-19 May, pp 1-4, 2011 **設計期間:** 2人月以上, 3人月未満 **設計ツール:** Cadence社 Xcelium, Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナデジ混載

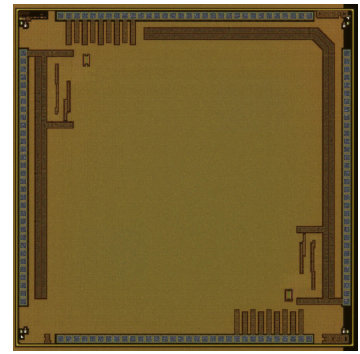


極低電圧バッテリー充電器用ブーストコンバータの設計

早稲田大学大学院情報生産システム研究科 丹沢 徹

概要：近年、注目されている電力変換システムのエネルギーハーベスティングは、太陽光や熱、振動といった環境から得られるエネルギーを環境発電素子（ET: Energy transducer）によって電力変換をして、IoTセンサなどのデバイスを駆動するものである。ETから得られる電力は環境に依存するため、得られる電力が不安定である。そこで、バッテリー併用によって回路動作を安定化する研究が行われている。ETとバッテリーを直列に接続し、コンバータを介して負荷を駆動するET-BAT直列型は動作が不安定になってしまう。そこで、負荷と並列にバッテリーを接続したET-BAT並列型に着目した。回路動作をスイッチングする制御回路はバッテリー電力で駆動して、ETから回収した電力をコンバータで昇圧してバッテリー充電を行う回路において、正味の出力電力を最大化する。求めた回路パラメータをもとに、トランジスタの制御回路を追加した場合でも、入力電圧10 mV、バッテリー電圧1.5 Vにおいて、制御回路ロスを差し引いても正味の出力電力が得られる目標を達成し、バッテリー充電が可能であることが分かった。また、算出したパラメータを基に実機を設計し、動作検証を行い、入力電圧40 mVにおいて、エナジーハーベスト用2.3 V全固体電池の充電を行い、バッテリー電圧の増加を確認した。

参考文献：W. Saito, T. Tanzawa, “A Design of Battery Charger Boost Converters Operating at Input Voltages Below 10 mV for Energy Harvesting”, TJCAS 2024, Aug.2024. **設計期間：**2人月以上, 3人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)

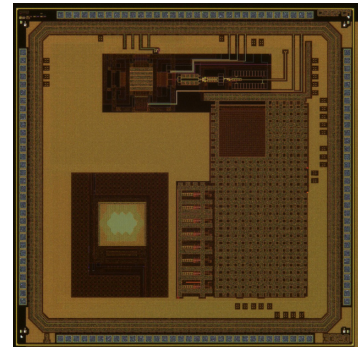


部分露光型イメージセンサ、磁気センサの特性評価用 TEG

茨城大学理工学研究所 木村 孝之

概要：イメージセンサの多画素化による読み出し速度上昇に対応するため、本研究では蓄積・読み出しする画素の範囲を絞る事が可能な部分露光型イメージセンサの読み出し速度向上のための回路設計を行った。10000 fps以上の読み出しを実現するためには1行あたり0.42 μ s以内で読み出す必要があるため、それを設計目標とした。現在実現されている部分露光型イメージセンサにおいて読み出し速度を律速しているのは主に出力段のソースフォロアの駆動力であったため、ソースフォロア回路の駆動力の増強と、オフチップの読み出し回路における入力容量の低減を検討した。製作されたチップにおいて読み出し時間を測定したところ0.72 μ sであった。目標の0.42 μ sは実現できなかったがこれまでの読み出し時間である7.89 μ sに対して1桁以上読み出し時間の短縮を実現できた。併せてバイオセンシングに適用を目指した集積化磁気センサ回路の設計と試作を行った。この集積化磁気センサではロックイン検出により微小な磁束を測定するが、ノイズ除去のためにオペアンプによるバンドパスフィルタを実装した。また出力信号をAD変換し、2次のIIR型デジタルフィルタによりさらにノイズの除去を行った。その結果、印加磁場換算ノイズを0.691 mTrmsまで低減できた。

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数：**1,000~10,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**TEG (特性評価回路など)



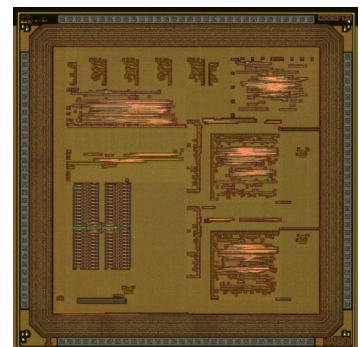
遅延故障およびIC間配線の検査用の各種検査容易化回路の試作

徳島大学大学院創成科学研究科理工学専攻 佐々木 深, 三木 勇人, 鶴岡 蒼久, 本間 琉偉, 南 柊哉, 山橋 湧也

徳島大学大学院社会産業理工学研究所 四柳 浩之

概要：下記のIC間配線の検査用の回路4種と注入電荷量を用いるIC内回路の検査回路1種を含むチップを試作した。1) PUF機能を持つ時間-デジタル変換回路 (TDC) 組込み検査容易化回路を設計した。2) 検査信号供給時間を短縮可能なTDC組込みバウンダリスキャン設計を実装した。3) 弛緩発振器を用いるIC間断線検出を行う検査回路を実装した。4) 自己観測型TDC組込みバウンダリスキャンを用いる半断線故障検査を実装した。5) 注入電荷量によるIC検査回路を実装した。各回路について動作検証および検出可能故障の条件についての実験を行なっている。

設計期間：6人月以上, 7人月未満 **設計ツール：**Cadence社 Xcelium, Synopsys社 DesignCompiler, Synopsys社 ICCompiler II, Cadence社 Virtuoso, TOOL社 Lavis, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre, Synopsys社 PrimeTime, Synopsys社 Formality, **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**TEG (特性評価回路など)

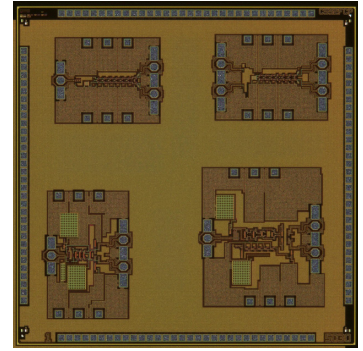


省電力光通信受信回路の試作

九州大学大学院システム情報科学府 西村 結良, 賀 正陽

概要：光通信受信回路のCMOSによる実現の課題は、広いダイナミックレンジを低電力に実現することにある。入力的光パワーは100倍程度のレンジがあり、レンジ全体で線形増幅が求められるとともに、高い信号対雑音比を実現する必要がある。また、通常の電流切り替え型回路では消費電力が大きいため、適宜CMOSインバータ構成を用いて省電力化を行うが、貫通電流が流れているバイアス点に動作点を固定するためのしきい電圧補償回路が必要となる。今回は光アクセス網に用いる瞬時応答型受信回路 (TIALA+LA) と、オーソドックスなTIALA恒星の回路にインバータとしきい電圧補償回路を組み込んだものなど複数品種の試作を行った。同時にトランジスタの小信号特性を取得するためのTEGや抵抗の設計値からのズレを検出するために抵抗体なども搭載した。

設計期間：5ヶ月以上、6ヶ月未満 **設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE (RF), Keysight社 ADS, **トランジスタ数**：10~100 **試作ラン**：ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別**：通信 (RF回路, ATMなど)

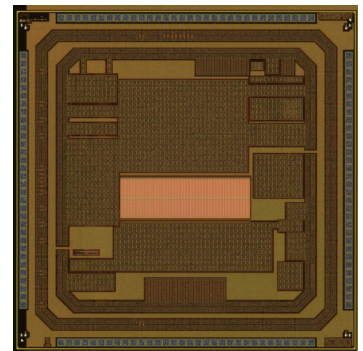


特微量出力可能なCMOSイメージセンサに向けた 可変分解能シングルスロープ型A/D変換器

立命館大学理工学研究科 松原 一樹, 大倉 俊介

概要：特微量出力可能なCMOSイメージセンサには、RGBカラー画像を高分解能で出力する画像撮像モードと、エッジ特微量を低分解能で出力する特微量抽出モードの2つのモードを備えている。このCMOSイメージセンサを用いた画像認識システムでは、撮像シーンに応じてモードを切り替えることによってシステム全体の電力効率化を図っている。モードに応じてセンサチップ内のA/D変換器の構成を切り替えて効率的なA/D変換を行うために、スケーラブルなシングルスロープ型A/D変換器を検討した。本試作では、列並列ADCのピッチ幅は12 μ mでレイアウトし、86列回路を並列配置した。カウンタ回路は制御信号により10bit出力と5bit出力を選択できるように設計した。試作チップは、機能検証を完了し、特性評価を実施している。

設計期間：3ヶ月以上、4ヶ月未満 **設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数**：1,000~10,000 **試作ラン**：ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別**：アナログ/デジタル信号処理プロセッサ



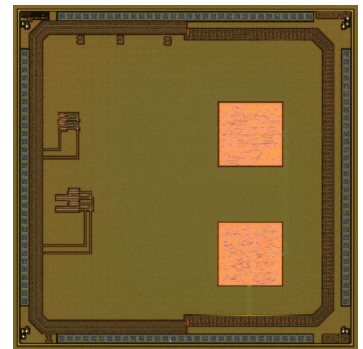
超音波ビームフォーミングのためのADDLLほか

慶應義塾大学理工学部 中野 誠彦

慶應義塾大学大学院理工学研究科 森 瑞紀, 永田 智考

概要：放射線によるがん治療に対し、より非侵襲的であるとされる超音波を用いたがん治療の研究が進んでいる。より高い精度で焦点を定めるためにはチャンネル数を増やす必要があるが、要求されるピン数やケーブルが増加する問題が生じる。そのため我々はシステムの集積化を目指しており、今回の試作では連続波ビームフォーミングおよび連続波イメージングに向けた要素回路として、遅延ビームを作る上で必要となる遅延同期ループとしてスタンダードセルのみを用いた完全デジタルDLL (ADDLL) を主として設計した。入出力周波数は4 MHzとし、半周期遅延を8等分した遅延クロックをピンに引き出した他、デバッグ用として遅延素子単体のテーパーアウトも実施した。実測により、最大DNL -0.14LSB, 最大INL -0.14LSBの精度で多相クロックが生成できている事を確認した。

設計期間：2ヶ月以上、3ヶ月未満 **設計ツール**：Synopsys社 DesignCompiler, Synopsys社 ICOMPILER II, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre, Synopsys社 PrimeTime, Synopsys社 Formality, **トランジスタ数**：10,000~100,000 **試作ラン**：ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別**：アナデジ混載



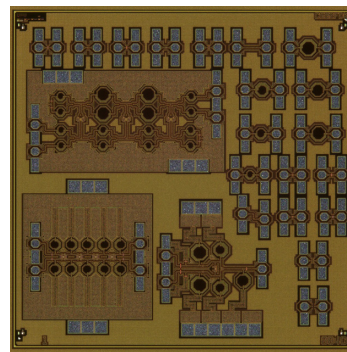
20-28 GHz帯に対応した広帯域・高出力高周波回路

東京理科大学大学院創域理工学研究科 橋本 琉威, 鎗谷 将太郎, 日野 優斗

東京理科大学創域理工学部 高野 恭弥

概要: 本研究では, 高出力電力と広い周波数可変範囲を両立した20 GHz帯の注入同期型周波数分周器, 分布型差動増幅器, 28 GHz帯の双方向増幅器を開発した. 注入同期型周波数分周器では, 出力向上のため, バッファにはゲート幅の大きいnMOSFETを採用し, これに伴って低下したチューニングレンジの補償には広可変容量範囲を有するバラクタを用いた. また, 分布型差動増幅器においては, 広帯域動作の実現を目的とし, nMOSFETのゲート・ドレイン間の寄生容量を打ち消すため, ソース接地差動入力構成にクロスカップルキャパシタを導入して容量中和を行った. さらに, バイアスのかけ方を工夫し, 帯域の改善を図っている. 加えて, 双方向増幅器においては, 配線損失を低減することで全体の性能を向上させた. 双方向動作はバイアスの切り替えによって可能であり, nMOSFETのクロスカップリングによって寄生容量を中和する構成を採用している.

設計期間: 6ヶ月以上, 7ヶ月未満 **設計ツール:** Cadence社 Virtuoso, TOOL社 Lavis, Mentor社 Calibre, Keysight社 ADS, **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 通信 (RF回路, ATMなど)



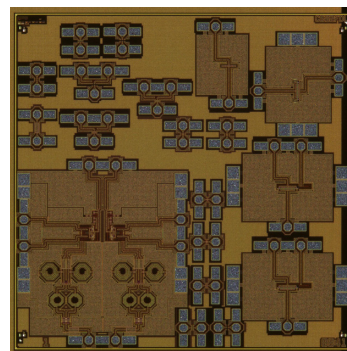
能動電流等化を用いた広帯域スタックFET増幅器, インダクタピーキングを用いた広帯域能動バラン

東京理科大学大学院創域理工学研究科 西 雄大, 畑田 修治郎

東京理科大学創域理工学部 榎田 洋太郎, 高野 恭弥

概要: スタックFET増幅器 (SFA: stacked FET amplifier) は, 上段FETのゲートから上下段FETの段間にゲート電流が流れ込むため, 高い周波数では最終段FETのドレイン電流の振幅が減少し, 出力振幅が小さくなり, 利得が低下する. これに対し, 受動素子によるドレイン電流間の電流等化により利得低下を抑える構成が報告されているが, 等化にインダクタンスまたはキャパシタンスを用いるため, 狭帯域動作となり帯域が減少する問題がある. このため, 原理的に広帯域動作が可能な能動素子を用いた電流等化によるSFAを提案し, その設計・試作を行った. 合わせて, データバランの出力部にインダクタピーキングを用いることにより広帯域化を図る能動バランの設計・試作を行った.

設計期間: 1ヶ月以上, 2ヶ月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Keysight社 ADS, **トランジスタ数:** ~10 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 通信 (RF回路, ATMなど)



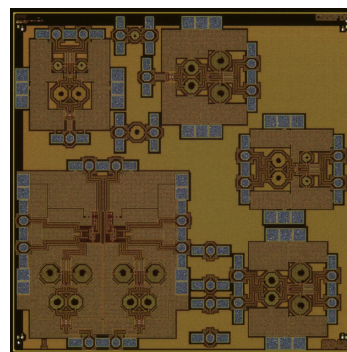
ADH-EIF方式ADC帯域ダブル用ミキサ, インダクタピーキングを用いた広帯域能動バラン

東京理科大学大学院創域理工学研究科 井原 光貴, 畑田 修治郎

東京理科大学創域理工学部 榎田 洋太郎, 高野 恭弥

概要: 光通信における次世代の超高速データ伝送を実現するためには, 広帯域かつ高性能なアナログ-デジタル変換器 (ADC) の開発が不可欠である. 本研究では, アナログとデジタルのハイブリッド処理によって理想的な帯域特性を実現するアナログ-デジタルハイブリッド等価理想フィルタ (ADH-EIF: Analog-to-Digital Hybrid Equivalent Ideal Filter) を活用し, ADCの帯域を倍増させる技術 (帯域ダブル) に関する検討を行っている. 具体的には, ミキサ回路としてギルバートセルの構造を基盤とし, その上段差動対にクロスカップルキャパシタ (CCC: Cross-Coupled Capacitor) を導入することでADH-EIF方式に適した帯域ダブル用ミキサの設計と試作を行った. 回路シミュレーションの結果, 提案するギルバートセル型ミキサは, 最大32GHzの広帯域な周波数領域に対応可能であることが確認された. さらに, 出力段にはインダクタピーキング技術を適用することで, 周波数特性の改善とより一層の広帯域化を実現し, 能動バランを搭載した回路として完成度を高めている.

設計期間: 1ヶ月以上, 2ヶ月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Keysight社 ADS, **トランジスタ数:** ~10 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 通信 (RF回路, ATMなど)

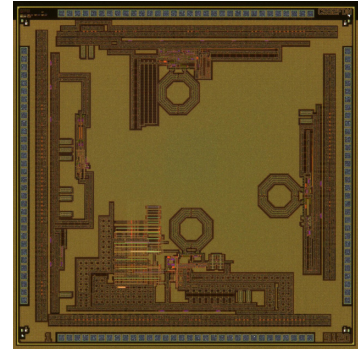


2.5GHz動作CDR-PLL, 高速ロックFractional-N PLLおよびジッタ検出回路TEG

大阪工業大学大学院工学研究科 電気電子機械工学専攻 野中 拓磨, 岡田 康宏, 大槻 祥太郎
大阪工業大学工学部 電気電子システム工学科 吉村 勉

概要: 昨年試作したCDR-PLLテストチップの評価結果を踏まえ, 今回, 疑似ランダムパタンの段数に依存しにくいCDR-PLL回路の試作を行った. リニア型位比較器においてUP/DOWNのパルス発生のタイミングを調整することによりデータ遷移が長時間発生しない入力パターンでの制御電圧の変動を抑制する構成とした. 同様に前回試作したFractional-N PLLの改訂版として, 前回同様MASH 1-1 $\Delta\Sigma$, Over clockingやTwin-T Notchフィルタ等の構成と合わせて, プルイン時のロック時間を短縮するためのシフトギア方式を導入した. また, 前回試作したジッタ検出回路の改訂版として, ジッタ値をより安定した電圧出力に変換できるように帰還経路を再設計したTEGを実装した.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre, Synopsys社 Hercules, Synopsys社 HSPICE (RF), Keysight社 ADS, **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



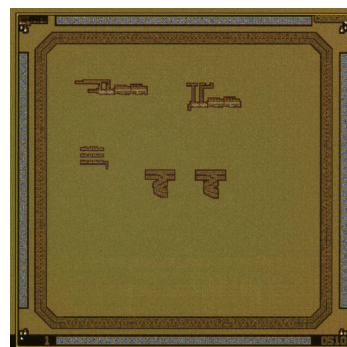
ニューロンCMOSインバータ型可変論理回路の実用化に向けたアナログ回路の設計

東海大学情報通信学研究科 古川 大鷹, 穂刈 成晃, 長谷川 達也

東海大学情報通信学部 福原 雅朗

概要：本試作では、科研費「CMOSインバータによる低電力型可変論理回路の実用に向けた研究」の一貫として、この提案可変論理回路を安定化するための回路である「フローティングゲートキャリブレーション回路 (FGC)」の有効性を確かめるために (1) ニューロンCMOSインバータを用いたFGC付き全加算器, (2) ニューロンCMOSインバータを用いたFGC付き全減算器, (3) ニューロンCMOSインバータを用いたFGC付きWTA (Winner-Take-All) 回路を搭載した。また、提案可変論理回路に使われるメモリ機能の動作を検証するため (4) None-Precharge型ハミング距離検出回路, (5) SRAMを設計した。さらに、提案可変論理回路のアナログ電圧を計測するため、ボルテージフォロアを設計した。Neuron CMOSインバータを用いた回路 (1,2,3) は従来のCMOS回路よりも大幅に少ないトランジスタ数で演算が可能となっている。(4) の回路はメモリからデータを読み出す際にビット線のプリチャージが不要であるため、動作の高速化を実現している。本回路を、HSPICEシミュレーションによる動作検証を行い、チップを試作した。

参考文献：[1] R. Ohtsuka, Hayato Yagi, Masaaki Fukuhara, and Kuniaki Fujimoto, "Analysis by FPD for Neuron CMOS Variable Logic Circuit with FG Calibration," ICIC Express Letters, Vol.14, No. 10, pp.985-982, October 2020. 設計期間：10人月以上 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Synopsys社 HSPICE (RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナデジ混載



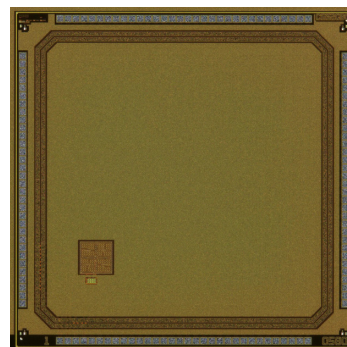
同相雑音を低減可能な全差動増幅回路の試作

山梨大学大学院医工農総合教育部修士課程 石上 拓也, 中村 航太

山梨大学大学院総合研究部工学域 佐藤 隆英

概要：集積回路において同相雑音の影響を低減するには、全差動構成の回路の使用が有効である。しかし、回路の対称性が崩れると、同相雑音は差動出力として現れ、回路の信号対雑音比が悪化する要因となる。この現象を低減するため、差動構成の回路内に、意図的に対称性を調整可能な素子をあらかじめ内蔵する構成を提案している。これにより、製造時に生じた非対称性を補償し、回路の対称性を回復させることが可能となる。さらに、同相雑音と差動信号が同時に加わる実使用環境において、バックグラウンドでの校正を可能としている。本試作では、提案構成を増幅回路に適用する際に必要な要素回路を試作を行い、各ブロックが所望の動作可能であることを確認している。提案構成は商用電源由来の同相雑音を大きく受ける用途の他、スイッチングコンバータなど大きな同相雑音を発生させる回路ブロック周辺での使用を想定している。

参考文献：中村, 佐藤, 小川, "CMCPを用いた2電極心電信号増幅回路における差動出力に現れる同相雑音の低減" 電気学会研究会資料 電子回路研究会, ECT-25-014-023, pp.1-6, 2025年3月 設計期間：0.5人月以上, 1人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), トランジスタ数：10~100 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



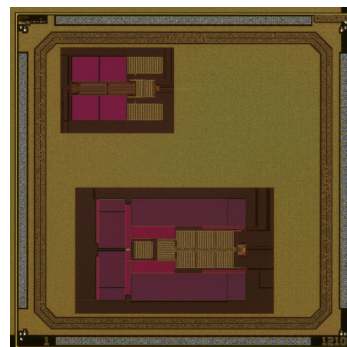
ウェアラブル機器に向けた低電源電圧OTAとそれを用いた低消費電力 $\Delta\Sigma$ 変調器

東京電機大学大学院工学研究科 丸山 尚哉

東京電機大学工学部 小松 聡

概要：近年、身体に装着し生体信号の観測を行うウェアラブル機器の需要が高まっている。ウェアラブル機器はバッテリーで駆動されることから、それに搭載される $\Delta\Sigma$ 変調器 (DSM) には低消費電力が求められる。また、生体信号は直流から、数十kHz程度の周波数帯域であるため、変調器に搭載されるGm-C積分器には低いトランスコンダクタンスGmを持つOTAが必要である。そこで低いGmを持つOTAが提案されたが、増幅器を2つ使用するため消費電力が大きい。OTAの電力の削減の方法の一つに低電源電圧駆動がある。しかしながら、提案されたOTAの低電源電圧での動作は入力電圧範囲の減少を招く。そこでこのチップではバルク入力を利用し、低電圧で低いGmを実現したOTAとそれを利用した低電圧DSMを試作した。試作したチップを用いた容積脈波の測定を行い、試作したチップが容積脈波の概形の再現をしたことを確認した。

設計期間：1人月以上, 2人月未満 設計ツール：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Synopsys社 HSPICE (RF), トランジスタ数：100~1,000 試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ チップ種別：アナログ (PLL, A-D/DC-DCコンバータなど)



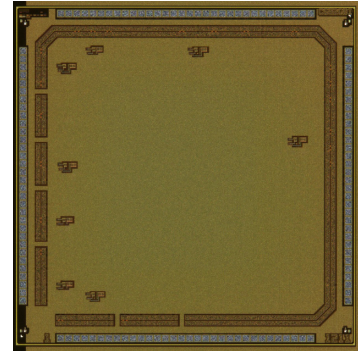
電源電圧依存性を改善したPTAT温度センサ回路

東京電機大学大学院工学研究科 新井 理巧

東京電機大学工学部 小松 聡

概要：ICチップ内部の温度をモニタリングするため、オンチップ温度センサとしてPTAT (Proportional To Absolute Temperature) 回路がある。絶対温度に比例する電圧、電流を生成する回路であり、本研究では、従来回路と比較して温度特性を変化させずに電源電圧依存性を改善したPTAT回路を目的とした。オペアンプを使用しない従来のPTAT回路では電源電圧に対する出力電圧の変動が大きい。オペアンプを使用したPTAT回路では、消費電力やノイズの課題がある。今回試作した回路では、オペアンプを使用せず、電源電圧依存度を低くした構成を提案した。今回のチップ試作では、弱反転領域で動作するMOSSFETを使用したPTAT温度センサ回路の設計を行った。設計にはROHM社の0.18 μm CMOSプロセスを使用した。試作したチップの測定では243 K – 400 Kの範囲でPTAT特性を確認でき、電源電圧に対する依存度の改善を確認した。

設計期間：1人月以上、2人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Synopsys社 HSPICE (RF),
トランジスタ数：100~1,000 **試作ラン：**ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)

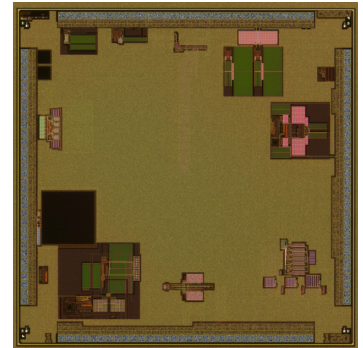


IoTのためのアナログ回路TEG

広島工業大学工学部 升井 義博

概要：IoT社会では、アナログICが「デジタルシステムの感覚器官」として不可欠となる。今後の課題は、さらなる低消費電力化とコスト削減だと考えている。また、IoTの研究・開発・実用化に伴い、無線センサーネットワークの利用が開始されつつある。最近の無線センサーネットワークでは信号通信用の配線だけでなく、電源配線の無線化もすすみつつある。特にセンサ系回路においてはアナログ回路の性能改善が重要である。そのような背景を受け、本試作ではエネルギーハーベストを電源とし、無線センサーネットワークでの利用を想定したアナログ要素回路の試作を行った。低電圧駆動、低消費電力というテーマで0.18 μm CMOS プロセスを用いたアナログ回路TEGとして以下の回路を集積した。基準電圧生成回路、照度センサ、温度センサ、電流センサ、ホール素子を利用した磁気センサ、低電圧で動作可能な逐次比較型ADC等。その他として、LED照明(可視光)を利用した通信のための送受信回路も集積した。

設計期間：5人月以上、6人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数：**100,000~1,000,000
試作ラン：ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別：**アナログ/デジタル信号処理プロセッサ

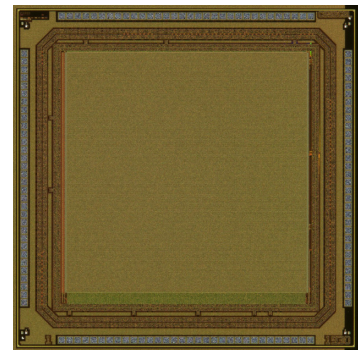


様々なアナログ回路の入出力特性を測定可能なCMOSイメージセンサ

東京理科大学大学院工学研究科 迫田 隼人

概要：本チップは、VDEC環境下でのチップ設計の基本技術を取得するために設計された。イメージセンサ回路の他に基本的なCMOSアナログ回路を集積しており、CMOSイメージセンサの初学者が本チップを用いることで、イメージセンサの動作原理とアナログ回路の諸特性を同時に理解することを目的としている。本チップは、中央部分にイメージセンサの画素アレイと垂直および水平シフトレジスタがあり、その周囲に様々なアナログ回路が集積されている。イメージセンサは縦256×横256画素であり、標準的な3トランジスタ構成の画素回路(リセットTr, 増幅Tr, 行選択Tr)を用いている。画素サイズは縦7 μm ×横7 μm であり、開口率は30%である。イメージセンサの周囲に集積されているアナログ回路は、インバータ、オペアンプ、ソースフォロア、画素読み出し回路である。画素読み出し回路は、フォトダイオード1つとNMOSソースフォロア1段、PMOSソースフォロア1段で構成されており、1画素(反転型)の入射光量に対する出力を測定することができる。今後は、評価用基板とFPGAを用いて実機検証を行う予定であり、イメージセンサと測定用アナログ回路それぞれの動作確認を行う。

設計期間：2人月以上、3人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre,
トランジスタ数：10,000~100,000 **試作ラン：**ローム CMOS 0.18 μm 2.5mm角チップ **チップ種別：**イメージセンサ/スマートセンサ

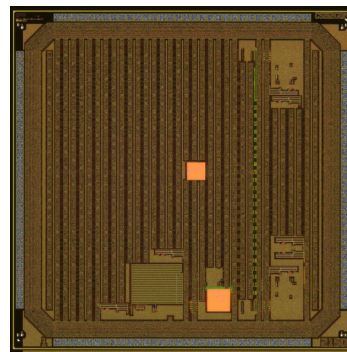


デジタル遅延線を用いたDLLとクロック伝送方式検証テストチップ

富山県立大学大学院電子・情報工学専攻 吉河 武文, 長崎 慎也

概要: 前回の試作で提案した遅延レンジを拡張可能なデジタル遅延線を用いて Delay Locked Loop (DLL) を試作した。遅延レンジを自由に設定できるので、所望の周波数のクロックに同期する DLL を容易に設計することが出来る。また、この DLL は高分解能を併せ持つので、それなりの性能の Time to Digital 変換が可能となる。位相比較方式は、bang-bang タイプのものを使用した。また、この遅延線の Phase Interpolator を利用して、長距離のクロック配線を可能にするクロック分配方式を提案し、チップ上に構成した。3mm くらいの距離を根本と先端で位相を揃えてクロックを分配することが出来る。また、Phase Interpolator の設定により、所望の位相差を印加することもできる。

参考文献: Semih Ramazanoglu; Okan Zafer Batur, 'Switched Capacitor Variable Delay Line', In: 2018 IEEE International Symposium on Circuits and Systems (ISCAS), 27-30 May, 2011 **設計期間:** 1人月以上, 2人月未満 **設計ツール:** Cadence社 Xcelium, Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナデジ混載

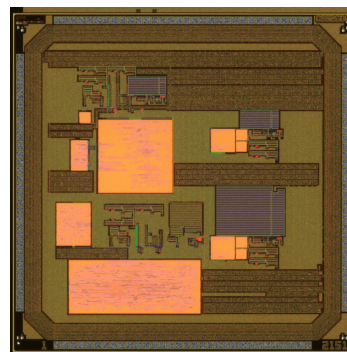


モード多重伝送を実現するトランシーバ改良版

富山県立大学大学院電子・情報工学専攻 吉河 武文, 先田 涼真

概要: 昨年度に試作したモード多重伝送方式を用いたケーブルによる高速デジタルデータ伝送を実現するトランシーバの改良版である。モード多重伝送は、シールドされた4線ケーブルを想定し、伝送線路上の電信方程式において4種類の固有モードを割り当てるために、各モードで電圧を規定している。計算による最適化の結果、4値の電圧値が算出され、その4値のデータを出力可能なトランスミッタと、トランスミッタからの4値出力を受信可能なレシーバを設計試作した。本試作では、トランスミッタにおけるドライバの改良のために、ドライバのトポロジを相補型とし、出力電圧が変化する際のスイッチングノイズを大幅に軽減した。その代償として、ドライバに要する電力はほぼ倍になる。今回の試作は、モード多重伝送方式の実効性を検証することを第一義としたので、伝送信号品質の伝送に重点を置いた。

参考文献: T. Matsushima, T. Sato, Y. Fukumoto and N. Kuwabara, "Simulation of mode division multiplex transmission method in shielded four-wire cable." 2021 IEEE International Joint EMC/SI/PI and EMC Europe Symposium. IEEE, 2021. **設計期間:** 1人月以上, 2人月未満 **設計ツール:** Cadence社 Xcelium, Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナデジ混載



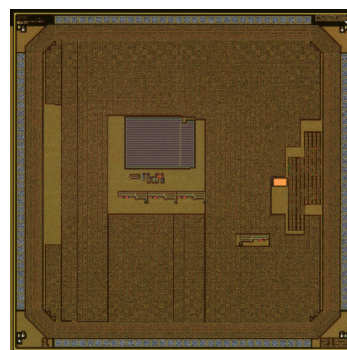
DLLによりループ帯域を拡幅したPLLの改良

富山県立大学大学院電子・情報工学専攻 吉河 武文

富山県立大学電子・情報工学専攻 水野 功務, 永末 玲央

概要: 昨年度に試作したPLLの改良版である。前回のPLLは、リファレンスクロックをDLLにより5位相に分割し、その位相分割したリファレンスクロックに対して位相周波数比較を実施することによりリファレンスクロックの周波数を実質的に5倍にしループ帯域設定を拡幅可能としていた。本試作では、PLLのクロック品質を改善するために、i) Down信号の生成方法の見直し、ii) Delta-Sigma Modulatorの合理化、iii) CP電流とVCOゲインの最適化、iv) ループフィルタのアクティブ化、を実施した。チップ面積の増加はない。実測したところ、出力クロックの周波数変動は32%、周期ジッタは36%の改善がみられた。

参考文献: R Nagasue, I Mizuno, R Kishida, T Iwata and T Yoshikawa, "A Fractional-N PLL for Multi-phase Clock Generation with Loop Bandwidth Enhancement", 2024 IEEE International Symposium on Circuits and Systems (ISCAS), 2024 **設計期間:** 2人月以上, 3人月未満 **設計ツール:** Cadence社 Xcelium, Synopsys社 ICSCompiler II, Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm 角チップ **チップ種別:** アナデジ混載

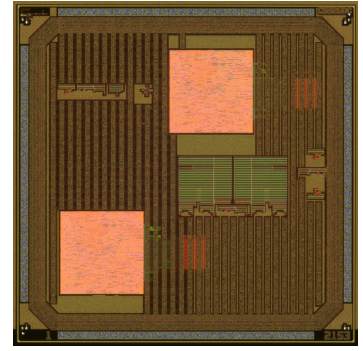


階層的魔法陣配列を用いた電流加算型 DA コンバータ

富山県立大学大学院電子・情報工学専攻 吉河 武文, 竹内 悠, 中村 巧未

概要：8ビット入力の電流加算型 DA コンバータ (DAC) を試作した。内部に16列16行の電流セルを配置し、この電流セルアレイにおいてデジタル入力に応じてオンする電流セル数を変化させて出力電流を決める。そして、電流セルアレイからの出力電流をトランスインピーダンスアンプで電圧に変換し、その電圧を2次のサレンキー型ローパスフィルタでフィルタリングして、バッファアンプを関して外部に電圧出力する。今回は、上記電流セルアレイにおいて、階層的魔法陣配列を採用した。これは、4行4列の電流セルアレイを基本とし、その中で魔法陣の配列で電流セルを随時オンさせる。そして、基本電流セルアレイにおいても、4行4列の構成となるので、その中でも魔法陣配列のアルゴリズムを適用する。このように階層化することによって、16行16列での処理が実質4行4列の処理に集約されるので、デジタル回路が単純化される。

参考文献：D. Yao, and H. Kobayashi, "DAC Linearity Improvement Algorithms Using Randomization Methods," Gunma University, PhD Dissertation, March. 2023 **設計期間**：2人月以上, 3人月未満 **設計ツール**：Cadence社 Xcelium, Synopsys社 ICCompiler II, Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数**：100~1,000 **試作ラン**：ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別**：アナデジ混載

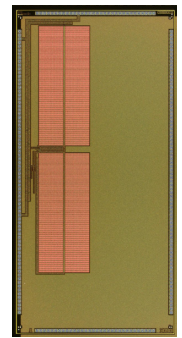


極低電圧バッテリー充電器用チャージポンプの設計

早稲田大学大学院情報生産システム研究科 丹沢 徹

概要：近年、注目されている電力変換システムのエネルギーハーベスティングは、太陽光や熱、振動といった環境から得られるエネルギーを環境発電素子 (ET: Energy transducer) によって電力変換をして、IoTセンサなどのデバイスを駆動するものである。ETから得られる電力は環境に依存するため、得られる電力が不安定である。そこで、バッテリー併用によって回路動作を安定化する研究が行われている。ETの電力をチャージポンプで昇圧しバッテリーを受電する充電器において、発振器とチャージポンプ内のスイッチングトランジスタのゲートをバッテリーで駆動することでETの解放電圧下限を下げる。バッテリー電圧1.5Vにおいて、制御回路ロス差を差し引いても正味の出力電力が得られる入力下限電圧をできるだけ下げることが目標とした。回路モデルとSPICEシミュレーション結果から段数60段で60mVの可能性を確認した。初段から30段目までのスイッチをNMOSで、31段目から最終段をPMOSとすることで、バッテリー電圧1.5Vのみでトランジスタを線形領域で動作させる。MIMキャパシタの密度基準のため、回路サイズの二倍のチップサイズが必要になった。

参考文献：樋口 愛莉, 丹沢 徹, 100mV以下の電源から1.5Vバッテリーを充電するチャージポンプの設計, 電子情報通信学会総合大会 2024年3月. **設計期間**：1人月以上, 2人月未満 **設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数**：100~1,000 **試作ラン**：ローム CMOS 0.18 μ m 2.5mmx5.0mmチップ **チップ種別**：アナログ (PLL, A-D/DC-DCコンバータなど)



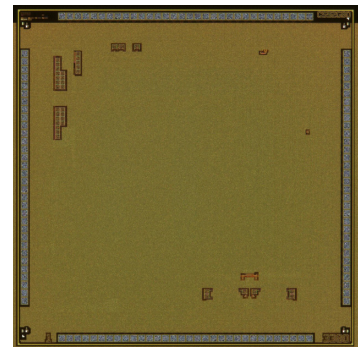
単一細胞インピーダンス計測のためのアナログ集積回路

立命館大学理工学研究科電子システム専攻 北原 可奈子, 大島 智也, 久寿居 光希

立命館大学理工学部電気電子工学科 宇野 重康

概要：CMOSチップ上の微小電極を用いて単一細胞のインピーダンス測定を行うためのアナログCMOS集積回路を設計した。回路は Trans-impedance Amplifier (TIA), Gilbert-cell type differential mixer (GC), Instrumentation amplifier (InsAmp), そして SAR型 Analog-digital converter (ADC) を含んでおり、従来設計したものの精度と動作範囲を改善するものを搭載した。それぞれの部分回路を個別に搭載して動作を確認するとともに、順次複数の回路ブロックを内部で接続したものを準備し、SAR型ADC部分を除く回路素子を組み合わせることにより、ダミーセルとして用いた抵抗素子および容量素子のインピーダンスの大きさと位相を十分な精度により測定できることを確認した。またSAR型ADCでは、3-bitのものではあるが正常な変換動作を確認した。今後はインピーダンス測定精度向上と測定可能バンド幅の拡大を目指すとともに、ADCではビット数拡大を目指す。

設計期間：9人月以上, 10人月未満 **設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数**：100~1,000 **試作ラン**：ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別**：アナログ/デジタル信号処理プロセッサ

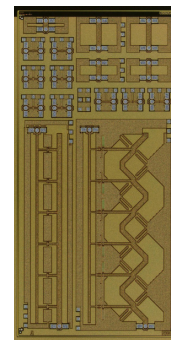


省電力光通信用受信回路の試作

九州大学大学院システム情報科学府 西村 結良, 賀 正陽

概要: 光通信用受信回路のCMOSによる実現の課題は、広いダイナミックレンジを低電力に実現することにある。入力の光パワは100倍程度のレンジがあり、レンジ全体で線形増幅が求められるとともに、高い信号対雑音比を実現する必要がある。また、通常の電流切り替え型回路では消費電力が大きいため、適宜CMOSインバータ構成を用いて省電力化を行うが、貫通電流が流れているバイアス点に動作点を固定するためのしきい電圧補償回路が必要となる。今回は光アクセス網に用いる瞬時応答型受信回路 (TIALA+LA) と、オーソドックスなTIALA恒星の回路にインバータとしきい電圧補償回路を組み込んだものなど複数品種の試作を行った。同時にトランジスタの小信号特性を取得するためのTEGや抵抗の設計値からのズレを検出するために抵抗体なども搭載した。第1回試作の評価結果をフィードバックした再試作。

設計期間: 5人月以上, 6人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE (RF), Keysight社 ADS, **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mmチップ **チップ種別:** 通信 (RF回路, ATMなど)

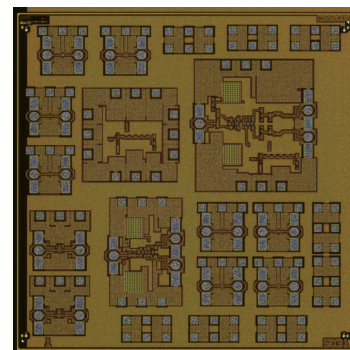


省電力光通信用送信回路の試作

九州大学大学院システム情報科学府 高森 啓志, Jiang Xinghan

概要: 光通信用送信回路は、前年度の第4回試作で実施したTEGのパラメータを用いて回路施策を行った。入力インピーダンスと出力インピーダンスが大きく異なる分布増幅器を設計するために、位相整合条件を満たしつつ入力50 Ω 、出力15 Ω 程度となる新しい回路構成を考案して試作を行った。本来は差動型にしなければならないが、いきなり差動型にした場合にチップ面積が大きくなりすぎるため、今回は湛増型の動作確認施策という形で実施した。同時に、瞬時にレーザのバイアス電流を制御する瞬時応答バイアス回路の試作も行っている。トランジスタはゲート幅を伸ばしたものは正常に動作しないことが分かったため、楳田先生の許可をいただいて1 μ mのゲート幅のものを並列接続したものを初めて用いた。

設計期間: 5人月以上, 6人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, Synopsys社 HSPICE (RF), Keysight社 ADS, **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 通信 (RF回路, ATMなど)



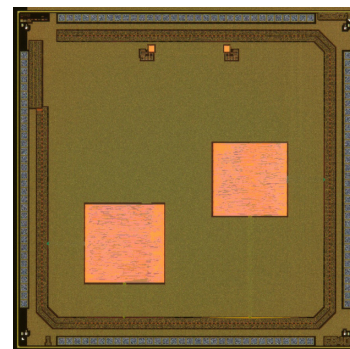
超音波ビームフォーミングのためのADDLLほか

慶應義塾大学工学部 中野 誠彦

慶應義塾大学大学院理工学研究科 森 瑞紀, サラ アルバロ

概要: 本試作では令和6年度第1回の試作にて設計したADDLLにおいてDNL誤差が大きい事、半周期遅延ではなく一周期遅延を等分したクロックを生成する事、以上2点の課題に対して改良を施したADDLLの設計を行った。第1回TOのADDLLでは入出力周波数が一致していたが、本設計では2倍の入力周波数とすることで遅延の監視点を1点から4点に増やす事でDNLとINLの改善を図ったほか、細かな修正が反映されている。出力周波数は変わらず4 MHzとした一方、入力周波数は8 MHzで、一周期遅延を16等分した遅延クロックをピンに引き出した。実測により、最大DNL -0.08LSB, 最大INL -0.13LSBの精度で多相クロックが生成できている事を確認した。今後も高精度な多相クロック生成を目指し改良を続ける予定である。

設計期間: 4人月以上, 5人月未満 **設計ツール:** Synopsys社 DesignCompiler, Synopsys社 ICOMPILER II, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre, Synopsys社 PrimeTime, Synopsys社 Formality, **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナデジ混載



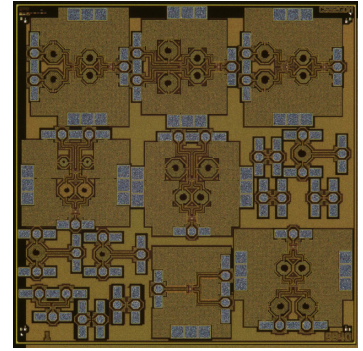
Tコイルピーキングを用いた広帯域能動バラ

東京理科大学大学院創域理工学研究科 畑田 修治郎

東京理科大学創域理工学部 榎田 洋太郎, 高野 恭弥

概要: 本研究では, Tコイルを用いた出力バッファを付加することで, 高利得かつ広帯域な動作を実現するバランの設計および試作を行った. Tコイルは結合インダクタンスを活用した構成であり, 従来のインダクタに比べて回路の小型化が可能であるとともに, 広帯域整合が容易に実現できるという利点を持つ. 本設計では, 特にクロック信号の分配において高性能が求められる応用を想定し, クロックバラン回路の開発に取り組んだ. 設計後, 実際に試作チップを作製し, 測定によってその性能を評価した結果, 得られた利得は2.6 dB, -3 dB帯域幅は12.5 GHzに達した. さらに, 帯域幅 (B.W.) とトランジスタの最大発振周波数 (f_{MAX}) との比である $B.W./f_{MAX}$ は0.19となり, これは同様の回路構成を対象とした先行研究と比較しても高い値である. この結果は, Tコイルの採用が回路性能の向上および実装効率の観点から有効であることを示しており, 高速・広帯域アナログ回路設計における有力な手法となることが期待される.

設計期間: 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Keysight社 ADS, **トランジスタ数:** ~ 10
試作ラン: ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 通信 (RF回路, ATMなど)



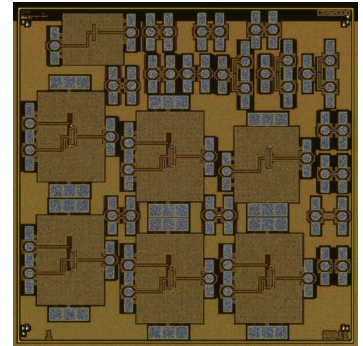
能動電流等化を用いた広帯域スタックFET増幅器

東京理科大学大学院創域理工学研究科 西 雄大

東京理科大学創域理工学部 榎田 洋太郎, 高野 恭弥

概要: スタックFET増幅器 (SFA: stacked FET amplifier) は, 高電圧動作が可能であるという利点から高周波アプリケーションにおいて広く用いられているが, 高い周波数領域では出力振幅が減少し, それに伴って利得が低下するという課題が存在する. これに対し, 従来は受動素子を用いて各段のドレイン電流間の電流を等化し, 利得の低下を抑制する回路構成が提案されている. このような方法では, インダクタやキャパシタといった受動素子を用いるため, 動作帯域が限定されるという欠点があり, 広帯域化が困難であるという問題が指摘されている. 特に, これらの受動素子が形成する共振構造により, 整合可能な周波数範囲が狭くなる傾向がある. こうした背景のもと, 本研究では, 原理的に帯域幅の縮小を引き起こさない新たな構成として, 能動電流等化を用いたSFAの設計と試作を行った. 能動素子を活用することで, 各段のFETに流れる電流を高精度に制御でき, 利得の周波数依存性を大幅に改善することが可能となる. 本試作では, 特に上段FETを効率的に駆動するための前段回路の最適化を行った.

設計期間: 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Keysight社 ADS, **トランジスタ数:** ~ 10
試作ラン: ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 通信 (RF回路, ATMなど)



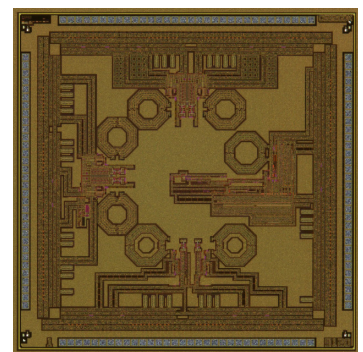
PLL相互干渉ノイズ低減検証TEGおよび 低スプリアスFractional-N PLL

大阪工業大学大学院工学研究科 電気電子機械工学専攻 大槻 祥太郎, 林 雅美, 喜多見 陸, 野中 拓磨, 岡田 康宏

大阪工業大学工学部 電気電子システム工学科 吉村 勉

概要: 昨年度の評価結果を踏まえ, 2種類の位相同期回路相互干渉低減機構の検討TEGを試作した. 方式として電流インジェクションと電磁カップリングインジェクションの2つを実装し, 電流インジェクションTEGにはジッタ検出回路も内蔵することで, オンチップで相互干渉の定量的な測定を可能とした. 相互インジェクション信号として2.5GHz発振出力を直接使用することで, 効率向上とスプリアス低減を図る. またFractional-N PLLにおいて, 従来から課題となっている出力クロックのスプリアスを, アナログ手法をベースとしたコンパクトな回路で低減する機構を設計・試作した. ドライバ回路では, レーザのI-V特性における非線形性を補償するため, アクティブインダクタを用いた逆特性生成回路を送信信号に重畳する非線形性補償回路を検討した. 提案回路を適用することで, より広いダイナミックレンジで線形性指標RLMを改善し, IEEE 802.3に準拠した良好な線形性特性を実現する見通しを得た. EDC回路では, 従来の2値符号対応EDCを縦積みしたスタック構造のEDC回路とすることで, 中間レベルを持つPAM4符号を効果的に波形等化するスタック型部分等化技術を検討した. 今後, 試作ICの詳細評価を行う.

設計期間: 3人月以上, 4人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre, Synopsys社 Hercules, Synopsys社 HSPICE (RF), **トランジスタ数:** ~ 10 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)



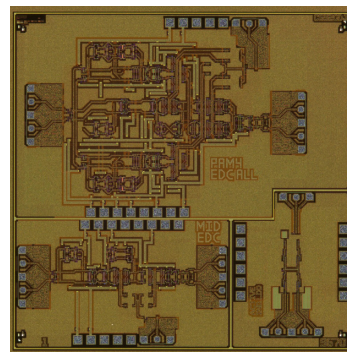
光送信・受信用アナログフロントエンド回路 TEG11

岐阜大学大学院自然科学技術研究科 石田 翔悟, 大鹿 純聖

岐阜大学工学部 伊藤 大輔, 中村 誠

概要: 光通信システムの高速度大容量化, 長距離な伝送特性が求められており, 情報通信機器の増加による消費電力や装置占有面積の増加も喫緊の課題である. これまでの試作で, アナログフロントエンド回路であるTIA (Transimpedance Amplifier) の広帯域・低雑音特性を小型で実現するインダクタレス回路技術を検討してきた. 今回の試作では, レーザの非線形性を補償する高速PAM4ドライバ回路及びスタック型部分等化技術によるPAM4符号対応EDC (Electrical Dispersion Compensation) 回路を検討し試作を行った.

参考文献: [1] 大鹿純聖, 石田翔悟, 伊藤大輔, 中村誠, “高速PAM4信号対応非線形性補償VCSEL ドライバ回路の検討,” 電子情報通信学会論文誌A, 2025年5月. **設計期間:** 4人以上, 5人未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre, Synopsys社 HSPICE (RF), **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 通信 (RF回路, ATMなど)



レジスタブリッジ型並列二値CNN計算回路

埼玉大学大学院理工学研究科 伊藤 和人

概要：機械学習で用いられる畳み込みニューラルネットワーク (CNN) は、入力データと重みカーネルの間の畳み込み計算を大量に実行し、計算回路の小型化と高速化が求められている。データと重みのビット幅を小さくすると畳み込み計算の演算回路が単純化でき、その一方で推論精度は大きく低下しないことが知られている。その極限としてデータと重みを1ビット (値+1または-1) とする二値CNNが存在する。本試作チップでは、それぞれが積和計算を実行する8個の演算素子 (PE) を一次元的に並べて、並列に畳み込み計算を行う。畳み込み計算では入力データと重みは共通部分が多く、その再利用のためにはPE間で入力データと重みの授受が必要となる。PE間に両側のPEから読み書き可能なレジスタを配置したレジスタブリッジ (RB) 型アーキテクチャと、PE間にデータ配線のみがある従来の規則的分散レジスタ (RDR) 型アーキテクチャのそれぞれに基づいた2種の並列畳み込み回路を設計した。RB型ではPE間レジスタが共通データを両側PEに提供する作用があり、RDR型と比べて実行クロック数を増やさずにレジスタ数を削減して面積が小型化することを確認した。なお、外部メモリから読み込んだデータと重みの再利用を図るためのオンチップバッファも設計し、試作チップに搭載している。

設計期間：3人月以上、4人月未満 **設計ツール：**Synopsys社 DesignCompiler, Synopsys社 ICACompiler II, Mentor社 Calibre, Mentor社 ModelSim, **トランジスタ数：**1,000,000~10,000,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mmx7.5mm チップ **チップ種別：**演算回路 (乗算器, 除算器など)



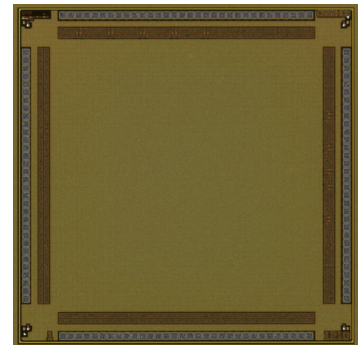
音声向けVCO-ADCのための高い線形入力範囲をもつVCOの試作

東京電機大学大学院工学研究科 野口 泰寛

東京電機大学工学部 小松 聡

概要：音声認識等の機能は、常にマイクをアクティブにしておく必要がある為、マイクと共に搭載される Analog-to-Digital Converter (ADC) が低消費電力であることが重要である。この為信号情報を時間領域に置換することで、理論上低電源電圧時でも分解能の劣化が少ないVCO-based ADCに着目した。マイク向けのADCとしては高いダイナミックレンジも重要であるが、VCO-based ADCの課題として電圧制御発振器 (VCO) の電圧-周波数 (V-F) 特性の非線形性があり、これがダイナミックレンジや分解能の劣化をもたらす。そこで本チップでは線形性の改善に向けて、入力部に電圧-電流変換器を追加した。入力された電圧を線形に電流に変換し、その電流によって発振器を駆動することで、線形なV-F変換特性を実現した。今後は線形な特性を持つVCOをより低電源電圧にて実現することを目指す。

設計期間：1人月以上、2人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Synopsys社 HSPICE (RF), **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)

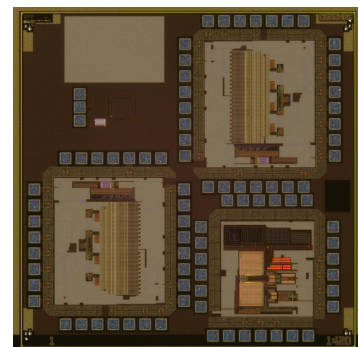


Flash ADC, NIRS System, LC閉回路

芝浦工業大学工学部 佐々木 昌浩, 細田 稀石, 郷橋 祐樹, 土田 和暉

概要：本試作では異なる複数の回路を実装している。1つ目の回路は6-bit Flash ADCで、電圧を時間差に変換する Voltage-to-Time Converterを利用している。入力電圧を時間領域で高速に処理し、時間差検出回路を介して6ビット分解能のデジタル値に変換しており、これにより数GHz帯でも高精度・低ジッタなA/D変換を実現している。2つ目の回路は、先述の6-bit Flash ADCのPreamplifierを改良し低消費電力化した回路である。3つ目の回路はNIRS計測用受光回路である。この回路はAPDを用いて微弱な生体光を高感度に電流変換し、専用の外乱光除去フィルタ回路により環境ノイズを排除している。これによって、高精度な生体光の測定を可能にしている。4つ目の回路は、LC共振素子をフィードバックループ内で動作させる閉ループ制御回路と、その動作確認用テスト回路である。閉ループ回路は共振周波数や位相応答を高精度に制御することができる。本回路は、測定用基板を必要とせずパッドにプローブを接続することで特性の測定が可能となっている。

設計期間：4人月以上、5人月未満 **設計ツール：**Cadence社 Xcelium, Cadence社 GENUS, Cadence社 Innovus, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre, Synopsys社 HSPICE (RF), Keysight社 ADS, **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)

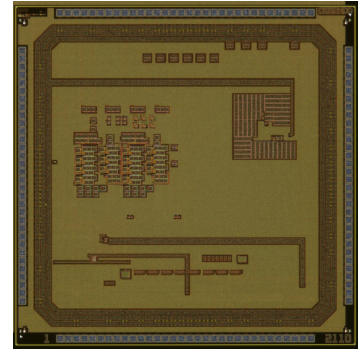


ニューロモルフィックデバイスと心電図自動診断補助用ICの実装

日本大学理工学部 佐伯 勝敏, 坂田 将哉, 南部 祐紀, 飯泉 裕陽, 高橋 ひと葉

概要: 心電図は心臓の状態を推定し、診断するために役立つ。現在、心電図を読む際、医師が読む場合と自動診断を使う場合がある。心電図自動診断は主にソフトウェアで動作することが多い。本チップでは、ハードウェアのみを用いて心電図自動診断補助を行うことを目的に、心電図波形整形部と異常検知回路を搭載し、実測、評価を行った。ニューロモルフィックデバイスの実装として、まず、テオ・ヤンセン機構を用いた4足歩行ロボットを動作させるため、腰部駆動回路を搭載することでスムーズな動作を可能とすることを目的に研究を行っている。本チップはその制御部となるICを設計し、モーター追従能力と不整地に適応した運動パターンと歩行速度を選択可能な歩行制御システムを構築した。次に、不整地で動作可能な2足歩行ロボット用CPG (Central Pattern Generator) を設計することで複雑な計算無しに動作可能なICを設計し、搭載した。さらに、ロボット制御にも使用可能な入力電圧を変化させることで出力周波数を制御可能な電圧制御発振器を設計し、搭載した。小面積、広帯域、低消費電力なチップを設計した。

設計期間: 4人月以上, 5人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE (RF), **トランジスタ数:** 1,000~10,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナデジ混載



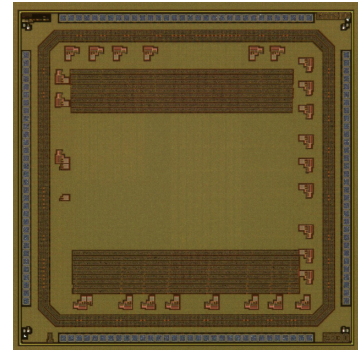
搭載した。さらに、ロボット制御にも使用可能な入力電圧を変化させることで出力周波数を制御可能な電圧制御発振器を設計し、搭載した。小面積、広帯域、低消費電力なチップを設計した。

内部状態観測可能な2変数スパイクングニューロン回路

東北大学電気通信研究所 堀尾 喜彦, 織間 健守

概要: サブスレッショルド電圧で駆動可能な2変数スパイクングニューロン回路は、超低消費電力が求められるエッジAIデバイスなどへの工学的応用が期待される。そこで、本チップでは2変数スパイクングニューロン回路およびその回路を構成するカレントミラーなどのTEGも同時に実装し、サブスレッショルド電圧領域での動作確認および有効性を検証する。これまでの2変数スパイクングニューロン回路では、ニューロンの内部状態を保持するコンデンサ容量の値が小さいため、直接的な観測が困難であった。そこで、内部状態を観測するためのパッファを新たに追加した。それらの回路特性を測定すると共に、スパイクングニューラルネットワークの構築やカオス特性を利用したスパイク生成器へと応用する。さらに、内部状態の観測は、時空間学習則シナプスの実装に必要な不可欠であり、これまで達成できなかった時空間文脈学習・記憶ネットワークモデルへの応用が可能となった。

参考文献: Takemori Orima, Katsunori Ito, and Yoshihiko Horio, "A hardware emulator for spatiotemporal contextual learning and memory network model," in Proc. International Symposium on Nonlinear Theory and Its Applications, pp. 550-553, 2024. **設計期間:** 1人月以上, 2人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** 10~100 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** TEG (特性評価回路など)

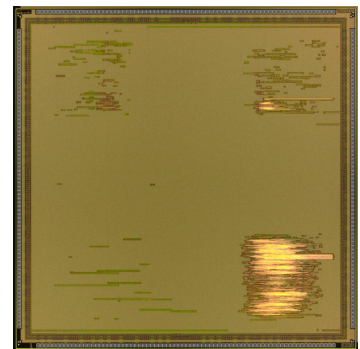


極低温環境向け要素回路評価用TEGチップ

弘前大学大学院理工学研究科 今井 雅

概要: 超伝導量子システムでは、従来のコンピュータが室温環境に配置され、極低温環境に設置された超伝導量子回路内の各量子ビットとケーブルで接続される構成が取られており、大規模化に伴いケーブルからの熱流入やケーブル長の増加に伴うレイテンシの増加などが課題となっている。その解決策の一つとして、制御や観測を行う回路自体も極低温環境に配置することが考えられるが、一般的に数K環境におけるCMOS及び関連回路の動作は保証されていない。本試作では、数KにおけるLSI回路の動作を評価することを目的として、いくつかの要素回路を組み込んだTEGチップを設計した。MOSトランジスタ単体ではなく、回路としての動作を評価するため、pMOS、nMOSのスタック数やドライブ能力、素子間配線長の異なる複数のリングオンレタを実装した。また、遅延変動に対する耐性の高い非同期式回路実装を行うことを想定し、非同期式回路を実現する際に必要となる基本素子であるMullerのC素子をスタンダードセルとして設計し、セル単体の評価ができる構成のほか、Mullerのパイプライン構成を評価用回路として実装した。所有しているクライオスタットはケーブル数が限定されるため、評価用ボードを複数作成し、今後チップの評価を進める予定である。

設計期間: 2人月以上, 3人月未満 **設計ツール:** Synopsys社 VCS, Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 StarRC (XT), Synopsys社 HSPICE (RF), **トランジスタ数:** 100,000~1,000,000 **試作ラン:** ローム CMOS 0.18 μ m 5.0mm角チップ **チップ種別:** TEG (特性評価回路など)



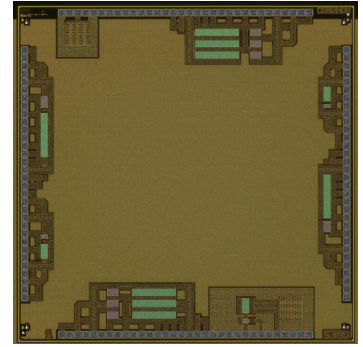
非同期式回路を実現する際に必要となる基本素子であるMullerのC素子をスタンダードセルとして設計し、セル単体の評価ができる構成のほか、Mullerのパイプライン構成を評価用回路として実装した。所有しているクライオスタットはケーブル数が限定されるため、評価用ボードを複数作成し、今後チップの評価を進める予定である。

D級アンプの最適トランジスタサイズの検証

明治大学理工学研究科電気工学専攻 藤田 誉大

概要：D級アンプの効率を最大とするトランジスタサイズを検証するために、複数個のD級アンプを搭載したチップを試作した。D級アンプは、トランジスタサイズが小さいとオン抵抗による損失が、大きいとスイッチング損失が、それぞれ増大する。したがって、負荷の大きさやスイッチング周波数があらかじめ定められたとき、損失が最小となるトランジスタサイズも一意に定まるはずである。本研究室では、トランジスタサイズと損失の関係を定量的に解析し、それらの関係式を導出した。本試作では、その理論式の妥当性を評価するために、トランジスタのサイズを3種類の異なる大きさとしたD級アンプを実装している。さらに、チップ上のばらつきによる影響も考慮して、チップの対角線上の位置に同サイズのアンプを実装し、計6つのアンプの特性を評価できるようにしている。さらに、D級アンプに加え、将来的に電力とデータの同時伝送をワンチップで実現することを見据え、変調回路の試作品も搭載している。データ伝送用のコイルに直流電流を流し、それをMOSスイッチで断じてパルスを発生させることでデータ伝送に応用することを期待している。今後、試作チップの特性を実測で評価する予定である。

設計期間：2人月以上, 3人月未満 **設計ツール：**Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 Spectre, **トランジスタ数：**10~100
試作ラン：ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)



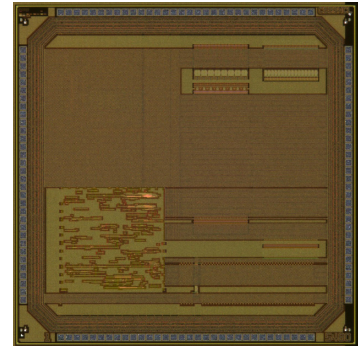
Computation-in-Memory回路

東京大学大学院工学系研究科電気系工学専攻竹内研究室 木原 冬輝, Liu Ruhui, Zhang Yufan, Lin Daqi, 三澤 奈央子, 松井 千尋

東京大学大学院工学系研究科附属システムデザイン研究センター 竹内 健

概要：近年、ニューラルネットワークや大規模言語モデルなど急速なAIの進歩に伴い、電力消費の拡大が問題となっています。そこで、東京大学大学院工学系研究科電気系工学専攻竹内研究室では、Static Random Access Memory (SRAM) を用いた低電力なComputation-in-Memoryの回路を設計しました。2.5mm角チップにComputation-in-Memoryの動作実験および評価を行うための回路ブロックを設計し、Computation-in-Memoryの動作実験のために、積和演算回路やA/D変換回路(ADC)、SRAMアレイ、評価のために論理回路などを試作しました。

設計期間：7人月以上, 8人月未満 **設計ツール：**Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数：**100,000~1,000,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**メモリ

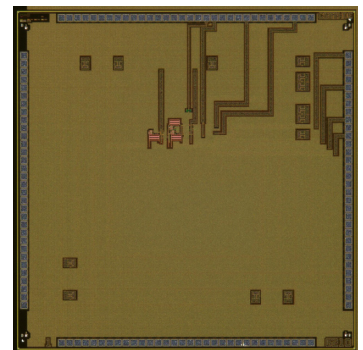


電源回路

九州大学システム情報科学研究所 孫 世元

概要：電磁誘導式振動発電を活用するための電源回路を設計した。この回路は、内部に組み込まれた制御回路によってスイッチング動作を行い、振動発電素子に蓄えられた磁気エネルギーを効率的に電気エネルギーへと変換し、蓄電素子へと供給する機能を備えている。蓄電素子としては、用途に応じてキャパシタ(コンデンサ)またはリチウムイオン電池(LIB)を使用できるように設計されており、柔軟なエネルギー管理が可能である。さらに、本電源回路はPVT(プロセス, 電圧, 温度)ばらつきに対する補償機能を有しており、環境の変化に強い設計となっている。これにより、製造ばらつきや動作条件の変動による性能の低下を最小限に抑えることができる。また、極めて低い待機電力を実現しており、電源回路自体の消費電力を抑えることで、振動発電素子からのエネルギーを最大限に活用することができる。加えて、本回路は一定の変換効率を維持しながらも、低消費電力での動作を可能にするバランスの取れた設計がなされている。そのため、長期間にわたって安定的に動作し、振動発電を用いたエネルギーハーベスティング技術の実用化に貢献することが期待される。

設計期間：1人月以上, 2人月未満 **設計ツール：**Cadence社 Virtuoso, Cadence社 Spectre, **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ (PLL, A-D/DC-DCコンバータなど)

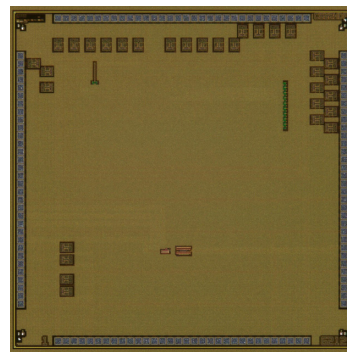


Extreme Learning Machine

九州大学システム情報科学研究所 高野 恵輔

概要：Extreme Learning Machine (ELM) は、様々な入出力関係を学習できる簡易型のニューラルネットワークであり、その計算の軽量さからエッジデバイスへの応用が期待されている。本研究では、このExtreme Learning Machineをデジタル回路として実装した。本回路の中心となるのは、ELMの学習および推論に必要な行列・ベクトル演算を効率的に処理する専用演算器である。この演算器の設計においては、静的電力（リーク電力）と動的電力（スイッチング電力）のバランスを考慮し、消費電力を抑えつつ高い演算性能を確保するようアーキテクチャを最適化した。特に、エッジデバイスでの利用を想定し、消費電力の低減と処理速度の向上の両立を目指した設計を行っている。さらに、ELMの機能を実現するために、行列演算を補助する周辺回路として加算器、除算器、レジスタなどを搭載した。加算器と除算器は、行列・ベクトル演算の中で頻繁に使用される基本演算を高速に処理するために最適化されている。また、レジスタは中間データを一時的に保持することで、データの受け渡しを効率化し、全体の処理速度を向上させる役割を担っている。本デジタル回路の設計により、Extreme Learning Machineのハードウェア実装が可能となり、エッジデバイス上でのリアルタイム学習・推論の実現が期待される。今後はさらなる最適化を進め、消費電力の低減や計算精度の向上を目指す。

設計期間：1人月以上、2人月未満 **設計ツール：**Synopsys社 DesignCompiler, Synopsys社 ICCompiler, Synopsys社 CustomCompiler, Mentor社 Calibre, **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**マイクロプロセッサ

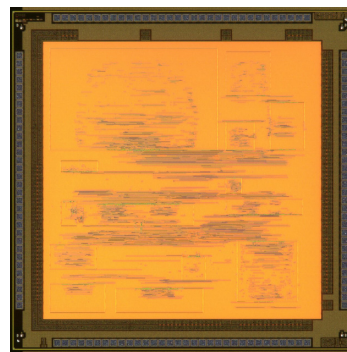


温度センサシート

九州大学システム情報科学研究所 萱野 幸佑, 殷 浚航

概要：「電子皮膚 (e-skin)」の分野では、大面積に多数のセンサを配置し温度などの分布を取得する2次元センシング技術が注目される。しかし省電力性を維持したまま2次元センシングを大規模化するのには限界がある。原因は、センサから温度情報を読み出すA/D変換の「電力」と「遅延」が、どちらもセンサ数に比例して増大するためである。そこで本研究では、人の肌の温度センシングの仕組みに着想を得た新規センサアーキテクチャを提案する。機械がAD変換によって正確な数値を出力するのに対し、人の肌は6種類の受容器で「熱い」「寒い」などの大まかな感覚でとらえる。各受容器は、ある温度より高いか低いかの2値センシングに近いことをしており、温度情報を「Single-bit」に簡単化することで全身の温度を省電力で測り続ける。本研究では、温度に対して金属絶縁体転移を示す酸化バナジウム (VO₂) を温度受容器として用い、ロジック回路で温度の2値情報を読み出すことで、大規模かつ省電力な温度センシングを構築した。

設計期間：1人月以上、2人月未満 **設計ツール：**Cadence社 Virtuoso, Cadence社 Spectre, **トランジスタ数：**100~1,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナログ/デジタル信号処理プロセッサ



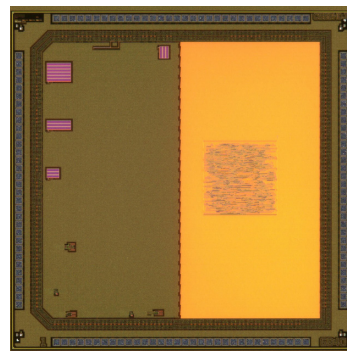
超音波ビームフォーミングのためのLPF用増幅回路、 デューティ補正回路 ほか

慶應義塾大学理工学部 中野 誠彦, 赤羽根 遼

慶應義塾大学大学院理工学研究科 森 瑞紀, 永田 智考

概要：本試作では第1回および第2回の試作にて設計したADDLLについて、入力するクロックのデューティ比が50%から逸脱したクロックでは多相クロックの遅延精度が悪化してしまうという課題を解消するため単安定マルチバイプレータを用いたデューティ補正回路を主に設計した。他、応用例として単安定マルチバイプレータを用いた通倍回路の設計も行った。本デューティ補正回路は入力クロックのデューティ比が50%未満であれば出力クロックのデューティ比が比較的安定する特徴があり、入力周波数4 MHzでクロックデューティ比が5%から45%の間では50.3% \pm 0.4%の精度でクロックが出力されている事を実測で確認した。また本通倍回路は入力クロックのデューティ比が50%から逸脱すると機能しなくなるが、入力1 MHz、出力2 MHzとして設計した通倍回路において、入力クロックデューティ比45%から55%の間で通倍クロックが生成できる事を確認した。デューティ補正回路について今後は8 MHz以上の比較的高周波なクロックにも対応できるよう改善を続ける予定である。

参考文献：赤羽根, 森, 中野 “単安定マルチバイプレータを用いた低電圧対応低周波クロック通倍回路”, 電子回路研究会, ECT-25-020, 2025年3月21日 **設計期間：**3人月以上、4人月未満 **設計ツール：**Synopsys社 DesignCompiler, Synopsys社 ICCompiler II, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre, Synopsys社 PrimeTime, Synopsys社 Formality, **トランジスタ数：**10,000~100,000 **試作ラン：**ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別：**アナデジ混載



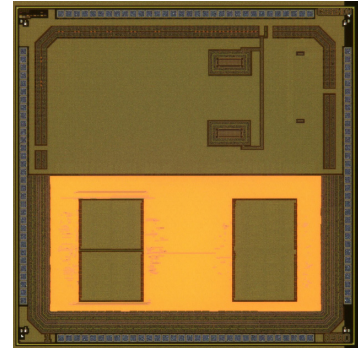
三次元積層LSIシステムのためのTSVによるチップ間通信および温度計測用テスト回路

熊本大学半導体・デジタル研究教育機構 大川 猛, 久保木 猛, 青柳 昌宏

熊本大学大学院自然科学教育部 汐田 優斗, 中村 昌稀, 瀧野 翔

概要: TSV (Through-Silicon-Via) により実現される三次元積層 LSI (3D-IC) はチップを直接積層接続するため最短距離での接続が可能であり, 現状のプリント配線基板やチップレット・インターポーザを用いたチップ間接続と比較して, 原理的に通信エネルギーを最小化可能である. 一方, 三次元積層チップの実用化は, 消費電力による発熱の観点からメモリ用途 (HBMやフラッシュメモリ) に限られているのが現状である. そのため我々は次世代の三次元積層LSIシステムの用途を拡げ, 多様なチップ, すなわちプロセッサ・メモリ・センサ・アナログ・電源を積層したシステムの実現を目指し, チップ間接続を用いたチップ間通信方式やチップ内温度センサの研究を行っている.

参考文献: [1] 汐田, 久保木, 青柳, 大川, 信学技報, vol. 124, no. 188, RECONF2024-51, pp. 47-52, 2024年9月. **設計期間:** 5人月以上, 6人月未満 **設計ツール:** Cadence社 Xcelium, Synopsys社 DesignCompiler, Synopsys社 ICCompiler II, Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Synopsys社 HSPICE (RF), **トランジスタ数:** 10,000~100,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** アナデジ混載



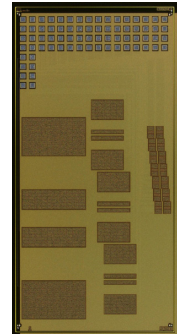
静電容量による液滴形状推定センサのオンチップ化実証チップ

滋賀県立大学工学研究科 福井 快肇

滋賀県立大学工学部 土谷 亮

概要: 我々はマイクロ流体デバイスにおいて操作している液滴の形状を推定するセンサの開発を行っており, 静電容量の変化によって接触角の推定を行なうセンサを提案している. 提案方式はこれまでプリント基板上の電極によって実証されており, 本試作の目的はオンチップ配線によって構成された電極によって動作可能であることを実証することである. 提案するセンサでは, 電極上の液体による微小な容量の変化を正確に検出する必要があり, 電極の形状を電磁界解析によって決定した. この検討結果は参考文献[1]にて発表した. 本チップでは容量の測定は外部の測定器によって行なう. そのため, 各電極に接続されたパッドを用意し, オンウェハプロービングによって測定を行なう. 測定時にはチップ上に液体を載せる必要があるため, センサとなる電極部と外部と接続するパッド部を離れたレイアウトとなっている. 現在測定の準備を行っており, 今後実際にチップ上に液体を載せて測定を行なう.

参考文献: [1] 福井, 土谷, 井上, 岸根, "オンチップ配線を用いた静電容量式コプレーナ型接触角センサ", デザインガイア2024, 2024年11月. **設計期間:** 0.5人月以上, 1人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, **トランジスタ数:** ~10 **試作ラン:** ローム CMOS 0.18 μ m 2.5mmx5.0mmチップ **チップ種別:** TEG (特性評価回路など)



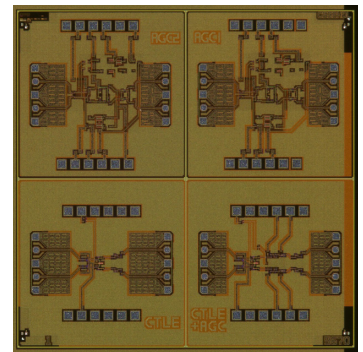
光送信・受信用アナログフロントエンド回路 TEG12

岐阜大学大学院自然科学技術研究科 今枝 俊介, 松尾 一輝

岐阜大学工学部 伊藤 大輔, 中村 誠

概要: 光通信システムの大容量, 長距離, 低消費電力化が求められている. これまでの試作ではアナログフロントエンド回路技術を検討してきた. 今回の試作では, 光パケット通信を実現するバーストモード受信器の要素回路として, 歪補償回路および自動利得制御回路の高度化を検討し試作を行った. 波形の歪補償には線形等化器が用いられるが, 補償量に応じて振幅が変化する特徴を持つ. 従来の2値符号では大小比較で検波可能だが, 近年注目されるPAM4符号では中間レベル検出が必要なため振幅変化は誤検出要因となる. そこで等化器と可変利得回路を一体設計し, 固定利得歪補償回路を検討した. また光パケット通信ではパケット毎に光信号の歪量・強度が異なるため, 先頭のプリアンプ信号で高速適応制御が必要である. さらにPAM4を含む複数レートに対応する複雑な制御動作を高速に行う必要があるため, プリアンプ先頭の制御時定数を適応的に制御し, 高速応答と安定制御を両立する構成を検討した. 今後, 試作ICの詳細評価を行う予定である.

参考文献: [1] 今枝, 石田, 大鹿, 伊藤, 中村, "PAM4パケット信号対応CTLEの自動利得制御回路の検討", 2024年信学ソ大, A-1-01, 2024年9月. **設計期間:** 4人月以上, 5人月未満 **設計ツール:** Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre, Synopsys社 HSPICE (RF), **トランジスタ数:** 100~1,000 **試作ラン:** ローム CMOS 0.18 μ m 2.5mm角チップ **チップ種別:** 通信 (RF回路, ATMなど)



C. Publication list (VDEC利用者に関する発表文献リスト)

【原著論文】

- [1] T. -W. Wang, L. -C. Chen, M. Takamiya, and P. -H. Chen, "Active Gate Driver IC Integrating Gate Voltage Sensing Technique for SiC MOSFETs," *IEEE Transactions on Power Electronics*, Vol.39, No.7, pp. 8562 - 8571, July 2024.
- [2] K. Horii, K. Hata, S. Hayashi, K. Wada, I. Omura, and M. Takamiya, "Single-Input Dual-Output Digital Gate Driver IC Automatically Equalizing Drain Current Variations of Two Parallel-Connected SiC MOSFETs," *IEEE Transactions on Power Electronics*, Vol.40, No.1, pp. 467 - 485, Jan. 2025.
- [3] S. Oba, N. Iwanuma, C. Qiu, K. Tsuji, H. Kino, T. Fukushima, T. Tanaka, "Development of wireless optically stimuable upconversion nanoparticle devices for non-invasive photodynamic therapy," *Jpn. J. Appl. Phys.* 64 01SP17. 2025.
- [4] Takemori Orima, Yoshihiko Horio, Takeru Tsuji, "Spatiotemporal contextual learning network with excitatory and inhibitory synapses for spiking neural network hardware," *Nonlinear Theory and Its Applications*, IEICE, vol. 15, no. 4, pp. 796-810, 2024. DOI: 10.1587/nolta.15.796
- [5] 杉谷, 中島, 吉田, 古田, 小林, "Radiation-Hardened Flip-Flops in a 65 nm Bulk Process for Terrestrial Applications Coping With Radiation Hardness and Performance Overheads," vol.E108-C (Early Access), no.2, *IEICE Trans. on Electronics* (2024)
- [6] 杉崎, 中島, 杉谷, 古田, 小林, "Frequency Dependence of Soft Error Rates Induced by Alpha-particle and Heavy Ion," vol.Early Access, *IEICE Electronics Express* (2024)
- [7] 古田, 杉谷, 中島, 伊藤, 小林, "Measuring SET Pulse Widths in pMOSFETs and nMOSFETs Separately by Heavy-ion and Neutron Irradiation," vol. (Early Access), *IEICE Trans. on Electronics* (2024)
- [8] Yuyang Zhu, Zunsong Yang, Masaru Osada, Haoming Zhang and Tetsuya Iizuka, "Investigation and Improvement on Self-dithered MASH $\Delta\Sigma$ Modulator for Fractional-N Frequency Synthesis," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E107-A, no.5, pp. 746 - 750, May 2024.
- [9] Sota Kano and Tetsuya Iizuka, "150 GHz Fundamental Oscillator Utilizing Transmission-line-based Inter-stage Matching in 130 nm SiGe BiCMOS Technology," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E107-A, no.5, pp. 741 - 745, May 2024.
- [10] Haoming Zhang, Shuwei Li and Tetsuya Iizuka, "A Single Ring-Oscillator-Based Test Structure for Timing Characterization of Dynamic Circuit," *IEEE Transactions on Very Large Scale Integration Systems*, vol. 32, no. 5, pp. 938 - 951, May 2024.
- [11] Masaru Osada, Zule Xu, Zunsong Yang, and Tetsuya Iizuka, "A Fractional-N Ring PLL Using Harmonic-Mixer-Based Dual Feedback and Split-Feedback Frequency Division with Phase-Domain Filtering," *IEEE Journal of Solid-State Circuits*, vol. 59, no. 7, pp. 2171 - 2184, Jul. 2024.
- [12] Nanako Kimura, Ckristian Duran, Zolboo Byambadorj, Ryosho Nakane, and Tetsuya Iizuka, "Hardware-Friendly Implementation of Physical Reservoir Computing with CMOS-based Time-domain Analog Spiking Neurons," arXiv:2409.11612.
- [13] Tetsuya Iizuka, Ritara Takenaka, Hao Xu, and Asad A. Abidi, [Invited] "Systematic Equation-Based Design of a 10-Bit, 500-MS/s Single-Channel SAR A/D Converter with 2-GHz Resolution Bandwidth," *IEEE Open Journal of the Solid-State Circuits Society*, vol. 4, pp. 147 - 162, 2024.
- [14] Shuwei Li, Zunsong Yang, and Tetsuya Iizuka, "An All-Standard-Cell-Based Synthesizable SAR ADC with Inverter-Cell-Based Capacitive DAC," *Circuits, Systems, and Signal Processing*, Dec. 2024.
- [15] Haoming Zhang*, Masaru Osada*, Yuyang Zhu, and Tetsuya Iizuka, "A Harmonic-Mixer-Based Fractional-N PLL Employing Voltage-Domain Feed-Forward Noise Cancellation," *IEEE Journal of Solid-State Circuits*, 2025.
- [16] Yuyang Zhu, Masaru Osada, Haoming Zhang, and Tetsuya Iizuka, "Optimization of DTC-Based and Harmonic-Mixer-Based Fractional-N PLLs: Comparative Analysis of Jitter and Power Trade-Offs," *IEEE Transactions on Circuits and Systems I: Regular*

- Papers, 2025.
- [17] Atsuya Kakuta and Kousuke Miyaji, "A 0.67A/mm² fully package integrated CMOS class-D LC oscillator converter," *Jpn. J. Appl. Phys.* 64, 02SP03, Feb. 2025.
- [18] Mingyu Yang, Tanvir Ahmed, Saya Inagaki, Kazuo Sakiyama, Yang Li, and Yuko Hara-Azumi, "Hardware/Software Cooperative Design against Power Side-channel Attacks on IoT Devices," *IEEE Internet of Things Journal*, Vol. 11, Issue 9, pp. 16758-16768, May 2024.
- [19] T. Ishida, K. Sugie, T. Miyoshi, Y. Ishida, K. Saitoh, Y. Arai, M. Kuwahara, "Development of silicon-on-insulator direct electron detector with analog memories in pixels for sub-microsecond imaging," *Microscopy*, 73 (6), pp. 511-516 2024年
- [20] C. Shi, S. Miwa, T. Yang, R. Shioya, H. Yamaki, and H. Honda, CNFET-OCL: Open-source Cell Libraries for Advanced CNFET Technologies, *IEEE Access*, Vol.12, pp. 165335-165347 (2024).
- [21] Katsutoshi Otsuka, Kazuhito Ito, "Double Modular Redundancy Design of LSI Controller for Soft Error Tolerance," *IEICE Trans. Fundamentals*, Vol. E108-A, No. 3, pp. 491-499, Mar. 2025.
- [22] H. Myoren, T. Funazawa, K. Oba, Y. Shimizu and M. Naruse, "Braiding Operations for a Topological Josephson Junction Array Using a Bipolar Current Pulse Generator Controlled by SFQ Logic Circuits," *IEEE Tran. Appl. Supercond.*, vol. 34, no. 3, pp. 1-6, May 2024, Art no. 1701306
- [23] Shogo Takahashi, Donghyun Kwon and Kazuteru Namba, "Non-volatile Flip-flop with soft error tolerant capability using DICE and C-element," *Nonlinear Theor. & Its Appl.*, *IEICE*, Vol.15, No.4, pp.673-681, Oct. 2024.
- [24] Ji Wu, Ruoxi Yu and Kazuteru Namba, "6T-8T hybrid SRAM for lower-power neural-network processing by lowering operating voltage," *IEICE Trans. Inf. & Syst.*, Vol.E107-D, No.9, pp.1278-1280, Sept. 2024.
- [25] K. Sasagawa *, R. Okada, M. Mizuno, H. Takehara, M. Haruta, H. Tashiro, J. Ohta, "EnhancingEnhancing image reconstruction method in high-frequency electric field visualization systems using a polarized light image sensor," *Sensors*, vol. 25, no. 5, 1596, Mar. 2025.
- [26] R. Okada*, M. Mizuno, H. Takehara, M. Haruta, H. Tashiro, J. Ohta, K. Sasagawa, "Microwave electro-optical imaging system using a frequency tracking optical local oscillator source with a polarization CMOS image sensor," *IEICE Electron. Express*, vol. 22, no. 5, 20240742, Mar. 2025. doi:10.1587/elex.22.20240742
- [27] Y. Nakanishi, T. Hattori, W. Sriitsaranusorn, K.-C. Tso, K. Shodo, H. Takehara, Y. Sunaga, M. Haruta, H. Tashiro, Y. Terasawa, J. Ohta, K. Sasagawa*, "Design of CMOS chip for retinal prosthesis with power supply voltage monitoring circuit for stabilizing constant-current stimulation," *Jpn. J. Appl. Phys.*, vol. 64, no. 1, 01SP08, Jan. 2025. doi:10.35848/1347-4065/ad99e0
- [28] V. C. G. Castillo, L. Akbar, R. Siwadamrongpong, Y. Ohta, M. Kawahara, Y. Sunaga, H. Takehara, H. Tashiro, K. Sasagawa, Ohta*, "Region of interest determination algorithm of lensless calcium imaging datasets," *PLOS ONE*, vol. 19, no. 9, e0308573, Sep. 2024. doi:10.1371/journal.pone.0308573
- [29] J. P. Olorocisimo, Y. Ohta, P. R. Regonia, V. C.G. Castillo, J. Yoshimoto, H. Takehara, K. Sasagawa, J. Ohta*, "Brain-implantable needle-type CMOS imaging device enables multi-layer dissection of seizure calcium dynamics in the hippocampus," *J. Neural Eng.*, vol. 21, no. 4, 46022, July 2024. doi:10.1088/1741-2552/ad5c03
- [30] V. C. G. Castillo, K.-C. Tso, R. Okada, Y. Ohta, Y. Sunaga, K. Sasagawa, J. Ohta*, "Laser-carbonized electrodes on implantable CMOS-based imaging device for simultaneous deep-brain optical and electrophysiological measurements," *Sens. Mater.*, vol. 36, no. 7, pp. 2735-2751, July 2024. doi:10.18494/SAM5145
- [31] R. Okada, M. Mizuno, T. Nagaoka, H. Takehara, M. Haruta, H. Tashiro, J. Ohta, K. Sasagawa*, "Millimeter-wave band electro-optical imaging system using polarization CMOS image sensor and amplified optical local oscillator source," *Sensors*, vol. 24, no. 13, 4138, June 2024. doi:10.3390/s24134138
- [32] 宮本, 松本, 武藤, "ゼーベック素子を用いた熱電変換への集積回路技術の応用," *中部大学工学部・理工学部紀要* 59巻, pp.32-39, 2024年3月
- [33] Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, "Compact, low-loss, and broadband 2×2 Si optical coupler designed by CMA-ES," *Japanese Journal of Applied Physics* 63, p. 12SP16, Dec. 2024.
- [34] T. Akazawa, S. Monfray, F. Boeuf, K. Toprasertpong, S.

- Takagi, and M. Takenaka, "Si-waveguide-based optical power monitoring of 2x2 Mach-Zehnder interferometer based on InGaAsP/Si hybrid MOS optical phase shifter," *Optics Letters* 49, pp. 5882-5885, Oct. 2024.
- [35] R. Tang, S. Ohno, K. Tanizawa, K. Ikeda, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Symmetric silicon microring resonator optical crossbar array for accelerated inference and training in deep learning," *Photonics Res.* 12, pp. 1681-1688, Jul. 2024.
- [36] Y. Miyatake, R. Tang, K. Makino, J. Tominaga, N. Miyata, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Photonic Matrix-Vector multiplication with low-insertion-loss and non-volatile Ge₂Sb₂Te₃S₂ intensity modulators," *Journal of Lightwave Technology* 42, pp. 4347-4354, Jun. 2024.
- [37] T. Akazawa, K. Sumita, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, and M. Takenaka, "Transparent in-line optical power monitoring using InP/Si hybrid waveguide phototransistor," *Journal of Lightwave Technology* 42, pp. 4281-4288, Jun. 2024.
- [38] Y. Wakita, R. Tang, H. Tang, S. Ohno, T. Akazawa, Y. Miyatake, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, and M. Takenaka, "Add-drop microring resonator switch with positive/negative phase tuning using InGaAsP/Si hybrid MOS phase shifter," *Journal of Lightwave Technology* 42, pp. 4289-4295, Jun. 2024.
- [39] K. Taki, N. Sekine, K. Watanabe, Y. Miyatake, T. Akazawa, H. Sakumoto, K. Toprasertpong, S. Takagi, and M. Takenaka, "Nonvolatile optical phase shift in ferroelectric hafnium zirconium oxide," *Nature Communications* 15, p. 3549, May 2024.
- [40] 佐々木芳樹, "CPGにより生成した同期信号を用いることによるHopfiled Networkの同期性改善と想起精度に対する検討," *電気学会論文誌C (電子・情報・システム部門誌)* 145 (1) 45-51 2025年1月1日
- [41] H. Tagata, T. Sato, and H. Awano, "Double MAC on a Cell: A 22-nm 8T-SRAM based analog in-memory accelerator for binary/ternary neural networks featuring split wordline," *IEEE Open Journal of Circuits and Systems*, Vol.5, No.No, pp.328-340, December 2024.
- [42] 坂野 綾香, 西出 翔哉, 立田 一葵, 大谷 愛, 宮内 健, 森川 有輝, 大和田 英樹, 高柳 功, 大倉 俊介, "4トランジスタ型構造を用いた高ダイナミックレンジCMOSイメージセンサ画素の検討," *映像情報メディア学会誌*, 2025, 79巻, 1号, p.121-127.
- [43] 林 誠也, 島田 宏, 水柿義直, "単一磁束量子パルス周波数変調型D/A変換器のGHz信号生成回路への応用," *電子情報通信学会 和文論文誌C*, vol. J107-C, no. 10, pp. 330-335, October, 2024.
- [44] Yuta Tsuchiya, Toru Nakura, "Measurement of SET pulse width modulation in CMOS combinational logic by laser-induced fault injection," *IEICE Electronics Express*, vol.21, pp.1-6, Nov. 2024.
- [45] "Systematic Offset Voltage Reduction Methods Using Half-Circuit of Input Stage in the Two-Stage CMOS Operational Amplifiers and Comparators", ARIMURA Kazumasa, MIYAUCHI Ryoichi, TANNO Koichi, *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences advpub* (0) 2024年.
- [46] Reon Oshio, Takumi Kuwahara, Takeru Aoki, Mutsumi Kimura, and Yasuhiko Nakashima Neuromorphic System using Capacitor Synapses Nature, *Scientific Reports*, Vol. 15, 3954, Jan. 2025, DOI: 10.1038/s41598-025-87924-6
- [47] Yuma Ishisaki, Reon Oshio, Takumi Kuwahara, Michihiro Shintani, Eisuke Tokumitsu, Tokiyoshi Matsuda, Hidenori Kawanishi, Yasuhiko Nakashima, and Mutsumi Kimura Analog Memcapacitor by Ferroelectric Capacitor and its Application to Spiking Neuromorphic System *IEEE Trans. Electron Devices*, Vol. 71, Issue 8, pp. 4626-4630, Aug. 2024, DOI: 10.1109/TED.2024.3408783
- [48] Takumi Kuwahara, Reon Oshio, Mutsumi Kimura, Renyuan Zhang, and Yasuhiko Nakashima Fusion Synapse by Memristor and Capacitor for Spiking Neuromorphic Systems *Neurocomputing*, Vol. 593, 127792, Aug. 2024, DOI: 10.1016/j.neucom.2024.127792
- [49] Chang Liu, Tadaaki Hoshi, Jiayi Shen, Atsushi Shinoda, Hisashi Kino, Tetsu Tanaka and Takafumi Fukushima, "Bendability enhancement of 3D interconnections with out-of-plane corrugation for flexible hybrid electronics," *Japanese Journal of Applied Physics*, 63, 4, pp. 04SP74-1-10, April 2024.
- [50] Kazushi Tsuji, Atsuhiko Ninomiya, Naoki Iwanuma, Chenxi Qiu, Shutaro Oba, Hisashi Kino, Takafumi Fukushima, Norihiro Katayama, Kuniyasu Niizuma, Hidenori Endo, and Tetsu Tanaka, "Fabrication and evaluation of Wrap Around Neural-Pass to record and

- stimulate nerve activity in the cervical spinal cord,” *Japanese Journal of Applied Physics*, 63, 12, pp. 12SP24-1-10, December 2024.
- [51] Shutaro Oba, Naoki Iwanuma, Chenxi Qiu, Kazushi Tsuji, Hisashi Kino, Takafumi Fukushima, and Tetsu Tanaka, “Development of Wireless Optically Stimulable UCNP (Upconversion-Nanoparticle) Devices for Non-invasive Photodynamic Therapy,” *Japanese Journal of Applied Physics*, 64, 1, pp. 01SP17-1-8, January 2024.
- [52] 杜 邦, 中村 皓平, 黄 貝宇彤, 片浦 碧, 長谷川 稜, 福島 誉史, 清山 浩司, 田中 徹, “長期監視用途エッジAIデバイス向けのGIDL電流を用いた極低電力・極低周波数発振器の開発,” *電気学会論文誌C*, 145, 3, pp. 391-398, 2025年3月.
- [53] 長谷川 稜, 杜 邦, 中村 皓平, 黄 貝宇彤, 片浦 碧, 木野 久志, 福島 誉史, 清山 浩司, 田中 徹, “高速な動作誘導を可能にするウェアラブルGVS移動補助デバイス用GVS回路の開発,” *電子情報通信学会論文誌C*, J108-C, 2, pp. 53-60, 2025年2月.
- [54] C. Guo, M. Yanagisawa, and Y. Shi, “DSE-Based Hardware Trojan Attack for Neural Network Accelerators on FPGAs,” *IEEE Transactions on Neural Networks and Learning Systems (Early Access)*. Doi: 10.1109/TNNLS.2024.3482364.
- [55] X. Sha, M. Yanagisawa and Y. Shi, “An FPGA-based YOLOv6 Accelerator for High-Throughput and Energy-Efficient Object Detection,” *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E108-A, no. 3, pp. 473-481, March 2025.
- [56] J. Li, M. Yanagisawa and Y. Shi, “An Efficient Multiplier-less Processing Element on Power-of-2 Dictionary-based Data Quantization,” *Integrated Circuits and Systems*, vol. 1, no.1, pp. 53-62, 2024.
- [57] 田口美里, 高橋亮蔵, 加藤薫子, 楠野順弘, 三木拓司, 永田真, “量子コンピュータ向けフリップチップシリコンインターポーザの極低温評価,” *電子情報通信学会論文誌C*, Vol. J107-C, No. 4, pp. pp.175-181, Apr. 2024.
- [58] Takuya Wadatsumi, Kazuki Monta, Yusuke Hayashi, Takuji Miki, Alkis A. Hatzopoulos, Adrijan Barić, Makoto Nagata, “Chip-Backside Vulnerability to Intentional Electromagnetic Interference in Integrated Circuits,” in *IEEE Transactions on Electromagnetic Compatibility*, vol. 66, no. 5, pp. 1556-1566, Oct. 2024
- [59] Makoto Nagata, Takuji Miki, “Si Substrate Backside -An Emerging Physical Attack Surface for Secure ICs in Flip Chip Packaging,” *IEEE Open Journal of the Solid-State Circuits Society*, vol. 4, pp. 365-375, Nov. 2024.
- [60] Li, Mizuno, Sebe, Sumi, Kanemoto, Hirose, “Ultra-low quiescent current off-chip capacitor-less low-dropout linear regulator with enhanced load-transient response for low-power IoT devices,” *Jpn. J. Appl. Phys.* 64 01SP22, 2025.
- [61] Sebe, Kanemoto, Hirose, “Sub-60-mV Charge Pump and its Driver Circuit for Extremely Low-Voltage Thermoelectric Energy Harvesting,” *IEICE Trans. Electron.*, vol. E107-C, no. 10, pp. 400-407, 2024.
- [62] Itotagawa, Atsumi, Sebe, Kanemoto, Hirose, “Programmable Differential Bandgap Reference Circuit for Ultra-Low-Power CMOS LSIs,” *IEICE Trans. Electron.*, vol. E107-C, no. 10, pp. 392-399, 2024.
- [63] Xingyu Huang, Kaito Hikake, Sung-Hun Kim, Kota Sakai, Zhuo Li, Tomoko Mizutani, Takuya Saraya, Toshiro Hiramoto, Takanori Takahashi, Mutsunori Uenuma, Yukiharu Uraoka, and Masaharu Kobayashi, “High-Field Transport and Statistical Variability of Nanosheet Oxide Semiconductor FETs With Channel Length Scaling,” *IEEE Transactions on Electron Devices*, Vol. 71, No. 12, pp. 7509 - 7515, December, 2024.
- [64] Sung-Hun Kim, Kaito Hikake, Zhuo Li, Yuki Itoya, Kota Sakai, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, “Nanosheet oxide semiconductor FETs with ALD InZnOx compared to InGaOx,” *Japanese Journal of Applied Physics*, Vol. 64, No. 3, 036504, March, 2025
- [65] Kaito Hikake, Zhuo Li, Junxiang Hao, Chitra Pandey, Takuya Saraya, Toshiro Hiramoto, Takanori Takahashi, Mutsunori Uenuma, Yukiharu Uraoka, and Masaharu Kobayashi, “A Nanosheet Oxide Semiconductor FET Using ALD InGaOx Channel for 3-D Integrated Devices,” *IEEE Transactions on Electron Devices*, Vol. 71, No. 4, pp. 2373 - 2379, April, 2024.
- [66] Chitra Pandey, Masaharu Kobayashi, “Structural and electronic properties of interstitial oxygen defect in amorphous indium gallium oxide (IGO)

- semiconductors: a theoretical study,” *Japanese Journal of Applied Physics*, 62, 2, 02SP29, February 19, 2025.
- [67] Yihan ZHU, Takashi OHSAWA, “Area-efficient Binarized Neural Network Inference Accelerator Based on Time-multiplexed XNOR Multiplier Using Loadless 4T SRAM,” *IEICE TRANSACTIONS on Electronics Vol.E107-C No.12* pp.545-556, Dec. 2024.
- [68] D. Lin, T. Wang, A. Padiyal, N. Misawa, C. Matsui, K. Takeuchi, “Signed Approximate Adder Tree and Quantization- and Bit-Pruning-Aware Training for Digital Computation-in-Memory,” *IEICE Transactions*, February 2025.
- [69] F. Kihara, C. Matsui, K. Takeuchi, “3D Parallel ReRAM Computation-in-Memory for Hyperdimensional Computing,” *IEICE Transactions on Electronics Brief Letter*, April, 2024.
- [70] 竹内 遥輝, 小林 海太, 吉村 浩司, 山下 喜市, 杉本 泰博 安田 彰, 相補型スプリットリング共振器 (CSRR) を用いた非侵襲血糖値センサ, 電子情報通信学会, 和文論文C, Vol.J107-C, No.10, pp.320-327, 2024.
- [71] Tohru Nakamura, Michitaka Yoshino, Toru Toyabe and Akira Yasuda 3, Breakdown Characteristics of GaN DMISFETs Fabricated via Mg, Si and N Triple Ion Implantation, *Micromachines*. 2024; 15 (1):147. <https://doi.org/10.3390/mi15010147>
- [72] A.Kosuge, H.Sumii, N.Shimamoto, Y.Ochiai, H.Amano, T.Mogami, Y.Mita, M.Ikeda, and T.Kuroda, “Agile-X: A Structured-ASIC Created with a Maskless Lithography System Enabling Low-Cost and Agile Chip Fabrication,” in *IEEE Transactions on Very Large Scale Integration Systems*, vol. 33, no. 3, pp. 746-756, March 2025, doi: 10.1109/TVLSI.2024.3486239.
- [73] R. Sumikawa, A. Kosuge, Y. C. Hsu, K. Shiba, M. Hamada, T. Kuroda “A183.4-nJ/inference 152.8- μ W 35-Voice Commands Recognition Wired-Logic Processor Using Algorithm-Circuit Co-Optimization Technique,” in *IEEE Solid-State Circuits Letters*, vol. 7, pp. 22-25, 2024.
- [74] 四柳 橋爪, “バウンダリスキャンを用いる不完全接続の検査,” *エレクトロニクス実装学会誌*, Vol.27, No.4, 288-293, 2024年.
- [75] U. Farooq, M. Mori, K. Maezawa, “Strong nonlinear effects of a transmission line stub on resonant tunneling diode oscillators,” *IEICE Trans. Electron.*, 2024年7月 DOI:10.1587/transele.2024ECS6002
- [76] Y. Hironaka, N. Yoshikawa, “Josephson Latching Driver Designed Using 10-kA/cm Nb Process as Interface for Josephson-CMOS Hybrid Memory,” *IEEE Trans. Appl. Supercond.*, vol. 35, 2025, 1300306-1-6.
- [77] Y. Hironaka, N. Yoshikawa, “Experimental Demonstration of 1.2-Gb/s/Channel Readout Operation of Josephson-CMOS Hybrid Memory,” *IEEE Trans. Appl. Supercond.*, vol. 35, 2025, 1300109-1-9.
- [78] “Evaluating the capability of detecting recoil-electron tracks using an electron-tracking Compton camera with a silicon-on-insulator pixel sensor,” *Mika Kagaya, Hideaki Katagiri, Ryo Kato, Naomi Tojo, Takeshi Go Tsuru, Ayaki Takeda, Yasuo Arai, Kenji Shimazoe, Nuclear Instruments and Methods in Physics Research A1062 (2024) 169213*
- [79] “Development of two-dimensional neutron imager with a sandwich configuration,” *Y. Kamiya, R. Nishimura, S. Mitsui, Z. Wang, C.L. Morris, M. Makela, S.M. Clayton, J.K. Baldwin, T.M. Ito, S. Akamatsu, H. Iwase, Y. Arai, J. Murata, S. Asai, Nuclear Instruments and Methods in Physics Research Section A, Volume 1064, July 2024, 169390*
- [80] “Evaluation of the X-ray SOI pixel detector with the on-chip ADC,” *Nuclear Inst. and Methods in Physics Research, A 1064 (2024) 169426, Hiroumi Matsushashi, Kouichi Hagino, Aya Bamba, Ayaki Takeda, Masataka Yukumoto, Koji Mori, Yusuke Nishioka, Takeshi Go Tsuru, Mizuki Uenomachi, Tomonori Ikeda, Masamune Matsuda, Takuto Narita, Hiromasa Suzuki, Takaaki Tanaka, Ikuo Kurachi, Takayoshi Kohmura, Yusuke Uchida, Yasuo Arai, Shoji Kawahito,*
- [81] “Development of silicon-on-insulator direct electron detector with analog memories in pixels for sub-microsecond imaging,” *Takafumi Ishida, Kosei Sugie, Toshinobu Miyoshi, Yuichi Ishida, Koh Saitoh, Yasuo Arai, and Makoto Kuwahara, Microscopy, Volume 73, Issue 6, December 2024, pp. 511-516.*
- [82] “A detailed study on spectroscopic performance of SOI pixel detector with a pinned depleted diode structure for X-ray astronomy,” *Masataka Yukumoto, Koji Mori, Ayaki Takeda, Yusuke Nishioka, Miraku Kimura, Yuta Fuchita, Taiga Yoshida, Takeshi G. Tsuru, Ikuo Kurachi, Kouichi Hagino, Yasuo Arai, Takayoshi*

- Kohmura, Takaaki Tanaka, Kumiko K. Nobukawa, Nuclear Inst. and Methods in Physics Research, A 1072 (2025) 170203
- [83] Takuma Yamada, Daisuke Ito, Makoto Nakamura, “Gain enhancement technique for a CGFW TIA with wide-frequency bandwidth,” *IEICE Electronics Express*, Vol. 22, No. 1, pp.1-5, Jan. 2025.
- [84] Roberto Andrino Robles, Tomochika Harada, “Internal-States Beat-Frequency ADC using a Subcircuit Sharing Architecture for SNDR Improvement with Decreased Area Tradeoff,” *IEICE Electronics Express*, Advanced Online Publication, pp.1-6 (2024.06). DOI: 10.1587/elex.21.20240286
- [85] 山口拓人, 佐伯勝敏, “Gap Junctionモデルを用いたハードウェアカオスニューラルネットワーク,” *電気学会論文誌C*, Vol. 144, No. 7, pp.580-587, 2024.7.1
- [86] Yuanchi Chen, Hao San, Haijun Lin, “Floating Sampling Technique for CMOS SAR ADC with Large Input Amplitude Tolerance Beyond Supply Voltage,” *IEEE Transactions on Electronics, Information and Systems* 145 (1) 38-44 2025年1月1日
- [87] Zixuan Li, Sangyeop Lee, Noboru Ishihara, and Hiroyuki Ito, “RC-oscillator-based battery-less wireless sensing system using RF resonant electromagnetic coupling,” *IEICE Transactions on Fundamentals of Electronics Communications and Computer Sciences*, Vol. E107.A, No. 5, pp. 727-740, May 2024.
- [88] Shiro Doshō, Ludovico Minati, Kazuki Maari, Shungo Ohkubo, and Hiroyuki Ito, “A Compact 0.9μW Direct-Conversion Frequency Analyzer for Speech Recognition With Wide-Range Q-Controllable Bandpass Rectifier,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol.33, no.2, pp.315-325, 2025.
- [89] N. Itoh, K. Miyazaki, M. Miyake, K. Komoku, and J. Furuta, “920-MHz Fully-Integrated LNA Operated in Moderate-Inversion Region,” *IEICE Transaction on Electronics*, Vol.E108-C, No.10, pp.-, Oct. 2025.
- [90] Y. Shiotsu and S. Sugahara, “Binarized Neural-Network Parallel-Processing Accelerator Macro Designed for an Energy Efficiency Higher Than 100 TOPS/W,” *IEEE J. Explor. Solid-State Comput. Devices Circuits (JXCDC)*, vol. 11, pp. 25-33, 2025.
- [91] K. Kotani, T. Komiyama, Y. Chonan and H. Yamaguchi, “Simple Equation-Based Rectifier Model and Its Application to Efficient Energy Harvesting From Amplitude Modulation Broadcasting Radio Waves,” *IEEE Transactions on Microwave Theory and Techniques*, doi: 10.1109/TMTT.2024.3522514.

【国際会議】

- [1] T. Inuma, D. Zhang, K. Hata, K. Mikami, K. Hatori, K. Tanaka, W. Saito, and M. Takamiya, “Digital Active Gate Driving Automatically Minimizing Switching Loss While Keeping Surge Current Below User-Specified Target,” *IEEE 10th International Power Electronics and Motion Control Conference-ECCE Asia (IPEMC 2024-ECCE Asia)*, Chengdu, China, pp. 1-6, May 2024.
- [2] Y. Liang, H. Yano, H. Zhou, K. Hata, and M. Takamiya, “Bond Wire Lift-off Sensor Circuit for Power Devices Integrated in Gate Driver IC,” *IEEE 10th International Power Electronics and Motion Control Conference-ECCE Asia (IPEMC 2024-ECCE Asia)*, Chengdu, China, pp. 1-5, May 2024.
- [3] H. Zhou, T. Inuma, D. Zhang, K. Hata, and M. Takamiya, “Active Gate Driving With Full 6-Bit Resolution for Different SiC MOSFETs Using Variable Gate Current Range Digital Gate Driver IC,” *IEEE 10th International Power Electronics and Motion Control Conference-ECCE Asia (IPEMC 2024-ECCE Asia)*, Chengdu, China, pp. 1-5, May 2024.
- [4] Y. Liang, H. Zhou, D. Zhang, K. Hata, and M. Takamiya, “Natural Active Gate Driving for Breaking Trade-off Between Switching Loss and Current Overshoot Using Ordinary Gate Driver,” *IEEE Energy Conversion Congress & Exposition (ECCE)*, Phoenix, USA, pp. 1-6, Oct. 2024.
- [5] Y. Sukita, H. Zhang, D. Zhang, K. Hata, K. Wada, K. Akatsu, I. Omura, and M. Takamiya, “Gate Driver IC With Fully Integrated Overcurrent Protection for Driving Magnet Reversal Motor With High Pulse Current,” *International Conference on Electrical Machines and Systems (ICEMS)*, Fukuoka, Japan, pp. 1-5, Nov. 2024.
- [6] Y. Sukita, K. Hata, K. Morokuma, Y. Wada, Y. Yamaoka, Y. Mukunoki, and M. Takamiya, “Method for Determining Optimum Time in Time-Domain Stop-and-Go Active Gate Driving,” *IEEE Southern Power Electronics Conference (SPEC)*, Brisbane,

- Australia, pp. 1-7, Dec. 2024.
- [7] Y. Liang, K. Hata, and M. Takamiya, "Fully Integrated Closed-Loop Active Gate Driver IC With Real-Time Control of Gate Current Change Timing by Gate Current Sensing" IEEE Applied Power Electronics Conference and Exposition (APEC), Atlanta, USA, pp. 1084-1089, March 2025.
- [8] Y. Sukita, K. Hata, H. Kondo, K. Watanabe, K. Nagayoshi, and M. Takamiya, "Demonstration of Efficiency Increase of 350 V-to-13.3 V Isolated DC-DC Converters for Electric Vehicles by Active Gate Driving" IEEE Applied Power Electronics Conference and Exposition (APEC), Atlanta, USA, pp. 1102-1107, March 2025.
- [9] K. Saiga, S. Zaizen, S. Nakano, S. Kusunoki, K. Watabe, K. Hata, M. Takamiya, S. Nishizawa, and W. Saito, "High Temperature Operation of Digital Gate Driver Integrated into a Power Module" IEEE Applied Power Electronics Conference and Exposition (APEC), Atlanta, USA, pp. 2551-2555, March 2025.
- [10] Takemori Orima, Katsunori Ito, and Yoshihiko Horio, "A hardware emulator for spatiotemporal contextual learning and memory network model," in Proc. International Symposium on Nonlinear Theory and Its Applications, pp. 550-553, Ha Long Bay, Vietnam, December 3-6, 2024.
- [11] Takeru Tsuji, Takemori Orima, and Yoshihiko Horio, "An event-driven mixed analog/digital spiking neural network circuit model for hippocampal spatiotemporal context learning and memory," in Proc. IEEE World Congress on Computational Intelligence, paper# 1570992711 (8 pages), Yokohama, Japan, June 30-July 5, 2024. DOI: 10.1109/IJCNN60899.2024.10650476
- [12] Takemori Orima, Yoshihiko Horio, and Takeru Tsuji, "Analysis of learning process of synaptic weights in spatio-temporal learning networks for hardware implementation," in Proc. IEEE World Congress on Computational Intelligence, paper# 1570992483 (8 pages), Yokohama, Japan, June 30-July 5, 2024. DOI: 10.1109/IJCNN60899.2024.10650861
- [13] Takemori Orima, Yoshihiko Horio, Satoshi Moriya, and Shigeo Sato, "Bifurcation phenomena observed from two-variable spiking neuron integrated circuit," in Proc. IEEE International Symposium on Circuits and Systems, pp. 1-5, Singapore, May 19-22, 2024. DOI: 10.1109/ISCAS58744.2024.10558075
- [14] Takemori Orima, Yoshihiko Horio, Takeru Tsuji, and Mamoru Furuya, "Analysis of hippocampal spatiotemporal contextual learning memory model for hardware implementation," in Proc. 5th International Symposium on Neuromorphic AI Hardware, p. 22, Kita-Kyushu, Japan, March 1-2, 2024.
- [15] 木下, 岸田, 小林, "Investigation of the Time-Dependent BTI-induced Degradation Distribution for Ring Oscillators in Ultra-Long-Term Stress Conditions," no.P1.CR, IEEE International Reliability Physics Symposium (2025)
- [16] Navarro, 谷口, 田中, 小林, 佐藤, 新谷, "Physics-based Modeling to Extend a MOSFET Compact Model for Cryogenic Operation," pp. 1420-1425, Asia and South Pacific Design Automation Conference (2025)
- [17] 武久, 高橋, 古田, 新谷, 小林, "A Multilevel Gate Driver Operating with a Single Voltage Supply and Simple Control Signals for Monolithic Integration of Power GaN HEMT," no.815, pp. 6570-6575, Energy Conversion Conference and Expo (2024)
- [18] 小山, 小林, "量子コンピュータ制御チップ検証用受信回路," no.I1-4, IEEE SSCS Japan Chapter VDEC Design Award (2024)
- [19] 今川, 岸田, 小山, 小林, "A Power Reduction Scheme by Arithmetic Format Conversion for a DSP to Estimate Qubit States Under 4K Cryogenic Environment," IEEE International Conference on Quantum Computing and Engineering (2024)
- [20] 古田, 杉谷, 中島, 小林, "A Partially-redundant Flip-flop Suitable for Mitigating Single Event Upsets in a FD-SOI Process with Low Performance Overhead," no.P41.RE, IEEE International Reliability Physics Symposium (2024)
- [21] 中島, 杉谷, 杉崎, 伊藤, 古田, 小林, 酒井, "An Approach to Neutron-Induced SER Evaluation Using a Clinical 290 MeV/u Carbon Beam and Particle Transport Simulations," no.P43.RE, IEEE International Reliability Physics Symposium (2024)
- [22] Tetsuya Iizuka, [Invited] "An Analysis-Based Systematic Design of CMOS SAR A/D Converters," IEEE International Conference on Communications, Circuits and Systems (ICCCAS), May 2024.
- [23] Tetsuya Iizuka, [Invited] "Phase-Locked Loops: Large-Effort-Calibrated Versus Calibration-Less PLLs; Which

- design approach to take?,” in IEEE Symposium on VLSI Circuits Workshop: High-Performance Mixed-Signal Circuit Recent Art Balancing the Analog vs. Digital, Jun. 2024.
- [24] Yuyang Zhu, Zunsong Yang, Zhenyu Cheng, Md Shamim Sarker, Hiroyasu Yamahara, Munetoshi Seki, Hitoshi Tabata, and Tetsuya Iizuka, “Design of a 1-5GHz Inverter-Based Phase Interpolator for Spin-Wave Detection,” IEEE the 30th Asia and South Pacific Design Automation Conference (ASP-DAC) - University Design Contest, Jan. 2025.
- [25] Sota Kano, Naoto Usami, Atsushi Tomiki, and Tetsuya Iizuka, “Design of a 7.2-GHz CMOS Receiver Front-end for One-chip Transponders in Deep Space Probes,” IEEE the 30th Asia and South Pacific Design Automation Conference (ASP-DAC) - University Design Contest, Jan. 2025.
- [26] Haoming Zhang, Yuyang Zhu, Masaru Osada, and Tetsuya Iizuka, “A 96fsrms-Jitter, -70.6dBc -Fractional-Spur Cascaded PLL Employing Two MMDs with Shared-DSM for Quantization Noise Cancellation,” IEEE International Solid-State Circuits Conference (ISSCC), Feb. 2025.
- [27] K. Mori, S. Kosugi, H. Yoshida, H. Shimada, and H. Ando, “Localizing the Tag Comparisons in the Wakeup Logic to Reduce Energy Consumption of the Issue Queue,” In Proceedings of the 57th Annual IEEE/ACM International Symposium on Microarchitecture, pp.493-506, November 2014.
- [28] Atsuya Kakuta and Kousuke Miyaji, “A $0.67\text{A}/\text{mm}^2$ Fully Package Integrated CMOS Class-D LC Oscillator Converter,” International Conference on Solid State Devices and Materials (SSDM), pp. 575-576, Sep. 2024.
- [29] Tomosuke Ichioka, Yohei Watanabe, and Yuko Hara, “PreLock: Precision Locking for Protecting Embedded Processor,” Asian Hardware Oriented Security and Trust Symposium (AsianHOST), Kobe, Japan, pp.1-6, Dec. 18, 2024.
- [30] Nobuya Tagawa, Ryoma Hosaka and Haruichi Kanaya, “Development of Long-Range Wireless Energy Harvesting Circuit by Multistage Cockcroft-Walton Circuit,” Proc.26th IEEE Electronics Packaging Technology Conference, pp.408-411, 2024.
- [31] C. Shi, B. Adhi, S. Miwa, and K. Sano, Post-Route Power Estimation: a Case Study of RIKEN-CGRA, 2024 IEEE International Conference on Cluster Computing Workshops (CLUSTER Workshops) (poster presentation), pp. 166-167 (Sep 2024)
- [32] C. Shi, S. Miwa, T. Yang, R. Shioya, H. Yamaki, and H. Honda, Analysis of 64-bit Parallel Prefix Adders and 32-bit Matrix Multiply Units Designed with 7-nm CNFET, 2024 61st ACM/EDAC/IEEE Design Automation Conference (DAC), Work-in-Progress Session (poster presentation) (Jun 2024)
- [33] T Abe, S Hara, A Kasamatsu, Y Umeda, and K Takano, “A 55 GHz Single-Stage RC Polyphase Filter with LC Matching Network for Low Insertion Loss,” 2024 15th Global Symposium on Millimeter-Waves & Terahertz (GSMM), pp. 270-272, May 2024.
- [34] S. Hara, M. Mubarak, A. Kasamatsu, Y. Sugimoto, K. Sakakibara, K. Takano, T. Yoshida, S. Amakawa, M. Fujishima, “259 GHz Phased-array CMOS Receiver Module with 25.9 Gb/s Data Rate,” 2024 4th URSI Atlantic Radio Science Meeting (AT-RASC), May 2024.
- [35] K. Takano, S. Beppu, H. Yagi, Y. Sugimoto, K. Sakakibara, S. Hara, M. H. Mubarak, A. Kasamatsu, S. Kubo, K. Katayama, S. Tanaka, T. Yoshida, S. Amakawa, and M. Fujishima, “A 300-GHz-Band 40-Gb/s 2D Phased-Array CMOS Transmitter with Near-Half-Wave Antenna Pitch,” 2024 IEEE Radio Frequency Integrated Circuits Symposium (RFIC), June 2024.
- [36] S. Beppu, T. Abe, S. Okii, K. Takano, S. Hara, S. Tanaka, K. Katayama, Y. Sugimoto, S. Kubo, A. Kasamatsu, K. Sakakibara, T. Yoshida, S. Amakawa, and M. Fujishima, “A 258-to-280-GHz 100-Gb/s CMOS Transmitter Element in 40-nm CMOS,” 2024 19th European Microwave Integrated Circuits Conference (EuMIC), pp. 150-153, Sept. 2024.
- [37] H Yagi, S Hara, M Mohamed, A Kasamatsu, and K Takano, “300-GHz-Band Double-Balanced Mixer with Improved Conversion Gain Using Substrate Bias Effect in 40-nm CMOS,” 2024 IEEE Asia-Pacific Microwave Conference (APMC), pp. 877-879, Nov. 2024.
- [38] Y Nishi, Y Umeda, and K Takano, “Optimally Driven Stacked-FET Amplifier for Broadband Operation by Pulling Out Gate Current at Source Node of Upper FET,” 2024 IEEE Asia-Pacific Microwave Conference

- (APMC), pp. 109-111, Nov. 2024.
- [39] S Beppu, S Hara, M Mohamed, A Kasamatsu, and K Takano, "A D-band Power Amplifier with Dual-Frequency Matching Network in 40 nm CMOS," 2024 IEEE Asia-Pacific Microwave Conference (APMC), pp. 1-3, Nov. 2024.
- [40] T. Noguchi and K. Takano, "Design of a 275-GHz Up-Conversion Mixer for a Self-Heterodyne Transceiver in 130-nm SiGe BiCMOS," 1st International Workshop on Global Research Initiative for Wireless Technology (1st IGROW), Feb. 2025.
- [41] Y. Hirayama and K. Takano, "Design of a 28-GHz-Band Voltage-Controlled Oscillator in 180-nm CMOS Technology for 5G Communications," 1st International Workshop on Global Research Initiative for Wireless Technology (1st IGROW), Feb. 2025.
- [42] S. Beppu, Y. Hirayama, S. Hara, A. Kasamatsu, Y. Mita, and K. Takano, "Passive and Causal Modeling of 300-GHz-Band IC Capacitors Using Rational Polynomial Approximation," 2025 IEEE International Conference on Microelectronic Test Structures (37th ICMTS), Mar. 2025.
- [43] A. Honda, M. Kobayashi, T. Shiota, T. Obayashi, Y. Ishizuka, Y. Shibata, "Proposal of a Method for Applying Digital LDOs to Current Measurement of CPUs," Proc. ICRERA, pp.690-694, 2024年11月.
- [44] T. Shiota, T. Obayashi, A. Honda, M. Kobayashi, T. Manabe, Y. Ishizuka, Y. Shibata, "Energy Efficiency Analysis of Vector Extension for a Processor Tightly Coupled with Power Supply," Proc. ICRERA, pp.777-780, 2024年11月.
- [45] T. Obayashi, T. Shiota, A. Honda, M. Kobayashi, T. Manabe, Y. Ishizuka, "Energy Efficiency Analysis of Branch Prediction for a Processor Tightly Coupled With Power Supply," Proc. ICRERA, pp.864-868, 2024年11月.
- [46] Yamato Muramoto, Kosei Sekiyama, Shuxin Lyu, Ken Saito, "Development of Neuromorphic Circuit for Microrobot System with Stopping and Changing Direction Ability Using Light Stimuli," 30th International Symposium on Artificial Life and Robotics AROB 30th 2025, 2025.1.24
- [47] Yuki Yasuda, Futo Igei, Shuxin Lyu, Ken Saito, "Development of Neuromorphic Circuit Driving Rat-Type Robots Using Shape Memory Alloy," 30th International Symposium on Artificial Life and Robotics AROB 30th 2025, 2025.1.22
- [48] N. Maruyama, S. Komatsu, "A Low Power $\Delta\Sigma$ Modulator with Low Voltage OTA for Wearable Applications," 2024 International Conference on Microelectronics (ICM), Dec. 2024.
- [49] N. Maruyama, S. Komatsu, "A Low Power Multi-Bit Passive $\Delta\Sigma$ Modulator for Wearable Devices," 2024 13th International Conference on Communications, Circuits and Systems (ICCCAS), May 2024.
- [50] Hiroaki Myoren, Yuki Shimizu, Masato Naruse, and Christopher Lawrence Ayala, "Superconducting bipolar current pulse generators for initialization and braiding operations in a topological Josephson junction array," 17th Superconducting SFQ VLSI Workshop (SSV 2024), 2024 October.
- [51] Yuki Shimizu, Masato Naruse, and Hiroaki Myoren, "Design of an Initialization Circuit for 2π -Vortex in a Topological Junction Array," 37th International Symposium on Superconductivity (ISS2024), 2024 December.
- [52] 国際会議 (AVIC2024, マレーシア クアラルンプール, 2024年10月16日) 査読付き Rin Tsuboi*, Kawori Sekine, Kazuyuki Wada, Shinsuke Hara, Akifumi Kasamatsu, and Satoru Tanoi, "High-speed 2AB problem solving System IC in CMOS 180 nm Technology," AVIC2024, 16 Oct. 2024
- [53] 国際会議 (ICECS2024, ナンシー フランス, 2024年12月18日) 査読付き Yuta Ohtsuka*, Kawori Sekine, Kazuyuki Wada, Satoshi Sunada, Akifumi Kasamatsu, Satoru Tanoi, Shinsuke Hara, "Output Estimation of Photonic Reservoir Systems Considering Characteristics of Analog MAC Circuits", ICECS2024, 18 Nov.2024
- [54] Song Wang and Kazuteru Namba, "C-Element-Based Latch for Flip-Flops: Complete SNU and Partial DNU Tolerance and Resilience to Soft Errors Around Clock Edges," IEEE International Conference on Consumer Technology - Pacific, Mar. 2025.
- [55] Kento Yano, You Yin and Kazuteru Namba, "Effect of RESET operation of CiM with PCM on recognition accuracy," Proc. IEEE Int'l Conf. Consum. Electron. Taiwan, July 2024.
- [56] Song Wang and Kazuteru Namba, "A master-slave flip-flop with double-node-upset self-recovery and soft error tolerance around clock edges," Proc. IEEE Int'l Conf.

- Consum. Electron. Taiwan, July 2024.
- [57] Yoshiaki Saito, Kazuteru Namba and Josaphat Tetuko Sri Sumantyo “Board design of digital chirp generator for earth observation,” Proc. IEEE Int’l Conf. Consum. Electron. Taiwan, July 2024.
- [58] Kyotaro Takahashi and Kazuteru Namba, “Design of SNU-resistant non-volatile DICE using MTJ,” International Workshop on Cyber-Synergy 2024.
- [59] Tomoaki Sato, Anyu Murakami, Sorawat Chivapreecha, Phichet Moungnoul, “Evaluation of Multi-Bit Input Logic Blocks in RTL-Designed FPGA Architecture: A Framework for FPGA and ASIC Integration,” Proc. of iEECON 2025, Mar. 2025.
- [60] Tomoaki Sato, Anyu Murakami, Sorawat Chivapreecha and Phichet Moungnoul, “Application-optimized FPGAs design using RTL-designed FPGAs architectures,” Proc. of SPIE, vol. 13518, pp. 135180Q-1-135180Q-8, Feb. 2025.
- [61] Anyu Murakami, Maho Toyoshima and Tomoaki Sato, “CAD development and routing analysis for RTL-designed FPGAs,” Proc. of SPIE, vol. 13518, pp. 135180U-1-135180U-10, Feb. 2025.
- [62] Hiroki Matsutani, Radu Marculescu, “A Tiny Supervised ODL Core with Auto Data Pruning for Human Activity Recognition,” Proc. of the 21st IEEE-EMBS International Conference on Body Sensor Networks (BSN’24), pp.1-4, Oct 2024.
- [63] Kuang-Chih Tso, Guei-Jhen Jhang, Po-Chun Chen, Yoshinori Sunaga, Kiyotaka Sasagawa, Jun Ohta “Innovative PDA-IrOx Hybrid Materials for Flexible and High-Performance Bioelectrodes” ICBEA2025, 2025.3.27. Seoul National University, Seoul, South Korea.
- [64] Virgil Christian Garcia Castillo, Yoshinori Sunaga, Yasumi Ohta, Kiyotaka Sasagawa, Jun Ohta “Automated Region of Interest Selection for Lensless Calcium Imaging Devices” ICBEA2025, 2025.3.27. Seoul National University, Seoul, South Korea.
- [65] Kiyotaka Sasagawa, Ryoma Okada, Katsuya Hyodo, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro, Jun Ohta “Optimization of polarization image sensor for electric field imaging system based on electro-optic effect” Electronic Imaging, 2025.2.5. Hyatt Regency San Francisco Airport, CA, USA.
- [66] Kiyotaka Sasagawa, Ryoma Okada, Katsuya Hyodo, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro, Jun Ohta “Optimization of polarization image sensor for electric field imaging system based on electro-optic effect” Electronic Imaging, 2025.2.5. Hyatt Regency San Francisco Airport, CA, USA.
- [67] Ryoma Okada, Maya Mizuno, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro, Jun Ohta, Kiyotaka Sasagawa “2.45 GHz Frequency-Tracking Electro-Optic Imaging Using Polarization CMOS Image Sensor” 2024 Asia-Pacific Microwave Conference, 2024.11.20. Bali, Indonesia.
- [68] Wisaroot Sriitsaranusorn, Yuki Nakanishi, Takaya Hattori, Kuang-Chih Tso, Kenzo Shodo, Hironari Takehara, Yoshinori Sunaga “Charge-Pump-Circuit Implementation for Increasing Sink Current in Low-Voltage CMOS Retinal-Prosthesis Chips,” The IEEE Asia Pacific Conference on Circuits and Systems 2024 (APCCAS), 2024.11.9. CHANG YUNG-FA FOUNDATION International Convention Center (CYFF), Taipei, Taiwan.
- [69] Kiyotaka Sasagawa, Ryoma Okada, Maya Mizuno, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro Jun Ohta “105-GHz Electric Field Visualization by Electro-Optic Imaging System Using Polarization Image Sensor” The 54th European Microwave Conference, pp.EuMC31-3, 2024.9.25. Paris Expo Porte de Versailles.
- [70] Yuki Nakanishi, Hattori Takaya, Wisaroot Sriitsaranusorn, Kuang-Chih Tso, Kenzo Shodo, Hironari Takehara, Yoshinori Sunaga, Makito Haruta, Hiroyuki Tashiro, Yasuo Terasawa, Jun Ohta, Kiyotaka Sasagawa “CMOS Chip for Retinal Prosthesis with Supply Voltage Monitoring Circuit for Constant-Current Stimulation” 2024 International Conference on Solid State Devices and Materials (SSDM2024), 2024.9.4. Himeji, Japan.
- [71] Subaru Iwaki, Kiyotaka Sasagawa, Yoshinori Sunaga, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro, Jun Ohta “Self-Resetting CMOS Image Sensor with Signal-to-Noise Ratio of over 70 dB throughout the Entire Imaging Area” 2024 International Conference on Solid State Devices and Materials (SSDM2024), N-1-03, 2024.9.2. Himeji, Japan.
- [72] Ryoma Okada, Maya Mizuno, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro, Jun Ohta, Kiyotaka

- Sasagawa “Performance improvement by multi-layer on-pixel polarizer structure using 0.35- μm CMOS process for high-sensitivity electro-optic imaging system” 2024 International Conference on Solid State Devices and Materials (SSDM2024), N-1-02, 2024.9.2. Himeji, Japan.
- [73] Yuki Nakanishi, Takaya Hattori, Wisaroot Sriitsaranusorn, Kuang-Chih Tso, Kenzo Shodo, Yoshinori Sunaga, Makito Haruta, Hiroyuki Tashiro, Yasuo Terasawa, Jun Ohta, Kiyotaka Sasagawa “Evaluation of Parallel Stimulation Characteristics Using CMOS Chips for Retinal Prostheses,” The 2024 46th Annual International Conference of the IEEE Engineering in Medicine & Biology Society, 2024.7.16. Orlando, Florida, USA.
- [74] Y. Sunaga, Y. Ohta, V. Castillo, H. Takehara, M. Haruta, H. Tashiro, K. Sasagawa, J. Ohta “IMAGING AND SENSING SYSTEM BASED ON CMOS IMAGING DEVICE FOR SIMULTANEOUS MULTI AREA MONITORING” FENS Forum 2024, 2024.6.27. Messe Wien Exhibition & Congress Center, Vienna, Austria.
- [75] V.C. Castillo, R. Okada, K.C. Tso, Y. Sunaga, Y. Ohta, H. Takehara, H. Tashiro, K. Sasagawa, J. Ohta “Simultaneous calcium imaging and extracellular electrophysiology using CMOS-based imaging devices with an integrated carbon electrode for freely moving mice experiments” FENS Forum 2024, 2024.6.27. Messe Wien Exhibition & Congress Center, Vienna, Austria.
- [76] Kuang-Chih Tso, Yoshinori Sunaga, Naruhisa Yohshida, Makito Haruta, Takurou Kouno, Yasuo Terasawa, Hironari Takehara, Hiroyuki Tashiro, Kiyotaka Sasagawa, Jun Ohta “Advancements in Honeycomb-Type Artificial Retina device via Smart CMOS Integration and Na-doped Iridium Oxide Electrodes” The 2024 Spring Meeting of the European Materials Research Society (E-MRS) , 2024.5.30. Convention & Exhibition Centre of Strasbourg (France).
- [77] Ryoma Okada, Maya Mizuno, Tomoaki Nagaoka, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro, Jun Ohta, Kiyotaka Sasagawa “Near-field intensity distribution imaging in the THz band using a highly sensitive polarization imaging system” The 2024 IEEE Joint International Symposium on Electromagnetic Compatibility, Signal & Power Integrity: EMC Japan/Asia-Pacific International Symposium on Electromagnetic Compatibility (EMC Japan/APEMC Okinawa) , 2024.5.23. Okinawa Convention Center, Japan.
- [78] Thanaree Treepetchkul, Ronnakorn Siwadamrongpong, Renzo Roel P. Tan, Hironari Takehara, Yoshinori Sunaga, Makito Haruta, Hiroyuki Tashiro, Kiyotaka Sasagawa, Jun Ohta “Image Reconstruction for Still Image Capture Using Wireless CMOS Imaging Device” Optica Biophotonics Congress 2024, 2024.4.9. The Westin Fort Lauderdale Beach Resort, Fort Lauderdale, FL, USA.
- [79] Kotaro Naruse, Naru Kato, Takuma Matsumori, Jun Shiomi, Yoshihiro Midoh, Tetsuya Hirose, Gaku Imamura, Genki Yoshikawa, Constantine Sideris, Noriyuki Miura, “A 3.5 \times 3.5mm² 1.47mW/ch 16-Channel MSS-CMOS Heterogeneous Multi-Modal-Gas-Sensor Chip Stack,” International Solid-State Circuits Conference (ISSCC) Digest of Technical Papers, pp. 348-349, Feb. 2025.
- [80] Ryuki Ikemoto, Soichiro Fujii, Kotaro Naruse, Jun Shiomi, Yoshihiro Midoh, Yuki Yamashita, Misato Taguchi, Takuji Miki, Makoto Nagata, Yuichi Komano, Mitsugu Iwamoto, Kazuo Sakiyama, and Noriyuki Miura, “Double-Sided Multimodal Attack Sensing and Partial Re-Keying in Shared Group Key System,” 50th IEEE European Solid-State Electronics Research Conference (ESSERC), pp. 681-684, Sep. 2024.
- [81] M. Takenaka, Y. Miyatake, R. Tang, T. Taki, N. Sekine, K. Watanabe, T. Akazawa, H. Sakumoto, D. I. Bhardwaj, M. Fujita, H. Tang, K. Makino, J. Tominaga, N. Miyata, M. Okano, K. Toprasertpong, and S. Takagi, “Non-volatile optical phase shifters on Si photonics platform,” 50th Conference on the Physics and Chemistry of Surfaces and Interfaces (PCSI-50), PCSI-MoM2-33, Kailua-Kona, HI, Jan. 19-23, 2025.
- [82] T. Akazawa, Q. Li, G.-Q. Lo, K. Toprasertpong, S. Takagi, and M. Takenaka, “TIA-less optical power monitor using InGaAs/Si hybrid phototransistor and on-chip Si resistor,” IEEE photonics conference 2024 (IPC), WB1.2, Rome, Italy, Nov. 10-14, 2024.
- [83] K. Komatsu, T. Nakayama, T. Akazawa, Y. Wakita, H. Sakumoto, C. Zhang, S. Monfray, F. Boeuf, R. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, “Plasmonic photodetector with InGaAs membrane on

- Si waveguide using Ni-InGaAs alloy,” 2024 European Conference on Optical Communication (ECOC), W2A.27, Frankfurt, Germany, Sep. 22-26, 2024.
- [84] Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, “Experimental demonstration of compact, low-loss and broadband 2×2 Si optical coupler designed by CMA-ES,” International Conference on Solid State Devices and Materials (SSDM) 2024, E-3-04, Himeji, Japan, Sep. 1-4, 2024.
- [85] R. Tang, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka “A single-wavelength non-coherent photonic matrix multiplication circuit for optical neural networks,” Conference on Lasers and Electro-Optics (CLEO2024), SF2M.4, Charlotte, NC, USA, May 5-10, 2024.
- [86] M. Takenaka, Y. Miyatake, R. Tang, K. Makino, J. Tominaga, N. Miyata, M. Okano, K. Toprasertpong, and S. Takagi, “Si programmable photonic integrated circuits based on phase change materials,” IEEE Silicon Photonics Conference 2024, Tokyo, Japan, Apr. 15-18, 2024.
- [87] R. Tang, H. Tang, K. Ikeda, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka “Global optimization of universal unitary photonic integrated circuits,” IEEE Silicon Photonics Conference 2024, TuA5, Tokyo, Japan, Apr. 15-18, 2024.
- [88] T. Kawakami, T. Sato, and H. Awano, “Random telegraph noise observed on 65-nm bulk pMOS transistors at 3.8K,” in Proc. ACM/IEEE Asia and South Pacific Design Automation Conference (ASPDAC), pp.1444-1449, January 2025.
- [89] T. Sato, K. Oshima, and Z. Qin, “Low voltage DNTT-based organic TFTs: layout structure, device characteristics, and its application to circuit design (invited),” in Proc. IEEE International Display Workshop (IDW), pp.172-175, December 2024.
- [90] R. Wang, T. Sato, and H. Awano, “Exploring surface code decoding via cryo-CMOS for fault-tolerant quantum computers,” in Proc. IEEE International Conference on Quantum Computing and Engineering (QCE), September 2024.
- [91] C. Zhenzhe, K. Liu, H. Shinohara, and T. Sato, “CLAPPER: clonable LFSR-based asymmetric PUF-group with peer-to-peer equivalent response,” in Proc. IEEE International Midwest Symposium on Circuits and Systems (MWSCAS), pp.1140-1144, August 2024.
- [92] C. Zhenzhe, T. Sato, and H. Shinohara, “SpongePUF: A modeling attack resilient strong PUF with scalable challenge response pair,” in Proc. IEEE International Symposium on Hardware Oriented Security and Trust (HOST), pp.244-253, May 2024.
- [93] Taisei Inaba and Toru Tanzawa, “Design of a DC-DC boost Circuit Using a More Enhanced Swing Colpitts Oscillator,” The 18th International collaboration Symposium on Information, Production and Systems , 2024年11月.
- [94] W. Saito, T. Tanzawa, “A Design of Battery Charger Boost Converters Operating at Input Voltages Below 10 mV for Energy Harvesting,” TJCAS 2024, Aug.2024.
- [95] W. Saito, T. Tanzawa, “Design of Battery Charger Boost Converters to Output Maximum Net Power for Energy Harvesting,” ISIPS2024, Nov.2024.
- [96] N. Miyazaki, T. Tanzawa, “Design of Switched-Capacitor AC-DC Voltage-Down Converters Driven by Highly Resistive Energy Transducers,” DCIS 2024, Nov.2024.
- [97] N. Miyazaki, T. Tanzawa, “Performance Comparison of Switched-Capacitor AC-DC Step-Down Converters Driven by Highly Resistive Energy Transducers: Serial-Parallel vs. Dickson,” ISIPS2024, Nov.2024.
- [98] Toru Tanzawa, Evolution of integrated switched-capacitor converters (Keynote), 39th Conference on Design of Circuits and Integrated Systems (DCIS 2024) 2024 年11月.
- [99] T. Imagawa, R. Kishida, Y. Koyama, K. Kobayashi, and T. Miyoshi, “A Power Reduction Scheme by Arithmetic Format Conversion for a DSP to Estimate Qubit States Under 4K Cryogenic Environment,” IEEE International Conference on Quantum Computing and Engineering (QCE), pp. 539-540, 2024/09, Montreal Canada.
- [100] C. Zhao, M. Fang, T. Yoshimasu, “A 14-GHz-Band Low-Supply-Voltage Low-Phase-Noise LC-VCO IC with Harmonic Tuned LC Tank in 45-nm CMOS SOI,” in Proc. of Int’l SoC Design Conference (ISOCC), 2 pages, Aug. 2025
- [101] Zhewen Wei, Toshihiko Yoshimasu, “A 38-GHz Stacked-FET Linear Power Amplifier with Novel Phase Linearizer Circuit in 45-nm CMOS SOI,” in Proc. of

- Int'l SoC Design Conference (ISOCC), 2 pages, Aug. 2025
- [102] M. Kobayashi, J. Ida, and T. Mori, "Neural Encoder Using "PN-Body Tied SOI-FET," 2024 IEEE Silicon Nanoelectronics Workshop (SNW), Honolulu, HI, USA, 2024, pp. 107-108
- [103] H. Yonezaki, T. Mori and J. Ida, "Steep Slope Device "N-type Gate-Controlled Carrier-Injection SOI-Transistor": Suppression of Hysteresis by Ar-ion Implantation and Possibility of CMOS," 2024 IEEE Silicon Nanoelectronics Workshop (SNW), Honolulu, HI, USA, 2024, pp. 57-58.
- [104] H. Matsushita, T. Mori and J. Ida, "Control of Hysteresis and Latch-Up on Steep Switching "PN-Body Tied SOI-FET Diode" by Ar-Ion Implantation," 2024 International VLSI Symposium on Technology, Systems and Applications (VLSI TSA), HsinChu, Taiwan, 2024, pp. 1-2.
- [105] Y. Mizugaki, S. Hayashi, and H. Shimada, "Design of a microwave generator as an application of an SFQ pulse-frequency modulation digital-to-analog converter," 37th International Symposium on Superconductivity (ISS 2024), Kanazawa, December 3-5, 2024.
- [106] D. Fukuyo, H. Shimada, and Y. Mizugaki, "Design of an RSFQ All-Digital Phase Locked Loop with a Time-to-Digital Converter," 37th International Symposium on Superconductivity (ISS 2024), Kanazawa, December 3-5, 2024.
- [107] M. Zhang and M. Hashimoto, "Squeezing 8-Bit Multiplier Energy with Input Segmentation in DNN Inference Accelerators," International collaboration Symposium on Information, Production and Systems (ISIPS), November 2024.
- [108] M. Zhang, Q. Cheng, H. Awano, L. Lin, and M. Hashimoto, "S3M: Static Semi-Segmented Multipliers for Energy-Efficient DNN Inference Accelerators," Proceedings of IEEE International Conference on Computer Design (ICCD), pp. 16-23, October 2024.
- [109] Q. Cheng, Q. Li, L. Lin, W. Liao, L. Dai, H. Yu, and M. Hashimoto, "How Accurately Can Soft Error Impact Be Estimated in Black-Box/White-Box Cases? -- a Case Study with an Edge AI SoC --," Proceedings of Design Automation Conference (DAC), June 2024.
- [110] Chenyu Zhao, Naoya Yamamura, Hiroshi Tsutsui, Takeo Ohgane, "Evaluation of Computational Cost and Result Accuracy in Design and Efficient Implementation of Log-Mel Spectrogram and MFCC Feature Extraction Using Fixed-Point Arithmetic on FPGA," Proceedings of International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS), Dec. 2024.
- [111] Ayako Mizushima, Kei Misumi, Shun Yasunaga, Akio Higo, Ryosho Nakane, Kazumichi Tsumura, Kazuyuki Higashi, Yukinori Ochiai, and Yoshio Mita, "Test Structure to Assess Bump Shape Influence on Hybrid Bonding," The 36th International Conference on Microelectronic Test Structures (ICMTS), 15-18 April, Edinburgh, Scotland (2024.04.18) doi: 10.1109/ICMTS59902.2024.10520685
- [112] Shun Yasunaga, Kei Misumi, Ayako Mizushima, Atsushi Toyokura, Etsuko Ota, Yurie Inoue, Makoto Fujitawa, Noriko Kawai, Mitsuhiko Yoda, Shinji Tsuboi, Tomoki Sawamura, Akio Higo, Ryosho Nakane, Yukinori Ochiai, and Yoshio Mita, "An add-in Test Structure Chip to Unitedly Assess PVD Material Properties in University Open Nanotechnology Platform," The 36th International Conference on Microelectronic Test Structures (ICMTS), 15-18 April, Edinburgh, Scotland (2024.04.18) doi: 10.1109/ICMTS59902.2024.10520699
- [113] Shun Yasunaga, Motohiko Ezawa, and Yoshio Mita, "Programmable Connected 2D Network of Bistable Elements for MEMS Ising Machine," The 38th International Conference on Micro Electro Mechanical Systems (MEMS 2025), 19-23 Jan. 2025, Kaoshung, Taiwan (2025.01.21) doi: 10.1109/MEMS61431.2025.10918290
- [114] Shun Yasunaga, and Yoshio Mita, "Estimating Verticality Parameters in Deep Reactive Ion Etching using MEMS Oscillators," 2025 IEEE International Conference on Microelectronic Test Structures (37th ICMTS), 24-27 Mar., San Antonio, TX, USA. (2025.03.25)
- [115] Yoshio Mita, Ayako Mizushima, Noriko Kawai, Tsuboi Shinji, Yurie Inoue, Etsuko Ohta, Shun Yasunaga, Ryosho Nakane, David Bourrier, Amel Beghersa, Hugues Granier, and Akio Higo, "Advantage and Challenge of Electrical Critical Dimension Test Structures for Electroplated High Aspect Ratio Nano Structures (HARNS) on Insulating Materials," 2025

- IEEE International Conference on Microelectronic Test Structures (37th ICMTS), 24-27 Mar., San Antonio, TX, USA. (2025.03.26)
- [116] Shun Beppu, Yuto Hirayama, Shinsuke Hara, Akifumi Kasamatsu, Yoshio Mita, and Kyoya Takano, "Passive and Causal Modeling of 300-GHz-Band IC Capacitors Using Rational Polynomial Approximation," 2025 IEEE International Conference on Microelectronic Test Structures (37th ICMTS), 24-27 Mar., San Antonio, TX, USA. (2025.03.26)
- [117] Noriko Kawai, Ayako Mizushima, David Bourrier, Etsuko Ota, Amel Beghersa, Hugues Granier, and Yoshio Mita, "Nano-EB LIGA Process through LAAS-RENATECH and UTokyo Engineers Exchange," Journées Nationales sur les Technologies Emergentes en micro-nanofabrication, 27-29 Nov., St Etienne, France (2024.11.27)
- [118] Nobutaka Kito, "Automatic Cell Placement for Josephson Transmission Lines in a Cell-Based Layout Design Environment for RSFQ Circuits," *Journal of Physics: Conference Series*, vol. 2776, Article# 012008, June 2024.
- [119] Saki Sugiyama, Ken'ichi Yamaguchi, and Hiroshi Iwata: "Consideration for the Relationship between LSI Testability and Centrality Measures in Network Analysis," *Proceedings of the 13th IIAE International Conference on Industrial Application Engineering 2025*, PS1-3, pp.14--21, Mar. 2025.
- [120] Hiroaki Shimaoka, Hiroshi Iwata, and Kenichi Yamaguchi: "An Implementation of Standard Cell C-element and Scan C-element," *Proceedings of the 13th IIAE International Conference on Industrial Application Engineering 2025*, PS1-5, pp.27--33, Mar. 2025.
- [121] S. Amakawa, T. Yoshida, M. E. Gadringer, and W. B"osch, "Modal TRL de-embedding of symmetric differential transmission lines with proper reference impedance matrix transformations," *104th ARFTG Microwave Measurement Conference*, pp. 1-6, January 21st, 2025.
- [122] Aoi Kataura, Bang Du, Kohei Nakamura, Ryo Hasegawa, Beiyutong Huang, Takafumi Fukushima, Koji Kiyoyama, Tetsu Tanaka, "Development of Invisible Human-Machine Interface Using Intraoral PPG Sensor," 2024 International Conference on Solid State Devices and Materials, pp. 333-334, September 2024.
- [123] Bungo Tanaka, Tatsunori Shino, Mariappan Murugesan, Tetsu Tanaka, Takafumi Fukushima, "Characterization of Ozone-Ethylene Radical Pretreatment for Hybrid Bonding without Water Rinsing Processes," *IEEE International 3D Systems Integration Conference 2024 (3DIC)*, p. 4018, September 2024.
- [124] Jiayi Shen, Chang Liu, Tetsu Tanaka, Takafumi Fukushima, "Room-Temperature and Compressive Force-Free Metal-Metal Direct Bonding for Heterogeneous Integration of Micro-LED Array on 3D-IC," *IEEE International 3D Systems Integration Conference 2024 (3DIC)*, p.4031, September 2024.
- [125] HAN ZHANG, Jiayi Shen, Chang Liu, Tetsu Tanaka, Takafumi Fukushima, "Simulation and Fabrication of Highly Bendable Advanced 3D Corrugated Interconnects Using Flexible FOWLP," *13th IEEE CPMT Symposium Japan (ICSJ2024)*, pp. 140-143, November 2024.
- [126] Nagasue, Mizuno, Yoshikawa, "A Fractional-N PLL for Multi-Phase Clock Generation with Loop Bandwidth Enhancement," *ISCAS2024*, 2024年5月
- [127] Yuki Sasaki, Takuro Noguchi, Yohei Ishikawa, Sumio Fukai, and Akio Shimizu, "A Micro-phase Difference Measurement Circuit Using 4-bit Input Stage," in *IEEE Asia Pacific Conf. on Circuits and Systems (APCCAS)*, B1L-C2, pp. 392 - 396, Nov. 2024.
- [128] Tsuchiya, "Cryogenic and RF Modeling of On-Chip Passive Devices for Quantum Computer," *IEEE ICSICT*, pp.1-3, 2024.
- [129] Yasuhiko Okada and Tsutomu Yoshimura, " 2.5Gbps CDR-PLL with Improved Phase Detector for Jitter Tolerance Enhancement," *International Meeting for Future of Electron Devices, Kansai (IMFEDK)*, Poster & Short Presentation P06, 21-22 November 2024, Kyoto Japan.
- [130] S.Ikarimoto, et.al. "Low-Noise Wearable Sweat Sensing with Flexible Complementary Organic Circuits, " *International Conference on Science and Technology of Synthetic Electronics Materials 2024 (ICSM24)*, Dresden, Germany, June 2024.
- [131] S.Ikarimoto, et.al. "Low-Noise Wearable Sweat Sensors with Flexible Complementary Organic Circuits," *The 7th Event of the Young Researchers Society for Flexible*

- and Stretchable Electronics, May 2024.
- [132] Rikuu Hasegawa, Kazuki Monta, Takuya Wadatsumi, Takuji Miki and Makoto Nagata, "On-chip evaluation of voltage drops and fault occurrence induced by Si backside EM injection," The 15th International Workshop on Constructive Side-Channel Analysis and Secure Design (COSADE2024), 2024.04.09.
- [133] Rikuu Hasegawa, Kazuki Monta, Takuya Wadatsumi, Takuji Miki, Makoto Nagata, "Si-Backside Side-Channel Leakage Measurement and Simulation," in Proceedings of the 21st International SoC Design Conference (ISOCC 2024), CS1-1, pp. 1-2, Aug. 2024.
- [134] Yusuke Hayashi, Rikuu Hasegawa, Takuya Wadatsumi, Kazuki Monta, Takuji Miki, Makoto Nagata, "Fault injection attacks exploiting high voltage pulsing over Si-substrate backside of IC chips," Fault Diagnosis and Tolerance in Cryptography (FDTC 2024), Sep. 2024.
- [135] Rikuu Hasegawa, Kazuki Monta, Takuya Wadatsumi, Takuji Miki, Makoto Nagata, Lang Lin, Sreeja Chowdhury, Akhilesh Kumar, Norman Chang, "Si Backside Side-Channel Leakage and Simulation of Cryptographic IC Chips," 61st ACM/IEEE Design Automation Conference (DAC2024), Back-End Design Track #113, Jun. 2024.
- [136] Masahiro Yamaguchi, Yasunori Miyazawa, Satoshi Sugimoto, Sosuke Ashida, Koh Watanabe, Ryota Sakai, Hikaru Uehara, Makoto Nagata, Satoshi Tanaka, "Electromagnetic Noise Suppression of 26-30 GHz Range Harmonics from Switching Semiconductor Chips Using Spinodally Decomposed Fe-Cr-Co Flake Composite," in Proceedings of the 68th Annual MMM Conference
- [137] Ryoza Takahashi, Yusuke Kanno, Takuji Miki, Nobuhiro Kusuno, Hiroyuki Mizuno and Makoto Nagata, "A Cryogenic Pulse Shaper for Spin Qubit Control Utilizing 1ns-Time-Resolution ADCs on an Active Silicon Interposer Operating at Sub-100 mK Temperatures," 2024 IEEE Asian Solid-State Circuits Conference (A-SSCC), #20-3, 2024.11.21.
- [138] Rikuu Hasegawa, Takuya Wadatsumi, Kazuki Monta, Takuji Miki, Lang Lin, Norman Chang and Makoto Nagata, "Measurement and Simulation of On-chip Voltage Fluctuation Caused by EM Injection," IEEE Asian Hardware Oriented Security and Trust Symposium (AsianHOST), 2024.12.18
- [139] Li, Mizuno, Sebe, Sumi, Kanemoto, Hirose, "Ultra-low quiescent current capacitor-less low-dropout linear regulator with enhanced load-transient response,"
- [140] Mii, Kanemoto, Hirose, "Ultra Low-power Capacitively-coupled Chopper Amplifier Focusing on the Sparsity of Compressed Sensing for EEG Recording," in Proc. 30th Asia and South Pacific Design Automation Conference (ASP-DAC 2025), Jan. 2025, pp. 368-371.
- [141] Mii, Kanemoto, Hirose, "Low quiescent current LDO with FBPEC to improve PSRR specific frequency band for wearable EEG recording devices," in Proc. 30th Asia and South Pacific Design Automation Conference (ASP-DAC 2025), Jan. 2025, pp. 356-359.
- [142] Masaharu Kobayashi, Kaito Hikake, Zhuo Li, Junxiang Hao, Chitra Pandey, Takuya Saraya, Toshiro Hiramoto, Takanori Takahashi, Mutsunori Uenuma, and Yukiharu Uraoka (Invited), "Performance and reliability of nanosheet oxide semiconductor FETs with ALD-grown InGaO for 3D integration," IEEE International Reliability Physics Symposium (IRPS), Hilton DFW Lakes, Dallas, Texas, USA, April 18, 2024.
- [143] Sung-hun Kim, Kaito Hikake, Zhuo Li, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, "A Nanosheet Oxide Semiconductor FET Using ALD InZnOx Channel," 2024 IEEE Silicon Nanoelectronics Workshop, 2024, Hilton Hawaiian Village, Honolulu, HI USA, pp. 61 - 62, June 16, 2024.
- [144] Kaito Hikake, Xingyu Huang, Sung-hun Kim, Kota Sakai, Zhuo Li, Tomoko Mizutani, Takuya Saraya, Toshiro Hiramoto, Takanori Takahashi, Mutsunori Uenuma, Yukiharu Uraoka, and Masaharu Kobayashi, "Scaling Potential of Nanosheet Oxide Semiconductor FETs for Monolithic 3D Integration -ALD Material Engineering, High-Field Transport, Statistical Variability," Symposium on VLSI Technology, Hilton Hawaiian Village, Honolulu, HI, USA, T4.2, June 18, 2024.
- [145] Masaharu Kobayashi, Kaito Hikake, Xingyu Huang, Sunghun Kim, Kota Sakai, Zhuo Li, Tomoko Mizutani, Takuya Saraya, Toshiro Hiramoto, Takanori Takahashi, Mutsunori Uenuma, Yukiharu Uraoka, "On the scalability of nanosheet oxide semiconductor transistors," EDTM, March 11, 2025.
- [146] Masaharu Kobayashi, "Nanosheet oxide semiconductor

- FETs by Atomic Layer Deposition for 3D LSI application,” International Workshop on Active-Matrix Flatpanel Displays and Devices (AM-FPD), Ryukoku University, July 4, 2024.
- [147] Masaharu Kobayashi, “On the Scalability of Nanosheet Oxide Semiconductor FETs,” International Display Workshop (IDW) 2024, AMD2-2, Sapporo, December 5, 2024.
- [148] H. Kamiya, Y. Ishida, S. Honda, H. Sato and T. Kanamoto, “A Contactless LSI Test Method Utilizing Direct Emission From On-Chip Interconnects,” 2024 IEEE 13th Global Conference on Consumer Electronics (GCCE), Kitakyushu, Japan, 2024, pp. 777-781.
- [149] Hisaya Sawada, Hirotaka Furukawa, Naruaki Hokari, Daishi Nishiguchi, Yujiro Harada, and Masaaki Fukuhara, “Enhancing the Readout Speed of NP-H-CAM Using Clocked CMOS Inverters,” 2024 IEEE Region 10 Conference (TENCON), pp. 519-522, December 2024.
- [150] Hirotaka Furukawa, Hisaya Sawada, Naruaki Hokari, Tatsuya Hasegawa, Daishi Nishiguchi and Masaaki Fukuhara, “A Neuron CMOS Type Full Subtractor with Floating Gate Calibration Circuit,” 2024 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS), pp. 16-20, December 2024.
- [151] Naruaki Hokari, Hisaya Sawada, Hirotaka Furukawa, Tatsuya Hasegawa, Daishi Nishiguchi and Masaaki Fukuhara, “A Minimum Value Determination Circuit Using a Neuron CMOS WTA with FGC Circuit,” 2024 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS), pp. 380-384, December 2024.
- [152] Koki Mochida, Satoshi Tanaka, Takeshi Yoshida, Shuhei Amakawa, Minoru Fujishima, “Design and Implementation of a 125 GHz Active Leaky Wave Antenna Using CMOS Technology with Consistent Power Distribution,” 2024 IEEE Asia-Pacific Microwave Conference (APMC), pp.345-347, Nov. 2024.
- [153] Satoshi Tanaka, Shinsuke Hara, Kyoya Takano, Akifumi Kasamatsu, Yoshiki Sugimoto, Kunio Sakakibara, Shunichi Kubo, Takeshi Yoshida, Shuhei Amakawa, Minoru Fujishima, 2024 IEEE Asian Solid-State Circuits Conference (A-SSCC), pp.1-3, Nov. 2024.
- [154] Reiji Takaki, Akira Yasuda, Digital direct-drive speaker system using MEMS speakers ICCE2024, 21.3, Las Vegas, U.S.A., Jan. 6th-8th, 2024.
- [155] Uta Kobayashi, Yasuhiro Sugimoto, Koji Yoshimura, Akira Yasuda, A CSRR Glucose Concentration Sensor with Increased Resolution Using the Q-value Enhancement Circuit Technique ICCE2024, 16.4, Las Vegas, U.S.A., Jan. 6th-8th, 2024.
- [156] Koji Yoshimura, Yasuhiro Sugimoto, Uta Kobayash, Kiichi Yamashita A Complementary Split Ring Resonator Sensor Optimized for Maximizing the Dip and Q-value in S21 Frequency Characteristics ICCE2024, 39.5, Las Vegas, U.S.A., Jan. 6th-8th, 2024.
- [157] “A Capacitor-Less Divide-by-18 Injection-Locked Frequency Divider using a Harmonic-Boosted Gating,” ICEIC2025, pp.1-3, 2025年1月
- [158] S. Nagata, and Y. Takahashi, “A design of PUF circuit using adiabatic logic,” Proc. IEEE APCCAS 2024, pp. 595-598, Nov. 7-9, Taipei, Taiwan.
- [159] T. Masuda, and Y. Takahashi, “Low-power and small-area transimpedance amplifier with active inductor in 65 nm CMOS,” Proc. IEEE APCCAS 2024, pp. 585-589, Nov. 7-9, Taipei, Taiwan.
- [160] J. Liu, and Y. Takahashi, “Design of low-power 6T adiabatic PUF circuit,” Proc. IEEE APCCAS 2024, pp. 599-603, Nov. 7-9, Taipei, Taiwan.
- [161] J. Liu, and Y. Takahashi, “Design and simulation of low-power SRAM-PUF circuit using adiabatic logic,” Proc. IEEE AVIC 2024, pp. 18-21, Oct. 15-17, Kuala Lumpur, Malaysia.
- [162] B.F. Ribeiro, and Y. Takahashi, “A new adiabatic logic circuit for RF energy harvesting,” Proc. IEICE/IEIE/ECTI ITC-CSCC 2024, July 2-5, Okinawa, Japan.
- [163] Y.-T. Aung, and Y. Takahashi, “Enhancing transimpedance amplification with optimization of supply voltage of negative impedance converter,” Proc. IEICE/IEIE/ECTI ITC-CSCC 2024, July 2-5, Okinawa, Japan.
- [164] Haruhiro Tanaka, Takahiro Sasaki, “Extended VLIW Processor Based on RISC-V Compressed Instruction Set,” Proc. of the 2024 International Workshop on Advances in Networking and Computing, pp.360-364, 2024/11.
- [165] J. Shin, R. Sumikawa, D. Li, M. Hamada, and A. Kosuge,

- “A Via-Programming DNN Processor Fabrication toward 1/40 Mask Cost,” in IEEE International Solid-State Circuits Conference (ISSCC’25), Feb. 2025.
- [166] A. Kawada, K. Kobayashi, J. Shin, R. Sumikawa, M. Hamada, A. Kosuge, “A 250.3uW Versatile Sound Feature Extractor Using 1024-Point FFT 64-ch LogMel Filter in 40nm CMOS,” in IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), Nov., 2024.
- [167] Kota Shiba, Zhijie Zhan, Koji Nii, Yih Wang, Tsung-Yung Jonathan Chang, Atsutake Kosuge, Mototsugu Hamada, Tadahiro Kuroda, “A 28-nm 0.8M-weights/mm² 9.1-TOPS/mm² SRAM-Based All-Analog Compute-In-Memory Using Fine-Grained Structured Pruning with Adaptive-Ranging ADC,” in IEEE European Solid-State Electronics Research Conference (ESSERC), Sep, 2024.
- [168] H. Uchinoyae; T. Kishishita; M. Miyahara; Y. Fujita; M. Shoji; E. Hamada, “Neutron Detector System with Diamond Sensor for Decommissioning of Fukushima Daiichi Nuclear Power Plant,” Year: 2024 | Conference Paper | Publisher: IEEE
- [169] D. Akamatsu, H. Yotsuyanagi, M. Hashizume, “Design of an Efficient PRPG for Testing an Approximate Multiplier Using Truncation,” Proc. of 2024 International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC), July 2024.
- [170] Y. Yuya, O. Masao, H. Yotsuyanagi, S-K. Lu, M. Hashizume, “Dependence of Threshold Values for Interconnect Testing with Relaxation Oscillators on Unit-to-unit Variations of ICs,” 2024 International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC), July 2024.
- [171] Y Yamahashi, Y Ohtera, H Yotsuyanagi, S-K Lu, M. Hashizume, “Detectability of Resistive Open Defects with Analog Relaxation Oscillators under Unit-to-Unit Variations of Dies,” 2024 International 3D Systems Integration Conference, 3DIC 2024, pp.1-5, Sep. 2024.
- [172] Satoshi Moriya, Hideaki Yamamoto, Masaya Ishikawa, Yasushi Yuminaka, Yoshihiko Horio, Jordi Madrenas, Shigeo Sato, “Design of Mixed-Signal LSI with Analog Spiking Neural Network and Digital Inference Circuits for Reservoir Computing,” Proc. 2024 International Joint Conference on Neural Networks (IJCNN), pp.1-6, 2024.
- [173] Satoshi Moriya, Yosuke Iida, Hideaki Yamamoto, Shigeo Sato, “Analog Circuit Implementation of Spike Timing-Dependent Plasticity for Efficient Computing,” Proc. International Symposium on Nonlinear Theory and Its Applications, p.507, 2024
- [174] U. Farooq, M. Mori, K. Maezawa, “A frequency delta-sigma modulation (FDSM) based scanning near-field THz microscope employing a resonant tunneling diode (RTD),” Topical Workshop on Heterostructure Microelectronics 2024, 2024年7月
- [175] Ryoma Katsube, Shinichi Nishizawa, and Tomoaki Ukezono, “An EDA Based Side-Channel Attack Framework for Netlists,” Proc. of 2025 IEEE Region 3 Conference (SoutheastCon 2025), DOI: 10.1109/SoutheastCon56624.2025.10971649 6-pages, Mar. 2025.
- [176] Ryoma Katsube, Taiki Nagatomo, and Tomoaki Ukezono, “Flattening Power Waveforms by Hamming Distance Converter for Side-Channel Attacks,” Proc. of 2024 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS 2024), DOI: 10.1109/APCCAS62602.2024.10808349, pp.231--235, 5-pages, Nov. 2024.
- [177] Nyi Nyi Tun, Takeaki Yajima, “Designing Nonlinearity in a Voltage-controlled Ring Oscillator for Reservoir Computing Hardware” 電子情報通信学会 NOLTA ソサイエティ大会, ポスターセッションB NLS-30, 2024年6月
- [178] Shiyuan Sun, Hang Yin, Satoshi Hamasuna, Satya Prakash Pati, Takeaki Yajima, “1 mV-input voltage step-up circuit for ultra-low voltage thermoelectric power generator” SSDM 2024, F-4-01 2024年9月
- [179] Takuya Kojima, Yosuke Yanai, Hayate Okuhara, Hideharu Amano, Morihiko Kuga, Masahiro Iida, “SLMLET: A RISC-V Processor SoC with Tightly-Coupled Area-Efficient eFPGA Blocks,” COOLCHIPS27, Tokyo, Japan, April, 2024.
- [180] Chen Zhixuan, Keisuke Hashimoto, and Toru Sai, “Development of Control IC for the Improved QZ High Step-up DC-DC Converter,” International Conference on Electronics, Information (ICEIC) 2025, pp. 766.
- [181] Junji Togashi, Ryuma Mochizuki, Daisuke Ito, Makoto

- Nakamura, "Optimal Micro-CMOS Technology for Bitrate and Power Efficiency in LD Driver," The 10th Taiwan and Japan Conference on Circuits and Systems (TJCAS 2024), Aug. 23-25, 2024.
- [182] Junsei Ohshika, Shogo Ishida, Daisuke Ito and Makoto Nakamura, "Compact Inductor-less CMOS PAM4 VCSEL Driver for High-speed Optical Communications," IEEE International SoC Design Conference (ISOCC2024), Sapporo, Japan, Aug. 19-22, 2024.
- [183] Shogo Ishida, Junsei Ohshika, Daisuke Ito, Makoto Nakamura, "Analysis of Compensation in PAM4 Equalizer Using Stacked Partial Equalization Technique," The 10th Taiwan and Japan Conference on Circuits and Systems (TJCAS 2024), Aug. 23-25, 2024.
- [184] Takuto Yamaguchi, Katsutoshi Saeki, Memory Recall using Hardware Reservoir Computing with HSWNN, Proc. International Conference on Analog VLSI Circuits, B2, pp.22-27, Kuala Lumpur, 16 October 2024.
- [185] Masanori Nambu, Katsutoshi Saeki, Voltage-Controlled Oscillator with Schmitt Trigger Inverter Utilizing a Reverse Biased Diode, Proc. International Conference on Analog VLSI Circuits, B3, pp.28-33, Kuala Lumpur, 16 October 2024.
- [186] Y. Mimino, T. Hirano, N. Okamoto, S. Ozaki, N. Hara, "Approximate Equation of Design Parameter and Transmission Phase for Microstrip Line Bends," Proceedings of Asia-Pacific Microwave Conference (APMC), P4-20, pp.910-912, Bali, Indonesia, Nov. 17-20, 2024.
- [187] Keita Noda, Hao San, Xueyan Bai, Shogo Katayama, Dan Yao, Anna Kuwana, Zifei Xu, Haruo Kobayashi, "Asynchronous SAR ADC with Parallel Comparators Inspired by Hopfield Network," 2024 International Symposium on Intelligent Signal Processing and Communication Systems 2024年12月
- [188] Junichiro Kadomoto, Takuya Kasamura, Hidetsugu Irie, Preliminary Design Space Exploration for ASIC Implementation of Control Systems in Fault-Tolerant Quantum Computers, IEEE International Conference on Quantum Computing and Engineering (QCE), 2024年9月.
- [189] Junichiro Kadomoto, Hidetsugu Irie, Shuichi Sakai, A Wireless Data and Power Transfer-Enabled MCU for Shape-Configurable Chiplet-Based Computers, IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), 2024年11月.
- [190] Tomohiro Yoshita, Junichiro Kadomoto, Hidetsugu Irie, A Dynamic Approximation Processor Based on Out-of-Order RISC-V in 28-nm CMOS, IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), 2024年11月.
- [191] "Development of Invisible Human-Machine Interface Using Intraoral PPG Sensor." International Conference on Solid State Devices and Materials. 2 pages. (2024). Aoi Kataura, Bang Du, Kohei Nakamura, Ryo Hasegawa, Beiyutong Huang, Takafumi Fukushima, Koji Kiyoyama, Tetsu Tanaka.
- [192] Takahiro Ishikawa, Kose Yokooji, Yoshihiro Midoh, Noriyuki Miura, Michihiro Shintani, Jun Shiomi, "Hardware Trojan Detection by Fine-grained Power Domain Partitioning," 30th Asia and South Pacific Design Automation Conference (ASP-DAC), pp. 1257- 1263, Jan. 2025.
- [193] Kohei Mori, Kazuyuki Wada, Kawori Sekine, Shinsuke Hara, Satoru Tanoi, Akifumi Kasamatsu, "Design of an Analog Integrated Circuit Solving the Two-Armed Bandit Problem in 180-nm CMOS for Operation Verification"2024 International Conference on Analog VLSI Circuits, A1, Oct. 2024.
- [194] H. Kishimoto, K. Komoku, J. Furuta, and N. Itoh, "A Study on 23-GHz Low-Phase-Noise VCO with Transformer Output," Proceedings of 2024 Asia Pacific Microwave Conference, pp.342-344, Bali, Indonesia, Nov. 17, 2024.
- [195] J. Furuta, "Radiation-induced Soft Errors in Digital Circuits," 2024 International VLSI Symposium on Technology, Systems and Applications (VLSI TSA), HsinChu, Taiwan, 2024, pp. 1-2, doi: 10.1109/VLSITSA60681.2024.10546387.
- [196] K. Ito, Y. Shiotsu, and S. Sugahara, "Design of Highly-Stable Energy-Minimum-Point SRAM Using Ultralow-Voltage Retention Cell," IEEE International Meeting for Future of Electron Devices, Kansai (IMFEDK 2024), paper R08, Nov. 2024.
- [197] S. Yoshida, Y. Shiotsu, and S. Sugahara, "Comparative Study of Gain Cells for Pseudo-SRAM," IEEE International Meeting for Future of Electron Devices,

Kansai (IMFEDK 2024), paper P10, Nov. 2024.

- [198] Koji Kotani, Takao Komiyama, Yasunori Chonan, Hiroyuki Yamaguchi, “Energy Harvesting from AM Broadcasting Radio Waves with High-Q Ferrite Rod Antenna and High-Efficiency Rectifier Designed Using Simple Equation-Based Model,” 2024 Wireless Power Technologies Conference and Expo (WPTCE), FRC3.4, pp.463-466, 2024.

【国内会議，研究会等】

- [1] 松浦一聡, 松浦弘樹, 松木淳一郎, 谷井竜義, 和田光司, “DSPSL構造のモデル化の検討,” 第39回エレクトロニクス実装学会春季講演大会, 2025年3月
- [2] 飯田勝栄, 竹島大樹, 松浦弘樹, 塩竹明人, 松木淳一郎, 和田光司, “キャパシタを装荷したスロット線路共振器を用いたダイプレクサの検討,” “第39回エレクトロニクス実装学会春季講演大会,” 2025年3月.
- [3] 天津瑠斐, 松木淳一郎, 松浦弘樹, 塩竹明人, 和田光司, “電磁界シミュレータを用いた3.7 GHz帯/28 GHz帯 5G 用ダイプレクサに関する一検討,” “第30回電子情報通信学会東京支部学生会研究発表会,” 2025年3月.
- [4] Y. Liang, H. Yano, H. Zhou, K. Hata, and M. Takamiya, “Fully Integrated Bond Wire Lift-off Sensor Circuits for Reliable Power Electronic Systems,” 電子情報通信学会, LSIとシステムのワークショップ, ポスターセッション 一般部門, 2, 東京, 2024年5月.
- [5] Y. Liang, K. Mikami, T. Takamori, H. Zhou, K. Hata, W. Saito, and M. Takamiya, “3.6 kV, 2000 A Demonstration of Natural Active Gate Driving With 6.5 kV IGBTs,” 電気学会 産業応用部門大会, 1-62, 水戸, 2024年8月.
- [6] 鋤田陽平, 畑 勝裕, 諸熊健一, 和田幸彦, 山岡祐太, 椋木康滋, 高宮 真, “時間領域 Stop-and-Go アクティブゲート駆動における最適時間の決定手法,” 電子情報通信学会, ICD/CAS 学生・若手研究会, 303, 石垣島, 2024年12月.
- [7] 福永博生, 矢野広気, 畑 勝裕, 井出倫滉, 渡辺健一, 永吉謙一, 高宮 真, “スイッチング損失とゲートドライブ損失を削減する共振アクティブゲート駆動回路の提案,” 電気学会全国大会, 4-109, 東京, 2025年3月.
- [8] 辻 孟, 堀尾喜彦, “時空間コンテキスト学習・記憶ニューラルネットワークの解析と回路実装,” 東北大学 電気通信研究所 共同プロジェクト研究・非線形ワークショップ合同研究会 アブストラクト集, p. 51, March 10-11, 2024.
- [9] 織間健守, 堀尾喜彦, “海馬に基づく時空間文脈学習記憶モデルのハードウェア実装に向けて,” 東北大学 電気通信研究所 共同プロジェクト研究・非線形ワークショップ合同研究会 アブストラクト集, p. 5, March 10-11, 2024.
- [10] 万代, 中島, 古田, 小林, “22nm Bulk プロセスにおける面積遅延電力積を低減した 3 重化フリップフロップの構造の検討,” no.C-12-02, 電子情報通信学会総合大会 (2025)
- [11] 谷口, 吉田, 中島, 古田, 小林, “22 nm bulk プロセスにおける NMOS, PMOS トランジスタの SEU 測定回路の SER 評価,” no.C-12-01, 電子情報通信学会総合大会 (2025)
- [12] 西岡, 松本, 古田, 高山, 小林, 新谷, “トレンチ型 SiC MOSFET の動的入力容量のモデル化の検討,” no.4-084, 電気学会総合大会 (2025)
- [13] 小林, “誤り耐性量子コンピュータに向けたスケラブルな高集積量子誤り訂正システムの開発,” 低温工学・超電導学会関西支部講演会 (2025)
- [14] 青山, 門本, 小林, “貪欲法を用いた表面符号向けエラー訂正復号器のRTLと動作合成によるASICへの実装,” no.VLD2024-78, pp. 13-17, 電子情報通信学会技術報告 (VLSI 設計技術) (2025)
- [15] 松本, 高山, 古田, 小林, 新谷, “個々の SiC MOSFET のモデル化に基づく特性ばらつきを考慮した回路シミュレーション,” no.EDD-24-043, SPC-24-181, 電子デバイス/半導体電力変換
- [16] 岩瀬, 小林, “極低温環境に最適な Gain Cell DRAM,” vol.2024-SLDM-206, no.1, pp. 1-3, 情報処理学会研究報告 (SLDM) (2024)
- [17] 小林, “Neutron, Carbon and Heavy-ion Beam Irradiation to Measure Soft Errors on Radiationhard Integratd Circuits for Automotive and Aerospace Applications,” J-PARC Symposium (2024)
- [18] 岩瀬, 小林, “極低温環境に最適な Gain Cell DRAM,” no.I1-3, IEEE SSCS Japan Chapter VDEC Design Award (2024)
- [19] 吉田, 杉崎, 中島, 古田, 小林, “改良型 SEILA (ソフトエラー耐性ラッチ) の α 線による耐性評価,” pp. 155-161, DAシンポジウム (2024)
- [20] 仁科, 木下, 菊田, 岸田, 小林, “65nm バルクプロセスのリングオシレータを用いた経年劣化のストレ

- ス電圧依存性の実測評価,” pp. 177-183, DAシンポジウム (2024)
- [21] 青山, 門本, 小林, “貪欲法を用いた表面符号向けエラー訂正復号器の FGPA・ASIC 実装,” pp. 22-26, DAシンポジウム (2024)
- [22] 木下, 岸田, 小林, “65nm FDSOI プロセスのリングオシレータを用いた 300 日以上の BTI 超長期測定でのばらつきの原因の考察,” pp. 92-99, DAシンポジウム (2024)
- [23] 戸田, 岸田, 小林, 宮内, 兵庫, “段数切り替え機能を搭載したリングオシレータを用いたホットキャリア注入現象の実測評価,” pp. 86-91, DAシンポジウム (2024)
- [24] Yunjie Chen, Koji Asami, Zolboo Byambadorj, Akio Higo and Tetsuya Iizuka, “Systematic Analysis on Four Channel Time-Interleaved Digital-to-Analog Converters,” 電子情報通信学会 LSIとシステムのワークショップ2024, 2024年5月.
- [25] 濱崎 拓, 加納 創太, 宇佐美 尚人, 冨木 淳史, 飯塚 哲也, “深宇宙探査機搭載ワンチップトランスポンダの実現に向けたX帯CMOS送信機フロントエンドの設計,” 電子情報通信学会 LSIとシステムのワークショップ2024, 2024年5月.
- [26] 許 瑜昊, 竹中 理太郎, 李 燦煒, 張 浩明, 飯塚 哲也, “アナログ-デジタル変換回路におけるダイナミック論理を活用した性能向上とその設計最適化の検討,” 電子情報通信学会 技術研究報告, ICD2024-19, pp. 15 - 20, 2024年8月.
- [27] Jiaao Yu, Yuyang Zhu, Zhenyu Cheng, Yuanxin Jia, Md Shamim Sarker, Hiroyasu Yamahara, Munetoshi Seki, Hitoshi Tabata, and Tetsuya Iizuka, “Design and Measurement of a Receiver for a Spin-wave Detection System,” 2025年第72回応用物理学会春季学術講演会, 14p-P10-11, 2025年3月.
- [28] Yunjie Chen, Koji Asami, Zolboo Byambadorj, Akio Higo, and Tetsuya Iizuka, “Comparative Analysis of High-Speed Time-Interleaved Digital-to-Analog Converters,” 2025年第72回応用物理学会春季学術講演会, 14p-P10-17, 2025年3月.
- [29] 川崎淳, 志村和大, 村松瑞基, 佐藤光秀, 佐藤敏郎, 水野勉, 宮地幸祐, “10MHz帯動作鉄系メタルコンポジット磁心絶縁プレーナトランス及び12V-1.5W出力LLC共振絶縁コンバータ,” 電子情報通信学会, 集積回路研究会, LSIとシステムのワークショップ, 学生30, 2024年5月.
- [30] 小棚木 凜太郎, 一岡 知佑, 楊 明宇, 原 祐子, “eASICを用いたハードウェアIP保護手法: RISC-Vへの適用事例,” 暗号と情報セキュリティシンポジウム (SCIS), 北九州, 2025年1月.
- [31] 苗田 友之助, 八巻 隼人, 本多 弘樹, 三輪 忍, CNFET製4T SRAMの安定性の評価, 情報処理学会研究報告 2024-SLDM-208, No.45, pp.1-8 (2025)
- [32] 別府 隼, 高野恭弥, “125 GHz 広帯域・小型 CMOS 電力分配器,” 電子情報通信学会マイクロ波研究会, 2024年4月.
- [33] 岩瀬史也, 阿部敏明, 原 紳介, 田野井聡, 笠松章史, 榎田洋太郎, 高野恭弥, “広帯域・高線形なD帯ソース駆動型ダブルバランスアップコンバージョンミキサ,” LSIとシステムのワークショップ2024, 2024年5月.
- [34] 畑田修治郎, 沖井 将, 原 紳介, 田野井聡, 笠松章史, 榎田洋太郎, 高野恭弥, “マイクロストリップ線路を用いた25 - 50 GHz マスタースレーブ型Dフリップフロップインダクタレス4分周器,” LSIとシステムのワークショップ2024, 2024年5月.
- [35] 別府 隼, 高野恭弥, “150 GHz CMOS小型ベクトル合成型移相器,” 電子情報通信学会マイクロ波研究会, 2024年7月.
- [36] 長谷川司, 高野恭弥, “機械学習モデルを用いたサブテラヘルツ帯小信号増幅器の回路トポロジ自動選択,” 電子情報通信学会集積回路研究会, 2024年8月.
- [37] 斧田賢明, 高野恭弥, “イメージセンサ向けトランスインピーダンスアンプの設計,” 電子情報通信学会総合大会, 2025年3月.
- [38] 高野恭弥, 別府 隼, 八木隼人, 杉本義喜, 榎原久二男, 原 紳介, ムバラク モハメド, 笠松章史, 久保俊一, 片山光亮, 田中 聡, 吉田 毅, 天川修平, 藤島 実, “300 GHz帯2次元フェーズドアレー CMOS 送信機,” シンポジウム「テラヘルツ科学の最先端XI」, 2024年10月.
- [39] 川原啓輔, 澤田 晟, 加茂 巧, 榎田洋太郎, 高野恭弥, 原 紳介, “[特別講演]帯域トリプラ: 光ファイバ送信機のためのイメージ除去アナログマルチプレクサを用いた広帯域信号生成,” 信学技報, vol. 124, no. 356, MW2024-160, pp. 45-45, 2025年1月.
- [40] 明石想太, 伊藤和人, メモリアクセスを考慮したレジスタブリッジ型LSIのマッピング・スケジューリング手法, 電子情報通信学会技術研究報告

- VLD2024-122, pp. 108-113, 2025年3月.
- [41] 菊池 怜士, 伊藤和人, 二値化NNの畳み込み計算におけるポップカウントの高効率LSI実装, 電子情報通信学会技術研究報告 VLD2024-114, pp. 66-71, 2025年3月.
- [42] 崔峻豪, 中山渉, 陳普澤, LYUSHUXIN, 齊藤健, “ニューロモルフィック集積回路を搭載したラクダ型四足歩行の歩容による移動速度と移動コストの解析,” 令和6年度(第68回)日本大学理工学部学術講演会, 2024.12.3
- [43] 中山渉, 崔峻豪, 陳普澤, LYUSHUXIN, 齊藤健, “センサ入力可能なニューロモルフィック回路を搭載した四足歩行ロボットの歩容に対する検討,” 令和6年度(第68回)日本大学理工学部学術講演会, 2024.12.3
- [44] 村本大和, 関山晃生, LYU SHUXIN, 齊藤健, “光刺激による停止・方向転換可能なニューロモルフィック回路の検討,” 令和6年度(第68回)日本大学理工学部学術講演会, 2024.12.3
- [45] 安田祐希, 伊藝楓斗, LYUSHUXIN, 齊藤健, “筋肉による駆動を模倣したラット型ロボット用ニューロモルフィック回路の集積化に対する検討,” 令和6年度(第68回)日本大学理工学部学術講演会, 2024.12.3
- [46] 野口裕太, 安田祐希, 伊藝楓斗, LYU SHUXIN, 齊藤健, “ラットの筋骨格系を模倣した四足歩行ロボットを制御するニューロモルフィック集積回路の検討,” 令和6年度(第68回)日本大学理工学部学術講演会, 2024.12.3
- [47] 村本大和, 関山晃生, LYU SHUXIN, 齊藤健, “光刺激による停止・方向転換可能なニューロモルフィック回路の開発,” 第30回電子情報通信学会東京支部学生会研究発表会, 2025.3.1
- [48] 安田祐希, 伊藝楓斗, YUSHUXIN, 齊藤健, “筋肉による駆動を模倣したラット型ロボットに搭載するニューロモルフィック集積回路に対する検討,” 第30回電子情報通信学会東京支部学生会研究発表会, 2025.3.1
- [49] 安田祐希, 伊藝楓斗, LYUSHUXIN, 森下克幸, 齊藤健, “筋肉による駆動を模倣したラット型ロボットを制御するニューロモルフィック集積回路の開発,” LSIとシステムのワークショップ2024, 2024.5.10
- [50] 村本大和, 関山晃生, LYU SHUXIN, 森下克幸, 齊藤健, “昆虫型マイクロロボットに搭載する光刺激で歩容を切り替えるニューロモルフィックチップの開発,” LSIとシステムのワークショップ2024, 2025.5.10
- [51] 関山晃生, 中山渉, 村本大和, LYUSYUXIN, 森下克幸, 齊藤健, “光刺激による歩容切り替えが可能なマイクロロボット用ニューロモルフィックチップの開発,” 電気学会電子回路研究会, 2024.6.6
- [52] 丸山, 小松, “ウェアラブル機器に向けた低電源電圧OTAとそれを用いた低消費電力 $\Delta\Sigma$ 変調器,” デザインガイア2024 -VLSI 設計の新しい大地-, 2024年11月.
- [53] 丸山, 小松, “ウェアラブル機器に向けた低電源電圧OTAとそれを用いた低消費電力 $\Delta\Sigma$ 変調器とその実測による評価,” 電子情報通信学会 デイペンダブルコンピューティング研究会, 2025年2月.
- [54] 野口, 小松, “音声向けVCO-based ADCのための線形範囲の可変なVCOの設計,” 2025年電子情報通信学会総合大会(C-12-19), 2025年3月.
- [55] 増岡 佑人, 成瀬 雅人, 明連 広昭, “TiN薄膜を用いた集中定数力学インダクタンス検出器の高感度化,” 2025年第72回応用物理学会春季学術講演会, 2025年3月.
- [56] 清水 祐希, 成瀬 雅人, 明連 広昭, “トポロジカル接合アレイへの 2π -vortex 初期化回路の検討,” 2024年電子情報通信学会 ソサイエティ大会, 2024年9月.
- [57] 伴 和樹, 成瀬雅人, 明連広昭, “単一磁束量子論理による高速比較回路を用いた高速A/D変換回路の設計,” 2024年電子情報通信学会 ソサイエティ大会, 2024年9月.
- [58] 清水 祐希, 前川 大空, 成瀬 雅人, Christopher Ayala, 明連 広昭, “断熱量子磁束パラメトロン論理を用いたバイポーラ電源によるブレイディング操作回路の設計,” 2025年電子情報通信学会総合大会, 2025年3月.
- [59] 迫田, 大高, 佐藤, 浜本, “無段階加速度ランプと多重積分回路による分散型ランプ信号生成器を用いた高速・高分解能シングルスローブADC,” 映像情報メディア学会技術報告, vol.48, no.21, pp. 5-8, 2024年6月.
- [60] 学会(電子回路研究会, 埼玉, 2025年3月11日) 松崎平蔵*, 森光平, 栗栖広士郎, 藤本錦之介, 和田和千, 関根かをり, 長谷川幹雄, 原神助, 田野井聡, 笠松章文, 「無線LANのチャネル選択を行う実験機と接続するための2本腕バンディット問題に対する方策を実現するアナログ回路の設計」 “Design

- of an analog circuit based on a strategy for the two-armed bandit problem connected to an experimental machine for wireless LAN channel selection”,電子回路研究会, ECT-025-009, 11. Mar. 2024
- [61] 学会（電子回路研究会, 茨城, 2024年11月22日）緒方敦洋*, 関根かをり, 和田和千, 笠松章史, 原紳介, 田野井聡, 砂田哲「SiGe BiCMOS プロセスで設計したアナログ積和演算回路の遅延特性が光リザーバシステムに与える影響」“Delay of an analog multiply-accumulate circuit designed in SiGe BiCMOS process and its effect to photonic reservoir system”,電子回路研究会, ECT-024-054, 22.Nov.2024
- [62] 学会（電子回路研究会, 大宮, 2025年3月11日）森山誠二郎*, 西川隼人, BINTI ISHAK NUR SYAKILA, 関根かをり, 「オープンソース・アナログIPのプロセスポートリング事例」“Case study on process porting of open source analog IPs”,電子回路研究会, ECT-025-013, 11.Mar.2025
- [63] 学会（電子回路研究会, 埼玉, 2025年3月11日）古田智紀*, 坪井凜, 関根かをり, 和田和千, 原紳助, 田野井聡, 笠松章史, 「180nm CMOS プロセスを用いた4本腕バンディット問題ソルバ集積回路の設計」“Design of a four-armed bandit problem solving IC in CMOS 180 nm Technology”,電子回路研究会, ECT-25-010, 11. Mar. 2025
- [64] 学会（電気学会全国大会, 東京中野, 2025年3月18日-3月20日）栗栖広士郎*, 坪井凜, 藤本錦之助, 松崎平蔵, 関根かをり, 和田和千, 長谷川幹雄, 原紳介, 田野井聡, 笠松章史, 「距離による通信環境変化に強化アルゴリズムで対応した2チャンネル選択の実験」“Channel Selection in Wireless Communications Using a Mobile Terminal Device via a 2-armed bandit algorithm”令和7年電気学会全国大会, 3-007, 18.Mar.2025
- [65] 学会（令和7年電気学会全国大会, 東京, 2025年3月18日）草野圭祐*, 大塚雄太, 関根かをり, 和田和千（明治大学）, 砂田哲（金沢大学）, 原紳介, 田野井聡, 笠松章史（情報通信研究機構）「2入力積和演算回路を複数用いた光リザーバシステムの評価」“Evaluation of a Photonic Reservoir System using 2-input Multiply Accumulate Circuits”電気学会全国大会, 3-015, Mar.18.2025
- [66] Song Wang, Kazuteru Namba, “A C-Element-Based Latch Design for Flip-Flops with Complete SNU and Partial DNU Tolerance and Enhanced Soft Error Resilience Around Clock Edges,” 信学技報, DC2024-113, 2025年2月.
- [67] 高橋, 難波, “SNU耐性を持つ不揮発性フリップフロップの設計,” 信学技報, DC2024-62, 2024年11月.
- [68] 笹川清隆 “半導体集積回路を応用した医工学デバイス開発” (invited) NICT先端ICTデバイスラボコラボレーションミーティング, 2025.1.10. 情報通信研究機構小金井本部.
- [69] 山片 翼, 岡田竜馬, 竹原 浩成, 須永 圭紀, 春田 牧人, 田代 洋行, 太田 淳, 笹川 清隆 “生体埋植イメージングデバイスのソフトウェア的手法によるダイナミックレンジ向上” 映像情報メディア学会2024年冬季大会, 2024.12.25. 東京理科大学 森戸記念館.
- [70] 岡田 竜馬, 水野 麻弥, 竹原 浩成, 春田 牧人, 田代 洋行, 太田 淳, 笹川 清隆 “微弱偏光イメージングシステムを用いた0.1 THz電気光学イメージング” 第85回応用物理学会秋季学術講演会, 2024.9.19.
- [71] 中西 優輝, Wisaroot Sriitsaranusorn, 服部 天哉, Kuang-Chih Tso, 鐘堂 健三, 竹原 浩成, 須永 圭紀, 春田 牧人, 田代 洋行, 寺澤 靖雄, 太田 淳, 笹川 清隆 “人工視覚用CMOSチップを用いた並列刺激システムの特性評価” 第85回応用物理学会秋季学術講演会, 2024.9.17.
- [72] 服部 天哉, Wisaroot Sriitsaranusorn, 中西 優輝, Kuang-Chih Tso, 鐘堂 健三, 寺澤 靖雄, 須永 圭紀, 春田 牧人, 竹原 浩成, 田代 洋行, 太田 淳, 笹川 清隆 “多点並列刺激に向けた人工視覚チップ電圧補償システムの設計” 第85回応用物理学会秋季学術講演会, 2024.9.17.
- [73] 汐田優斗, 久保木 猛, 青柳 昌宏, 大川 猛, 「三次元積層LSIの超並列バスによるチップ間通信の高効率化のためのプロトタイプ開発」, 信学技報, vol. 124, no. 188, RECONF2024-51, pp. 47-52, 2024年9月.
- [74] 中村昌稀, 久保木 猛, 青柳 昌宏, 大川 猛, 「三次元積層LSIの温度分布及び時間変化測定システムプロトタイプの開発」, 信学技報, vol. 124, no. 188, RECONF2024-52, pp. 53-58, 2024年9月.
- [75] 岩垣, 大成, 市原, “ストカスティックコンピューティングのための相関強化アルゴリズムの改良,” DAシンポジウム2024論文集, pp. 42-48, 2024年8月.

- [76] 加藤成, 成瀬厚太郎, 松森拓馬, 塩見準, 御堂義博, 廣瀬哲也, 今村岳, 吉川元起, 三浦典之, “MSS-CMOS 三次元積層による小型マルチモーダル嗅覚デバイス,” 信学技報, vol. 124, no. 402, ICD2024-124, pp. 172-175, 2025年3月.
- [77] 唐睿, 岡野誠, 柴成立, 張超, トープラサートポン カシディット, 高木信一, 竹中充, 「光ニューラルネットワークに向けた光行列演算回路」, 『電子情報通信学会 2025年総合大会』, 東京, 2025年3月24-28日.
- [78] 唐睿, 岡野誠, 張超, トープラサートポン カシディット, 高木信一, 竹中充, 「側方入射構造を用いた導波路結合型高飽和電流 Ge-on-Si 光検出器」, 『第72回応用物理学会春季学術講演会』, 17a-K305-1, 東京, 2025年3月14-17日.
- [79] 小林研二, 宮武悠人, 唐睿, 牧野孝太郎, 富永淳二, 宮田典幸, 岡野誠, トープラサートポン カシディット, 高木信一, 竹中充, 「Ge₂Sb₂Te₃S₂光強度変調器を用いた不揮発性シリコンマイクロリング共振器スイッチ」, 『第72回応用物理学会春季学術講演会』, 16p-K305-4, 東京, 2025年3月14-17日.
- [80] 作本宙彌, ピヤパッタラクン ティパット, トープラサートポン カシディット, 高木信一, 竹中充, 「InP 薄膜導波路を用いた低光損失・低消費電力MOS型光位相シフタ」, 『第72回応用物理学会春季学術講演会』, 16p-K305-2, 東京, 2025年3月14-17日.
- [81] 脇田耀介, 宮武悠人, 大野修平, 赤澤智熙, 牧野孝太郎, 畑山祥吾, モンフレ ステファン, ブフ フレデリック, トープラサートポン カシディット, 高木信一, 竹中充, 「III-V/Si ハイブリッド導波路向け Sb₂S₃ 不揮発光位相シフタの検証」, 『第72回応用物理学会春季学術講演会』, 16p-K305-5, 東京, 2025年3月14-17日.
- [82] 赤澤智熙, 李強, Guo-Qiang Lo, トープラサートポン カシディット, 高木信一, 竹中充, 「InGaAs/Si ハイブリッドフォトトランジスタとオンチップSi 抵抗を用いた電圧出力型光パワーモニタ」, 『第72回応用物理学会春季学術講演会』, 17p-K305-1, 東京, 2025年3月14-17日.
- [83] 竹中充, 唐睿, 宮武悠人, 柴成立, 赤澤智熙, 作本宙彌, 脇田耀介, バルダワジ ダルワ イシャン, 按田智大, 高城和馬, 関根尚希, 渡辺耕坪, 大野修平, 谷澤健, 牧野孝太郎, 富永淳二, 宮田典幸, 池田和浩, 岡野誠, モンフレ ステファン, ブフ フレデリック, トープラサートポン カシディット, 高木信一, 「異種材料集積を用いたAI用光回路」, 『第85回応用物理学会秋季学術講演会』, 18p-C302-6, 新潟, 2024年9月16-20日.
- [84] 唐睿, 岡野誠, トープラサートポン カシディット, 高木信一, 竹中充, 「多ポート光検出器を用いた単一波長・非コヒーレント型光行列演算回路の実証」, 『第85回応用物理学会秋季学術講演会』, 16p-A25-6, 新潟, 2024年9月16-20日.
- [85] 赤澤智熙, 李強, G.-Q. Lo, トープラサートポン カシディット, 高木信一, 竹中充, 「InGaAs/Si ハイブリッドフォトトランジスタとオンチップSi 抵抗の一体集積によるTIA-less 光パワーモニタの実証」, 『第85回応用物理学会秋季学術講演会』, 16p-A25-16, 新潟, 2024年9月16-20日.
- [86] 小松健太郎, 中山武壽, 赤澤智熙, 脇田耀介, 作本宙彌, 張超, 宮武悠人, モンフレ ステファン, ブフ フレデリック, 唐睿, トープラサートポン カシディット, 高木信一, 竹中充, 「Ni-InGaAs 合金を用いたInGaAs-Siハイブリッドプラズモニック導波路受光器」, 『第85回応用物理学会秋季学術講演会』, 16p-A25-15, 新潟, 2024年9月16-20日.
- [87] 唐睿, 大野修平, 谷澤健, 池田和浩, 岡野誠, トープラサートポン カシディット, 高木信一, 竹中充, 「AI応用に向けた光行列演算回路」, 『レーザー・量子エレクトロニクス (LQE) 研究会』, No. 4, 新潟, 2024年8月29-30日.
- [88] 山口明伸, 佐々木芳樹, “発火頻度変動を利用したリザーバー層における履歴保持に対する一検討”, 令和7年電気学会全国大会, 2025年3月18日
- [89] 大沼亮介, 佐々木芳樹, “低電圧化可能なP-HCNMを用いて構築したホップフィールドネットワークの一検討”, 令和7年電気学会全国大会, 2025年3月18日
- [90] 今村楓也, 佐々木芳樹, “パルス型ハードウェアカオスニューロンモデルを用いた階層型ニューラルネットワークの構築の文字画像認識における一検討”, 令和7年電気学会全国大会, 2025年3月18日
- [91] 牛島爽介, 佐々木芳樹, “パルス型ハードウェアカオスニューロンモデルを用いた自己組織化マップのためのBest Matching Unit決定回路に対する一検討”, 令和7年電気学会全国大会, 2025年3月18日
- [92] 佐々木芳樹, “低電圧動作スパイクニューロン回路のIC実装と実測”, 令和7年電気学会全国大会, 2025年3月18日

- [93] 武田海希, 佐々木芳樹, “ニューラルネットワークを用いた歩行ロボットの作製に対する一検討”, 令和6年度日本大学理工学部学術講演会, 2024年12月3日
- [94] 山口明伸, 佐々木芳樹, “ニューラルネットワークのリザーブ層における履歴保持に対する一検討”, 令和6年度日本大学理工学部学術講演会, 2024年12月3日
- [95] 大沼亮介, 佐々木芳樹, “低電圧化可能なP-HCNMを用いたニューラルネットワーク構築のレベルシフト回路に対する一検討”, 令和6年度日本大学理工学部学術講演会, 2024年12月3日
- [96] 今村楓也, 佐々木芳樹, “パルス型ハードウェアカオスニューロンモデルを用いた階層型ニューラルネットワークの文字画像認識構築に対する一検討”, 令和6年度日本大学理工学部学術講演会 2024年12月3日
- [97] 牛島爽介, 佐々木芳樹, “パルス型カオスニューロンモデルを用いた自己組織化マップのための Best Matching Unit 決定ユニット回路に対する一検討”, 令和6年度日本大学理工学部学術講演会, 2024年12月3日
- [98] 宇都宮 優巳, 村田 寛也, 佐藤 高史, 粟野 皓光, “180nm プロセス試作チップに基づくトランジスタのばらつきを利用したハードウェア ESN の検討,” DA シンポジウム, August 2024.
- [99] 稲葉泰誠, 丹沢徹. “電圧振幅拡大型コルピツオシレータを用いた昇圧回路の設計と動作実証,” LSI とシステムのワークショップ, 2024年5月.
- [100] 齋藤航, 丹沢徹, “低電圧電源バッテリー充電器のスイッチングレギュレータ設計,” LSI とシステムのワークショップ, 2024年5月.
- [101] 丹沢徹, IoT エッジ端末の長寿命化電源回路設計技術, 電子情報通信学会ソサイエティ大会 2024年9月.
- [102] 松原一樹, 氏家隆一, 森川大輔, 島 秀樹, 大倉俊介, “特微量出力可能なCMOSイメージセンサに向けた可変分解能シングルスロープ型A/D変換器の検討,” 映像情報メディア学会2024年年次大会, 2024年8月.
- [103] 北島直, 大谷愛, 堀田遼太郎, 大倉俊介, “LOFIC型CMOSイメージセンサに向けた小面積・低消費電力読み出し回路の検討 (1),” 映像情報メディア学会年次大会, 2024年8月
- [104] 堀聖菜, 大谷愛, 宮内健, 森川有輝, 大和田英樹, 高柳功, 大倉俊介, “LOFIC型CMOSイメージセンサに向けた小面積・低消費電力な読み出し回路の検討 (2),” 映像メディア学会年次大会2024, 2024年8月.
- [105] 岡田 虹輝, 堀田 遼太郎, 大谷 愛, 森川 有輝, 宮内 健, 大和田 英樹, 高柳 功, 大倉 俊介, “CMOSイメージセンサに用いる画素アンプと積分型A/D変換器を一体化した読み出し回路の検討,” 映像情報メディア学会2024年年次大会, 2024年8月.
- [106] 大谷愛, 小川広明, 宮内健, 森川有輝, 大和田英樹, 高柳功, 大倉俊介, “LOFIC型CMOSイメージセンサに向けた高SNR3段階読み出し回路の検討,” 情報センシング研究会 (IST), 2024年9月
- [107] 坂野綾香, 宮内健, 竹本周平, 大谷愛, 森川有輝, 大和田英樹, 郭家祺, 高柳功, 大倉俊介, “4T型構造を用いた線形応答DCG型CMOSイメージセンサ画素の検討,” 情報センシング研究会 (IST), 2024年9月.
- [108] 萩崎 真波, 小川 広明, 大山 達哉, 藤野 毅, 大倉 俊介, “CMOSイメージセンサに適したMAC回路に用いる軽量HASHの評価,” デザインガイア 2024, 2024年11月.
- [109] 藤原巧貴, 穴見太一, 松原一樹, 氏家隆一, 森川大輔, 島秀樹, 大倉俊介, “特微量抽出可能なCMOSイメージセンサ画素の感度向上の検討,” 映像情報メディア学会 2024年冬季大会, 2024年12月
- [110] 穴見太一, 森角勇大, 大須賀裕宇, 氏家隆一, 森川大輔, 島秀樹, 大倉俊介, “特微量抽出可能なCMOSイメージセンサに向けた8画素共有レイアウトの感度検討,” 映像情報メディア学会 関西支部 若手研究発表会, 2024年12月.
- [111] 堀田遼太郎, 大谷愛, 小川広明, 大倉俊介, “LOFICイメージセンサに用いる小面積かつ高線形な列並列読み出し回路の評価,” 情報センシング研究会 (IST), 2025年3月.
- [112] 岡田 虹輝, 堀田 遼太郎, 大谷 愛, 大倉 俊介 (立命館大学), 森川 有輝, 宮内 健, 大和田 英樹, 高柳 功 (プリルニクスジャパン), CMOSイメージセンサに用いる低消費電力・小面積な読み出し回路, LSI とシステムのワークショップ2024, 2024年5月.
- [113] 佐方, 長名, “量子誤り訂正むけFPGAクラスタのためのパケットアグリゲータの開発,” 電子情報通信学会リコンフィギャラブルシステム研究会, RECONF2024-116, 2025年1月.
- [114] 田畑, 長名, “Altera OFS 対応 Ethernet 通信コント

- ローラの実装,” 電子情報通信学会コンピュータシステム研究会, CPSY2024-47, 2025年3月.
- [115] 田中, 友利, 長名, “高速シリアル通信コントローラ Kyokko の Lattice FPGA 向け実装,” 電子情報通信学会コンピュータシステム研究会, CPSY2024-47, 2025年3月.
- [116] 中橋, 森, 井田, “Steep Slope PN-Body Tied SOI-FETによるCMOSインバータ回路での貫通電流の削減,” 信学技報, vol. 124, no. 145, SDM2024-36, pp. 38-41, 2024年8月.
- [117] 福代大紀, 島田 宏, 水柿義直, “Time-to-Digital Converterの改良によるSFQ All-Digital Phase Locked Loopの位相誤差の低減,” 2024年電子情報通信学会ソサイエティ大会, C-8-06, 2024年9月
- [118] 福代大紀, 島田 宏, 水柿義直, “Time-to-Digital Converter を導入したSFQ All-Digital Phase-Locked Loop の設計と評価,” 電子情報通信学会技術研究報告 (超伝導エレクトロニクスSCE), SCE2024-12, 2025年1月 (招待講演)
- [119] 森川 弓月, 趙 辰宇, 筒井 弘, 大鐘 武雄, “音声信号処理向け低コストメルフィルタバンクのハードウェア実装に関する一考察,” Proceedings of the 50th PARTHENON Technical Society Conference, pp. 32-33, Dec. 2024.
- [120] 岡元, 大島, “LCタンク付きD級インバータの効率評価,” 電気・情報関係学会九州支部連合大会, 06-2A-03, 2024年9月
- [121] 枝廣, 田中, “乗算器を用いない1次元高次数FIRフィルタ,” 第30回 電子情報通信学会東京支部学生会研究発表会, 2025年3月.
- [122] 島村龍伍, 三角啓, 安永竣, 肥後昭男, 中根了昌, 三田吉郎 「ナノスパイアを用いた絶縁層貫通式接続機構の実現」, 第41回 「センサ・マイクロマシンと応用システム」シンポジウム, 仙台, 2024年11月25日-28日, 25P2-M-3 (2024.11.25)
- [123] 中村友哉, 高野恭弥, 飯塚哲也, 安永竣, 水島彩子, 肥後昭男, 中根了昌, 三田吉郎 「300GHz パワーアンプ用z軸 $\lambda/4$ stubの設計・試作」, 第16回集積化MEMSシンポジウム, 仙台, 2024年11月25日-28日, 26P2-D-4 (2024.11.26)
- [124] 安永竣, 江澤雅彦, 三田吉郎: 「プロセス後変形可能な機械的バイアス機構を用いた非対称双安定MEMS素子」, 第16回集積化MEMSシンポジウム, 仙台, 2024年11月25日-28日, 27A2-D-1 (2024.11.27)
- [125] 島本直伸, 天野秀晴, 最上徹, 井上友里恵, 落合幸徳, 角博文, 小菅敦丈, 黒田忠広, 池田誠, 三田吉郎 「ボンディングパッド表面処理によるAgile-X LSIの製造歩留り改善」, 第16回集積化MEMSシンポジウム, 仙台, 2024年11月25日-28日, 27A2-D-4 (2024.11.27)
- [126] 中村 友哉, 高野 恭弥, 飯塚 哲也, 安永 竣, 水島 彩子, 肥後 昭男, 中根 了昌, 三田 吉郎, 「[16a-P05-10] 横方向スタブを用いた300GHz帯z軸 $\lambda/4$ スタブの共振周波数調整手法」 2025年第72回応用物理学会春季学術講演会, 2025年3月14-17日, 東京理科大学 (千葉県野田市) (2025.03.16)
- [127] 島村 龍伍, 三角 啓, 安永 竣, 肥後 昭男, 中根 了昌, 三田 吉郎, 「[16p-P11-12] サブミクロン垂直 MEMS プローブのための Mo ナノスパイアの検討」 2025年第72回応用物理学会春季学術講演会, 2025年3月14-17日, 東京理科大学 (千葉県野田市) (2025.03.16)
- [128] 田村喬, 升井義博, “0.18 μm -CMOSプロセスを用いた無線センサネットワーク用逐次比較型AD変換器の低電源電圧化,” 電子情報通信学会集積回路研究専門委員会, LSIとシステムのワークショップ, 2024年5月
- [129] 久岡辰二郎, 升井義博, “LED照明と照度センサを用いた可視光通信に関する研究,” 電子情報通信学会集積回路研究専門委員会, LSIとシステムのワークショップ, 2024年5月
- [130] 杉山咲, 山口賢一, 岩田大志: “LSIの可検査性とグラフ構造における中心性の関係に関する考察,” 第23回情報科学技術フォーラム講演論文集, No.1, CC-001, PR.41-44, Sep. (2024) .
- [131] 片浦 碧, 杜 邦, 中村 皓平, 黄 貝宇 彤, 長谷川 稜, 福島 誉史, 清山 浩司, 田中 徹, “口腔内 PPG センシングを利用するヒューマンマシンインターフェイスの開発 –PPG センサ回路の設計と評価–,” 2024年電子情報通信学会ソサイエティ大会, p. 1684, 2024年9月.
- [132] 長谷川 稜, 杜 邦, 中村 皓平, 黄 貝宇 彤, 片浦 碧, 森安 新, 鈴木 章広, 福島 誉史, 清山 浩司, 田中 徹, “GVS を用いる視覚障がい者向けウェアラブル移動補助デバイスの開発 –GVS 用安全補償回路の設計と評価–,” 2024年電子情報通信学会ソサイエティ大会, p. 1685, 2024年9月.
- [133] Beiyutong Huang, Aoi Kataura, Ryo Hasegawa, Kohei Nakamura, Bang Du, Takafumi Fukushima,

- Koji Kiyoyama, and Tetsu Tanaka, "Development of Low-Power and Real-Time Visual to Auditory Sensory Modality Conversion Device," 2024年電子情報通信学会ソサイエティ大会, p. 1686, 2024年9月.
- [134] 大庭 脩太郎, 岩沼 尚樹, 邱 晨曦, 辻 一志, 木野 久志, 福島 誉史, 田中 徹, "光導波路を有する脳内埋植用UCNPメッシュシートの作製と評価," 2024年第85回応用物理学会秋期学術講演会予稿集, p. 11-081, 2024年9月.
- [135] 辻 一志, 岩沼 尚樹, 邱 晨曦, 大庭 脩太郎, 木野 久志, 福島 誉史, 田中 徹, "頸髄バイパスカフ刺激電極の作製と評価," 2024年第85回応用物理学会秋期学術講演会, p. 11-082, 2024年9月.
- [136] 片浦 碧, 杜 邦, 中村 皓平, 長谷川 稜, 黄 貝宇 彤, 福島 誉史, 清山 浩司, 田中 徹, "高性能ヒューマンマシンインターフェイスのための口腔内PPG センサの開発," 2024年(令和6年)応用物理学会東北支部第79回学術講演会. pp. 136-137, 2024年12月.
- [137] 辻 一志, 二宮 敦彦, 岩沼 尚樹, 邱 晨曦, 大庭 脩太郎, 木野 久志, 福島 誉史, 片山 統裕, 新妻 邦泰, 遠藤 英徳, 田中 徹, "頸髄全周から神経活動を記録するWrap Around Electrodeの評価," 2024年(令和6年)応用物理学会東北支部第79回学術講演会, pp. 138-139, 2024年12月.
- [138] 大庭 脩太郎, 岩沼 尚樹, 邱 晨曦, 辻 一志, 木野 久志, 遠藤 俊毅, 福島 誉史, 田中 徹, "マイクロレンズを有するUCNPシートデバイスの作製と評価," 2025年第72回応用物理学会春季学術講演会, p. 10-430, 2025年3月.
- [139] 長崎, 吉河, "位相調整回路における線形性とDutyの改善に関する検討," JHES2024, 2024年9月
- [140] 先田, 吉河, 他, "モード多重伝送を実現する集積回路の構成に関する検討," JHES2024, 2024年9月
- [141] 中村, 東, 吉河, "匂いセンサシステムの小型化に向けた電子回路の改良に関する検討," JHES2024, 2024年9月
- [142] 大橋巧, 佐々木優希, 野口卓朗, 清水暁生, 石川洋平, "微小位相差計測回路における入力信号と入力トランスコンダクタンスの関係," 2024年度電子情報通信会九州支部学生会講演会・講演論文集, C-02, Sep. 2024.
- [143] 武下天, 佐々木優希, 野口卓朗, 石川洋平, 清水暁生, "8ビット電流制御型DACを用いた電流源のためのレベルシフト回路の検討," 2024年度電子情報通信会九州支部学生会講演会・講演論文集, C-03, Sep. 2024.
- [144] 清水暁生, 佐々木優希, 大橋巧, 野口卓朗, 石川洋平, "微小位相差計測における同相信号除去の検討," 令和7年電気学会全国大会, 3-016, p. 26, Mar. 2025.
- [145] 福井, 土谷, 井上, 岸根, "オンチップ配線を用いた静電容量式コプレーナ型接触角センサ", デザインガイア2024, 2024年11月.
- [146] 植田, 土谷, 井上, 岸根. "極低温状態での集積回路内配線におけるサイズ効果が遅延時間に与える影響", デザインガイア2024, 2024年11月.
- [147] 碓本修佑, "相補型有機信号処理回路を用いた低ノイズ汗センシングの実現," 第80回学術講演会・第9回産研ホームカミングデイ, 大阪大学産業科学研究所, November 2024.
- [148] 碓本修佑, "フレキシブル信号処理回路を用いた低ノイズ汗連続測定の実現," 第72回応用物理学会春季学術講演会, 17p-K404-13, 東京理科大学野田キャンパス, 2025年3月17日, 2025年3月.
- [149] 坂本純一, 堀洋平, 川村信一, 林優一, 永田真, "裏面赤外観察による非破壊ハードウェアトロイ検査," 電子情報通信学会技術報告, vol. 124, no. 6, HWS2024-5, pp. 18-23, 2024.4.19. HWS研究会
- [150] 横田 脩平, 長谷川 陸宇, 門田 和樹, 沖殿 貴朗, 三木 拓司, 永田 真, "3次元積層チップにおける近傍の熱特性の評価と解析," 電子情報通信学会技術報告, vol. 124, no. 146, ICD2024-31, pp64-68, 2024.8.6. 集積回路研究会
- [151] 長谷川陸宇, 門田和樹, 弘原海拓也, 三木拓司, 永田真, "シリコン基板裏面電磁的故障注入攻撃におけるチップ内部電圧変動の評価," 2024年電子情報通信学会ソサイエティ大会, C-12-6, 2024.9.12.
- [152] 林佑亮, 長谷川陸宇, 弘原海拓也, 門田和樹, 三木拓司, 永田真, "ICチップ裏面の高電圧パルス印加による故障注入攻撃," 電子情報通信学会技術報告, vol. 124, no. 229, HWS2024-69, pp. 38-43, 2024.11.1 HWS研究会
- [153] 長谷川陸宇, 門田和樹, 弘原海拓也, 三木拓司, 永田真, "電磁的故障注入攻撃によるチップ内部電圧応答とデジタル回路故障の評価," 電子情報通信学会技術報告, vol. 124, no. 229, HWS2024-70, pp. 44-47, 2024.11.1 HWS研究会
- [154] Sosuke Ashida, Koh Watanabe, Hiraku Uehara, Satoshi

- Tanaka, Makoto Nagata, Masahiro Yamaguchi, "Study on evaluation and analysis method of electromagnetic noise reduction effect of IC chip by magnetic materials," IEICE Technical Report, vol. 124, no. 258, EMCJ2024-73, pp. 10-13, 2024.11.15. EMC Joint Workshop 2024
- [155] 隠岐貴文, 長谷川陸宇, 門田和樹, 三木拓司, 永田真, "ハードウェアトロイに対するハイブリッドかつ階層的な検知フローの検討," 電子情報通信学会技術報告, vol. 124, no. 401, HWS2024-110, pp. 206-211, 2025.3.8. HWS研究会
- [156] 芦田壮亮, 渡邊航, 上原啓, 三家雄志, 田中聡, 永田真, 山口正洋, "磁性体によるICチップ電磁ノイズ低減効果の解析手法の検討," 2025年電子情報通信学会総合大会, B-4-31, p. 233, 2025.3.28. -
- [157] 門田和樹, 永田真, "暗号 IC チップのサイドチャネル漏洩とシミュレーション法," ハードウェアセキュリティフォーラム 2024, 2024.12.16
- [158] 長谷川陸宇, 門田和樹, 弘原海拓也, 三木拓司, 永田真, "フルウェーブシミュレーターと電源電流解析を用いた暗号チップセキュリティ評価手法の検討" 電子情報通信学会・集積回路研究会, 学生・若手研究会, 2024.12.21.
- [159] 亀山, 瀬部, 兼本, 廣瀬, "光エネルギーハーベスティングに向けた双方向SC型電源回路," 電子情報通信学会ソサイエティ大会, C-12-16, 2024年9月.
- [160] 栗栖, 瀬部, 兼本, 廣瀬, "熱電発電素子に向けた極低電圧ワンショットパルスジェネレータ," 電子情報通信学会ソサイエティ大会, C-12-17, 2024年9月.
- [161] 鷺見, 瀬部, 兼本, 廣瀬, "極低電圧NAND回路を用いたDフリップフロップ," 電子情報通信学会ソサイエティ大会, C-12-18, 2024年9月.
- [162] 吉川, 兼本, 廣瀬, "無線脳波計のためのスケラブルチョッパオートゼロアンプに関する研究," 信学技報 (デザインガイア2024), vol. 124, no. 247, VLD2024-48, pp. 120-125, 2024年11月.
- [163] 松本, 兼本, 奥村, 松原, 廣瀬, "圧縮センシングを活用した無線脳波計測システムにおけるランダムアンダーサンプリング型SARADCの開発," 信学技報 (デザインガイア2024), vol. 124, no.247, VLD2024-44, pp.100-104, 2024年11月.
- [164] 三井, 兼本, 廣瀬, "ランダムアンダーサンプリング型圧縮センシング脳波計測システムにおける低雑音アンプの消費電力低減手法," 信学技報 (デザインガイア2024), vol. 124, no. 248, ICD2024-49, pp. 26-31, 2024年11月.
- [165] 芳賀 亮多, 佐々木 昌浩, "電気長誤差を考慮した時間差増幅回路の測定手法に関する研究," The 21th IEEE TOWERS アブストラクト集, pp. 36-36, 2024年11月23日
- [166] Sunghun Kim, Kaito Hikake, Zhuo Li, Takuya Saraya, Toshiro Hiramoto, Masaharu Kobayashi, 「A Nanosheet Oxide Semiconductor FET Using ALD InZnOx Channel」, 第85回応用物理学会秋季学術講演会, 朱鷺メッセ (新潟), 16p-C302-5, 2024年9月16日.
- [167] 坂井洸太, 日掛凱斗, 更屋拓哉, 平本俊郎, 小林正治, 「ALD InGaZnOx をチャンネル材料とするナノシート酸化物半導体トランジスタ」, 第85回応用物理学会秋季学術講演会, 朱鷺メッセ (新潟), 16p-C302-6, 2024年9月16日.
- [168] Kaito Hikake, Xingyu Huang, Sung-hun Kim, Kota Sakai, Zhuo Li, Tomoko Mizutani, Takuya Saraya, Toshiro Hiramoto, Takanori Takahashi, Mutsunori Uenuma, Yukiharu Uraoka, Masaharu Kobayashi, 「Study on High-Field Transport and Statistical Variability of Nanosheet Oxide Semiconductor FETs for Device Scaling in Monolithic 3D Integration」, 第85回応用物理学会秋季学術講演会, 朱鷺メッセ (新潟), 16p-C302-7, 2024年9月16日.
- [169] Xiaoran Mei, Yaoping Xiao, Takuya Saraya, Toshiro Hiramoto, Masaharu Kobayashi, "Component Prioritization Assessment in Gate-All-Around Nanosheet FETs using Design-Technology Co-Optimization (DTCO)," 第71回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 17a-K101-10, 2025年3月17日.
- [170] Yaoping Xiao, Xiaoran Mei, Takuya Saraya, Toshiro Hiramoto, Masaharu Kobayashi, "Design Technology Co-optimization (DTCO) for spacer Design in Gate-All-around Nanosheet FETs," 第71回応用物理学会春季学術講演会, 東京理科大学野田キャンパス, 17a-K101-11, 2025年3月17日.
- [171] Yaoping Xiao, Xiaoran Mei, Takuya Saraya, Toshiro Hiramoto, Masaharu Kobayashi, "Comprehensive Study on the Silicon-Nanosheet Thickness Dependence On the Device Performance of Gate-All-Around NFETs," 第71回応用物理学会春季学術講演会, 東京理科大学野田キャンパス,

- 17a-K101-12, 2025年3月17日.
- [172] 小林正治, Xingyu Huang, 日掛凱斗, Sung-hun Kim, 坂井洸太, Zhuo Li, 水谷朋子, 更屋拓哉, 平本俊郎, 高橋崇典, 上沼睦典, 浦岡行治, 「ナノシート酸化物半導体トランジスタにおける高電界輸送と特性ばらつき」, シリコンテクノロジー分科会研究集会, 金沢工業大学, 2024年8月26日.
- [173] 小林正治, 「三次元集積デバイス応用に向けたナノスケール酸化物半導体トランジスタの研究報告」, 第10回透明酸化物光・電子材料研究会, 東京大学, 2025年1月24日.
- [174] 小林正治, 「酸化物半導体トランジスタの微細化に関する研究」, 応用物理学会春季学術講演会, 16p-K203-2, 東京理科大学, 2025年3月16日.
- [175] 今井雅, “設計制約を課した論理合成結果選択の妥当性に関する一考察,” 電子情報通信学会技術研究報告 VLD2024-66, pp.220-225, Nov., 2024
- [176] 本田悟, 石田大和, 神谷浩, 金本俊幾 “LSI の放射性エミッションノイズの TEG 評価と解析モデル,” DAシンポジウム2024, pp.72-78, Sep. 2024
- [177] 木原, 松井, 竹内, “Hyperdimensional Computing 向け3D Parallel ReRAM CiM アレイ,” 第72回応用物理学会春季学術講演会, 16a-K306-4, 2025年3月.
- [178] Leshan Xu, Satoshi Tanaka, Takeshi Yoshida, Minoru Fujishima, “Miniaturization of D-band Wilkinson power divider,” IEICE Society Conference 2024, C12-02, Sep. 2024.
- [179] Zhen Yan, Satoshi Tanaka, Takeshi Yoshida, Minoru Fujishima, “A Miniaturized 150GHz Full-Phase Range CMOS Phase Shifter Design,” IEICE Society Conference 2024, C12-03, Sep. 2024.
- [180] 持田 光輝, 田中 聡, 吉田 毅, 天川 修平, 藤島 実, “多段化に伴う特性の再調整を不要とする CMOS 差動増幅器,” 2024年電子情報通信学会ソサイエティ大会, C12-04, 2024年9月.
- [181] 三吉 雄大, 吉田 毅, 田中 聡, 藤島 実, “高周波 CMOS 集積回路における連結金属充填レイアウト,” 2024年電子情報通信学会ソサイエティ大会, C12-05, 2024年9月.
- [182] 三吉 雄大, 吉田 毅, 田中 聡, 藤島 実, “小面積でのデカップリングと ESD 対策を実現する電源レイアウト,” 2025年電子情報通信学会総合大会, C12-03, 2025年3月.
- [183] Leshan Xu, Satoshi Tanaka, Takeshi Yoshida, Minoru Fujishima, “Coplanar Waveguide Crossover Junction with Low Loss and Low Coupling in Millimeter-wave Band,” 2025年電子情報通信学会総合大会, C12-4, 2025年3月.
- [184] Zhen Yan, Satoshi Tanaka, Takeshi Yoshida, Minoru Fujishima, “A Compact 31-69 GHz Ultra-Wide Bandwidth Tunable Frequency Response Amplifier in 40nm CMOS,” 2025 年 電子情報通信学会総合大会, C12-05, 2025年3月.
- [185] 持田 光輝, 田中 聡, 吉田 毅, 天川 修平, 藤島 実, “差動結合線路に対する分割電磁界解析手法の検討,” 2025 年 電子情報通信学会総合大会, C12-06, 2025年3月.
- [186] 安實泰世, 安田彰, 「 $\Delta\Sigma$ TDC のミスマッチに対する高精度化の提案」, 電情報通信学会, 学生・若手研究会, 2024年12月21日 (土) ~ 23日 (月), 大濱信泉記念館, 石垣市, 2024.
- [187] 鈴木遼太郎, 佐藤恒太郎, 安田彰, 水中用途オーディオシステムへのデジタル直接駆動技術の適用と低歪・広帯域化, 電情報通信学会, 学生・若手研究会, 2024年12月21日 (土) ~ 23日 (月), 大濱信泉記念館, 石垣市, 2024.
- [188] 菅 裕介, 安田 彰, 回転軸振動を低減するモータドライブシステムの提案 電情報通信学会, 学生・若手研究会, 2024年12月21日 (土) ~ 23日 (月), 大濱信泉記念館, 石垣市, 2024.
- [189] 柴田拓海, 安田 彰, ブロック耐性をもつ偶高調波ミキサ付きAD変換器の提案 電気学会電子回路研究, ECT-024-036, 2024年6月7日 (金), 日本大学八海山セミナーハウス, 南魚沼市, 2024.
- [190] 李尚曄, “RLGCモデルを用いたテラヘルツ帯電波吸収体の設計,” 電子情報通信学会総合大会, C-14-08, 2025年3月.
- [191] 李尚曄, “ハーモニックブースティングを用いた キャパシタレス注入同期型18分周器の設計,” マイクロ波研究会, 2025年3月.
- [192] 赤羽根, 森, 中野, “単安定マルチバイブレータを用いた低電圧対応低周波クロック通倍回路,” 電気学会電子回路研究会, 2025年3月
- [193] 森, 梶山, 永田, 渡邊, 三井, 石黒, 中野, “ツェナーダイオードを用いたダブルウェルプロセスにおける高耐圧パルサの設計,” 電気学会電子回路研究会, 2025年3月
- [194] 永田, 森, 中野, 渡邊, “全差動オペアンプを用いた3次バターワースフィルタの設計,” 電気学会電子回路研究会, 2025年3月

- [195] Alvaro, 中野, “Clock Recovery Circuit Based on Commercial Frequency for Microsystems,” 電気学会電子回路研究会, 2025年3月
- [196] 佐々木, 四柳, 橋爪, “チャージポンプ型電荷注入回路を用いるトロイ回路検出の検討,” 電子情報通信学会技術研究報告, Vol.FIIS24, No.599, pp.1-6, 2024年6月.
- [197] 本間, 四柳, 橋爪, “TDC 組込み型バウンダリスキャンによる遅延測定の補正法,” 第89回FTC研究会資料, 2024年7月.
- [198] 南, 四柳, 橋爪, “自己観測型 TDC 組込みバウンダリスキャンを用いた半断線故障検査,” 第89回FTC研究会資料, 2024年7月.
- [199] 小松原, 宮谷, 四柳, 橋爪, “オフセットキャンセル型コンパレータを用いる電気検査法の抵抗断線検出能力の検査時温度依存性,” 電気・電子・情報関係学会四国支部連合大会講演論文集, p.67, 2024年9月.
- [200] 岸本, 東海, 四柳, 橋爪, “許容故障の検出を抑制する近似乗算器のテストパターン削減法,” 電気・電子・情報関係学会四国支部連合大会講演論文集, p.65, 2024年9月.
- [201] 藤野, 大濱, 四柳, 橋爪, “遅延検査容易化設計を用いるIC 個体識別回路における機械学習攻撃の耐性評価,” 電気・電子・情報関係学会四国支部連合大会講演論文集, p.66, 2024年9月.
- [202] 赤松, 四柳, 橋爪, “近似乗算器用BIST内の疑似乱数回路の面積削減について,” 電子情報通信学会技術研究報告, Vol.124, No.249, pp.67-72, 2024年11月.
- [203] 三木, 四柳, 橋爪, “アービター PUF を組込んだ遅延検査容易化設計について,” 電子情報通信学会技術研究報告, Vol.124, No.249, pp.73-78, 2024年11月.
- [204] 土井, 鶴岡, 四柳, 橋爪, “バウンダリスキャンによる待機状態 IC の配線検査を制御する MCU プログラムの生成,” 第39回エレクトロニクス実装学会春季講演大会, pp.446-449, 2025年3月.
- [205] 石川 将也, 守谷 哲, 酒井 哲汰, 山本 英明, 佐藤 茂雄, “低電力リザーブ計算システムの構築に向けた スパイキングニューラルネットワーク LSI の設計,” 電子情報通信学会総合大会, 2025年3月
- [206] 酒井 哲汰, 守谷 哲, 石川 将也, 山本 英明, 佐藤 茂雄, “距離依存結合構造を有するアナログ SNN 回路を用いたリザーブ計算による音声信号分類の高性能化,” 電子情報通信学会総合大会, 2025年3月
- [207] 飯田 陽介, 守谷 哲, 山本 英明, 佐藤 茂雄, “STDP 則のアナログ CMOS 回路実装と分類タスクへの応用,” 電子情報通信学会 ニューロコンピューティング (NC) 研究会, 2024年9月
- [208] 勝部 諒真, 請園 智玲, “ネットリストへのサイドチャネル攻撃プラットフォームを用いた耐タンパ性設計の再評価,” 電子情報通信学会 技術研究報告, 信学技報, HWS2024-89, Vol.124, No.401, pp.90-94, 5ページ, ハードウェアセキュリティ研究会 (HWS) 2025年3月.
- [209] 萱野, 矢嶋, “大規模かつ省電力な Single-bit 温度センサシートに関する基礎検討” 電気情報通信学会, 2025年3月
- [210] 伊藤 向子, 小島拓也, 高瀬英希, 中村 宏, “CGRAにおけるコントローラ設計探索のための制御フロー分離の検討,” 信学技報, vol. 124, no. 72, CPSY2024-2, pp. 6-11, 2024年6月.
- [211] 中村, 佐藤, 小川, “CMCPを用いた2電極心電信号増幅回路における差動出力に現れる同相雑音の低減,” 電気学会研究会資料 電子回路研究会, pp.1-6, 2025年3月
- [212] 中村, 佐藤, 小川, “2電極生体信号増幅回路における素子ばらつきに起因する差動出力雑音の低減,” 第31回 電気学会東京支部山梨・静岡東部支所研究発表会 予稿集, 2024年11月.
- [213] 彦田将明, 高橋芳浩: 「重イオン照射による CMOS インバータの過渡現象」, 日本大学理工学部術講演会, M-15, 2024.12.3.
- [214] 大川 祐正, 高橋 芳浩: 「PN-Body Tied SOI MOSFET の動作メカニズム解明に向けた検討」, M-16, 2024.12.3.
- [215] 石田, 大鹿, 伊藤, 中村, “スタック型部分等化技術を用いた PAM4 信号補償回路の検討,” 2025年電子情報通信学会総合大会, A-1-04, 2025年3月.
- [216] 二瓶匠充, Andrino Robles Roberto, 原田知親, “弱反転領域で動作する対数変換器を用いたアナログ/PWM 変換器の研究,” 電子情報通信学会 ソサイエティ大会, 2024年9月
- [217] 神谷壮紀, 伊藤孝充, 二瓶匠充, 原田知親, “ダイナミックエレメントマッチングを用いた八角形多端子 MOSFET 磁界検出回路の設計,” 電子回路研究会, ECT-25-008, 2025年1月
- [218] 大竹梨湖, 二瓶匠充, 伊藤孝充, 神谷壮紀, 原田

- 知親, “多端子MOSFETと同一集積可能なCMOS磁界検出回路の設計,” YS-23-D01, 令和7年東北地区若手研究者研究発表会, 2025年3月
- [219] 飯村太輝斗, 山口拓人, 佐伯勝敏, “ハードウェアランダムNNを用いたリザバーコンピューティングの画像記憶および想起に対する検討”, 電子情報通信学会ニューロコンピューティング研究会, NC2024-55, pp.74-78, 大阪, 2025.1.29.
- [220] 米川尊, 山口拓人, 佐伯勝敏, “パルス形ハードウェアカオスニューロンモデルを用いたリザバーコンピューティングの時系列情報処理と短期記憶性”, 電気学会電子回路研究会, ECT-24-058, pp.55-58, 筑波, 2024.11.22.
- [221] 周藤丈瑠, 山口拓人, 佐伯勝敏, “四安定STDP回路を用いた画像記憶想起に対する検討”, 電気学会電子回路研究会, ECT-24-031, pp.31-34, 八海山, 2024.6.6.
- [222] 鈴木 渉太, 出川 祐也, 吉田 智裕, 門本 淳一郎, 入江 英嗣, 坂井 修一, 実行サイクル数に応じた動的近似アーキテクチャのRTL設計とソフトプロセッサ実装, 情報処理学会 xSIG, 1-14, 2024年8月.
- [223] 石川貴大, 御堂義博, 三浦典之, 新谷道広, 塩見準, “ハードウェアトロイ検出を可能にする細粒度電源ドメイン分割回路の低コスト化,” 信学技報, vol. 124, no. 400, VLD2024-127, pp. 138-143, 2025年3月.
- [224] 石川 貴大, 横大路 弘成, 御堂 義博, 三浦 典之, 新谷 道広, 塩見 準, “細粒度電源ドメイン分割によるハードウェアトロイ検出,” ハードウェアセキュリティフォーラム2024, Dec. 2024.
- [225] 冨永 孝太郎, 松尾 亮祐, 御堂 義博, 三浦 典之, 新谷 道広, 塩見 準, “低温・低電圧動作によるCMOSインバータの3値論理特性,” DAシンポジウム2024, pp. 100-105, 2024年8月.
- [226] 石川 貴大, 横大路 弘成, 御堂 義博, 三浦 典之, 新谷 道広, 塩見 準, “細粒度電源ドメイン分割によるハードウェアトロイ検出の高精度化,” DAシンポジウム2024, pp. 8-13, 2024年8月.
- [227] 木村, 椎名, 増澤, “微小コイルと平行配線の組み合わせによる磁気ビーズ移送速度の向上に関する研究,” 第41回「センサ・マイクロマシンと応用システム」シンポジウム, 25P4-PS-95 (L-336), 2024年11月.
- [228] 冨田, 木村, 増澤, “集積化磁気センサのドレイン変調で生じるノイズ除去のためのフィルタ処理の検討,” 令和6年度 第32回 電気学会茨城支所 研究発表会, IBK-24-066, 2024年11月.
- [229] 丸山, 木村, “耐放射線型イメージセンサに搭載された多チャンネルAD変換器において発生する出力ばらつきの評価,” 令和6年度 第32回 電気学会茨城支所 研究発表会, IBK-24-068, 2024年11月.
- [230] 水野, 木村, “六角形型セルを適用した部分露光型イメージセンサにおける露光領域の誤選択抑制に関する検討,” 令和6年度 第32回 電気学会茨城支所 研究発表会, IBK-24-067, 2024年11月.
- [231] 小島光, 和田和千, 関根かをり, 田野井聡, 原紳介, 笠松章史, 砂田哲, “フォトリザバー後処理部のアナログ回路設計”, 電気学会電子回路研究会 ECT-024-055, 2024年11月
- [232] 福岡政大, 原基揚, 伊藤浩之, “FBAR発振器を用いた原子時計モジュールの開発,” 電気学会全国大会 シンポジウム講演S20-3, 2025年3月18日
- [233] 西尾和俊, 原基揚, 福岡政大, 道正志郎, 伊藤浩之, “FBAR VCOを用いたカスケードPLLの位相雑音シミュレーション”, 電子情報通信学会 集積回路研究専門委員会 学生・若手研究会, 2024年12月
- [234] 中井智哉, 武内良典, 「カスタム命令追加設計支援環境を用いた自然対数演算のためのRISC-V プロセッサの設計」, DAシンポジウム2024論文集, Vol. 2024, pp. 128-133, 2024年8月.
- [235] 岸本日和, 小椋清孝, 古田潤, 伊藤信之, “28 GHz 帯Push-Push VCO における共振器回路構成の検討,” 2024 年度 (第 75回) 電気・情報関連学会中国支部連合大会, R24-12-04, 2024年10月26日.
- [236] 塩津勇作, 菅原聡, “エネルギー最小点で動作するINT4推論NNアクセラレータ・マクロの設計”, 第85回応用物理学会秋季学術講演会, paper 16p-C302-16, 2024年9月.
- [237] 伊藤克俊, 塩津勇作, 菅原聡, “高安定エネルギー最小点動作が可能なULVR-SRAMセルの設計”, 第85回応用物理学会秋季学術講演会, paper 16p-C302-18, 2024年9月.
- [238] 加藤豪人, 大木治弥, 塩津勇作, 山本修一郎, 菅原聡, “不揮発性SRAMのパワーゲーティング・アーキテクチャと性能”, 第85回応用物理学会秋季学術講演会, paper 16p-C302-13, 2024年9月.
- [239] 吉田誠, 塩津勇作, 菅原聡, “擬似SRAMゲインセルの性能比較”, 第85回応用物理学会秋季学術講演会, paper 16p-C302-14, 2024年9月.

- [240] 近藤慶音, 塩津勇作, 菅原聡, “XNOR 演算を有するエネルギー最小点動作・PIM型SRAMセル”, 第85回応用物理学会秋季学術講演会, paper 16p-C302-15, 2024年9月.
- [241] 矢口忠勝, 塩津勇作, 菅原聡, “低電圧動作・リードポート付き10T-SRAMセルの設計と性能”, 第85回応用物理学会秋季学術講演会, paper 16p-C302-17, 2024年9月.
- [242] 塩津勇作, 菅原聡, “並列化MACユニットを有するPIM型NNアクセラレータ・マクロのエネルギー最小点”, 第72回応用物理学会春季学術講演会, paper 17p-K101-11, 2025年3月.
- [243] 佐藤 拓実, 小宮山 崇夫, 長南 安紀, 山口 博之, 小谷 光司, “実用的モデルパラメータを用いた各種高効率整流回路の比較検討,” 2024年度電気関係学会東北支部連合大会, 2H01-04-04, 2024年8月, 由利本荘市.
- [244] 小谷 光司, 小宮山 崇夫, 長南 安紀, 山口 博之, “LCRメータによる環境電波発電向け整流回路の評価,” 2025年電子情報通信学会総合大会, B-20-16, 2025年3月, 東京都世田谷区.
- [245] 小飼 遼, 小宮山 崇夫, 長南 安紀, 山口 博之, 小谷 光司, “バランstransを介したLCRメータによる環境電波発電向け差動整流回路の評価手法,” B-20-17, 2025年3月, 東京都世田谷区.
- [246] 小飼 遼, “トロイダルトランスを用いた差動整流回路の評価,” Hyper Net Akita 「学生パネル発表」, N-49a, 2024年2月, 由利本荘市.

【著書】

- [1] 金谷, “テラヘルツ帯オンチップスロットアレイアンテナの開発,” テラヘルツ波の発生, 検出, 制御技術と最新応用, 技術情報協会, 第3章, 第2節, pp.302-313, 2024,
- [2] Kazuya Masu and Shuhei Amakawa, Elementary Semiconductor Device Physics: Understanding Energy Band Formation Using Circuit Theory, CRC Press, 2024.

【特許】

- [1] 飯塚 哲也, 占 黎晨, “コンパレータ回路, A/Dコンバータ,” 特願2025-003096.
- [2] 飯塚 哲也, 熊野 陽, 王 錫明, 中村 邦彦, 古田 善一, 根塚 智裕, “増幅回路及びスイッチトキャパシタ回路,” 特願2025-038366.

D. VDECの利用規程・申し込みガイド

D.1 概要

VDECは、全国の大学・高専向けに様々な支援事業を実施している。

1. CADツールの共同利用
2. VLSI試作サービスの共同利用
3. CADツール講習会（8-9月・3月）
4. 社会人リフレッシュ教育（6月-8月、学生も参加可能）
5. VLSIデザイナーフォーラム（若手の会）
6. 大型装置利用

CADベンダー、試作会社等のアカデミック向けの協力により、それぞれのサービスを大幅なアカデミックディスカウントで提供している。VDEC設立以来、これまでの実績では、CADの利用・CAD講習会は無償、LSI試作サービスは海外での類似サービスの半額以下、大型装置は消耗品実費負担のみとなっている。見返りとして、ユーザにはVDECを利用する「顧客」ではなく、VDECと一緒にサービスを向上させる「主体」としての自己研鑽と協力を期待している。全国の研究室がバーチャルな一つの研究室として助けあいができるような状況を理想とし、限られたスタッフの中、日々支援活動を行っている。

サービスの対象は基本的には、大学・高専であり、端的にはメールアドレスとして「.ac.jp」を持つ教員と、その研究室内の教職員と学生を対象とする。それ以外の研究所の利用や、企業との共同研究については個別の判断を要する。特にCADツールについてはCADベンダーとのライセンス規定に抵触しないよう細心の注意が必要であるため、VDECの担当者(vdec@vdec.u-tokyo.ac.jp)に必ず相談いただきたい。その他のサービスについてはVDECの裁量範囲が広がるので可能性が高くなるが、こちらでもあらかじめ相談いただきたい。企業との共同研究については、少なくとも非営利、アカデミック側が51%以上のイニシアチブを取る研究であることが必要である。

また、CADの申込や試作申込、装置利用申込など、契約にかかわる作業は全て、代表の教員の方々に行っていただくことをお願いしている。研究室のメンバが代理で行うことも現実には可能であるが、その場合もあくまで教員の了解をとり、代理としての心構えで望んでいただきたい。

VDECのシステムは、InternetとUnix operating systemの上になりたっているので、Internetの仕組みやUnixについての素養はあらかじめ付いていることを期待している。従って、利用でトラブルが起こったときには研究室や学校のネットワーク管理者と十分連絡をとって、問題を切り分けながら対処することが勧められる。

D.2 まずはじめに

VDECからのお知らせ、また講習会・リフレッシュ教育を除く全ての申込や問い合わせには、VDECのWEBページ <http://www.vdec.u-tokyo.ac.jp/> を用いている。一部のページは秘密等が含まれるため、WEBアクセス用アカウント・パスワードならびにアクセスしているマシンのInternet Protocol (IP) アドレスによって制限をかけている。

従って、VDECを利用したい場合、前もって教員によるアカウントの申請が必要である。登録は無料。資格の審査を行うため十分な（サービス開始前1ヶ月以上）時間的余裕をもって、申込をお願いしたい。申込から概ね数週間が経過した後、WEBページアクセス用のアカウントとパスワードが発行される。アカウントは、半角英大文字2字+半角数字5桁（例：VD00000）からなる。

申込で特に注意する点は、VDECのWEBにアクセスしたい研究室のマシンのIPアドレスを入力することである。学校の中にあるマシンからのみアクセスを許可しており、プロバイダのアドレスならびに、Proxyサーバのアドレス登録は禁止する。入力の際は、133.11.58.4,133.11.58.5のように、IPアドレスを全て「半角」の英数字で、「」（半角カンマ）で区切って、途中改行を入れずに入力する。また、ここで入力するアドレスは、「ネットワークの外部から見えるアドレス」であることに注意する。特に、NAT（IP masqueradeというプログラム名で呼ばれることもある。機能としてはNATが正しい。）で研究室内をローカルネットワークにしている場合は、NATサーバのアドレスを入力する。よくある間違いとして、ローカルネットワークのIP、例えば「192.168.X.XX」を登録したためアクセスできなくて困っている例がある。

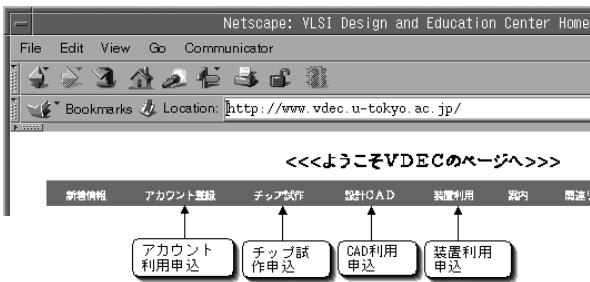


図 D.1 VDEC ホームページのインデックスフレーム

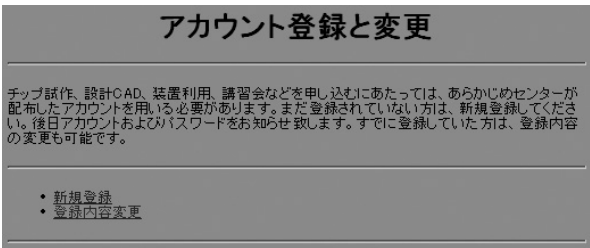


図 D.2 アカウント登録・変更ページの入口

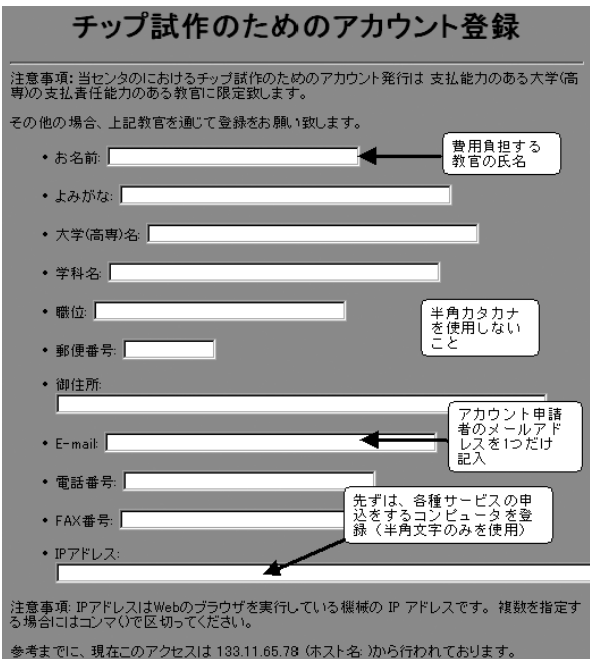


図 D.3 アカウントの新規登録の注意点

ネットワークが変更になるとか、研究室のマシン増設などでIPアドレスを変更する場合は同じく、申込のページから「登録内容変更」を行う。特に、古いIPが使えなくなるといった大幅なネットワークの変更がわかっている場合は、まえもって新旧両方のアドレスを登録しておく。万一アクセスできなくなった場合は、「新規登録」を行い、同じE-Mailアドレスを入力することで上書き変更が可能である。

【登録するIPアドレスに関する要件】

- アクセス制限を行わないページのみを参照するコンピュータのIPアドレスを登録する必要はない
- IPアドレスの登録数には制限を設けないが、管理の行き届いたコンピュータのみに限定すること
- DHCPサーバにより動的に割り当てられたIPアドレスやローカルアドレスなどは登録できない（しても意味が無い）
- Proxyサーバ等を介さないアドレスを指定すること。これは、設計規則等の機密情報がProxyサーバに残ってしまい、機密漏洩につながることを防ぐためであるので守っていただきたい。但し、ファイアウォールが設置されているなど学内の事情により直接のアクセスが行えない場合にはその限りではない

D.3 CADツールの共同利用

VDECでは、集積回路の上流から下流まで一連の設計を行うためのCADツールを提供している。これらのソフトウェアは、VDECのVLSI試作以外のアカデミック用途（MOSIS-VDECを通じた試作、教育用の演習、EB等VDECの大型装置利用のためのデータ作成用、等）の利用も可能である。アカデミック向けであるから、企業との研究の際は利用の可・不可が場合により異なるので、心配な場合あらかじめ相談いただきたい。

1つの設計作業を行うために、2つ以上のベンダーからCADを選べる状況（二重化）を理想としている。LSIの設計には、CADソフトと共に、パラメータやライブラリが必要であるが、これも職員や関連研究室のボランティアにより、充実のための努力が払われている。ボランティアとしての協力は大変に歓迎される。

CAD申込のWEBページに教員がアクセスする（WEBアカウントが必要である）。NDA事項を了解いただきサイン入りの文書をVDECセンター長室に送付した後、CADの申請ができる。

申請時にWEBから入力する内容は以下のとおり。

- ソフトウェアライセンス数（研究室で同時に使用するとと思われる最低数を入力）
- 用途
- メディアリクエスト（使用するOperating Systemを選んでチェックする）。
- 利用する研究室所有ワークステーションのホストネーム（VDEC, 端的にはusr1から名前→IPアドレスの解決ができる, 「.ac.jp」で終わるホスト名であることが条件。）

図D.4 CAD利用申込フォームの「ライセンス数の登録」パート記入における注意点

この図は、CAD利用申込フォームの「ライセンス数の登録」パートのスクリーンショットを示しています。以下の項目が確認されています：

- Cadence社設計ツール:**
 - ライセンス: [*]
 - ライセンス数: [11] (注: 最大同時使用者数)
 - メディアリクエスト: [*]
 - 使用目的: [*]研究 []講義 []トレーニング []その他 (注: これも必ずチェック)
- Synopsys社設計ツール:**
 - ライセンス: [*]
 - メディアリクエスト: [*] (注: どれか必ずチェック)
 - 使用目的: [*]研究 []講義 []トレーニング []その他
- 旧Avant!社設計ツール:**
 - ライセンス: [*]
 - ライセンス数: [11]
 - メディアリクエスト: [*]
 - 使用目的: [*]研究 []講義 []トレーニング []その他

図D.4 CAD利用申込フォームの「ライセンス数の登録」パート記入における注意点

ソフトウェアのCDROM（メディア）について、VDECの創設期においては、メディアを近隣の研究室で「回覧」していたが、インターネットの発達により回線が豊富になったので、現在ではCDに書き込めるISOイメージファイルで提供している。VDECホームページの「ライセンスファイルの配布>ここから」からダウンロードできるようにある。当然ながら、VDECのユーザアカウントとパスワードが必要となるため、CADを申請してから数週間程度の時間差が必要となるであろう。

メディアをダウンロードした後、プログラムをインストールし、初期設定ファイルを整備する。特に、ライセンスファイルはWEB経由で別途取得の上設定するか、環境変数LM_LICENSE_FILE等を（ライセンスサーバのポート番号）@（ライセンスサーバ）の形式で設定する。また、/etc/hostsファイル等を設定し、ライセンスサーバを「ローカルのネットワーク相当でアクセスできるように」する。端的には、手元のワークステーションにおいて、例えば「vdec-cad1」と指定するだけで、FQDN形式の「vdec-cad1.vdec.u-tokyo.ac.jp」のマシンのIPアドレスが引けるように設定する。

CADツールを実行するためには、VDECまたは地域拠点校のライセンスサーバによる認証が必要である。ライセンスファイルまたは環境変数の変更により認証を行うライセンスサーバを切り替えることが出来るので、VDECまたは地域拠点校のどちらかのライセンスサーバがメンテナンス等の事情により停止している場合でも、稼働中のもう一方のライセンスサーバを選択することによりCADを実行することが可能である。また、ライセンスサーバの認証は、CADツール起動後も数分おきに行われるので、CADツール実行中は常時

ライセンスサーバとの通信が可能な状態しておかなければならない。また、ファイアウォールを使用しているネットワーク環境では、VDECのWebサーバとVDECおよび地域拠点校に対して、ライセンス認証用の特定のポートを空ける必要がある。この場合、各大学・高専のネットワーク管理者と相談すること。

初期設定等はやり方を一度経験すれば簡単であるが、はじめてのときは様々な問題が起こることもある。VDECに対する大幅なアカデミックディスカウントの引き換えとして、各研究室はCADベンダーによる直接のサポートを受けられない。かわりにVDECでは、「CADuser@vdec.u-tokyo.ac.jp」メーリングリストを用意している。質問はこちらのメーリングリストを利用いただきたい。CADを利用する研究室の構成員のどなたでも投稿、返答してよい。CADuser MLの注意点は以下のとおり。

1. WEBページから、利用するメンバのE-Mailアドレスを登録すること。特にその際、「.ac.jp」で終わるアドレスを利用し、メールはプロバイダ等に転送しないこと（情報漏洩の観点から）。
2. リストの更新は頻繁におこない、卒業生へのメール配信は速やかに停止すること。特に4月に注意。
3. メールをする前に、あらかじめCADuser MLの過去記事検索がWEBからできるので、類似の質問が無いかどうか検索してから投稿すること。
4. 機密保持にかかわるような内容のメールは、CADuserに送ってはならない。各試作のメーリングリストに送ること。
5. 問題解決したら、問題、原因、解決法をまとめて投稿すること（必須ではないが、ネット利用のエチケットといえる）。

図D.5 CAD利用者メーリングリスト登録における注意点

この図は、99CAD利用者メーリングリスト登録フォームのスクリーンショットを示しています。以下の項目が確認されています：

- 先生のメールアドレス: 以下にCADを利用される方のメールアドレスを記入して下さい。複数の場合には、"."で区切るかもしくは複数回登録して下さい。
- 追加 [*] 更新 [*] (注: 現在の登録アドレスをリセットして更新するラジオボタン)
- 追加用ラジオボタン
- 登録
- 卒業生のアドレスは消去すること
- CADツールの使用者のメールアドレス (半角カタカナや全角文字を用いないこと)

図D.5 CAD利用者メーリングリスト登録における注意点

ライセンスは年度単位で申込みを受けつけている。各CADベンダーとVDECとの交渉がまとまる毎年3月末に、CADuser MLとWEB上に、次年度のCAD利用申込案内が出るので忘れずに申込する。4月中は移行期間として前年度申込のライセンスも有効にしてあるが、4月末に切れるため、そのときになって慌てる例が毎年発生している。「永久ライセンスではない」ことに十分ご注意ください。

【毎月注意を払うべき点。熟読必須。】

1. VDECでは、CADを使用できる計算機のリスト（アクセスリストと呼ぶ）を半年毎に更新している。このときDNSの逆引きができなくなっていた等の何らかの不具合で、アクセスリストに自分の計算機が登録されない場合がある。その場合、CADが使えなくなるので、アクセスリスト更新前に対処する必要があります。サーバの停止は、全国ユーザーに影響が及ぶため頻繁には行えないので、万が一アクセスリストの不備に気づかなかつた場合は、最悪半年以上CADが使用できなくなる。
2. 以上の理由で、VDECから「CADのアクセスリストを更新します」というアナウンスがあった場合、必ずチェックを行い、自分のコンピュータが登録されていることを確認しなければならない。
3. 登録確認のページは、http://www.vdec.u-tokyo.ac.jp/CAD/cad_access_list.htmlである。ブックマークを強くお勧めする。
4. IPアドレス（ホスト名）**registered** という表示が出ていれば登録されている。
5. **false** (false (ホスト名)) **FAIL** という表示が出ていれば登録に失敗しているため、原因を探る。

一般的に、DNSの逆引き（ホスト名からIPアドレスを引く）に失敗していることが多い。研究室のネットワーク管理者とも相談して、VDECのサーバから、当該ホスト名の逆引きができるまで原因の除去を行う。

D.4 VLSI試作サービスの共同利用

VLSI試作サービスは、教育研究目的に限って認められる。WEBページに本年度のランが掲示され、数ヶ月前から試作が申込可能になり、リンクが張られる。まず、試作会社の持つ機密情報に対するNDA契約を行う。これはVDECホームページの「試作関係>試作案内>機密保持契約（NDA）の文面」より、希望プロセスのNDAにサインしてVDECに郵送し、VDEC側で手

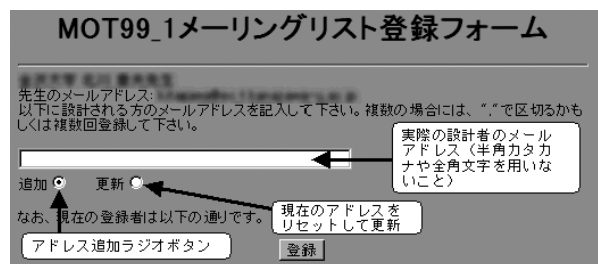
続き終了後にNDA締結となり、設計規則やライブラリにアクセスできるようになる。設計規則はWEB経由のアクセスならびに、WEBでの公開を禁止している会社の場合はCDROM等で送付される。NDAの対象は教員であるが、研究室の職員・学生にも同じNDAが適用されるため、取扱には細心の注意を払っていただきたい。尚、秘密保持契約内容は、以降の同一プロセスによるチップ試作全てにおいて有効である。

試作申込はデザイン提出日切日の6~3ヶ月前、キャンセルの日切は1ヶ月前である。1ヶ月前より遅くなったキャンセルには、原則として試作代金をお支払いいただくので注意いただきたい。特にはじめて試作に参加される場合は、1ヶ月前には回路ができていくくらいの、余裕をもったスケジュールを組まれることを強くお勧めする。

VLSI申込フォームの入力に関する注意点

- 希望チップ寸法の項目のチェックボックスを必ずチェックした上で希望チップ数を入力すること。チェックを行わないと入力した数字は無効となる
- チップ数入力には半角数字を用いる

設計に関する問い合わせについては、各試作についてメーリングリストを用意してあるので、設計者全員のメールアドレスを登録する。「.ac.jp」で終わるアドレスであり、プロバイダに転送をしないよう注意願いたい。これらメーリングリストの過去記事検索もできる。



図D.6 VLSI試作メーリングリスト登録ページの注意点

レイアウトを設計した後、VDECが提供する最新のDesign Rule Checkファイルでチェックを行い、エラーフリーになったものを提出する。また、シミュレーションはもちろんのこと、レイアウトが回路図と同等であることを確認するLayout Vs Schematic (LVS) チェックを通して、提出しようとする回路が本当に動作しそうだという確信を持つておくことは最低限必要であろう。デザインの提出は指定されたVDECページか

ら行う。提出時にVDEC側で最終DRCを実行する。ここでエラーが出たチップは提出できない。必ず自分の環境でDRCフリーにしてからチップを提出すること。

提出切は月曜日に設定されていることが多いが、できる限り余裕をもって、前の週などに提出をいただきたい。また、月曜日に締め切った後、VDEC側でさらにデザインルールをチェックしている。この際本来出てはいけないエラーが出ることもあり、出た場合設計者に修正のお願いを連絡するので、提出したからといって安心せず、1週間ほどはVDECからの連絡に注意願いたい。

デザイン提出から数ヶ月後に、VLSIチップが納品され、請求書も送付されるので、遅滞なく支払をお願いする。

D.5 CADツール講習会

CADベンダーとの契約により、個々のサポートは提供しないかわりに、毎年2回、夏と春とCAD講習会を開催している。東京大学の武田先端知ビルセミナー室にてメイン会場として開催され、各地方の拠点校へサブ会場としてストリーミング配信される。まずはこういった講習会に参加し、大体の知識を付けてから実際の試作なりCAD利用を行うことをお勧めしている。アナウンスはCADUser メーリングリストで流れる。また、申込は、VDECのWEBページから行う。

D.6 社会人・大学リフレッシュ教育

CADツール講習会からさらに進んだ形で、VDEC環

境での回路設計、アナログ回路のレイアウトやシミュレーションを体験したりする「アナログコース」、「RF」コース、「MEMsコース」ならびに一線の研究者による設計事例の講演会などを企画している。6月～9月に開催し、有料である。社会人を主に対象としていたが、近年関係者にも向けている。

D.7 デザイナズフォーラム（旧若手の会）

毎年9月頃、VDECを利用する若手が合宿を行い、最近の動向や研究内容について話しあう機会を設けている。発足当初の「若手」の定義は年齢が5ビット。最近の定義は「自分は若手だと思っている学生・教職員」であるので積極的な参加をお待ちしている。

D.8 大型装置利用

LSIテスターや、EB装置など、公開可能な装置については、利用の案内をWEBページに掲載している。その手順に従って利用方法の学習と申請を行う。基本的なスタンスは以下のとおり。

1. 公開の対象は教員であり、研究室メンバは教員の代理として責任をもって使っていただく。
2. 利用免許を持っている者の付き添いがあれば基本的に自由な利用が可能
3. 数回のトレーニングを受けて免許を持てば自分一人で利用可能

VDEC専任・協力教員のサポートスタッフ数に限りがあるので、免許保持者に積極的な教育をお願いすることがあるので、協力いただきたい。

E. IPデータベースの整備

設計資産の再利用のために、VDECではWeb上でのデータベースの構築および公開を行っている（<http://www.vdec.u-tokyo.ac.jp/IP/lcip.html>，図E.1）。本データベースの利用対象は、IP登録に関してはVDECユーザーに限定しているが、IP利用に関しては任意対象となっている。本データベースに関してのVDECの役割は、IPのカタログデータの整理、公開および登録者－利用

者間の仲介と機密情報の取り扱いの監督である。

平成12年度から平成14年度の3年間、(株)半導体理工学研究センター（STARC）との共同研究としてIPプロジェクトを行ってきたが、その最終成果としてIP開発グループの各参加者へ完成IPの登録を働きかけ、上記データベースによって公開を行っている。

現在までに登録済みのIPを表E.1に示す。

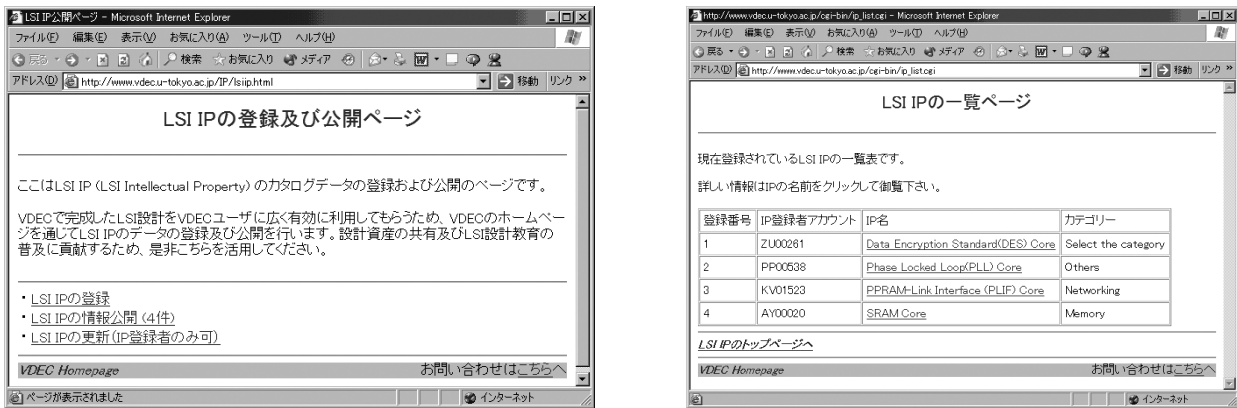


図 E.1 VDEC LSI IP Web データベースの例

表 E.1 VDEC LSI IP データベースに登録済みの IP（平成24年3月現在）

登録番号	IP名	カテゴリー
1	Data Encryption Standard (DES) Core	Others
2	Phase Locked Loop (PLL) Core	Others
3	PPRAM-Link Interface (PLIF) Core	Networking
4	SRAM Core	Memory
5	Processor Core with Instruction set Compatibility with Hitachi SuperH	Processor/Controller
6	IEEE-754-Standard Single-Precision Floating-Point Dividers	Datapath
7	Controller Core with Instruction set Compatibility with PIC16F84	Processor/Controller

令和7年度
東京大学大学院工学系研究科附属システムデザイン研究センター
年報

2025年8月

編集・発行

東京大学大学院工学系研究科附属システムデザイン研究センター
池田 誠
〒113-8656
東京都文京区本郷7-3-1工学部2号館111A1
TEL 03-5841-6561

印刷・製本

株式会社総北海 東京支店
〒130-0022
東京都墨田区江東橋4丁目25番10号 加藤ビル2F
TEL 03-5625-7321

rd.lab

Systems Design Lab

Systems Design Lab, School of Engineering, The University of Tokyo 2025

