

VDEC

VLSI Design and Education Center
The University of Tokyo

平成8年度
大規模集積システム設計教育研究センター年報



ここに大規模集積システム設計教育研究センター（VLSI Design and Education Center, VDEC）の第一回の年報を発行する運びとなった。当センターは大規模集積回路（VLSI）設計教育の高度化と充実を目指す国公私立大学と高専のための全国共同利用センターとして平成8年5月に設立されVLSIチップ試作の支援とVLSI設計教育に関する情報発信の活動を開始している。本書には設立から平成8年度末までの当センターの活動記録と、所属スタッフの研究成果の概要を収めた。この機会にあらためて、設立の準備段階から初年度の立ち上げの期間にわたって御指導、御協力頂いた大学、省庁、産業界の関係各位に厚く御礼申し上げたい。

われわれは平成8年度を試行期間と位置づけ、事実ソフトウェア、ハードウェアとも手当てが万全ではない状態で試作支援のテストランに入ったのであるが、全国大学、高専の熱心で主体的な参加と関係企業の御協力を得て、本格運用に比肩する量の試作を行うことができた。また試作するVLSIのテクノロジーレベルに関しても $0.5\mu\text{m}$ ルールのチップを多くの大学が使いこなし、より微細あるいは多機能のチップへのニーズが当初の予想よりも早く立ち上がって来ると予想されるに至った。幸いファウンドリを引き受けて下さるお申し出が新たにいくつかあり、試作に利用できるテクノロジーのメニューを増やすべく折衝中であるが、こうした機会を逃さず積極的にVDECの活動を展開することが、わが国のVLSI設計技術の向上に一大躍進をもたらす契機となると信じている。

そのためには当初から設計されている地域サブセンターによる全国ネットワーク構想はじめVDECの整備に関してなお懸案として残っている諸課題の解決が必要である。今後とも関係各位の引き続いての御支援と御協力をお願いするとともに、本年報が皆様にVDECの活動を御理解頂く上で有用な資料となることを願うものである。

平成9年10月

大規模集積システム設計教育研究センター

センター長 鳳 紘一郎

1. センター組織概要	2
2. 平成8年度活動報告	2
2. 1. CAD導入整備	
2. 2. 計算機導入整備	
2. 3. チップ試作テストラン	
2. 4. ライブラリー整備	
2. 5. ホームページ整備	
2. 6. チップ試作結果報告	
2. 7. チップ試作者文献リスト	
3. 決算報告	34
4. 人事報告	35
4. 1. センター人事	
4. 2. 運営委員会構成	
4. 3. 協議会構成	
5. 研究報告	37
5. 1. 研究室構成員	
5. 2. 研究概要	
5. 3. 発表文献	
6. 平成9年度の予定	54
6. 1. 平成9年度活動計画	
6. 2. 拠点校整備概算要求の現状	
7. 付録	57
7. 1. 利用規定	
7. 2. 利用登録者	
7. 3. チップ試作日程	
7. 4. 申込みガイド	

VDEC

1. センター組織概要

センターの人員構成に関しては、平成8年度は専任教官5名と事務官1名である。平成9年度にはさらに2名の専任教官と1名の事務官が追加される。さらに全国の大学との連携を密にする目的で、各大学から2年を単位として2名の教官をセンターに派遣する「流動ポスト制度」がスタートし、平成9年度

と平成10年度の最初の2年間は東北大学と横浜国立大学からそれぞれ1名ずつの教官が派遣される。また産業界と協力関係を密にする目的で客員教官（I種）を1名おく。全体としては12名の教官スタッフと事務組織から構成される予定である。

表1 VDEC定員関係

	定員 (平成8年度)	定員 (平成9年度)	備考
教授	2	2	鳳, 浅田
助教授	2	3	平本, 藤島(講師), 池田(助手, 9年度)
助手	1	2	池田(8年度), 韓*(9年度), 鄭**(9年度)
事務官	1	2	松本, 新藤
流動助教授	—	2	羽路*, 小谷*
客員教授 (I種)	—	1	家田*
計	6	12	*平成9年6月着任, **同8月着任

2. 平成8年度事業報告

平成8年5月に設置されたVDECは平成9年度はじめからの本格運用に向けて準備作業を行ってきた。VDECは「VLSI設計教育情報の発信拠点」、「VLSI設計教育用CADソフトウェアの整備」、「VLSIチップ試作支援」の3つの使命をもって発足したもので

2.1 CAD導入整備

CADソフトウェアはVLSIを設計するために不可欠のツールであるが、従来のマスク図、回路図レベルでの設計から、将来主流となっていくハードウェア記述言語(HDL)を用いた設計迄を幅広くカバーし、デジ

あり、それぞれの準備として計算機の導入、CADソフトウェアの契約、VLSI試作のテストランを行った。以下、VDECの組織、平成8年度の事業の概要を報告する。

タル回路とアナログ回路を含む多様な全国のVLSI設計教育に対応するよう配慮して仕様を策定し、入札・契約を行った。その結果、表2のCADシステムの導入が決定された。

表2 導入された CADシステム

項目	用途	メーカー
Verilog HDLを用いた設計システム	Verilog HDLベースの入力, シミュレーション, 論理合成, テスト生成	ケーデンス
VHDLを用いた設計システム	VHDLベースの入力, シミュレーション, 論理合成, テスト生成	シノプシス
自動配置・配線設計システム	マクロセルを含むセルベースの配置配線設計とバックアノテーション	アバンティ
会話型設計システム	会話型の回路図およびマスクレイアウト入力, 設計検証, 回路抽出, 回路シミュレーション	メンター
アナログ設計システム	アナログ機能・回路シミュレーション, 回路図入力, レイアウト設計, 設計検証, 回路抽出	ケーデンス

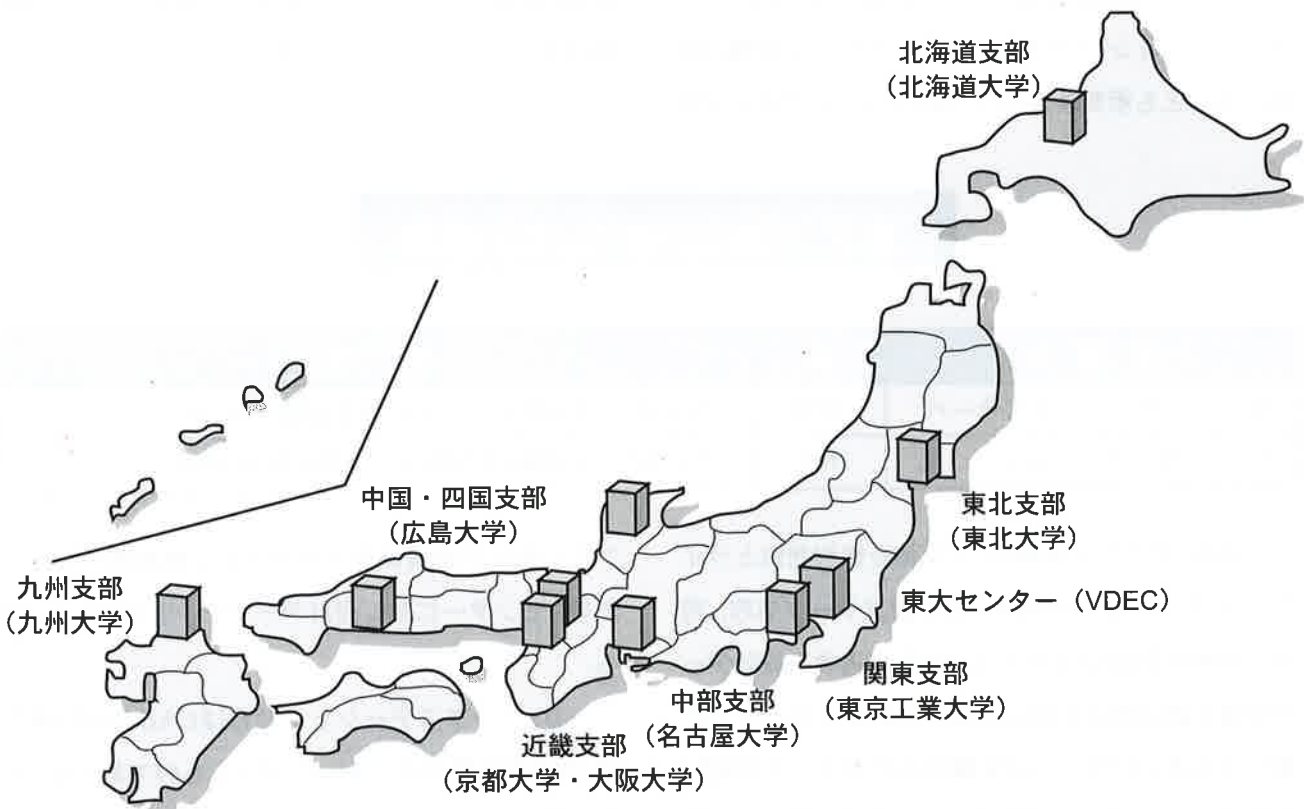


図1 全国地域拠点校

なお、ここでハードウェア記述言語に Verilog HDL と VHDL の2つがあげてあるのは、ともに IEEE 標準言語として広く用いられているためである。

CADの契約条件は「全国の大学・高専」で「教育・研究目的に限り利用する」ことであり、ライセンス数もその目的に必要な数を導入している。具体的には、

上記各項目毎に500から1000程度のライセンスを「フローティングライセンス」として導入し、VDECおよび図1の全国9箇所の拠点校に分散配置する。各CADユーザは年度単位で利用申込を行い、CADの実行プログラム自体は手元の計算機に置き、ライセンスだけをネットワーク経由でVDECあるいは拠点校

から取得して利用する。フローテングライセンスであることから、ワークステーションが特定されることはないが、利用申請時に登録したワークステーションから利用することになる。ライセンスのみをネットワーク経由で取得するため、利用者にとっては個々にCADソフトウェアを契約導入した場合と使い勝手上の差違はほとんどなく、円滑な利用が期待

2. 2 計算機導入整備

VDECにおけるVLSI設計教育情報の発信拠点、CADライセンスサーバー、VLSIチップ試作データ処理のために、今年度センターではサーバ計算機を導入した。同時にセンターにおけるCAD利用技術セミナーやVLSI設計技術セミナーに用いる目的でワークステーション20台を導入した。これら計算機の仕様でもっとも重要な要件は、現在のVLSI設計の分野

できる。

またCADソフトウェアは進歩が激しいものであり、日々改良され、また、新製品が従来の製品を陵駕し、取って代わる性格を有している。そのためCADソフトウェアの契約は1年単位のレンタル契約になっている。

で用いられている主要なCADソフトウェアが滞りなく動作できることであるが、入札の結果、サーバ計算機としてはサンマイクロシステムズのエンタープライズ・サーバ、セミナー用ワークステーション20台はHP社製のワークステーションに決定した。主な仕様は表3に示したとおりである。

表3 VDECの導入した計算機

装置名	数	備考
SUNエンタープライズサーバ	4筐体	70 CPU 主記憶17.5 Gbyte 外部記憶200 Gbyte
HPワークステーション	20台	PA7000, 主記憶128 Mbyte 外部記憶4 GByte

この内、サーバ4筐体は、1筐体を情報発信とライセンスサーバ用、1筐体をVLSI設計データ処理、残り2筐体を全国のVLSIチップ試作申込者の設計データ収集と設計検証に用いるものであり、チップ試作申し込み者にはサーバ計算機用のアカウントが発行される。VLSIチップ試作申し込み者は、各自の計算機でVLSI設計を行っても、センターのサーバ計算機で設計を行ってもよいが、最終的にはこのアカウントのホームディレクトリーにファイルを転送し、セ

ンター指定の最終検査プログラムで検証処理を行った後、センターに対し設計データを「サブミット」する。

一方、ワークステーション20台はCAD利用技術やVLSI設計技術のセミナーに用いるものであるが、1台は教官用となっており、ワークステーションの表示画面が大型スクリーンに投影できるよう配慮されており、設計実習が効率的に実施できるようになっている。

2. 3 チップ試作テストラン

平成8年度は平成9年度以降の本格運用に先駆けてチップ試作テストランを行い、フルカスタムインターフェースでのファウンドリーとのデータの受け

渡しのチェックを始めとするVDECにおけるチップ試作の環境整備を行った。VDECのCADがその時点では入札途中であったことから、CADは各ユーザが

所有しているものを使用する前提で参加を募り、VDECとしては有志の協力により、Cadence, Avant!, SHI SX 用のテクノロジーファイルの公開を行った。使用プロセスは表4に示す通りでNTTエレクトロニクステクノロジー社(NEL)の0.5 μm CMOSに加え、

日本モトローラ社の1.5 μm CMOSを対象として実施した。このうち1.5 μm CMOS プロセスはメタル2層に加え、アナログ回路用のポリシリコン2層を含むプロセスである。

表4 平成8年度チップ試作テストラン実施ファウンドリおよびプロセス

NTTエレクトロニクステクノロジー株式会社			
プロセス	チップサイズ	パッケージ (信号数)	ライブラリなど
0.5 μm CMOS 1Poly, 2Al	4.8mm角	DIP48 (28)	NEL提供Synopsys用合成ライブラリ, VerilogXL用シミュレーションライブラリ, GDSセルライブラリ及びDracula用検証ルールファイル
	2.3mm角	PGA120 (76)	
日本モトローラ株式会社			
プロセス	チップサイズ	パッケージ (信号数)	ライブラリなど
1.5 μm CMOS 2Poly, 2Al	7.3mm角	SQFP208 (132)	モトローラからのライブラリ提供はなし。有志からIOセルライブラリおよび配置配線のセルライブラリの提供があった。
	4.8mm角	QFP160 (84)	
	2.3mm角	QFP80 (36)	

平成8年6月に参加募集を行い、翌7月に設計規則の開示、9月末設計締切りという、時間にあまり余

裕がないテストランのスケジュールにも拘わらず、表5に示す多数の大学からの参加があった。

表5 平成8年度VDECテストラン参加校

NEL0.5 μm CMOSテストラン		日本モトローラ1.5 μm テストラン	
参加大学	品種	参加大学	品種
大阪大学	2品種	宮崎大学	2品種
広島大学	1品種	埼玉大学	1品種
九州工業大学	1品種	仙台電波工業高等専門学校	3品種
埼玉大学	1品種	東北大学	5品種
東京工業大学	3品種	京都大学	5品種
東京大学	7品種	九州大学	3品種
九州大学	3品種	東京大学	16品種
京都大学	1品種	北海道大学	1品種
玉川大学	1品種	東京工業大学	1品種
早稲田大学	1品種	山形大学	1品種
		金沢大学	1品種
		静岡理工科大学	1品種
		東京情報大学	1品種
		慶應義塾大学	1品種
		玉川大学	2品種
		芝浦工業大学	1品種
合計	21品種	合計	45品種

チップ試作参加申込はWebのページを用いて行ったが、設計規則は機密事項にあたるため、チップ試作会社との秘密保持契約の後、開示を行った。具体的にはセンターとの一括秘密保持契約に加えて各チップ試作参加者の同意確認を書面で行い、設計規則に関するWebページのアクセス制限を各ユーザ毎に解除することとした。図2に具体的手順を示す。この中で「アカウント申込」は今回のテストランだけでなく将来も有効であり、新規のユーザ教官が一回だけ行えばよい。

このWebを用いたチップ試作申込と設計規則の開示は、当初「パスワード」や「IPアドレスロック」等に関する若干の誤解によって混乱もあったが、結果的には大変よく機能し、電子メールを併用することでテストラン参加者に対する情報伝達の効率化がはかられた。今後もVDECではこの方式を踏襲して行く予定である。

9月末の設計データ締め切り時点で各テストラン参加者の設計データ（GDS-II）をセンターにファイル転送し集めた。このときはVDECのサーバ計算機導入以前であったため、設計データの検証を十分行うことができなかったが、最終的には10月中旬までに「相乗りチップ」の形でNEL用が2レチクルセット、日本モトローラ用が4レチクルセットにまとめることができた。

その後、GDS-II形式の「相乗りチップ」データを

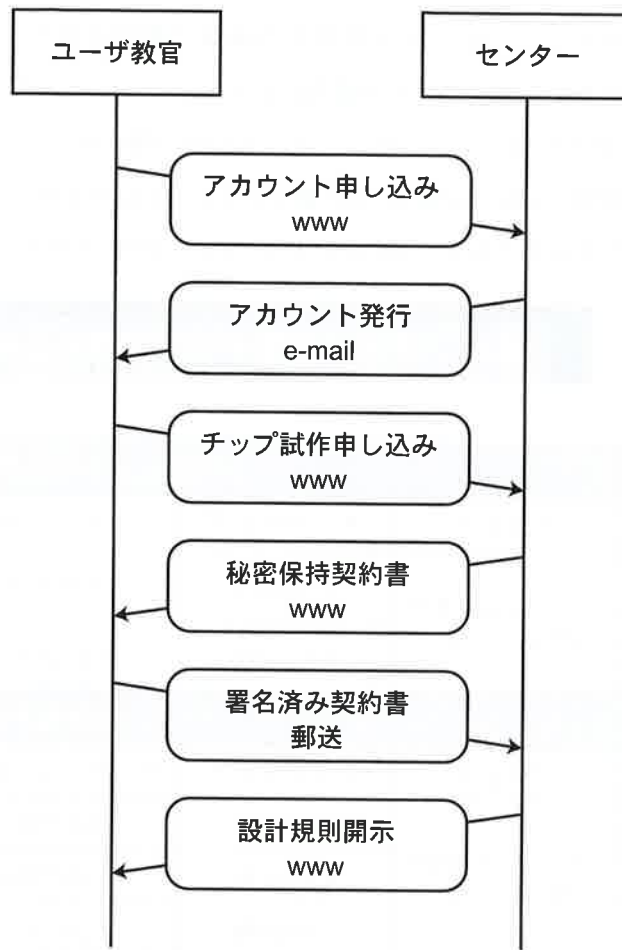
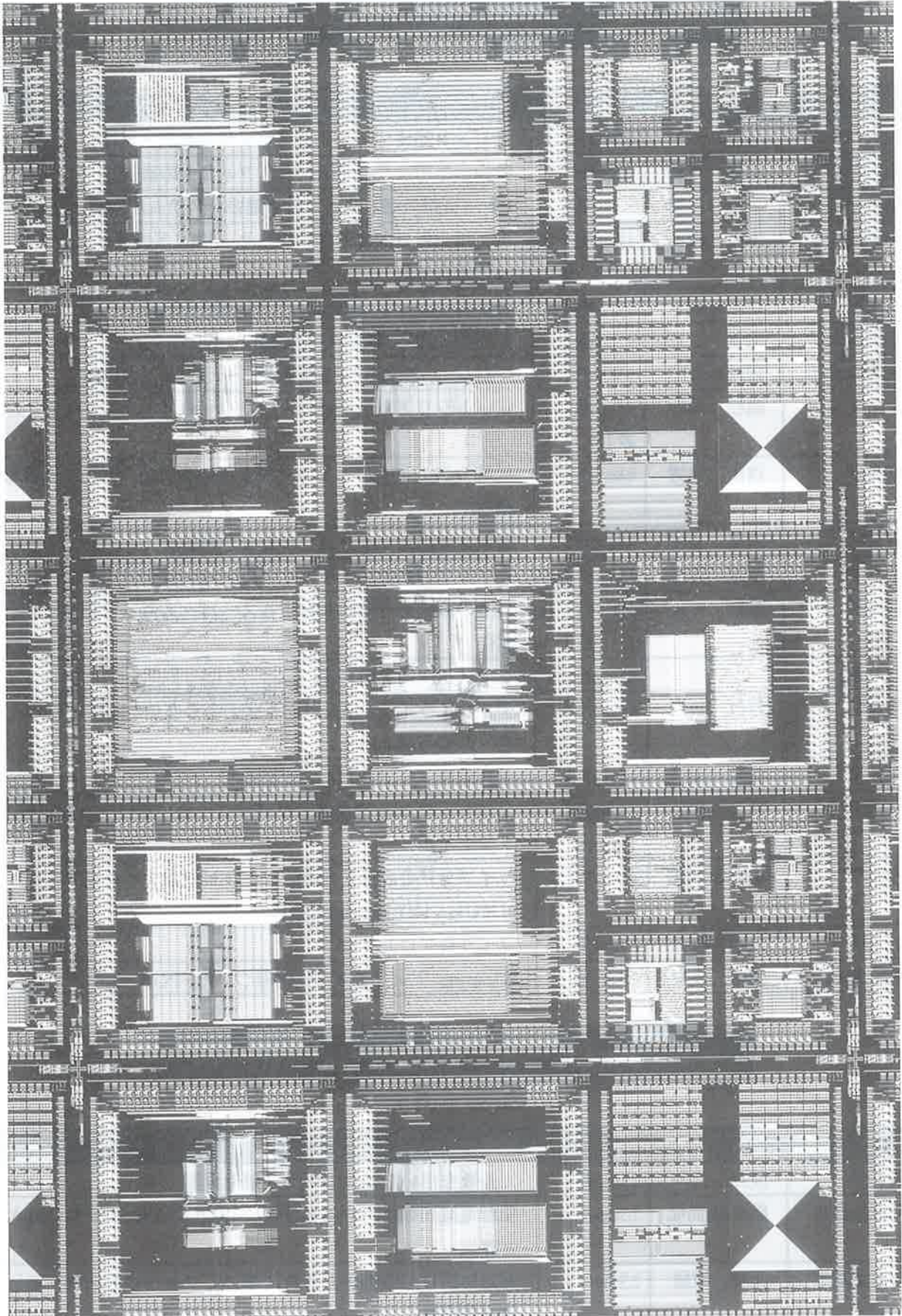


図2 チップ試作申し込み手順

電子ビームマスク描画装置用のフォーマットに変換の後、実際のマスク作成、ウェーハプロセスを経てチップ組み立て後、平成9年2月に各テストラン参加者のもとにチップが送付された。図3はこうして作成した「相乗りチップ」の顕微鏡写真である。

図3 「相乗りチップ」の顕微鏡写真



以下試作チップ概況および試作チップ報告を示す。

表6 NELチップ試作者リストおよび試作内容

大学名	申込者名	サイズ	数	試作内容
大阪大学	藤岡 弘	2.3mm角	1	8ビット簡易マイクロプロセッサの設計・試作
大阪大学	白川 功	4.8mm角	1	映像伝送用高性能デジタルフィルタの設計
広島大学	岩田 穆	2.3mm角	1	PWM情報送信回路と光電子融合システム用回路の設計
九州工業大学	末吉 敏則	4.8mm角	1	教育用32ビットマイクロプロセッサDLXのスタンダードセルによる実装
埼玉大学	伊藤 和人	4.8mm角	1	特定用途向けプロセッサ用部分回路の試作
東京工業大学	南谷 崇	4.8mm角	1	非同期式加算回路の性能比較
東京工業大学	國枝 博昭	4.8mm角	1	プログラマブルMSPAコントローラチップの設計
東京工業大学	國枝 博昭	4.8mm角	1	ビットシリアル汎用並列プロセッサの1PEのフルカスタム設計
東京大学	浅田 邦博	4.8mm角	1	低電力CPUにおけるマルチプレクサ方式とバス方式の比較検討
東京大学	浅田 邦博	4.8mm角	1	疑似非同期式マイクロプロセッサの設計
東京大学	浅田 邦博	4.8mm角	1	完了予測加算器評価用マイクロプロセッサの設計
東京大学	藤島 実	4.8mm角	1	命令の直列実行機構を有するスーパースカラプロセッサの試作
東京大学		4.8mm角	3	パラメータ抽出用TEG
九州大学	谷口 研二	4.8mm角	1	ディレイライン方式DPLLとダイナミック回路による高速・低消費電力PLL
九州大学	安浦 寛人	4.8mm角	1	並列乗算アルゴリズムの比較検討
九州大学	村上 和彰	4.8mm角	1	プロセッサ,エラスティックバッファ及びグローバルレジスタファイル
京都大学	小野寺 秀俊	4.8mm角	1	ライブラリの評価を目的とした8ビットマイクロプロセッサKUE-CHIP2の設計と試作
玉川大学	山本 庸介	2.3mm角	1	マイクロプロセッサ
早稲田大学	佐藤 政生	2.3mm角	1	"Dharma"アーキテクチャに基づいたFPGA

表7 モトローラ試作者リストおよび試作内容

大学名	申込者名	サイズ	数	試作内容
宮崎大学	淡野 公一	2.3mm角	2	冗長数を用いた電流モード4値乗算器
仙台電波高専	與那嶺 尚弘	2.3mm角	1	仙台電波高専における教育用LSI設計CADシステムの導入と評価
仙台電波高専	鹿股 昭雄	2.3mm角	1	非対称誤り記憶素子とそれに基づくフェールセーフ交通信号制御回路

仙台電波高専	中林 撰	2.3mm角	1	演算系制御回路
東北大学	坪内 和夫	4.8mm角	1	通信用アナログ・デジタル信号処理回路
東北大学	小柳 光正	4.8mm角	1	メモリ共有型並列計算機のためのSHDRAMの設計
東北大学	柴田 直	4.8mm角	1	ニューロンMOS一括加算回路による高速乗算器
東北大学	柴田 直	2.3mm角	2	電荷転送アンプを用いた低電力A/Dコンバータ
京都大学	小野寺 秀俊	2.3mm角	2	P2Libセルの動作特性測定用TEG
京都大学	小野寺 秀俊	2.3mm角	1	RGC構成を用いた電流モード循環型AD変換器
京都大学	小野寺 秀俊	2.3mm角	1	オペアンプのためのパラメータ測定用TEG
京都大学	小野寺 秀俊	2.3mm角	1	MOSFETにおける閾値電圧の揺らぎ測定用TEG
九州大学	黒木 幸令	2.3mm角	1	学生によるMOS集積回路試作実験の試み
九州大学	黒木 幸令	2.3mm角	1	8ビットCMOS folding A/D変換器の試作
九州大学	鎌田 清一郎	2.3mm角	1	ヒルベルト曲線を生成するためのアドレス発生回路の設計
東京大学	浅田 邦博	7.3mm角	1	クアッドツリー構造による画像信号走査センサ
東京大学	浅田 邦博	2.3mm角	2	4.8mm 2コード帳符号化方式によるチップインターフェースにおける消費電力削減
東京大学	浅田 邦博	2.3mm角	1	隣接する配線における結合容量及びクロストークノイズの評価
東京大学	浅田 邦博	2.3mm角	1	RPL高速加算器
東京大学	浅田 邦博	2.3mm角	1	デバイスパラメータ抽出用TEG
東京大学	平本 俊郎	2.3mm角	1	デバイスパラメータ抽出用TEG
東京大学	藤島 実	7.3mm角	1	3段リングオシレータ相互結合による不規則発振回路の作成
東京大学	藤島 実	2.3mm角	1	ワンチップ体感温度センサー
東京大学	藤島 実	2.3mm角	1	デバイスパラメータ抽出用TEG
東京大学	相澤 清晴	7.3mm角	1	4.8mm 1 センサー上での即時動きベクトル検出方式
東京大学	藤田 博之	4.8mm角	1	自律分散マイクロ搬送システム制御チップ
東京大学	桜井 貴康	4.8mm角	1	基板効果を利用した低消費電力フリップフロップおよびSRAMの試作
北海道大学	宮永 喜一	4.8mm角	1	自己組織化ニューラルチップの設計
東京工業大学	高木 茂孝	2.3mm角	1	線形化技術を用いたMOSアナログ回路の試作
金沢大学	北川 章夫	2.3mm角	1	集積回路の初回設計
静岡理科大学	波多野 裕	2.3mm角	1	MOS VLSI設計方式および高性能化の検討のためのテスト回路の設計
慶応大学	天野 英晴	2.3mm角	1	フリーウェアmagicによる疑似乱数発生器の製作
玉川大学	山本 庸介	4.8mm角	1	デジタル/アナログ要素回路
玉川大学	山本 庸介	2.3mm角	1	ニューラルネットワーク用LSI
芝浦工業大学	上田 和宏	4.8mm角	1	輪郭抽出処理ハードウェア化の研究

2. 4 ライブラリー整備

VDECではファウンドリー毎にVDECで導入したCADソフトに対応したライブラリーの整備/整備の支援を行っていく予定である。平成8年度のテストランにおいては、NELに関してはNEL提供のライブラリー、モトローラに関してはボランティアからのIOライブラリーなどの公開をおこなった。また、平成8年度後半に「新機能素子研究開発協会」および文部省科学研究費補助金基盤研究(A)(1)「VLSIシステム設計教育カリキュラムの開発」(代表：九州大学 安浦 寛人教授)の下で、VDECのライブラリー開発のためのテストランを行った。このテストランにおいては、NELのプロセスに対するライブラリーとして、スタンダードセル配置配線ツール(Avant!)内のツールとして導入することになったエクセレントデザイン社製のライブラリー開発ツール、および京都大学において開発されたライブラリー開発ツール(P2Lib)を用いて行った。対象CADとしてはケーデンス社のVerilog-XLによ

るシミュレーション、シノプシス社のDesign Compilerによる論理合成、Avant!社AquariusXOおよびケーデンス社CellEnsambleによる配置配線を対象として行った。このライブラリー開発のためのテストランは、動作レベルの記述から自動合成・自動配置配線・論理シミュレーションによる設計検証を行うことにより、これらのライブラリーを用いた設計手法の確立に目標を置いて行った。このテストランの結果は、準備ができ次第順次Webを用いて公開していく予定である。また、平成9年度以降、NEL以外のファウンドリーに対するライブラリーの整備を同様に行っていく予定である。

またVDECではユーザにより開発されたセルライブラリー(スタンダードセル・メモリーセル・IOセル・アナログ回路用セル等)やIP等の公開も行っていくと考えているので、公開可能なセルを有している方はご連絡いただきたい。

2. 5 ホームページ整備

VDECでは、その情報発信、利用申請等の多くをWebを用いて行っている。ここでは、その簡単な利用方法および現在までの登録状況に関して報告する。Webを用いて行っている業務は以下の通りである。

- (1) ユーザ登録/登録変更
- (2) CAD利用申し込み
- (3) CADライセンス配布
- (4) CADトレーニング申し込み
- (5) チップ試作申し込み
- (6) チップ設計規則/ライブラリー配布
- (7) VDEC活動案内
- (8) 情報発信

Webを用いた申し込み事項、秘密情報の配布の際には、支払責任確保や機密漏洩防止のために、アクセス認証を行う必要がある。本センターでは、Webを用いたユーザ登録に応じてアカウントを発行すると共

に、アクセスホスト(ユーザがセンターWebサーバを参照する為に用いる計算機)の登録を行って、IPアドレスおよびアカウントによる2重の制限を行う事で情報の安全性を高めている。

CADの利用申し込みは、CAD項目毎に必要なライセンス数を記入する事で行える。同時にCADを利用するホスト名の登録および必要なメディアの登録を行っていただくことになる。これらの情報を基に、ライセンスサーバのアクセス制限ファイルの書き換えおよびCADメディアの発送作業を行い、利用者がCADを使用できる準備を行うことになるので、情報は漏れ誤りなど無いようにご注意ください。また、CADの利用者のメーリングリストへの登録を行って頂き、CADのインストール、利用法等のノウハウを共有できるような環境を提供する。

VDECにおけるCADの利用形態は他項の通り、ネットワークにより拠点校に設置されたライセンスサーバの認証を受ける方式を採用している。そのため、適切なライセンスファイル入手する必要があるが、登録ユーザの所在地に応じて参照するライセンスサーバを決定しライセンスファイルを提供出来るようなライセンスファイル配布のページを提供している。

チップ試作の申し込みは、設計チップ数を申し込む事で行える。同時に、設計者のメーリングリストへの設計者の登録を行って頂き、設計ノウハウを共有出来るような環境を提供する。また、過去の設計者メーリングリストに流れたメールの公開も行ってお

り、過去の事例を参照出来るようになっている。

チップ設計情報およびライブラリの配布に関しては、設計規則、セルライブラリ等の秘密情報の漏洩を防ぐ為、守秘契約書を交わしたユーザのみがアクセス出来るような仕組みとなっている。そのため、チップ試作申し込み時に守秘契約書へのサインを頂き、それにより設計規則のページへのアクセス制限を解除するという手順を踏むことになる。

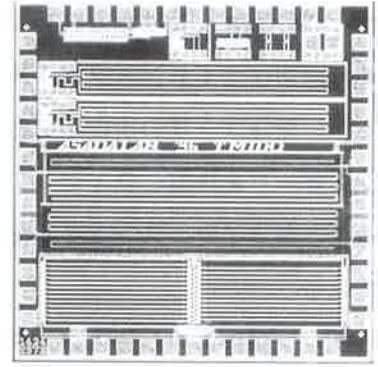
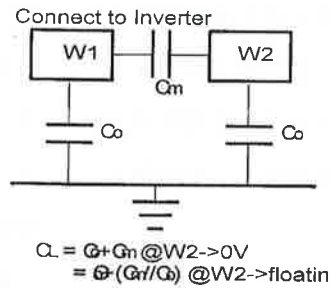
また、VDECにおける本年報等を含めた活動案内等も順次Web上で参照出来るようにし、さらに、各大学で行われた教育研究の成果としての設計手法、設計データの蓄積、公開(リンクの形での公開等)を行う予定である。

2. 6 チップ試作者結果報告

近接する配線における結合容量及びクロストークノイズの評価

東京大学工学部 三堂 哲寿 浅田 邦博

はじめに 現在および将来の LSI 設計において相互接続配線の重要性は増大するものと考えられる。本試作では、高密度かつ大規模な LSI の相互接続配線の結合容量および、結合雑音の評価を行うために、いくつかのテストパターンを設計した。



容量導出パターン リングオシレータは負荷容量によって発振周波数に変化する。このことを利用して配線間容量を抽出することを試みた。51 段のリングオシレータの各インバータの出力から長い線路を引き出し、それに隣接する線路をグランドからトランジスタゲートを介して配置する。隣接線路とグランドを繋ぐトランジスタの信号により、この線路を 0V に固定した場合と、フローティングさせた場合の発振周波数を測定し、この違いにより配線間容量を抽出する。

結合雑音検出パターン 近接する線路において、配線間の絶縁体が均質でない場合に容量性のレベルノイズに加えて、誘導性のパルスノイズが成長する [1]。これを検出するために長い平行線路をセンスアンプで受け、片方を線路を駆動した場合に生じるノイズを検出する。測定にあたっては、導体上部及び導体間の酸化膜をエッチングにより取り除いた状態で非均質状態をつくる予定である。なお、本チップは博士 1 年の学生が約 1 か月で設計し、約 300 トランジスタで構成されている。

参考文献 [1] Tetsuhisa Mido and Kunihiro Asada, "Crosstalk Noise in High Density and High Speed Interconnections due to Inductive Coupling," Proceeding of ASP-DAC '97, pp.215-220, Jan., 1997.

クアドツリー構造による画像信号走査センサ

東京大学工学部 秋田 純一 浅田 邦博

はじめに マルチメディアの普及等による画像信号量の増大により、撮像センサと信号処理系との間の伝送路がボトルネックとなりつつある。今回、画像信号をクアドツリー構造によって階層的に取り扱うことで、一種の即時的な情報圧縮を行う機能を光センサとともに集積した撮像センサを試作し、動作の

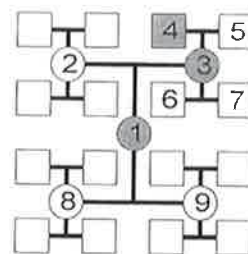


図1 ツリー構造による画素走査の手順



評価および回路の選択的駆動による低消費電力化の検討を行った。

試作チップ 画素とノードからなるツリー構造による画素走査での、ノードの値を下位の値の論理和とすると、上位から順に走査手順する際に値が(白)のところから先を読み飛ばすことで 0 が多い領域での符号化効率が高くなる。このツリー構造による撮像センサの動作を評価するため、Motorola 1.5 μm を用いて設計を行った。各ノードは 154 トランジスタからなるオートマトンとし、画素はフォトダイオードをもつ光電変換回路の他に、動画圧縮のためにフレーム間差分をとる回路も含めた。画素数は 3232、開口率は約 30% である。なお、本チップは博士 2 年の学生が約 3 週間で設計し、94,035 トランジスタと 1,024 個のフォトダイオードで構成されている。

コード帳符号化方式によるチップインターフェースにおける消費電力削減

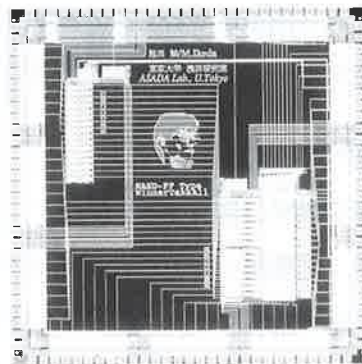
東京大学工学部 池田 誠 浅田 邦博

はじめに 近年 VLSI における高速化多ピン化に伴い、チップインターフェースにおける消費電力の増大が問題になっている。ここでは、チップインターフェースにおいてデータを符号化する事で消費電力の削減を目指すコード帳符号化方式の検討を行った。

コード帳符号化方式 コード帳符号化方式は、データ空間を複数の副空間に分割し、各副空間に設定された代表値と転送するデータとのハミング距離が最小になるものを選択し、選択された代表値をあらわす代表語および代表値との距離を転送する事で信号の遷移頻度を削減する方式である[1]。本方式を実現するにあたり、空間領域最小ハミング距離検出回路の検討を行った。

試作チップ なお、本チップは空間領域最小ハミング距離検出回路を用いた符号化回路、復号化回路を1チップ化しており、助手が約2週間で設計し、7kトランジスタで構成されている。

[1]池田,浅田,"チップインターフェースにおける消費電力削減を目指したデータ符号化手法," 1997年電子情報通信学会総合大会, 1997年3月.

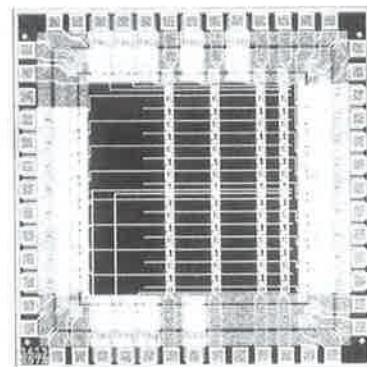


コード帳符号化方式のためのテストチップ 1

東京大学工学部 池田 誠 浅田 邦博

はじめに 近年 VLSI における高速化多ピン化に伴い、チップインターフェースにおける消費電力の増大が問題になっている。ここでは、チップインターフェースにおいてデータを符号化する事で消費電力の削減を目指すコード帳符号化方式の検討を行った。

試作チップ コード帳符号化方式は、データ空間を複数の副空間に分割し、各副空間に設定された代表値と転送するデータとのハミング距離が最小になるものを選択し、選択された代表値をあらわす代表語および代表値との距離を転送する事で信号の遷移頻度を削減する方式である。本チップはコード帳符号化方式を実現するにあたり必要となる空間領域最小ハミング距離検出回路の特性測定を目的として、空間領域ハミング距離演算回路のテストチップであり、助手が約1日で設計し、960トランジスタで構成されている。

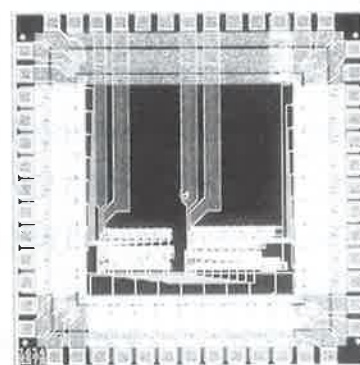


コード帳符号化方式のためのテストチップ 2

東京大学工学部 池田 誠 浅田 邦博

はじめに 近年 VLSI における高速化多ピン化に伴い、チップインターフェースにおける消費電力の増大が問題になっている。ここでは、チップインターフェースにおいてデータを符号化する事で消費電力の削減を目指すコード帳符号化方式の検討を行った。

試作チップ コード帳符号化方式は、データ空間を複数の副空間に分割し、各副空間に設定された代表値と転送するデータとのハミング距離が最小になるものを選択し、選択された代表値をあらわす代表語および代表値との距離を転送する事で信号の遷移頻度を削減する方式である。本チップはコード帳符号化方式を実現するにあたり必要となる空間領域最小ハミング距離検出回路の特性測定を目的とし



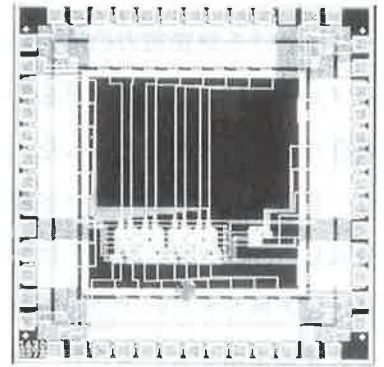
て、空間領域 Winner-take-all 回路のテストチップであり、助手が約 1 日で設計し、1300 トランジスタで構成されている。

RPL 高速加算器

東京大学工学部 張 子誠 浅田 邦博

チップ概要 RPL は、パストランジスタと電圧振幅を回復させる回路を用いた論理回路である。通常の CMOS を用いた論理回路と比較した場合、RPL のメリットは必要なトランジスタ数が少ない、低消費電力、高速動作という特長がある。パストランジスタ回路は nMOS トランジスタを組み合わせで論理動作を行う。また、RPL では、回路各所に信号を回復させるための 2 個の pMOS トランジスタで構成した回路 (REGEN) を入れる。高速、低消費電力な論理回路として提案されている CPL 回路では、出力の電圧振幅は V_{dd} にならないので、いろいろな制限が生じてきた。RPL は基本的に CPL を改良した論理回路である。その回路の入力容量は一般的な CMOS と比べるとほぼ半分であり、高速で動作し、消費電力も低い。RPL のフル・アダー (Full Adder) を題材として、基本回路の XOR/XNOR と MUX モジュールを組み合わせで作成したものを検討した。nMOS トランジスタ だけで組み合わせる論理回路のメリットは、設計もレイアウトも簡単な点である。又、RPL 回路のトランジスタ (パストランジスタとインバータの nMOS トランジスタと pMOS トランジスタ) の閾値と電源電圧 (V_{dd}) の協調性が良いことがわかった。本チップでは、フル・アダーを題材として動作速度及び消費電力のシミュレーションを行った。組合せ回路での RPL は、4 種のフル・アダー回路のうち、組合せ論理回路部分の最小トランジスタ数である。モンテ・カルロ (Monte Carlo) ・ランダム探索法で他の三つの代表的なフル・アダー (CMOS, CPL, DPL) との比較の結果は、RPL フル・アダーの最大周波数が一番大きくて、消費電力がデュアル・レール・ロジックの中の一番低いことがわかった。更に、そのトランジスタ数もレイアウト面積も合理的に小さくできる。又、加算器の中心部分: CCS (コンディショナル・キャリー・セレクト) を採用し、RPL は DPL の 2/3, CMOS と比べるとほぼ同じサイズを得た。その上、RPL CCS 回路は従来の DPL 回路の大体三分の二の消費電力ができることがわかった。加算器には、RPL でメリットが現れる CCS 回路の効果も 伝統的な CPA (桁上げ伝搬加算器) より良いことがわかった。

試作に要した日数 30日 **主な設計者の身分** 博士 **トランジスタ数** 5000 transistors



3 段リングオシレータ相互結合による不規則発振回路の作成

東京大学大学院工学系研究科 辻田 達男 藤島 実 鳳 紘一郎

はじめに 素子を相互に接続した自由度の高い系では、素子単独では単純な応答を示す場合であっても、非常に複雑な挙動を見せることが知られている。そこで、複雑系の性質を調べるのに容易な集積回路で試作を行なった。

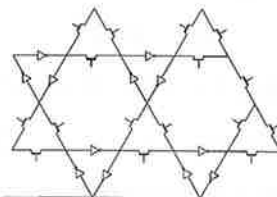
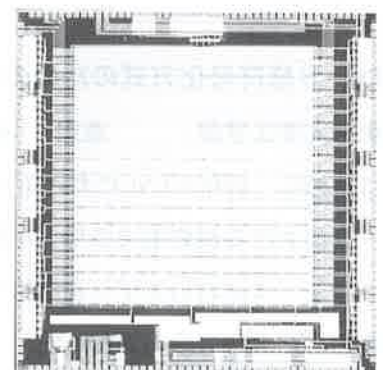


図1 相互に結合したリングオシレータ

3 段リングオシレータ相互結合系 非線型回路を相互接続した系の振る舞いに関して、従来、シミュレーションによるさまざまな計算がなされてきたが、集積回路を用い、リアルタイムな測定を通じてダイナミックな系の振る舞いを検討した例はない。このため、3 段リングオシレータを相互に抵抗接続した系における電圧波形を測定し、その結合から生じる複雑な応答波形に関して調べる。2 次元的に配置された回路要素の電圧を測定する



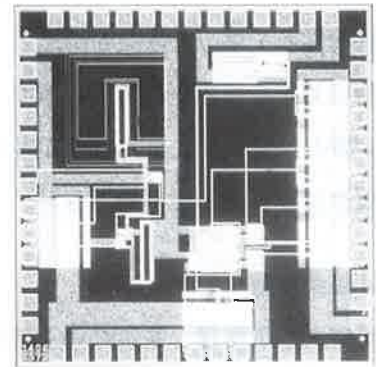
ことにした。

3段リングオシレータ相互結合系の構成は図のようになっている。リングオシレータの相互結合パターンの違いにより、系の挙動に変化が見られるかどうか調べるため、個々のオシレータの結合にはMOSトランジスタを用い、3種類のパターンの結合に切り替えられるようになっている。個々のオシレータの特性は等しいものであり、それぞれ単独では100 kHzで発振するものである。それを16×16の2次元的に配列し、系の中心、または隅からオシレータの電圧波形をリアルタイムで調べる。チップは、博士1年の学生が1ヶ月で設計し、およそ1万トランジスタで構成されている。

ワンチップ体感温度センサー

東京大学工学部 兵藤 直子 藤島 実 鳳 紘一郎

はじめに 建築や衣料品の開発には、気温（温度）や風速（流量）といった物理量だけでなく、人がどのように快適あるいは不快に感じるかという感覚的な値を知る必要がある。このような値を測定する際、測定者がその場所で感じている値を出力することができれば、人の実際の感覚との誤差を少なくすることができる。そこで、人が感じる温度、体感温度を風速センサーおよび気温センサーをオンチップで作製し、その出力から体感温度を算出する超小型体感センサーを作製した。



体感温度センサーの構成 風速センサーには、500 μm角の穴の中に異方性エッチングを用いて作製したカンチレバーを利用している。このカンチレバーには、オペアンプの初段差動増幅器で使用されるMOSFETの片方を埋め込み、そのゲート上には2層目のポリシリコンを用いたヒーターを置いている。カンチレバーを風が通過することによりカンチレバー上のMOSFETは冷却されるが、オペアンプに発生するオフセット電圧を打ち消すようにヒーター電圧を制御し、その時のヒーター電圧を読み取ることで風速を得る。温度センサーにはMOSFETのサブスレッショルド特性を利用した回路を用いた。これらのセンサーの出力を積み付け加算し、体感温度を得る。チップは、学部4年の学生が2ヶ月で設計し、およそ1,000トランジスタで構成されている。

フリーウェア magic による疑似乱数発生器の製作

慶應大学理工学部 森澤 文晴 天野 英晴

はじめに 集積回路の設計に関する授業の演習に市販のCADを使用する場合には様々な問題点がある。そこで、本チップはフリーウェアで、パソコンでも動作するmagic[1]で疑似乱数発生器を設計し、実際に演習にも使用可能かどうかの検討を行った。

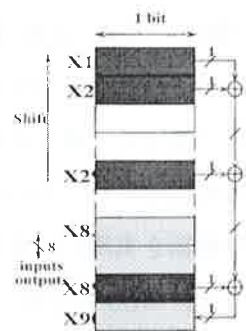
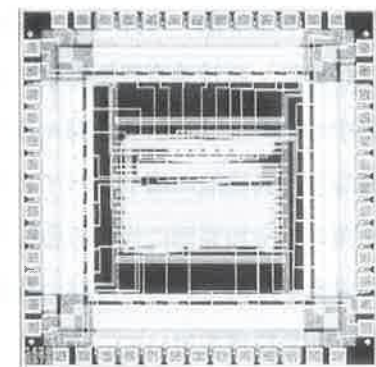


図1 機能ブロック図



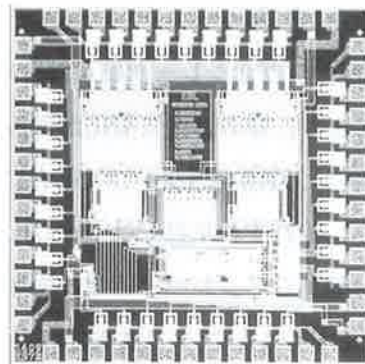
試作チップ 今回製作したアーキテクチャを図1に示す。X1・X2・X29・X89ビットのXORをとり、その結果をX90ビットに代入する90ビットM系列疑似乱数発生器である。この周期は290-1で、入出力はX83～X90の8ビットで行なう。本チップはMOTOROLA 1.5 μmを用いて、学部4年の学生が約1ヶ月で設計し、並列計算機に関するハードウェアによるシミュレーションに使用される予定である。また、本チップは約3kトランジスタで構成され、25 MHzでの動作を確認できた。この結果、今後の条件次第ではmagicによる設計演習は十分可能であることがわかった。

参考文献 [1] Robert N.Mayo, etc.: MAGIC Manuals

4 値乗算器 (V1)

宮崎大学 工学部 電気電子工学科 石塚 興彦 淡野 公一

チップ概要 今回試作を行った4値乗算器は、直接部分積を生成する部分積生成器、部分積の加算、及び中間和の加算を行う冗長多値加算器、冗長数を非冗長数に変換する高速多値CLA、4値電流値を2値電圧値に変換する4値2値変換器といった主に4つのブロックから構成される。回路の動作は、8桁×8桁2値電圧値を入力することにより16+1桁2値の電圧信号として積を出力するが、内部動作は2値電圧信号を4値電流信号に変換し4値電流値によって計算が行われる。使用電源は5V単一で設計を行っており、入出力信号はHigh: 5V, Low: 0V、内部信号は単位電流20 μ Aの多値電流信号と2値電圧信号で動作する。設計は、修士学生7名により約2ヶ月をかけて行った。また、回路は約5k個のトランジスタによって構成されている。

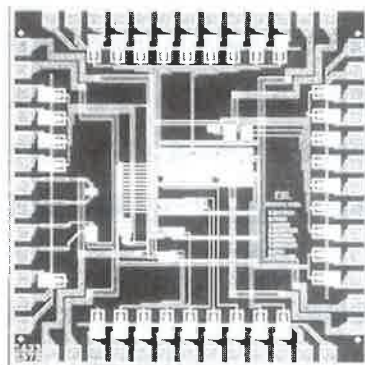


試作に要した日数 約2ヵ月 **主な設計者の身分** 修士6名 **トランジスタ数** 5k個

4 値乗算器 (T1)

宮崎大学工学部 電気電子工学科 石塚 興彦 淡野 公一

チップ概要 我々の研究室では今回2種類のチップの試作を行った。一つ目のチップは、別記の4値乗算器であり、直接部分積を生成する部分積生成器、部分積の加算、および中間和の加算を行う冗長多値加算器、冗長数を非冗長数に変換する高速多値CLA、4値電流値を2値電圧値に変換する4値2値変換器といった主に4つのブロックから構成される。本チップは、その4値乗算器に回路的な欠陥がある場合の不良ブロックを特定する目的で設計され、上記の各ブロックを独立に集積したものである。

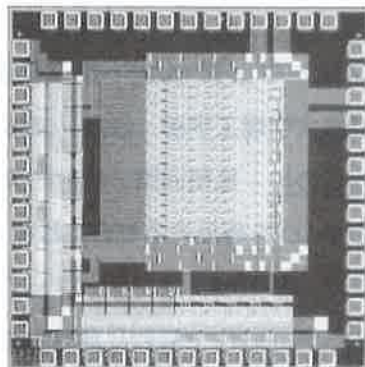


試作に要した日数 約2ヵ月 **主な設計者の身分** 修士6名 **トランジスタ数** 5k個

ニューロンMOS一括加算回路による高速乗算器

東北大学工学部 今井 誠 野沢 俊之 小谷 光司 柴田 直 大見 忠弘

はじめに 高速乗算器を実現するために様々な研究がなされてきたが、研究の中心はキャリー伝播を抑えることであった。我々は従来のアプローチとは異なり、高機能四端子デバイスであるニューロンMOS（以下MOSと略す）を用いて全加算器に代わる多入力加算器を実現し、乗算器の高速・小面積化の研究を進めている。今回の試作では、MOSのフローティングゲート上の電圧加算原理を用いて、3bitデータを9つ同時に加算できるFsA（MOS Flash Adder）を構成し、乗算器への適用を試みた。

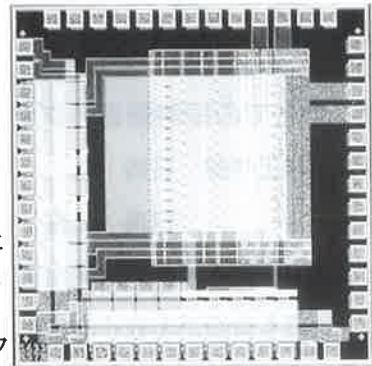


試作チップ 3bit-9入力FsA実現のためには、電圧で64値を切り分ける必要があるため、低消費電力で高精度なしきい演算機能を有するMOSセンスアンプ回路を用いた。また、3bit-9入力FsAを4つ組み合わせ、64bit乗算器の基本ブロックを構成した。なお、本チップには2ポートSRAMの動作速度を測定するマクロも同時に集積されている。本チップは博士1年と、学部4年の学生が約1か月で設計し、約5.5kトランジスタと3.5k個の容量で構成されている。

電荷転送アンプによる高精度電圧比較器を用いた低電力 A/D コンバータ

東北大学大学院工学研究科 小谷 光司 大見 忠弘

はじめに 近年、携帯型のビデオ機器や情報端末向けに極低消費電力の A/D コンバータの開発が強く望まれている。我々は既に、直流電力を一切必要としない A/D コンバータを開発しているが、ダイナミックラッチ回路を用いた電圧比較器の比較精度に問題があった。そこで今回、定常電流を全く必要とせずに電圧増幅が行える CMOS 電荷転送アンプ回路を開発し、ダイナミックラッチ比較器と融合することにより、高精度低電力 A/D コンバータへの応用を試みた。

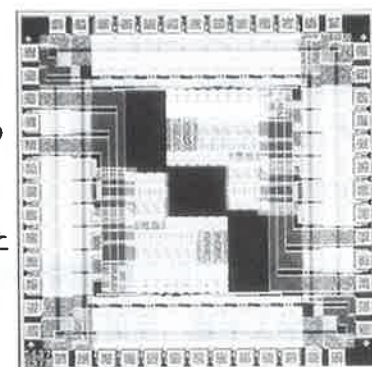


試作チップ 直流電流を全く必要としない CMOS 電荷転送アンプをダイナミックラッチ比較器の前段に挿入することにより、実効的にダイナミックラッチ比較器のオフセットばらつきを小さくすることができ、高精度の極低消費電力 A/D コンバータが実現できる。本チップは、CMOS 電荷転送アンプとダイナミックラッチ比較器を用いた 4 ビット分解能の A/D コンバータ回路であり、比較器の精度や消費電力を検証するためのテスト回路である。なお、設計は、助手 1 名により約 2 週間で行われた。約 1100 トランジスタ、75 キャパシタを使用。

電荷転送アンプを用いた低電力 A/D コンバータ用高精度電圧比較器

東北大学大学院工学研究科 小谷 光司 大見 忠弘

はじめに 近年、携帯型のビデオ機器や情報端末向けに極低消費電力の A/D コンバータの開発が強く望まれている。我々は既に、直流電力を一切必要としない A/D コンバータを開発しているが、ダイナミックラッチ回路を用いた電圧比較器の比較精度に問題があった。そこで今回、定常電流を全く必要とせずに電圧増幅が行える CMOS 電荷転送アンプ回路を開発し、その比較器への応用を試みた。



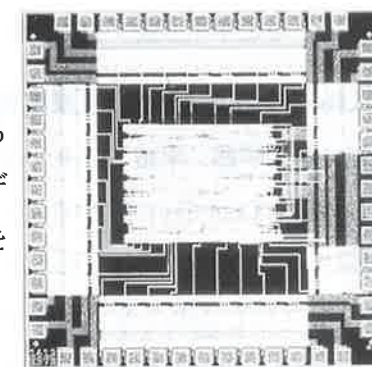
試作チップ 開発した CMOS 電荷転送アンプ回路とは、容量間の電荷転送により、直流電流を全く必要とせずに電圧増幅を行う回路である。ソースフォロア原理を応用することにより、しきい値等のデバイスパラメータの変動に対してオフセット電圧を一定に保つことが出来る。また、ダイナミックラッチ比較器の前段に挿入することにより、実効的にダイナミックラッチ比較器のオフセットばらつきを小さくすることが出来る。本チップには、ダイナミックラッチ比較器単体と共に CMOS 電荷転送アンプを装備した比較器の TEG を搭載している。なお、設計は、助手 1 名により約 2 週間で行われた。850 トランジスタ、36 キャパシタを使用。

ヒルベルト曲線を生成するためのアドレス発生回路の設計

九州大学システム情報科学研究科 鎌田 清一郎 西 修功 坂東 幸浩

はじめに ヒルベルト曲線は、フラクタルではないが、自己相似性を有する G.Peano の空間充てん曲線の一種である。本研究室では、グラフィックスディスプレイ上にヒルベルト曲線を生成するためのアドレス発生回路の試作を行った。

試作チップ 図には、今回試作したアーキテクチャ(写真)を示す。これは、サイズ 2×2 から 1024×1024 までのヒルベルト曲線を生成するアドレス発生回路である。この試作により、回路構成が極めてコンパクトに設計できることを確認した。また、これは、CMOS $1.5 \mu\text{m}$ を用いて設計している。



なお、本チップは学部4年、修士1年の学生が約3か月で設計し、2kトランジスタで構成されている。

センサ上での即時動きベクトル検出方式と設計

東京大学工学部 石寄 透 李 正 相澤 清晴
羽鳥 光俊

はじめに 動きベクトル検出は通常のデジタル画像処理では最も負荷が大きく高速化が困難である、今回イメージセンサ上で並列性を利用し、1000 frame/s以上の高速撮像下で物体の動きベクトル検出を即時に行なう方式を検討した。

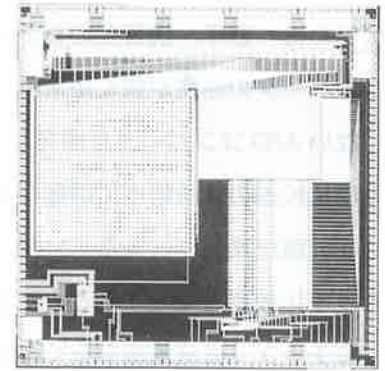
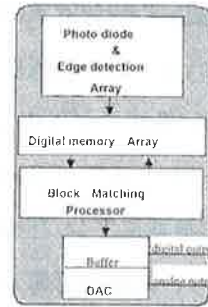


図1. 機能ブロック

試作チップ 試作したチップのアーキテクチャを図1に示す。エッジ検出は水平、垂直各々の方向に対して画素並列に処理される。メモリには、2フレーム分の水平、垂直それぞれのエッジの有無を1/0で保持する。サーチエリアに応じてエッジ値を処理部へ選択出力し、ビットシリアル演算によりブロックマッチングを行なう。マッチング演算は列並列に行い、高速化が図られている。また、高速撮像のためサーチエリアを1画素の範囲に限定している。このチップは1.5 μmのCMOSルールでチップの大きさは7.3mm×7.3mmである。設計で素数は3232画素、1画素の大きさは100×100nm²、開口率は17%である。画素並列でアナログ処理、列並列でデジタル処理を行なっている。本チップは修士2年の学生が約3ヶ月で設計し、55kトランジスタで構成されている。

P2Libのセルの動作特性測定用 TEG その1

京都大学工学部 平田 昭夫 小野寺 秀俊 田丸 啓吉

はじめに P2Lib が生成したモトローラの1.5μmプロセス用のライブラリにおける主なセルの遅延時間を測定するためのTEGチップを制作した。P2Lib が生成した遅延時間の情報の精度を検証する。試作チップ

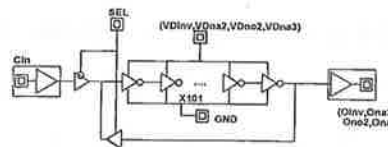
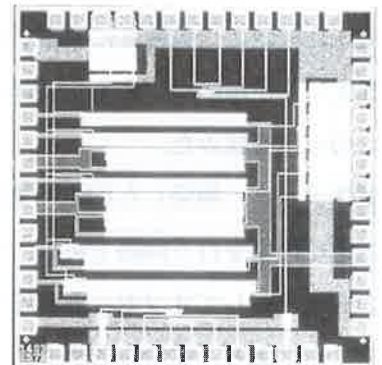


図1: リング発振器



5種のリング発振器を制作した。信号selをHighにしたとき発振器動作をおこなう。リング発振器の内訳は、負荷1のinv1 (51段)、負荷3のinv1 (51段)、負荷5のinv1 (51段)、負荷1のnand2 (ピンa遷移, 81段)、負荷1のnand2 (ピンb遷移, 81段)である。インバータセルのリング発振器を図1に示す。なお、本チップは博士1年の学生が約7日で設計した。

P2Libのセルの動作特性測定用 TEG その2

京都大学工学部 平田 昭夫 小野寺 秀俊 田丸 啓吉

はじめに TEG その1 (N0640TOP)と同様に、P2Lib が生成したモトローラの1.5 μmプロセス用のライブラリにおける主なセルの遅延時間を測定することを目的とする。試作チップ4種のリング発

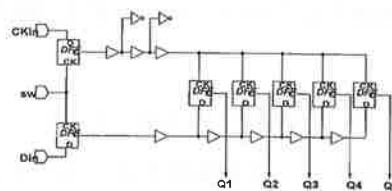
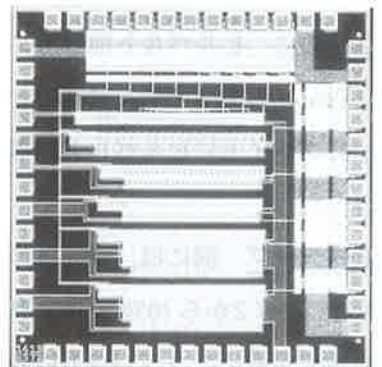


図1: DFFのタイミング特性測定回路



振器と DFF のタイミング特性 (セットアップ, ホールド時間など) を測定する TEG を作成した. リング発振器の内訳は, nor2 (ピン a 遷移, 51 段), nor2 (ピン b 遷移, 51 段), xor2 (ピン a 遷移, 51 段), xor2 (ピン b 遷移, 51 段) である. DFF のタイミング特性測定回路では, クロックピンに入る信号とデータピンに入る信号の時間差をインバータセルにより調節することによりタイミング特性を測定する.

RGC 構成を用いた電流モード循環型 AD 変換器

京都大学工学部 下吉 博之 小野寺 秀俊 田丸 啓吉

はじめに 本アナログ-デジタル変換器 (以下 AD 変換器) は電流モード循環型と呼ばれる方式の AD 変換器である. 本 AD 変換器の特徴は, 回路を RGC 構成にすることで, 小面積, 低消費電力を計っているという点である.

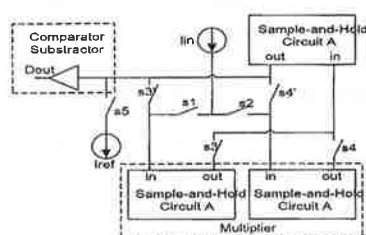
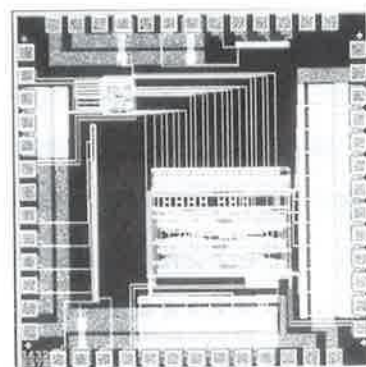


図 1: 本 AD 変換器のブロック図



変換速度は数 Kbps ~ 数十 Kbps 程度であるが, 多数の AD 変換器をアレイ状に並べる事で, 画像の並列処理を行なう事を目的とする. 本 AD 変換器は最大入力電流 $50 \mu\text{A}$, 分解能 8 ビットを想定して設計されている. 試作チップ 本 AD 変換器の回路図を図 1 に示す. 2 倍演算回路は循環電流を 2 倍する回路, S/H 回路は循環電流を保持する回路, 比較減算回路は循環電流と参照電流 I_{ref} とを比較して, AD 変換の結果を出力する回路である. I_{ref} 入力用カレントミラー回路, S/H 回路は RGC 構成である. 変換速度を 30.8kHz としたときのシミュレーションによる予想性能は, 最大微分非線形誤差が 0.15LSB である. 平均消費電力は 0.61mW である. 本試作チップには各スイッチを制御するための制御回路も作り込まれている.

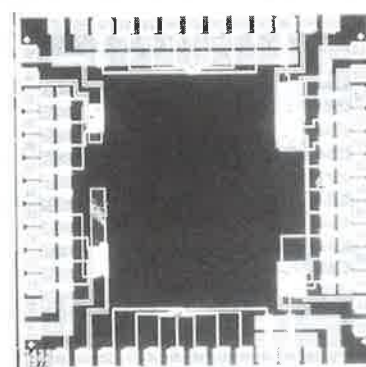
Parameter Measurement TEG for an Operational Amplifier Library

Kyoto University Cesar Moran Hidetoshi Onodera Keikichi Tamaru

Introduction When designing any VLSI system, power efficient, compact, simple library cells are a staple ingredient. Three op amps with suitable performance have been implemented on this TEG to facilitate accurate parameter measurement of the analog library.

Experimental Chip The analog library to be tested consists of three typical op

amp circuits. A basic, unbuffered amplifier with a DC gain of approximately 80 dB was first designed to drive small capacitive loads (typically 20pF). A two-stage, class AB amplifier with a DC gain of 65dB was then included to handle somewhat larger capacitive and small resistive loads (typically 100 pF and $10 \text{ k}\Omega$, respectively.) The third type of op amp was a folded cascode, developed for its increased PSRR and common-mode input range. The typical capacitive load of the folded cascode is 2 pF, with a gain of 65 dB. These three amplifiers have been implemented along with the current mirror used in the folded cascode amplifier, and ten transistors representing those used in our amplifiers. Adequate attention has been paid to prevent latch-up and facilitate accurate parameter testing of this analog library. The present chip was designed over one month by a foreign undergraduate student, with assistance from a PhD candidate.



MOSFET における閾値電圧の揺らぎ測定用 TEG

京都大学工学部 近藤 正樹 小野寺 秀俊 田丸 啓吉

はじめに 近年、同一ダイ上での閾値電圧の揺らぎが、集積回路を設計する上で重要な問題になりつつある。今回、我々は閾値電圧の揺らぎを短時間に自動的に測定できる TEG アーキテクチャを考案し、閾値電圧の揺らぎが回路特性に与える影響を検討した。

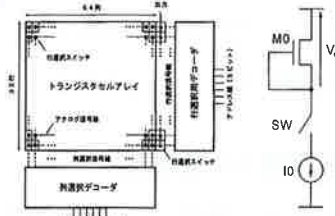
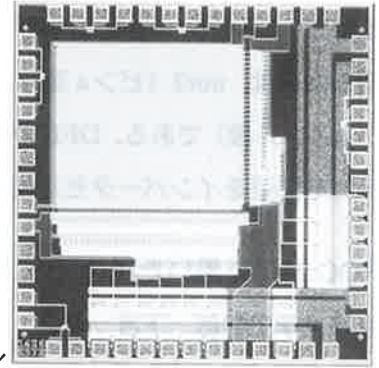


図 1: ブロック図 図 2: Tr. セル

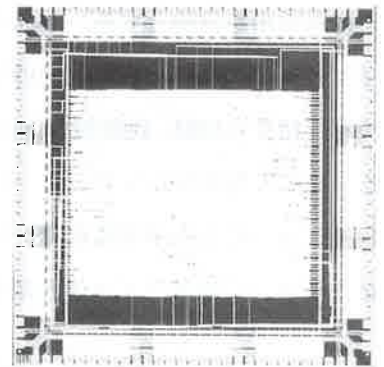


試作チップ 本アーキテクチャの概要を図 1 に示す。被測定トランジスタは 64 行 × 32 列のアレイ状に配置される。各ドレイン端子および行毎に設けたスイッチをそれぞれアドレスデコーダにより制御することで、任意の 1 トランジスタを選択する。トランジスタセルの回路図を図 2 に示す。閾値電圧は、トランジスタに $0.1 \mu\text{A}$ 程度の一定電流を流した時のドレイン電圧として観測される。従って、従来のように完全な電流電圧特性を測定する必要はなく、測定時間が大幅に短縮される。なお、本チップは博士 2 年の学生が約半月で設計した。

自己組織化ニューラルチップの設計

北海道大学工学研究科電子情報工学専攻 小林 俊浩

チップ概要 従来より自己組織的に動作するニューラルネットワークは、処理のローカル性や均一性などの理由でハードウェア化が容易であり、さらにハードウェアにすることにより実時間で、データのクラスタリング、分類、認識等ができると考えられていた。我々の研究グループでは従来の自己組織化モデルより、さらにローカル処理（高度分散処理）を実現する新しいハードウェアアルゴリズムを提案しており、そのモデルの基本ノードの設計ができていたため、基本ノードの一部の演算器設計を実際に行った。すべての基本演算器(内積計算等)は、全体のモデルが高度な分散処理とパイプライン処理を前提としているので、並列・並行処理さらにはパイプラインチェイニング処理が可能のように作り直し、その上で、データの演算を行うモジュールを設計した。

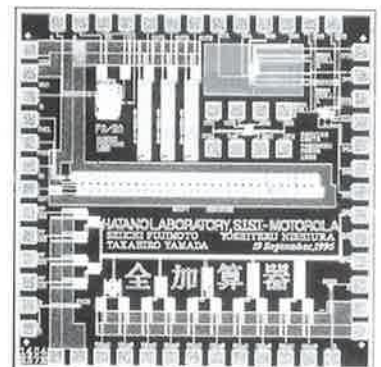


試作に要した日数 約 3 ヶ月 主な設計者の身分 修士 2 年生 トランジスタ数 約 7000 ゲート

参考文献 小林, 宮永, 柄内: "自己組織化クラスタリングのマルチチップエレメントの設計", 信学会技報, VLSI 設計技術研究会, VLD96-25, (1996 年 6 月)。

MOS VLSI 設計方式及び高性能化の検討のためのテスト回路の設計と評価結果

静岡理科大学電子工学科 藤元 聖一 山田 貴裕 西浦 吉晃 波多野 裕
静岡理科大学クリーンルームでのゲートアレイ展開のため開発したマクロセル、およびフルカスタム方式で設計したゲート接続方式検討のための FF 回路と回路構成の回路性能への影響を検討するための 5 種類の全加算器、更にフィードバック抵抗を挿入したシングルイベント耐性強化 SRAM セルを設計した。また、シフトレジスタ、リングオシレータ、NMOS、PMOS 等を設計した。



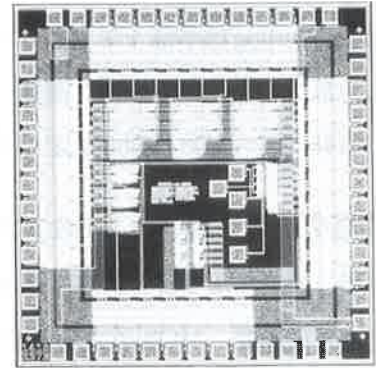
試作された全加算器セル、フルカスタム設計全加算器、リングオシレータ、シフトレジスタ、NMOS、

PMOS を評価した結果、全て設計通りの特性を示し、動作するチップを作る事に成功し、構築した設計及び検証ツールとシミュレーションシステムの妥当性を実証した。なお、チップ設計はMOS プロセス経験済みの学部学生3名が行い、設計および検証システム構築を含めて2ヶ月を要した。

非対称誤り記憶素子とそれに基づくフェールセーフ交通信号機制御回路

仙台電波工業高等専門学校 鹿股 昭雄

概要 フリップフロップを構成する対のインバータの閾値電圧を変えることで電源電圧のノイズ変動に対して、非対称な誤り特性を持つフリップフロップを疑似NMOS回路で設計した。さらに、信号機の各状態に非順序符号である2 out of 3 コードを割り当てることで、フェールセーフな順序回路を実現した。



試作に要した日数 約2カ月

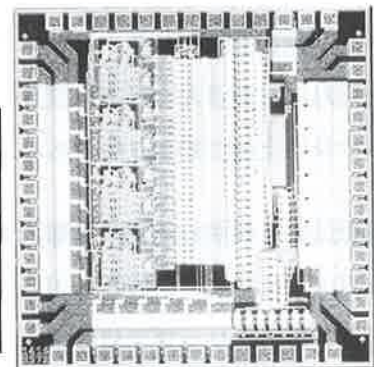
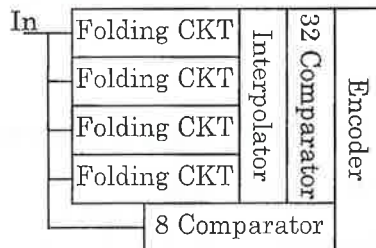
主な設計者 専攻科学生 1名 5年学生 2名 トランジスタ数 約800

参考文献 [1] 鹿股, 他, "非対称誤り記憶素子の一構成法とそのフォールトトレラントシステムへの応用", 信学論, (D-1), J75-d-1,10,pp.954-957 (1992-10)

8ビットCMOS folding A/D変換器の試作

九州大学システム情報科学研究科 高 宇宏 黒木 幸令

1. はじめに 社会人時代にA/D変換器を計測に用いたことのある修士課程の学生がその内部回路と集積化設計技法を修得したいという興味から設計した。例題として映像用高速・低分解能のA/D変換器を選んだ。



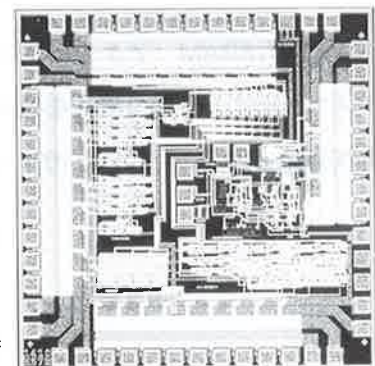
2. 試作内容 試作したLSIは比較器の数を減らして低消費電力化を狙う、入力電圧の上位3ビットをカレントミラーを巧みに組み合わせた回路で折り畳む。文献から特徴ある回路として選んだもので方式に新しさはない。折り畳み回路は単純に設計するとCMOSを基本とするものの消費電力は大きくなる。可能な限り入力電圧幅を大きく、変換速度を高速に、消費電力を最小化できるようにHSPICEで最適化した。レイアウトにはDRC, ERC機能を持つ対話型のSX-9000のnd, ldを使用した。最適なレイアウトにはなっていないが、アナログ回路特有な問題点は確認できたと思う。設計には回路方式の特徴と問題点把握, CADツールの操作理解に時間がかかり5ヶ月を要したが、実質の設計時間は約2ヶ月であった。

学生によるMOS集積回路試作実験の試み

九州大学システム情報科学研究科 黒木 研究室

はじめに 集積回路の設計経験がない修士2年1名, 1年2名, 学部4年3名の学生が回路に新しさはないものの自発的に回路を選択し, MOSFETの動作原理を考えながら, レイアウト設計を中心に指導者の援助なしの状況でLSI試作に挑戦した。

試作内容 本チップにはオペアンプ, 電圧制御発振器, フルアダー, 乗算器



の4回路が含まれている。研究室のツールに一貫性がなかったため、オペアンプと電圧制御発振器の設計には

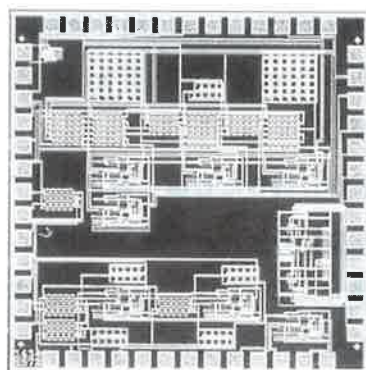
HSPICE を用いて最適化し、乗算器は Cadence Verilog-XL によりシミュレートして動作確認した後、セイコー電子 SX-9000 回路エディタ nd とレイアウト・エディタ ld を用いて回路・トランジスタ構造の関係を確認しながらレイアウトを行った。設計に使用したルールファイルは UNIX に慣れた修士 2 年生がマニュアルを見ながら VDEC より得たデータをもとに作成した。

また、Verilog は学部 4 年生の一人が夏休み中にマニュアルと参考書片手に自習して修得した。学生集団活動により設計に着手してほぼ 3 週間で完成。内 4 名は UNIX が初めてであった。指導書が完成すれば、電子系学生に有効な教育が数日間の予定で実現できることが確認できた。

線形化技術を用いた MOS アナログ回路の試作

東京工業大学工学部 高木 茂孝 藤井 信生

チップの概要 MOS アナログ回路の最大の問題は MOSFET の電圧・電流特性が 2 乗特性であるために発生する信号歪みである。今までに、この歪みを除去するための手法が幾つか提案されている。今回は、我々が以前提案した非飽和領域で動作する MOSFET を用いた線形化技術を用いた連続時間系フィルタ並びに、従来から知られている飽和領域で動作する MOSFET を用いた線形化技術を応用することにより信号誤差の要因となるクロックフィードスルーを低減したスイッチトカレント回路を試作した。本チップでは試作を行った 2 回路の他に、比較のための回路や素子特性の測定のための回路などを含んでいる。設計には修士 1 年の学生が 2 名担当し、約 2 週間の時間を要した。また、トランジスタ数は全体で約 250 個である。



また、トランジスタ数は全体で約 250 個である。

基板効果を利用した低消費電力フリップフロップおよび SRAM の試作

東京大学生産技術研究所 川口 博 櫻井 貴康

低消費電力フリップフロップ A Reduced Clock-Swing Flip-Flop(RCSFF) を考案し、試作した。構造はカレンラッチ型フリップフロップと呼ばれるもので、図 1 に示す。

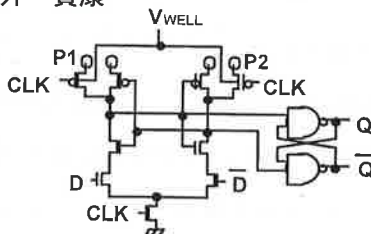
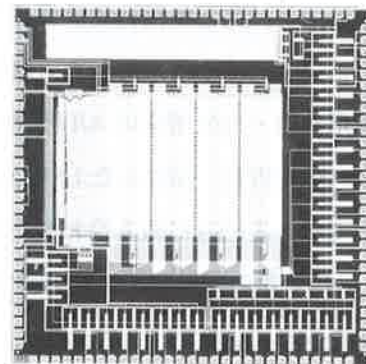


図 1 RCSFF

基板電圧 V_{well} に V_{dd} 以上の電圧を印加



し、基板効果を利用することにより、P1 および P2 のしきい値を高くする。これにより、クロック振幅が低振幅でも動作が可能であり、低消費電力化がはかれる。シミュレーション結果は 1997 年 6 月に京都において開催された Symposium on VLSI Circuits において発表した。試作チップからの評価結果は今後に予定している。約 4000 トランジスタからなるシフトレジスタの TEG で、設計日数は約 3 日である。

低消費電力 SRAM アクティブ時はウェル電圧を V_{dd} より高く設定しておき、基板効果を利用することにより、リーク電流による電力消費を低減する。各セルにアクセスされる時のみに、ウェル電圧を低くし、アクセス時間の遅延は犠牲にしない。1024 ビットで約 8000 トランジスタで、設計日数は約 30 日である。

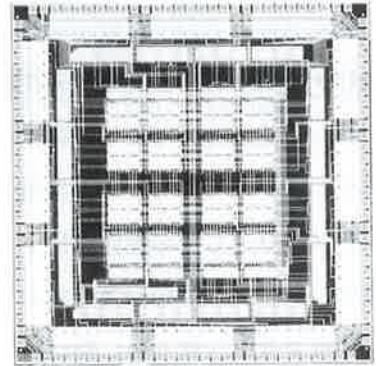
自律分散マイクロ搬送システム制御チップ

東京大学生産技術研究所第三部 三田 吉郎 藤田 博之

多数のマイクロアクチュエータの協調作業により、搬送機能を実現する、自律分散型マイクロ搬送システムの制御回路。外部より目標点をアドレス指定することで、制御回路内部で分散的に各アクチュエータの搬送方向を演算し、制御信号を出力する。

試作期間 1ヶ月 トランジスタ数 11264

主な設計者の身分 修士

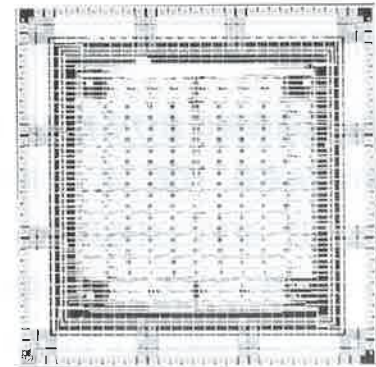


輪郭抽出処理ハードウェア化の研究

芝浦工業大学大学院修士課程電気専攻 鶴岡 尚幸

チップ概要 2値画像の輪郭線抽出処理を行なう専用LSIのTEG試作を行なった。試作チップ回路は、画素数8×8のものに対して輪郭抽出を行なうものを設計した。全体は、主に1ビットレジスタ1つと1ビットコンパレータ2つからなる単純な演算ユニットを2次元アレイ構成とすることにより、ハードウェア回路を実現している。

試作に要した日数等 修士2年の学生1名により論理設計、検証からレイアウト設計、DRCまでを、約4か月で設計した。4.8mm角のチップ（IOバッファ部分を除く約3.86mm×3.86mm）にゲート数で3,924gateトランジスタ数で11,290Trを集積した。

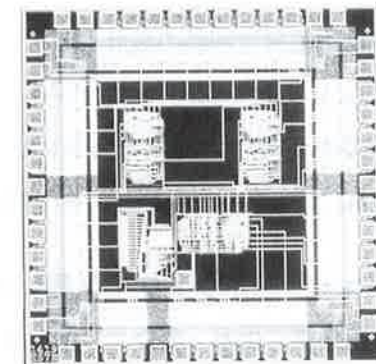


集積回路の初回設計

金沢大学工学部電気・情報工学科 前多 和洋 北川 章夫 鈴木 正國

今回、実際のIC設計を行なうことにより、近年のVLSI設計というものを理解することを目的として、ALU、D/Aコンバータを製作した。東京大学浅田邦博先生のご厚意により頂いたMOSESを用いて、講義の一貫として出された課題「MOSESを用いたALU設計」を延長し、実際の設計ルールに当てはまるよう変更した。チップ内容は以下のものである。

<ALU> 4bitのadd,sub,and,orを行なうものである。**<D/A>** 16段のラダー状抵抗によるD/A変換を直接出力するものと、Outバッファ（デジタル用）を通してバッファの大まかな特性をみるものである。本チップは学部4年の学生が約3週間で設計し、トランジスタ数約800ものである。



メモリ共有型並列計算機のためのSHDRAMの設計

東北大学工学部 平野 圭一 吉田 栄

栗野 浩之 小柳 光正

はじめに メモリ共有型並列計算機は高い性能を簡単な構成で実現できるが、共有バスでのバスボトルネックにより共有メモリに接続できるプロセッサ数が制限され、性能の向上に限られる。そこで我々は、共有バスを用いずに複数のプロセッサを接続することのでき

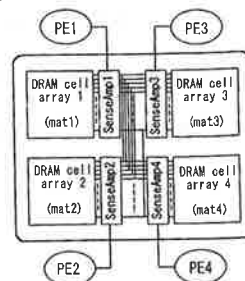
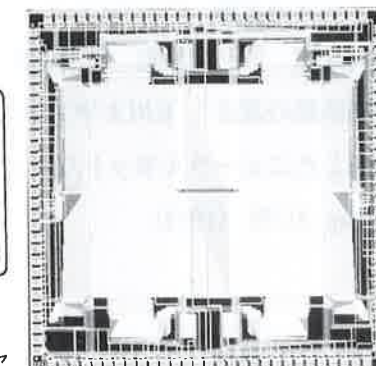


図1 アーキテクチャ



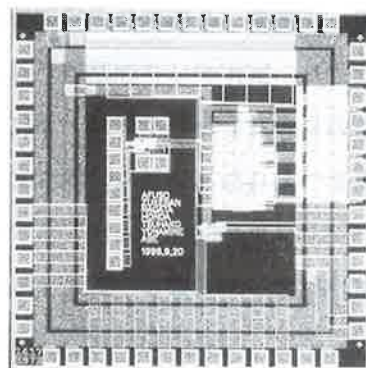
る共有メモリとして、Shared DRAM(SHDRAM) を設計した。

試作チップ 今回設計したSHDRAM のアーキテクチャを図1に示す。このようにDRAM セルアレイを4 マット持つ構成となっており、各マットのセンスアンプ同士は高速のバスで接続されている。また各マットにはそれぞれ別々のプロセッサが接続されるので、このSHDRAM には4 つのプロセッサを接続することができる。共有メモリとしての動作は以下のように行われる。あるPE、例えばPE1 からマット1 に書き込まれたデータはセンスアンプ間のバスを用いて瞬時に他のマットへと転送される。この転送後は全てのマットで同じデータを共有できる。読み出し時は各PE は同時に直接接続されたマットからそれぞれ異なるデータを読み出すことができる。このようにしてSHDRAM は共有メモリとして動作する。実際に各マットでデータが共有されているかを検証するために、MOT1.5 μm を用いてSHDRAM を設計した。本チップは修士1年の学生2人が約1か月で設計し、4 マットを合計したメモリ容量は32k ビットである。

仙台電波高専における教育用 LSI 設計 CAD システムの導入と評価

仙台電波高専 阿部 功 與那嶺 尚弘 鹿股 昭雄 中林 選

はじめに 近年、LSI 設計技術の進歩は目覚しく、高密度・高集積化がよりいっそう進んでいる。しかし技術の進歩に伴い、本高専のカリキュラムが実用的技術との乖離が生じてきており、早急に効果的な集積回路の設計教育システムの導入が要求される。そこで我々は、フルカスタム LSI の試作を通して、教育用 LSI 設計支援 CAD システムの導入と教育的な評価を行い、本高専におけるデジタルシステム教育のカリキュラム等の見直しを行う。



試作チップの概要 今回のチップの試作は、デジタルシステム教育の方向性を検討する目的であるため、比較的小規模な回路の設計を目指した。そこで講義で学んだ"桁上げ先見方式4ビット加算器"と、実験的な回路として"4値ユニバーサルゲート"を選択した。設計を担当した学生は5年生(大学での2年生にあたる)の学生1名であり、約1か月半を費やしてCADシステムの操作法の習得と回路設計を行った。試作チップは最小線幅2.2 μm 、約100のトランジスタで構成されている。

ニューラルネットワーク用 LSI

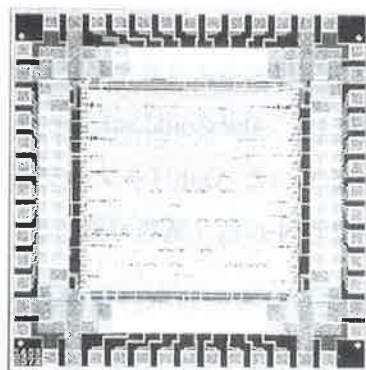
玉川大学 山本 庸介 間 敏克

チップ概要 数千のニューロンを結合させることができるニューロンの積和演算部分の試作。1.5 μm CMOS, 2.3 ミリ角。

試作に要した日数、主な設計者の身分 大学院2年生一人が3か月程度で設計。

トランジスタ数 約5000トランジスタ

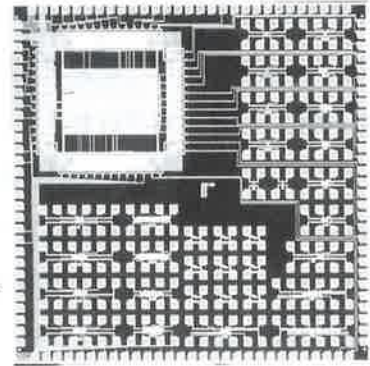
参考文献 [1] 間敏克, 山本庸介, "ニューラルネットワーク用多重積和演算集積回路の設計", 玉川大学工学部紀要第32号, pp. 119-128 (1997). [2] 間敏克, 山本庸介, "超多重入力を考慮したニューラルネットワーク用積和演算 LSI の設計", 東京工業大学 学内共同研究シンポジウム講演予稿集, pp. 51-59 (1997)



デジタル/アナログ要素回路

玉川大学 山本 庸介 青木 健太郎 岩野 雅臣
米山 教道 宮岡 伸之

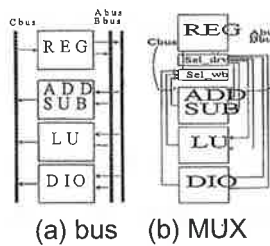
チップ概要 デジタルならびにアナログのスタンダードセルの試作. 基本論理回路, DFF, オペアンプ, DA変換器など. 1.5 μm CMOS, 4.8 ミリ角.
試作に要した日数, 主な設計者の身分 大学4年生4人が3か月程度で設計.
トランジスタ数 約1000トランジスタ



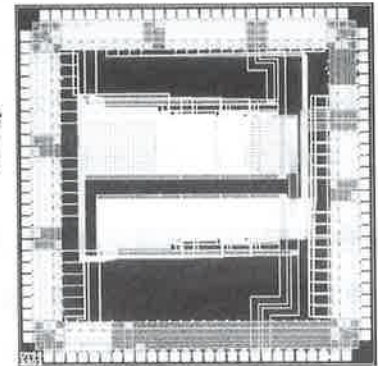
低電力CPUにおけるマルチプレクサ方式とバス方式の比較検討

東京大学工学部 小松 聡 池田 誠 浅田 邦博

はじめに 近年VLSIにおける消費電力の増大が問題になっており, その中でバス部分の消費電力が全体の消費電力に占める割合が大きくなってきている. 今回, 我々はCPU内のデータ転送において, バス方式とマルチプレクサ方式を比較し, VLSIの低消費電力化への検討を行った.



(a) bus (b) MUX
図1 ブロック図



試作チップ 一般的な3バス構成のCPUとマルチプレクサ方式のCPUを比較した場合, マルチプレクサ方式にすることにより, 信号線の増加があるものの, 信号線1本当たりの容量が小さくすることができ, 低消費電力化を実現可能である. 両アーキテクチャの比較のため, NEL0.5 μm を用いて16ビットCPUをそれぞれ設計した. 図2に示すように両CPUを1チップに載せている. マルチプレクサ方式では, チップ面積が約40%増加するが, 信号線の容量を約1/4に低減でき, またチップ全体の消費電力も約30%低減することが可能である. なお, 本チップは修士1年の学生が約1か月で設計し, 36kトランジスタで構成されている.

疑似非同期式マイクロプロセッサの設計

東京大学工学部 鄭 若彤 池田 誠 浅田 邦博

はじめに 現在広く用いられている同期式回路は, クロックスキューや消費電力といった問題を抱えている. 非同期式で回路をデザインすることは, これらの問題を解決する有効な方法であるが, デザインのオーバーヘッドも著しく増えるようになった. 今回, 我々は疑似非同期式マイクロプロセッサの設計を行なった.

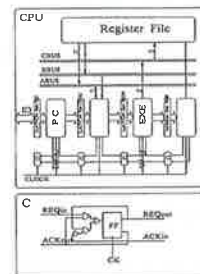
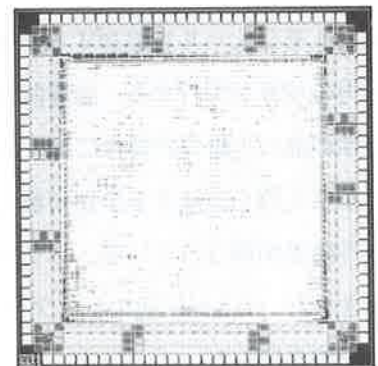


図1 構成

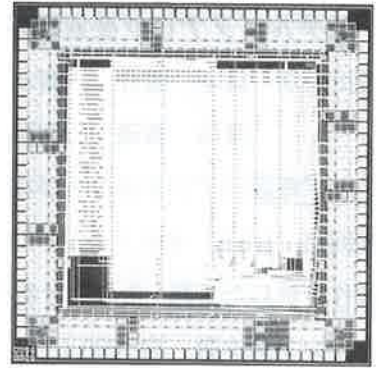


試作チップ 今回設計したCPUのアーキテクチャを図1に示す. 32-bit 4段パイプラインの疑似非同期式マイクロプロセッサである. CPUの全体として平均速度で動かせるために非同期式ハンドシェイクを用い, CPU全体として平均速度で動けるようになった. しかも, 本来の同期式回路を利用することは可能である. なお, 本チップは博士2年の学生が約3か月で設計し, セルベースで実現し, 43kトランジスタで構成されている.

完了予測加算器評価用マイクロプロセッサの設計

東京大学工学部 李 知漢 池田 誠 浅田 邦博

はじめに マイクロプロセッサの性能向上のためには演算器の性能の向上は不可欠であり、演算器における基本ユニットである加算器の性能向上が強く求められる。今回、加算器の入力信号からキャリー伝搬回数を見積り動作完了を予測することによって平均速度を向上する完了予測型加算器を提案し、その性能評価のためのマイクロプロセッサを試作した。

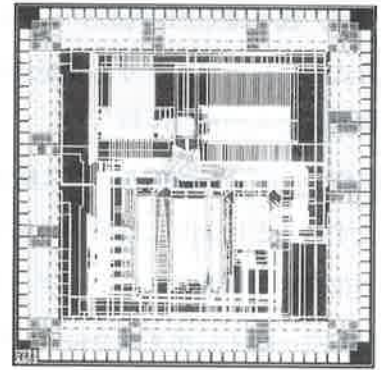
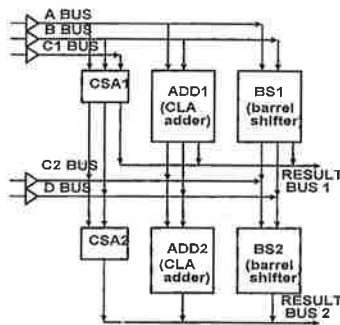


試作チップ 今回試作したマイクロプロセッサは加算器の動作が可変的であるため全体的に可変パイプラインで動作する。このマイクロプロセッサはRISCアーキテクチャを用い、メモリはハーバドアーキテクチャを用いた。また、クロックずれの恐れを完全に回避する目的で2相クロック方式を用いた。制御回路は自動合成ツールを用い、データバス、レジスタなど制御回路以外は加算器の性能を正確に評価するため全て手設計で行なった。なお、本チップは博士3年の学生が約1か月半で設計し、37k トランジスタで構成されている。

命令の直列実行機構を有するスーパースカラプロセッサの試作

東京大学工学系研究科 入田 隆宏 藤島 実 鳳 紘一郎

はじめに 近年のマイクロプロセッサは、スーパースカラ機構を用い、複数の命令を1サイクルで実行できるように構成されているが、命令間に依存性がある場合には実行効率が低下する。今回我々は、依存性のある2命令をも同時発行し得るALUを設計し、本方式の検討を行った。



試作チップ 今回設計したアーキテクチャを図1に示す。通常のスーパースカラ構成に、キャリーセーブアダー(CSA)モジュールを追加する。加算結果に加算する2命令を実行する場合、CSA → ADD2 のパスを選択し、3入力の加算を実行する。論理演算→加算、シフト→加算などの演算も実行可能である。本方式を用いると、依存性の無い2命令の場合に加え、依存性のある2命令の同時実行も可能となるため、命令の実行効率が向上し、サイクル数を削減する事が可能となる。エミュレータによる評価では、実行サイクルを10%程度削減するという結果が得られている。本チップは約32kのトランジスタで構成され、博士2年の学生により約2か月で設計された。Cadence社のレイアウトエディタで記述したマクロモジュールを、同社のCellEnsembleを用いて配置配線を行った。

ライブラリの評価を目的とした8ビットマイクロプロセッサ

KUE-CHIP2 の設計と試作

京都大学工学部 北村 晃男 小野寺 秀俊
田丸 啓吉

はじめに VDECを利用したセミカスタム設計で利用するために、P2Libライブラリ自動生成システムを用いてスタンダードセルライブラリ

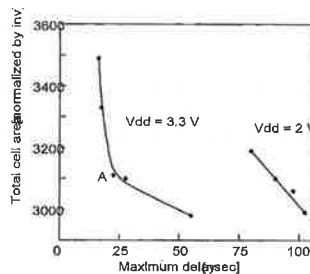
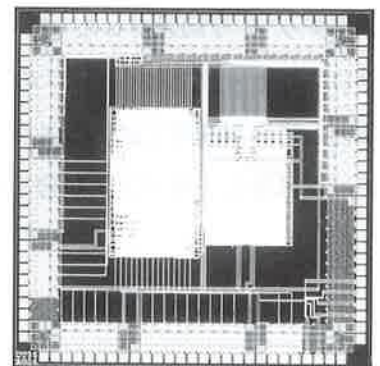


図1: 面積と遅延時間の関係



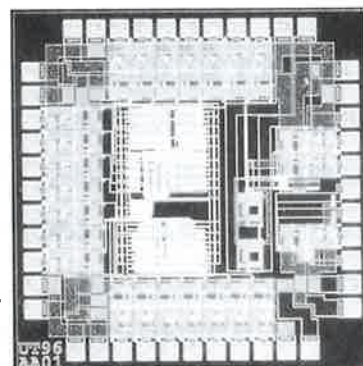
を作成した。ライブラリの動作性能や、設計/評価CADとの整合性を総合的に評価する事を目的として、教育用マイクロプロセッサ KUE-CHIP2 互換 LSI の設計と試作を行った。

試作チップ KUE-CHIP2 と同一の動作をする回路を、VHDL による RTL 記述より論理合成して作成した。論理合成とシミュレーションには、Design Compiler と VSS を用いた。自動配置配線には、Cell Ensemble を使用した。想定したプロセスは $0.5 \mu\text{m}$ である。電源電圧を 3.3 V と 2.0 V の 2 通りに設定してライブラリを作成した。図 1 に、論理合成段階における遅延時間とセルの総面積(インバーター換算)の関係を示す。図 1 中に示した点 A に対応する回路を試作した。本回路は組合せ論理ゲート 1146 個とフリップフロップ 67 個で構成され、チップ占有面積は 4.3 mm^2 であった。この内、半分は 512 バイトの RAM が占めている。RAM の生成には、AllianceCAD システムに含まれるメモリージェネレータを利用した。

PWM 情報送信回路と光電子融合システム用回路の設計

広島大学工学部 松田 圭介 岡田 克美

PWM 情報送信回路 (松田圭介/研究生) デジタル情報伝送方式として従来の PCM 方式に対し、遷移頻度が少ないため消費電力が小さいパルス幅変調 (PWM) 方式を用いた情報伝送方式を考える。PWM を用いた情報伝送を行うには変換 (PWDC) する必要がある。DPWC と PWDC 回路を設計した。機能記述レベル設計から論理合成ツール (Synergy) を用いてゲートレベルの設計 (Verilog-HDL) を行い、自動配置配線ツール (Cell Ensemble) を用いてレイアウト設計を行った。トランジスタ数は 2504。



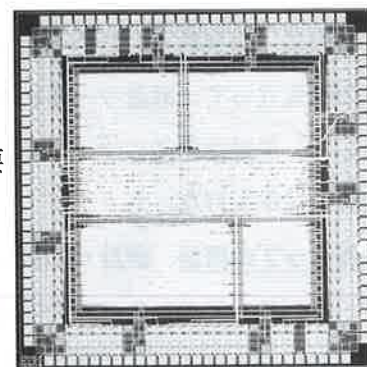
光融合システム用回路 (岡田克美/M1) VLSI 技術を用いたマルチプロセッサの高機能化や高速化のために、デバイスの微細化と回路の大規模化に伴う金属配線自身による性能の限界が予想される。そこで、MCM 間の光インターコネクションを用いて、データ転送を光で行う光電子融合クロスバスイッチシステムを考える。本チップでは、このシステムに用いる回路として、LD ドライバ回路と PN 接合 PD (ホトディテクタ) アンプを設計した。アンプは各トランジスタにおける電源電圧やしきい値の変動に対してバイアス電圧を補償する構成とした。トランジスタ数は 48。2 人で回路設計に 1 ヶ月、レイアウトに 1 ヶ月で設計した。

並列乗算アルゴリズムの比較検討

九州大学大学院システム情報科学研究科情報工学専攻

廣瀬 啓 塩見 謙太郎 石原 亨 杉原 真 安浦 寛人

はじめ VLSI に求められる要求は近年ますます多様化し、VLSI 設計者は要求にあったシステム構成、アーキテクチャ、演算器などを設計の早い段階で正しく選択することが重要である。代表的な演算器である並列乗算器ではハードウェアアルゴリズムによって性能、面積、消費電力は様々である。我々は並列乗算器におけるハードウェアアルゴリズムと、性能、面積、消費電力との依存関係を解析し、アプリケーションに適した演算回路を設計の早い段階で選択できる技術を獲得することを目的としてチップの試作を行った。



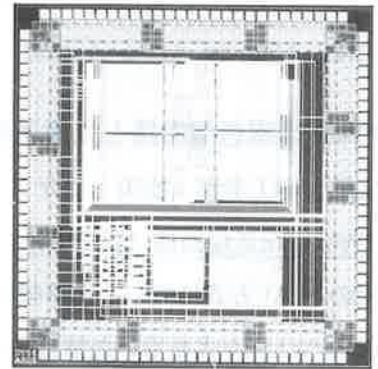
試作チップ 我々は以下に示す 4 つの並列乗算器と、それらに対する組込み自己テスト回路 (Build-In Self Test) を試作した。なお、本チップは修士 2 年の学生 2 人と修士 1 年の学生二人が約 1 か月で設計を行った。

回路名	仕様の説明	面積 [mm ²]	遅延時間 [ns]
乗算器 A	Booth のアルゴリズムを採用. 部分積加算には Array 型の加算器を使用.	405809.6	32.49
乗算器 B	Booth のアルゴリズムを採用. 部分積加算には Wallace Tree を使用.	587327.9	15.78
乗算器 C	部分積加算には 7-3 パラレルカウンタを使用.	696707.3	14.39
乗算器 D	Booth のアルゴリズムを採用. 部分積加算には冗長二進加算器を使用.	915678.4	9.67
BIST	テストを施す回路の入力として疑似乱数を用い, 出力をシグネチャ圧縮する.		

特定用途向けプロセッサ用部分回路の試作

埼玉大学工学部 朝比奈 秀剛 伊藤 和人

はじめに プログラム式プロセッサにおいても, アプリケーションに特化することによって, 性能を低下せずチップ面積を最小化する設計が可能である. そこで, 特定用途向けプロセッサの設計手法の開発に向けて, その基礎データ収集のため, プロセッサの構成要素となる部分回路の試作を行なった.



試作チップ 本チップには, アプリケーションに特化して面積

を最小化したプロセッサ制御回路, メモリ共有型アレープロセッサ設計手法をビットシリアル演算器設計に応用し, 素子利用効率を高化したビットシリアル乗算器, および互いに異なるクロックで同期動作する複数プロセッサ間のデータ通信を実現する非同期式通信回路を含んでいる. これら3つの回路ブロックは, チップ外部から制御可能なマルチプレクサを介して入出力ピンを共有しており, 個々の回路を個別に検査および評価することができる. NEL0.5 μm を用いて各部分回路を LSI チップに試作した. プロセッサ制御回路, ビットシリアル乗算器は既に設計済みであり, 非同期式通信回路 (約 550 ゲート) を学部4年の学生が約2か月で設計した. 総ゲート数は, 約 5000 である.

8 bit 簡易マイクロプロセッサの設計・試作

大阪大学情報システム工学専攻 三浦 克介

中前 幸治 藤岡 弘

はじめに 研究教育のためのチップ試作を行うのに先立って, 設計ツールの習熟等を目的として, 単純な構造のマイクロプロセッサの設計・試作を行なった.

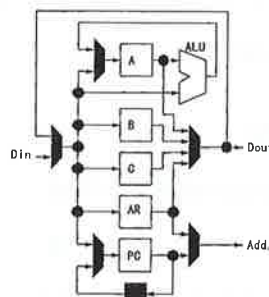
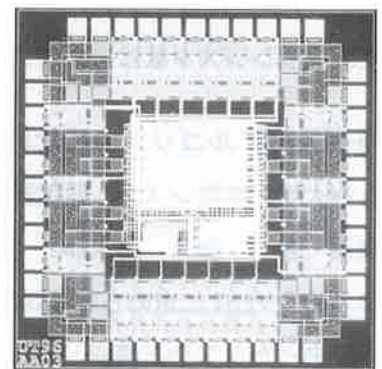


図1. アーキテクチャ



試作チップの概要 設計・試作したマイクロプロセッサのアーキテクチャを図1に, チップ写真を図2に示す. データバス, アドレスバスの幅は, いずれも 8 bit である. アキュムレータ A, 汎用レジスタ B, C, アドレッシングレジスタ AR, プログラムカウンタ PC の計 5 個の 8 bit レジスタを有し, 命令は, レジスタ転送, 加算, 論理積, 論理和, 論理否定, 無条件ジャンプ, 条件ジャンプなど, 14 種類である. 設計は三浦 (助手) が担当し, 約1か月間で設計を行なった. 設計ツールとしてレイアウトエディタを用い, 手作業で配置配線してレイアウトを作成した. トランジスタ数は約 3.8k である.

映像伝送用高性能デジタルフィルタの設計

大阪大学大学院工学研究科 森川 俊 岡田 圭介 尾上 孝雄 白川 功

はじめに 近年、デジタル信号処理用高性能 VLSI は、そのアプリケーションに適したアーキテクチャをとる必要が生じてきている。本研究では、特にデジタル映像伝送

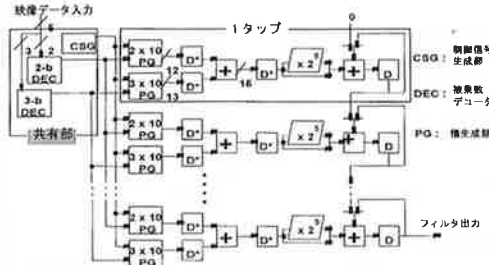
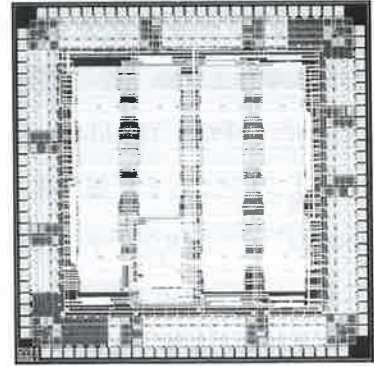


図1 フィルタアーキテクチャ

に特化した FIR フィルタを設計した。要求性能としては、10 タップ以上、8-10 ビットの固定小数点精度、動作周波数 20-100MHz である。

試作チップ 本研究で考案した FIR フィルタのアーキテクチャを図1に示す。デジタル映像伝送では、フィルタ係数はプログラム可能であることが望まれるが、フィルタ動作中は定数とみなすことができる。そこで、乗算器のアーキテクチャとして、被乗数を 1-Out-of-N コードに変換し、その信号線を乗数に応じて制御することによって積を得る方式を採用した。NEL0.5 μm を用い、コア部 $3.58 \times 3.58\text{mm}^2$ に 11 タップを集積した、最悪遅延時間のシミュレーションを行なった結果、遅延時間は 5.7 ns であり、所望の性能が得られていることを確認した。なお、本チップは博士 3 年ならびに修士 2 年の学生が約 1 か月で設計し、約 48k トランジスタで構成されている。



教育用 32 ビットマイクロプロセッサ DLX のスタンダードセルによる実装

九州工業大学 情報工学部知能情報工学科

横尾 徳保 飯田 全広 奥村 勝 末吉 敏則

マイクロ化総合技術センター 久我 守弘

はじめに DLX は文献[1]で紹介されている先端プロセッサの入門用として設計された教育用マイクロプロセッサである。DLX は構成が簡素であるため LSI 設計教育のためのモ

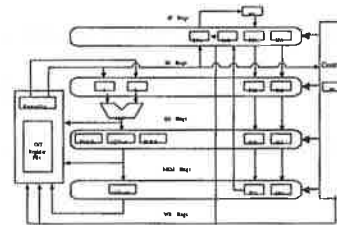


図1 ブロック

デルプロセッサとしても利用でき、これまで複数 FPGA への設計・実装を行ってきた。今回スタンダードセルによる設計・実装を行い、LSI 計教育プログラムの充実化を図った。

試作チップ 図1に DLX のブロック図を示す。設計に当たっては、FPGA をターゲットして設計していた Verilog によるソースを基にした。特に実装面積および端子数の制約から、アドレスバスおよび内部制御レジスタの観測信号の削減を行った。機能シミュレーションの後、Design Compiler による論理合成を経てゲートレベルのネットリストを作成した。デバイスは NEL0.5 μm , 4.8mm^2 で NEL スタンダードセルライブラリを用いた。レイアウトの際には Cell Ensemble を使用した。本チップは修士 2 年の学生 2 人、博士 2 年の学生 1 人の共同により約 2 ヶ月で設計し、14,362 ゲート（基本インバータ換算，入出力バッファ除く）であった。

[1] Hennessy and Patterson : "Computer Architecture : A Quantitative Approach," Morgan Kaufmann Publishers, 1990.

"Dharma" アーキテクチャに基づいた FPGA

早稲田大学理工学部 荒 宏視 戸川 望 佐藤 政生 大附 辰夫

はじめに FPGA (Field-Programmable Gate Arrays) の中でもまだ製品化されていない "Dharma" アーキテクチャに注目し、これを基に新しいFPGA を試作する。本FPGA は、実現する回路の配置・配線等の工程が容易になるという特徴がある。

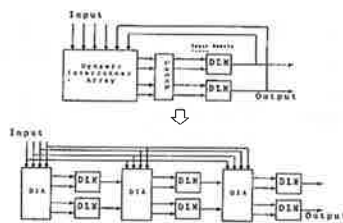
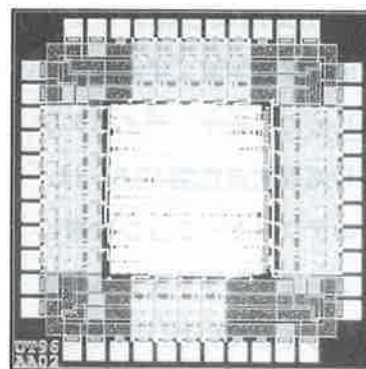


図1 時間展開による回路規模



試作チップ 今回製作した "Dharma" アーキテクチャは図1のように、各DLM (Dynamic Logic Module, LUTの一種) の出力をスイッチボックスであるDIA (Dynamic Interconnect Array) を介し再度DLMの入力とし、毎回DLMとDIAに異なる動作をさせることにより、所望の回路を実現可能にする。2入力のLUTを2個用意し、各々を3回使用可能にした。よってLUTが6個分の回路を実現できる。本チップは修士1年1名が約2か月で設計し、6kトランジスタで構成される。

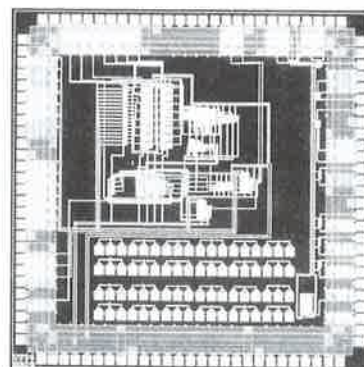
参考文献 N.B. Bhat, K. Chaudhary, and E.S. Kuh, "Performance-oriented fully routable dynamic architecture for a field programmable logic device," Memorandum No. UCB/ERL M93/42, Electronics Research Laboratory, College of Engineering University of California, Berkeley, 1993.

ディレイライン方式 DPLL とダイナミック回路による高速・低消費電力 PLL

九州大学 大学院 システム情報科学研究科

中司 賢一 吉澤 弘泰 福本 直也 前田 文雄 谷口 研二

はじめに 光通信や信号処理 LSI では、タイミング再生が重要な問題であり PLL が用いられている。今回の試作では、信号処理 LSI 用 PLL の高機能化やオンチップ化のためのデジタル PLL (DPLL) と光通信用のダイナミック回路を用いたアナログ高速・低消費電力の PLL (APLL) について、それらの方式と性能について検討した。



チップ概要 信号処理 LSI 用 DPLL と光通信用のダイナミック回路を用いた 640 MHz 動作アナログ PLL を集積している。DPLL は、1次PLLでディレイラインによる多相クロックを用いた並列化位相比較器 (PC) を採用し高速化を図った。APLL は、チャージポンプ式2次PLLであり、ダイナミック回路による新方式の位相比較器とソース結合型のリングオシレータ型VCOから構成されている。DPLLは全体回路を設計し、APLLはPC、VCO部の性能比較検討のためのテストパターンを2種類づつ設計した。DPLLについては修士2年の1名の学生が設計し約1ヶ月、アナログPLLについては博士1年と修士1年の2名の学生が設計し約2ヶ月を要した。DPLLは約5000トランジスタ、APLLではPCが約30個、VCOが約20個のトランジスタを集積している。

非同期式加算回路の性能比較

東京工業大学 今井 雅 藤井 太郎 深作 泉 上野 洋一郎 南谷 崇

はじめに 同期式システムではクロックスキュー等の問題により高速化に限界があることが指摘されており、クロックを用いない非同期式回路の研究が盛んになっている。今回、我々は同期式回路において提案されている加算方式の非同期式回路としての性能を評価し、非同期式回路に適した加算方式について検討した。

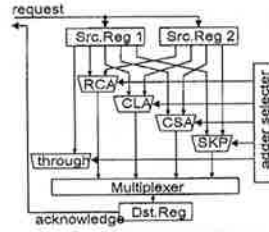
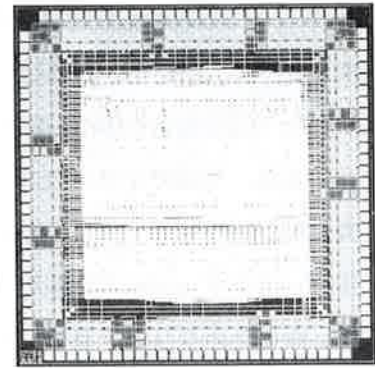


図1. 回路構成

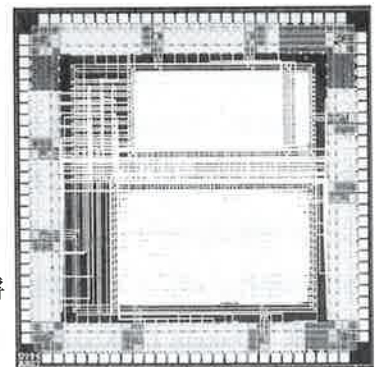


試作チップ 今回試作した評価用回路の回路構成を図1に示す。順次桁上げ方式(RCA)、桁上げ先見方式(CLA)、条件別求和法(CSA)、桁上げ飛び越し方式(SKP)の4種類の加算方式を適用して非同期式2線2相方式の回路設計を行い、図1に示されるような評価用回路を構成した。セレクタにより選択された回路が演算を繰り返して行うときの周波数を測定することで遅延の評価・比較を行う。非同期式回路はある事象が終了したことを確認して次の事象を開始するという事象駆動型論理回路であり、平均遅延により回路が評価される。本チップによる評価では、桁上げ信号伝播が連続して起こる確率が小さい場合は配線遅延の影響により順次桁上げ方式の加算回路の平均遅延が最も小さくなることが確認された。なお、本チップは修士2年、修士1年の学生が約2ヶ月で設計し、35kトランジスタで構成されている。

プロセッサ、エラスティックバッファおよびグローバルレジスタファイル

九州大学システム情報科学研究科 白川 暁 吉井 卓 沖野 晃一

はじめに 近年のVLSI製造技術の向上により、DRAMとロジックの混載をはじめとした、これまででないシステム構成が可能になりつつある。我々は、DRAM-ロジック混載LSI並びに並列処理時代における新しいシステム構成法のための半導体機能部品としてPPRAMを提案している。今回は、将来のPPRAMチップ開発のためのTEGとして、プロセッサ、エラスティックバッファ、グローバルレジスタファイルの3つの回路を設計した。



試作チップ 今回搭載したプロセッサは、TEGということもありパイプライン機能のない非常に単純なものとした。エラスティックバッファとは、チップ間通信インタフェース回路の入力部に使用し、伝送周波数と受信回路のクロック周波数の違いを吸収するバッファ回路である。原理としては、リングバッファに、伝送周波数で書き込み、内部周波数で読み出すことで実現する。動作周波数見積りでは、298MHzが得られた。グローバルレジスタファイルとは、将来PPRAMチップに搭載予定のPE間通信用の共有レジスタファイルで、4bitのレジスタを4本搭載している。本チップは3つの回路を3人の修士課程の学生が3週間程度で設計した。3つの回路はいずれも将来のPPRAMチップ開発のためのコンポーネントTEGとして設計した。

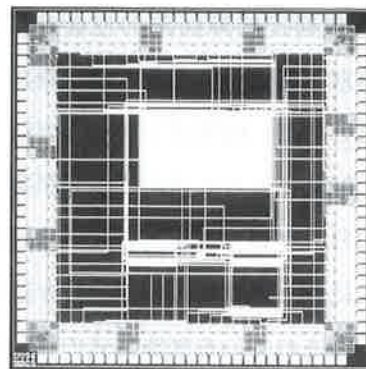
ビットシリアル汎用並列プロセッサの1PEのフルカスタム設計

東京工業大学 清水頭武信 齋藤 雅博 太田 章久 一色 剛 國枝 博昭

当研究室では疎結合 MIMD 型マルチプロセッサのアーキテクチャ設計を行なって来た。今回のチップ設計では、マルチプロセッサの1つのPEに関する実LSI設計を行なった。回路の特徴としては内部での演算にビットシリアルデータフォーマットを採用したことがあげられる。演算回路が語長に依存しないためクリティカルパスの短縮が可能であり、演算回路の高速駆動と小面積化が可能となる。制御部分はVHDL記述をSynopsys社のDesignAnalyzerで自動論理合成し、スタンダードセルで設計した。データパス部分はMentor社のLedを用いてマスクパターン設計を行ない、高速化を図った。全体の回路はCadence社のBlockEnsembleを用いて設計した。

実際の設計は修士2名と博士1名で90日程度を要した。

参考文献 清水頭武信 齋藤雅博 太田章久 一色剛 國枝博昭, "ビットシリアルプロセッサのフルカスタム設計", LSI設計技術の未来を考える琵琶湖ワークショップ, pp.46-50, 1996年11月

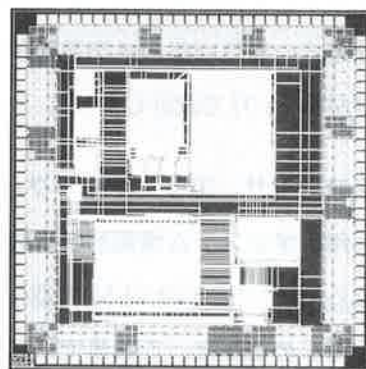


プログラマブルMSPAコントローラチップ設計

東京工業大学 Dongju Li, Kazuhito Ito, Hiroaki Kunieda

MSPA(メモリ共有型プロセッサアレイ)は、従来のシストリックアレイよりも並列効率が高く、大きなアルゴリズムについても少数のプロセッサによって高速に処理ができるプロセッサ構造を持つ。このチップはそのコントローラ部であるが、これによりスケジューリングや資源割当等のデザインパラメータをプログラムできる。これらのパラメータにより、メモリアドレス生成ユニットや配線ネットワークが固定する。行列計算を例にとると、行列の大きさは4から16まで可変になる。チップの製作には、5人の学生が携わり、設計期間は1ヵ月である。回路の規模はほぼ4万ゲートに及ぶ。

参考文献 Dongju Li, Kazuhito Ito, Hiroaki Kunieda, "Memory Sharing Processor Array (MSPA) and its Design Methodology", Proceedings of The Eighth International Conference on Computing and Information, University of Waterloo, Canada, June 19-22, 1996.



マイクロプロセッサ

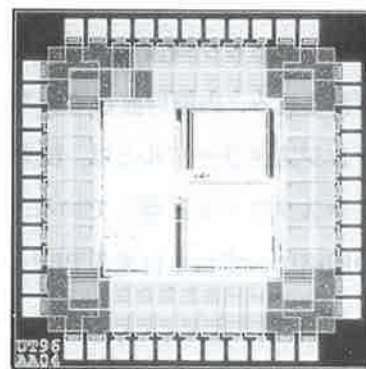
玉川大学 山本 庸介 毛利 俊之

チップ概要 インストラクションセットをハードウェア化したことを特徴とするマイクロプロセッサ。0.5 μ m CMOS, 2.3 ミリ角。

試作に要した日数, 主な設計者の身分 大学院2年生が3ヵ月程度で設計。

トランジスタ数 約15000トランジスタ

参考文献 [1]毛利俊之, 山本庸介, "DISC方式マイクロプロセッサの構想と設計", 玉川大学工学部紀要第32号, pp. 129-135 (1997). [2] 毛利俊之, 山本庸介, "インストラクションセットをハードウェア化したマイクロプロセッサの構成法", 電子情報通信学会信学技報VLD96-109, pp. 97-102 (1997)



2.7 チップ試作者文献リスト

- 1) 荒 宏視, 戸川 望, 佐藤 政生, 大附 辰夫, "Dharma"アーキテクチャに基づくFPGAチップの試作", 大学における集積システムの設計, 第15回研究交流会, pp. 1-4 (1996).
- 2) 山本, 黒澤, 柴田, 天野, "可変構造を持つマルコフアナライザ", 信学技報CPSY96-27, 1996年4月26日
- 3) 小林, 宮永, 栃内, "自己組織化クラスタリングのマルチチップエレメントの設計", 電子情報通信学会技術研究報告, VLSI 設計技術研究会, VLD96-25, (1996年6月).
- 4) 伊藤一彦, 中林撰, 鹿股昭雄, 奥那嶺尚弘, "高専におけるフルカスタムLSI設計教育システムの検討", 平8電気関係学会東北支部大会, 212, 1996.8
- 5) 石寄 透, 相澤 清晴, 羽鳥 光俊, "高速動きベクトル検出センサの設計", 電子情報通信学会 情報・システムソサイエティ大会, D-246, PP.248 (1996-9)
- 6) 石寄 透, 李 正, 相澤 清晴, 羽鳥 光俊, "センサ上での即時動きベクトル検出方式と設計", テレビ学技報, Vol. 20, No. 50, pp.37-42 (1996-10).
- 7) Yoshio Mita, Satoshi Konishi, and Hiroyuki Fujita, "Implementation of a micro conveyance system controller", 3rd France-Japan and 1st Europe-Asia congress on Mechatronics (MECHATRONICS '96) Oct. 1996, pp.583-588.
- 8) 児玉宣貴, 小坂良介, 奥村勝, 末吉敏則, "マルチFPGAによるラピッドシステムプロトタイピング", 電子情報通信学会集積回路研究専門委員会, LSI設計技術の未来を考える琵琶湖ワークショップ講演資料集及びポスター資料集, pp.26-30, 1996年11月
- 9) 鶴岡, 上田, "輪郭抽出処理のハードウェア化", 電子情報通信学会 集積回路研究専門委員会, '96LSI 設計技術の未来を考える 琵琶湖ワークショップ講演資料およびポスター資料集 LSI設計技術の研究, p-61, 1996.11
- 10) 鶴岡, 上田, "輪郭抽出処理専用LSIの設計とチップ試作", マイクロエレクトロニクス研究開発機構, 第15回研究交流会 大学における集積システム設計, p-5, 1996.12
- 11) 黒澤, 山本, 柴田, 宮崎, 天野, "可変構造を持つマルコフチェーンシミュレーションシステム", 第9回パルテノン研究会資料集, pp.81-90, 1996年12月6日
- 12) 三田吉郎, 小西聡, 藤田博之, "自律分散型マイクロ搬送システムの実現", 平成9年SICE自律分散システム・シンポジウム, 1997年1月, pp.15-19.
- 13) 伊藤 和人, 清水頭 武信, 國枝 博昭, "High Speed Bit-Serial Parallel Processing on Array Architecture", Asia and South Pacific Design Automation Conference 1997, 667-668, 1997年1月.
- 14) 三田吉郎, 小西聡, 藤田博之, "マイクロ搬送システムの自律分散型制御", 平成9年電気学会春季全国大会, 1997年3月, p.3-289
- 15) 横尾徳保, 久我守弘, 末吉敏則, "WWWを利用したVLSIシステム設計教育教材の開発", 情報処理学会九州支部研究会報告, pp.39-48, 1997年3月
- 16) 今井 雅, 藤井 太郎, 上野 洋一郎, 南谷 崇, "レイアウトデータに基づく非同期式加算回路の性能比較", 情報処理学会 第54回全国大会 (1)333-334, 1997.3.12
- 17) 福留弘子, 藤元聖一, 波多野 裕, "CMOS VLSI回路の設計試作(1)マクロセルライブラリ", 電子情報通信学会総合大会講演論文集 エレクトロニクス2, p.187 (C-12-51), 1997年3月

- 18) 山田貴弘, 藤元聖一, 波多野 裕, "CMOS VLSI 回路の設計試作 (2) フルカスタム設計", 電子情報通信学会総合大会講演論文集 エレクトロニクス 2, p.188(C-12-52), 1997年3月
- 19) 西浦吉晃, 藤元聖一, 波多野 裕, "CMOS VLSI 回路の設計試作 (3) 耐放射線回路", 電子情報通信学会総合大会講演論文集 エレクトロニクス 2, p.189(C-12-53), 1997年3月
- 20) 森川俊, 岡田圭介, 竹内澄高, 白川功, "映像伝送用高性能デジタルフィルタの VLSI 化設計", 電子情報通信学会総合大会, A-4-29, 1997年3月.

- 21) 清水頭武信 齋藤雅博 太田章久 一色剛 國枝博昭, "ビットシリアルプロセッサのフルカスタム設計", LSI設計技術の未来を考える琵琶湖ワークショップ, pp.46-50, 1996年11月
- 22) Dongju Li, Kazuhito Ito, Hiroaki Kunieda, "Memory Sharing Processor Array (MSPA) and its Design Methodology", Proceedings of The Eighth International Conference on Computing and Information, University of Waterloo, Canada, June 19-22, 1996.

3. 決算報告

1. 平成8年度経費

人件費 29,700,851 円
校費 61,574,000 円

旅費 438,000 円
科学研究費 36,216,587 円
委任経理金 5,350,000 円

2. 平成8年度科学研究費補助金

研 究 代 表 者	研 究 題 目	種 類	金 額
			千円
鳳	光・電子デバイスにおけるカオス	萌芽的研究	2,200
浅田	二次元情報即時処理システム	重点領域研究	32,816
藤島	均一ドープ超短チャネル電界効果トランジスタの研究	奨励研究(A)	1,200

3. 平成8年度委任経理金

教 官 名	研 究 題 目	寄 附 者
浅田	ディープサブミクロン低消費電力デバイス技術の研究	日立製作所
浅田	VLSI システムの研究	日立製作所
浅田	VLSI 設計技術に関する研究	日立製作所
浅田	次世代ロジック ULSI 設計技術の研究	東芝
平本	微細 MOSFET のデバイス物理に関する研究	松下電器産業
平本	サブクォータミクロン MOS デバイス最適化の研究	日立製作所
平本	極短チャネル MOS デバイスの物理に関する研究	日立製作所
池田	大規模集積システムに関する研究	日本ヒューレット・パカード

4. 人事報告

4. 1 センター人事

センター長 (教授)	鳳 紘 一 郎
教 授	浅 田 邦 博
客員教授	家 田 信 明 (平成9年6月1日着任)
助 教 授	平 本 俊 郎
”	羽 路 伸 夫 (平成9年6月1日着任)
”	小 谷 光 司 (平成9年6月1日着任)
講 師	藤 島 実
助 手	韓 小 逸 (平成9年6月1日着任)
”	池 田 誠
”	鄭 若 彤 (平成9年8月1日着任)
事務主任	松 本 直 衛
会計掛長	新 藤 正 夫

4. 2 運営委員会構成

委 員 長	鳳 紘 一 郎	東京大学大規模集積システム設計教育研究センター長	教 授
委 員	浅 田 邦 博	東京大学大規模集積システム設計教育研究センター	教 授
”	平 本 俊 郎	東京大学大規模集積システム設計教育研究センター	助教授
”	南 谷 崇	東京大学先端科学技術研究センター	教 授
”	雨 宮 好 仁	北海道大学工学部電子情報工学専攻	教 授
”	大 見 忠 弘	東北大学工学系研究科電子工学専攻	教 授
”	國 枝 博 昭	東京工業大学工学部電気・電子工学科	教 授
”	上 田 和 宏	芝浦工業大学システム工学科電子情報システム学科	教 授
”	佐 藤 政 生	早稲田大学理学部電子通信学科	教 授
”	鈴 木 正 國	金沢大学工学部電気・情報工学科	教 授
”	島 田 俊 夫	名古屋大学工学部電子情報学専攻	教 授
”	田 丸 啓 吉	京都大学工学部大学院電子通信工学専攻	教 授
”	白 川 功	大阪大学工学部情報システム工学専攻	教 授
”	岩 田 穆	広島大学工学部第二類	教 授
”	安 浦 寛 人	九州大学大学院システム情報学科研究科情報工学専攻	教 授

4. 3 協議会構成

協 議 員	鳳 紘 一 郎	東京大学大規模集積システム設計教育研究センター長	教 授
”	岡 村 甫	東京大学工学系研究科長	教 授

”	浅田 邦博	東京大学大規模集積システム設計教育研究センター	教授
”	多田 邦雄	東京大学工学系研究科電子工学専攻	教授
”	田中英彦	東京大学工学系研究科情報工学専攻	教授
”	岡部 洋一	東京大学先端科学技術研究センター	教授
”	荒川 泰彦	東京大学国際・産学共同研究センター	教授
オブザーバー	能見 善久	東京大学法学政治学研究科，総長補佐	教授

5. 研究報告

5.1 研究室構成員(平成8年度)

鳳・藤島研究室

鳳 紘一郎	教授
藤島 実	講師
北澤 清子	助手
入田 隆宏	博士2年
福井 大伸	博士2年
杜 政勲	博士2年
辻田 達男	博士1年
天川 修平	修士2年
菅井 清隆	修士1年
林 禎	修士1年
兵藤 直子	学部4年(現在博報堂勤務)
間島 秀明	学部4年(現在大学院平本研究室)
中北 裕士	学部4年(現在郵政省)
佐々木克博	学部4年(現在大学院青山研究室)
滋賀 秀裕	学部4年(現在大学院岡部研究室)
田中 勇己	学部4年(現在通産省)
竹内 秀典	研究員(日立製作所)
宮内 正敬	研究員(日立製作所)

浅田研究室

浅田 邦博	教授
池田 誠	助手
鈴木 真一	技官
張 子誠	博士3年(現在富士通研究所)
李 知漢	博士3年(帰国)
池野 理門	博士3年(現在TI筑波研究センター)

青柳 稔	博士3年
秋田 純一	博士2年
伊藤 浩	博士2年
三堂 哲寿	博士1年
鳥居 隆史	修士2年(現在NEC)
山下 高廣	修士2年
小松 聡	修士1年
渡部 亮太	修士1年
田島 佳武	学部4年(現在大学院森川研究室)
野瀬 浩一	学部4年(現在大学院桜井研究室)
廣田 健二	学部4年(現在KDD)
佐藤 義則	受託研究員(日産)
張 明	研究員
鄭 若彤	大学院研究生
喬 健	大学院研究生

平本研究室

平本 俊郎	助教授
更屋 拓哉	技官
エリザベト オルシエ	博士研究員
アマリア ガルニエ	博士研究員
トラン N. デュエト	博士2年
石黒 仁揮	博士1年
高宮 真	修士2年
藤井 呂如	修士2年(現在日本HP)
斉藤 健一	修士1年
向山 俊和	修士1年

1. 半導体デバイスにおけるカオスと集積カオス発生器

鳳紘一郎, 藤島実, 北澤清子, 入田隆宏, 辻田達男

我々はこれまでに、他励式カオス発生回路としてバイポーラトランジスタとキャパシタを用いた簡単な回路がカオスを発生することを発見し、昨年はそのメカニズムを定量的に解明した。さらに、より集積化に適した自励発振カオス回路を目指し、マルチバイブレータを基本としたシンプルな構成の回路を提案した。現在はCMOS回路およびBiCMOS回路を用いて、この回路の集積化試作を行っている。今後、試作チップの評価を行なうとともに、この回路を応用したシステムを構築する予定である。

2. LSIにおける配線問題

鳳紘一郎, 藤島実, 杜政勲

VLSIの高集積化による配線の微細化に伴い起こりうる諸問題について研究している。コンタクト部に関しては、配線のAlと基板のSi間の相互拡散を防ぐTiN/Tiバリア層の高密度電流耐性について実験を行なった。電氣的測定およびFIB, AFMを用いた断面、表面観察を通じてバリア層の破壊状況を観察した。また、配線に関しては、誘電損失の影響を考慮した場合の配線消費電力についての計算や、集積したMOSFETが熱源となる時の配線の温度上昇について計算を行なった。今後コンタクトに関しては測定により、バリア層の破壊が発生する条件の特定や、組成分析を併用した断面観察を行うことによる破壊メカニズムの解明を行う。また、熱、電気特性統合型シ

1. Chaos in Semiconductor Devices and Their Integration to Chaos Generator

K.HOH, M.FUJISHIMA, S.KITAZAWA, T.IRITA and T.TSUJITA

We have developed a simplest chaos-generating device with a single npn transistor and a single capacitor. We have quantitatively clarified the mechanism of chaos generation in this device based on the physical principle of a transistor. Besides this externally-driven chaos generator, we have proposed simple self-oscillating chaos generators based on multivibrators. We are fabricating these circuits in CMOS and BiCMOS chips. The operation of these chips will be evaluated and a novel information-processing system utilizing chaos will be constructed.

2. Study on Wiring Problems in VLSI

K.HOH, M.FUJISHIMA and C.-H.DU

We have studied several wiring problems due to the reduction of feature size. At a contact of metal to silicon, we investigated experimentally the reliability of TiN/Ti barrier under high-density current stress by electrical measurement, and observed the cross-sectional and surface view using a focused ion beam and an atomic force microscopy. We also calculated power dissipation and signal delay taking the dielectric loss of the inter-layer insulator into consideration, and developed a simulator for a transient thermal response at any points on a silicon surface where heat is generated from integrated transistors. We are also analyzing the mechanism of barrier failure through the ob-

ミュレーションの設計を行ない、配線やコンタクトで生じる諸問題を総合的に検討する。

3. 低障壁ショットキー接合をソース・ドレインに用いた MOSFET

鳳紘一郎, 藤島実

短チャネルMOSFET用にソースおよびドレイン領域を浅接合化した際の寄生抵抗低減をねらい、ソースおよびドレインにシリサイドを用いたMOSFETの研究を行っている。オン抵抗低減のため、ソース・チャネル接合、ドレイン・チャネル間接合には低障壁のショットキー接合を利用している。平成8年度は低障壁ショットキーMOSFET作製のためのプロセスを確立し、チタンシリサイドをソースおよびドレイン電極に用いたチャネル長数 $\mu\text{m} \sim 20 \mu\text{m}$ のMOSFETをSOI基板に作製した。その結果、MOSFETとしての基本動作の確認を行うことができた。今後は短チャネル化を図り、微細化に伴う諸問題について検証する。並行して、プロセスおよびデバイス構造の最適化も行っていく。

4. 単電子デバイスおよび回路の工学応用

藤島実, 鳳紘一郎, 福井大伸, 天川修平

我々は、LSIの基本的構成要素としての単一電子デバイスの確立、およびコンピュータを援用した単一電子回路の設計を中心的テーマとして研究を進めている。単電子回路に用いるデバイスとして、ショットキー障壁をトンネル接合として利用した単一電子トランジスタ (SET) を提案し、その特性を解析した。このトランジスタは、従来のSETと比較して良好なカットオフ特性を示し、また、作製プロセスも従来のサリサイドプロセスを利用できるため、集積化にも

conservation of cross section and the ingredient analysis of metal and substrate. Additionally, we will develop the electro-thermal simulator integrating both electrical and thermal effects in integrated circuits.

3. MOSFET with Low Barrier Schottky Junctions at Source and Drain

K.HOH and M.FUJISHIMA

In order to reduce parasitic resistances at shallow source and drain suppressing short channel effects, a MOSFET with silicide source and drain is studied. Source-to-channel and drain-to-channel junctions utilize low barrier Schottky contacts to suppress turn-on channel resistance. Last year, we developed a fabrication process and made a prototype with titanium silicides at source and drain, where gate lengths were between several to twenty micrometers. The normal MOSFET operations are confirmed through the measurement of the prototype devices. By optimizing the device structure and fabrication processes, we plan to reduce the channel length to verify and overcome various problems caused by miniaturization.

4. Engineering Application of Single Electron Devices and Circuits

M.FUJISHIMA, K.HOH, H.FUKUI and S.AMAKAWA

Our study on single-electron devices and circuits has two major aims.

(i) Single Electron Device as a Basic Component of Future LSI

We proposed a silicon Single-Electron Transistor (SET) with Schottky-contact tunnel barriers, which can be fabricated with the standard silicon VLSI process. Our theoretical analysis shows that it exhibits much better cutoff characteristics than the conventional SETs.

適している。今後、素子の試作実験を進めていく予定である。また、オーソドックス理論と同時トンネリングの理論に基づく単一電子回路シミュレータを開発した。このシミュレータは、モンテカルロ法およびマスター方程式による標準的な過渡解析、定常解析の機能はすべて備えている。また、単一電子回路の確率的な振舞いを視覚化する手法も確立した。これらのシミュレーション技術を利用して、容量結合された2つのトンネル接合列の電荷輸送特性の解析をおこなった。

5. 演算器のスタガー並列を用いた集積回路の高速化

藤島実, 鳳紘一郎, 入田隆宏

本研究は、演算器を時間軸方向にずらした状態で並列化する回路構成により、演算の高速化を実現することを目標とする。デジタルニューロチップの積和演算を絶対値演算で置き換え、加算をビット毎のパイプラインで処理するシナプス回路を提案し、試作チップの設計を行った。本回路は、集積シナプス数を大幅に向上でき、高スループットを実現している。また、多入力演算を可能とすることにより、依存関係のある複数の演算を高速に実行するALUの試作を行った。本回路では、マイクロプロセッサの処理能力を制限するキャリーの伝搬を、多入力演算器を用いることにより、複数の演算で共有している。その結果、シミュレーションによれば、実アプリケーションを実行した際のサイクル数を10%程度削減する事が可能となることが示された。

We plan to fabricate the SET to demonstrate the advantages experimentally.

(ii) Computer Aided Design of Single-Electron Circuits

We implemented a single-electron circuit simulator that incorporates all standard simulation techniques based on the orthodox theory and cotunneling; i.e., transient and steady-state analyses using either Monte Carlo method or the master equation. In addition, we succeeded in visualizing the stochastic behavior of single-electron circuits. Transport characteristics of capacitively-coupled one-dimensional tunnel junction arrays are studied utilizing the simulator.

5. Speed Improvement for Integrated Circuits by a Staggered-Parallel Operation of Function Modules

M.FUJISHIMA, K.HOH and T.IRITA

The target of this study is to realize high speed operation of integrated circuits utilizing parallel computing blocks staggered in a time domain. For the high density integration of digital neuro chip, we proposed a synapse circuit that processes bit-level pipelined addition and fabricated a test chip, where 128 synapses were integrated in 2.3 mm square die. In this circuit, a multiplier and an adder conventionally used were replaced with an absolute-value circuit and an adder where the operations were fully pipelined in a bit level. As a result, high throughput operation was realized in high density of synapses. For the high speed operation of microprocessor, an ALU with multiple-input computing elements was proposed, where a series of instructions were operated simultaneously. The carry propagation which limited the operating speed was shared with several instructions. As a result, it was shown that the number of cycles to execute applica-

6. マイクロヒューマンセンサ

藤島実, 鳳紘一郎

センサー一体型集積回路を用いたスポーツ・医療用小型センサの研究を行っている。平成8年度は、集積センサー検証のため、風速および気温をもとに体感温度を測定するセンサーを設計した。演算増幅器の初段差動増幅器に用いられているMOSFETの一つをカンチレバー上においた流量センサーと、MOSFETのサブスレッショルド領域を利用した温度センサーを組み合わせている。今後、試作したチップを完成させるため、マイクロマシーンプロセスを検討するとともに、スポーツ・医療用マイクロ心電計の試作を行う。

tion programs was reduced to 90 % of that executed by a conventional ALU.

6. Micro Human Sensor

M.FUJISHIMA and K.HOH

We start studying micro human sensor for sport and medical application using a integrated circuit embedded with different kinds of sensors. We have designed an intelligent sensor calculating human sensible temperature from wind velocity and air temperature. In the sensible sensor, a flow sensor utilizes an operational amplifier where one of MOSFETs in the first differential amplifier is fabricated on a cantilever and a temperature sensor utilizes the subthreshold characteristics of MOSFETs. We are post-processing the CMOS chip fabricated by VDEC (VLSI Design and Education Center) to accomplish the sensible sensor. We also plan to fabricate an on-chip heart-rate recorder and electrocardiogram this year.

1. MOSデバイスおよび配線の検討

浅田 邦博, 池野 理門, 伊藤 浩, 青柳 稔, 三堂 哲寿

SOI デバイスに関し, 反転電子層の2次元量子化の効果を検討した1次元数値解析手法を用いて構造パラメータの同定を行なった. また, Ar注入によるSOI MOSFETの基板浮遊効果抑制現象を, バンドギャップナローイングとキャリア再結合率増大の両効果により説明した. さらに, 半導体デバイスの数値解析における準過渡解析手法を提案し, 安定性および高速性を確認した. また, 動作特性の測定に基づく容量モデルにより, ゲート容量の電源電圧依存性を明らかにした.

相互接続配線における, 金属及び絶縁体の断面形状から得られる容量の簡便かつ高精度なモデル化を行い, これを基に配線の固有遅延を最小にする断面形状を導いた. また, 温度変化に起因するストレスマイグレーションについて, 高温放置試験および基礎実験を通して, そのメカニズムの解析とモデル化を行っている.

2. 論理合成および回路方式の検討

浅田 邦博, 張 子誠, 鳥居 隆史, 山下 高廣, 喬 健

論理レベル, 回路レベル, 論理分割後の段階において, 論理の対称性を利用してセレクタを利用した合成を行うことで, 15%の論理で従来の論理合成手法より回路規模の縮小ができ, また計算時間の短縮が行える事を示した. また, マルチプレクサ・ベースの

1. Studies on MOS devices and interconnections

K. ASADA, R. IKENO, H. ITO, M. AOYAGI, T. MIDO

We have estimated the in-depth structural parameters of real thin-film SOI devices with a 1D numerical analysis method considering the quantum mechanical effects in the electron inversion layer. We also have investigated the Ar-doped SOI MOSFETs deducting the floating-body effects and concluded that both the effects of the bandgap narrowing and the recombination enhancement mechanisms are indispensable to explain the reduction phenomena. A Quasi-Transient method has been presented and evaluated through the hysteretic Single-Transistor Latch simulation of SOI MOSFETs. We have investigated the gate-capacitance characteristics affected by the supplied voltage and the gate length with measurement results.

We have characterized self- and mutual capacitance of metal interconnect, and the optimum cross section of metal layer which makes propagation delay minimum. We also have studied stress-induced migration in Al interconnect through high temperature storage test and fundamental experiments.

2. Studies on logic synthesis and circuit technique

K. ASADA, T.S. CHEUNG, T. TORII, T. YAMASHITA, J. QIAO

We have proposed three logic synthesis methods that use symmetry of logic, circuit and decomposed diagram to utilize selectors. and have demonstrated that about 15% of logic benchmarks are better than the conventional method, and synthesis time is minimized

FPGA 合成ツールとの比較により、本手法の有効性を示した。

CPL回路にラッチ型センスアンプを挿入し、信号回復を行う回路方式を提案し、16bit 加算器のシミュレーションにより電源電圧1.5VにおいてCMOS回路より2.4倍速く動作することを示した。また、pMOSトランジスタによる振幅回復回路を用いた振幅回復型バストランジスタ論理(RPL)の提案を行い高速かつ低消費電力であることを示した。さらにCPL, RPLの検証チップの設計を行った。

3. プロセッサシステムの高速化に関する検討

浅田 邦博, 池田 誠, 李 知漢, 小松 聡, 佐藤 義則, 鄭 若彤

リップルキャリー型加算方式は、平均キャリー伝搬段数が $\log N$ であるために、小規模で平均的に高速な加算器が可能である。この特徴の活用のために、動作完了を検出する方法として加算器をセグメントに分割し、キャリーの変化により完了信号を生成するセグメント分割方式、および入力の生成項、伝搬項から完了を予測する完了予測方式の提案を行い、ゲート数 \times 遅延時間積においてすぐれている事を示し、本加算回路を用いた疑似非同期プロセッサの試作検証を行った。

バス方式の検討に関しては、システムチップにおけるスループットの確保のために、時間的な多重化を行うパイプライン型バス方式の検討を行い、設計規則の世代毎に最適なバス方式を示した。また、チップインターフェースにおける消費電力削減方式として、コード帳符号化方式の提案および時間領域最小ハミング距離検出回路の提案を行い、符号化/復号化チップの試作検証を行った。さらに、バスの容量を低

by efficiency of using selectors depending on the characteristics of logic. We also have shown that the present method is effective compared with FPGA synthesis tools targeted at multiplexor-based designs.

We have studied on a new pass transistor logic with sense amplifiers in the middle of the transistor chain to recover signal swing. Applying the proposed technique to a 16 bit adder, we demonstrated that the present method is 2.4 times faster than the conventional CMOS at a supply voltage of 1.5V. We have designed two VLSI chips based on the present method. We also have studied a regenerative pass-transistor logic (RPL), which consists of nMOS logic tree with pMOS signal-swing regeneration circuit.

3. Studies on high-speed processors

K. ASADA, M. IKEDA, J.H. LEE, S. KOMATSU, Y. SATO, R.T. ZHENG

We have proposed two types of completion detection mechanism for ripple carry adder; a completion detection adder that checks the change of the carry-out for all the segments of the adder and a completion prediction adder that generates completion signal by analyzing the input data. The target is to take advantage of an ripple carry adder whose average carry propagation is bounded by $\log N$ for random numbers. We designed pseudo asynchronous microprocessors.

We proposed a pipelined-bus architecture, which divide a bus line into time slots to enhance throughput. We demonstrated the optimum bus architecture for the design rule generations from 0.5 μ m down to 0.1 μ m. We have also proposed a code-book encoding for reducing power consumption in chip interface. We have proposed a time-domain minimum Hamming-distance detector and designed an encoder/

VIDEO
減する事で消費電力を削減するマルチプレクサ方式と従来型のバス方式との比較・検討を行い、評価用のチップ試作を行った。

4. 画像センサーの検討

浅田 邦博, 鈴木 真一, 秋田 純一, 渡部 亮太, 張 明

画像信号をツリー構造を用いて領域分割し、領域毎に0や1をまとめて読み出すことで、データ量の圧縮が可能となる符号化機能をもつセンサを考案した。本方式は動画像のフレーム間差分等の0の画素が多い場合には、ラスタ走査の1/10以下に符号圧縮が可能なることを示した。またクロック信号を選択的に供給するツリー構造の回路と受光素子を集積したチップの試作を行なった。

decoder chip. We have made a comparative study on the conventional bus architecture and a multiplexer architecture, which reduces the capacitance of a bus line. We designed a chip to demonstrate the power reduction.

4. Study on image sensor

K. ASADA, S. SUZUKI, J. AKITA, R. WATABE, M. ZHANG

We have proposed a image signal scan method treating the image signals with a tree structure to skip the redundant step for the blocks of 0 or 1. We have shown that this method has about the 1/10 compression ability in case of the image containing much pixels of 0, such as inter-frame difference of moving pictures. We have designed a image sensor chip containing photo detectors and circuit of the tree structure whose clock signals are gated just along the signal path to reduce the power consumption.

1. サブ0.1ミクロンVLSIデバイスに関する基礎的研究

平本俊郎, 更屋拓哉, 高宮真, 向山俊和

半導体大規模集積回路(VLSI)デバイスは、その性能向上のため微細化が急速に進展しており、10年後にはゲート長0.1ミクロン以下のLSIデバイスが実用化される見通しである。本研究は、サブ0.1ミクロンVLSIデバイス実現のための課題を明らかにし、最適なデバイス構造を提案するとともにその設計指針を明確に提示することを目的とする。特に、サブ0.1ミクロンVLSIデバイスの最有力候補である薄膜SOI (Silicon on Insulator) MOS デバイスに注目している。これまでにプロセス/デバイス設計の結果に基づき実際に試作を行い、サブ0.1ミクロンSOIデバイスの動作を確認した。また、このSOIデバイスをディープサブ0.1 μm までスケールするための設計指針を、解析的手法および2次元シミュレーションを用いて具体的に提示した。現在ディープサブ0.1 μm SOI デバイスを試作中である。

2. サブ0.1ミクロンSOI MOSデバイスの評価に関する研究

平本俊郎, 更屋拓哉, トラン デュエト

薄膜SOIデバイスは従来のバルクMOSデバイスと異なり、様々な問題点を有している。本研究の目的は、本デバイス特有の種々の問題点を実際の測定により明らかにし、その結果をサブ0.1 μm SOI デバイスの設計にフィードバックすることにより本デバイスの実用性を実証することである。具体的には、これまで問題がないとされていた電源電圧1V以下での基板浮遊効果を詳細に評価し、インパクトイオン化が

1. Design and Fabrication of Sub-0.1 μm VLSI MOSFETs

T. Hiramoto, T. Saraya, M. Takamiya, and T. Mukaiyama

Devices in the very large scale integrated circuits (VLSI) are becoming smaller and smaller for higher performance. The device size less than 0.1 μm will be realized in the production in ten years. The purpose of this study is to clarify the challenges and issues of sub-0.1 μm VLSI devices and to develop a clear design methodology of such devices by proposing the optimal device structures. We pay special attention to thin film silicon-on-insulator (SOI) MOSFETs which are one of the most promising devices for the future VLSI devices. So far, we have designed and fabricated the sub-0.1 μm SOI MOSFETs which operate successfully. We also developed a scaling scenario of fully depleted SOI MOSFETs to the deep sub-0.1 μm regime by analytical way and two-dimensional device simulation. We are now fabricating deep sub-0.1 μm SOI MOSFETs.

2. Characterization of sub-0.1 μm SOI MOSFETs

T. Hiramoto, T. Saraya, and T. N. Duyet

The thin film SOI devices have various problems which come from the existence of the buried oxide below the channel region. The purpose of this study is to clarify the problems peculiar to this device and solve them experimentally. We have shown for the first time that in partially depleted SOI MOSFETs the sub-band-gap impact-ionization takes place below 1 V and causes severe floating body effects which had been believed

バンドギャップ以下の電圧でも起こっており、これにより基板浮遊効果が1V以下でも顕著に現れることを世界で初めて明らかにした。また、SOI構造では評価することが困難であったSi/酸化膜界面を、新しいチャージポンピング法で評価できることを明らかにした。一方、デバイス寸法揺らぎ及び不純物分布の統計的揺らぎがデバイス特性に与える影響等についても検討を進めている。

3. 極微細Si MOSデバイスにおける量子効果及び単一電子現象の研究

平本俊郎, 石黒仁揮, 斉藤健一

Siにおける量子効果および単一電子効果を明らかにすることは、VLSIデバイスの性能限界を決める上で必須であるとともに、新しい概念をもつデバイスを提案する上でも極めて重要である。本研究では、Siにおいて極微細構造を実際に作製し、単一電子現象の物理の探究を行っている。これまでに、VLSIプロセスと互換性のある方法を用いリソグラフィに依らず微細なSi細線構造(線幅10nm以下)を作製するプロセスを開発した。さらにSi極微細構造MOSFETにて室温において単一電子現象であるクーロンブロックケード振動を観測することに成功している。また、このように極めて小さいデバイスでは単一電子現象のみでなく量子効果の影響も無視できないことが実験的に明らかになっており、今後は単一電子現象と量子効果の複合効果についてその物理に立ち戻って明らかにしていく予定である。

4. MOSデバイスと単一電子デバイスの融合と集積に関する研究

平本俊郎, 石黒仁揮, 斉藤健一

半導体デバイスは微細化が進んでいるが、1回のデバイス動作に必要な電子数は現在100万個程度で

not to occur. We have also developed a new charge pumping technique which allows us to characterize the silicon/oxide interfaces in SOI materials. The impact of fluctuations of device size and dopant number on device characteristics is also discussed.

3. The quantum effects and single electron phenomena in nanostructure MOSFETs

T. Hiramoto, H. Ishikuro, and K. Saito

The quantum effects and the single electron phenomena will affect or degrade the characteristics of very scaled VLSI devices in the future. On the other hand, these effects would be utilized in the future quantum devices. In this study, we fabricate very small silicon nanostructures and study the quantum effects and single electron effects in these structures. So far, we have successfully developed a VLSI-process compatible fabrication process of Si nanostructures (less than 10 nm) where the size does not depend on lithography limit. The very small MOSFET fabricated by this technique operates as a single electron transistor where the Coulomb blockade oscillations are clearly observed at room temperature. We have also clarified experimentally that not only single electron effects but quantum effects play an important role in the transport in such very small devices.

4. Integration of MOS devices and single electron devices

T. Hiramoto, H. Ishikuro, and K. Saito

In the present VLSI devices, the number of electrons which is required for one-bit storage or one-gate trans-

る。近年の携帯機器の普及により超低消費電力デバイスの重要性がますます高まっているが、消費エネルギーの削減は、電子数の低減と等価である。そして最も電子数の少ない究極のデバイスが電子1つで動作する単一電子デバイスである。我々は、将来、MOSデバイスは寄生容量等の削減により電子数が減少し、連続的に単一電子デバイスの方向へ移行していくと予測している。そして、最終的には、駆動力の大きいMOSデバイスと超低消費電力の単一電子デバイスが1チップ上に集積され、それぞれの特徴にあわせて役割分担が進むと考えている。本研究では、上記アイデアを具現化するための課題に取り組むとともに、回路・アーキテクチャの最適化の検討も行っている。

fer is about 1 milion. Recently, very low power VLSI chips are essential for portable systems. The energy consumption in devices is proportional to the number of electrons. Therefore, the single electron devices are the extremely low power devices. Our idea is that the present MOS devices will be gradually changed to the direction of single electron devices by reducing the number of electrons. We have developed a future vision for VLSI chips where the conventional MOS devices and single electron devices are integrated into one chip. The fast circuits will be conventional MOS devices and the high-density circuits with slower speed will be single electron devices. We address the process and devices issues to realize the new device architecture.

5.3 発表文献 (平成8年度)

1. 研究論文

IEICE Transactions on Electronics

T.S.Cheung and K.Asada, "Regenerative Pass-Transistor Logic: A Modular Circuit Technique for High Speed Logic Circuit Design", Vol. E-79C, No. 9, pp. 1274 - 1284, September, 1996.

T.S.Cheung and K.Asada, "Design of High-Speed High-Density Parallel Adders and Multiplier Using Regenerative Pass-Transistor Logic, Vol. E80-C, No. 3, pp. 478 - 488, March, 1997.

IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences

J.H.Lee and K.Asada, "A Synchronous Completion Prediction Adder (SCPA)", Vol. E80-A, No. 3, pp. 606 - 609, March, 1997.

Special Issue of VLSI Design, Gordon & Breach

R.Ikeno, H.Ito, and K.Asada, "One-Dimensional Analysis of Subthreshold Characteristics of SOI-MOSFET Considering Quantum Mechanical Effects", 1997.

Applied Physics Letters

H. Ishikuro, T. Fujii, T. Saraya, G. Hashiguchi, T. Hiramoto, and T. Ikoma, "Coulomb Blockade Oscillations at Room Temperature in a Si Quantum Wire Metal-Oxide-Semiconductor Field-Effect-Transistor Fabricated by Anisotropic Etching on a Silicon-on-Insulator Substrate", Vol. 68, No. 25, pp. 3585 - 3587, June, 1996.

Japanese Journal of Applied Physics

Toshiro Hiramoto, Hiroki Ishikuro, Kenichi Saito, Tomoyuki Fujii, Takuya Saraya, Gen Hashiguchi, and Toshiaki Ikoma, "Fabrication of Si Nano-Structures for Single Electron Device Applications by Anisotropic Etching", Vol. 35, No. 12B, pp. 6664 - 6667, December, 1996.

Physica B

T. Hiramoto, H. Ishikuro, T. Fujii, T. Saraya, Hashiguchi, and T. Ikoma, "Characterization of Precisely Width-Controlled Si Quantum Wires Fabricated on SOI Substrates", Vol. 227, pp. 95 - 97, 1996.

電子情報通信学会論文誌

池野理門, 浅田邦博, 「回路シミュレーションを用いたスイッチング・エネルギー最小化のための最適デバイス・パラメーター設計」, Vol. J79-C-II, No. 10, pp. 525 - 526, 1996 年 10 月.

電子情報通信学会誌

鳳紘一郎, 上田和宏, 南谷崇, 安浦寛人, 岩田穆, 家田信明, 石井吉彦, 浅田邦博, 「VLSI 設計教育の現状と将来」, Vol. 80, No. 1, pp. 40 - 62, 1997 年 1 月.

応用物理

田部道晴, 小田俊理, 平本俊郎, 中里和郎, 雨宮好仁, 「単電子デバイス・回路の研究状況と今後の展望」, Vol. 66, No. 2, pp. 99 - 108, 1997 年 2 月.

クリーンテクノロジー

鳳紘一郎, 「大規模集積システム設計教育研究センターの発足とその意義」, Vol. 7, No. 3, pp. 30 - 34, 1997 年.

2. 国際会議論文

IFIP International Workshop on Logic and Architecture Synthesis

M. Ikeda and K. Asada, "Bus Data Coding with Zero Suppression for Low Power Chip Interface," pp. 267 - 274 (1996).

1996 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD '96)

R. Ikeno and K. Asada, "Robust simulation for the hysteresis phenomena of SOI MOSFET's by Quasi-Transient Method", P. 13 (1996).

4th Int'l Conf. of Soft Computing (Iizuka'96)

K. Asada and J. Akita, "A Tree Structure of Au-

tomata for Selective Image Scanning and Its Implementation", A-4-1 (1996).

Inst. of Physics Conference Series

T. Ikoma, T. Hiramoto, and K. Hirakawa, "Gap between Microelectronics and Nanoelectronics", No.145, pp.23 - 28, 1996.

Silicon Nanoelectronics Workshop, Honolulu, Hawaii, USA, June, 1996.

T. Hiramoto, H. Ishikuro, T. Fujii, T. Saraya, G. Hashiguchi, and T. Ikoma, "Room Temperature Operation of Single Electron Transistors Fabricated by LSI-Compatible Anisotropic Etching Process on SOI Substrates".

The 9th International MicroProcess Conference, Kitakyushu International Conference Center, Fukuoka, Japan, July, 1996.

T. Hiramoto, H. Ishikuro, T. Fujii, T. Saraya, G. Hashiguchi, and T. Ikoma, "Fabrication of Si Nano-Structures by Anisotropic Etching for Single Electron Device Applications", pp. 82 - 83.

23rd International Conference on the Physics of Semiconductors, Berlin, Germany, July, 1996.

H. Ishikuro, T. Fujii, T. Saraya, G. Hashiguchi, T. Hiramoto, and T. Ikoma, "Coulomb Blockade in a Weakly Coupled Multiple-Dot-Channel MOSFET" Vol. 2, pp. 1589 - 1592.

The 3rd France-Japan Congress and 1st Europe-Asia Congress on Mechatronics, Besancon, France, October, 1996.

T. Hiramoto, H. Ishikuro, and T. Ikoma, "Silicon Nanostructures and Advanced Electronic Nano-Devices Fabricated by Micromachining", Vol. 2, pp. 505 - 508.

E. Orsier and T. Hiramoto, "IC Compatible Contactless 2D Scanning Actuator Based on Magnetostrictive Alloys", Vol. 2, pp. 537 - 540.

1996 IEEE International SOI Conference, Fort

Myers, Florida, October, 1996.

T. Saraya, M. Takamiya, T. N. Duyet, T. Tanaka, H. Ishikuro, T. Hiramoto, and T. Ikoma, "Floating Body Effects in 0.15 μm Partially Depleted SOI MOSFETs below 1 V", pp. 70 - 71.

190th Meeting of Electrochemical Society, 1996.

H. Fukui, M. Fujishima and K. Hoh, "Single-Electron Transistor in SOI Structure with Schottky-Contact Tunnel Barriers", p. 578.

International Symposium on Formation, Physics and Device Application of Quantum Dot Structures (QDS'96), Hokkaido University Conference Hall, Sapporo, Japan, November, 1996.

Toshiro Hiramoto, Hiroki Ishikuro, Tomoyuki Fujii, Gen Hashiguchi, and Toshiaki Ikoma, "Room Temperature Coulomb Blockade and Low Temperature Hopping Transport in a Multiple-Dot-Channel MOSFET", pp. 142 - 143.

H. Fukui, M. Fujishima and K. Hoh, "Single-Electron Transistor with Schottky-Barrier Source/Drain", pp. 146 - 147.

S. Amakawa, M. Fujishima and K. Hoh, "Characterization of Capacitively-Coupled Dual Tunnel Junction Array", pp. 154 -155.

Other Workshops

T. Hiramoto, H. Ishikuro, and T. Ikoma, "Coulomb blockade at room temperature in a Si multi-dot MOSFET fabricated by VLSI-compatible anisotropic etching technique", Sweden-Japan Joint QNANO Workshop, Ohhito Hotel, Izu, Japan, November, 1996.

T. Hiramoto, H. Ishikuro, and T. Ikoma, "Coulomb Blockade in Multiple-Dot and Single-Dot Si MOSFETs", Japan - UK International Joint Workshop on Nanostructure Physics and Applications, United Kingdom, March, 1997.

3. シンポジウム・研究会・大会等発表

電子情報通信学会技術研究報告

石黒仁揮, 平本俊郎, 藤井呂如, 更屋拓哉, 橋口原, 生駒俊明, 「異方性エッチングによるSi極微細MOSFETの作製と室温におけるクーロンプロケード振動の観測」, 電子デバイス, シリコン材料デバイス合同研究会, 機会振興会館 (東京), ED96-6, SDM96-6, 1996年4月.

高宮真, 更屋拓哉, トランゴックデュエト, 田中剛, 石黒仁揮, 平本俊郎, 生駒俊明, 「低電圧動作0.1ミクロン薄膜SOI MOSFETの試作と特性評価」, 集積回路, 電子デバイス, シリコン・材料デバイス合同研究会, 熊本大学 (熊本), ED96-66, SDM96-49, ICD96-69, 1996年6月.

池田誠, 李知漢, 鄭若彤, 浅田邦博, 「大規模集積回路における低消費電力および速度向上に関する検討」, LSI設計技術の未来を考える琵琶湖ワークショップポスター発表, ラフォーレ琵琶湖 (滋賀), pp. 41 - 45, 1996年11月.

青柳稔, 浅田邦博, 「半導体集積回路のアルミニウム配線におけるストレスマイグレーション現象の初期過程」, シリコン材料・デバイス研究会, SDM96-132, 東北大学 (仙台), 1996年11月.

入田隆宏, 辻田達男, 藤島実, 鳳紘一郎, 「バイポーラ素子で生成されるカオスのメカニズムとその応用」, 電子デバイス研究会, 広島市国際青年会館 (広島), 1997年3月.

更屋拓哉, 高宮真, トランゴックデュエト, 平本俊郎, 生駒俊明, 「0.15 μm PD SOI MOSFETにおけるサブバンドギャップインパクトイオン化と基板浮遊効果」, シリコン材料・デバイス研究会, 慶應義塾大学日吉キャンパス (横浜), SDM96-219, 1997年3月.

三堂哲寿, 浅田邦博, 「集積回路内の配線容量の高精度な定式化と伝送速度を最適化する配線形状」, VLSI設計, 電子デバイス, シリコン材料・デバイス合同研究会, NTT厚木研究開発センター,

VLD96-49, 1996年9月.

小松聡, 池野理門, 伊藤浩, 浅田邦博, 「DTMOSのドレイン電流特性のデザインパラメータ依存生とその最適化」, VLSI設計, 電子デバイス, シリコン材料・デバイス合同研究会, NTT厚木研究開発センター, VLD96-43, 1996年9月.

三堂哲寿, 池田誠, 浅田邦博, 「VLSIの高密度バス配線における低結合信号を用いた低消費電力化」, VLSI設計研究会, 愛媛大学工学部 (松山), 1997年3月.

テレビジョン学会年次大会, 名古屋, 1996年7月.

渡部亮太, 秋田純一, 浅田邦博, 「画像信号の読み出しのためのオートマンのツリー構造の回路の実現法」, 3-6.

秋田純一, 渡部亮太, 浅田邦博, 「画像信号の選択的読み出しのためのオートマンのツリー構造」, 3-7.

第57回応用物理学会学術講演会, 九州産業大学 (福岡), 1996年9月.

福井大伸, 藤島実, 鳳紘一郎, 「ショットキー障壁を用いた単一電子トランジスタ(2)」, 9a-B-4.

天川修平, 藤島実, 鳳紘一郎, 「容量結合された2つの微小トンネル接合列の量子カレントミラーへの応用」, 9p-B-12.

杜政勲, 藤島実, 鳳紘一郎, 「Al-Si(1%)/Siコンタクト部の通電時における抵抗変化」, 9aN-8.

池野理門, 浅田邦博, 「デバイスシミュレーションにおける行列解法収束特性のデバイス構造依存性」, 7a-V-4.

青柳稔, 浅田邦博, 「Al配線のストレスマイグレーション寿命に与える残留応力の影響」, 8p-N-16.

平本俊郎, 石黒仁揮, 藤井呂如, 斉藤健一, 橋口原, 生駒俊明, 「異方性エッチングによるSIMOX基板上的Si極微細構造の作製」, 7aR-8.

石黒仁揮, 藤井呂如, 更屋拓哉, 橋口原, 平本俊郎, 生駒俊明, 「Si細線MOSFET中の多重ドット

系におけるクーロンブロッケード振動の温度依存性」, 9pB-8.

更屋拓哉, 高宮真, トラン ゴック デュエト, 田中剛, 石黒仁揮, 平本俊郎, 生駒俊明, 「0.15 μm 部分空乏型 SOI MOSFET における 1V 以下での基板浮遊効果」, 7pR-3.

高宮真, 更屋拓哉, トラン ゴック デュエト, 田中剛, 石黒仁揮, 平本俊郎, 生駒俊明, 「SIMOX 基板のマイクロラフネスによる完全空乏型 SOI MOSFET のしきい電圧ばらつき」, 7pR-7.

高宮真, 更屋拓哉, トラン ゴック デュエト, 田中剛, 石黒仁揮, 平本俊郎, 生駒俊明, 「深いチャネルイオン注入を用いた 0.1 μm SOI MOSFET の試作」, 7pR-1.

電子情報通信学会エレクトロニクスソサイエティ大会, 金沢大学角間キャンパス (石川), 1996 年 9 月.

池田誠, 浅田邦博, 「信号遷移頻度を考慮した配置配線による消費電力削減」, SA-2-4.

鳥居隆史, 浅田邦博, 「人間の論理解法に基づく入力セレクタを用いた回路構成手法の検討」, A-53.

秋田純一, 浅田邦博, 「ツリー構造の選択的駆動による画像信号読出手法のための回路構成方式」, A-54.

三堂哲寿, 浅田邦博, 「集積回路内の近接型配線における 3次元容量のモデル化」, C-470.

浅田邦博, 三堂哲寿, 「集積回路内の平行する伝送線路における遅延を考慮した断面形状の最適化」, C-471.

山下高廣, 浅田邦博, 「ラッチ型センスアップの CPL 回路への応用」, C-476.

入田隆宏, 帆足克己, 藤島実, 鳳紘一郎, 「ビットレベルパイプライン手法を用いたデジタルニューロチップの最小化」, C-501.

李知漢, 浅田邦博, 「同期式完了予測型加算機」, C-504.

石黒仁揮, 平本俊郎, 藤井呂如, 更屋拓哉, 橋口原,

生駒俊明, 「リソグラフィ限界を超えた Si 量子細線 MOSFET の作製と室温におけるクーロンブロッケード振動の観測」, C-451.

浅田邦博, 秋田純一, 「オートマンのツリー構造による画像信号の選択的読み出し手法とその応用」, ES-3-7.

Proceedings of ANSYS'96 Conference in Japan, Ikebukuro, 1997 年 11 月.

三堂哲寿, 浅田邦博, 「有限要素解析を基にした集積回路内配線の容量モデル」, pp. 239 - 245.

回路実装学会第 8 回ワークショップ, 幕張, 1996 年 11 月.

三堂哲寿, 浅田邦博, 「1 GHz を越える高速動作時のストリップ型伝送線路における伝送効率に関する諸問題～表皮効果の影響について～」

平成 8 年度第 3 回量子化機能素子技術予測研究委員会講演会, 新機能素子研究開発協会 (東京), 1997 年 1 月.

平本俊郎, 「室温動作 Si 単一電子デバイスの電気的特性とその VLSI デバイスへの集積化」.

藤島実, 「MOSFET の限界と SET の将来」.

Proceeding of the ASP-DAC'97, Makuhari, Japan, January, 1997

K. Asada and K. Hoh, "VLSI Design and Education Center (VDEC) Current Status and Future Plan", pp.365 - 369.

T. Mido and K. Asada, "Crosstalk Noise in High Density and High Speed Interconnections due to Inductive Coupling", pp.215 - 220.

11th Annual Industry Strategy Symposium Japan 97, Feb. 1997

K. Hoh, "Industry-University Collaboration in VLSI Design Education", p. 16.

重点領域研究「量子位相エレクトロニクス」平成 8 年度成果報告会, 大阪サンパレスホテル (大阪), 1997 年 2 月.

平本俊郎, 石黒仁揮, 生駒俊明, 「極微細 Si マル

チドットMOSFETの電気伝導特性」, pp. 167 - 172.

重点領域研究「単電子デバイスとその高密度集積化」平成8年度成果報告会, 機会振興会館(東京), 1997年2月.

鳳紘一郎, 藤島実, 福井大伸, 天川修平, 間島秀明, 「単電子トンネリングを利用した集積デバイス」, pp. 115 - 118.

平本俊郎, 「MOS構造を有する単一電子デバイスの作製とそのCMOSチップへの集積化の研究」, pp. 131 - 134.

重点領域研究「極限集積化シリコン知能エレクトロニクス」特別公開シンポジウム「シリコンチップに極限の知能を集積する」, 化学会館(東京), 1997年3月.

鳳紘一郎, 「非線形遷移現象を利用した集積知能システムの研究」, pp. 306 - 312.

浅田邦博, 秋田, 「ツリー構造による画像走査センサ」, pp. 226 - 239.

平本俊郎, 「不純物揺らぎによる特性ばらつきを抑えたデルタドープ型MOSデバイスに関する研究」, pp. 188 - 191.

電子情報通信学会1997年春季総合大会, 関西大学千里山キャンパス(大阪), 1997年3月.

浅田邦博, 「インフラとしてのVDECの機能」, 基礎・境界ソサイエティ特別企画「大規模集積システム設計教育研究センター(VDEC)の状況と今後」, ESS-1-1.

平本俊郎, 更屋拓哉, 高宮真, 生駒俊明, 「サブ0.1 μm SOI MOSFET - そのスケーリングと基板浮遊効果 -」, エレクトロニクスソサイエティ特別企画「極限微細MOSデバイスの展望 - 超高集積化LSI開発とサブ0.1 μm 技術を見極める -」, ES-1-7.

入田隆宏, 藤島実, 鳳紘一郎, 「直列実行機構を有するCPUの演算時間の評価」, SA-2-5.

秋田純一, 浅田邦博, 「ツリー構造による画像信号圧縮効率のランレングス符号化との比較」, A-6-10.

鄭若彤, 浅田邦博, 「ケーススタディ:アーキテ

クチャとFPGAマッピングとの考察 - FPGAでマイクロプロセッサの実現」, C-12-7.

佐藤義則, 浅田邦博, 「多段バレルシフト方式高並列乗算演算回路の構成」, C-12-39.

李知漢, 浅田邦博, 「同期式完了予測加算器においての入力データ依存性」, C-12-41.

小松聡, 池田誠, 浅田邦博, 「低電力マイクロプロセッサにおけるマルチプレクサ方式とバス方式の比較検討」, C-12-46.

池田誠, 浅田邦博, 「チップインターフェースにおける消費電力削減を目指したデータ符号化手法」, C-12-47.

山下高廣, 浅田邦博, 「ブースター付ラッチ型センスアンプによる消費電力削減を目指したデータ符号化手法」, C-12-49.

第44回応用物理学関係連合講演会, 日本大学船橋校舎(千葉), 1997年3月.

藤島実, 鳳紘一郎, 「MOSFETの微細化についての一考察」, 29p-H-12.

間島秀明, 天川修平, 藤島実, 鳳紘一郎, 「単電子回路解析における確率分布の視覚化」, 30a-SZQ-9.

杜政勲, 藤島実, 鳳紘一郎, 「Al-Cu/TiN/Ti/Siコンタクトの高密度電流による劣化モードの観測」, p.755.

三堂哲寿, 浅田邦博, 「高速VLSIのための表皮効果を考慮した伝送線路解析」, 28p-B-4

池野理門, 伊藤浩, 浅田邦博, 「反転電子の2次元量子化における移動度モデルによるSOIデバイスパラメータ同定」, 28p-B-8.

伊藤浩, 浅田邦博, 「0.1 μm MOSFETにおける最適LDD長と遅延時間の下限」, 29p-H-14.

青柳稔, 浅田邦博, 「アニールがAl配線のポイド形成に与える影響の評価実験」, 29a-PC-19.

石黒仁揮, 藤井呂如, 更屋拓哉, 橋口原, 平本俊郎, 生駒俊明, 「多重ドットSi細線MOSFETのクーロンブロケード領域における熱励起型ホッピング伝導」, 30a-SZQ-16.

石黒仁揮, 平本俊郎, 生駒俊明, 「Si 二重障壁単一電子トランジスタの特性に現れる量子効果の影響」, 30a-SZQ-15.

藤井呂如, 石黒仁揮, 橋口原, 平本俊郎, 生駒俊明, 「異方性エッチングを用いたSi単一ドット構造の作製」, 29p-H-2.

更屋拓哉, 高宮真, トランゴックデュエト, 平本俊郎, 生駒俊明, 「部分空乏型SOI MOSFETにおける1V以下での基板浮遊効果—ゲート長依存性—」, 28p-H-11.

トランゴックデュエト, 石黒仁揮, 高宮真, 更屋拓哉, 平本俊郎, 生駒俊明, 「薄膜SOI MOSFETにおけるチャージポンピング電流の形状成分の抑制」, 28p-H-14.

高宮真, 平本俊郎, 生駒俊明, 「完全空乏型SOI MOSFETのスケーリング指針」, 28p-H-1.

第11回回路実装学会学術講演大会

鳳紘一郎, 浅田邦博, 「大規模集積システム設計教育研究センターの役割と今後の展望」, pp.25-26.

その他の研究会

平本俊郎, 石黒仁揮, 生駒俊明, 「シリコン極微細線単一電子デバイスとLSIデバイスの融合」, 重点領域研究「量子位相エレクトロニクス」および民間との共同研究「量子ナノエレクトロニクス」合同第7回定期研究討論会「量子効果デバイスの新概念(その2)」, 東京工業大学(東京), 1996年7月.

石黒仁揮, 平本俊郎, 生駒俊明, 「極微細マルチドットSi MOSFETにおけるホッピング伝導と共鳴トンネル現象」, 重点領域研究「量子位相エレクトロニクス」第7回定期研究会「量子構造の輸送現象」, 東京大学物性研究所(東京), 1996年9月.

平本俊郎, 「シリコンナノ構造の作製とその電気伝導」, 産官学共同研究プロジェクト「量子ナノエレクトロニクス」研究会, 東京大学生産技術研究所, 1996年10月.

平本俊郎, 「MOS構造を有する単一電子デバイ

スの作製とその集積化」, 第3回重点領域研究「単一電子デバイスとその高密度集積化」研究会, 東京大学生産技術研究所, 1997年1月.

鳳紘一郎, 入田隆宏, 辻田達男, 藤島実, 「Siトランジスタによるシンプルなカオス生成回路とその集積化」, 東京工業大学学内共同シンポジウム「生体的情報処理デバイスとシステム応用(II)」, 東京工業大学長津田キャンパス, pp. 39 - 50, 1997年2月.

4. 紀要, その他の雑誌等

生産研究

高宮真, 更屋拓哉, トランゴックデュエト, 田中剛, 石黒仁揮, 平本俊郎, 生駒俊明, 「0.1 μm 薄膜SOI MOSFETのデバイス・プロセス設計と特性評価」, Vol.48, No.10, pp. 502 - 506, 1996年10月.

平本俊郎, 「VLSI用薄膜SOI MOSデバイスに関する研究動向調査」, Vol.48, No.11, pp. 568 - 569, 1996年11月.

石黒仁揮, 藤井呂如, 橋口原, 生駒俊明, 平本俊郎, 「異方性エッチングによるSi極微細線MOSFETの作製と室温におけるクーロンブロッケード振動の観測」, Vol.49, No.3, pp. 50 - 53, 1997年3月.

平成7年度産業科学技術研究開発事業新エネルギー産業技術総合開発機構委託量子化機能素子の研究開発(技術予測研究)成果報告書

平本俊郎, 「異方性エッチングによるSi極微細線の作製と室温におけるクーロンブロッケード振動」, pp. 67 - 73, 1996年4月.

Break Though

平本俊郎, 「半導体プロセス技術者に待望の書「ウルトラクリーンULSI技術」(書評)」, No.120, p.28, 1996年6月.

鳳紘一郎, 「シリコンチップを君の手に—VDECの発足とその活動—」, No.1207, pp. 10 - 13, 1997年1月.

6. 平成9年度の予定

6. 1 平成9年度の活動計画

上述の平成8年度の準備作業と、新機能素子協会の事業および九州大学安浦教授の試験研究と協力しておこなったライブラリー開発をもとに、VDECは平成9年度から本格運用に入る。

CADソフトウェアの利用申し込みもWebのページを用いて行い、その結果に基づきVDEC及びサブセンター9校にライセンスサーバを開設する作業を

は始めている。順次CDROMやネットワークを介してCADプログラムを送配布し、各ユーザの手元のワークステーションにインストールする計画である。

CADソフトウェアの利用料金に関しては運営委員会において、申込ライセンス数に応じた年間料金として表8のように決定した。

表8 VDECのCAD利用料

申し込みライセンス数	利用料金/年間ライセンス	備考
1~10	3,000円	主に研究室利用での想定数。ただし最低申し込み単位を9千円とする。
11以上	1,000円	主に授業での利用を想定。ただしこの内10までは上の料金を当てる。

【備考】通常のユーザはワークステーション当たり3種類のCAD項目を各1ライセンス程度取得することで十分である。(例: Verilog + 配置配線 + レイアウト, VHDL + 配置配線 + アナログ等) 従って、この案では「9,000円/ワークステーション」が一つの標準申し込みの目安となる。

一方、平成9年度のチップ試作計画は、平成8年11月に開催した運営委員会(準備会)での決定に基づき、およそ表13の日程で行う予定である。各プロセス技術毎に、年2回の割合で試作を行う予定である。試作に関する最新の情報はWebのページにて公開していく予定であるので、参照いただきたい。またVDECのテストランや今回ライブラリー整備事業で構築した設計資産は順次センターのWebページで公

開し、これらのチップ試作で利用できるように整備して行く。

チップ試作の料金については利用者が使用チップ面積に応じて支払うことが原則である。平成9年度からの料金は今年度の「テストラン」の結果を分析し、最終決定することになるが、おおよそはテストランのときの価格で行うこととなろう。参考までにテストランでの価格(消費税別)を表9と表10に示す。

表9 テストランでの試作価格（日本モトローラ）

チップ寸法	価 格	送付個数	備 考
2.3mm角	36,000 円	10個	CMOS1.5 μ m Poly-Si 2層, Al 2層 QFP
4.8mm角	151,000 円	10個	
7.3mm角	320,000 円	10個	

表10 テストランでの試作価格（NTTエレクトロニクステクノロジー）

チップ寸法	価 格	送付個数	備 考
2.3mm角	150,000 円	10個	CMOS0.5 μ m Poly-Si 1層, Al 2層 セラミックDIP/PGA
4.8mm角	600,000 円	10個	

またチップ試作では、最終設計データの検証をセンターのサーバ計算機上でセンターが用意した検証プログラムを用いて行った後、「サブミット」コマンドを用いてデータをセンター側に受け渡す。その関係上、ユーザはサーバ計算機のアカウントを有することが必須の条件となる。そのため運営委員会では

チップ試作費用に連動した「固定レートでの計算機使用料」を決定した。これはチップ試作費のおよそ1割程度であるが、チップ試作に関係する期間、自由にセンターの計算機を利用することができる。表11は計算機利用料の計算式である。

表11 VDECサーバ計算機利用率

申し込みチップ試作費用	利用料金率 (試作費に対する比率)	備 考 (チップ試作費をXとする)
10万円未満	20%	0.2X 円
10万円以上50万円未満	10%	$0.1(X - 100,000) + 20,000$ 円
50万円以上	5%	$0.05(X - 500,000) + 60,000$ 円

また表13には示していないが、平成9年から10年を目処に、0.8 μ m CMOS技術や高耐圧デバイス技術等を含む、新たなチップ試作技術も提供したいと考えている。なお参考までにVDECのチップ試作申し込みと計算機利用規程の骨子を「7. 付録」に示す。

他方、VDECの情報発信の機能に関しても、設計規

則や設計ライブラリーの公開とともに、ユーザの了解・協力を得つつVDECで試作した「チップの記録」を公開して行きたいと考えている。「チップの記録」とは設計者名、チップ仕様、設計フロー、設計ノウハウ、試験結果、チップ写真等々である。この種の情報は新たにVLSI設計を志す学生や若手研究者にとって大きな助けとなるであろう。

CAD 利用技術や VLSI 設計技術セミナーに関して、平成 9 年度の新規スタッフを迎え、鋭意企画する予定である。基本的には全国のユーザの便宜を考え、センターと拠点で年 2 回程度を目処に開催したいと考えている。センターでは主な CAD 項目や設計技術をカバーする 2 週間程度の集中セミナーを夏期休暇期間中等に開催し、拠点校では個々の項目毎に 1 日～2 日間の短期セミナーを適宜開催できればと考え

ている。

その他、センターには、設備としてロジックテスターや電子ビームプローバ、フォーカスイオンビーム装置等があり、試作した VLSI チップの試験や簡単な修正を行えるようになっている。これらの装置類も Web を介して利用申し込みを受け付ける予定であり、順次準備ができ次第公開する予定である。

6. 2 拠点校整備概算要求の現状

当初の計画に従い現在下記の拠点校でサブセンターに関する概算要求を準備中である。

大学名	提出年度	教授	助教授	助手	技官
北海道大	10 年度	1	1	1	—
東北大	10 年度	—	1	2	—
金沢大	10 年度	1	1 振替	1	1
東工大	10 年度	—	1	1	1
名古屋大	11 年度	1	1	1	—

大阪大 11 年度 提出希望

京都大 10 年度 1 兼任 1 1 —

広島大 11 年度 提出希望

九州大 10 年度 — 1 1 1 振替

(注) 北海道大学は量子界面エレクトロニクス研究センターの分野新設要求「大規模集積システム設計教育研究分野」として提出

7 付録

7.1 利用規定

【計算機利用】

- ア) VLSI チップ試作申し込みを前提とし、チップ試作申し込み時に同時にホスト計算機利用申請をする必要がある。
- イ) 試作チップ数とチップ面積規模に応じ利用時間が増大する関係から、料金はチップ試作費に応じた期間定額制とし、CPU時間とは直接連動させない。
- ウ) 計算機利用の目的は主としてセンターが提供するCADソフトウェアを利用した設計・検証のほか、チップ設計・評価に関係する大学独自のプログラムの開発と実行とし、一般のVLSI教育研究と関係のない計算には基本的に用いないことを前提に申し込みを受け付ける。
- エ) 申込者はVLSIチップ試作申し込み単位である各大学・高専教官とし、学生毎には利用者アカウントの発行は行わない。
- オ) 利用期間は利用申請承認時期から該当試作チップの納品時期までとする。利用期間終了後はユーザファイル等は消去されることがあるため、ユーザの責任で利用期間内にバックアップするものとする。

【チップ試作】

- ア) 試作日程は運営委員会で各大学の学部授業日程ならびに大学院教育に配慮して決める。
- イ) チップ試作申し込み期間は、設計締め切りの6ヶ月前から3ヶ月前までの期間とする。
- ウ) チップ試作申込者は各大学・高専の教官とし、学生からのチップ試作受付は行わない。
- エ) 申し込みはセンターWebのホームページで行い、別途書面による秘密保持契約において正式確認する。

- オ) チップ試作費は試作チップ納品時に送付される請求書類等に応じ、ユーザ毎に遅滞なくチップ試作会社に支払う。
- カ) チップ試作費用ならびに納品チップ数は別途これを定め、センターWebその他のセンター情報誌等に掲載する。
- キ) チップ試作申し込みの取り消しは設計締め切りの1ヶ月前までとし、それ以降は基本的に試作費の支払義務を負う。
- ク) チップの品質検査は同一チップ上に作られるテスト回路で行い、センターおよびチップ試作会社は基本的に試作チップの動作等についてそれ以上の責任を負わない。
チップ試作申込では同時に別途規定するホスト計算機利用申請を行う必要がある。

【CAD利用】

- ア) CAD利用は演習・授業でも必要であり、VLSIチップ試作申し込みを条件とはしない。
- イ) 比較的多くのライセンス数を必要とするが利用期間はそれほど長くなくライセンス占有頻度の低い、演習・授業での利用の場合の申し込みは低料金とし、必要ライセンス数は少ないが比較的長期的にライセンス占有頻度の高い研究目的での利用申し込みとを区別する。
- ウ) ユーザが必要なライセンス数を把握するため、CAD項目単位で申し込みを行い料金を積算する。
- エ) CAD利用申込者は各大学・高専の教官とし、学生からの利用申し込み受け付けは行わない。

【CAD項目】

- VerilogHDL 論理設計ツール

●VHDL 論理設計ツール

●自動配置配線ツール

●会話型回路・レイアウト設計ツール

●アナログ回路・レイアウト設計ツール

7. 2 利用登録者

VDECの平成9年6月現在の利用者は表12の通り となっている。

表12 平成9年6月現在の登録利用者数

項目	全 体		国立大学		私立大学	
	大学数	教官数	大学数	教官数	大学数	教官数
案内メール送付先	120	295	63	199	57	96
Webアクセスアカウント発行	94	204	54	149	40	55
CAD利用申込者	47	68	30	49	17	19

7. 3 チップ試作日程

表13 平成9年度のチップ試作計画

	設計〆切	チップ納品	設計〆切	チップ納品
日本モトローラ1.5umCMOS	4月15日	8月20日	9月1日	12月20日
NE L0.5umCMOS	6月30日	11月20日	10月1日	2月20日
SONY/Chip Express LPGA	計画中		計画中	

7. 4 申し込みガイド

【アカウント利用申し込み】 <http://www.vdec.u-tokyo.ac.jp/registration.html>

1. 新規登録もしくは登録IPの変更である場合には[新規登録], その外の項目の変更の場合には[登録内容変更]のページへ
2. 以後の登録などの際にはE-mailアドレスによる登録データベースの参照を行うので, 入力間違いなどの無いように注意すること. また入力に際しては半角の文字を使用すること.
3. アクセス制限を行っているページへのアクセスにはIPアドレス項目に示したアドレスが適用さ

れる. この部分の入力が正しくないとページへのアクセスが行えなくなるので注意すること. 注意点としては以下の点が上げられる

- 入力には半角文字のみを使用すること (全角文字を使用すると該当部分をすべて削除するので正しい登録は行えない)
- 入力の際にIPや, ドメイン名の区切りをあらわす. (ピリオッド) と複数のアドレスの区切りをあらわす, (コンマ) を間違えないように注意すること
- 名前の前後に不要なスペースが混入されないよ

う十分注意すること

- IPアドレスの指定に際しては、Proxyサーバ等を介さないアドレスとすること。これは、設計規則等の機密情報がProxyサーバ等に残ってしまい、機密漏洩につながることを防ぐためであるので守っていただきたい。ただし、fire wallが設置されているなど学内の事情により直接のアクセスが行えない場合にはその限り

ではない。また、IPアドレスの登録数には特に制限は設けないが、管理の行き届いた機械のみに制限すること。

- IPアドレスとはWebのブラウザ（Netscape, インターネットエクスプローラ等）を実行している計算機のアドレスのことを意味している。
【チップ利用申し込み】<http://www.vdec.u-tokyo.ac.jp/CHIP/announce.html>

図4 チップ申し込みの際の注意点

申込の変更をされる場合には、該当チップのチェックボックスをチェックした上で、新たな品種数を入力して下さい。なお、入力には半角数字を用いるようお願い致します。

- 2.3mm角チップ 希望チップ数を入力する
- 4.8mm角チップ チップ数を入力する場合には必ずチェックすること
- 7.3mm角チップ チップ数を入力する場合には必ずチェックすること

【CAD 利用申し込み】 <http://www.vdec.u-tokyo.ac.jp/CAD/announce.html>

図5 CAD利用申し込みの注意1 (ライセンス数, メディアの登録)

- VerilogHDL論理設計ツール(Cadence): ライセンス数の入力 (半角数字で入力すること)
 - Cadence 9504 SUN SunOS4.1.X
 - Cadence 9504 SUN Solaris 2.X
 - Cadence 9504 HP HPUX
- VHDL論理設計ツール(Synopsys): ライセンス数を入力する場合には必ずチェックすること (入力しない場合にチェックすると0を申し込んだものとみなす)
 - Synopsys 3.5a
- 自動配置直線ツール(Avanti): CADのインストールの際に必要なメディアをチェックすること。これを忘れるとメディアが送付されないで注意すること
 - Avanti 2.1.0.61 (S4) 4mmDAT
 - Avanti 2.1.0.61 (S4) 8mmEXABYTE
- 会話型回路・レイアウト設計ツール(Mentor):
 - Mentor Rel B.3 SUN SunOS4.1.X
 - Mentor Rel B.3 SUN Solaris 2.X
 - Mentor Rel B.3 HP HPUX
- アナログ回路・レイアウト設計ツール(Cadence):
 - Cadence 9504 SUN SunOS4.1.X
 - Cadence 9504 SUN Solaris 2.X
 - Cadence 9504 HP HPUX

図6 CAD登録の注意2（利用ホストIPの登録）

【計算機アドレスの登録】

- 以下の欄にフルドメイン形式で(例: www.vdec.u-tokyo.ac.jp) CADを使用する計算機のアドレスを記入して下さい。
- 従来登録している計算機に追加する場合には追加ボタンを、従来の計算機と置き換える場合には更新ボタンを選択して下さい。ただしライセンス数の変更のみの場合にはいずれのボタンも選択しないで下さい。
- 複数の計算機を登録する場合には、";"で区切って複数個入力するか、複数回登録を繰り返して下さい。
- 利用登録可能な計算機はネームサーバに登録されておりDNSを介して名前の参照が可能であるものに限っておりますので御了承下さい。

The screenshot shows a registration form with a text input field at the top. Below it are two buttons: "追加" (Add) and "更新" (Update), both with dropdown arrows. Below the buttons, there is a list of example domain names: "tyrol.mos.t.u-tokyo.ac.jp, daichi.mos.t.u-tokyo.ac.jp, earth.mos.t.u-tokyo.ac.jp, umtac.mos.t.u-tokyo.ac.jp".

いづれかをチェックすること

CADの利用を予定している計算機のアドレスを入力すること
ただし、DNSの逆引きにより名前とIPアドレスの確認を行うので、不明な場合には計算機の管理者およびネットワークの管理者等に相談すること。

