

巻頭 センター長挨拶

第1章 VDEC概要	2
1. 1. VDEC組織概要	
1. 2. 人事報告	
1. 3. 決算報告	
第2章 平成9年度VDEC事業報告	6
2. 1. LSI設計教育情報の整備・発信 「計算機環境整備」 「WEB整備」 「教材整備」 「教育カリキュラムの整備 (東工大実験の報告)」	
2. 2. CADソフトウェアの整備 「CADソフトウェア利用状況」 「セミナー開催状況」	
2. 3. VLSIチップ試作状況 「平成9年度チップ試作概況」 「ライブラリ整備状況」 「新規プロセスのための チップ試作テストラン」	
第3章 研究報告	20
3. 1. 研究産働成員	
3. 2. 研究概要	
3. 3. 発表論文	
第4章 平成10年度の活動計画	39
第5章 チップ試作結果報告	42
5. 1. 試作結果	
5. 2. チップ試作者の発表文献リスト	
第6章 付録	103

第1章 VDEC 概要

1.1. VDEC 組織概要

VDECは平成8年度に専任教員5名事務官1名で発足したが、平成9年度に専任教員2名と事務官1名が増員された。さらに、全国の大学と提携を密にする目的で、各大学から2年を単位として2名の教員をVDECに派遣する「流動ポスト制度」が平成9年度からスタートし、現在東北大学と横浜

国立大学からそれぞれ1名ずつの教員が派遣されている(平成10年度まで)。また産業界と協力を行うため、客員教授(I種)が1名おかれている。平成9年度のVDECスタッフは、10名の教員と2名の事務官から構成されている。

表1 VDEC定員関係

	定員 (平成8年度)	定員 (平成9年度)	備考
教授	2	2	鳳, 浅田
客員教授 (I種)	-	1	家田
助教授	2	3	平本, 藤島(講師), 池田(講師)
流動助教授	-	2	羽路, 小谷
助手	1	2	韓, 鄭
事務官	1	2	松本, 新藤
計	6	12	

1.2. 人事報告

VDEC 人事

センター長(教授) 鳳 紘 一 郎
教 授 浅 田 邦 博
客員教授 家 田 信 明
助 教 授 平 本 俊 郎
" 羽 路 伸 夫
" 小 谷 光 司
講 師 藤 島 実 (平成10年3月まで)
" 池 田 誠 (平成10年1月助手から昇任)
助 手 韓 小 逸
" 鄭 若 彤

助 手
事務主任
会計掛長
”

中 田 明 良（平成10年4月着任）
松 本 直 衛
新 藤 正 夫（平成10年3月まで）
清 水 要（平成10年4月着任）



鳳 純一郎



浅田 邦博

家田 信明

平本 俊郎

羽路 伸夫



小谷 光司



藤島 実



池田 誠

韓 小逸



鄭 若彤

中田 明良

松本 直衛

清水 要



運営委員会構成（平成10年度）

委員長	鳳 紘 一 郎	東京大学大規模集積システム設計教育研究センター長	教 授
委員	吉 田 善 章	東京大学工学系研究科システム量子工学専攻	助教授
"	浅 田 邦 博	東京大学大規模集積システム設計教育研究センター	教 授
"	平 本 俊 郎	東京大学大規模集積システム設計教育研究センター	助教授
"	南 谷 崇	東京大学先端科学技術研究センター	教 授
"	宮 永 喜 一	北海道大学工学系研究科電子情報工学専攻	教 授
"	大 見 忠 弘	東北大学工学系研究科電子工学専攻	教 授
"	國 枝 博 昭	東京工業大学工学部電気・電子工学科	教 授
"	上 田 和 宏	芝浦工業大学システム工学科電子情報システム学科	教 授
"	柳 沢 政 生	早稲田大学理工学部電子・情報通信学科	教 授
"	鈴 木 正 國	金沢大学工学部電気・情報工学科	教 授
"	島 田 俊 夫	名古屋大学工学系研究科電子情報学専攻	教 授
"	田 丸 啓 吉	京都大学工学研究科電子通信工学専攻	教 授
"	白 川 功	大阪大学工学部情報システム工学専攻	教 授
"	岩 田 穆	広島大学工学部第二類（電気系）	教 授
"	安 浦 寛 人	九州大学システム情報科学研究科情報工学専攻	教 授

協議会構成（平成10年度）

協議員	鳳 紘 一 郎	東京大学大規模集積システム設計教育研究センター長	教 授
"	中 島 尚 正	東京大学工学系研究科長	教 授
"	浅 田 邦 博	東京大学大規模集積システム設計教育研究センター	教 授
"	神 谷 武 志	東京大学工学系研究科電子工学専攻	教 授
"	田 中 英 彦	東京大学工学系研究科電気工学専攻	教 授
"	岡 部 洋 一	東京大学先端科学技術研究センター	教 授
"	荒 川 泰 彦	東京大学国際・産学共同センター	教 授
オブザーバー	吉 田 善 章	東京大学工学系研究科システム量子工学専攻，総長補佐	助教授

1.3. 決算報告

1. 平成9年度経費

人件費	92,407,838円	職員旅費	713,000円
校費	263,345,000円	講師等旅費	576,000円
共同研究費	14,605,000円	受託研究旅費	300,000円
受託研究員費	812,000円	科学研究費	64,500,000円

2. 平成9年度科学研究費補助金

研究者	研究題目	種類	金額
			千円
浅田 邦博	二次元情報即時処理システム	重点領域(1)	39,800
小谷 光司	ニューロンMOSを用いた任意演算・処理機能の実時間可変型ユニバーサルALU	重点領域(2)	2,400
平本 俊郎	不純物揺らぎによる特性ばらつきを抑えたデルタドープ型MOS デバイスに関する研究	重点領域(2)	2,100
平本 俊郎	MOS 構造を有する単一電子デバイスの作製とそのCMOS チップへの集積化の研究	重点領域(2)	2,700
平本 俊郎	サブ0.1 ミクロン薄膜SOI CMOS LSIデバイスの揺らぎに関する研究	基盤研究(A)(2)	1,400
平本 俊郎	SOI構造における酸化メカニズムの解明に関する研究	基盤研究(B)(2)	3,400
鳳 紘一郎	ナノメーターシリコンデバイスのための近接ダブルショットキー-MOSFETの研究	基盤研究(B)(2)	7,900
平本 俊郎	磁気歪み効果もつ薄膜材料を利用したマイクロマシニングシステムの基礎研究	萌芽的研究	2,400
藤島 実	人の運動情報獲得のための超小型知的集積センサーシステムの研究	奨励研究	1,000
池田 誠	大規模集積システムのチップインターフェースにおける消費電力削減に関する研究	奨励研究	1,400

3. 平成9年度奨学寄付金

以下の企業から寄附をいただきました。

日立製作所，日本電気，東芝，富士通，三菱電機，日産自動車，ソニー，竹井機器工業，日本ヒューレット・パッカード，城北精機，ウィーク，テキサス・インスツルメンツ

第2章 平成9年度VDEC事業報告

平成9年度は平成8年度に導入したCADソフトウェアおよびホスト計算機の運用により「LSI教育情報の発信拠点」、「VLSI設計支援教育用CADソ

フトウェアの整備」、「VLSIチップ試作支援」の3つの柱の円滑な運営へ向けての事業を展開した。以下に平成9年度の事業の概要を報告する。

2.1. LSI設計教育情報の整備・発信

【計算機環境の整備】

図2.1 サーバ計算機、セミナー用のワークステーションおよびネットワークの構成

VDECにおけるVLSI設計教育情報の発信拠点、CADライセンスサーバ、VLSIチップ設計データ処理、およびCAD利用技術、VLSI設計技術セミナーに用いるのために平成8年度に導入したサーバ計算機は、4筐体で構成されており、1筐体を情報発信・ライセンスサーバ、1筐体をVLSI設計データ処理、2筐体を全国のVLSIチップ申込者の設計データ収集と設計検証のために運用している(図2.1参照)。本サーバ計算機は原則として、VDECにおけるチップ試作に付随してアカウント

を発行することとし、VLSIチップ試作申込者は、各自の計算機でVLSI設計を行っても、VDECのサーバ計算機で設計を行ってもよいが、最終的にはこのアカウントを用いてサーバ計算機に設計データを転送し、VDEC指定の最終検査プログラムで検証処理を行った後、VDECに対し設計データを「提出」する。

また、セミナー用ワークステーション20台は、前節で述べたVDEC開催のセミナーのうち東京会場で開催されたものに用いられたほか、一部の設

計関係の授業、およびVLSIの設計のために利用されている。

【Webページの整備】

VDECの情報発信の多くはWebを介したものになっており、また各種利用等の申し込みはすべてWebによるものを原則としている。Webページの

構成は図の通りで、それぞれの申し込み、提供情報の内容に応じてアクセス制限を行っている。詳細は第6章「付録」を参照されたい。

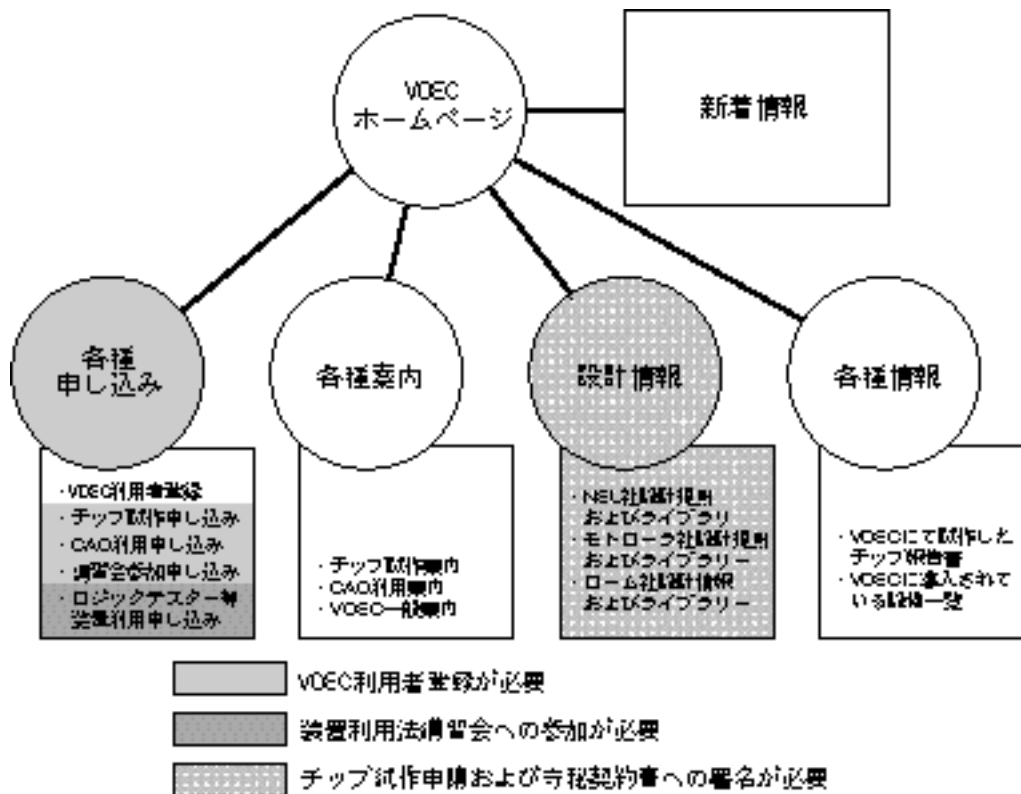


図2.2 VDECのWebページ構成

【教材の整備】

VLSI設計法の教材整備では、「論理合成・シミュレーション検証(上流設計)」「セルベースによる自動配置配線(中流設計)」「会話型設計(下流設計)」の3つのカテゴリーに分け、それぞれをVDEC提供のCADツールを利用しながら約2日間程度で自

習できる教材を開発した。我国ではVLSI設計技術の教育者数が米国に比較して不足しており、このような自習教材の必要性が高く、これら教材を平成10年度にVDECから全国の教育関係者に発送する予定である。

[教育カリキュラムの整備]

- 学生実験におけるマイクロプロセッサのフルカスタムLSI設計 -

国枝博昭, 一色剛

東京工業大学工学部電気電子工学科

1. はじめに

東京工業大学において,電気・情報系の学部生3年次を対象に,マイクロプロセッサのハードウェア設計技術の教育を目的とした学生実験を行っている.ここでは,ハードウェア記述言語によるマイクロプロセッサのアーキテクチャ設計を中心に取上げ,最終的にFPGAボードに実装し,その動作を検証する.我々は,平成9年度より,さらにLSIのマスクパターンのフルカスタム設計についても実験に組み込み,学部生に対しVLSI設計の総合的かつ実用的な教育に取り組んでいる.

2. 実験の概要

実験の目的 本実験では,現代の計算機の各階層における設計手法を体験しながら学び,その基本的な構成要素や動作原理を確認することを目的とする.特に,デジタル集積回路設計に必要なCAD環境を全般的に学ぶことに最も重点が置かれている.

実験期間 本実験は,学部生3年次の前期において13週間(1回3時間,週2回,総計78時間)に渡って行われる.対象学生は,すでにマイクロプロセッサの基本原則についての授業を2年次に履修している.実験は,150名程度の学生を2つに分けて(1クラス75名)並列に行われる.

3. 実験の流れ

実験は,二つの部分により構成されている.

3.1 マイクロプロセッサ基礎設計演習

実験の前半では,まずマイクロプロセッサの

ハードウェア設計において必要となるレベルのCAD環境(ハードウェア記述言語,動作シミュレータ)について学び,これらのツールを用いてマイクロプロセッサの動作原理を確認する作業を行う.学生には,VHDLによって記述された8ビットマイクロプロセッサのコードが渡され,このコードをもとに,VHDLの基本概念やシミュレータの使い方を実験の最初に学ぶ.与えられたVHDLのコードは,制御部(命令フェッチ,命令デコード,命令実行,レジスタ転送等を記述している部分)が不完全であり,学生はこの部分を完成させる事が主な作業となる.また,VHDL記述が完成した後,乗算,除算,総和,ソート等の与えられた課題プログラム(与えられた命令セットにおけるコーディングも学生自身が行う)が,シミュレータの上で動作する事を確認する.これらの作業が終了した後,自動合成ツールを使い,最終的にFPGAボードに実装し,その動作を実際に確認する.

3.2 マイクロプロセッサ応用設計演習

実験の後半では,より実用的なマイクロプロセッサ設計技術に触れるために,次に示す2つのテーマに学生が分かれて,マイクロプロセッサの応用設計技術を学んで行く.

マイクロプロセッサのアーキテクチャ改良設計演習: このテーマは,学生が4人程度のグループを作り,それぞれのグループで独自のマイクロプロセッサを設計し,FPGAボードに実装する.この演習を通じ,学生はVHDLに対する理解をさらに深め,またマイクロプロセッサの性能向上のための工夫をあらゆる部分(命令セット,アドレッシングモード,バス構造,演算器構造,レジスタ構造等)について行う.

マスクパターンレイアウト設計演習: このテーマ

は、マイクロプロセッサ製造技術に不可欠なマスクパターンレイアウト設計技術を学ぶものである。設計されたマスクパターンは、東京大学大規模集積システム設計教育研究センター(VDEC)の協力を得て、実際のチップとして製造される。

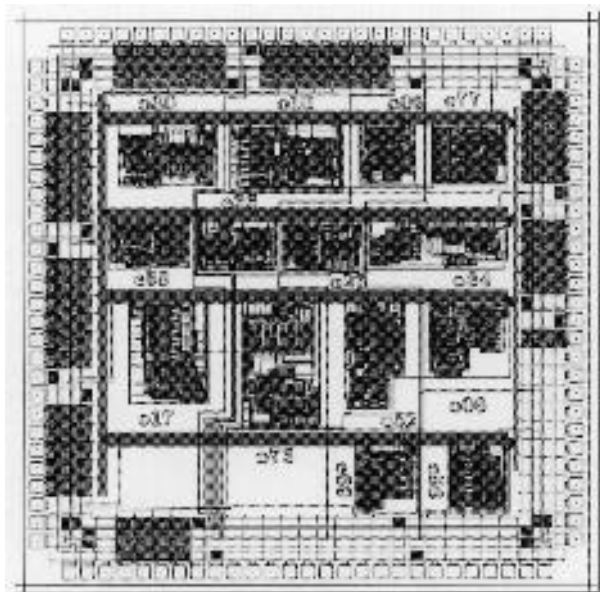


図2.3：学生実験におけるマスクパターンレイアウト設計のチップレイアウト図。
(VDEC 提供の NEL 0.5 μm 4.8 mm 角チップ)

4. 学生実験におけるマスクパターンレイアウト設計演習

学生実験におけるマスクパターンレイアウト設計のチップレイアウト図 (VDEC提供のNEL 0.5 μm 4.8mm角チップ)

4.1. 概要

マスクパターンレイアウト設計は、次のような流れで行われた。

1. マスクパターンレイアウト設計を始めるに当たって、まず最初にCMOS回路の基本構造、デザインルールの説明、レイアウトツールの使い方の説明等を行った。レイアウトについてのノウハウ(電源線の引き方、トランジスタの配置の仕方、信

号線の配線の方向等)についても、限られた範囲で説明を行った。

2. レイアウトの対象は、8ビットマイクロプロセッサの演算ユニット及びレジスタユニットとした。

3. 各学生には、演算ユニット及びレジスタユニットのトランジスタレベルの回路が渡され、Cadenceのマスクレイアウトツールを使い、VDECで提供されているNEL0.5 μm 2層メタルのデザインルールのもとで、レイアウト設計を行った。

4. レイアウトの検証は、CadenceのレイアウトエディタにおけるLVS(Layout Versus Schematics)を使い、与えられたトランジスタ回路とレイアウトから抽出(extract)された回路との整合性をチェックすることで行った。

実際にレイアウト設計を行った学生の数は、2クラス合わせて20名程度となった。この演習に当てられた期間は約6週間である。結果的に、設計する回路の規模が大きすぎたため、実験期間中に設計を終了した学生はごくわずかであったが、夏休み期間中も熱心に作業を続けた学生も多く、最終的には14名が設計を終了した。14人分のレイアウトは、VDEC提供のNEL 0.5 μm の4.8mm角のチップにまとめて実装され、試作された。

4.2. 今後の課題

マスクパターンレイアウト設計を初めて実験に導入するに当たって、実験を指導する側としても、様々な試行錯誤が必要となった。本来は、アーキテクチャ設計からゲート回路設計、トランジスタ回路設計、レイアウト設計まで、設計階層を順に辿って実験を進めて行くのが理想的ではあるが、限られた実験期間の中で、これらすべてをカバーすることは、極めて難しいのも事実である。我々は、将来的にはこのような方針で、学生実験実験において総合的なLSI設計教育を進めていくことを考え

ている。今回はその準備として、まったく経験のない学生を対象に、どこまでレイアウト設計が限られた時間のなかでできるかを確認する意味合いも含んでいる。実際、出来上がったレイアウトの中には、モジュールの形状、配置、信号配線がうまく工夫された、かなり質の高いものもあり、学生実験としても十分成立し得ることが確認できたと考えている。我々は、今後レイアウト設計だけでなく、ゲート・トランジスタ回路設計も取り入れ、より効果的なLSI設計教育を進める事を計画している。

5. まとめ

マイクロプロセッサを始めとして、すべてのデジタルLSIの設計開発を行う上で、あらゆる階層における設計技術について理解することは必要不可欠である。例えば、高位レベルのアーキテクチャ（データパス、制御方式）設計をする場合も、CMOS回路の動作原理、製造技術、レイアウト設計技術等の知識が十分備わっていなければ、実用的な設計はできない。LSI設計の最終段階であるレイアウト設計を体験することにより、LSI設計において最も重要な面積、パフォーマンス、消費電力等の関係を理解し、またLSI設計技術に総合的に触れる事によって、将来の技術者となる学生のこの分野に対する興味を引き付けることが十分期待できる。

2.2. CADソフトウェアの整備

平成8年度に導入されたCADシステム(表2.1)は、図2.4に示す全国地域拠点校にライセンスサーバを設置し、各大学の利用者が最寄りのライセンスサーバにおいて認証を行うことでCADツールが利用できるようなネットワークを利用した運用形

態となっている。ライセンス数はCADの項目ごとに500から1000程度のフローティングライセンスとなっており、全国の大学・高専において教育・研究目的に限り利用できるよう制限を行っている。

表2.1 導入された CADシステム

項目	用途	メーカー
Verilog HDLを用いた設計システム	Verilog HDLベースの入力、シミュレーション、論理合成、テスト生成	Cadence Design Systems, Inc.
VHDLを用いた設計システム	VHDLベースの入力、シミュレーション、論理合成、テスト生成	Synopsys, Inc.
自動配置・配線設計システム	マクロセルを含むセルベースの配置配線設計とバックアノテーション	Avant! Co.
会話型設計システム	会話型の回路図およびマスクレイアウト入力、設計検証、回路抽出、回路シミュレーション	Mentor Graphics, Co.
アナログ設計システム	アナログ機能・回路シミュレーション、回路図入力、レイアウト設計、設計検証、回路抽出	Cadence Design Systems, Inc.

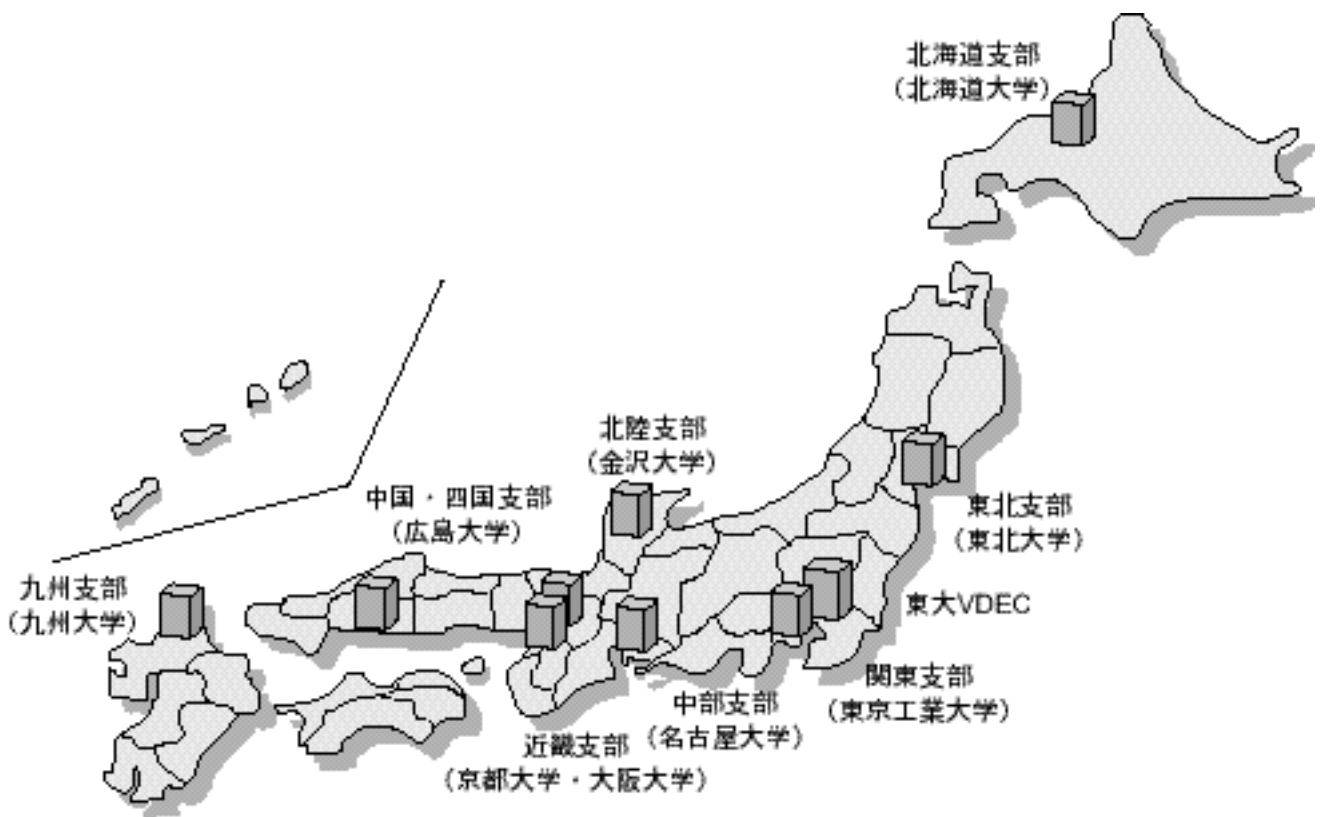


図2.4 全国地域拠点校

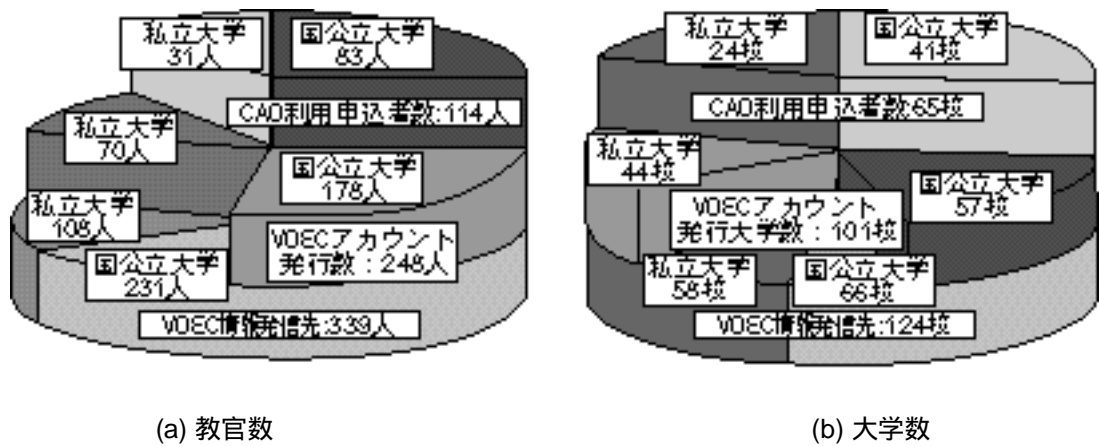


図2.5 ユーザ登録およびCAD利用申込状況

VDECのCADの利用、および後述のチップ試作の利用のためにはあらかじめユーザ登録が必要となっているが、これまでVDECに利用登録している全国教官数は図2.5の通りである。ここで「VDEC情報発信先」は情報取得のためVDECメールリス

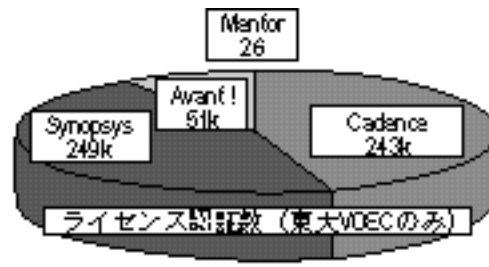
トに登録している教官数であり、「VDECアカウント発行数」はCADツール利用申込、計算機利用、チップ試作申し込みに必要なアカウント・パスワード発行教官数を示したものである。またCAD利用申込数は次項のCADツールの利用申込数であ

る。この他、チップ試作に必要な設計規則等の試作会社固有の機密情報にアクセスするための「秘密

保持契約」締結教官数はNELが47名、日本モトローラが44名、ロームが13名である。



(a) ツール種別申込状況



(b) ライセンスアクセス数

図 2.6 CADライセンス配布状況

【CADソフトウェア利用状況】

平成9年度のCADツールの配布状況を図2.6に示す。(a)は各CADツール種別毎のライセンス申込み数である。なお(b)には実際にVDECのライセンスサーバにアクセスしたトランザクション数を参

考までに示した。このようにライセンス申込み数ではツール毎にほぼ均等な申込みがあったが使用実績ではかなりの偏りが見られる。

【セミナー開催状況】

平成9年度には5月、8月および3月に、東京、大阪、金沢、広島の各地区でCADツール利用法・ライブラリー利用法のセミナーを企画実施し、9月と10月に分けテスター関係の技術セミナーを開催した。VLSI設計技術セミナーに関しては、米国

のVHDL Initiativeや我国の半導体理工学研究センターと協力して3月に東京と大阪で米国から派遣された講師によるハードウェア記述言語VHDLを軸とした設計技術セミナーを実施した。(表2.2, 2.3 参照)

表2.2 平成9年度のセミナー開催状況

講習項目	会場	開催日	参加人数	講習概要
Cadence 上流	東京大学	平成9年 5月19日-20日	42	論理シミュレータ Verilog-XL、配置配線ツール Call Ensemble の利用法説明、実習
Synopsys	東京大学	平成9年 5月21日-22日	42	論理合成ツール Design Compiler の利用法説明、実習
Avant!	東京大学	平成9年 5月23日	33	配置配線ツール Aquarius-XO の利用法説明
P2lib	東京大学	平成9年 5月24日	21	京大で開発されたライブラリ P2Lib を用いた設計フロー、Verilog-XL, Design Compiler, Call Ensemble の説明、実習
Compass	東京大学	平成9年 8月13日-14日	14	ロームチップ試作のための Compass ツール利用法講習、実習（ロームチップ試作者に限定）
ロジック テスト	東京大学	平成9年 9月1日-2日	17	東大に設置されたロジックテスト (ITS9000Exa: シュルンベルジェ社) の利用法、テストプログラム作成
EB	東京大学	平成9年 10月30日	10	東大に設置された電子線プローバ (IDS9000ZM: シュルンベルジェ) の利用法説明、実習

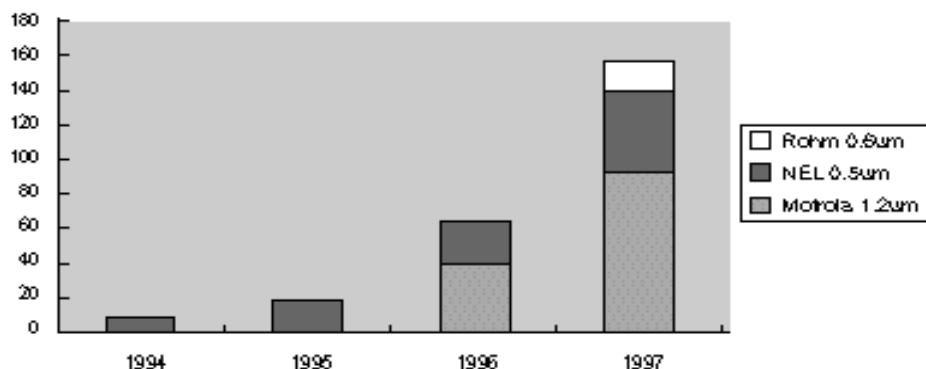
FIB	東京大学	平成9年 10月31日	10	東大に設置された回路修正用FIB (IDS2X: シュルンベルジェ) の利用法説明、実習
Cadence 下流	大阪大学	平成10年 3月24日-25日	24	配置配線ツール Cell Ensemble、論理シミュレータ Verilog-XL の利用法説明、実習
Cadence 上流	大阪大学	平成10年 3月25日-28日	19	レイアウトエディタおよび設計検証ツールの利用法説明、実習
Synopsys	大阪大学	平成10年 3月23日	24	論理合成ツール Design Compiler の基本的な利用法説明、実習
Avant!	金沢大学	平成10年 3月9日-10日	15	Aquarius-XO を用いた配置配線、フロアプラン、バックアノテーション
ライブラリ リ利用法	金沢大学	平成10年 3月11日	12	エクセレントデザイン社のツールを用いて九大で開発されたライブラリの利用法講習
Mentor	広島大学	平成10年 3月18日-20日	9	Mentor ツールを用いた回路図入力、アナログシミュレーションおよびアートワーク設計手法の説明、実習

表2.3 VHDLセミナー実施状況

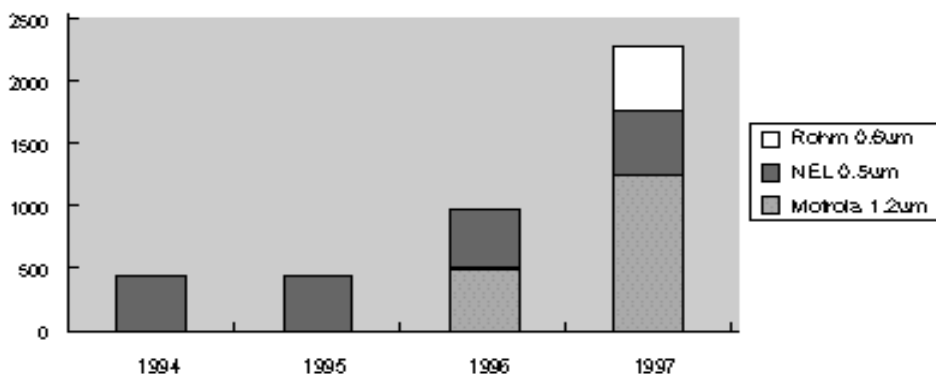
会場	開催日	参加者数	参加者の所属一覧
大阪大学	3月11日～13日	21名	広島大学、名古屋工業大学、奈良先端科学技術大学、大阪大学、京都大学、神戸大学、広島電気大学、九州大学、奈良高専、仙台電波高専、豊橋技術科学大学、日本マイクロシステムズ(株)
東京大学	3月16日～18日	28名	早稲田大学、名古屋工業大学、豊田工業高専、日本大学、桐蔭横浜大学、群馬大学、筑波大学、静岡大学、埼玉大学、仙台電波高専、東北大学、九州大学、東京大学、ソニー(株)、東芝(株)、東芝マイクロエレクトロニクス(株)、日本電気アイシーマイコンシステム(株)、NECユニバーシティー(株)

2.3. VLSIチップ試作状況

図2.7はVDECおよびそれに先行する通産省のパイロットプロジェクトでのチップ試作数の推移を示したものである。



(a)チップ数 / 設計されたチップの数



(b)チップ面積 / 設計されたチップの総面積

図2.7 VDECチップ試作実績

図2.7(a)は設計されたチップ数の増加傾向を示しており、図2.7(b)は設計面積の増加傾向を示している。平成6,7年度(1994,1995年度)のパイロットプロジェクトでは、ファウンドリはNEL1社であったが、平成8年度(1996年度)のVDEC発足後、日本モトローラが協力を開始し、平成9年(1997年度)からはこれにロームが加わったことで依然として増加傾向にある。

これらとは別にLPGA(レーザでプログラムするゲートアレイ)の試作も始まりつつあり、平成8年度から平成9年度にかけて、先駆的に3大学が設計試作をおこなっている。

以下、平成9年度のチップ試作概況、ライブラリ整備状況、新規ファウンドリーのためのチップ試作テストランの実施状況を述べる。

【平成9年度チップ試作概況】

平成9年度は表2.4に示す日程でチップ試作を行った。チップ試作の参加者は表2.5の通りであ

る。なお、試作の内容は、第5章のチップ試作者報告を参照されたい。

表2.4 平成9年度チップ試作日程

プロセス	設計締切	チップ納品
CMOS0.5 μ m 第1回	平成9年6月30日	平成9年12月10日
CMOS0.5 μ m 第2回	平成9年10月1日	平成10年2月5日
CMOS1.2 μ m 第1回	平成9年4月15日	平成9年10月3日
CMOS1.2 μ m 第2回	平成9年9月1日	平成10年2月5日

表2.5 平成9年度チップ試作申込者一覧

岩手大学	熱海 宏信	大阪大学	谷口 研二
宮崎大学	淡野 公一		藤岡 弘
京都大学	小野寺 秀俊	中央大学	榎本 忠雄
玉川大学	山本 廣介		高窪 統
桐蔭横浜大学	P.A.Palacios	長崎総合科学大学	田中 義人
金沢大学	北川 章夫	東京工業高等専門学校	大塚 友彦
九州工業大学	神酒 勤	東京工業大学	高木 茂孝
九州大学	安浦 寛人		回枝 博昭
	鎌田 清一郎	安藤 繁	
	黒木 幸令	桜井 貴康	
	村上 和彰	柴田 直	
	谷口 研二	浅田 邦博	
慶応義塾大学	天野 英晴		藤島 実
広島大学	H.J.Mattausch		小谷 光司
	岩田 稔	东北大学	佐藤 雅彦
	若林 真一		大見 忠弘
山形大学	高橋 一清		小柳 光正
芝浦工業大学	上田 和宏		中村 雅男
静岡理工科大学	彼多野 裕		樋口 龍雄
仙台電波工業高等専門学校	鹿股 昭雄	徳島大学	佐藤 雅彦
	浅見 誠治	奈良先端科学技術大学院大学	木村 晋二
	中林 操	日本大学	関根 好文
早稲田大学	松山 泰男	北海道大学	宮永 善一
	松本 陸		赤澤 正道
武蔵工業大学	服部 健雄		

【ライブラリ整備状況】

2.2節で述べたセンター提供のCADソフトの中に、ライブラリ生成ツールが含まれており、これを利用して平成8年度および平成9年度にわたってライブラリ整備事業を行った。現状では表に

示すライブラリが提供されており、未検証のものに関しては早急に検証を行い正式にVDECのライブラリとして設計者に提供していく予定である（表2.6参照）。

表2.6 プロセス毎のライブラリ整備状況

プロセス	名称	作成者	内容	状況
NEL0.5 μm	P2lib	京都大学 田丸・小野 寺研究室	<ul style="list-style-type: none"> ・ Synopsys用論理合成ライブラリ ・ Verilog-XL用シミュレーションライブラリ ・ CellEnsemble用配置配線ライブラリ 	試作チップの動作確認完了
	http://www.vdec.u-tokyo.ac.jp/DesignLib/P2lib/NEL05/index.html			
NEL0.5 μm	EXDlib	九州大学 安浦研究室	<ul style="list-style-type: none"> ・ Synopsys用論理合成ライブラリ ・ Verilog-XL用シミュレーションライブラリ ・ VHDL用シミュレーションライブラリ ・ AquariusXO用配置配線ライブラリ ・ CellEnsemble用配置配線ライブラリ 	一部セルは現在チップ試作により動作を検証中
	http://www.vdec.u-tokyo.ac.jp/DesignLib/Kyushu/index.html			
MOT1.2 μm	P2lib	京都大学 田丸・小野 寺研究室	<ul style="list-style-type: none"> ・ Synopsys用論理合成ライブラリ ・ Verilog-XL用シミュレーションライブラリ ・ CellEnsemble用配置配線ライブラリ 	
	http://www.vdec.u-tokyo.ac.jp/DesignLib/P2lib/MOT15/index.html			
MOT1.2 μm	EXDlib	東京大学 VDEC	<ul style="list-style-type: none"> ・ Synopsys用論理合成ライブラリ ・ Verilog-XL用シミュレーションライブラリ ・ AquariusXO用配置配線ライブラリ 	現在検証中
	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/MOT15/rule.html			
ROHM0.6 μm	EXDlib	東京大学 VDEC	<ul style="list-style-type: none"> ・ Synopsys用論理合成ライブラリ ・ Verilog-XL用シミュレーションライブラリ ・ AquariusXO用配置配線ライブラリ 	現在検証中
	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM06/rule.html			

【新規プロセスのためのチップ試作テストラン】

平成10年度から予定しているロームのチップ試作サービス開始に先駆けて、平成9年度にセルライブラリの整備、設計手法の整備のためのテストランを実施した。テストランは表2.7に示す日程で行われた。本テストランの参加者および試作内

容は表2.8, 2.9に示すとおりである。なお、本テストランの試作内容に関しては第5章チップ試作者報告も併せて参照されたい。

表2.7 ロームテストラン日程

日 時	内 容
平成9年7月2日	ローム本社においてテストラン参加者の顔合わせおよび試作の概要説明
平成9年7月14日	Compass 用シミュレーション、合成ライブラリの受領、各設計者への配布
平成9年8月8日	設計規則、HSPICEパラメータファイル受領、各設計者への配布
平成9年 8月13、14日	東大VDECにて、Compass社(現Avant!社)PathFinder ツール利用法講習会 開催
平成9年10月	EXD社ライブラリジェネレータを用いたシミュレーション、合成配置配線用セル ライブラリの公開
平成9年 11月～12月	ローム社にてCompass社ツールによる設計データのフィジカルデータ張り込み作 業、GDSIIデータへの変換作業
平成10年 1月20日～2月10日	東大でのEBデータ変換、凸版印刷でのEBデータ変換照合、ロームにおけるGD Sデータの検証
平成10年2月14日	最終EBデータ送付、凸版印刷にてマスク作成開始
平成10年2月20日～	ロームにてチップ試作

表2.8 ロームテストラン参加者

参加大学名	参加教員名
・東京大学	・浅田 邦博
・東北大学	・相澤 清晴
・豊橋技術科学大学	・平本 俊郎
・京都大学	・藤島 実
・大阪大学	・大見 忠弘
・広島市立大学	・小野寺 秀俊
・九州大学	・谷口 研二
・熊本大学	・今井 正治
	・川人 祥二
	・弘中 哲夫
	・越智 裕之
	・安浦 寛人
	・末吉 敏則

表2.9 ロームテストラン試作内容および使用ツール一覧

試作内容	使用ツール
<ul style="list-style-type: none"> ・汎用数値演算プロセッサ ・マルチプロセッサ用同期機構 ・新しいアーキテクチャに基づくCPUとアナログテスト回路 ・32ビットデータバスの5段シングルパイプラインプロセッサ ・16bits 3パス構成教育用マイクロプロセッサ ・ツール・ライブラリ比較用疑似非同期式マイクロプロセッサ ・機能可変型DSPプロセッサ ・上位ビット先行型ビットフロー演算回路 ・動画像動き検出用省メモリ型プロセッサアレイ ・新しいアーキテクチャのFPGA ・高機能シリアルインターフェース回路 ・CMOSイメージセンサー ・CMOSコンピュテーショナルセンサのためのテスト回路 ・セルライブラリ検証用TEG ・パラメータ取得用TEG ・配線容量抽出用TEG ・アナログスタンダードセルを含むTEGチップ ・素子のばらつきおよび基板ノイズ測定用TEG群 	<ul style="list-style-type: none"> ・Verilog-XL ・VSS ・DesignCompiler ・PathFinder ・AquariusXO ・Virtuoso ・SX9000 ・自家製レイアウトエディタ

VDEC

第3章 研究報告

3.1. 研究室構成員 (平成9年度)

鳳・藤島研究室

鳳 紘一郎	教授
藤島 実	講師
北澤 清子	助手
入田 隆宏	博士3年 (現在日立製作所)
福井 大伸	博士3年 (現在東芝)
杜 政勲	博士3年 (帰国)
辻田 達男	博士2年
天川 修平	博士1年
林 禎	修士2年 (現在住友金属)
菅井 清隆	修士2年
福岡 哲也	修士1年
大内 真一	修士1年
相原祐一郎	学部4年 (現在大学院鳳研究室)
小倉 誉之	学部4年 (現在大学院西永研究室)
神田 浩一	学部4年 (現在大学院櫻井研究室)
入沢 準也	学部4年 (現在大学院榊研究室)
屋鋪 大輔	学部4年 (現在大学院高橋研究室)
リー・チューン・クイ	学部4年 (帰国)
中井 章雅	学部4年 (現在東京海上火災)
恐神 貴行	学部4年 (現在日本IBM)
野村 章子	学部4年
石井 幹彦	研究員 (日立製作所)

喬 健	博士1年
山下 高廣	博士1年
小松 聡	修士2年
渡部 亮太	修士2年 (現在 松下通信工業)
瀬戸 謙修	修士1年 (現在カリフォルニア大学パークレー校へ留学中)
根塚 智裕	修士1年
小宇羅 寛	学部4年 (現在大学院平本研究室)
田中 洋介	学部4年 (現在大学院田中(英)研究室)
浜田 玲子	学部4年 (現在大学院田中(英)研究室)
星野 将史	学部4年 (現在大学院浅田研究室)
向井 景洋	学部4年 (現在大学院喜連川研究室)
三田村 健	受託研究員 (日産)
張 明	研究員 (帰国)
宋 義男	研究員

平本研究室

平本 俊郎	助教授
更屋 拓哉	技官
施 毅	外国人研究員
エリザベト・オルシエ	外国人研究員
アマリア・ガルニエ	外国人研究員
トラン・デュエト	博士2年
石黒 仁揮	博士2年
高宮 真	博士1年
斎藤 健一	修士2年 (現在ソニー)
向山 俊和	修士2年 (現在東芝)
犬飼 貴士	修士1年
間島 秀明	修士1年
安田 有里	学部4年 (中央大学)

浅田・池田研究室

浅田 邦博	教授
池田 誠	講師 (平成9年1月から)
鄭 若彤	助手 (平成8年8月から)
鈴木 真一	技官
青柳 稔	博士3年
秋田 純一	博士3年 (現在金沢大学助手)
伊藤 浩	博士3年
三堂 哲寿	博士2年

羽路研究室

羽路 伸夫 助教授

(横浜国立大学院工学研究科の羽路研究室にて研究)

小谷研究室

小谷 光司 助教授

(東北大学工学部の大見研究室と共同で研究)

家田研究室

家田 信明 客員教授

(NTTエレクトロニクス㈱)

1. ストールフリー・スーパーパイプラインを有するマイクロプロセッサ

藤島実, 鳳紘一郎, 入田隆宏, 小倉誉之

我々は, ワンチップ超並列システムの構築に向け小面積, 高性能なマイクロプロセッサの設計を行っている. ハードウェア量を増加させることなく, マイクロプロセッサのスループットを向上させるにはスーパーパイプラインアーキテクチャが効果的である. しかし, 従来の回路では前後の命令に依存関係がある場合, パイプラインのストールが生じ, スループットの低下を招くという欠点があった. そこで, この問題を解決するため, ALUのクリティカルパスである桁上げ信号の伝播を行うことなく 桁上げ信号を保存したまま次の命令を実行可能なマイクロプロセッサの試作を行った. その結果, 従来と比べ, 約10%高速になることが分かった.

2. 極限集積システムのハード・アーキテクチャ

鳳紘一郎, 藤島実, 韓小逸, 杜政勲, 恐神貴行

集積回路において, 集積度の向上に伴い, システムレベルでの信頼性を確保することは重要な課題となる. 我々は, これまで, 今後使用が予想される $0.1\ \mu\text{m}$ レベルの微細コンタクトに高密度電流を流した際の抵抗変化を調べることにより, その劣化メカニズムを調べてきた. また, 大規模集積回路において高密度集積化の妨げとなるのは発熱であるが, その発熱の大きな割合を占めるクロック供給系の問題を解決するため, レーザによりチップ全体にクロックを供給する光クロック回路の試作を行った. 本年は, 引き続き光クロックを用いた高密度同期システムの研究を行うと共に, 集積化の限界を決める発熱の内でデバイスにおける局所発熱現象に注目し研究を進める.

3. ショットキー接合ソース・ドレインを用いたSOI-MOSFET

鳳紘一郎, 藤島実, 福岡哲也, リーチュンクイ

pn接合を用いた従来のMOSFETに比べ, 急峻なショットキー接合を用い短チャネル化に向けたMOSFETの研究を行っている. 昨年は, ドレイン電流のショットキー障壁高さ依存性を等価回路モデルから求め, 障壁高さを $0.2\ \text{eV}$ 以下とすると, オン電流は寄生抵抗が十分に抑制された従来型MOSFETと同等になることを示した. 実験的には, 障壁高さがシリコン禁制

1. Microprocessor with Stall-Free Super Pipeline

M. Fujishima, K. Hoh, T. Irita, T. Ogura

We are studying high-performance yet area-efficient microprocessor aiming at embedded massive parallel system. Super-pipeline architecture is effective in order to improve the throughput of the microprocessor without increasing hardware. The conventional super pipeline, however, has the disadvantage that pipelines stall and the throughput declines when adjacent operations have dependency. To overcome this problem, we have fabricated the microprocessor which enables the stall-free execution even when operations have dependency by means of conserving carry signals, the propagation of which is the critical path of ALU.

As a result, about 10% improvement in respect of calculation speed has been achieved compared with the conventional microprocessor.

2. Hard Architecture for Ultimate Integration System

K. Hoh, M. Fujishima, X.Y. Han, C.H. Du, T. Osogami

The issue of system reliability becomes important as integration density of VLSI is increasing. We have studied the origin of degradation of $0.1\text{-}\mu\text{m}$ -sized contact, future utilization of which is expected, by means of investigation of the change of contact resistance when high-density current flows. We have also fabricated a laser clocking system where the clock is distributed to an entire chip by exposure of modulated laser in order to reduce the conventional heating related to electrical clock distribution which declines the density limit of VLSI. This year, we will continuously pursue the hardware architecture with ultimate integration systems using the laser clocking and focusing on local heat problems at individual devices which also determine the integration limit.

3. SOI-MOSFET with Schottky-Junction Source and Drain

K. Hoh, M. Fujishima and T. Fukuoka, C.K. Lee

We study the Schottky MOSFET which is suitable for channel reduction due to abrupt junctions compared with a conventional MOSFET with pn junctions. Last year, we derived the barrier-height dependence of its drain current using the equivalent circuit model and showed that the turn-on current would be comparable to the conventional MOSFET with fully sup-

帯幅のほぼ1/2となるTiSi₂をソースおよびドレイン電極に用いたチャンネル長0.5 μm ~ 20 μmのMOSFETをSOI基板に試作し、ゲート電極の材質を変えることにより、p型、n型双方の動作が可能であることを確認した。今後はシリサイド材料の検討による低障壁化を行うと共に、微細化に伴う諸問題について検証する。

4. 半導体デバイスにおけるカオスと集積カオス生成回路

鳳紘一郎，藤島実，北沢清子，入田隆宏，辻田達男，相原祐一郎，入沢準也

近年，カオスを利用した新しい概念の情報処理システムを構築する試みがなされている。非線形で複雑なカオスを実用に結び付けるには，理論解析だけでなく，試行実験が必要である。我々は構成のシンプルな3種のカオス生成回路を考案し実験を行っている。

(1) バイポーラトランジスタ・キャパシタ対

これまで進めてきた動作機構の解明を細部まで達成し，またボルツマンマシンへの応用を目指した白色ノイズ発生源の試作・実験を行なった。

(2) 写像生成モジュール

CMOS回路の非線形I-V曲線を反復写像関数として用いるカオス生成モジュールを試作し実測を行うとともに，このモジュールを2つ結合したときの相互の干渉を測定した。

(3) CMOSカオスマルチバイブレータ

上記2つは外部励起形で(1)は周波数が動作モードを左右するパラメータであり(2)は外部クロック周波数に影響されずに動かせるという特徴をもつが，さらに自励形として，CMOSマルチバイブレータを利用した自励発振カオス生成回路の設計試作を行っている。今後はそれぞれの特徴を生かした用途を検討し，実験による知見をもとに集積カオスシステムの構築を目指す。

5. マイクロヒューマンセンサーシステム

藤島実，鳳紘一郎，野村章子，相原祐一郎，屋鋪大輔

我々は，付加価値の高い集積回路の1つとしてマイクロセンサーシステムの研究に取り組むことにより，人の日常の活動状況を，測定していることを意識されることなくモニターし，健康管理などを行うヒューマンセンサーシステムの実現を目指している。マイクロヒューマンセンサは，集積回路の特徴を活かし，超小型で生体情報をモニターするシステムを構築できるものとして，集積回路に新たな利用価値を生み出す可能性を秘めている。昨年は，このような方針から低電圧アナログアンプ，情報圧縮回路，メモリーをワンチップに組み込むことにより，長時間の測定およびデータの蓄積を行な

pressed parasitic resistance when the barrier height was less than 0.2 eV. We also fabricated the Schottky MOSFETs with 0.5-μm-to-20-μm gate and titanium-silicide source and drain whose barrier height is about a half of the band gap of silicon and confirmed that they operated as both p- and n-type MOSFETs by selecting the gate materials. Now we are planning to reduce the barrier height by examining silicide materials and study various problems caused by channel reduction.

4. Chaos in Semiconductor Devices and Integrated Chaos Generator

K.Hoh, M.Fujishima, S.Kitazawa, T.Irita, T.Tsujita, Y.Aihara and J.Irisawa

We have developed three types of chaos-generator circuits with simple composition as the following.

(1) Bipolar-transistor-capacitor pair

The detailed mechanism of chaos generation has been clarified. Using this element, we have designed and fabricated a white-noise generating circuit which is suitable for the Boltzmann machine.

(2) Map-function module

We have newly developed a module circuit which realize the chaos-generating map function directly from the nonlinear I-V curve of a CMOS inverter. The change in the states of these modules was measured by connecting two such modules.

(3) CMOS chaos multivibrator

Chaos generators stated above are both externally driven. In (1), the driving frequency is a significant parameter which determines the state of the circuit, while in (2), the module can be operated independently of the external clock frequency. Besides these, we have developed a self-oscillating circuit based on the CMOS multivibrator. We have fabricated it in a CMOS full custom chip and are going to evaluate its operation. Through these experiments, we are going to construct novel information-processing systems which utilize chaos and similar nonlinear dynamics.

5. Micro Human Sensor System

M. Fujishima, K. Hoh, A. Nomura, Y. Aihara and D. Yashiki

We aim at realization of the human sensor system which monitor human daily activities without being noticed and manages body health by studying a micro sensor system as one of sophisticated integrated circuits. The micro human sensor has the potential that appends the new utility value to the conventional integrated circuits because it will realize the micro miniaturized monitoring system of unconscious body information. To realize our policy, last year, we fabricated the micro long-time heart-rate logger where a low-voltage analog amplifier, a data compression circuit and a memory are built in. This year,

うマイクロ心拍モニターの試作を行った。本年は、温度、湿度などの情報を多角的に捉え、必要な情報を選択的に貯えることの可能なチップの設計を行う。

6. 単電子エレクトロニクスの応用

藤島実，鳳紘一郎，福井大伸，天川修平，神田浩一，中井章雅

我々は、単電子トンネリングの応用を目指した研究をおこなっている。昨年は、シリコン単電子メモリーの電流センス用トランジスタを単純な抵抗で置き換え、メモリー効果発現の条件について調べると共に、以前より開発を進めている単電子回路シミュレータESSに、定常解析のための新しいアルゴリズムを組み込んだ。また、単電子トランジスタのデバイスモデルを加えたSPICEベースのシミュレータ SET-SPICE を作製し、シミュレーション時間の大幅な短縮に成功した。SET-SPICEは単電子トランジスタとCMOSの融合回路の研究にも有効である。現在は、単電子トランジスタとメモリーの試作実験にも着手している。

weareplanningtofabricatethemoresophisticatedsensor which obtainsmultilateralinformationsuchastemperature,humidity, etcandstoresrequiredinformationselectively

6. Applied Single Electronics

M.Fujishima, K.Hoh, H.Fukui, S.Amakawa, K.Kanda, A.Nakai

Wehavebeeninvestigatingapplicationsofsingle-electrontunnelingphenomena. Westudiedoperationalconditionforasilicon single-electron memory using a simple ohmic-resistor model for the sense transistor. With respect to general-purpose simulators, we added a new algorithm for steady state analysis to our single-electron circuit simulator ESS. In addition, we also developed a SPICE-based high-speed simulator named SET-SPICE. We devised a device model of a single-electron transistor and integrated it into SPICE. As a result, simulation gained dramatic speed. SET-SPICE is also useful for studying SET-CMOS integrated circuits. Preliminary experiments on fabrication of single-electron transistors and memoriesareunderway.

浅田・池田研究室

1. MOSデバイスと配線の検討

浅田邦博, 伊藤浩, 青柳稔, 三堂哲寿, 三田村健

微細化するMOSデバイスおよびそれらを相互接続する配線に関してその物理特性を理論実測の両面から検討している。近い将来での応用が期待されるSOI MOSデバイスに関しては、その構造パラメータを抽出する手法として、サブスレッショルド領域における電気的特性の測定と数値計算シミュレータを用いた検討を行なっている。

また、マイクロマシンデバイスにおいては、マイクロ共振子の構造設計と解析をCADシステムを用いて行ない、マイクロ共振子のSPICEモデルを作成した。また、その実験値との比較をも行った。また集積回路に使用される

配線の特性について理論および実測を用いた検討を行なっている。まず形状に起因する容量特性を抽出する手法を提案し、また高周波動作時における誘導現象の解析を行なっている。信頼性の観点からは、アルミニウム配線でのストレスマイグレーションのメカニズムを、実験および理論検討を通して評価している。

2. 論理合成および回路方式の検討

浅田邦博, 鈴木真一, 喬健, 山下高廣, 瀬戸謙修, 宋義男

ディープサブミクロン領域のLSIで重要度を増している配線について、配線長の確率分布を用いて最適化する評価関数を見つけ、配線を考慮した論理合成アルゴリズムを開発する。

FPGAにおいて、アーキテクチャに依存する論理合成としてグラフに基づく合成手法を考案している。組合せネットワークを研究対象として、多段論理の記述、回路網の最適化、変数の順序、他輸出分解法などの問題の解決を目指している。

CPL回路の信号増幅にラッチ型センスアンプをブースタとして用いた回路を提案する。パストランジスタの途中にセンスアンプを使うことで伝達中の微小な電位差を増幅する回路方式を採用し、遅延時間を減少と消費電力の削減を狙う。

1. Characterization of MOS Devices and Interconnections

K. Asada, H. Ito, M. Aoyagi, T. Mido, and T. Mitamura

We have been studying characterization of MOS devices and interconnects for deep submicron VLSI from the theoretical and experimental view. As a future device, we have been extracting geometrical parameters of SOI MOS devices using sub-threshold characterization and numerical simulation.

And we designed a micro resonator using a MEMS specific CAD system and created SPICE models. We evaluated the SPICE models by comparing with measurement results of fabricated micro resonators.

For characterizing metal interconnects in VLSI, we proposed a test structure for extracting capacitance matrix in multi-layer interconnects. We have estimated of inductive effects in high frequency operation. We have been estimating the reliability of aluminum interconnects by analyzing the mechanism of stress-induced migration. We established fundamental theory for stress-induced migration and now we are discussing the validity of the theory by comparing experimental results.

2. Studies on Logic Synthesis and Circuit Technique

K. Asada, S. Suzuki, J. Qiao, T. Yamashita, K. Seto, and E.N. Song

In Deep Sub Micron LSI, wiring is becoming more and more important. We investigated the influence of wiring and using wire length distribution, we find cost function and logic synthesis algorithm considering wiring effects.

We are trying to find a graph-based (e.g. ROBDDs) approach which is more efficient in space as well as in time, and supposed to work on a n-input m-output combinational network. We try to get better solutions about the problems such as the representation for multi-level network, optimization, variable ordering, multiple-output network decomposition etc. Our objectives is to develop a architecture-specific procedure for Look-Up Table based FPGAs.

We have studied a new pass transistor logic with sense amplifiers in the middle of the transistor chain to recover signal swing, so that a sense amplifier can detect a small signal voltage faster. Since this circuit requires multi-phase clocking, we have also studied on the optimum timing of the clocks and clock generation circuits.

3. 画像センサの検討

浅田邦博, 秋田純一, 渡部亮太, 根塚智裕, 張明

4進木構造を用いて画像を領域分割し, 値が0である領域をまとめて読み飛ばすことで, 画像信号のデータ量の圧縮が可能となる一種の符号化機能を持つイメージセンサを提案した. 本方式では動画像のフレーム間差分等において読み飛ばす領域が多い場合には, ラスター走査方式に比べ1/10以下に符号圧縮が可能であることを示した. センサアレイの外部にデコーダを置いたランダムアクセス方式を用い, この走査方式を面積効率良くハードウェア上に実現し, 2値画像センサ, 2値画像のフレーム間差分を出力する画像センサおよびオンチップA-D変換機能を有する多値画像センサのチップ試作を行った.

光電変換回路の検討に関しては, 広いダイナミックレンジの入力に対応するために, 周囲の画素の光電流の大きさによって, 画素毎に感度を変化させる方式を提案し, 検討を行った. この方式によって, 従来の線形回路や対数変換回路に比べて, 広いダイナミックレンジの画像に対してよりコントラストの高い変換が可能であることを示した.

4. プロセッサシステムの高速化に関する検討

浅田邦博, 池田誠, 鄭若彤, 小松聡

チップインタフェースにおける消費電力削減方式として, 適応型コード帳符号化方式の提案を行ない, シミュレーションにより, 信号遷移頻度の削減率の検討を行った. また, 符号化/復号化チップを試作し, 消費電力, 遅延時間の検証を行った.

チップインターフェースを含むバスにおける消費電力, スループットの検討, 評価を行う場合, バス中のデータの流れを把握する必要がある. ここでは, マイクロプロセッサのデータバスに流れるデータを統計的に処理し, データを統計的性質に応じていくつかの状態に分類できる事を示した. さらに, これらの状態を組み合わせることで, 適応型符号化方式の評価に適した疑似バスデータを生成することが出来た.

従来の終了検出加算器を部分加算ステージとキャリー伝搬ステージに分けて構成した終了検出型パイプライン加算器を用い, 疑似非同期マイクロプロセッサの試作検証を行った. この手法により, プロセッサのスループット向上を達成したことを示した.

3. Studies on Image Sensor

K. Asada, J. Akita, R. Watabe, T. Nezuka, and M.Zang

We have proposed an image signal scan method treating the image signals with a tree structure to skip the redundant step for the blocks of 0. We have shown that this method has an about 1/10 compression ability in case of the image containing much pixels of 0, such as the inter-frame difference of moving pictures. An effective design of the circuit for the scanning method is realized by putting the address decoder and the automata for scanning control outside sensor array. We have designed a binary image sensor, a binary inter-frame difference image sensor and a gray scale image sensor with on-chip A-D conversion.

In the study on the pixel circuit for image sensor, we proposed a photo-electronic conversion circuit with an adaptive sensitivity controlled by the photo current of neighborhood pixels. We have shown that this circuit can convert the images clearly for wide intention range, against the conventional linear and logarithmic conversion.

4. Studies on High-Speed Processors

K. Asada, M. Ikeda, R.T. Zheng, and S. Komatsu

We have proposed an adaptive code-book encoding method for reducing power dissipation in chip interface. We have researched on transition reduction of bus activity by simulation. An encoder / decoder chip has been designed for evaluating power dissipation and delay time.

To evaluate power reductions and throughput in buses including chip interface, accurate data flow models are indispensable. We have analyzed a bus data stream in microprocessors statistically and classified data flows into several states according to the statistical characteristics. From this analysis, we have generated pseudo bus data stream models for evaluating bus data coding schemes.

We have implemented a pseudo-asynchronous microprocessor in which a pipeline completion detection adder is utilized. The adder is composed of 2 stages that completion of adding operation can be predicted. As a result, the microprocessor runs at a higher throughput level than previous ones.

平本研究室

1. サブ0.1 μm MOSFETの設計指針とモデリング

平本俊郎, 高宮 真, 安田有里

VLSI MOSFETのゲート長が0.1 μm をきる領域では, 電源電圧も1V以下に低下し, 高速性と低消費電力化の両立が従来以上に厳しく要求される. ところが, 各種の2次元効果(短チャネル効果)や寄生抵抗等により, 高性能デバイスを実現することはますます困難になりつつある. 本研究では, サブ0.1 μm MOSFETの実用化に向け, そのデバイス設計指針やデバイス物理に関するVLSIデバイス微細化の研究を行っている. 特に, 将来の超低消費電力回路向けに, 0.5Vという低電圧動作に適したデバイス設計の最適化と, 正確なモデリングを行っている. また, 将来の低消費電力として期待されている完全空乏型SOI MOSFETの動作を解析的手法とシミュレーションで分析し, 低消費電力のメリットを維持したままSOI MOSFETをスケールする指針を明確に提示した.

2. 不純物の統計的ゆらぎを考慮したMOSFETのスケールリング

平本俊郎, 高宮真, 安田有里

デバイスの微細化に伴い, チャネル空乏層中の不純物数が減少するため, 統計的な不純物数の揺らぎによりデバイスのしきい値電圧ばらつきが増大する. 本研究では, チャネル不純物分布をレトログレード型にすることにより, 統計的揺らぎによるしきい値電圧ばらつきが原理的に抑制できることを提案し, さらに, しきい値電圧ばらつきが常に一定になるような新しいMOSFETのスケールリング指針を示した.

3. 0.1 μm SOI MOSFETの試作と新評価法

平本俊郎, 更屋拓哉, トラン デュエト, 向山俊和, 犬飼貴士

大学の装置にて, 0.1 μm SOI MOSFETを実際に試作し, その動作を確認した. また, 低消費電力デバイスで重要なドレイン電圧1V以下のインパクトイオン化を評価する新しい方法を提案した. これにより, 低電圧でのデバイス物理を詳細に評価している. 一方, チャージポンピング法でSOI構造の酸化膜界面を正確に評価する新手法を開発した. パルスバイアス電圧をボディに印加し形状効果を抑制する. また, 短チャネル効果を効果的に抑制できるGate-All-Around (GAA)デバイスを, 異方性エッチングを用いたSi極微細構造作製プロセスで作成する方法を提案した. このプロセスでは, 細線密度が従来法の2倍になるので, 電流駆動力が倍増する. デバイスを実際に試作し, 短チャネル効果抑制を実証した.

1. Design and Modeling of Sub-0.1 μm MOSFETs

T. Hiramoto, M. Takamiya, and Y. Yasuda

When the size of VLSI devices become less than 0.1 μm , the supply voltage will be less than 1 V, and both high speed and low power will be strongly required. However, it will become more difficult to attain both of them because of short channel effects, parasitic resistances, and so on. In this study, design methodology and physics of very scaled MOSFETs are addressed for the future sub-0.1 μm devices. In particular, the design, optimization, and modeling of super low power devices operating at 0.5 V are being studied. The scaling scenario of fully depleted SOI MOSFETs to the deep sub-0.1 μm regime has been also studied by analytical way and two-dimensional devices simulation.

2. Statistical Fluctuations of Impurity Number and Device Scaling

T. Hiramoto, M. Takamiya, and Y. Yasuda

As the device size is reduced, then number of the impurity atoms in depletion layer decreases and thus, the fluctuations of threshold voltage increase due to the impurity fluctuations. In this study, we showed that the threshold voltage fluctuations in scaled MOSFETs are suppressed by the retrograded channel doping and proposed a new scaling method of MOSFETs in which the threshold voltage fluctuations are kept constant.

3. Fabrication of 0.1 μm SOI MOSFET and Characterization

T. Hiramoto, T. Saraya, T. N. Duyet, T. Mukaiyama, and T. Inukai

The 0.1 μm SOI MOSFETs have been fabricated using the university equipment and their operations have been confirmed. The new measurement technique is proposed to measure sub-band gap impact ionization below drain voltage of 1V, which is very important for very low power MOSFETs. We have also developed a new characterization technique to measure the interface states in SOI MOSFET by the charge pumping method, in which the pulsed bias is applied to the body to suppress the geometric dependent components. We proposed the new technique to fabricate gate-all-around MOSFETs using anisotropic etching, in which the channel density is doubled to increase the drive ability. The devices were fabricated and their operation was demonstrated.

4. シリコン単一電子デバイスに関する研究

平本俊郎, 石黒仁揮, 斉藤健一, 施毅

将来のVLSIデバイスへの応用を考慮して, Siにおいて極微細構造を作製し, 単一電子現象の物理の探究を行っている. 単一電子現象は, 化合物半導体や金属においてよく研究されているが, 我々は当初からシリコンを材料に用いVLSIへの整合性を考慮したアプローチをとってきた. 現在ではシリコンナノデバイスは広く研究されるようになったが, 我々の研究はその先駆的な研究のひとつに数えられる. まず, リソグラフィに依らず微細なSi細線構造(線幅10nm以下)を作製するプロセスを開発した. SOI基板に異方性エッチングと選択酸化を施すことにより, SOI膜厚に応じた線幅の細線構造が作製される. この構造をチャネルとする極微細MOSFETを試作し, 室温においてクーロンブロック振動の観測に成功している. また, シリコン微結晶をフローティングゲートとする単一電子メモリを試作し, 室温において明瞭なメモリ動作(ヒステリシス特性)を観測した. 6桁以上のオン/オフ比が得られ, 保持時間は数時間以上である. シリコン微結晶中の界面準位や格子欠陥により保持時間が極めて長くなっていることを世界で初めて明らかにした.

5. 単一電子デバイスおよび微細MOSFET中の量子効果

平本俊郎, 石黒仁揮, 間島秀明

上記方法で試作したポイントコンタクトMOSFETは, 低温で単一ドットのクーロンブロック特性を示し, しかも負性抵抗や微細構造も観測される. これは, ドット中の量子効果が特性に影響を及ぼしているためであることを明らかにし, 測定結果からドット中の量子準位を求めることに成功した. 一方, 通常の微細MOSFETの室温における量子効果の影響についても評価を進めている.

4. Silicon Single Electron Devices

T. Hiramoto, H. Ishikuro, K. Saito, and Y. Shi

Fabrication and physics of silicon single electron devices have been extensively studied for the future VLSI device applications. Although the single electron devices were studied in metals and III-V semiconductors, we adopt silicon as a material to consider the compatibility with the VLSI process. Our research work is recognized as one of the pioneering works in this field. A new fabrication process has been developed to fabricate silicon nanostructures smaller than the lithography resolution. The size is determined by the SOI thickness by anisotropic etching. MOSFETs fabricated using this technique show the Coulomb blockade oscillations at room temperature. We also fabricated the single electron MOS memories with silicon nano-crystals as floating gates. The memory effect is observed at room temperature. The on/off ratio is more than million and the retention time is longer than several hours. It is clarified for the first time that the interface states and defects in silicon nano-dots make the retention time longer than expected.

5. Quantum Mechanical Effects in Single Electron Devices and Scaled MOSFETs

T. Hiramoto, H. Ishikuro, and H. Majima

The point contact MOSFET fabricated using above method shows not only the Coulomb blockade oscillations but also the negative differential conductance and fine structures. This is due to the quantum mechanical effects in the dot, and the quantum energy levels are derived from the experimental data. The quantum effects in scaled MOSFET at room temperature are also being studied.

羽路研究室

1. 液相堆積(LPD)法によるSiO₂薄膜

羽路伸夫, 荒川太郎, ポーンケオ・チャントマリ, 村上嘉史, 笠川猛

液相堆積(LPD)法は飽和珪フッ化水素酸水溶液において, 400℃程度に加熱するか, 水で希釈することにより化学平衡をずらせて, 浸漬した基板上にシリコン酸化膜を堆積させる方法であり, 低温プロセスとして有効である. フッ素を多く含有するので誘電率は小さく(比誘電率~3.2), 層間絶縁膜に適している. また, ゲート酸化膜として用いるには界面準位密度や電子トラップ密度が大きいが, 堆積前処理としてシリコン基板を400℃の酸素中で熱処理をし, 堆積後にも同様の処理をすることにより改善される.

2. ACコンダクタンス法による界面準位の評価

羽路伸夫, 荒川太郎, 大貫哲弥, 西尾正裕

本研究では, ロックインアンプを用いて100Hz~1MHzの周波数範囲において, Si MOSダイオードの界面準位密度および捕獲断面積を調べている. X線を照射した試料において, このような電氣的測定法によっても2種類のトラップを分離測定できる. これはPb₁, Pb₂センターに対応していると思われる. 電氣的ストレスによっても同様のトラップが観測された. さらに, 5nm程度の薄膜についても調べている.

3. 高誘電率薄膜(プラズマ励起PLD法)

羽路伸夫, 荒川太郎, 新居尚憲, 渡部圭一

本年よりスタートした研究である. パルスレーザー蒸着法(PLD)はセラミック材料の蒸着に適しているが, 液滴などが表面に付着し, また, 酸素雰囲気中でも酸素欠損が大きいなどの欠点を持つ. そこで, 酸素プラズマによるプラズマ励起PLD法を開発し, このような欠点を克服した. NbドープSTO基板上にBaSrTiO₃薄膜をプラズマ励起PLD法により堆積し, 表面の平坦性や絶縁性の改良などを確認した.

1. Liquid Phase Deposited Silicon-Dioxide Films

N. Haneji, T. Arakawa, P. Chantamary, K. Murakami, and T. Kasagawa

Liquid Phase Deposition (LPD) is a method to deposit silicon-dioxide films onto Si Substrates at room temperature by shifting the chemical equilibrium of saturated H₂SiF₆O₄ solution. For shifting the balance, water is added to dilute or temperature is raised to 400℃. Because LPD is the low temperature process, and the deposited films contain F (several %) and its dielectric constant is low, LPD films are suitable for the inter-layer insulators in VLSI. As the gate insulator films, the density of interface states and carrier traps are large compared to the thermal oxidized films, however, pre-deposition annealing and post-deposition annealing at 400℃ in oxygen ambient are necessary to improve the characteristics.

2. Evaluation of Si/SiO₂ interface by AC conductance method

N. Haneji, T. Arakawa, T. Ohnuki, and M. Nishio

In this study, the interface trap density and capture cross section are evaluated using AC conductance method, the frequency range of which is from 100Hz to 1MHz. In the X-ray irradiated MOS diodes, two kinds of traps are separately measured, and they are considered to be Pb₁ and Pb₂ centers. These centers were used to be measured separately by ESR technique. The similar results were obtained for the electrically stressed samples.

3. Ferroelectric Thin Films (Plasma Assisted PLD)

N. Haneji, T. Arakawa, H. Arai, and K. Watanabe

This project begins from this year. Pulse laser deposition (PLD) is ineffective to ceramic materials, but droplets and particles stick on the sample surface, and oxygen efficiency is still not enough even in the oxygen ambient. So, we developed the plasma assisted PLD system using oxygen plasma. BaSrTiO₃ thin films were deposited on Nb-doped STO substrates by this system, and they showed the good surface morphology and the electrical properties.

4. 酸化物超伝導薄膜のアドミタンス異常 羽路伸夫, 荒川太郎, 竹内麻美, 毛利重信

酸化物超伝導体の中でも, $\text{La}_{2-x}\text{Sr}_x\text{CuO}_4$ は構造が比較的簡単であり, STO 基板上に c 軸配向してエピタキシャル成長する. 本研究では, スパッタ法及びパルスレーザー蒸着法により試料を作成し, 容量を測定したところ, STO 基板のみの容量より大きな値が観測された. これは, c 軸に平行な CuO_2 伝導面について, 分数量子ホール効果により説明することができる.

4. Anomalous Admittance of Ceramic Superconductive Films

N. Haneji, T. Arakawa, A. Takeuchi, and S. Mohri

LaSrCuO has the simple structure and the c -axis oriented films can be grown on the STO substrates epitaxially. In this study, the samples were prepared by sputtering or pulse laser deposition (PLD). The capacitance of LaSrCuO films and STO substrates was greater than that of STO substrates only. This result is explained by considering the fractional quantum Hall effects.

小谷研究室

1. 極低消費電力A/Dコンバータの研究

小谷光司, 大見忠弘

極低消費電力A/Dコンバータの研究を行っている。定期的な貫通電流を一切流さないダイナミックラッチ型の比較器を用いて低消費電力化を実現した。さらに、しきい値のばらつきによるオフセット電圧の揺らぎを補償する電荷転送型の増幅器を用いて高精度化を実現した。試作したA/Dコンバータ回路は、 ± 4 mV以下の微分非直線性誤差と、比較器当たり、1 MS/s当たり4.3 μ Wの消費電力を示した。

2. 瞬時応答を可能にするビットフロー型データフローパスミニマムプロセッサ

小谷光司, 今井誠, 野沢俊之, 藤林正典, 大見忠弘

「柔軟な解釈」、「大枠の判断」、「直感による類推」といったしなやかな情報処理を得意とし、瞬時応答性を持った知的電子システムを実現する事が21世紀へ向けての最大の課題である。この目的のため、基本素子であるトランジスタの機能を飛躍的に向上させる四端子デバイス技術を確立した。四端子デバイスであるニューロンMOSトランジスタを用いることにより、論理演算機能を制御信号により瞬時に切り換えることが可能なFlexwareを実現した。さらに、現在のフォン・ノイマン型計算機のボトルネックを根本的に解消するデータフローパスミニマムアーキテクチャ、さらにそれを発展させ、「大枠の判断」をデジタルコンピュータの世界で実現するMSB先行ビットフローアーキテクチャを実現した。冗長数系を用いることにより、通常では下位からの演算である算術演算と、上位からの演算である比較演算が、共に上位からのビットフローにより実現できる。結果は上位のビットから出力されるので、判断が付いた時点で、下位の演算をストップすることが可能で、無駄な演算を省略することができる。まさに「大枠の判断」が可能となるのである。これらのオリジナル技術を発展させ、知的な電子システムの実現を目指している。

1. Low Power, High Accuracy A/D Converter

Koji Kotani, Tadahiro Ohmi

We have studied low power A/D converter. A very low-power A/D converter circuitry which consists of a capacitive-dividing reference-voltage generator and dynamic latch comparator has been developed. It operates in a purely dynamic mode, resulting in very low power consumption. In addition, in order to solve the problem of large offset voltage fluctuation in dynamic latch circuitries, we have introduced a charge transfer preamplifier in front of the dynamic latch, resulting in the realization of a high-accuracy and low-power comparator. Low differential non-linearity of less than ± 4 mV has been verified by the measurement on fabricated A/D converter test circuit, showing 8-bit resolution capability. Very low power operation at 4.3 μ W per MS/s per comparator has also been achieved.

2. Data Flow Path Minimum Processor for Real-Time Response Capability

Koji Kotani, Makoto Imai, Toshiyuki Nozawa, Masanori Fujibayashi, Tadahiro Ohmi

The most important issue, as we head toward the 21st century, is the development of a real-time responsive intelligent electronic system featuring human-like capabilities such as "flexible interpretation", "overall judgment" and "intuitive problem solving". For this purpose, a four terminal device technology which greatly enhances the functionality of the basic circuit element, the transistor has been developed. A new form of hardware, which we named "Flexware" because of the ability to alter its logic function in real-time through the application of external control signals, has been developed based on four terminal device technology employing the neuron-MOS transistor. A new "MSB-Priority Bit-Flow Architecture" which enables the performance of "overall judgment" in the digital computer world has been realized in conjunction with "Data-Flow-Path Minimum Architecture" which solves the bus bottleneck problem faced by present Von Neumann computers. Conventionally, arithmetic operations are computed beginning from the LSB while comparison operations are carried out from the MSB. Using redundant number systems, it is possible to perform both operations using the "MSB-Priority Bit-Flow Architecture". In this architecture, computation results are obtained MSB-first and further computation is immediately terminated once the judgment is delivered. Hence, no unnecessary computation of the lower bits is ensured. This bears a strong resemblance to "overall judgment". It is our objective to develop an intelligent electronics system through the extension of these original technologies.

3.3. 発表論文

1. 研究論文

(1) M. Aoyagi and K. Asada,

"Initial Stage of Stress-Induced Migration Phenomenon in Aluminum Interconnection on Semiconductor Device",
Jpn.J.Appl.Physics, Vol. 36, Part 1, No. 5A, pp. 2601 - 2605, May, 1997.

(2) H. Fukui, M. Fujishima, and K. Hoh,

"Single-Electron Transistor in Silicon-on-Insulator with Schottky-Contact Tunnel Barriers",
Japanese Journal of Applied Physics, Vol.36, No. 6B, pp. 4147 - 4150, June, 1997.

(3) S. Amakawa, M. Fujishima, and K. Hoh,

"Correlated Electron-Hole Transport in Capacitively-Coupled One-Dimensional Tunnel Junction Arrays",
Japanese Journal of Applied Physics, Vol. 36, No. 6B, pp. 4166 - 4171, June, 1997.

(4) Toshiro Hiramoto, Hiroki Ishikuro, Tomoyuki Fujii, Gen Hashiguchi, and Toshiaki Ikoma,

"Room Temperature Coulomb Blockade and Low Temperature Hopping Transport in a Multiple-Dot-Channel Metal-Oxide-Semiconductor Field-Effect-Transistor",
Japanese Journal of Applied Physics, Vol. 36, No. 6B, pp. 4139 - 4142, June, 1997.

(5) Rimon Ikeno, Hiroshi Ito, and Kunihiro Asada,

"Device Parameter Estimation of SOI MOSFET Using One-Dimensional Numerical Simulation Considering Quantum Mechanical Effects",
IEICE Transactions on Electronics, Vol. E80-C, No. 6, pp. 806 - 811, June, 1997.

(6) M. Fujishima, H. Fukui, S. Amakawa, and K. Hoh,

"Proposal of a Schottky-Barrier SET Aiming at a Future Integrated Device",
IEICE Transactions of Electronics, Vol. E80-C, No. 7, pp. 881 - 885, July, 1997.

(7) J. Akita and K. Asada,

"An Image Scanning Method with Selective Activation of Tree Structure",
IEICE Transactions on Electronics, Vol. E80-C, No. 7, pp. 956 - 961, July, 1997.

(8) H. Kwon, K. Kotani, T. Shibata, and T. Ohmi,

"Low Power Neuron-MOS Technology for High-Functional-

ity Logic Gate Synthesis",

IEICE Transactions of Electronics, Vol. E80-C, No.7, pp.924 - 930, July, 1997.

(9) 鳳紘一郎, 浅田邦博,

「大学におけるVLSIチップ試作」,
応用物理, Vol. 66, No. 8, pp. 858 - 861, 1997年8月.

(10) Hiroki Ishikuro and Toshiro Hiramoto,

"Quantum mechanical effects in the silicon quantum dot in a single-electron-transistor",
Applied Physics Letters, Vol. 71, No. 25, pp. 3691 - 3693, December, 1997.

(11) M. Sugahara, S.B. Wu, X.Y. Han, H.F. Lu, N. Haneji, and N. Yoshikawa,

"Anomalous ac Dielectric Response and Carrier State of c-axis oriented $\text{La}_{2-x}\text{Sr}_x\text{CuO}_4$ Films",
Physica C, Vol. 293, pp. 216 - 219, 1997.

(12) Toshiro Hiramoto,

"Devices Using Ultimate Silicon Technology",
Mesoscopic Physics and Electronics, Edited by T. Ando, Y. Arakawa, K. Furuya, S. Komiyama, and H. Nakashima, Springer and Verlag, pp. 213 - 219, 1998.

(13) S. Amakawa, H. Majima, H. Fukui, M. Fujishima, and K. Hoh,

"Single-Electron Circuit Simulation",
IEICE Transaction of Electronics, Vol. E81-C, No. 1, pp. 21 - 25, January, 1998.

(14) 大見忠弘, 柴田直, 小谷光司, 中井努, 中田明良, 余寧梅, 譽田正宏, 森本達郎, 山下雄一郎,

「連想するハードウェアをベースとした"しなやかな"知的電子システム」,
電子情報通信学会論文誌D-I, Vol. J81-D-1, No. 2, pp. 51 - 61, 1998年2月.

(15) M. Fujishima, S. Amakawa, and K. Hoh,

"Circuit Simulators Aiming at Single-Electron Integration",
Japanese Journal of Applied Physics, Vol. 37, No. 3B, pp. 1478 - 1482, March, 1998.

(16) T. Saraya, M. Takamiya, T.N. Duyet, and T. Hiramoto,

"New Measurement Technique of Sub-Bandgap Impact Ionization Current by Transient Characteristics of Partially Depleted SOI MOSFETs",
Japanese Journal of Applied Physics, Vol. 37, Part 1, No. 3B, pp. 1271 - 1273, March, 1998.

17) 高宮真, 安田有里, 平本俊郎,
「極薄膜SOI層を有する超低消費電力用ディープサブ0.1 μ
m MOSFET」,電子情報通信学会論文誌C-II ,Vol. J81-C-II,
No. 3, pp. 313 - 319, 1998年3月.

2 . 国際会議

(1) Hiroki Ishikuro and Toshiro Hiramoto,
"IC Based Single Electron Transistor",
France-Japan Workshop "From Nano to Macroscale science
and technology through Microsystems", Maison Franco-
Japonaise, Tokyo, Japan, May, 1997.

(2) H. Majima, S. Amakawa, M. Fujishima, and K. Hoh,
"High-speed Simulation of SET-CMOS Mixed Circuits",
Silicon Nanoelectronics Workshop 1997, Rihga Royal Hotel
Kyoto, Kyoto, Japan, pp. 40 - 41, June, 1997.

(3) Hiroki Ishikuro and Toshiro Hiramoto,
"Fabrication of Si Point Contact MOSFETs Acting as Single
Electron Transistors at Room Temperature",
Silicon Nanoelectronics Workshop 1997, Rihga Royal Hotel
Kyoto, Kyoto, Japan, pp. 64 - 65, June, 1997.

(4) Koji Kotani, Tadashi Shibata, and Tadahiro Ohmi,
"CMOS Charge-Transfer Pre-amplifier for Offset-Fluctuation
Cancellation in Low-Power, High-Accuracy Comparators",
Technical Digest of 1997 Symposium on VLSI Circuits, Rihga
Royal Hotel Kyoto, Kyoto, Japan, pp. 21 - 22, Kyoto, June,
1997.

(5) J. Akita and K. Asada,
"An Image Sensor using Quad Tree for Selective Scanning with
Adaptive Resolution",
1997 IEEE Charge-Coupled Devices & Advanced Image Sen-
sors Workshop, Bruges, Belgium, P5-1, June, 1997.

(6) Hiroki Ishikuro and Toshiro Hiramoto,
"Energy Spectrum of the Quantum-Dot in a Si Single-Electron-
Device",
IEEE 55th Annual Device Research Conference, Colorado
State University, Fort Collins, Colorado, USA, pp. 84 - 85,
June, 1997.

(7) M. Sugahara, S.B. Wu, X.Y. Han, H.F. Lu, H.Q. Yin, N.
Haneji, and N. Yoshikawa,
"Quantum Field Effect of c-Axis Oriented $\text{La}_{2-x}\text{Sr}_x\text{CuO}_4$ (I):
Similarity of Carrier State to 2D Electron System in Fractional
Quantum Hall Effect",

Extended Abstract of the 1997 International Workshop on
Superconductivity, Co-Sponsored by ISTE C and MRS, Hawaii,
USA., pp. 377 - 378, June, 1997.

(8) M. Sugahara, H.F. Lu, H.Q. Yin, N. Haneji, and N.
Yoshikawa,
"Quantum Field Effect of c-Axis Oriented $\text{La}_{2-x}\text{Sr}_x\text{CuO}_4$ (II):
Existence of Reverse Electric Field",
Extended Abstract of the 1997 International Workshop on
Superconductivity Co-Sponsored by ISTE C and MRS, Hawaii,
USA., pp. 379 - 380, June, 1997.

(9) Toshiro Hiramoto,
"Quantum mechanical effects in very small MOSFETs",
Second International Research Workshop on Future Informa-
tion Processing Technologies, Sapporo Kita-Hiroshima Prince
Hotel, Hokkaido, Japan, August, 1997.

(10) M. Fujishima, M. Ishii, and K. Hoh,
"Gain-determined short-channel limit of MOSFETs",
1997 International Conference on Solid State Devices and
Materials (SSDM'97), Act City Hamamatsu, Hamamatsu, Ja-
pan, pp. 516 - 517, September, 1997.

(11) M. Fujishima, S. Amakawa, and K. Hoh,
"Single-Electron Simulators for High and Low Level Analy-
ses",
1997 International Conference on Solid State Devices and
Materials (SSDM'97), Act City Hamamatsu, Hamamatsu, Ja-
pan, pp. 308 - 309, September, 1997.

(12) T. Saraya, M. Takamiya, T.N. Duyet, and T. Hiramoto,
"New Measurement Technique of Sub-Bandgap Impact Ion-
ization Current by Transient Characteristics of Partially De-
pleted SOI MOSFETs",
1997 International Conference on Solid State Devices and
Materials (SSDM'97), Act City Hamamatsu, Hamamatsu, Ja-
pan, pp. 554 - 555, September, 1997.

(13) M. Sugahara, H.Q. Yin, H.F. Lu, H. Kaneda, N. Haneji,
and N. Yoshikawa,
"Quantum Interference in LaSrCuO Film Irradiated by 30 THz
Laser Light at Room Temperature",
1997 International Conference on Solid State Devices and
Materials (SSDM'97), Act City Hamamatsu, Hamamatsu, Ja-
pan, pp. 250 - 251, September, 1997.

(14) T. Mido and K. Asada,
"Delay-Optimum Aspect Ratio of VLSI Interconnections based

on New Accurate Capacitance Formulations",
European Conference on Circuit Theory and Design '97,
Budapest, Hungary, Vol. 2, pp. 978 - 983, September, 1997.

(15) J.H. Lee and K. Asada,
"Asynchronous completion prediction adder (SCPA) with high
hardware-delay performance",
7th International Symposium on IC Technology, Systems &
Applications (ISIC-97), Singapore, pp. 60-63, September, 1997.

(16) T. Mukaiyama, K. Saito, H. Ishikuro, M. Takamiya, T.
Saraya, and T. Hiramoto,
"Fabrication of Gate-All Around MOSFET by Silicon Aniso-
tropic Etching Technique",
International Workshop on Nano-Physics and Electronics
(NPE'97), Institute of Industrial Science, University of Tokyo,
Tokyo, Japan, pp. 45 - 46, September, 1997.

(17) H. Ishikuro and T. Hiramoto,
"Hopping Transport in Multiple-Dot Silicon Single Electron
MOSFET",
International Workshop on Nano-Physics and Electronics
(NPE'97), Institute of Industrial Science, University of Tokyo,
Tokyo, Japan, pp. 146 - 147, September, 1997.

(18) T. Hiramoto,
"Does Si ULSI need help from quantum and nano-devices?"
(invited),
3rd International Workshop on Quantum Functional De-
vices (QFD'97), National Institute of Standards and Technol-
ogy, Gaithersburg, Maryland, USA, November, 1997.

(19) S. Amakawa, H. Majima, M. Fujishima, and K. Hoh,
"High and Low Level Simulation of Single-Electron Circuits",
Proceedings of 1997 International Semiconductor Device Re-
search Symposium, Charlottesville, Virginia, USA, pp. 349 -
352, December, 1997.

(20) Makoto Takamiya, Yuri Yasuda, and Toshiro Hiramoto,
"Deep Sub-0.1 μm Fully Depleted SOI MOSFET's with Ul-
tra-Thin Silicon Film and Thick Buried Oxide for Low-Power
Applications",
Proceedings of 1997 International Semiconductor Device Re-
search Symposium, Charlottesville, Virginia, USA, pp. 215 -
218, December, 1997.

(21) R. Zheng, M. Ikeda, and K. Asada
"A Case Study: Design and Implementation of Pseudo-Asyn-
chronous Microprocessor by FPGA and CMOS Standard

Cell",
International Workshop on Logic and Architecture Synthesis
'97, Grenoble, France, pp. 105-112, December, 1997.

(22) M. Sugahara, H.Q. Yin, H.F. Lu, H. Kaneda, N. Haneji,
and N. Yoshikawa,
"Macroscopic Interference Effect in LaSrCuO Film Irradiated
by 30 THz Laser Light at Room Temperature",
Extended Abstracts of the 6th International Superconductive
Electronics Conference, Berlin, Germany, Vol. 3, pp. 230 - 232,
1997.

(23) S. Komatsu, M. Ikeda, and K. Asada,
"Low Power Microprocessors for Comparative Study on Bus
Architecture and Multiplexer Architecture",
Asia and South Pacific Design Automation Conference 1998,
Yokohama, Japan, pp. 323 - 324, February, 1998.

(24) Tetsuhisa Mido and Kunihiro Asada,
"An Analysis on Hi-Frequency VLSI Interconnection Consid-
ering Skin Effect",
Asia and South Pacific Design Automation Conference 1998,
Yokohama, Japan, pp. 413 - 417, February, 1998.

(25) Tetsuhisa Mido, Hiroshi Ito, and Kunihiro Asada,
"TEST Structure for Characterizing Capacitance Matrix of
Multi-layer Interconnections in VLSI",
International Conference on Microelectronic Test Structures
(ICMTS), Kanazawa, Japan, pp. 217 - 222, March, 1998.

(26) Toshiro Hiramoto, Hiroki Ishikuro, Kenichi Saito, and
Yi Shi,
"Room Temperature Silicon Single Electron Transistors and
Memories",
Japan - UK International Joint Workshop on Nanostructure
Physics and Applications, Kamakura, Kanagawa, Japan,
March, 1998.

3 . 国内学会・研究会等

(1) 池田誠，田島佳武，浅田邦博，
「大規模集積回路における分割・パイプライン型バス方式の
検討」，
電子情報通信学会集積回路研究会，名古屋工業大学，
ICD97-4, CPSY97-4, FTS97-4, 1997年4月.

- (2) 池田 誠, 浅田 邦博,
「コード帳符号化方式によるチップインターフェースにおける消費電力削減」,
電子情報通信学会集積回路研究会, 東京大学生産技術研究所, ICD97-28, 1997年5月.
- (3) 三堂哲寿, 浅田邦博,
「高速集積システムにおける有限な幅を持つ導体中の電流分布解析」,
回路実装学会実装CAE研究会研究報告, CAE97-1, 1997年6月.
- (4) 山下高廣, 浅田邦博,
「ブースタアンプを用いた低電圧向き高速CPL回路」,
電子情報通信学会集積回路研究会, 沖縄, Vol.97, No.106, pp.1-8, 1997年7月.
- (5) 藤島実, 福井大伸, 天川修平, 鳳紘一郎,
「集積デバイスとしての単電子トランジスタ」,
重点領域研究「単電子デバイスとその高密度集積化」平成9年度第1回研究会, テルメインターナショナルホテル札幌(北海道), pp. 75 - 80, 1997年8月.
- (6) 天川修平, 福井大伸, 藤島実, 鳳紘一郎, 間島秀明
「単電子回路のシミュレーション」,
重点領域研究「単電子デバイスとその高密度集積化」平成9年度第1回研究会, テルメインターナショナルホテル札幌(北海道), pp. 81 - 86, 1997年8月.
- (7) 斉藤健一, 石黒仁揮, 向山俊和, 平本俊郎,
「異方性エッチングによる高精度シリコン極微細構造作製プロセス」,
電子情報通信学会シリコン材料・デバイス研究会, 東北大学(仙台), SDM97-101, 1997年8月.
- (8) 平本俊郎,
「大規模集積回路(VLSI)を構成する極微細トランジスタの世界をのぞく」,
第18回数理工の翼夏季セミナー, 山口県ふれあいパーク(山口), 1997年8月.
- (9) 入田隆宏, 小倉誉之, 藤島実, 鳳紘一郎,
「冗長2進演算を利用したマイクロプロセッサ」,
1997年秋季電子情報通信学会基礎・境界ソサイエティ大会, 早稲田大学理工学部(東京), p. 63, 1997年9月.
- (10) 辻田達男, 入田隆宏, 藤島実, 鳳紘一郎,
「BiCMOSカオスマルチパイプレータ」,
1997年秋季電子情報通信学会基礎・境界ソサイエティ大会,
早稲田大学理工学部(東京), p. 51, 1997年9月.
- (11) 浅田邦博, 伊藤浩, 三堂哲寿,
「集積回路におけるシフトレジスタを用いた多導体の容量行列導出手法」,
1997年秋季電子情報通信学会エレクトロニクスソサイエティ大会, 早稲田大学理工学部(東京), C-12-5, p.88, 1997年9月.
- (12) 秋田純一, 浅田邦博,
「可変ブロックアクセス機能をもつ適応解像度CMOS画像センサ」,
1997年秋季電子情報通信学会エレクトロニクスソサイエティ大会, 早稲田大学理工学部(東京), C12-39, 1997年9月.
- (13) 池田誠, 浅田邦博,
「コード帳符号化方式のための時間領域最小ハミング距離検出回路の検討」,
1997年秋季電子情報通信学会エレクトロニクスソサイエティ大会, 早稲田大学理工学部(東京), C12-18, 1997年9月.
- (14) 鄭若彤, 池田誠, 李知漢, 浅田邦博,
「疑似非同期マイクロプロセッサの設計と実現」,
1997年秋季電子情報通信学会エレクトロニクスソサイエティ大会, 早稲田大学理工学部(東京), C12-22, 1997年9月.
- (15) 小松聡, 池田誠, 浅田邦博,
「低消費電力マイクロプロセッサにおけるマルチプレクサ方式とバス方式の比較検討」,
1997年秋季電子情報通信学会エレクトロニクスソサイエティ大会, 早稲田大学理工学部(東京), C12-16, p.99, 1997年9月.
- (16) 山下高廣, 浅田邦博,
「ブースタアンプ付きCPL回路による高速加算器」,
1997年秋季電子情報通信学会エレクトロニクスソサイエティ大会, 早稲田大学理工学部(東京), C-12-17, p.100, 1997年9月.
- (17) 平本俊郎, 石黒仁揮,
「VLSI互換シリコン単一電子デバイス」,
1997年秋季電子情報通信学会エレクトロニクスソサイエティ大会シンポジウム「量子効果デバイスの現状と展望」,
早稲田大学理工学部(東京), SC-8-4, 1997年9月.

(18) 野瀬浩一, 池野理門, 浅田邦博,
「フローティングボディ型 SOI MOSFET における正孔引き抜き機構のシミュレーション評価」, 電子情報通信学会シリコン材料・デバイス研究会, 電子デバイス研究会, VLSI設計技術研究会, 集積回路研究会合同研究会, NTT厚木研究開発センター(神奈川), Vol.97 No.268, pp.95-101, 1997年9月.

(19) 三堂哲寿, 青柳稔, 浅田邦博,
「集積回路の大域配線における表皮効果を考慮した遅延解析」,
電子情報通信学会シリコン材料・デバイス研究会, 電子デバイス研究会, VLSI設計技術研究会, 集積回路研究会合同研究会, NTT厚木研究開発センター(神奈川), VLD97-69, 1997年9月.

(20) 高宮真, 安田有里, 平本俊郎,
「低消費電力用完全空乏型SOI MOSFETのスケーリング指針とBulk MOSFETとの比較」,
電子情報通信学会シリコン材料・デバイス研究会, 電子デバイス研究会, VLSI設計技術研究会, 集積回路研究会合同研究会, NTT厚木研究開発センター(神奈川), SDM97-115, ED97-94, VLD97-56, ICD97-131, 1997年9月.

(21) 大内真一, 藤島実, 鳳紘一郎,
「直接トンネルングを利用した単電子メモリの動作条件」,
1997年秋季第58回応用物理学会学術講演会, 秋田大学(秋田), p. 153, 1997年10月.

(22) 天川修平, 間島秀明, 藤島実, 鳳紘一郎,
「SPICEによる単電子回路の解析」,
1997年秋季第58回応用物理学会学術講演会, 秋田大学(秋田), p.153, 1997年10月.

(23) 福岡哲也, 滋賀秀裕, リーチュンクイ, 藤島実, 鳳紘一郎,
「ノンドープ低障壁ショットキー-SOI MOSFETの検討」,
1997年秋季第58回応用物理学会学術講演会, 秋田大学(秋田), p.742 (2p-G-5), 1997年10月.

(24) 更屋拓哉, 高宮真, トラン ゴック デュエト, 平本俊郎,
「部分空乏型SOI MOSFETの過渡応答を利用したサブバンドギャップインパクトイオン化電流の測定」,
1997年秋季第58回応用物理学会学術講演会, 秋田大学(秋田), 2p-G-2, 1997年10月.

(25) 高宮真, 安田有里, 平本俊郎,
「完全空乏型SOI MOSFETとBulk MOSFETのスケーリングの比較」,

1997年秋季第58回応用物理学会学術講演会, 秋田大学(秋田), 2p-G-1, 1997年10月.

(26) 向山俊和, 斉藤健一, 石黒仁揮, 平本俊郎,
「異方性エッチングを用いたGate-All-Around MOSFETの作製」,
1997年秋季第58回応用物理学会学術講演会, 秋田大学(秋田), 3a-G-7, 1997年10月.

(27) 石黒仁揮, 平本俊郎,
「リソグラフィ解像度に依存しないSOI基板上のポイントコンタクト構造作製プロセス」,
1997年秋季第58回応用物理学会学術講演会, 秋田大学(秋田), 3a-G-8, 1997年10月.

(28) 小松聡, 池田誠, 浅田邦博,
「動的コード帳符号化によるチップインタフェースにおける消費電力削減手法の検討」
電子情報通信学会集積回路研究会, 大阪大学, ICD97-151, DSP97-97, SDM97-135, pp.9-14, 1997年10月.

(29) 平本俊郎, 石黒仁揮,
「室温動作単ドット単電子MOSFETにおける量子効果の影響」,
重点領域研究「単電子デバイスとその高密度集積化」平成9年度第2回研究会, 東京大学物性研究所および生産技術研究所, pp. 50 - 55, 1997年10月.

(30) 大内真一, 天川修平, 藤島実, 鳳紘一郎,
「マスター方程式を用いた単電子メモリの解析」,
重点領域研究「単電子デバイスとその高密度集積化」平成9年度第2回研究会, 東京大学物性研究所および生産技術研究所, pp. 27 - 32, 1997年10月.

(31) 小松聡, 池田誠, 浅田邦博,
「バス方式とマルチプレクサ方式の比較によるマイクロプロセッサの低消費電力化への検討」,
電子情報通信学会第1回システムLSI琵琶湖ワークショップ, ラフォーレ琵琶湖(滋賀), pp. 395-399, 1997年11月.

(32) 更屋拓哉, 高宮真, 平本俊郎,
「サブ100nm SOI MOSFETのスケーリングと基板浮遊効果」,
電気学会極微構造集積デバイス調査専門委員会, 電気学会(東京), 1997年11月.

(33) 平本俊郎,
「VLSIデバイスおよび新世紀素子の課題」,
平成9年度第1回新世紀素子技術研究委員会, 新機能素子

研究開発協会(東京), 1997年11月.

(34) 平本俊郎,
「シリコンLSIのロードマップ」,
新機能素子研究開発協会平成9年度第2回量子化機能素子
技術予測研究委員会および産官学共同研究プロジェクト
「量子ナノエレクトロニクス」合同研究会, 新機能素子研究
開発協会(東京), 1997年12月.

(35) トラン ゴック デュエト, 石黒仁揮, 平本俊郎,
「薄膜SOI MOSFETのチャージポンピング測定における形
状成分の抑制」,
応用物理学学会薄膜・表面物理分科会「極薄シリコン酸化膜の
形成・評価・信頼性」第3回研究会, NTT御殿場研修セン
ター(静岡), pp.167 - 170, 1998年1月.

(36) 平本俊郎,
「VLSI MOSデバイスのトレンドと将来展望」,
重点領域研究「単電子デバイスとその高密度集積化」平成9
年度第3回研究会, 名古屋大学フロンティアプラザ(名古
屋), pp. 76 - 79, 1998年1月.

(37) 斎藤健一, 施 毅, 石黒仁揮, 平本俊郎,
「シリコン量子ドットを有するMOSダイオードにおけるヒ
ステリシス特性と界面準位の影響」,
重点領域研究「単電子デバイスとその高密度集積化」平成9
年度第3回研究会, 名古屋大学フロンティアプラザ(名古
屋), pp. 80 - 84, 1998年1月.

(38) 更屋拓哉, 高宮真, トラン ゴック デュエト, 平本俊郎,
「部分空乏型SOI MOSFETの過渡応答を用いたサブバンド
ギャップインパクトイオン化電流の高感度測定法」,
電子情報通信学会シリコン材料・デバイス研究会および極
微構造集積デバイス調査専門委員会共催研究会, 機械振興
会館(東京), SDM97-191, 1998年2月.

(39) Kenichi Saito, Hiroki Ishikuro, Yi Shi, and Toshiro
Hiramoto,
"Fabrication of Silicon Nanostructures for Single Electron
Transistors and Memories Operating at Room Temperature",
学振未来開拓事業「原子スケール表面・界面ダイナミクス」第2回シンポジウム, 学習院大学100年記念館(東京),
pp.53-56, 1998年2月.

(40) 鳳紘一郎, 藤島実, 天川修平, 大内真一,
「単電子集積回路とそのアーキテクチャ」,
重点領域研究「単電子デバイスとその高密度集積化」平成9
年度成果報告会, 弘済会館(東京), pp. 130 - 133, 1998年
3月.

(41) 平本俊郎,
「MOS構造を有する単一電子デバイスの作製とそのCMOS
チップへの集積化の研究」,
重点領域研究「単電子デバイスとその高密度集積化」平成9
年度成果報告会, 弘済会館(東京), pp. 146 - 149, 1998年
3月.

(42) 神田浩一, 天川修平, 藤島実, 鳳紘一郎,
「単電子フラッシュメモリのシミュレーション」,
1998年春季第45回応用物理学関係連合講演会 東京工科大
学(東京), p.191, 1998年3月.

(43) 藤島実,
「10nmゲート金属・半導体接合MOSFETの応用」,
1998年春季第45回応用物理学関係連合講演会 東京工科大
学(東京), p.84, 1998年3月.

(44) 三堂哲寿, 浅田邦博,
「シミュレーション解析を用いた高速 VLSI における表皮効
果の影響評価」,
1998年春季第45回応用物理学関係連合講演会 東京工科大
学(東京), 28p-L-8, p.11, 1998年3月.

(45) 石黒仁揮, 平本俊郎,
「シリコン単一電子素子における量子効果のドットサイズ依
存性」,
1998年春季第45回応用物理学関係連合講演会 東京工科大
学(東京), 30p-YE-8, 1998年3月.

(46) 高宮真, 平本俊郎,
「バック界面の制御方法の異なるシングルゲート SOI
MOSFETの特性比較」,
1998年春季第45回応用物理学関係連合講演会 東京工科大
学(東京), 30p-YB-5, 1998年3月.

(47) 斎藤健一, 施毅, 平本俊郎,
「Si量子ドットを有するMOSダイオードの電荷保持特性と
界面準位の影響」,
1998年春季第45回応用物理学関係連合講演会 東京工科大
学(東京), 30p-YE-10, 1998年3月.

(48) 向山俊和, 斎藤健一, 石黒仁揮, 平本俊郎,
「完全空乏型三角形細線チャネルトランジスタの短チャネル
効果」,
1998年春季第45回応用物理学関係連合講演会 東京工科大
学(東京), 30a-YB-14, 1998年3月.

(49) 安田有里, 高宮真, 平本俊郎,
「閾値電圧ばらつきを考慮したデルタドープ型MOSFETの
スケーリング」,
1998年春季第45回応用物理学関係連合講演会 東京工科大
学(東京), 29p-Q-13, 1998年3月.

(50) 新居尚憲, 荒川太郎, 渡部圭一, 尹華清, 金田久善, 菅
原昌敬, 羽路伸夫,
「プラズマ活性化パルスレーザ蒸着法による(Ba,Sr)TiO₃薄膜
の作製」,
1998年春季第45回応用物理学関係連合講演会 東京工科大
学(東京), 28a-ZF-1, 1998年3月.

(51) 村上嘉史, 笠川猛, ポーケオ・チャンタマリー, 荒川
太郎, 羽路伸夫,
「液相堆積酸化膜 / 低温酸化膜 / シリコン系の電気特性」,
1998年春季第45回応用物理学関係連合講演会 東京工科大
学(東京), 30a-M-5, 1998年3月.

(52) 入田隆宏, 小倉誉之, 藤島実, 鳳紘一郎,
「4:2 compressor を利用した高性能 ALU」,
1998年春季電子情報通信学会総合大会エレクトロニクス2,
東海大学湘南校舎(神奈川), p.157, 1998年3月.

(53) 辻田達男, 入田隆宏, 藤島実, 鳳紘一郎,
「CMOSカオスマルチバイプレータ」,
1998年春季電子情報通信学会総合大会基礎・境界, 東海大
学湘南校舎(神奈川), p.52, 1998年3月.

(54) 入沢準也, 辻田達男, 藤島実, 鳳紘一郎,
「非線形電流電圧特性を写像関数とするカオス生成モジュ
ール」,
1998年春季電子情報通信学会総合大会基礎・境界, 東海大
学湘南校舎(神奈川), p.53, 1998年3月.

(55) 根塚智裕, 秋田純一, 浅田邦博,
「階層構造スキャンを用いた動き検出イメージセンサ」,
1998年春季電子情報通信学会総合大会エレクトロニクス2,
東海大学湘南校舎(神奈川), p.177, 1998年3月.

4 . 紀要その他

(1) 更屋拓哉, トラン・ゴック・デュエト, 高宮真, 平本俊
郎, 生駒俊明,
「0.15 μm 部分空乏型SOI MOSFETにおける1V以下での基
板浮遊効果」,
生産研究 ,Vol. 49, No. 4, pp. 231 - 234, 1997年4月.

(2) 平本俊郎,
「室温動作Si単一電子デバイスの電気的特性とそのVLSIへ
の集積化」,
平成8年度産業科学技術研究開発事業新エネルギー・産業
技術総合開発機構委託量子化機能素子の研究開発(技術予
測研究)成果報告書 ,pp. 71 - 78 ,1997年3月.

(3) 鳳紘一郎,
「より良き産学協同のために」
日立評論 ,Vol.79, No.10, p33, 1997年10月.

(4) 平本俊郎,
「シリコンナノエレクトロニクスとシリコンベースの次々世
代素子」(巻頭言),
Break Through, No. 137, pp. 4 - 5, 1997年11月.

第4章 平成10年度の活動計画

平成10年度からは設計情報発信、CADツール提供、チップ試作支援の各テーマ毎に以下のように事業内容を充実拡充していく予定でいる。

【設計情報発信】

これまでの各CADツール利用法の技術セミナーを東京地区と地方拠点でそれぞれ開催することを継続することに加えて、VLSI設計を志す学生・若手研究者向けの「啓蒙セミナー」を企画・開催してゆきたい。VDECで既に設計試作を実際に経験している学生・若手研究者をコアとして未経験者を交えた情報交換の場を提供し、具体性をもった入門セミナーの開催や手引き書の整備充実をおこなうことが目的である。これにより自然な形で若いVLSI設計者の層を厚くし、定常的な情報交換の場を確立していきたい。

試作チップ数の増加にともない、テスター利用の要求が増大するものと予想されるが、テスター利用法のセミナーも継続して開催し、VDECおよび拠点校のテストにたいし「利用資格」を有する学生・研究者の数を増やす努力をする予定でいる。同時に各拠点校のテスター関係者のネットワークを作成して連係を密にすることで、多様化していくテストの需要に全国レベルで対応する体制を整えていきたい。これは大きなコストを必要とするテスターの維持・管理を効率化し、維持コストを押さえつつ有効利用率を高めるねらいを持っている。また平成10年度から、社会人のリフレッシュ教育向けとして、VLSI設計の基礎的な講義・設計演習および最新の設計事例の紹介にいたるセミナー開催を計画している。

【CADツール提供】

上流設計(Cadence,Synopsys)、中流設計(Avant!,Cadence)、下流設計(Mentor,Cadence)の各基本ツールの提供は、年度単位の登録手続きを必要とするが、平成10年度も継続してサポートしていく。

CADツールに必要となる論理設計用基本ライブラリーについては平成9年度までに京都大学、九州大学、早稲田大学の協力を得て、NEL社と日本モトローラ社用のものの整備が進んでおり、一部、テストランでの検証工程も終わっており、平成10年度にはより信頼性の高いものを提供していく予定である。平成10年度から一般受付を開始する予定のローム社用のライブラリーは(1)エクセレントデザイン社の合成ツールでVDECが合成したものと(2)旧COMPASS社のツール用のライブラリー(Passport ライブラリ)の2本立てのサポートを予定している。前者については平成9年度のテストランでの検証がパス次第、公開する予定である。順調に行けば平成10年度のロームの最初のランには間に合うものと考えている。後者については当初、VDECが正式にサポートしていないCOMPASS社のツール用であったが、近くAvant!社のツール用にも適合したものが利用可能になる計画である。商用ライブラリであるので利用条件その他をAvant!社と合意でき次第、公開していきたいと考えている。

以上により平成10年度には論理設計用基本ライブラリーについては各社の試作用のものがほぼ出そろい、その後の継続的品質向上と高信頼化の努力は必要とするが、一応のチップ試作のためのCADツール環境の整備が完成する。そこで平成10年度のライブラリー整備事業としてVDECではマクロライブラリ整備をスタートしたいと考えている。

これはメモリーコア、マイクロプロセッサコア等の機能ブロックライブラリーやオペアンプ、AD/DA変換回路等のアナログブロックの整備である。物理レイアウトとともにシミュレーションモデルを合せ整備していくことで、いわゆるIPとして大学内のみならず産業界へも情報発信できるものとなることが期待され、人材の育成とともにVDECが社会へ貢献するもう一つのテーマである。これらの整備活動には広く各大学からの協力を期待している。

【チップ試作支援】

平成10年度からは従来のNTTエレクトロニクスと日本モトローラに加えて、ローム(株)の協力によりCMOS 0.6 μ m P2 M3の試作を年2回実施す

る。これは集積度も高くキャパシタ作成のための2層のポリシリコンを利用でき、アナログ・デジタル混載等のシステムオンチップ向けの試作技術であり、チップ面積の点でも最大8.8mm角とし比較的大きな回路の実現に適している。

また日本モトローラのCMOS 1.2 μ mはこれまで教育チップ用に多くの試作申込みを受けており、春期と夏期の休暇を利用した学部学生向けの短期集中設計演習コース等の普及を念頭に、2.3mm角の小チップだけを他の4.8mm角や7.3mm角と切放して4月と9月の休暇直後の \times 切にする予定である。これにより設計 \times 切はNTTエレクトロニクスとロームが各年2回、日本モトローラが見かけ上年4回となる。各試作の日程の予定は、以下の表4.1に示す通りである。

表4.1 VDECチップ試作スケジュール (平成10年度)

{CMOS 1.2 μ m} 日本モトローラ

	申込開始	申込 \times 切	設計 \times 切	チップ納品
第1回 (4.8mm角, 7.3mm角チップ)	平成10年 1月12日	平成10年 4月10日	平成10年 7月10日	平成10年 10月30日
第2回 (2.3mm角チップ)	平成10年 3月2日	平成10年 6月1日	平成10年 9月1日	平成11年 1月20日
第3回 (4.8mm角, 7.3mm角チップ)	平成10年 8月10日	平成10年 11月10日	平成11年 2月10日	平成11年 6月4日
第4回 (2.3mm角チップ)	平成10年 10月1日	平成11年 1月7日	平成11年 4月1日	平成11年 7月26日

{CMOS 0.5 μ m} NEL

	申込開始	申込 \times 切	設計 \times 切	チップ納品
第1回	平成9年 11月30日	平成10年 2月10日	平成10年 5月11日	平成10年 9月20日
第2回	平成10年 4月20日	平成10年 7月20日	平成10年 10月20日	平成11年 3月1日

(注) 上記第2回は変更の可能性あり

【CMOS 0.6μm】 ローム（予定）

	申込開始	申込〆切	設計〆切	チップ納品
第1回	平成10年 2月20日	平成10年 5月20日	平成10年 8月20日	平成10年 12月10日
第2回	平成10年 9月10日	平成10年 12月10日	平成11年 3月10日	平成11年 7月9日

チップ試作料金については表4.2に示すように一部のパッケージをプラスチックからセラミックに

変更したことで若干高くなっている以外、前年度と同様のものとなる予定である。

表4.2 チップ試作料金

設計規則	チップサイズ	信号ピン数	パッケージ	税抜価格(千円)
CMOS 1.2μm P2M2	2.3mm 角	34	セラミック QFP80	66.5
	4.8mm 角	83	セラミック QFP160	230
	7.3mm 角	131	セラミック QFP208	451
CMOS 0.5μm P1M2	2.3mm 角	28	セラミック DIP48	150
	4.8mm 角	76	セラミック PGA120	600
CMOS 0.6μm P2M3	4.5mm 角	87	プラスチック QFP160 (セラミックも可能)	350
	9.0mm 角	159	プラスチック QFP208 (セラミックも可能)	1,100
LPGA			各種	未定

平成10年度からはSony/Intex/ChipExpreの協力によるLPGAの試作受け付けも開始する予定である。メモリーなしとメモリー付きのLPGAををサポートする予定であり、デザインキットはVDEC経由で提供する。またLPGAでは特に〆切をおかず、適宜試作を受け付ける。詳細はVDECのホームページで案内するが、試作期間はサインオフ後、約1ヶ月である。

【パイロットプロジェクト】

VLSI 技術は日々進歩しており VDEC がサポートするCADツールやライブラリー、チップ試作技術も時代に則した高性能・高機能なものへと改善していきたいと考えている。具体的な計画は立案中であるが、先駆的プロジェクト研究、テストラン等が必要であり、各方面の協力を随時お願いする予定である。

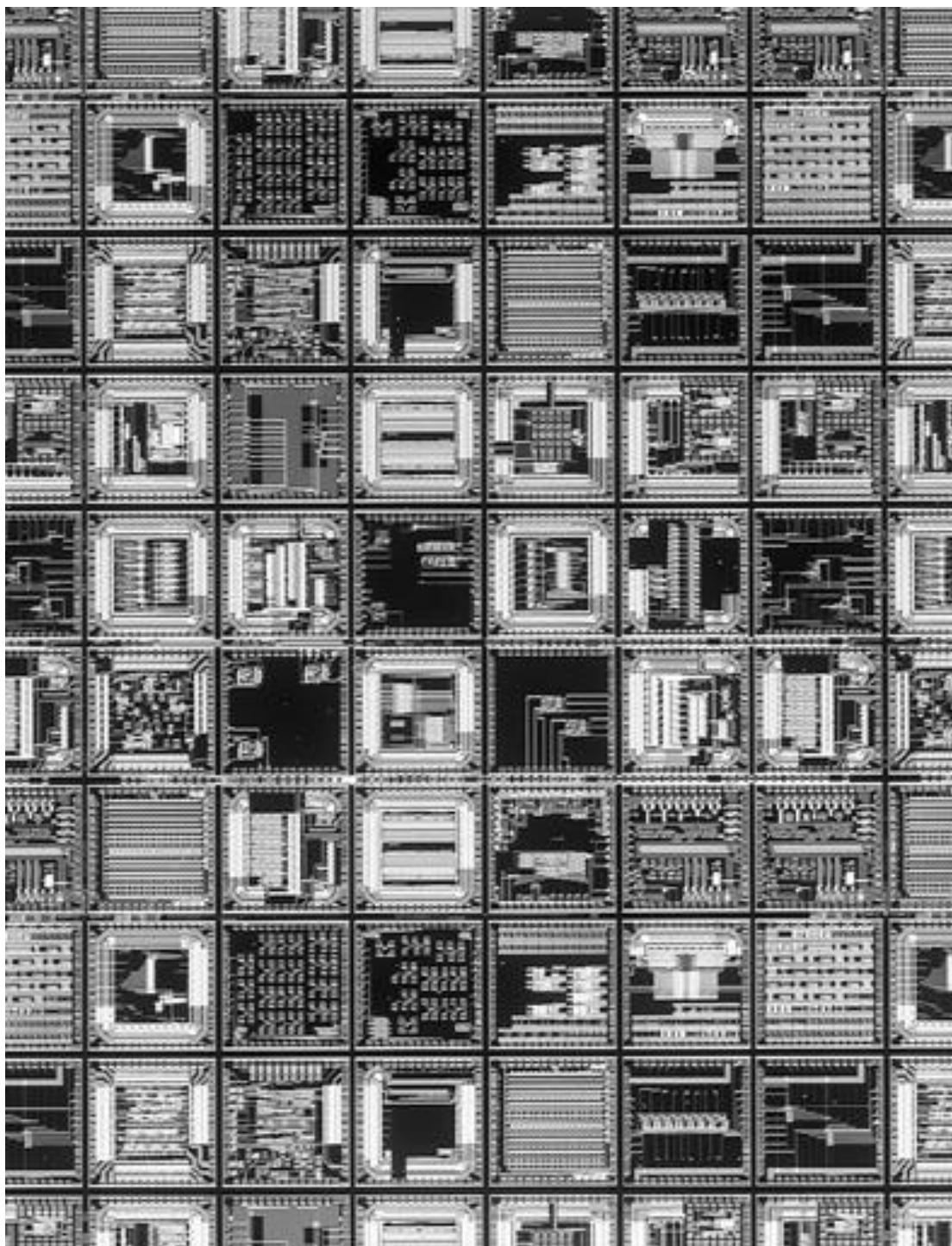


図5.1 「相乗リチップ」の顕微鏡写真

平成9年度 第1回モトローラチップ試作

題 名	大 学 名	研 究 者	所属
高周波増幅機における容量行列抽出のためのTBS	東京大学工学部	三浦 哲夫 伊藤 浩 渡田 邦博	43
高周波増幅機における容量行列抽出	東京大学工学部	渡田 邦博 渡田 邦博	43
ツリー構造による高周波増幅機センサ	東京大学工学部	渡田 邦博 渡田 邦博	43
3つのマルチバイアス電圧をトランジスタが共有したセルの相互結合による不規則増幅回路の作成	東京大学大学院工学系研究科	辻田 博 西沢 誠一 西沢 誠一	49
4端子デバイスを用いたコードブック型アナログベクトル量子化プロセッサ	東北大学大学院工学系研究科電子工学専攻 東京大学電子情報工学専攻	中田 剛典 菅田 正完 森木 浩一郎 米澤 英典 大見 忠弘 柴田 直	49
並列型電圧増幅システムに関する研究	東北大学大学院工学系研究科	平野 豊一 泉野 浩之 河野 光正	49
兼用型増幅回路の基本回路の設計・評価	東北大学大学院工学系研究科	中西 崇 西本 孝文 山口 隆雄	50
高周波増幅機における容量行列抽出とフレーム分解による圧縮への応用	東京大学工学部	渡田 邦博 渡田 邦博	50
フローティングゲートを用いた減算方式によるインテリジェントセンサの設計	早稲田大学工学部	永井 完嗣 田崎 真志 坂井 文彦 根木 隆	50
フリーウェア型による双方向マルチセクタの設計	慶応大学工学部	森田 文雄 井上 勉介 天野 英樹	51
カルログナイド導線の増幅器を用いた不揮発性メモリの研究	奈良大学工学部	池田 真治 水野 潤 早川 史人	51
ツリー構造によって符号化された二次元高周波増幅機の増幅回路	東京大学工学部	渡田 邦博 渡田 邦博 渡田 邦博	52
雑音抑制器を用いた減算型増幅フィルタの設計	東京工科大学工学部	南水 宏孝 西井 慎生	52
完全フローティングゲート型CMOS回路の設計	九州大学大学院システム情報科学研究科 情報工学専攻	廣瀬 隆 佐藤 真人	52
5X5001による4ビット全加算機の設計	筑波大学工学部	中野 洋一 斎藤 皇 高崎 誠 野平 博司 森木 一紀 秋山 剛 西沢 誠一 西沢 誠一	53
スタンダードセルの設計・評価	筑波大学工学部	斎藤 皇 高崎 誠 中野 洋一 野平 博司 森木 一紀 秋山 剛 西沢 誠一	53
4端子デバイスを用いたコードブック型アナログベクトル量子化プロセッサのためのテスト回路	東北大学大学院工学系研究科電子工学専攻 東京大学電子情報工学専攻	中田 剛典 菅田 正完 森木 浩一郎 米澤 英典 大見 忠弘 柴田 直	53
フローティングゲートを用いた減算方式によるインテリジェントセンサの設計	早稲田大学工学部	永井 完嗣 田崎 真志 坂井 文彦 根木 隆	54
フローティングゲートを用いた減算方式によるインテリジェントセンサの設計	早稲田大学工学部	永井 完嗣 田崎 真志 坂井 文彦 根木 隆	54
高精度ばらつきモデルおよびローディング効果を用いたTBS	筑波大学工学部	田田 博一 野村 秀隆 田丸 隆吉 山岡 隆彦 小林 幸史 渡辺 航也 小林 和雄 田丸 隆吉	54
DRAMを用いた加算機メモリ	筑波大学工学部	山岡 隆彦 小林 幸史 渡辺 航也 小林 和雄 田丸 隆吉	56
アナログ基本回路(オペアンプ回路)の設計・評価	大分大学工学部	吉村 隆吉 山口 晋二	56
SDIに基づく加算機	大分大学大学院工学系研究科	Tan Soon Keat 山口 晋二	56
ニューラルネットワークのための高周波ノイズ発生機	東北大学大学院工学系研究科電子工学専攻 東京大学電子情報工学専攻	森田 文雄 大見 忠弘 柴田 直	56
低消費電力CMOS回路の設計	東北大学大学院工学系研究科 東京大学	Ho Yip Kwon 岡井 保 大見 忠弘 小笠原 光司 柴田 直	56
WTA回路のTBS	東北大学大学院工学系研究科 東京大学大学院工学系研究科	中井 保 大見 忠弘 柴田 直	56
C MOSプロセスを用いた高精度電圧センサー	玉川大学	山本 隆介	56
アナログベクトル量子化プロセッサ用アドレスデコード及び雑音抑制回路	東北大学大学院工学系研究科電子工学専攻 東京大学電子情報工学専攻	森木 浩一郎 米澤 英典 大見 忠弘 柴田 直	57
兼用型増幅回路のためのカオスノイズ発生回路の設計	東北大学電子情報研究所	田中英治 西沢 誠一 中崎 成夫	57
4ビットフラッシュ型A/Dコンバータの設計	東京大学工学部	相原 博一郎 リー チュン クイ 西崎 英 西沢 誠一	57
8ビット加算機の設計(1)	東京大学工学部	黒野 将史 小堀 隆 池田 邦博 渡田 邦博	57
量子線の応用可能な小型増幅器増幅フィルタの設計	東京工科大学工学部	南水 宏孝 西井 慎生	58
8ビット高周波比較型A/Dコンバータの設計	東京大学工学部	大内 真一 相原 博也 西崎 英 西沢 誠一	58
8ビット加算機の設計(2)	東京大学工学部	向井 博洋 小堀 隆 池田 邦博 渡田 邦博	58
8ビット高周波比較型A/Dコンバータの設計	東京大学工学部	松本 真司 野村 孝子 西崎 英 西沢 誠一	58
8ビットCMOS高周波比較型A/Dコンバータの設計	東京大学工学部	神田 浩一 小嶋 登之 西崎 英 西沢 誠一	58

題名	大学名	研究者	評点
アナログオペアンプの設計①	東京大学工学部	田中洋介 三笠 隆博 渡田 和博	59
8ビットADコンバータの設計	東京大学工学部	小寺 雅夫 小沼 彰 池田 悠 渡田 和博	59
アナログオペアンプの設計②	東京大学工学部	渡田 和博 三笠 隆博 渡田 和博	60
Soft computing/hardware用TSGの設計	九州工業大学工学部	三笠 隆博 樋口 拓也 神道 勲 山川 勲	60
CMOS VLSI 高性能化の技術のためのテスト回路の設計と実装結果	静岡理工科大学工学部電子工学科	石倉 清元 山田 晋吾 西尾 一 西尾 康徳 渡辺 彰彦	60
CMOS VLSI 設計方式検討のためのテスト回路の設計と実装結果	静岡理工科大学工学部電子工学科	石倉 清元 高崎 雅也 鈴木 英樹 山田 真史 渡辺 彰彦	60
10ビットダイナミック CMOS 増幅回路 TSG チップ	山形大学工学部	水沼 充 高橋 一清	61

平成9年度 第2回モトローラチップ試作

題名	大学名	研究者	評点
CMOSマルチバイブレータを用いたカオス発振回路	東京大学大学院工学系研究科	辻田 清男 西崎 美 西北 一郎	62
超高速小信号増幅器を実現するための増幅回路の設計	北海道大学工学部研究科	丸屋 隆史	62
4端子デバイスをを用いたコードブック型アナログベクトル量子化プロセッサ	東北大学大学院工学研究科電子工学専攻 東京大学電子情報工学専攻	中田 朋良 曾田 正完 森木 謙 米澤 善美 大見 忠弘 坂田 直	62
4端子デバイスをを用いたコードブック型アナログベクトル量子化プロセッサ	東北大学大学院工学研究科電子工学専攻 東京大学電子情報工学専攻	中田 朋良 曾田 正完 森木 謙 米澤 善美 大見 忠弘 坂田 直	63
全周84ビットフロー回路/格納装置A/Dコンバータ	東北大学大学院工学研究科 東京大学大規模集積回路システム設計教育センター	宮井 洋 大見 忠弘 小笠 光司	63
4端子デバイスをを用いたコードブック型アナログベクトル量子化プロセッサのためのテスト回路	東北大学大学院工学研究科電子工学専攻 東京大学電子情報工学専攻	中田 朋良 曾田 正完 森木 謙 米澤 善美 大見 忠弘 坂田 直	63
非同期性を認識・逐次可逆なアナログ並列処理システムの集積化	東北大学 電気情報科学研究科 高橋 康彦・高橋 雅也システム実験施設	原田 知規 佐藤 定徳 中嶋 康史	64
非同期化ニューロンを用いた集積化神経回路の研究	東北大学電気情報科学研究科	金村 光永 佐藤 定徳 中嶋 康史	64
カオスノイズ抑制型カオスニューラルネットワーク回路の設計	東北大学電気情報科学研究科	田中英佳 佐藤 定徳 中嶋 康史	64
セラライブラリ検証用TSG(1)	東京大学	池田 悠 渡田 和博	65
セラライブラリ検証用TSG(2)	東京大学	池田 悠 渡田 和博	65
高周波増幅機における容量特性補償のためのTSG	東京大学工学部	三笠 隆博 伊藤 浩 渡田 和博	65
光可変抵抗素子を用いた、非線形可逆型デジタル回路の設計	東京大学工学部	松本 真司 西崎 美 西北 一郎	66
MAX/MINホールド回路の設計	九州工業大学工学部	三笠 隆博 神道 勲 山川 勲	66
Power Law Formism ニュートの設計	九州工業大学工学部	樋口 拓也 神道 勲 山川 勲	66
伝送線路を用いた駆動プロセッサ	徳島大学工学部電気情報工学科	佐野 隆彦 高橋 雅彦	67
アナログ並列型ライブラリの構築	大阪大学工学部	吉村 隆史 山口 研二	67
スマートイメージセンサに付いた、アナログ増幅回路回路のTSG	東京大学工学部	梶原 聖彦 渡田 和博	67
体温検出センサの設計	東京大学工学部	藤田 大輔 西崎 美 西北 一郎	68
高速度用MOSセルオートマトン回路TSGの設計	北海道大学工学部研究科	池田 将之 赤澤 正道 西尾 研二	68
電圧ミラーベース・ファジィADコンバータの設計	九州工業大学工学部	神道 勲 末村 雅彦 山川 勲	68
4ビットスライス増幅器増幅回路の設計	名古屋電機専門学校	相澤 尚子 林 川 隆 伊藤 一彦 原 隆 崎 中林 康	68
SDMAのための高周波帯域込み回路	東北大学電気情報科学研究科	佐藤 定志 佐藤 定徳 中嶋 康史	69
高速・格納電力クロック発生用PLLの設計構築	九州大学 システム情報科学研究科	宮澤 弘彦 山口 研二 中嶋 康一	69
動物行動学イメージセンサ	東京大学工学部	栗原 崇 坂口 隆博 宮井 孝子	69
フルカスタム設計CMOS回路の性能比較	静岡理工科大学工学部電子工学科	鈴木 英樹 山田 晋吾 石倉 清元 鈴木 幹人 渡辺 彰彦	70
CMOS/GA マクロセル解の動作検証	静岡理工科大学工学部電子工学科	鈴木 孝孝 鈴木 幹人 山田 晋吾 渡辺 彰彦	70
Verilog-HDLおよびCo-Emulationを用いた、4ビット増幅器回路の設計	九州工業大学工学部	中野 孝一 小澤 和 高崎 雅 高橋 康彦 野平 博司 森本 一紀 萩原 昌完 高田 雅彦	70
並木モジュール構成のための4ビット増幅器回路の設計	九州工業大学工学部	小澤 和 高崎 雅 中野 孝一 高橋 康彦 野平 博司 森本 一紀 萩原 昌完 高田 雅彦	70

題 名	大 学 名	研 究 者	評 定
基本モジュールとしてのシフトレジスタおよびラッチ付シフトレジスタの設計	2018工機大工学部	高橋 誠、中野 謙一、小澤 知、齋藤 皇、野平 博司、森本 一紀、秋山 剛、高田 健	71
4位線ROM	宝島大学	石渡 良彦、荒野 公一	71
4位線ROMを構成するROMブロック	宝島大学	石渡 良彦、荒野 公一	71
ニューロンMOSトランジスタを用いたアナログ回路	宝島大学	石渡 良彦、荒野 公一	71
SDIによる音声信号ヒルベルト変換ASIC	山形大学工学部	佐々木 博子、水沼 充、高橋 一清	72
AOCL回路を用いた4ビットMLU	山形大学工学部	高橋 一清、水沼 充、高橋 一清	72
マトリクスMRCを用いた、3次元格点シミュレーションフィルタの設計	東京工機大工学部	南木 茂孝、藤井 慎生	72
格点電力OTAの設計	東京工機大工学部	南木 茂孝、藤井 慎生	73
高性能積分器構成フィルタの設計	東京工機大工学部	南木 茂孝、藤井 慎生	73
電圧調整用マッチングセル	東北大学大学院工学部研究科 東北大学大学院工学部研究科	中井 崇、大見 忠弘、須田 直	73
電圧調整用MOSを用いた格点電力補償AOコンバータ	東北大学大学院情報システム設計教育研究センター 東北大学工学部研究科	小宮 光司、大見 忠弘	73
バリスティックハードウェアニューロンモデルに用いている非線形抵抗素子の設計	日本大学工学部	佐藤 隆敏、岡田 好文	74
ニューロンMOSの精度向上用TSG	東北大学大学院工学部研究科	弓井 悠、大見 忠弘	74
ゲイン可変予よこみコンバータ	東北大学大学院工学部研究科電子工学専攻 東北大学電子情報工学専攻	藤原 元、大見 忠弘、須田 直	74
アナログEEPROM用16ビット回路TSG	東北大学大学院工学部研究科 東北大学大学院工学部研究科	米澤 美穂、藤田 佳之、大見 忠弘、須田 直	74

平成 8 年度 第 2 回NEL試作

題 名	大 学 名	研 究 者	評 定
教育用16ビットマイクロプロセッサKITEのスタンダードセルによる実装	九州工機大 情報工学部/電気情報工学部 マイクロコンピュータ応用センター	小原 良介、江崎 孝幸、末吉 純則、久保 守弘	75
Dynamicアーキテクチャに基づく高速演算器設計用ASIC	早稲田大学 理工学部	渡辺 雅、戸川 望、津野 政生	75
MOS素子回路設計の試作	九州大学 システム情報科学研究科	江崎 剛志、Ali Shadi、黒木 幸治	75
ライブラリの設計を目的とした8ビットマイクロプロセッサMUE-CHP2の設計と試作	神戸大学工学部	平田 祐太、北村 晃男、小野 英祐、田丸 隆吉	76
ライブラリセル後記述用TSGチップの設計	九州大学 大学院 システム情報科学研究科 情報工学専攻	佐々木 大和、津野 豊一、妻清 実人	76
ライブラリ後記述のためのプロセッサチップの設計	九州大学 大学院 システム情報科学研究科 情報工学専攻	石原 亨、妻清 実人	76
マルチメディア用ビットストリーム・プロセッサの設計	九州大学 大学院 システム情報科学研究科 情報工学専攻	白川 地、村上 和彰	77
終了後法を用いたバイナリ加算器を用いた異型非同期式マイクロプロセッサの設計	東京大学工学部	藤原 丹多、佐藤 義典、須田 和博	77

平成 9 年度 第 1 回NEL試作

題 名	大 学 名	研 究 者	評 定
チップインタフェースにおける消費電力削減のための符号化・復号化回路	東京大学工学部	小原 聡、池田 悠、須田 和博	78
チップインタフェースにおける消費電力削減のための符号化回路用TSG	東京大学工学部	小原 聡、池田 悠、須田 和博	78
多層配線回路における容量行列抽出のためのTSG	東京大学工学部	三浦 信尚、佐藤 海、須田 和博	78
マイクロプロセッサモーターの設計	東京大学工学部	相原 祐一郎、野村 寛子、藤崎 英、西村 一朗	79
桁上げ補正を利用したマイクロプロセッサ	東京大学工学部研究科	入田 隆元、小嶋 登之、藤崎 英、西村 一朗	79
表部/複製部両方にMOSのCMOSコアの設計・評価	東北大学大学院 情報科学研究科	天田 博章、青木 孝文、巻口 昭健	79
格点電力補償電圧回路	立命館大学工学部	小野 謙一、永田 真、藤田 健	80
MPLを用いたCPU設計とチップ設計	宝島大学工学部	藤原 洋、北村 晃太、森本 正博	80
終了後法を用いたバイナリ加算器を用いた異型非同期式マイクロプロセッサの設計	東京大学工学部	藤原 丹多、佐藤 義典、須田 和博	80
ビットシリアルFPGAの開発	東京工機大電気電子工学部	一色 剛、岡田 博信	81
可変ラインサイズ・キャッシュの設計	九州大学 大学院 システム情報科学研究科 情報工学専攻	井上 礼士、高田 裕人、村上 和彰	81
FPGAのインタフェース・コアの設計	九州大学 大学院 システム情報科学研究科 情報工学専攻	佐々木 大和、津野 豊一、村上 和彰	81

平成9年度 第1回NEL試作

題名	大学名	研究者	評定
スマートイメージセンサLiDAR性能向上のTSG	東京大学工学部	横塚俊隆 萩田 純一 渡田 和博	82
光回折型レーザ回路を用いた分周器の設計	東京大学工学部	松本真行 西岡 英 西北一朗	82
EBテスト用パッドを付加したマイクロプロセッサの設計	大阪大学大学院 工学研究科 情報システム工学専攻	三浦 実介 神生 博也 中村 幸太 西川 弘	82
異なる材料間の伝導経路実用回路の設計	九州大学 大学院 システム情報科学研究科 情報工学専攻	松永英人 志村 真人	83
2次元数値シミュレーションセルの設計・評価	東北大学大学院 情報科学研究科	天田 博章 西水 孝文 樋口 洋規	83
DRAMを用いた、加算器メモリ	京大工学部	山岡 龍章 小林 幸史 渡辺 航也 小林 和規 田丸 裕幸	83
ADCコンバータ及びDACコンバータ	大阪大学 工学部	小川 剛 山口 研二	84
オペアンプを使ったニューロン回路	大阪大学大学院 工学研究科	市橋 基 山口 研二	84
DSP専用のMLU	大阪大学大学院 工学研究科	Tan Soon Keat 山口 研二	84
半導体製造ツールを用いた、異種IC実装の設計	大阪大学工学部	菅村 隆太 山口 研二	85
6次元電子チップの設計	九州大学システム情報科学研究科	江崎 剛志 尾 Shadi 池田 豊彦 河野 和幸 黒水 幸治	85
高速度VLSI神経回路網の設計(1)	東京大学生物資源研究所	行内 悠二 松井 真史	85
兼用回路型専用機回路	東北大学大学院 工学研究科	森本 雄一郎	86

平成9年度 第2回NEL試作

題名	大学名	研究者	評定
多端子MOSの構築	東京工科大学電気電子工学科	佐藤 剛史 横田	87
高速度VLSI神経回路網(2)とTSGMの設計	東京大学生物資源研究所	行内 悠二 井高 剛二 野添 浩一 川口 博 松井 真史	87
積層回路型DSPプロセッサ	大阪大学大学院 工学研究科	Tan Soon Keat 山口 研二	87
高集積度を対応した、遅延する回路アルゴリズムのハードウェア化	広島大学工学部	菅林 真一 小笠 弘士 中山 高樹 石野 虎男 利根 直志	88
センスアンプを用いた、CPL回路の評価	東京大学工学部	山下 高真 渡田 和博	88
DRAMを用いた、加算器メモリ	京大工学部	山岡 龍章 小林 幸史 渡辺 航也 小林 和規 田丸 裕幸	88
クロックカウンター	大阪大学大学院 工学研究科	市橋 基 山口 研二	89
0.5 μ m CMOS 回路と1.2 μ m CMOS 回路の性能比較	静岡理工科大学 電子工学科	鈴木 幹人 石倉 博光 鈴木 英樹 山田 賢憲 鈴木 淳孝 高崎 朋紀 山本 佳己 渡辺 彰隆	89
RISC型4ビット・マイクロコントローラの設計	東京工科大学情報科学部 電子工学科	松浦 孝 大塚 克彦	89
2次元レベルド回路のアドレス発生回路の設計	九州大学大学院 システム情報科学研究科	鎌田 清一朗 渡辺 由 風 尚輝	90
低消費電力デジタル大小比較回路	中央大学 工学部 情報工学科	早稲川 大 渡辺 芳 櫻木 忠雄	90
低電力加算器回路・低電力除算回路	中央大学 工学部 情報工学科	大沢 剛也 中村 健一郎 櫻木 忠雄	90
低電力4ビットエンベデッドSRAM	中央大学 工学部 情報工学科	佐藤 祥忠 石山 英夫 櫻木 忠雄	90
ダイレイフリップとレジスタレイ	中央大学 工学部 情報工学科	益崎 真正 鈴木 義之 櫻木 忠雄	91
マルチポートメモリにおけるアクセス実現回路	広島大学ナノデバイス・システム研究センター	山田 潤太郎 村上 真志 宇津敏 Hans Jürgen Metzbusch	91
ハードウェア記述言語を用いた、半導体製造ツール実装のためのVLSI設計	奈良先端科学技術大学院大学 情報科学研究科	木野 拓 電志 木田 俊之 Dor Roker 高木 一純 木村 智二	91

平成9年度 ローム試作

題名	大学名	研究者	評定
ROMML 向けセルライブラリの検証用チップ・設計非門用マイクロプロセッサ	東京大学大学院 情報システム学専攻 技術教育研究センター	關 瑞彦 池田 英 渡田 和博	92
ライブラリ検証用TSGおよび最小回路構築回路	東京大学工学部	池田 英 伊藤 浩 横塚 俊隆 渡田 和博	92
多層回路実装における容量遅延補償のためのTSG	東京大学工学部	三浦 哲南 伊藤 浩 渡田 和博	92
低遅延スイッチングを用いた、多層回路イメージセンサ	東京大学工学部	横塚 俊隆 萩田 純一 渡田 和博	93
桁上げ演算を利用した、マイクロプロセッサ	東京大学工学部	小嶋 登之 西岡 英 西北一朗	93
汎用回路実装プロセッサの設計	大阪大学 大学院 基礎工学研究科	森路 孝文 武内 貞典 岡井 正之	93
パラメータ調整用デバイス評価TSG	東京大学生物資源研究所 平木研究室	大沼 真士	94
COMPASS Toolによるプロセッサチップの設計	九州大学 大学院 システム情報科学研究科 情報工学専攻	石原 孝 志清 真人	94
東大製スタンダードセルを用いた、プロセッサチップの設計	九州大学 大学院 システム情報科学研究科 情報工学専攻	石原 孝 志清 真人	94
CMOSイメージセンサへのガンマ補正とゲイン調整回路の集積化	豊田技術科学大学 情報工学系	佐々木 正樹 川入 保二	95

平成9年度 □—△試作

題 名	大 学 名	研 究 者	評 定
アナログ並木回りのテストチップ	豊後国立大学工学部工学系	中 川 一 富 崎 大 輔 川 入 保 二	96
回生シミュレーション用並列データ処理機TES	京大田九研究室	近藤正伸 岡田 雄一 藤田 海軍 小野清 武佐 田九 隆吉	96
高速バクトル処理用並列メモリ型プロセッサアレイ	京大工学部研究科	渡辺 尚人 Vasily G. Makhryege 田九 隆吉	96
高速並列DSPプロセッサ機	大塚大学大学院工学研究科	Tan Soon Keat 市橋 善 小川 謙 山口 研二	96
数値用16ビットマイクロプロセッサMTEのスタンダードセルによる実装	九州工業大学 情報工学部情報工学科 九州工業大学 マイクロ化総合研究所 桜木大学 工学部情報システム工学科	江崎 孝幸 山本 孝 久 誠 守 弘 末吉 健 則	96
CMOSコンピュータショナルセンサのためのテスト回路	東京大学電子情報工学専攻	相澤 清 隆	97
タスク・グループ間の半順序関係に基づく並列な多マルチプロセッサ用リアルタイムスケジューラ	応慶市立大学情報科学部	丸中 信 夫 土 工 嶋 隆 三 嶋 彰 彰	97
並列非同期シリアルI/O方式による並列転送とリポート回路	東北大学大学院工学研究科 東北大学高度システム工学情報研究センター	宮井 保 野 沢 佳 之 藤 林 正 典 大 見 忠 弘 小 宮 亮 司	97
FPGA, 超小型アーキテクチャのFPGA	応慶市立大学情報科学部	越 智 俊 之	98
MSO: 高速度シリアルインターフェースデバイス	応慶市立大学情報科学部	越 智 俊 之	98

5.1. 試作結果

平成9年度第1回モトローラチップ試作

多層配線構造における容量行列抽出のための TEG

東京大学工学部 三堂 哲寿 伊藤 浩 浅田 邦博

はじめに 高密度化、大規模化が進む集積回路においては、信号の伝送遅延を評価するための容量抽出は重要な問題である。多層化が進むシステムにおいては多くの導体がそれぞれの間で結合容量を持ち、それらを個々に測定するためのテストストラクチャを作成することは大きな面積コストと多くの測定時間を必要とする。本試作では、多導体の結合容量を含む容量行列を一つのテストストラクチャで測定する手法を提案し、試作を行った。



図1 TEGのブロック図

試作チップ 今回試作したチップにはいくつかの典型的な容量パターンが測定対象として設計されている。測定回路は目的とする負荷容量を駆動する回路とその寄生素子をキャンセルするためのリファレンス回路からなる駆動部分を、シフトレジスタにより独立に制御可能となっている(図1)。本チップは博士2年および博士3年の学生が約1週間で設計し、全てのTEGでのトランジスタ総数は約2000となっている。

画素の選択的駆動による撮像センサ

東京大学工学部 秋田 純一 浅田 邦博

はじめに マルチメディアの普及等による画像信号量の増大により、撮像センサと信号処理系間の伝送路がボトルネックとなりつつある。今回、画素をメモリ素子のメモリセルのように取り扱い、外部のアドレスデコーダでブロックごとにまとめて順次選択して走査することで一種の即時的な情報圧縮を行う機能を光センサとともに集積した撮像センサを試作し、動作の評価および回路の選択的駆動による低消費電力化の検討を行った。

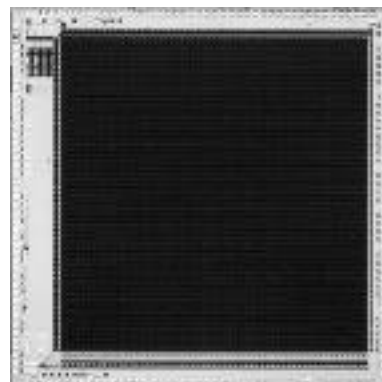


図1 メモリ型構造画像センサの構成

試作チップ 図1のような画素を外部のアドレスデコーダによって選択するメモリ素子型の構成において、選択された画素の値の論理和を読み出すと、その値が0の領域はすべての画素が0であることになるのでそこから先の走査を飛ばすことができる。逆に値が1の領域では更に領域を分割して小領域ごとに走査を繰り返すことで領域をブロックごとにまとめて走査することができ、一種の即時的な符号化が可能となる。このメモリ素子型の撮像センサの動作を評価するため、Motorola 1.5 μm を用いて設計を行った。周辺にアドレスデコーダを配置し、その横に選択順序を決定する制御回路をおく。画素はフォトダイオードをもつ光電変換回路からなり、画素数は128x128である。なお、本チップは博士3年の学生が約3週間で設計し、207,653トランジスタと16,384個のフォトダイオードで構成されている。

ツリー構造による画像信号走査センサ

東京大学工学部 秋田 純一 浅田 邦博

はじめに マルチメディアの普及等による画像信号量の増大により、撮像センサと信号処理系間の伝送路がボトルネックとなりつつある。今回、画像信号をツリー構造によって階層的に取り扱うことで、一種の即時的な情報圧縮を行う機能を光センサとともに集積した撮像センサを試作し、動作の評価および回路の選択的駆動による低消費電力化の検討を行った。

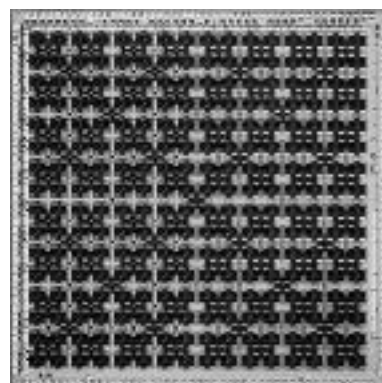


図1 ツリー構造による画素走査の手順

試作チップ 図1のような画素(四角印)とノード(丸印)からなるツリー構造で、ノードの値を下位の値の論理和とす

ると、上位から順に走査する際に値が0(白)のところから先を読み飛ばすことで0が多い領域での符号化効率が高くできる。このツリー構造による撮像センサの動作を評価するため、Motorola 1.5 μm を用いて設計を行った。各ノードは154トランジスタからなるオートマトンとし、画素はフォトダイオードをもつ光電変換回路の他に、動画圧縮のためにフレーム間差分をとる回路も含

めた。画素数は32x32、開口率は約30%である。なお、本チップは博士3年の学生が約2週間で設計し、104,784トランジスタと1,024個のフォトダイオードで構成されている。

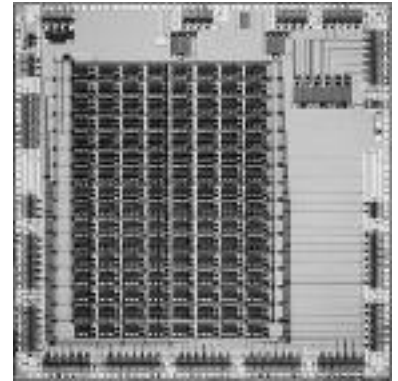
3つのマルチバイブレータをトランジスタ結合したセルの相互結合による不規則発振回路の作成
東京大学大学院工学系研究科 辻田 達男 藤島 実 鳳 紘一郎

はじめに 素子を相互に接続した自由度の高い系では、素子単独では単純な応答を示す場合であっても、非常に複雑な挙動を見せることが知られている。そこで、複雑系の性質を調べるのに容易な集積回路で試作を行なった。

試作チップ 非線型回路を相互接続した系の振る舞いに関して、従来、シミュレーションによるさまざまな計算がなされてきたが、集積回路を用い、リアルタイムな測定を通じてダイナミックな系の振る舞いを検討した例はない。このため、我々は、集積化が容易で、

かつ測定が容易な不規則発振する回路について検討を行い、図1に示すような、3つのマルチバイブレータをトランジスタ結合した回路をセルとして2次元に相互結合した回路を試作した。チップ上には8x8=64個のセルを配置し、それぞれの結合の度合いは外部から与える電圧で調整できるようになっている。出力波形はオペアンプを用いたバッファを通してチップの外へ出されている。チップは、博士2年の学生が1ヶ月で設計し、およそ2000トランジスタで構成されている。

図1 トランジスタ結合した
マルチバイブレータ



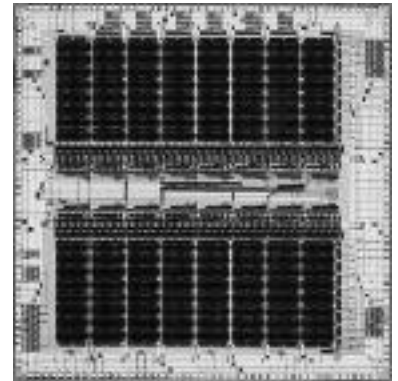
4端子デバイスを用いたコードブック固定アナログベクトル量子化プロセッサ
東北大学大学院工学研究科電子工学専攻 中田 明良 菅田 正宏 森本 達郎

米澤 岳美 大見 忠弘

東京大学電子情報工学専攻 柴田 直

はじめに ベクトル量子化を用いたアプリケーションの開発並びにベクトル量子化の研究がなされている。我々はベクトル量子化を用いて、人物認識・動画圧縮の研究を行っている。しかしながら、ベクトル量子化を行う場合入力ベクトルにもっとも似通ったベクトルをコードブックの中から探し出す演算処理に非常に時間がかかっていた。そこで、我々は4端子デバイスを用いて非常に簡単な回路で高速なベクトル量子化チップの実現を試みた。

試作チップ 4端子デバイス(ニューロン MOS トランジスタ)の特徴を生かし、アナログ多値処理による完全並列方式ベクトル量子化プロセッサを作製した。このプロセッサではマッチングセルにその容量分割比でコードブックベクトルの値を予め記憶させるニューロン MOS ソースフォロア多値 ROM 一体型差分絶対値回路を用いた。これにより最も機能ブロックを必要とするベクトルマッチングブロックを大幅に縮小した。またアナログ電圧の最大値を検索する WTA において参照電圧自己収束方式を新たに導入した。このチップはニューロン MOS トランジスタを用いた最初の大規模集積回路である。本チップは修士1年、博士1年2人、博士3年1人他の学生が約1か月で設計し、約5.5万トランジスタで構成されている。



並列視覚情報処理システムに関する研究

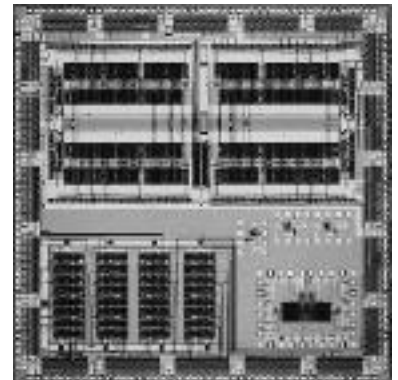
東北大学大学院工学研究科 平野 圭一

栗野 浩之 小柳 光正

はじめに 近年様々な分野でデジタル画像処理が応用されているが、各画素を逐次的に処理する従来の方式では高速化のニーズに対応できない。そこで我々は処理速度の飛躍的な向上が望める並列処理システムを提案した。

試作チップ 今回は、デジタル画像処理として入力画像のエッジ抽出を行なうチップを試作した。システム概要を図1に示す。チップ上には8x8画素に対して画像処理を行なう単位システム(ユニット)が全部で4個ある。各ユニット内には、A/Dコンバータ、シフトレジスタ、ALUがそれぞれ1個ずつ含まれ、8x8画素のデータについてパイプライン処理が行なわれている。更に、4個のユニット間で同時並列に処理を行なうことにより、システム全体で16x16画素の画像を処理している。なお、ALUではエッジ抽出のために処理対象とその4近傍の画素データを使った演算が行なわれるが、ユニット境界の画素の処理時に隣接ユニットの画素データが必要となるので、そのためのバスが設けられて

図1 システム概要



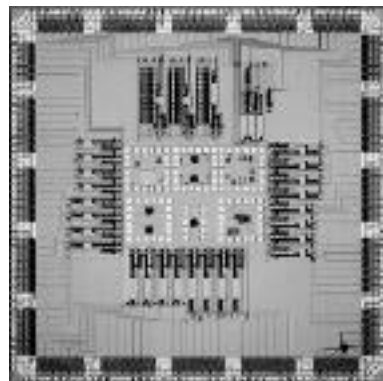
いる。将来、ユニット数を増やすことでシステム全体の規模を拡張することが可能である。しかも、システム全体の動作速度は1ユニットの動作速度に等しいため、規模が大きくなるほど従来の方式に較べて有利になる。なお、本チップは修士1年の学生が約3か月で設計し、約5kトランジスタで構成されている。

集合論理集積回路の基本回路の試作・評価

東北大学大学院情報科学研究科 中西 崇 青木 孝文 樋口 龍雄

はじめに 近年、VLSI や MCM に代表されるシステムの集積化・実装技術の発展は著しいが、激増する配線に起因する性能限界が深刻なボトルネックとなりつつある。この配線問題の解決を目的として、M 系列と呼ばれる擬似ランダム系列により情報を多重化し処理を行う新しいデジタルシステムを提案している。今回、筆者らは擬似ランダム系列を用いた集合論理集積回路の基本回路の試作・評価を行った。

試作チップ 信号線上に r 種類の独立な情報担体を多重化すると、それぞれの有無により、等価的に 2^r 値論理に相当する情報表現が可能であり、集合論理に基づいて信号を分離せずに処理することができる。今回の試作は、M 系列を情報担体とした集合論理集積回路の実現可能性を検討することを目的としている。本システムの基本回路は、多重化した M 系列を発生させる多系列発生器と任意の集合を検出する多系列検出器からなる。多系列発生器は、M 系列発生器である線形帰還シフトレジスタの各遅延素子の出力を電流値に変換するために正・負の電流源が付加されており、情報担体の多重化は結線による線形加算により実現される。多系列検出器は、スイッチとキャパシタのみでコンパクトに構成されている。写真は、Motorola 1.5 μm によるこの基本回路の試作である。動作周波数は HSPICE による回路シミュレーションにおいて 50MHz となることを確認した。なお、本チップは修士2年の学生が約1ヵ月で設計し、6kトランジスタで構成されている。

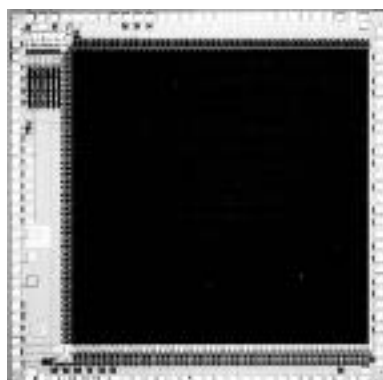


画素の選択的駆動による撮像センサとフレーム間差分動画圧縮への応用

東京大学工学部 秋田 純一 浅田 邦博

はじめに マルチメディアの普及等による画像信号量の増大により、撮像センサと信号処理系の間の伝送路がボトルネックとなりつつある。今回、画素をアドレスデコーダでブロックごとにまとめて順次選択して走査することで一種の即時的な情報圧縮を行う機能を、フレーム間の差分をとる機能をもつ画素と共に集積し、動画像圧縮へも応用が可能な撮像センサを試作し、動作の評価および回路の選択的駆動による低消費電力化の検討を行った。

図：メモリ型画像センサの構成



試作チップ 図1の外部のアドレスデコーダによって画素を選択するメモリ素子型の構成において、選択された画素の値の論理和を読み出すと、その値が0の領域はすべての画素が0であることになるのでその先の走査を飛ばし、逆に値が1の領域では更に領域を分割して小領域ごとに走査を繰り返すことで領域をブロックごとにまとめて走査でき、一種の即時的な符号化が可能となる。動画のフレーム間差分では、動きのある有意画素は十分少ないことが期待できるため、この符号化が効率的に利用できると考えられる。このフレーム間差分動画圧縮機能を持つメモリ素子型の撮像センサの動作を評価するため、Motorola 1.5 μm を用いて設計を行った。周辺にアドレスデコーダと選択順序を決定する制御回路をおく。画素はフォトダイオードをもつ光電変換回路とフレーム間差分をとる回路からなり、画素数は 64×64 である。なお、本チップは博士3年の学生が約2週間で設計し、120,045トランジスタと4,096個のフォトダイオードで構成されている。

フローティングゲートを用いた演算方式によるインテリジェントセンサの試作

早稲田大学理工学部 永井 宏昌 国島 貴志 坂井 丈泰 松本 隆

はじめに 既存のイメージセンサは画像情報をいかに忠実に入力するかという点に努力が払われており、画像入力装置としての機能しか持たな

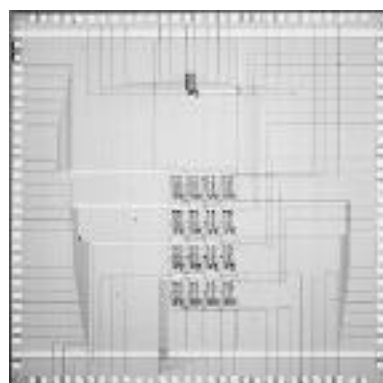


図1 離散コサイン変換回路

いのが普通である。

しかし、情報入力以外の機能を追加して複合機能デバイスにすることにより、それぞれの機能を分離していたのでは不可能だった性能や機能を達成できると考えられている。

試作チップ 今回検討したアーキテクチャを図 1 に示す。図 1(a)は我々の提案するイメージセンサの演算回路である。このチップは画像圧縮によく用いられている離散コサイン変換を行なうものである。まず試作段階として、1 次元 8 点離散コサイン変換回路を設計した。図 1(b)は 1 次元 8 点離散コサイン変換回路の概略図である。つまり

$$F_x(u,0) = \frac{C(u)}{4} \sum_{k=0}^7 f(k,0) \cos \frac{(2k+1)u\pi}{16}$$

を計算すれば良いことになる。ここで $f(k,0)$ が入力で、 $F_x(u,0)$ が出力であり、今回制作したチップは図 1 (a)を並列に 8 個つなげたものである。なお、本チップは修士 2 年及び 1 年の学生が約 2 か月で設計し、7 2 トランジスタで構成されている。

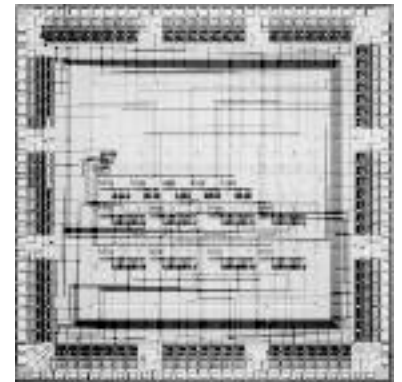
フリーウェア magic による双方向マルチセクタの製作

慶應大学理工学部 森澤 文晴 井上 敬介 天野 英晴

はじめに 集積回路設計に関する授業の演習に商用 CAD を使用する場合には様々な問題点がある。そこで、フリーウェアであり、かつパソコンでも動作する magic[1] で双方向マルチセクタを設計し、実際に演習に使用可能かどうかの検討を行った。

試作チップ 今回試作したチップのアーキテクチャを図 1 に示す。Y と A、B、C、D 間の任意のパスを選択し、双方向の通信が可能である。本チップは magic のテクノロジーファイルを VDEC の Web で公開中している MOTOROLA 1.5 μ m プロセスで試作した。修士 1 年の学生が約 3 週間で設計し、約 1k トランジスタで構成されている。試作チップは並列計算機テストベッドの CPU 周辺のデータバスおよびバスの制御に使用する予定である。この結果、今後の条件次第では magic による設計演習は十分可能であることがわかった。

図 1 機能ブロック図



参考文献 [1] Robert N.Mayo, Michael H.Arnold, Walter S.Scott, Don Stark, Gordon, T.Hamachi: MAGIC Manuals

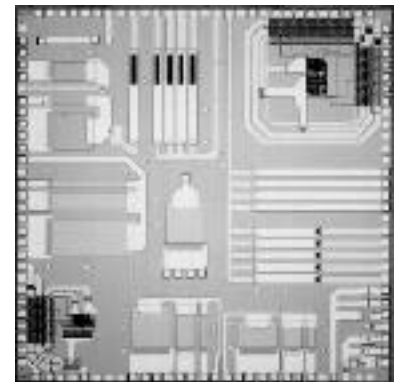
カルコゲナイド薄膜の相転移を用いた不揮発性メモリの研究

金沢大学工学部 池田 真俊 水橋 嘉章 早川 史人

はじめに カルコゲナイド半導体の相転移を利用する不揮発性メモリの研究用にチップを開発した。過去の実験結果からメモリ素子サイズを微細化する必要があると考えられ、モトローラ 4.8mm 角チップにメモリ素子用の構造を設けた。なお、別テーマの ALU 及び D/A コンバータとの相乗りの形をとっている。

試作チップ 今回検討したメモリ素子部分の断面構造を図 1 に示す。カルコゲナイドを上下電極で挟んだ構造であり、ピアホールを活用して素子サイズを直径 1.5 μ m に制限している。製作されたチップに対して FIB 装置を用いて加工を行った後、カルコゲナイド半導体及び上部電極を蒸着しメモリ素子を完成する。98 年 3 月現在、FIB による加工を行っており、現在の時点では動作確認はまだ行っていない。相乗り部分は 500 トランジスタ程度であるが、本研究に関する部分のトランジスタ数は零である。このチップは修士 2 年の学生が 2 週間程度で設計したものである。

図 1 メモリ断面構造

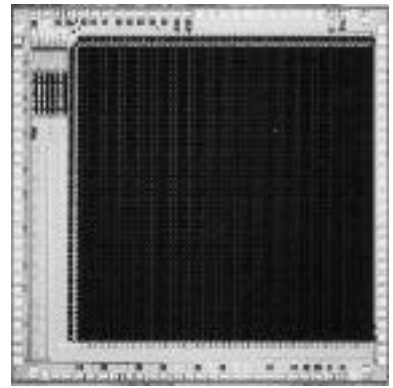


ツリー構造によって符号化された二次元画像信号の復号回路

東京大学工学部 渡部 亮太 秋田 純一 浅田 邦博

はじめに 二次元画像信号の走査手法として、二値画像信号を四進木構造を用いて扱う手法を以前に提案し、フレーム間の差分のように有意画素の少ない場合に無駄な走査を省くことで、一種の即時的な情報圧縮を実現できることを示し、前回の試作でこの走査手順を実現するセンサを設計した。本試作では、その手法により符号化された画像を二次元画像信号に復元するために領域アクセスが可能なメモリ平面をもつデコーダの試作を行った。

図: デコーダのメモリ平面の構成



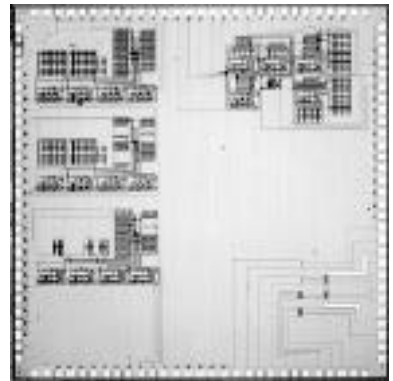
試作チップ 四進木構造で符号化された二値画像信号(1:4ツリー符号)

は、符号の各ビットは、走査手順に応じた階層に対して、上位層ほど大きい領域の画素の論理和が得られるという特徴がある。そこで1:4ツリー符号の各ビットに対応する領域を選択し、選択された領域のすべてのメモリセルに対して1:4ツリー符号を書き込むことにより、二次元画像への復号が実現できる。またこの領域選択の手順は、前回設計したメモリ型構造を持つ1:4ツリーセンサの領域選択手順と同一であるため、回路の共有が可能である。このような構成の1:4ツリー符号のデコーダの動作を評価するため、Motorola 1.5 μ mを用いて設計を行った。メモリ平面は32x32個のメモリセルから成り、その周辺に領域選択手順の制御回路及びメモリセルの選択回路をおく。領域選択信号を外部から与えることができるような回路としたことで更に大きな二次元信号の復号にも対応できる。なお、本チップは修士1年の学生が約1週間で設計し、110,024トランジスタからなる。

線形化技術を用いた連続時間系フィルタの試作

東京工業大学工学部 高木 茂孝 藤井 信生

MOS アナログ回路における最大の問題の一つに MOSFET が発生する信号歪みがある。従来から我々は、この歪みを低減する手法を幾つか提案してきた。今回の試作では、従来から我々が提案した構成手法と、それに改善を加えてトランジスタ数を削減した構成手法、容量値を低減した構成手法の3種類によるフィルタの比較、検討を行った。これら3種類の構成手法により実現されたフィルタに加えて、これらフィルタの遮断周波数を自動的に制御するための回路も同時に実現した。この自動調整回路は、PLL 内の低域通過フィルタと高利得直流増幅器をスイッチトキャパシタ積分器に置き換え、さらにダウンサンプリング技術を用いることにより、PLL で発生する高調波成分を、理論的には完全に除去することができる構成となっている。設計には、博士1年生1名と学部学生1名が担当し、約3週間の時間を要した。また、トランジスタ数は全体で約450個である。

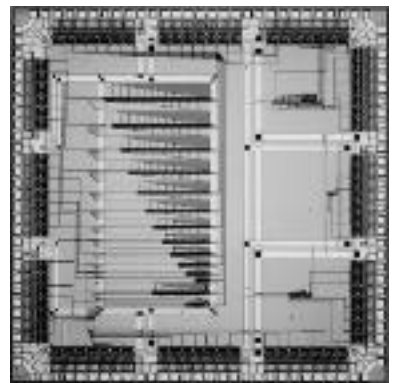


完全フローティング型ニューロン MOS 回路の試作

九州大学 大学院 システム情報科学研究科 情報工学専攻 廣瀬 啓 安浦 寛人

はじめに 我々は、東北大学大見研究室で開発されたニューロン MOS(neuMOS)FET を利用したシステム LSI の実現ために、neuMOS のための設計支援環境の構築と neu-MOS を用いた算術演算回路の評価を行ってきた。今回、基本的な neuMOS 回路の動作確認と、VDEC における完全フローティング型 neuMOS 回路の実証を目的としてモトローラチップ試作に参加し、設計を行った。

試作チップ neuMOS は複数の入力ゲートを持ち、入力電圧の線形和に応じてしきい動作をする多入力 MOS デバイスである。今回の試作では、neuMOS 論理回路の基本素子である neuMOS インバータ(入力ゲート数は3~25の奇数)と3入力および7入力の並列カウンタを設計した。並列カウンタに neuMOS を用いると CMOS とほぼ同じ速度で面積を小さく実現できるため、並列乗算器の小型化に利用できる。neuMOS の構造としては完全フローティング型を採用した。完全フローティング型 neuMOS はその構造が単純であるため設計し易いが、製造および動作時にフローティングゲート中に蓄積された電荷が誤動作の原因となる。この電荷は紫外線照射により除去する。本チップは、博士後期課程1年の学生が回路図入力からレイアウトまでフルカスタムで約3週間をかけて設計を行い、約2kトランジスタで構成されている。



SX-9000 による 4 ビット全加算器の設計

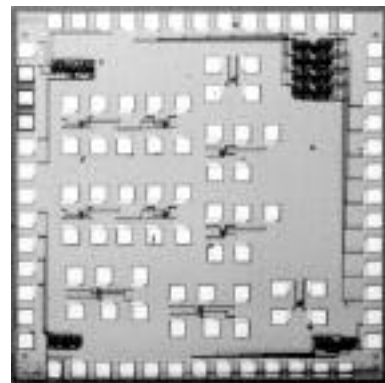
武蔵工業大学工学部 中野 淳一 斎藤 豊 高崎 篤 野平 博司 森木 一紀

秋谷 昌宏 服部 健雄

はじめに 武蔵工業大学内の L S I チップ設計を教育・研究する環境を整備するため、プロセス・デバイス系の 2 研究室が共同し、V D E C に参加した。C A D ソフトのインストール開始からネットリスト提出期限まで約 3 週間と短期間であったが、チップ試作のフローを体験することを目的とし、試作することにした。

試作チップ 短期間で設計ツールを立ち上げネットリストを作成するため、まず、パターンレイアウト設計用ツール“S X - 9 0 0 0”を導入した。U N I X 管理の経験が無いため、環境設定等に時間を要した。試作チップは L S I の設計手順を理解するために、4 ビット全加算器にした。環境設定および設計は、学部 4 年生 3 名が主に行った。作業時間は S X - 9 0 0 0 の操作習得に 3 日、回路要素の設計に 7 日、フレームへのレイアウトに 7 日、ルールチェック 5 日要した。

謝辞：C A D ソフトのインストールから設計法までの指導して頂いた玉川大学山本庸介教授に感謝致します。



スタンダードセルの動作確認

武蔵工業大学工学部

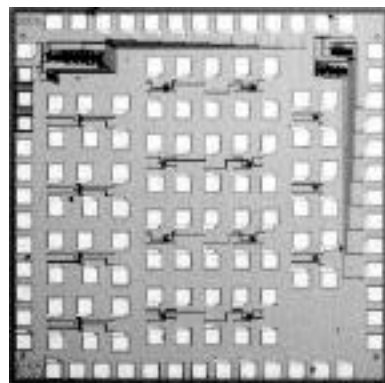
斎藤 豊 高崎 篤 中野 淳一 野平 博司 森木 一紀 秋谷 昌宏 服部 健雄

はじめに L S I 設計に先立ち、スタンダードセルの動作確認を目的にして、I N V、N A N D、N O R 等の T E G を試作した。また、パターンレイアウトの習得を目的に、フリップフロップと半加算器もチップ内に配置することにした。

2. 試作チップ

スタンダードセルの T E G を測定し、所望の動作をすることを確認した。試作チップでは、しきい電圧のばらつきは予想していた値に比較し大きかった。パターンレイアウトに関しては、セルへの電源供給線および G N D 線が細過ぎる等の今後改良すべき点が明らかになった。同時に試作したフリップフロップおよび半加算器も正常に動作することを確認した。設計は、学部 4 年生 3 名で主に行い、製作した素子は I N V (T E G)、N A N D (T E G)、N O R (T E G)、S R - フリップフロップ、J K - フリップフロップ、半加算器である。作業日数は、設計ツール“S X - 9 0 0 0”のインストールを含め 21 日であった。

謝辞：スタンダードセルの設計法を教えていただいた玉川大学山本庸介教授に感謝致します。



4 端子デバイスを用いたコードブック固定アナログベクトル量子化プロセッサのためのテスト回路

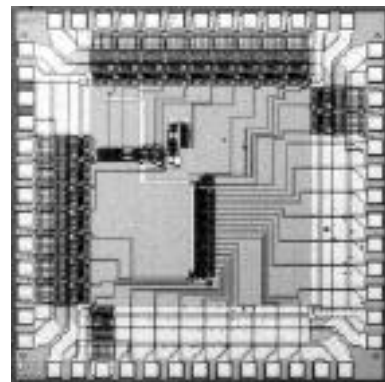
東北大学大学院工学研究科電子工学専攻 中田 明良 菅田 正宏 森本 達郎

米澤 岳美 大見 忠弘

東京大学電子情報工学専攻 柴田 直

はじめに ベクトル量子化を用いたアプリケーションの開発並びにベクトル量子化の研究がなされている。我々はベクトル量子化を用いて、人物認識・動画圧縮の研究を行っている。しかしながら、ベクトル量子化を行う場合入力ベクトルにもっとも似通ったベクトルをコードブックの中から探し出す演算処理に非常に時間がかかっていた。そこで、我々は 4 端子デバイスを用いて非常に簡単な回路で高速なベクトル量子化チップの実現を試みた。

試作チップ 4 端子デバイス(ニューロン MOS トランジスタ)の特徴を生かし、アナログ多値処理による完全並列方式ベクトル量子化プロセッサを作製した。このチップは、このプロセッサでマッチングセルとして採用した、その容量分割比でコードブックベクトルの値を予め記憶させるニューロン MOS ソースフォロア多値 ROM 一体型差分絶対値回路のテスト回路と、アナログ電圧の最大値を検索する W T A において参照電圧自己収束方式を導入したテスト回路である。本チップは修士 1 年、博士 1 年 2 人、博士 3 年 1 人他の学生が約 1 か月で設計し、約 500 トランジスタで構成されている。



フローティングゲートを用いた演算方式によるインテリジェントセンサの試作
早稲田大学理工学部 永井 宏昌 国島 貴志 坂井 丈泰 松本 隆

はじめに 既存のイメージセンサは画像情報をいかに忠実に入力するかという点に努力が払われており、画像入力装置としての機能しか持たないのが普通である。しかし、情報入力以外の機能を追加して複合機能デバイスにすることにより、それぞれの機能を分離していたのでは不可能だった性能や機能を達成できると考えられている。

試作チップ 今回検討したアーキテクチャを図 1 に示す。図 1(a) は我々の提案するイメージセンサの演算回路であり、良く知られている差動増幅器の入力トランジスタのゲートをそれぞれフローティングとしたものである。差動増幅器は 9 トランジスタと 15 トランジスタを設計した。図 1(b) は 15 トランジスタの差動増幅器である。また、出力電圧 V_{OUT} は

$$V_{out} = \alpha \left[\frac{\sum_n C_n^+ V_n}{C_{total}} - \frac{\sum_n C_n^- V_n}{C_{total}} \right]$$

と表されるから、 $C+N, C-N$ によりそれぞれ正負の重みを表現することができ、しかも出力は入力電圧の線形な関数となる。 C_n^+, C_n^- は任意な値をとることができるから、任意の係数および項数による（今回は $N=5$ ）積和演算回路としての機能を持つことがわかる。なお、本チップは修士 2 年及び 1 年の学生が約 2 か月で設計し、24 トランジスタで構成されている。

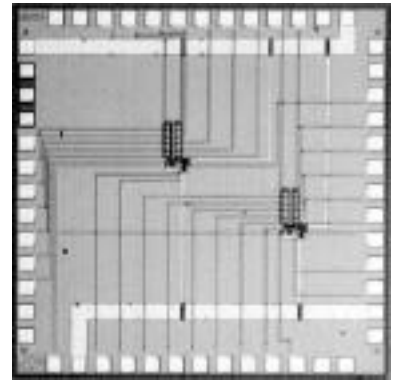


図1 差動増幅器

フローティングゲートを用いた演算方式によるインテリジェントセンサの試作
早稲田大学理工学部 永井 宏昌 国島 貴志 坂井 丈泰 松本 隆

はじめに 既存のイメージセンサは画像情報をいかに忠実に入力するかという点に努力が払われており、画像入力装置としての機能しか持たないのが普通である。しかし、情報入力以外の機能を追加して複合機能デバイスにすることにより、それぞれの機能を分離していたのでは不可能だった性能や機能を達成できると考えられている。

試作チップ 今回検討したアーキテクチャを図 1 に示す。図 1(a) は我々の提案するイメージセンサの演算回路であり、良く知られている差動増幅器の入力トランジスタのゲートをそれぞれフローティングとしたものである。このチップは画像のエッジ成分を強調する、アンシャープマスキングを行なうものである。

図 1(b) はアンシャープマスキングのテンプレートである。つまり $g(x,y)=5f(x,y)-f(x-1,y)-f(x+1,y)-f(x,y-1)-f(x,y+1)$ を計算すれば良いことになる。今回制作したチップは図 1 (a) を 16 個つなげたものであり、4 x 4 点アンシャープマスキングフィルタを構成している。なお、本チップは修士 2 年及び 1 年の学生が約 2 か月で設計し、256 トランジスタで構成されている。

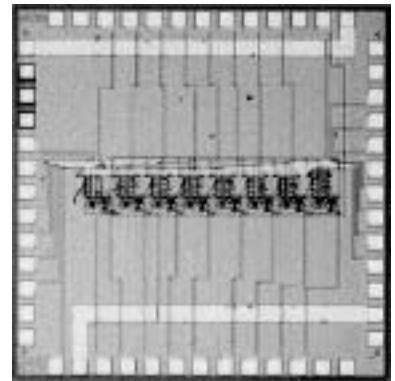


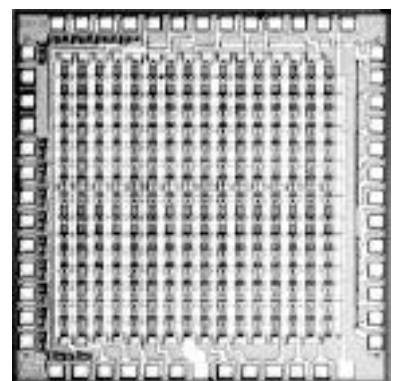
図1 アンシャープマスキング

比精度ばらつきモデルおよびローディング効果測定用 TEG

京都大学工学部 岡田 健一 小野寺 秀俊 田丸 啓吉

はじめに 製造条件のばらつきによるトランジスタ特性のばらつきは従来より問題となっていた。近年では、トランジスタの最小寸法の縮小により特にトランジスタ対の特性の差つまり比精度の悪化が問題となっている。本 LSI 試作の目的は、比精度解析のために考慮したモデルのパラメータ抽出を行う事である。

試作チップ 本 TEG は 2 つの部分から成り立つ。1 つは比精度ばらつきモデルのパラメータ抽出用トランジスタ TEG である。16x16 の 2 次元アレイ構造を持ち、少ないピン数で多数のトランジスタの測定が可能である。もう 1 つはローディング効果モデルのパラメータ抽出用 TEG である。これはポリシリコンの設計寸法と仕上がり寸法のずれをその疎密度によりモデル化するためのものである。初めに試作した TEG は I/O に不具合があったので、改良を加えたものの設計も行



い、同一目的のTEGの試作を合計2回行った。なお、本チップは学部5年の学生が設計し、初めの試作では約20日、2回目の試作では約2日で設計を行った。

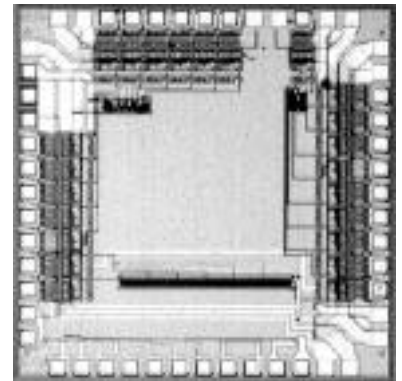
DRAMを用いた加算機能メモリ

京都大学工学部 山岡 雅直 小林 幸史 渡辺 航也 小林 和淑

田丸 啓吉

はじめに パスボトルネックを解消するため、機能メモリというアーキテクチャが提案されている。我々は、DRAMを用いて、加算機能に重点をおいた演算機能を有する機能メモリ(加算機能メモリ)の設計を行なった。加算機能メモリは、ロジックのプロセスで設計を行なっているためDRAMセルの特性が重要となる。

試作チップ 試作チップでは、メモリセルのトランジスタの数が1トランジスタのものと同4トランジスタのもの2種類、容量の作り方の違いで2種類の計4種類のメモリセルを作り込んだ。それぞれのメモリセルには、値を書き込むことが出来ると同時に、センスアンプを通じて値を読み出すことが出来る。このセンスアンプでは、0.1V単位で出力電圧を調べることが出来るためこれを用いてメモリセルの蓄積ノードの電位を調べ、それぞれのセルのリテンション特性などを測定する。本チップは、修士2回生の学生が2日で設計を行ない約40トランジスタで構成されている。



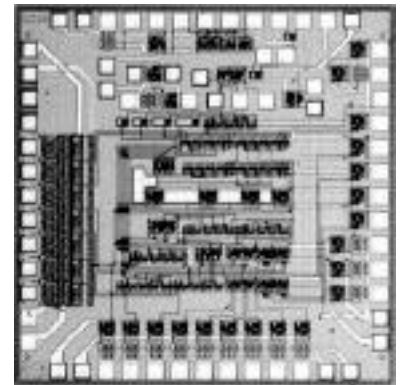
アナログ基本回路(オペアンプ回路)の設計・試作

大阪大学工学部 吉村 隆治 谷口 研二

背景 当研究室では、VDECのチップ試作サービスの開始と共に回路設計に関する研究を開始した。まずはツールの使用方法からはじめチップ試作の一連の流れを理解することを目標とし、オペアンプ、アナログ用入出力バッファなど比較的基本的な回路の設計・試作を行った。

試作 設計したオペアンプの回路を図に示す。トランジスタのサイズはHSPICEを用いたシミュレーションによって決定した後、レイアウトツールを用いてチップレイアウトを描いた。入出力バッファ回路はダイオードの逆方向バイアス特性を用いた単純なものにオペアンプによるエミッタフォロア回路を付加したものである。テスト回路が多くI/Oピン数が不足したためマルチプレクサを多用しそれを補った。本チップは修士2年の学生が約1か月で設計し、約1kトランジスタで構成されている。

オペアンプの回路図

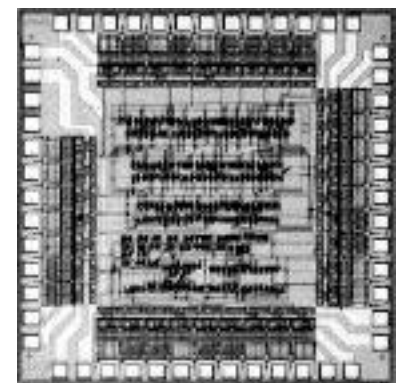


BDDに基づく加算器

大阪大学大学院工学研究科 Tan Boon Keat 谷口 研二

はじめに BDD(2分決定グラフ)を用いる処理方法は記憶効率や計算速度の面で優れており、最近盛んに用いられている。今回の設計は、BDDの手法を用いた一括加算器を設計した。BDDの実装方法は様々な手法が考えられるが、今回はバストラジスタを使用して設計した。

BDDに基づく加算器 1ビットあたりの加算器をBDDで行うと、28個のトランジスタが必要であり、従来のCMOSでの回路とほぼ変わらない。しかし、多段加算器の場合はより小さい規模で実現できる。今回の設定は、その一括加算器の部分回路(1ビットあたりの回路)を設計した。試作チップの動作テストを考えに入れ、さまざま異なるサイズのデバイスを用いた。今回の設計は学部学生1人で、約1ヶ月間行った。トランジスタ数は約1.5Kである。



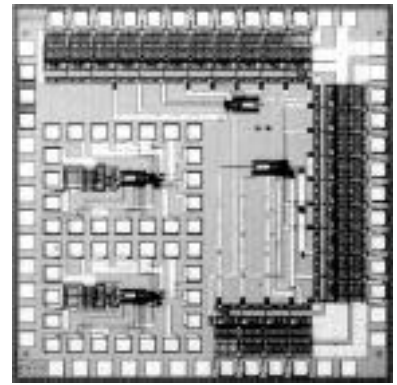
ニューラルネットワークのための無相関ノイズ発生器

東北大学大学院工学研究科電子工学専攻 黄 景宏 大見 忠弘
東京大学電子情報工学専攻 柴田 直

チップ概要 本試作チップはニューラルネットワークの学習モデルをハードウェア化するのに不可欠な無相関ノイズ発生器である。ノイズ発生源としてはMOSFETのチャンネルに生じる熱雑音を用いており、簡単なCMOS構造により構成されており、CMOSソースフォロワのアンチミラー効果を利用してノイズパワーを大きく得られるように設計した。

試作に要した日数 約1ヶ月 **主な設計者の身分** 修士2年1名

トランジスタ数 約100トランジスタ

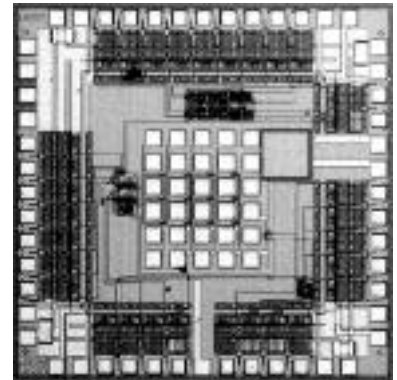


低消費電力ニューロン MOS 論理回路

東北大学大学院工学研究科 Ho-Yup Kwon 今井 誠 大見 忠弘
東京大学 小谷 光司 柴田 直

はじめに ニューロン MOS トランジスタは、東北大学で開発された高機能4端子デバイスである。ニューロン MOS ゲートの一般形は、複数の入力端子が容量的に結合するフローティングゲートとしきい素子である CMOS インバータから構成される。しかし、従来のニューロン MOS ゲートは、CMOS インバータの貫通電力により、定常消費電力が非常に大きいという欠点を持っていた。そこで、貫通電力を無くし、消費電力を低減し、動作速度も向上する新しいニューロン MOS ゲートを開発し、チップ試作により動作の検証を行った。

試作チップ ラッチ回路をしきい素子として用いるセルフラッチ型ニューロン MOS 論理ゲート、リセット時の貫通電力を防止して更に消費電力を削減したパワースイッチ付セルフラッチ型ニューロン MOS 論理ゲートのテスト回路を設計した。比較のために、従来の CMOS インバータ型ニューロン MOS 論理ゲート、シーメンスが提唱しているニューロン MOS 論理ゲートも設計した。設計は博士課程3年の学生1名で2週間程度で行った。

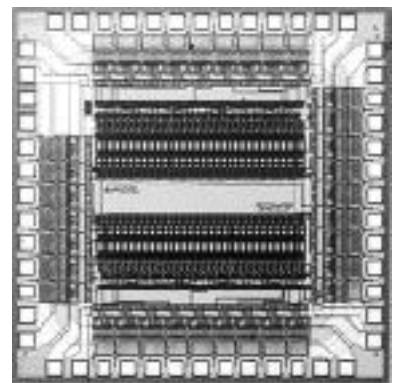


WTA 回路の TEG

東北大学大学院工学研究科 中井 努 大見 忠弘
東京大学大学院工学系研究科 柴田 直

はじめに 連想を基礎とするアナログ情報処理において、複数のアナログ値の中からもっとも大きい(小さい)ものを見つけだし、そのアドレスを出力する WTA(Winner-Take-All) 回路は非常に重要な役割を果たす。我々は、フローティングゲートを持つインバータのフローティングゲート上で入力電圧とランプ電圧を加算し、インバータの反転のタイミングでアナログ値を検索するタイプの WTA 回路について、ランプ電圧の回路内での遅延が検索精度にどのような影響を及ぼすか調べる為、WTA 回路の TEG を設計した。

試作チップ 同じ回路図で表されるWTA 回路を、異なったレイアウトで実現し、ランプ電圧のチップ内での伝搬遅延が回路の精度にどのように影響するのか調べる TEG を設計した。本チップは、博士3年の学生が約2週間で設計した。



CMOS プロセスを用いた高精度電流センサー

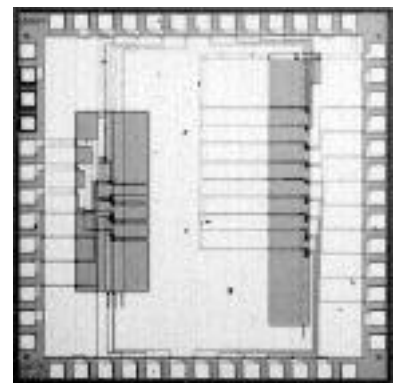
玉川大学 山本庸介

チップ概要 回路に流れる電流を計測する手段のひとつとしてホール素子を設計した。試作の目的は通常の CMOS プロセスで作成した場合の感度評価ならびに、感度におよぼす形状効果の評価などである。ホール素子材料はモトローラ1.5ミクロンの CMOS プロセスのなかの、Nウエル、NMOS / PMOS のソースドレイン、ポリシリコンなどで設計し、近傍に電流を流すための配線を配している。

試作に要した日数 約1か月 **主な設計者の身分** 学部4年生

素子数 ホール素子17素子

参考文献 土屋直子, 市川裕士, 山本庸介, "ホール素子とオペアンプを混載した電流センサー集積回路の設計"玉川大学工学部紀要(97年度)



アナログベクトル量子化プロセッサ用アドレスデコーダ及び抵抗切替え回路

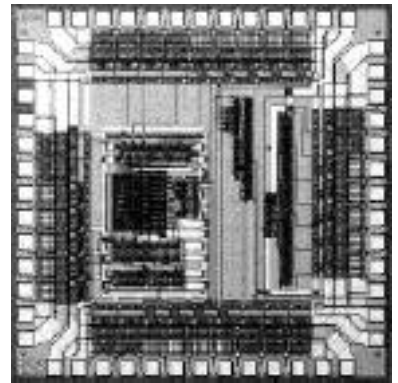
東北大学大学院工学研究科電子工学専攻 森本 達郎 米澤 岳美 大見 忠弘

東京大学電子情報工学専攻 柴田 直

チップ概要 作成したアドレスデコーダ及び抵抗切替え回路は、7.3mm角チップにおいて試作したアナログベクトル量子化プロセッサに用いられており、その個別回路の動作検証のために試作した。アドレスデコーダはROM型であり、ベクトル量子化プロセッサにおいてWinner Codeのアドレスを出力する。また、抵抗切替え回路は、アナログ電圧の最大値を検索するWTA回路に用いられており、トランジスタのオン抵抗を抵抗として用い、入力信号により抵抗値を段階的に変化させる機能を有する回路である。

試作に要した日数 約1月 **主な設計者の身分** 修士1年、博士1年1人

トランジスタ数 約300トランジスタ

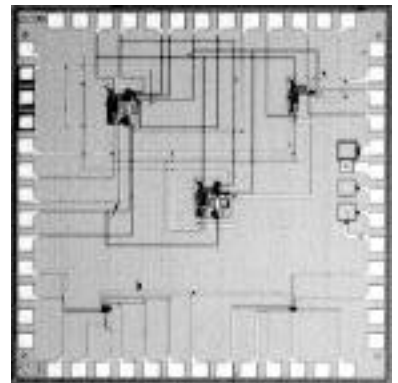


集積化のためのカオスノイズ発生回路の設計

東北大学電気通信研究所 田中 英俊 佐藤 茂雄 中島 康治

はじめに カオスダイナミクスを有するニューラルネットワークを大規模集積化するさいに、カオスノイズ発生回路はネットワークのニューロン数だけ必要となる。そのためにカオス発生回路を小規模で設計する必要がある。今回我々はこれらの条件を満たす小規模なカオスノイズ発生回路の設計を行った。

試作チップ概要 今回設計した回路は bump 回路をベースとしたマップを用い、外部クロックで動作するアナログスイッチとキャパシタにより入出力電圧の保持を行う。これにより得られる電圧の時系列がカオスノイズとして使用可能である。マップを用いる利点として回路の小面積・少数トランジスタ化を実現している。また設計した回路の測定を行った結果、正のリアプノフエクスポネントを持つカオスノイズを得た。なお本回路は 19 トランジスタ、2 キャパシタを使用、面積は約 $270 \times 270 \mu\text{m}^2$ となっている。また設計には博士過程2年生の学生が担当し、約1ヶ月で設計した。

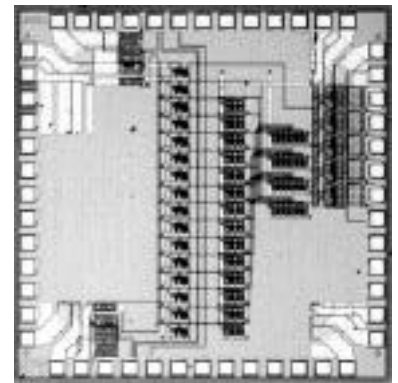


4ビットフラッシュ型ADコンバータの試作

東京大学工学部 相原 祐一郎 リー チュン キイ 藤島 実 鳳 紘一郎

はじめに アナログ・デジタル混在の集積回路の基本的な技術の習得を目的として、4ビットのフラッシュ型のADコンバータの試作を行なった。

試作チップ まず、分圧用抵抗を用いることによって比較標準電圧を分圧し、基準電圧を発生する。この基準電圧と入力信号をコンパレータで比較し、その結果を論理回路に通すことによって、所望のデジタル値を得ることができる。本チップは学部4年の学生2名が約1カ月で設計し、トランジスタ数は520である。

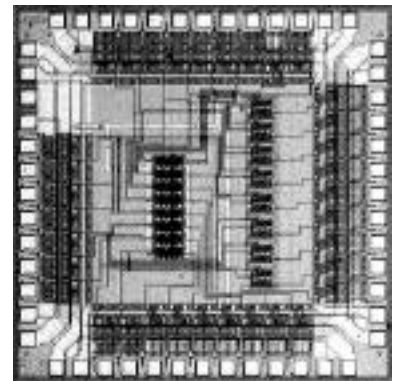


8ビット加算器の設計(1)

東京大学工学部 星野 将史 小松 聡 池田 誠 浅田 邦博

はじめに 我々は卒業研究の準備段階で、レイアウトおよび回路シミュレーションを含む設計ツールに馴染むトレーニングとして、8ビット加算器の設計および試作を行なった。

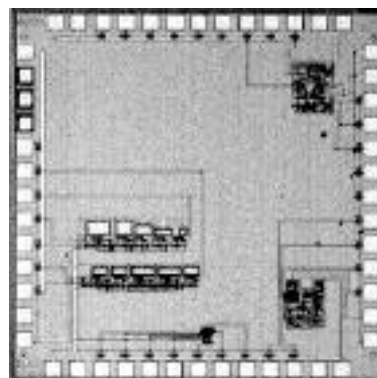
設計したチップ リップキャリー加算器として伝送ゲート型および組み合わせ回路型の2種類についてレイアウトを行い、回路シミュレーションによる検証を行った。チップ設計は、学部4年生が1人で行い、約3週間要した。なお、クリティカルパス遅延の電源電圧依存性を測定した結果図に示すとおりとなった。



素子値の広がり小さい積分器構成フィルタの試作

東京工業大学工学部 高木 茂孝 藤井 信生

積分器構成フィルタは、高周波特性や設計の容易さなどの点から、極めて有用なフィルタの一つである。積分器構成フィルタの代表例であるリーブフログフィルタは、低受動素子感度の特性を有しているが、積分器の特性劣化の影響を受けやすいという欠点を有している。我々のグループは、素子値の広がりが小さい場合、積分器の特性劣化の影響を受けにくいという観点から、与えられた回数に対して素子値の広がりの小さいフィルタ構造を導出する手法を提案した。今回の試作では、低受動素子感度ではあるが、素子値の広がりの大きいリーブフログフィルタと、我々のグループが提案した素子値の広がりの少ない積分器構成フィルタとを比較検討するために、これらを同一チップ上を実現した。その他に、従来の2入力のOTAを拡張した、高線形3入力OTAや広い入力電圧範囲を有する乗算器なども実現している。設計には、博士3年生1名と1年生1名、修士2年生1名が担当し、約2週間の時間を要した。また、トランジスタ数は全体で約150個である。



8ビット逐次比較型ADコンバータの試作

東京大学工学部 大内 真一 福岡 哲也

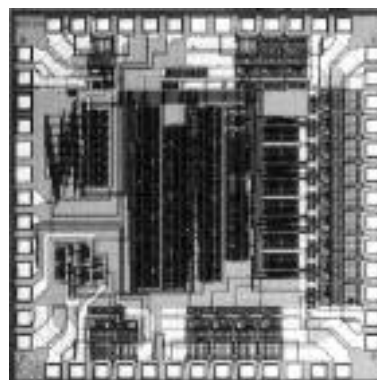
藤島 実 鳳 紘一郎

はじめに 今回、集積回路設計の入門として、アナログ回路部、デジタル回路部の両方を含む逐次比較型ADコンバータの試作を行なった。

逐次比較型は速度、精度、コストにおいて最もバランスの取れた変換方式であり、現在最も多用されている方式である。

試作チップ ADコンバータの方式としては

図1 システムの概要



逐次比較型とし、bit数はチップ面積から8bitとした。チップ内部には、サンプル&ホールド回路(SH回路)、コンパレータ、クロック2相化回路、逐次比較論理回路(SAR)、R-2R型DAコンバータ(DAC)、出力ラッチを含んでいる(図1)。使用する電源は+5V、0V、-5V、動作速度は約1MHz、入力アナログ信号は-1.3V~-4Vの範囲で動作し、変換結果をユニポーラ出力する。本チップは約1000個のトランジスタで構成され、修士1年の学生2名により約1ヵ月を費やして、フルカスタムで設計された。記述には、Cadence社のレイアウトエディタが用いられた。

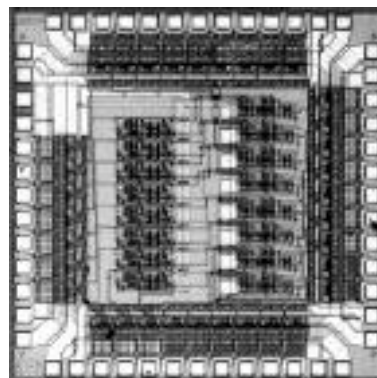
参考文献 P. E. Allen, "CMOS Analog Circuit Design", HBJ (1987)

8ビット加算器の設計(2)

東京大学工学部 向井 影洋 小松 聡 池田 誠 浅田 邦博

はじめに 我々は卒業研究の準備段階で、レイアウトおよび回路シミュレーションを含む設計ツールに馴染むトレーニングとして、8ビット加算器の設計および試作を行なった。

設計したチップ リップキャリー加算器として伝送ゲート型および組み合わせ回路型の2種類についてレイアウトを行い、回路シミュレーションによる検証を行った。チップ設計は、学部4年生が1人で行い、約3週間要した。なお、電源電圧5Vにおけるクリティカルパス遅延は約90nsであった。



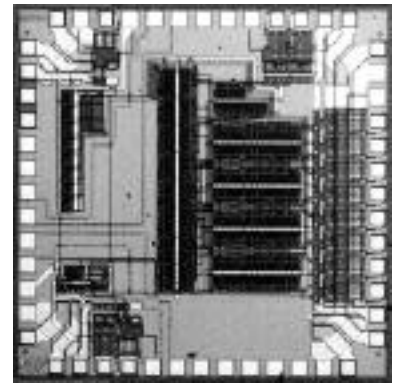
8ビット逐次比較型ADコンバータの試作

東京大学工学部 恐神 貴行 野村 章子 藤島 実
鳳 紘一郎

はじめに アナログ・デジタル混載の集積回路設計技術の習得を目的として、ADコンバータの試作を行った。方式は逐次比較型、ビット数は8ビットのADコンバータとした。

試作チップ 設計した回路のブロック図を図1に示す。サンプル・ホールド回路、コンパレータ、逐次比較レジスタ、DAコンバータ、制御回路から構成した。入力アナログ信号をサンプル・ホールドし、この入力信号とDAコンバータの出力を制御

図1 ブロック図



回路で発生させた制御パルスに同期させて比較することにより、MSBより順次デジタル値を決定する。LSBの決定を受けてラッチを通じて8ビットのデジタル値を出力し、次の入力信号をサンプル・ホールドする。本チップは、学部4年の学生2名が約1カ月で設計し、約1500トランジスタで構成されている。

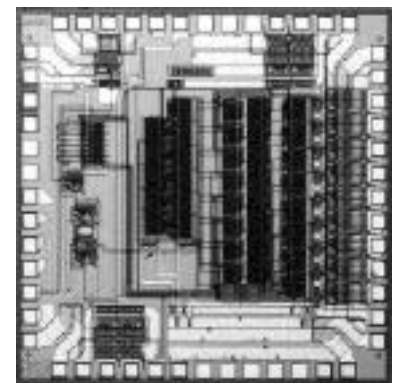
8ビットCMOS逐次比較型ADコンバータの設計

東京大学工学部 神田 浩一 小倉 誉之 藤島 実
鳳 紘一郎

はじめに 今回は、CMOSのアナログ回路とデジタル回路を理解し、集積回路の設計技術を習得するために、8ビットCMOS逐次比較型ADコンバータを設計した。

試作チップ 今回設計した8ビットCMOS逐次比較型ADコンバータの主な構成要素は図1に示されるDAコンバータ、コンパレータ、そして逐次比較論理回路からなっている。DAコンバータはR-2Rラダー抵抗とCMOS

図1 ブロック図



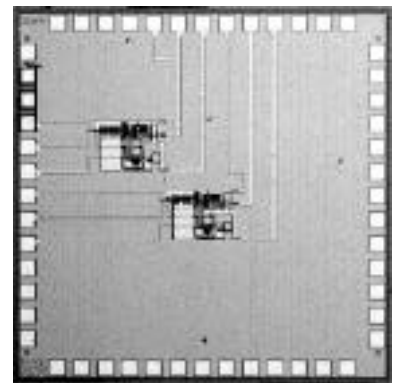
スイッチを利用し、入力アナログ信号は無帰還バッファタイプのサンプルホールド回路によってデジタル信号に変換されている。本チップは学部の4年生2人により約1ヶ月半で設計された。

アナログオペアンプの設計(1)

東京大学工学部 田中 洋介 三堂 哲寿 浅田 邦博

はじめに 我々は卒業論文の準備として、アナログ電子回路の考え方を学び、また様々な設計ツールに馴染む訓練として、アナログオペアンプの設計及びその試作を行なった。

設計 設計は、線形回路シミュレータを用いた動作点の決定、spiceによるトランジスタサイズの決定を行なった後、レイアウトを行ない、回路抽出結果によるシミュレーションによる検証を行なった。

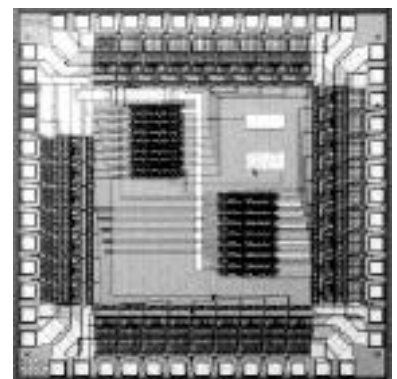


8ビット加算器の設計(3)

東京大学工学部 小宇羅 寛 小松 聡 池田 誠 浅田 邦博

はじめに 我々は卒業研究の準備段階で、レイアウトおよび回路シミュレーションを含む設計ツールに馴染むトレーニングとして、8ビット加算器の設計および試作を行なった。

設計したチップ リップキャリー加算器として伝送ゲート型および組み合わせ回路型の2種類についてレイアウトを行い、回路シミュレーションによる検証を行った。チップ設計は、学部4年生が1人で行い、約3週間要した。なお、電源電圧5Vにおけるクリティカルパス遅延は約90nsであった。

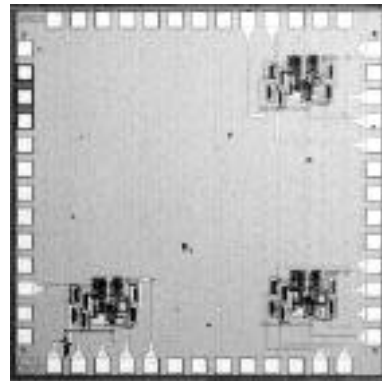


アナログオペアンプの設計(2)

東京大学工学部 浜田 玲子 三堂 哲寿 浅田 邦博

はじめに 我々は卒業論文の準備として、アナログ電子回路の考え方を学び、また様々な設計ツールに馴染む訓練として、アナログオペアンプの設計及びその試作を行なった。設計 設計は、線形回路シミュレータを用いた動作点の決定、spiceによるトランジスタサイズの決定を行なった後、レイアウトを行ない、回路抽出結果によるシミュレーションによる検証行なった。

試作チップ 試作チップの閉ループ特性を測定した結果、約 10MHz で増幅率が 1 となることがわかった。なお、本チップは学部 4 年生が約 3 週間で設計したものである。



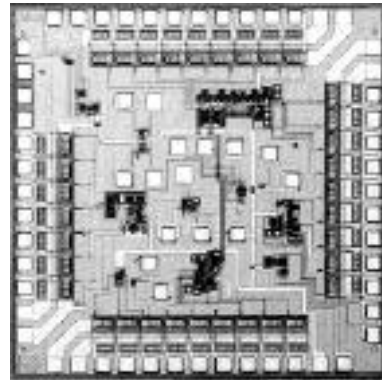
Soft computing hardware用 TEGの試作

九州工業大学情報工学部 三笠 陽司 樋口 拓也 神酒 勤 山川 烈

チップ概要 ファジィ理論,ニューロコンピューティング,遺伝的アルゴリズム,カオスなどの柔軟な知的処理に用いられる手法を総称して"ソフトコンピューティング (Soft Computing)"と呼ぶ。本チップでは、そのハードウェア実現に用いる構成要素の一部を集積化した。集積化した回路は、ファジィ推論エンジンの構成要素であるメンバーシップ関数回路、MIN演算回路、MAX演算回路、および電流ミラーベースの簡易乗算回路である。これらのTEGは、シミュレーションと実データとの違いの確認、ブレッドボード用のTEGとしての二つの役割を持つ。

試作に要した日数 約 1 カ月 (回路シミュレーション 2 週間を含む)

試作に要した人数 2 名 主な設計者の身分 修士 2 年生

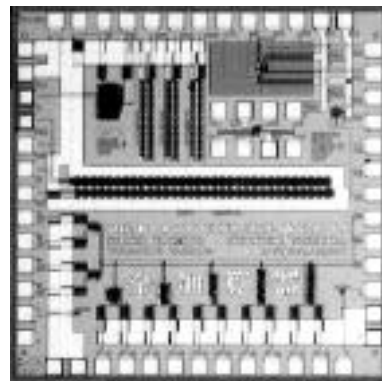


CMOS VLSI 高性能化の検討のためのテスト回路の設計と実測結果

静岡理科大学 理工学部 電子工学科

石倉康充 山田晋吾 藤元聖一* 西浦吉晃** 波多野 裕

前年度試作チップと比較してロット間特性ばらつき等を検討するため、前年度のテストランで設計したチップのマイナーリファインを行い、試作を行った。トランジスタの V_t 測定の結果、今回試作チップはPMOSの V_t が前年度のチップより深めであること判明し、その結果として37段リングオシレータの伝搬遅延時間も遅いことを実測により確認した。また、ゲート長が異なる3種類のリングオシレータの伝搬遅延時間の電源電圧依存性を実測しシミュレーションの妥当性を確認した(石倉ほか「CMOS VLSI回路の設計試作(4)高速化の検討」,98信学総全C-12-42,p.170、図4参照)。更に、6トランジスタCMOS SRAMセル及び第2ポリでフィードバック抵抗を形成したシングルイベント耐性強化6トランジスタCMOS SRAMセル(西浦ほか「CMOS VLSI回路の設計試作(3)耐放射線回路」,97信学総全C-12-53、p.189、図4参照)のデータ書き込み読み出し特性を実測して設計通りの動作が得られた。(*現在 ヤマハ(株)半導体大阪デザインセンター **現在 神電エンジニアリング(株))

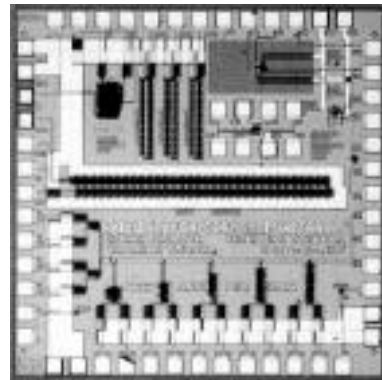


CMOS VLSI 設計方式検討のためのテスト回路の設計と実測結果

静岡理科大学 理工学部 電子工学科

石倉康充 高崎明範 鈴木英樹 山田貴弘* 波多野 裕

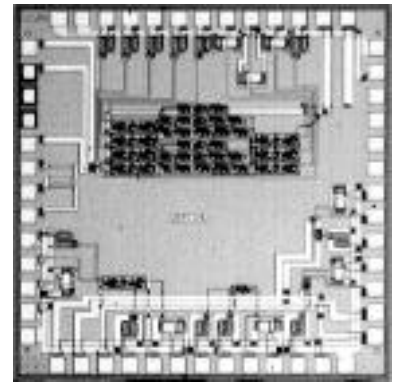
前年度のテストランで試作したチップのマイナーリファインを行いチップを試作した。前年度試作チップの評価結果は97年8月のVDEC若手の会にて「VDECテストラン設計チップ全回路動作の報告」と題し発表した。ゲート接続の回路性能への影響を検討するため試作した2種類のフリップフロップは測定限界の50MHzまで動作し、回路構成の回路性能への影響を検討するため試作した6種類の全加算器は測定限界の25MHzまで動作した。測定限界における出力の実測波形は98信学総全C-12-42の講演で示した。また、試作した32ビットシフトレジスタを用いてクロックスキューに起因する回路誤動作の実験を行い、その結果を「VDECチップを用いたクロックレーシングフリー回路の検討」の題目で98信学総全C-12-41にて報告した。(*現在 三栄ハイテックス(株)LSI設計課)



断熱的ダイナミック CMOS 論理回路 TEG チップ

山形大学工学部 水沼 充 高橋 一清

はじめに LSI の集積密度の増加と共に消費電力の低減化は重要な課題である。従来、低電力かつ動作マージンの広い回路方式としてCMOS論理回路がよく知られているが、それでも低消費電力回路としての観点からは次のような問題点がある。容量性負荷をもつ CMOSインバータを考えたとき(1)負荷容量を充電するさいにpMOS、放電するさいにnMOSトランジスタで電気エネルギーが消費される。(2)出力電圧レベルがLow HighまたはHigh Lowに切り替わる時に電源からアースに対して貫通電流が流れて電気エネルギーが消費される。これらの問題を解決する回路方式として当研究室では断熱的ダイナミックCMOS論理(ADCL)回路を報告している[1],[2]。ここでは、集積化したときのADCL回路の動作を確認するためにTEGチップを起こした。



試作チップ モトローラ社の2.3mm 角のチップを用いて、ADCLによるインバータ、2入力NAND、Xor、全加算器、D-FFなど基本回路TEGを組み込んだ。使用したレイアウト・ソフトはSX-9000であり、パターン・レイアウトは未経験の技官が行い、所要期間は約20日であった。試作したチップの評価を行った結果、ほぼ設計どおりの回路動作を確認できた。

参考文献 [1] 池上, 高橋, 王, 水沼: "超低消費電力ADCL回路", '96信学会ソサイエティ大会. [2] 高橋, 小沢, 水沼: "断熱的ダイナミックCMOS論理回路", 信学会技術報告VLD97-70.

学会発表 水沼, 高橋: "断熱的ダイナミックCMOS論理ICの試作", '98信学会総大C-12-37.

平成9年度第2回モトローラチップ試作

CMOSマルチバイブレータを用いたカオス発振回路

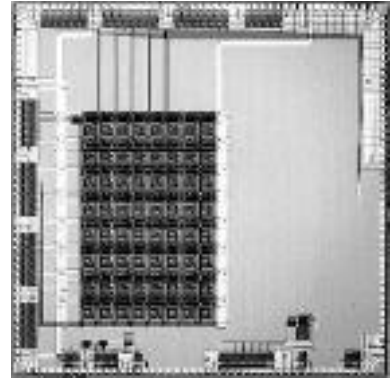
東京大学大学院工学系研究科 辻田 達男 藤島 実 鳳 紘一郎

はじめに 集積化が容易なカオス発振回路が存在しないために、大規模カオス結合系の研究は主に数値計算によって行われている。集積化が容易なカオス発振回路ができれば、そのような用途以外にも、工学的なカオスの応用に役立つと思われる。そこでCMOSマルチバイブレータをもとにしたカオス発振回路の設計を行った。

試作チップ 試作した回路は、図1のように、抵抗の代わりにインバータを用いたCMOSマルチバイブレータに、1つのキャパシタと5つのトランジスタを追加したものである。この回路は従来のカオス発振回路に比べ、非常に小面積で、容易に実現でき、かつ高速に動作させることができる。回路の出力は、振幅がカオス的に変化する出力以外に、振幅は2値だが、パルス幅がカオス的に変化する出力も得られる。これにより、高速に動作させた時の出力の様子をチップ外で観測することも可能になっている。単体の回路だけでなく、8x8の2次元的に配列した回路も作成しており、64個の回路の出力を同時に測定し数値計算のみではわからない現象を調べる。

図1 CMOSカオスマルチバイブレータ回路図

チップは、博士2年の学生が1ヶ月で設計し、およそ2000トランジスタで構成されている。



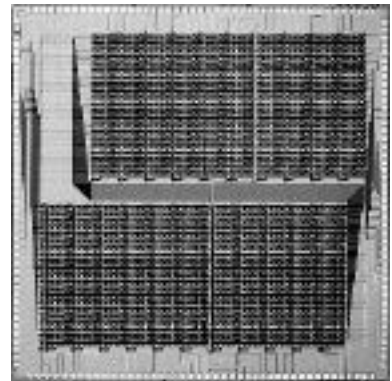
回帰的最小2乗法を実現するための乗算器の設計

北海道大学工学研究科 九里 雅史

はじめに 回帰的最小2乗法はシステム同定、信号復元などの分野で使用されているアルゴリズムとなっている。このアルゴリズムは実時間で実現するために必要とされる単位時間当たりの計算量は膨大なものとなる。そのため汎用のCPUを使用して処理を行なうより、専用チップを製作し、そこで最適に処理を行なわせることにより実時間での処理を目指す。

試作したチップ 今回試作したのは、回帰的最小2乗法を実現する上で一番重要である乗算の処理を行なうチップを製作した。今回はゲート数の関係上、23bit乗算器の試作を行った。設計はNTTデータ通信のParthenonを使用して、論理回路合成までを行なった。その後、北海道大学汎用シミュレータ施設のGDT Designer (Mentor社)を使用してレイアウト設計を行なった。今回設計した回路のゲート数は約13000ゲートとなった。設計は筆者(大学院修士2年)1名で行った。論理回路設計と、レイアウト設計あわせて3ヶ月弱の期間を要したが、実際にレイアウト設計に要した時間は1ヶ月半程度となった。与えられたチップサイズを大幅にオーバーしたため、制作日数が増える結果になってしまった。

参考文献 九里、宮永、栃内：“プログラマブル適応処理のVLSI設計”、電子情報通信学会 技術研究報告、回路とシステム、CAS97-78, pp.25-32, 1998年1月29日



4端子デバイスを用いたコードブック固定アナログベクトル量子化プロセッサ

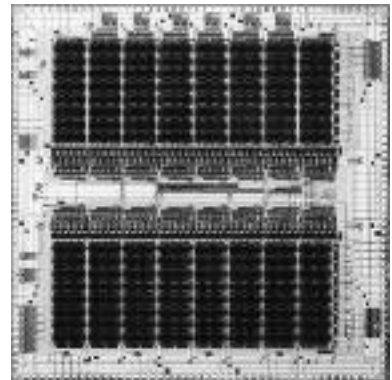
東北大学大学院工学研究科電子工学専攻 中田 明良 菅田 正宏 森本 達郎

米澤 岳美 大見 忠弘

東京大学電子情報工学専攻 柴田 直

はじめに ベクトル量子化を用いたアプリケーションの開発並びにベクトル量子化の研究がなされている。我々はベクトル量子化を用いて、人物認識・動画圧縮の研究を行っている。しかしながら、ベクトル量子化を行う場合入力ベクトルにもっとも似通ったベクトルをコードブックの中から探し出す演算処理に非常に時間がかかっていた。そこで、我々は4端子デバイスを用いて非常に簡単な回路で高速なベクトル量子化チップの実現を試みた。

試作チップ 4端子デバイス(ニューロンMOSトランジスタ)の特徴を生かし、アナログ多値処理による完全並列方式ベクトル量子化プロセッサを作製した。このプロセッサではマッチングセルにその容量分割比でコードブックベクトルの値を予め記憶させるニューロンMOSソースフォロア多値ROM一体型差分絶対値回路を用いた。これにより最も機能ブロックを必要とするベクトルマッチングブロックを大幅に縮小した。またアナログ電圧の最大値を検索するWTAにおいて参照電圧自己収束方式を新たに導入した。このチップは前回の試作においてミスがあったところを修正したバージョンのものである。本チップは修士1年、博士1



年2人、博士3年1人他の学生が約1か月で設計し、約5.5万トランジスタで構成されている。

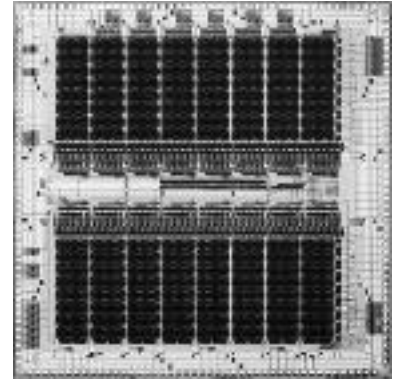
4端子デバイスを用いたコードブック固定アナログベクトル量子化プロセッサ

東北大学大学院工学研究科電子工学専攻 中田 明良 菅田 正宏 森本 達郎

米澤 岳美 大見 忠弘

東京大学電子情報工学専攻 柴田 直

はじめに ベクトル量子化を用いたアプリケーションの開発並びにベクトル量子化の研究がなされている。我々はベクトル量子化を用いて、人物認識・動画像圧縮の研究を行っている。しかしながら、ベクトル量子化を行う場合入力ベクトルにもっとも似通ったベクトルをコードブックの中から探し出す演算処理に非常に時間がかかっていた。そこで、我々は4端子デバイスを用いて非常に簡単な回路で高速なベクトル量子化チップの実現を試みた。



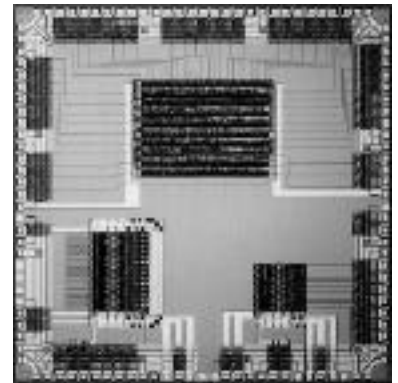
試作チップ 4端子デバイス（ニューロンMOSトランジスタ）の特徴を生かし、アナログ多値処理による完全並列方式ベクトル量子化プロセッサを作製した。このプロセッサではマッチングセルにその容量分割比でコードブックベクトルの値を予め記憶させるニューロンMOSソースフォロア多値ROM一体型差分絶対値回路を用いた。これにより最も機能ブロックを必要とするベクトルマッチングブロックを大幅に縮小した。またアナログ電圧の最大値を検索するWTAにおいて参照電圧自己収束方式を新たに導入した。このチップは前回の試作においてミスがあったところを修正したバージョンのものであり、かつコードブックとなる多値メモリの値を変えたバージョンのものである。本チップは修士1年、博士1年2人、博士3年1人他の学生が約1か月で設計し、約5.5万トランジスタで構成されている。

全加算器ビットフロー回路 / 低消費電力A/Dコンバータ

東北大学大学院工学研究科 今井 誠 大見 忠弘

東京大学大規模集積システム設計教育センター 小谷 光司

はじめに 数値演算とマルチメディア応用などのビット数の変化する汎用演算回路システムにはビット長に回路が依存しないビットフロー型の演算が適している。開発してきた低消費電力用途のADCにフィードバック型のソースフォロア増幅器を用いることで低消費電力性を維持したまま高速化を検討した。



試作したチップ 本チップは2つの部分に別れる。一つは、セル分散型ビットフローのテスト回路である。ベースセルを全加算器とし、それを4並列×3段配置し、それぞれのセルへの入力を切り替えるだけで単なるビットフロー加減算のみならず、ソーティングなどにも応用する回路である。もう一つは低消費電力用ADCである。新しく設計したフィードバックソースフォロア増幅器は、従来の単なるソースフォロア増幅器によるアナログ電圧の増幅・比較を、フィードバックループを形成することで高速に行うことを可能にし、低消費電力ADCの速度特性を向上させた。ビットフロー回路は1,860ゲートと回路規模の割に大きく、ADCは2,000トランジスタ程度である。ビットフロー部の回路設計は今井（博士課程学生）と修士課程学生1名で行い、回路シミュレーションからの作業は2、3週間程度であった。後者は小谷（助教授）が前回のカスタム設計のデザインを基に4日で設計した。

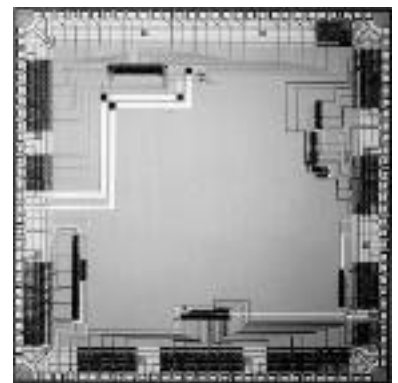
4端子デバイスを用いたコードブック固定アナログベクトル量子化プロセッサのためのテスト回路

東北大学大学院工学研究科電子工学専攻 中田 明良 菅田 正宏 森本 達郎

米澤 岳美 大見 忠弘

東京大学電子情報工学専攻 柴田 直

はじめに ベクトル量子化を用いたアプリケーションの開発並びにベクトル量子化の研究がなされている。我々はベクトル量子化を用いて、人物認識・動画像圧縮の研究を行っている。しかしながら、ベクトル量子化を行う場合入力ベクトルにもっとも似通ったベクトルをコードブックの中から探し出す演算処理に非常に時間がかかっていた。そこで、我々は4端子デバイスを用いて非常に簡単な回路で高速なベクトル量子化チップの実現を試みた。



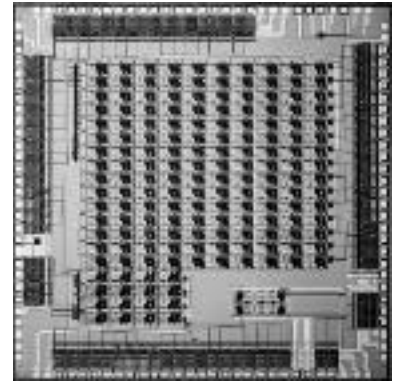
試作チップ 4端子デバイス（ニューロンMOSトランジスタ）の特徴を生かし、アナログ多値処理による完全並列方式ベクトル量子化プロセッサを作製した。このチップは、このプロセッサでマッチングセルとして採用した、その容量分割比でコードブックベクトルの値を予め記憶させるニューロンMOSソースフォロア多値ROM一体型差分絶対値回路のテスト回路と、アナログ電圧

の最大値を検索するWTAにおいて参照電圧自己収束方式を導入したテスト回路である。本チップは修士1年、博士1年2人、博士3年1人他の学生が約1か月で設計し、約500トランジスタで構成されている。

未知情報を記憶・選別可能なアナログ連想記憶システムの集積化 東北大学 電気通信研究所附属 超高密度・高速知能システム実験施設

原田 知親 佐藤 茂雄 中島 康治

はじめに 現在、デジタル信号処理技術の進歩は著しいが、画像や音声の認識・パターンマッチング処理においては、計算回数が膨大となり実時間で処理が終了しない。また、画像などはアナログ量であり、集積化の際にアナログ量とほぼ同等の精度をだすのに多ビットのA/D変換器などが必要のため回路規模が大規模になってしまうといった欠点がある。そこで、これらの欠点を改善し、直接アナログで高速・並列に連想処理ができ、かつ未知情報を記憶・選別可能なアナログ連想記憶システムを提案し[1]、集積化を行なった。



試作したチップ 今回製作した連想記憶システムは、アナログ値で構成される入力ベクトルに対して、A/D変換器を通さずそのまま直接アナログで高速かつ並列に連想処理を行なうことができる。この連想記憶システムはすべてアナログ回路とDRAMタイプのアナログメモリで構成され、10入力15出力のアナログ連想記憶システムとして設計した。また、この連想記憶システムに記憶できるベクトル数は15個である。この連想記憶システムはモトローラ1.2μmルール、4.8mm角のチップとして実現した。

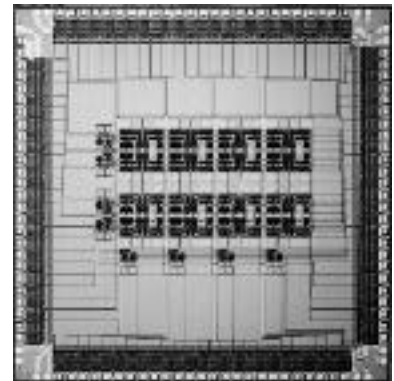
試作に要した日数 1ヶ月半 **設計者** 博士1年 **トランジスタ数** 約6000個

参考文献 [1] T.Harada, Y.Mizugaki, K.Nakajima, "A New analog content addressable memory for building a new intelligent system", Proceedings of 1997 International Symposium on Nonlinear Theory and its Applications, pp869-872, 1997

高機能化ニューロンを用いた集積化神経回路の研究

東北大学電気通信研究所 金城 光永 佐藤 茂雄 中島 康治

はじめに ニューラルネットワークにおいて、ニューロンに非単調ニューロンを用いた場合、自己連想記憶の容量が増加する事は解析的に証明されている。また、学習機能を持つニューラルネットワークとして代表的な決定論的ボルツマンマシン(DBM)に非単調ニューロンを利用した場合、ネットワークの学習性能が向上する事は数値シミュレーションにより確認されている。そこで私達は、非単調ニューロンを用いた決定論的ボルツマンマシンの小規模ネットワークをハードウェア実現した。



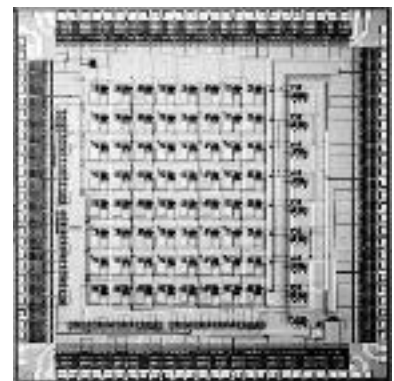
試作チップ 設計した小規模3層ニューラルネットワークは、決定論的ボルツマンマシンで、入力層に3つ、隠れ層に3つ、そして出力層に3つのニューロンを有する3-3-3ネットワークである。また、バイアスニューロンをひとつ含む。データ量はアナログ値を用い、シナプス荷重を表すアナログ電圧の記憶にはキャパシタを用いた。またオンチップでの学習機能を実現した。さらに、ニューロンの活性化関数は回路上での単調関数及び非単調関数の切り替えにより実現した。非単調ニューロンを決定論的ボルツマンマシンに利用する事で、単調ニューロンの場合と同性能の学習機能を持つネットワークが約半分のニューロン数で実現できる事が確認できた。

試作に要した日数 3ヶ月 **設計者** 修士2年 **トランジスタ数** 約6,000個

カオスノイズ印加型カオスニューラルネットワーク回路の設計

東北大学電気通信研究所 田中 英俊 佐藤 茂雄 中島 康治

はじめに ニューロンがカオスダイナミクスを有するニューラルネットワークに於いて、その情報処理能力が向上することが報告されている。その際にカオスダイナミクスとしてニューロンにカオスノイズを印加しても同様に情報処理能力の向上が確認されている。このようなニューラルネットワークの特徴である並列処理を実現するためにはハードウェアで大規模集積化を行なう必要がある。今回我々は上記の様なカオスノイズ発生回路を含むニューラルネットワークの設計を行った。



試作チップ概要 今回設計した回路は8ニューロン、64シナプスで構成される。カオスノイズ回路は各ニューロンに1つずつ組み込まれている。シナプス荷重はアナログ電圧の値で決まるが、電圧の保持にキャパシタを用いることによりシナプス荷重値を変化させる事が出来る。またカオスノイズ回路は電流モードのマップを用いた。外部から別クロックで動作するアナログスイッチとキャパシタによるスイッチトカレント回路により入出力電流の保持を行ない、これにより得られる電流の時系列をカオスノイズとして使用する。なお本回路は約4000トランジスタ

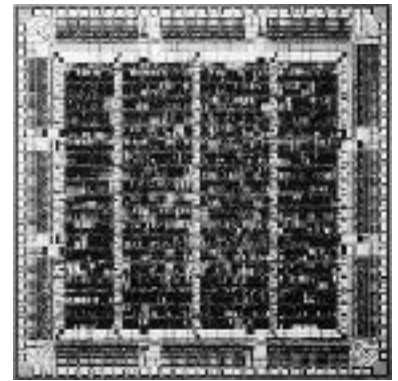
タ、約80キャパシタを使用、面積は約4 × 4mm² となっている。また設計には博士過程2年生の学生が担当し、約3ヶ月で設計した。

セルライブラリ検証用 TEG (1)

東京大学 池田 誠 浅田 邦博

はじめに モトローラ用の自動配置配線用ライブラリの検証用のTEGチップを作成した。本セルライブラリは、エクセレントデザイン社のライブラリ構築ツールを用いて構築されたもので、394種類のセルからなる論理合成、シミュレーション、および配置配線用のライブラリから成っている。

試作チップ 本チップは、セルライブラリの全セルの動作検証を目的としており、全セルに入力を与え、出力をセクタによりきりかえることですべてのセルの出力信号を外部で観測できるようになっている。また、最上位層金属配線にパッシベーションオープンを行ったEBプローブパッドセルをすべてのセルの入出力に付加することで、EBプローバを用いて全セルの入出力波形の観測が可能となるようになっている。本TEGチップは助手が1名で3日間で構成から配置配線まで行ったもので、Avant!社のAquariusXOを用いて配置配線を行っている。

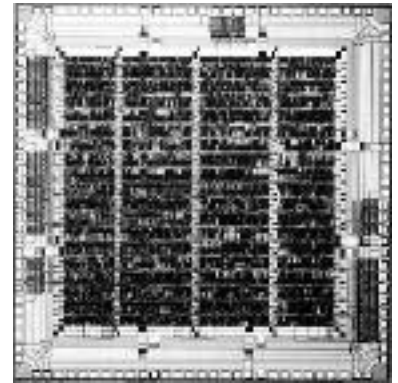


セルライブラリ検証用 TEG (2)

東京大学 池田 誠 浅田 邦博

はじめに モトローラ用の自動配置配線用ライブラリの検証用のTEGチップを作成した。本セルライブラリは、エクセレントデザイン社のライブラリ構築ツールを用いて構築されたもので、394種類のセルからなる論理合成、シミュレーション、および配置配線用のライブラリから成っている。

試作チップ 本チップは、セルライブラリの全セルの動作検証およびFO負荷特性の測定を目的としている。各セルに対して、出力負荷をなくしたものの、および出力にインバータセルを2並列(FO = 2)にしたものを設け、おのおのの入出力に最上位層金属配線にパッシベーションオープンを行ったEBプローブパッドセルを付加することで、EBプローバを用いて入出力波形の観測を行うことで、遅延時間の測定を行い、負荷特性を測定することを目的としている。本TEGチップは助手が1名で3日間で構成から配置配線まで行ったもので、Avant!社のAquariusXOを用いて配置配線を行っている。

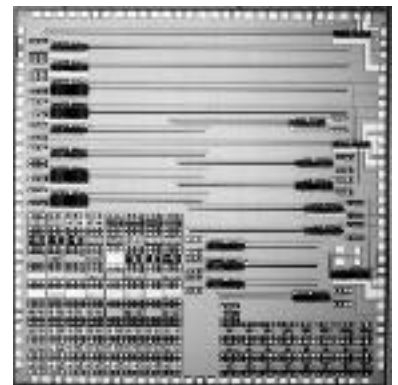


多層配線構造における容量行列抽出のための TEG

東京大学工学部 三堂 哲寿 伊藤 浩 浅田 邦博

はじめに 高密度化、大規模化が進む集積回路においては、信号の伝送遅延を評価するための容量抽出は重要な問題である。多層化が進むシステムにおいては多くの導体がそれぞれの間には結合容量を持ち、それらを個々に測定するためのテストストラクチャを作成することは大きな面積コストと多くの測定時間を必要とする。本試作では、多導体の結合容量を含む容量行列を一つのテストストラクチャで測定する手法を提案し、試作を行った。

試作チップ 今回試作したチップでは、本年度すでに同じプロセスで試作している同一目的のTEGに対し、抽出回路の一部を修正するとともに、前回と異なる負荷容量のパターンを追加しており、測定結果と数値計算との比較もその目的とする。本チップは博士2年および博士3年の学生が約1週間で設計し、全てのTEGでのトランジスタ総数は約2000となっている。

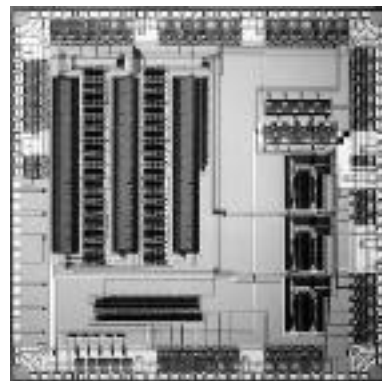


光同期式レシーバ回路を用いた簡単な同期式デジタル回路の試作

東京大学工学部 恐神 貴行 藤島 実 鳳 紘一郎

はじめに VLSIの高集積化が進むにつれ配線遅延、特にクロックの遅延が高速化の際に大きな問題となってきている。解決策の一つとしてクロック信号を光で与えチップ内の同期をとる光クロック供給システムが提案されている。受光素子をシリコンで作る光を自由空間伝搬させる方法をとれば、このシステムを現在のシリコンCMOSプロセスで実現することができる。しかしそのためには高感度のレシーバ回路が必要となる。以前我々は低消費電力、小面積であり高速動作をする光同期式レシーバ回路を用いた分周器の試作を行なったが、今回は更に規模の大きい同期式デジタル回路の試作を行なった。

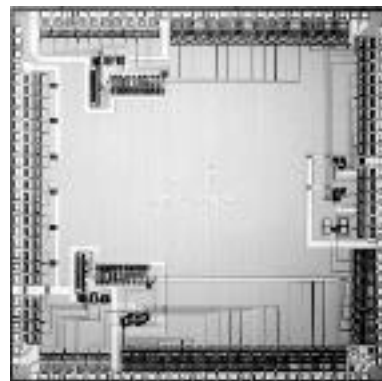
試作チップ 光同期式レシーバ回路にはリングオシレータ型とマルチバイブレータ型の2種類を用い、同期式デジタル回路としては8ビットパターンジェネレータ、8ビット直列加算器及び8ビットリングカウンタを試作した。なお本チップは学部4年の学生が約1カ月で設計し、約12000トランジスタで構成されている。



MAX-MIN ホールド回路の試作

九州工業大学情報工学部 三笠 陽司 神酒 勤 山川 烈

チップ概要 ファジィ推論の特徴は、超並列構造にある。実際の応用では、複数のチップを用いた完全並列化よりも、一部にシリアル処理を導入したシリアル・パラレル混在方式での1チップ化が実装上有利な場合がある。システムの規模、演算速度、利用できるチップ面積のトレード・オフで効率的なチップ実装のねらう。本チップには、ファジィ推論で用いられるMAX演算、MIN演算を実行するプログラマブルなMAX-MIN-hold回路を2回路、集積化した。MAX-MIN-hold回路は、MAX回路とMIN回路の共通部分を縮退させた電流モードMAX-MIN回路と電流モードのサンプル・ホールド回路からなる。外部からの設定によりMAX-MIN回路は、MAX回路もしくはMIN回路として独立に動作させることも可能である。



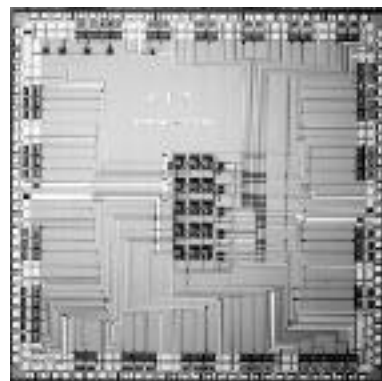
試作に要した日数 約3週間(回路シミュレーション1週間を含む) **試作に要した人数** 1名

主な設計者の身分 修士1年生

Power-Law Formalism ユニットの試作

九州工業大学情報工学部 樋口 拓也 神酒 勤 山川 烈

チップ概要 任意の非線形性を近似的に表現する方法として、近年、生体系の研究で注目されている理論の一つにPower-Law Formalism(冪乗法則)[1]がある。Power-Law Formalismをハードウェアで実現するには、対数アンプと逆対数アンプが必要になる。また、次数を多くとるほど近似性能がよくなるため、基本ユニットの小型化が望まれる。本チップには、電流モード回路で実現した簡易な対数アンプと逆対数アンプ電流ミラー回路を集積化した。本チップの回路を用いてPower-Law Formalismのハードウェアでの実現を検討する。



試作に要した日数 約3週間(回路シミュレーション1週間を含む) **試作に要した人数**

1名

主な設計者の身分 修士2年生

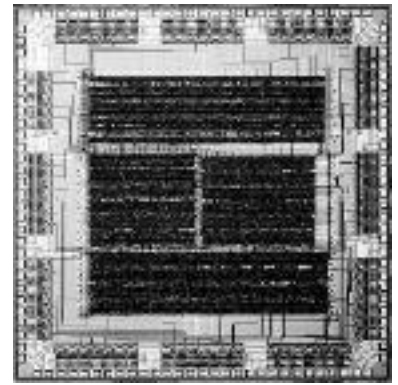
参考文献 [1]M.A. Savageau,"The Power-Law Formalism: Generic Properties and Relatedness to Other Canonical Nonlinear Formalisms",Tutorialsthe4th InternationalConferenceonSoftComputing,Iizuka,Fukuoka,Japan,pp1-29,1996

伝搬遅延を用いた配線プロセッサ

徳島大学工学部知能情報工学科 佐野 雅彦 高橋 義造

はじめに VLSI等の経路探索手法である迷路法の専用回路化においては、配線格子にプロセッサを割り当てるSIMD型並列処理が一般的である。しかしながら、各種の探索コストやその他の条件からチップの入出力端子数がボトルネックとなる。そこで我々は、探索波の伝搬遅延を探索コストとする経路探索法を提案し、入出力端子数を節約を試みる。

試作チップの概要 今回試作したチップは、我々が提案した経路探索法の評価の目的で試作したものである。配線処理を行うSIMD型プロセッサ要素を4×4のマトリクス状に4.8mmチップに実装し、外部SIMDコントローラからの制御により経路探索処理を行う。プロセッサ要素は、前進探索、後進探索、入出力および制御回路から構成されているが、時間的都合から一部の機能を省略した。全体の回路規模は10Kゲートであり、FPGA用に記述したVHDLソースをもとに筆者(若手助手)が約1カ月で設計した。

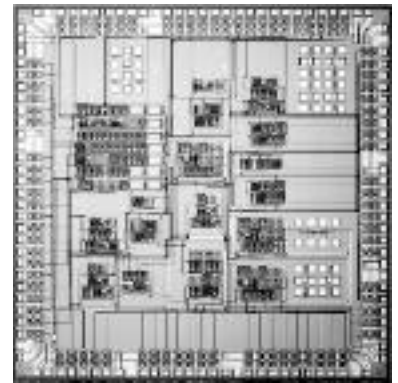


アナログ基本回路ライブラリの構築

大阪大学工学部 吉村 隆治 谷口 研二

背景 今後の回路設計の手間を軽減するためにはライブラリの準備は必須である。今回の設計・試作では、今後の設計での利用が期待できるアナログ回路のライブラリの設計を最終的な目標とし、基本回路のライブラリ化を行った。

試作 設計した回路はMOSトランジスタを用いた増幅回路オペアンプ回路、入出力バッファ回路などである。HSPICEをもちいて回路のシミュレーションを行い各種パラメータを決定し、レイアウトツールをもちいて各パーツを設計したあと、自動配置配線ツールを用いてチップ設計を完成した。各パーツの特性が確認できれば今後の設計が非常に容易になる。本チップは修士2年の学生が約1か月で設計し、約15kトランジスタで構成されている。



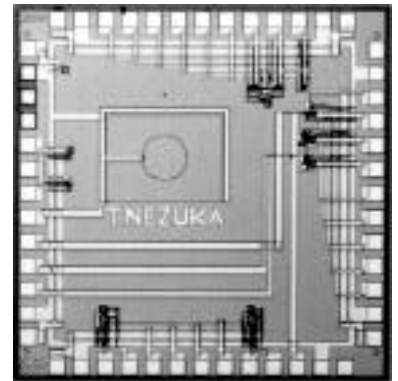
スマートイメージセンサにむけたアナログ信号処理回路のTEG

東京大学工学部 根塚 智裕 浅田 邦博

はじめに 従来の画像処理システムでは、撮像、A-D変換、デジタル信号の伝送、デジタル信号処理といった一連の手順で信号処理が行なわれている。近年のCMOS半導体集積回路の技術の発展に伴い、画像センサ面上に信号処理回路を集積し、画像信号にセンサ面上で並列に前処理を行なうことによりセンサと信号処理系との間のボトルネックを解消する研究が多くなされている。今回の試作では、そのようなイメージセンサに向けた受光素子、比較器およびアナログ除算回路のTEGの作成を行なった。

試作チップ 今回試作したチップはフォトダイオード、比較器およびアナログ除算回路のTEGで構成されている。作成した比較器およびアナログ逆数変換回路の回路図を図1に示す。比較器はイメージセンサ面上でフレーム間での輝度の比較を行なうことを想定して作成した。逆数変換回路はフォトダイオードの光電流の大きさを逆数に変換するように設計されている。本チップは修士1年の学生が約2週間で設計し、10個のアナログ回路のTEGで構成されており、トランジスタ数約100個となった。

図1受光回路の回路図

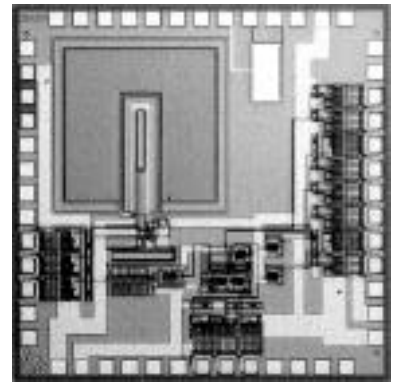


体感温度センサの試作

東京大学工学部 屋鋪 大輔 藤島 実 鳳 紘一郎

はじめに 人が暑さや寒さを感じるのは単に気温だけでなく、風速や湿度などにも影響される。それを体感温度として得ることができる。温度センサと風速(流量)センサをワンチップ上に作製し、その出力から体感温度を得る回路の試作を行った。

試作チップ 温度センサはMOSFETの温度による特性の変化を利用した。流量センサは約960 μ m角の穴にカンチレバ構造を作製し、その上にオペアンプの初段作動増幅器に用いられるMOSFETの一つを作製する。この上に2層目のポリシリコンによるヒータ抵抗を置く。気流によりカンチレバ上にあるMOSFETが冷却されるとヒータ抵抗に電圧がかかるようにフィードバックをかける。この電圧から流量を得る。また、2層目のアルミニウムを陽極酸化し、これを感湿材として1層目のアルミニウムと金蒸着膜で挟んだ湿度検出用キャパシタも考案した。チップは学部4年の学生が約半月で設計し、およそ1,000トランジスタで構成されている。



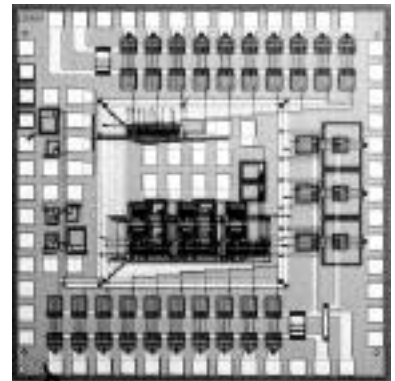
画像処理用 MOSセルオートマトン回路 TEG の設計試作

北海道大学工学研究科 池辺 将之 赤澤 正道 雨宮 好仁

はじめに 当研究室では、高速並列の画像処理用に適したセルオートマトン回路の研究を行っている。今回、画像処理用セルオートマトンLSIの試作のための準備として雑音除去・輪郭抽出を行うセルオートマトンの単位演算セル回路TEGの試作を行った。

チップ概要 単位演算セル回路は、シリコン機能デバイスのMOSを用いており、コンパクトな回路でセル8近傍の入力に対する演算を処理できる。また、各セル毎にフォトダイオード(PD)を組み込み、直接に光情報を取り込めるようにした。本チップにはセル回路の他に、PD、MOS単体素子、セル回路に使用した論理ゲート単体のTEGを載せた。

試作に要した日数 2ヶ月 主な設計者 博士1年 トランジスタ数 380



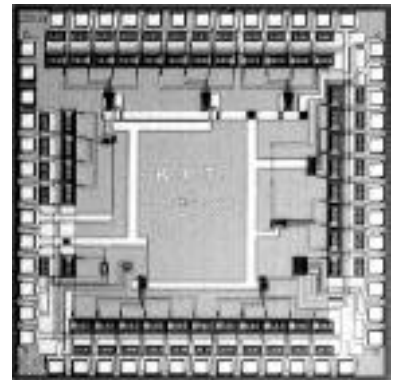
電流ミラーベース・ファジィ演算器用 TEGの試作

九州工業大学情報工学部 神酒 勤 末竹 規哲 山川 烈

チップ概要 電流ミラーベースのファジィ演算回路を試作する際の、ブレッドボード用のTEGである。電流モード回路の場合、その基本となる電流ミラー回路のマッチング精度が、演算精度を左右する。また、このTEGは集積化による寄生発振の防止、速度向上および実装面積の縮小化の確認に用いる。市販の個別部品では実現できない部分を集積化した。4種類の異なる電流ミラー回路を回路集積化している。

試作に要した日数 1週間 試作に要した人数 1名

主な設計者の身分 博士後期1年生

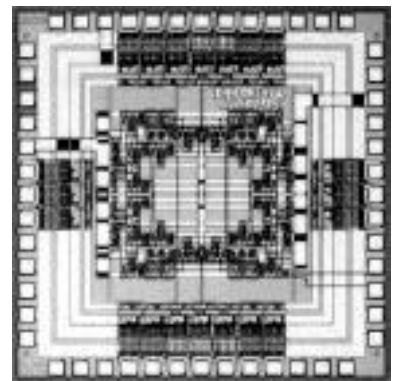


4ビットスライス算術論理演算回路の試作

仙台電波高専 加藤 絢子 鶴岡 慶昭 伊藤 一彦 鹿股 昭雄 中林 撰

はじめに 現在、本高専の学科、専攻科へのLSI設計教育導入を目指してCAD環境の整備や一連の設計プロセスの実習用教材を開発中である。今回の試作は、そのための技術的な知識を蓄積するための一環として行った。

試作チップ データ幅4ビットの算術論理演算機能を有する回路である。縦続に接続することでビット幅を自由に拡張できる。チップは1.5 μ mCMOS, 2.3mm角であり、5年生と専攻科1年の2名の学生が約2ヶ月で設計を行った。



SDAM のための高精度書き込み回路

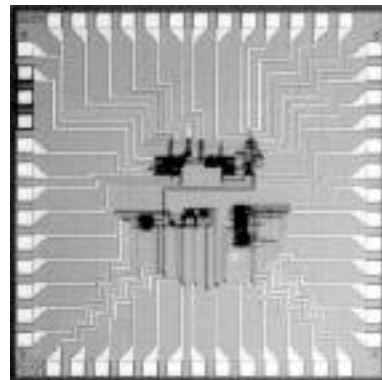
東北大学電気通信研究所 佐藤 厚志 佐藤 茂雄 中島 康治

はじめに SDAM (Switched Diffusion Analog Memory)は、筆者らの研究グループが提案している不揮発性のアナログメモリである[1]。1つの素子でアナログ値を記憶できることから従来型のデジタルメモリに比べて少ない素子でシステムを構成できる。またA/D D/Aの処理を要しないので高速に動作させることができる。

SDAMは、ニューラルネットワークにおけるシナプス荷重値の記憶や音声のレコーディング、連想メモリなどの応用が期待されている。その際にはSDAMに高精度・高速にデータを書き込むことが重要になってくる。

試作したチップ 今回試作したのは、SDAMを基本セルとして構成されるアナログメモリアレイにデータを高精度に書き込むための回路(2種類)である。どちらも記憶するのはアナログの電圧値である。SDAMの部分はスタンダードCMOSプロセスでは製作できないために等価回路で置き換えている。モトローラ社0.8 μ mルール、2.3mm角のチップとして実現した。回路規模はそれぞれ22Tr、24Tr (SDAMの等価回路を除く)となった。設計期間は1ヶ月程度であった。

参考文献 [1] Hardware Implementation of New Analog Memory for Neural Networks, IEICE TRANS. ELECTRON., VOL.E78-C, NO.1, JANUARY 1995



高速・低消費電力クロック発生用PLLの設計開発

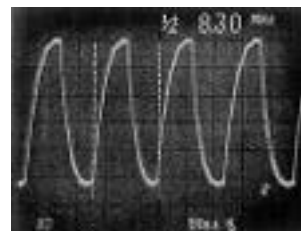
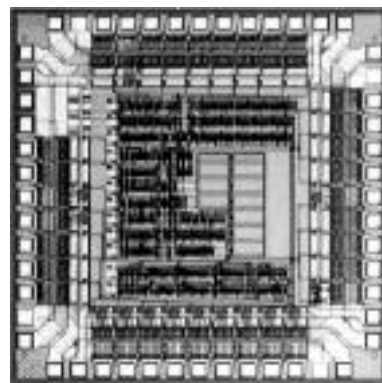
九州大学 システム情報科学研究科 吉澤 弘泰 谷口 研二 中司 賢一

緒言 現在、デジタル信号処理回路におけるクロックの発生・分配にはPLLが広く用いられている。本チップは同用途のPLLに関して我々が研究提案しているダイナミック回路を用いた位相周波数比較器等の高速低消費電力回路を実際に設計試作行ったものである。

概要 右上図に設計したチップを示す。同チップは複数のPLL構成要素(PFD, VCO, LPF等)、入力発生回路、選択回路等からなっており、16の選択・制御用I/Oポート、及びアナログフィルタ出力用の差動アンプバッファI/Oを有している。設計は博士2年の学生がレイアウト(SX9000)に4週間、LVS検証(Dracula)に3週間かけて行った。

設計ルールはMotorola 1.5 μ mであり、約1500個のトランジスタが含まれている。

検討結果例 本PLLの内包するVCOは5段のリング発振器で分周器の設定より(1/1, 1/2, 1/4, 1/8)の出力を選択する。測定では動作範囲50 ~ 300 MHz(分周込みで6 ~ 300MHz)あり、SPICE結果と近い値を得ている。現時点の測定ではVCOの発振及びPLLの同期まで確認しており、今後より詳細な検討を行っていく予定である。右図に測定したVCO(1/8分周)の波形例を示しておく。

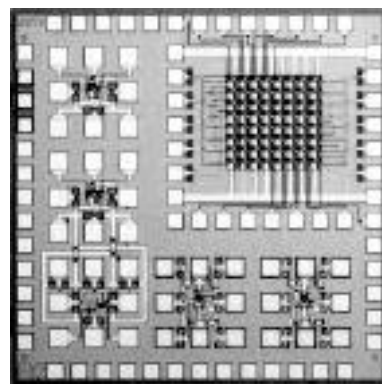


時間相関型イメージセンサ

東京大学工学部 安藤 繁 来海 暁 坂口 隆明 今井 亮子

チップ概要 このイメージセンサは、全ての画素が光入力と外部電気信号との間の積をとる機能を有し、各画素に蓄積された積電流を時間相関として読み出す機能をもった、新しい光センサデバイスであり、従来のTVカメラに対して質的に異なる応用範囲、特に新しい画像計測応用を獲得することを目指している。これまでは個別素子で試作を重ねていたが、今回はVDECを利用していただき、今後の格段の集積化のための基礎データを得ることを目的とした。具体的には、異なる方式の画素回路のTEGを4種類、走査回路のTEGを2種類、走査回路を含む8x8画素のミニチュアイメージセンサブロックを2.3mm角のチップに集積した。

設計に要した日数と試作結果 今回の試作では、マスクパターンの設計に約1ヶ月を要した。このようなアナログ素子の試作は誰もが全く初めてであったため、設計環境の理解や整備にも多くの時間が必要であった。設計作業は博士課程大学院生と修士課程大学院生が、随時、本学電気系の方々や専門家の助言を仰ぎながら行った。試作したデバイスの総トランジスタ数は約300である。この他に、フォトダイオードと蓄積用コンデンサなどが多数含まれる。この素子は、現在評価中であり、半分程度のTEGについて動作確認が得られた段階である。



フルカスタム設計 CMOS 回路の性能比較

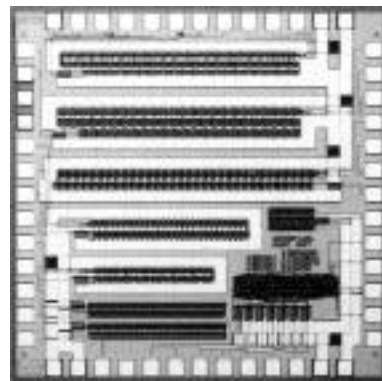
静岡理科大学 理工学部 電子工学科

鈴木 英樹 山田 晋吾 石倉 康充 鈴木 幹人 波多野 裕

チップ概要 テストランで試作したフルカスタム方式スタティック伝達ゲート型シフトレジスタ[1]と比較するためスタティック伝達ゲート型シフトレジスタとスタティッククロック型シフトレジスタを設計した。また、スタティック回路とダイナミック回路の比較のためダイナミック伝達ゲート型シフトレジスタとダイナミッククロック型シフトレジスタを設計した。更に、ゲート接続方式の回路性能への影響[2]を実測により確認するため NANDゲートを用いた2種類の101段リングオシレータを設計した。

設計期間 設計は、3年次の学生実験で MOS プロセスを経験した3名を含む学部学生4名が行い、CADツール使用法の習得期間込みで2ヶ月を要した。

参考文献 [1] 山田貴弘、藤元聖一、波多野裕、"CMOS VLSI回路の設計試作(2)フルカスタム設計"、電子情報通信学会総合大会講演論文集、C-12-52、p.188、1997。 [2] 石倉康充、山田貴弘、鈴木幹人、鈴木憲孝、波多野裕、"CMOS VLSI回路の設計試作(4)高速化の検討"、同C-12-42、p.170、1998。



CMOS / GA マクロセル群の動作検証

静岡理科大学 理工学部 電子工学科

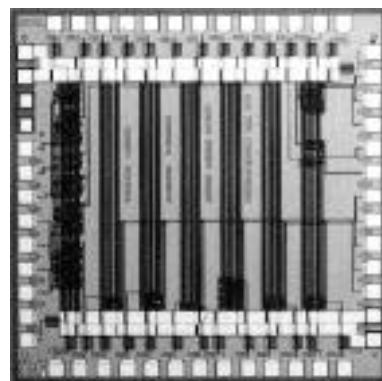
鈴木 憲孝 鈴木 幹人 山田 晋吾 波多野 裕

チップ概要 テストランで試作した全加算器マクロセル[1]に加えて、つぎの総計15種類のマクロセルを設計した。1)クロック型D-FF 2種類 2)伝達ゲート型D-FF 2種類 3)JK-FF 2種類 4)クロック型Dラッチ 2種類 5)伝達ゲート型Dラッチ 2種類 6)RAM 2種類 7)全加算器 8)マルチプレクサ 2種類

設計期間 設計は、3年次の学生実験で MOS IC 試作を経験した2名を含む学部学生3名が行い、CADツール使用法習得期間込みで2ヶ月を要した。

参考文献 [1] 福留弘子、藤元聖一、波多野裕、"CMOS VLSI回路の設計試作(1)マクロセルライブラリ"、電子情報通信学会総合大会講演論文集、C-12-51、p.187、1997

実測速報 クロック型D-FFセルの機能動作を実測により確認した。



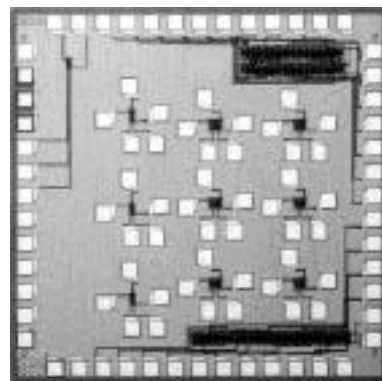
Verilog-HDL および CellEnsemble を用いた4ビット加減算器の試作

武蔵工業大学工学部 中野 淳一 小澤 健 高崎 篤 斎藤 豊 野平 博司

森木 一紀 秋谷 昌宏 服部 健雄

はじめに トップダウン設計が可能のように、Cadense社の "Verilog-HDL" および "Cell Ensemble" の立ち上げを行い、その操作の習得を目的にした。また、規模の大きい回路構成を可能にするため、基本モジュールの作成を試みた。試作チップは、動作確認が容易なように4ビットで設計した。

試作チップ チップ内には、4ビット加減算器(トランジスタ数168個)、4ビット加算器(トランジスタ数144個)および各4個のNANDおよびXORのTEG(トランジスタ数5個)を配置した。設計は学部4年1名が主に行った。設計ツールの立ち上げに際し、環境設定に3週間程度かかった。設計およびルールチェックに要した期間は約1週間であった。



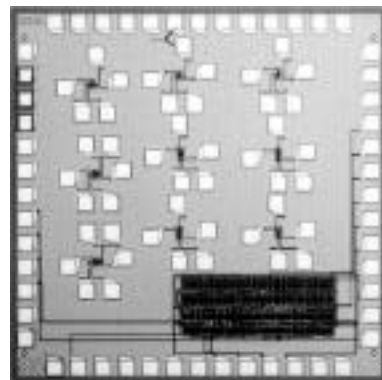
基本モジュール作成のための4ビット乗算器の試作

武蔵工業大学工学部 小澤 健 高崎 篤 中野 淳一 斎藤 豊 野平 博司

森木 一紀 秋谷 昌宏 服部 健雄

はじめに Verilog-HDLおよびCellEnsembleを用いて、トップダウン設計により4ビット乗算器を試作した。設計ツールの環境設定および、製作回路の大規模化に先駆け、基本モジュールの作成を目的にしている。動作確認が容易なように試作チップは4ビットにした。

試作チップ 試作チップ内には、4ビット乗算器(トランジスタ数約1000個)と3入力NAND、2入力NANDのTEGを配置した。試作した4ビット乗算器は階層数3層のモジュール構造にした。論理合成ソフトSynopsisを立ち上げ、論理再合成した後の素子



との面積の比較等を行う予定である。設計は修士1年生1名が主に行い、作業日数は約2週間であった。

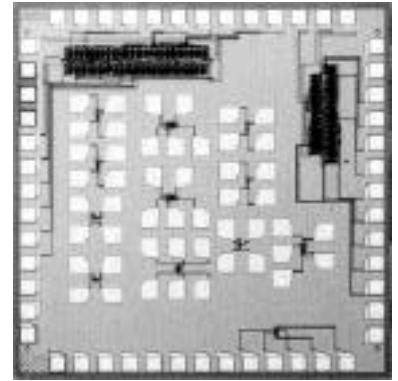
基本モジュールとしてのシフトレジスタおよびラッチ付きレジスタの試作

武蔵工業大学工学部 高橋 篤 中野 淳一 小澤 健 齋藤 豊 野平 博司

森木 一紀 秋谷 昌宏 服部健雄

はじめに LSI設計ツールの操作習得と、基本モジュール作成を目的にし、シフトレジスタおよびラッチ付きレジスタを試作した。また、京都大学で公開している基本セルのパターンを基にTEGを試作し、その動作特性を測定する。

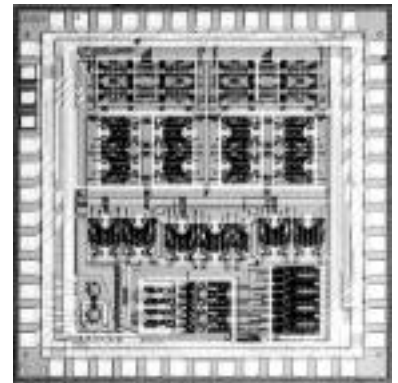
試作チップ 試作チップには4ビットシフトレジスタとラッチ付きレジスタを配置した。INV、NAND、NOR、XOR、AND、ORのTEGは同時に試作した3チップに分散させた。設計は学部4年生1名が主に行い、作業期間は約1週間であった。



4値乗算器

宮崎大学 石塚 興彦 淡野 公一

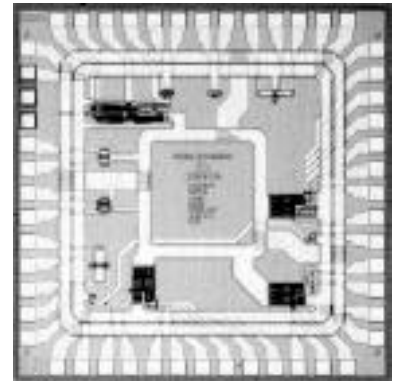
チップ内容 本チップは、平成8年度に試作した電流モード4値乗算器を再設計したチップである。今回試作を行った4値乗算器は、直接部分積を生成する部分積生成器、部分積の加算、及び中間和の加算を行う冗長多値加算器、冗長数を非冗長数に変換する高速多値CLA、4値電流値を2値電圧値に変換する4値2値変換器といった主に4つのブロックから構成される。回路の動作は、8桁×8桁2値電圧値を入力することにより16+1桁2値の電圧信号として積を出力するが、内部動作は2値電圧信号を4値電流信号に変換し4値電流値によって計算が行われる。使用電源は5V単一で設計を行っており、入出力信号はHigh:5V/Low:0V、内部信号は単位電流20uAの多値電流信号と2値電圧信号で動作する。設計は、修士学生7名により約2ヶ月をかけて行った。また、回路は約5k個のトランジスタによって構成されている。



4値乗算器を構成する回路ブロック

宮崎大学 石塚 興彦 淡野 公一

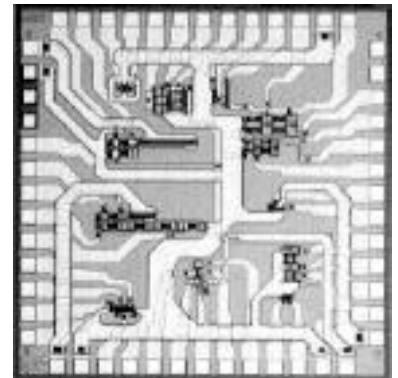
チップ内容 本チップは、別記の電流モード4値乗算器を構成する個々の回路ブロックの性能評価のためのチップである。このチップには、部分積生成器、冗長多値加算器、高速多値CLA、4値2値変換器といった主な4つの回路ブロックが独立に集積されている。試作に要した日数は約2ヵ月、主な設計者は修士4名である。チップ内のトランジスタ数は1k個である。



ニューロンMOSトランジスタを用いたアナログ回路

宮崎大学 石塚 興彦 淡野 公一

チップ内容 本チップは、ニューロンMOSトランジスタを用いた低電圧電流ミラー、ニューロンMOSしきい値電圧キャンセル回路、ニューロンMOSアナログ乗算器、ニューロンMOS電流ミラーを用いた電流コンパレータ等が集積化されている。試作に要した日数は約1ヵ月、主な設計者は修士2名である。チップ内のトランジスタ数は0.5k個である。



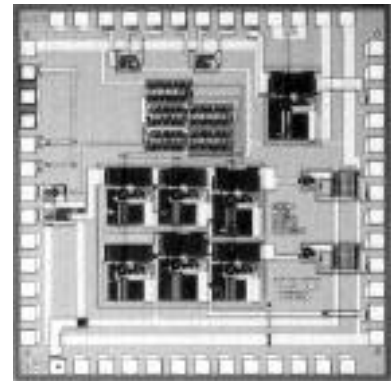
SCによる音声帯域ヒルベルト変換器 IC

山形大学工学部 佐々木 順子 水沼 充 高橋 一清

はじめに 位相合成方式によるSSB波の変調、復調および通常のAM波の同期検波などには音声帯域のヒルベルト変換器が必要である。FIR、IIRなどのデジタルフィルタで実現する方法もあるが、当研究室ではスイッチト・キャパシタでコンパクトに実現する方法を提案した[1],[2]。今回は300~3000Hzのヒルベルト変換器を6個のオールパス・フィルタで構成し、IC化を計った。

試作チップ モトローラ社の2.3mm角のチップを用いて、技官の指導のもとで4年生の卒研の一環としてパターンレイアウトを行った。チップの内容はヒルベルト変換器、SCオールパス・フィルタ、オペアンプなどを包含した。なお、容量はpoly1-poly2間の容量を用いた。所要期間は未経験の4年生が1人で約20日であった。レイアウトのソフトはSX-9000である。

参考文献 [1] 後藤, 高橋, 王, 水沼: "スイッチトキャパシタ技術によるヒルベルト変換器", '96信学会総大. [2] 高橋, 後藤, 水沼: "スイッチトキャパシタ技術によるヒルベルト変換器", 信学会技術報告 VLD97-35.



ADCL回路を用いた4ビットALU

山形大学工学部 後藤 亮一 水沼 充 高橋 一清

はじめに LSIの集積密度の増加と共に消費電力の低減化は重要な課題である。従来、低電力かつ動作マージンの広い回路方式としてCMOS論理回路がよく知られているが、それでも低消費電力回路としての観点からは次のような問題点がある。容量性負荷をもつCMOSインバータを考えたとき(1)負荷容量を充電するさいにpMOS、放電するさいにnMOSトランジスタで電気エネルギーが消費される。(2)出力電圧レベルがLow HighまたはHigh Lowに切り替わるときに電源からアースに対して貫通電流が流れて電気エネルギーが消費される。これらの問題を解決する回路方式として当研究室では断熱的ダイナミックCMOS論理(ADCL)回路を報告している[1],[2]。ここでは、ADCL回路を基本回路として用いた4ビットALUを集積化した。

試作チップ モトローラ社の2.3mm角のチップを用いて、ADCLによる4ビットALUを集積化した。加算方式は最も単純なリップル・キャリー方式とした。使用したレイアウト・ソフトはSX-9000であり、パターン・レイアウトは未経験の4年生が行い、所要期間は約20日であった。試作したチップの評価を現在行っている。

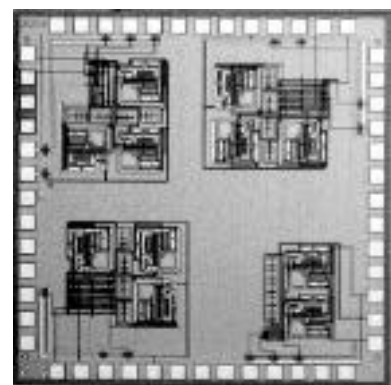
参考文献 [1] 池上, 高橋, 王, 水沼: "超低消費電力ADCL回路", '96信学会ソサエティ大会. [2] 高橋, 小沢, 水沼: "断熱的ダイナミックCMOS論理回路", 信学会技術報告 VLD97-70.



マトリクスMRCを用いた3次低域通過型フィルタの試作

東京工業大学工学部 高木 茂孝 藤井 信生

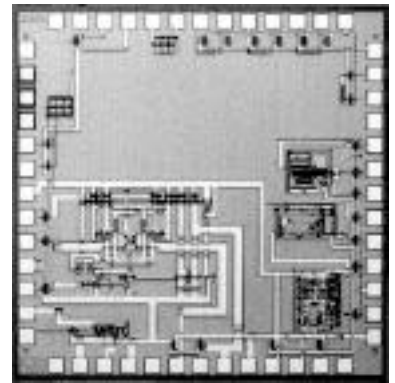
我々のグループは、非飽和領域で動作するMOSFETを用いて入力電圧と出力電流の間に線形の関係が成り立つことで知られるMRCを一般化した、マトリクスMRCを提案している。このマトリクスMRCを応用することにより、従来のMRCを用いた場合よりも少ない容量数で、容易にフィルタを構成することができる。今回の試作では、マトリクスMRCの構成の自由度を利用して、MOSFETの数が最少となるフィルタ、制御電圧の数が最少となるフィルタ、それらの中間の性質を有するフィルタの3種類を実現した。これらのフィルタの他に、マトリクスMRCを応用した回路としてキャパシタンスマルチプライヤーも実現している。設計には、学部学生1名が担当し、約3週間の時間を要した。また、トランジスタ数は全体で約200個である。



低消費電力OTAの試作

東京工業大学工学部 高木 茂孝 藤井 信生

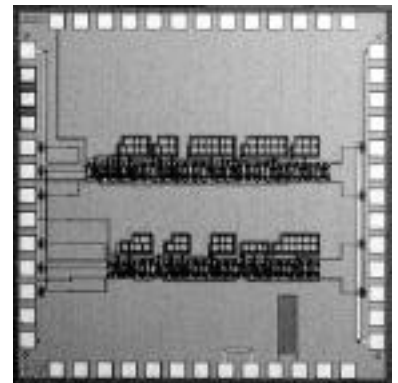
Operational Transconductance Amplifier(OTA)は、積分器やフィルタなどを実現する場合に有用な基本ビルディングブロックである。一般にMOSFETを用いてOTAを実現する場合、MOSFETの電圧・電流特性のため発生する信号歪みが問題となる。これを解決する手法が幾つか提案されているが、多くの手法がMOSFET差動対のテール電流の大きさにより、歪みを低減できる入力電圧範囲が決定されるため、余裕を見込み大きな電流を流さなければならない。このため、過度に電力が消費してしまう。これに対して我々のグループでは、入力信号の大きさに応じてテール電流を制御した低消費電力OTAを提案している。今回の試作の目的は、周波数特性や動作周波数限界などについて、提案の低消費電力OTAの特性を実際に確認することである。この低消費電力OTA以外に、回路構造は同一で、レイアウトや素子値の異なる演算増幅器を3種類実現した。設計には、修士2年生1名と学部学生3名が担当し、約2週間の時間を要した。また、トランジスタ数は全体で約80個である。



高性能積分器構成フィルタの試作

東京工業大学工学部 高木 茂孝 藤井 信生

積分器構成フィルタは、高周波特性や設計の容易さなどの点から、極めて有用なフィルタの一つである。積分器構成フィルタでは、一般に無損失積分器と有損失積分器が用いられており、有損失積分器には、その実現方法に自由度が残されている。我々は、所望のフィルタ特性に合わせて有損失積分器の設計を適切に選択することにより、高周波特性を改善できることを理論並びにシミュレーションにより既に確認している。また、素子値の広がり小さいフィルタが積分器の特性劣化の影響を受けにくいことも同様に確認している。今回の試作では、上記の2手法を共に用いることにより高周波特性の極めて優れた積分器構成フィルタの実現を試みた。さらに、比較検討のために、従来の積分器構成フィルタの代表例であるバイカッドフィルタも同一チップ上に実現した。設計には、博士3年生1名が担当し、約2週間の時間を要した。また、トランジスタ数は全体で約250個である。



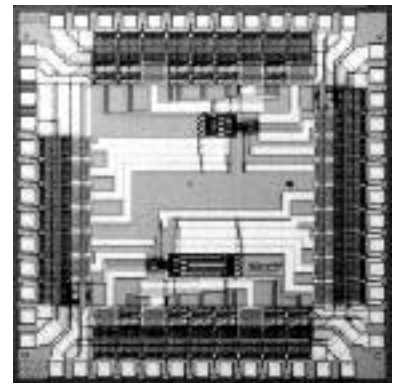
電荷転送型マッチングセル

東北大学大学院工学研究科 中井 努 大見 忠弘

東京大学大学院工学系研究科 柴田 直

はじめに 相関演算は知的情報処理の基本的な機能の一つである。相関演算を行う回路では、2つのベクトル間の距離が演算され、最も似通ったものの検索に用いられる。2つのベクトル間の距離演算を行うのがマッチングセル回路群である。従来の電圧モードアナログ回路によるマッチングセルの実現では、出力電圧の減衰という問題があり、出力を増幅する必要があった。増幅器を追加する事は、面積増大と、バラツキによる精度低下の問題があるが、今回、それらの問題が極力少ない増幅技術を使った回路を試作した。

試作チップ 異なった容量のキャパシタ間で電荷を転送し、電圧増幅をはかる機能を持つ、電荷転送型マッチングセルを集積した。セルあたりの大きさは $17780F^2$ であり、回路のゲインを決める容量比は20で設計してある。本チップは博士課程3年の学生が約週間で設計した。

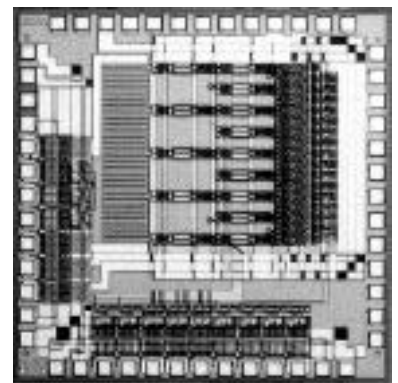


電荷転送増幅器を用いた低電力容量補間型A/Dコンバータ

東京大学大規模集積システム設計教育研究センター 小谷光司

東北大学工学研究科 大見忠弘

はじめに 低消費電力 A/D コンバータは、携帯機器等の応用でますます要求が高まっている。我々は、ビデオレートの 8-bit 分解能 A/D コンバータ向けに、ダイナミックラッチ回路と電荷転送増幅器を用いた極低消費電力のコンパレータを開発している。電荷転送増幅器は、ソースフォロアの原理を用いて貫通電力なしで電圧増幅が可能な増幅器である。一方、容量補間は、基準電圧と入力電圧の差を増幅した後、容量により電圧を補間して後段の比較器に入力する技術で、精度の向上、コンパレータの数の削減が可能となる。今回の電荷転送増幅器と容量補間回路を組み合わせて A/D コンバータを設計した。

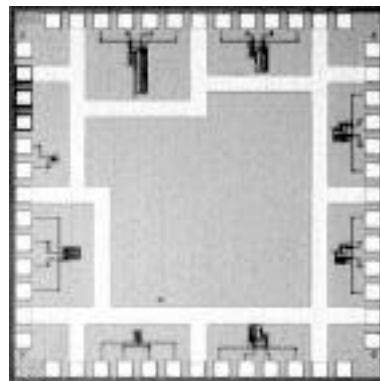


試作チップ 電荷転送増幅器の後に容量補間回路を接続した基本回路を2段接続し、最終段にダイナミックラッチ型比較器を配置したパイプライン動作の4-bit一括変換型A/Dコンバータを設計した。約5k素子を含む。

パルス形ハードウェアニューロンモデルに用いている負性抵抗素子の試作

日本大学理工学部 佐伯 勝敏 関根 好文

チップ概要 脳内に存在する神経回路網をモデル化する研究がなされており、アナログ回路方式でニューロンチップを実現するという試みが行われている。我々は、工学的な応用を目指して、4端子の負性抵抗素子を用いたパルス形ハードウェアニューロンモデルのIC化について検討を行っている。このモデルは、2つのMOSFETで構成した負性抵抗素子、抵抗、コンデンサによって実現できる。今回、ケードンスのアナログ回路設計ツールを用いてパルス形ハードウェアニューロンモデルに用いている負性抵抗素子を試作した。本チップは助手と学部4年生により3日間で設計を行った。

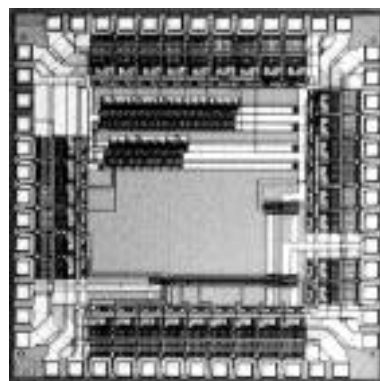


ニューロンMOSの精度測定用TEG

東北大学大学院工学研究科 今井 誠 大見 忠弘

はじめに 四端子デバイスである、ニューロンMOSトランジスタは容量を介し多数の入力端子を有する。原理的には多くの端子を持つほど高機能な素子として働く一方、精度と速度の面から端子数には上限も設けた方がよい。

試作したチップ 入力容量比が1:2の2入力（仮想3入力）ニューロンMOSインバータをはじめ、他、1:2:4、1:2:4:8、1:2:4:8:8という入力を持つ計5種類のニューロンMOSインバータを2つずつ設計し、容量のずれ、寄生容量成分の抽出などを測定する。また、大きな容量比が必要となった際に問題になっていたキャパシタ面積を縮小するための技術であるダブルフローティングニューロンMOSについて、インバータ回路を設計し精度等の検討を行う。また、高基数演算回路やメモリ分散型回路などに期待される64入力セルフラッチタイプニューロンMOSの基本回路も設計されており、演算切り分け精度などを測定する。インバータなどの基本回路であるため、メイン部分のトランジスタ数は100に満たないが、ピン数不足のため、出力選択用のマルチプレクサ回路を入れてある。設計は筆者(博士課程学生)1名で行った。基本回路であるため、実質の作業は3日程度である。



ゲイン可変チョッパー型コンパレータ

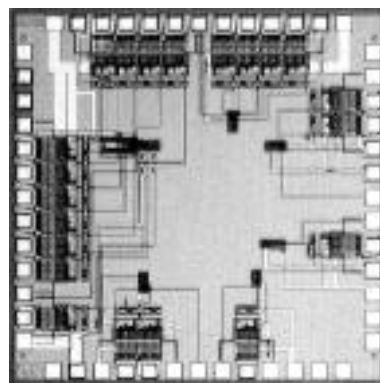
東北大学大学院工学研究科電子工学専攻 黄 景宏 大見 忠弘

東京大学電子情報工学専攻 柴田 直

チップ概要 本試作チップは、2つの入力電圧を比較する単なるCMOSチョッパー型コンパレータと電圧の加減演算のできるニューロンMOSで構成される演算回路よりなり。第一の入力電圧にある電圧値を加算または減算した電圧値に、第2の電圧が等しくなったときにコンパレータが“Turn On”する。また、加減演算する演算回路の出力電圧ゲインをバイアス電圧により可変にできる機能を有する。

試作に要した日数 約1ヶ月 **主な設計者の身分** 修士2年1名

トランジスタ数 約50トランジスタ



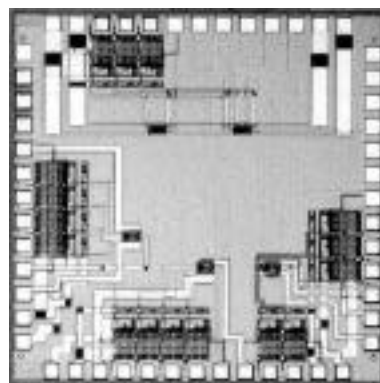
アナログEEPROM用読みだし回路TEG

東北大学大学院工学研究科 米澤 岳美 野澤 俊之 大見 忠弘

東京大学大学院工学系研究科 柴田 直

はじめに 自然界のアナログ情報を変換する事無く蓄積できるアナログのメモリは、様々な応用が考えられており、多くの研究がなされて来た。不揮発型のアナログメモリであり、フローティングゲートにアナログ値を記憶するアナログEEPROMにおいて、フローティングゲートに記憶されている値を正確に読み出すことのできる読み出し回路は必須である。今回の試作では、アナログEEPROMの読みだし回路としてどのようなものが適当か検討する為、読み出し回路のTEGを幾つか設計した。

試作チップ メモリセルのトランジスタを差動対の一方とするようなOPアンプ回路を、フローティングゲートにチャネルホットエレクトロン注入が殆ど起こらないドレイン電圧のもとで設計し、試作した。また、メモリセルのトランジスタのドレインに一定電圧を加えた時に流れるドレイン電流を1/V変換し出力する回路も試作。本チップは修士1年の学生2人が約2週間で設計した。



平成 8 年度第 2 回 N E L 試作

教育用 16 ビットマイクロプロセッサ KITE のスタンダードセルによる実装

九州工業大学 情報工学部 知能情報工学科 小坂 良介 江島 孝幸 末吉 敏則

マイクロ化総合技術センター 久我 守弘

はじめに KITE-2マイクロプロセッサは、計算機の入門教育から専門教育まで広く利用できるように考慮したモデルプロセッサである。また、専用CADシステムを用いて設計から実装までのLSI設計教育を行う支援教材として利用できるように、これまでFPGAおよびゲートアレイをターゲットデバイスとした設計・実装を行ってきた。今回、スタンダードセルによる設計・実装を行うことによりLSI設計教育プログラムの充実化を図った。

試作チップ プロセッサのバス構成を図 1 に示す。一般的な3バス構成を採用するが、実際にはマルチプレクサによる接続となっている。設計過程では、あらかじめFPGAをターゲットとして作成していたVerilogソースを基にした。端子数減少のため内部レジスタ観測用の端子部分について修正した後、Design Compilerによる論理合成を経てゲートレベルのネットリストを作成した。デバイスはNEL0.5 μ m、4.8mm²で入出力バッファはNELスタンダードセルライブラリを、内部ゲートについては京都大学作成のp2libを用いた。レイアウトの際にはCell Ensembleを使用した。本チップは修士1年の学生2人が約1.5ヶ月で設計し、6,982ゲート(2入力nand換算、入出力バッファ除く)であった。

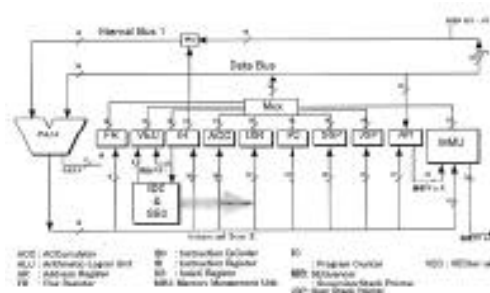
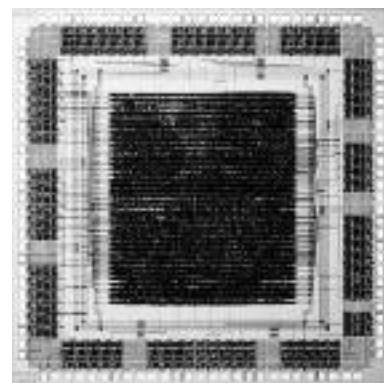


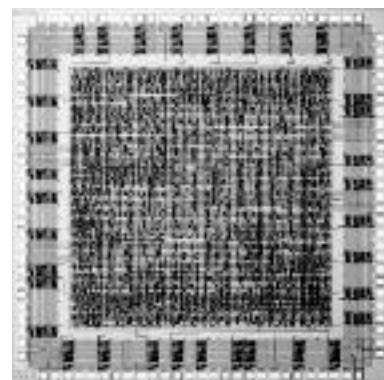
図1バス構成

“Dharma”アーキテクチャに基づいた配線資源再利用型FPGA

早稲田大学 理工学部 荒 宏視 戸川 望 柳澤 政生

はじめに 九州大学(少しだけ早稲田大学も)において商用ツール(エクセレント・デザイン株式会社)を用いて開発されたライブラリ, ならびに, 開発されたライブラリの商用CADツール(シノプシス社, アバンティ社)への適用に関する検証を行うことを目的としてLSIの試作を行う。試作するLSIとしては, 現在, 教育用, 試作用, ならびに, エミュレータとして広く普及しているFPGA(Field-Programmable Gate Arrays)の中でもまだ製品化されていない“Dharma”アーキテクチャに注目し, これを基に新たな配線資源再利用型FPGAを設計, 試作する。本FPGAアーキテクチャは, FPGA上で実現すべき回路の配置・配線といった設計工程が容易に行える構成になっているところに特徴がある。

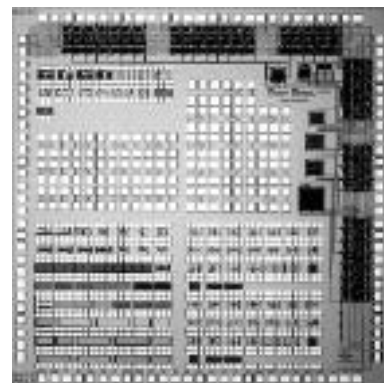
試作チップ “Dharma”アーキテクチャは, レベル分割の結果, 大幅に論理ブロックの使用効率を下げている。これを克服するために, 提案する配線資源再利用型FPGAアーキテクチャでは, ラッチを必要としない場合には, レベル分割を許すことにより, 効率良く回路を実現できるようにしている。また, テクノロジマッピング手法を改良したり, ラッチを多段化させることによって, チップ面積(スイッチボックスのFFの数)を削減するように工夫している。本チップは修士1年4人, 4年生1人の合計5名が約15週間で設計した。また, 試作チップを搭載するプリント基板として, 株式会社 写真化学の水尾氏の協力を得て, VDEC NEL 120 PGA 用のユニバーサルボードを製作した。



MOS 集積回路試作の試み

九州大学システム情報科学研究科 江淵 剛志 Ali Elhadri 黒木 幸令

チップ概要 VLSI設計教育のため、設計ツールの習熟を目的として、4ビットアップダウンカウンタと4ビット直・並列入力、直・並列出力双方向シフトレジスタ及びMOSFETの高周波測定用テストデバイスの設計・試作を行った。カウンタと双方向シフトレジスタはVerilog-HDLで記述し、synopsys社のdesign compilerを用いて論理合成を行い、Avanti社のAquariusXOで自動配置配線を行った。一方、MOSFETの高周波測定デバイスにはセイコー電子社のSX9000のndを使用した。なお、今回の試作には、修士1年の学生1名と学部の学生1名が約2ヶ月で設計を行った。



ライブラリの評価を目的とした8ビットマイクロプロセッサKUE-CHIP2の設計と試作
 京都大学工学部 平田 昭夫 北村 晃男 小野寺 英俊 田丸 啓吉

はじめに P2Libシステムを用いて作成したライブラリ(以降 P2Libと呼ぶ)と市販のライブラリ生成システムを用いて作成したライブラリ(以降EXD_Libと呼ぶ)のライブラリを総合的に評価することを目的として、LSIの設計と試作を行った。目的はライブラリの評価にあるため、十分な設計実績があり、かつ、動作特性の評価が容易な教育用8ビットマイクロプロセッサKUE-CHIP2の試作を行った。

試作チップ 今回設計したチップのレイアウトの概略を図1に示す。P2LibとEXD_Libのそれぞれについて、VHDL記述から論理合成し、配置配線を行ったKUE-CHIP2のコアを作成した。それぞれのコアの出力はセレクト回路を通して外部からの信号により選択される。また、内部メモリとして512バイトのSRAMを有する。このLSIはNEL0.5μmを用いて試作した。EXD_Libを用いたコアの面積は1.30mm²、P2Libを用いたコアの面積は2.37mm²、メモリの面積は1.68mm²であった。本チップは修士課程2年と博士過程1年の学生が約2ヶ月で設計し、1000ゲート規模で構成される。

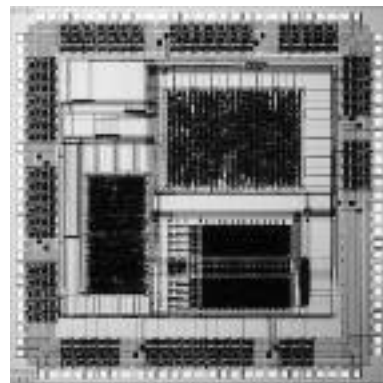


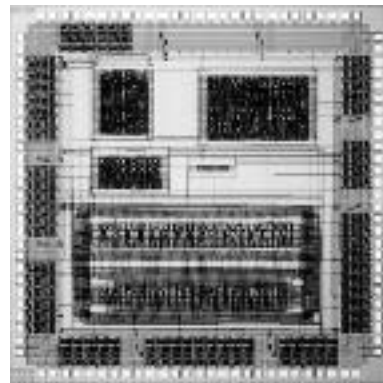
図1：試作LSIの概略図

ライブラリセル検証用 TEG チップの試作

九州大学 大学 システム情報科学研究科 情報工学専攻 塩見 謙太郎 沖野 晃一
 安浦 寛人

はじめに 我々の研究グループでは、大学や高専などの教育機関におけるLSI設計の円滑化を目的に、約300種規模のスタンダードセルライブラリを開発した。開発されたライブラリを厳密に検証するためには、各スタンダードセル単体を検査できるようにライブラリセルのテスト用TEGチップを設計した。

試作チップ 仕様設計には、VHDLを使用した。論理合成および論理シミュレーションはSYNOPSIS社のツールを使用し、配置配線にはAvanti!社のAquariusXOを使用した。TEGチップ構成は全セルに対して入力値を与え、セレクトにより所望のセルの出力値を出力するように設計した。TEGチップには、検証対象の313種類のセルを搭載している。また、51段のリングオシレータも搭載している。試作結果を以下の表に示す。



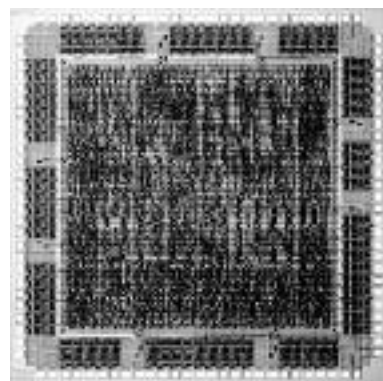
使用プロセス	チップサイズ	セル数_(トランジスタ数)	信号ピン数
0.6μm CMOS 2層メタル	4.76mmx4.76mm=22.66mm ²	1404(22474tr.)	63

ライブラリ検証のためのプロセッサチップの試作

九州大学 大学院 システム情報科学研究科 情報工学専攻 石原 亨 安浦 寛人

はじめに 我々の研究グループでは、大学や高専などの教育機関におけるLSI設計の円滑化を目的に、約300種規模のスタンダードセルライブラリを開発した。開発されたライブラリを厳密に検証するためには、各スタンダードセル単体を検査できるようにTEGチップに加えて、実用規模のプロセッサチップを用意することが重要であると考えられる。筆者は、スタンダードセルライブラリの検証を第一の目的として、今日主流となっている典型的な32bitのRISCプロセッサを設計した。

試作チップ 仕様設計には、VHDLを使用した。論理合成および論理シミュレーションはSYNOPSIS社のツールを使用し、配置配線にはAvanti!社のAquariusXOを使用した。低電力化のために、電源電圧と実効的なデータバス幅を変更する機能を持つ。



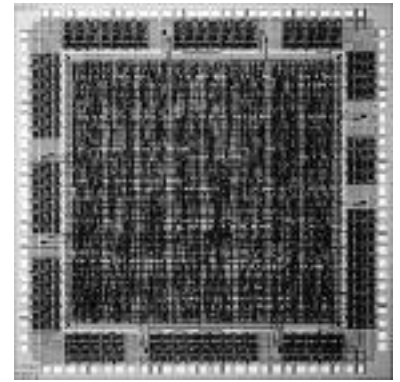
使用プロセス	0.5μm CMOS 2層メタル	電源電圧 / 周波数	実効データバス幅	消費電力
チップサイズ	4.76mmx4.76mm=22.66mm ²	3.3V / 25MHz	32 bit mode	321mW
セル数(トランジスタ数)	2907(35,282tr.)		8 bit mode	196mW
信号ピン数	76pins	2.0V / 15MHz	32 bit mode	71mW
クロック周波数	25MHz		8 bit mode	43mW

マルチメディア用ビットスライス・プロセッサの試作

九州大学 大学院 システム情報科学研究科 情報工学専攻 白川 暁 村上 和彰

はじめに SIMD演算によりマルチメディア処理の高速化,および,低消費電力化を実現する,マルチメディア用ビットスライス・プロセッサを試作した.本プロセッサでは,データバス巾dp のデータバスをビットスライス巾bs のビットスライス・データバスn ($=dp=bs$)個で構成する.これにより,従来のdpビット巾のデータに対する演算に加え,複数ビットスライス・データバスによる SIMD 演算,および,一部のビットスライス・データバスの動作停止が可能となる SIMD演算機能によりマルチメディア処理の高速化を,ビットスライス・データバスの動作停止により消費電力の削減を実現できる.

試作チップ 回路規模および入出力ピン数を考慮し,最大データバス巾16ビット,ビットスライス巾4ビット,汎用レジスタ数16本のビットスライス・プロセッサを実装した.従って,本ビットスライス・プロセッサでは,4ビットx1演算,8ビットx1演算,16ビットx1演算,4ビットx4演算,8ビットx2演算が可能である.例えば,4ビットx1演算を行う場合,その他3本のビットスライス・データバスは活性化されない.また,コントロールバスは既存のプロセッサと基本的に同じである.なお,本チップは,NEL0.5 μ m用EXDライブラリを利用し,修士2年の学生が設計を行った.セル総面積は6,791,400.00 μ m²である.

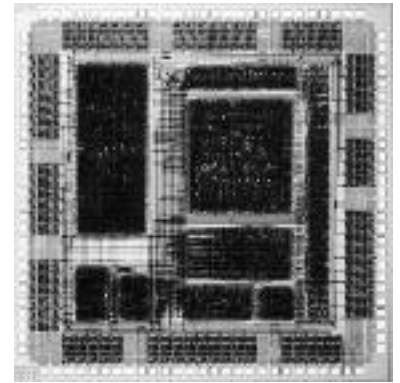


終了検出型パイプライン加算器を用いた疑似非同期式マイクロプロセッサの設計

東京大学工学部 鄭 若彤 佐藤 義則 浅田 邦博

はじめに マイクロプロセッサの高速化のためには演算の中心である加算器の高速化が不可欠である.従来の加算器の高速化は最大遅延の削減に主眼がおかれていた.これに対し,平均的な演算速度向上を狙う終了検出型パイプライン加算器を提案した.以前の終了検出型加算器のスループット向上を図り,疑似非同期式マイクロプロセッサを構成し,そのアーキテクチャーの動作検証を行なう.

試作チップ 今回設計したCPUのアーキテクチャは32-bit 4段パイプラインの疑似非同期式マイクロプロセッサである.CPUの全体として平均速度で動かせるために非同期式ハンドシェイクを用い,CPU全体として平均速度で動けるようになった.終了検出加算器は前段の部分加算ステージと後段のキャリー伝搬ステージの2段パイプライン構成となっている.前段の処理時間は一定であるが,後段では1~3クロックの間で可変となる.パイプラインのステージの間,ハンドシェイクによりデータ転送を行なう.本チップはCADツール利用上の問題点から各マクロブロックの電源ネット接続できず,動作しなかった.なお,本チップは研究員と研究生の二人が約2か月で設計し,セルベースで実現し,60k トランジスタで構成されている.



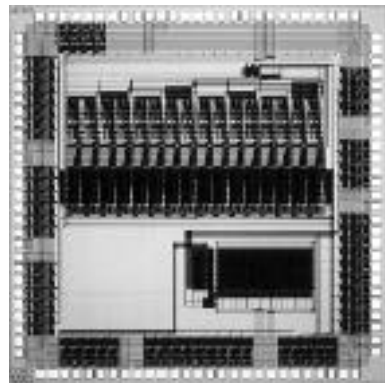
チップインタフェースにおける消費電力削減のための符号化・復号化回路

東京大学工学部 小松 聡 池田 誠 浅田 邦博

はじめに 近年VLSIにおける消費電力の増大が問題になっており、その中でバス部分の消費電力が全体の消費電力に占める割合が大きくなってきている。今回、我々はチップインタフェースにおける消費電力削減のために、新しい符号化手法を提案し、それを用いたバスデータの符号化・復号化回路を設計した。

試作チップ 今回の試作チップに採用した符号化は適応型コード帳符号化方式[1]である。本方式では、符号器に書き換え可能なコード帳を持ち、コード帳内のコードと入力データとの差分(XOR)をバスに伝送することにより、バスにおける信号遷移頻度を削減している。符号器は、コード帳部分のレジスタ、差分のためのXOR、最小ハミング距離検出回路などから構成されている。試作チップを実際に測定した結果、電源電圧3.3[V]、動作周波数10[MHz]において、符号化に要する遅延時間が50[ns]、消費電力が3.6[mW](コア部分のみ)となることがわかった。なお、本チップは修士2年の学生が約3週間で設計し、約50kトランジスタで構成されている。

参考文献 [1] 小松, 池田, 浅田, "動的コード帳符号化によるチップインタフェースにおける消費電力削減手法の検討," 信学技報, ICD97-151, 平成9年10月.



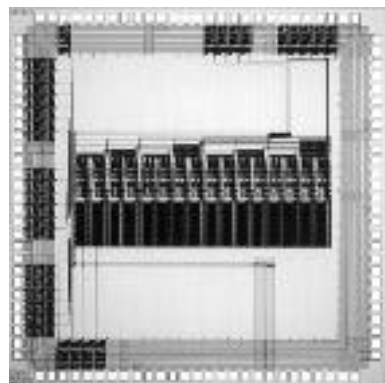
チップインタフェースにおける消費電力削減のための符号化回路用 TEG

東京大学工学部 小松 聡 池田 誠 浅田 邦博

はじめに 近年VLSIにおける消費電力の増大が問題になっており、その中でバス部分の消費電力が全体の消費電力に占める割合が大きくなってきている。今回、我々はチップインタフェースにおける消費電力削減のために、新しい符号化手法を提案し、それを用いたバスデータの符号化・復号化回路を設計した。

試作チップ 今回の試作チップに採用した符号化は適応型コード帳符号化方式[1]である。本方式では、符号器に書き換え可能なコード帳を持ち、コード帳内のコードと入力データとの差分(XOR)をバスに伝送することにより、バスにおける信号遷移頻度を削減している。符号器は、コード帳部分のレジスタ、差分のためのXOR、最小ハミング距離検出回路などから構成されている。本チップは、適応型コード帳符号化における最小ハミング距離検出回路の部分のTEGである。なお、本チップは修士2年の学生が約3週間で設計し、約50kトランジスタで構成されている。

参考文献 [1] 小松, 池田, 浅田, "動的コード帳符号化によるチップインタフェースにおける消費電力削減手法の検討," 信学技報, ICD97-151, 平成9年10月.

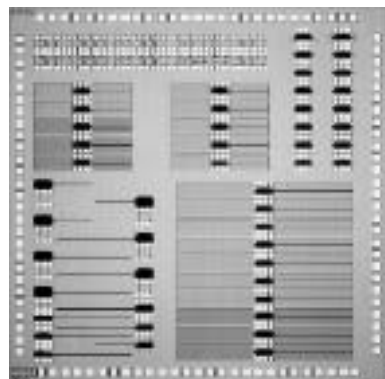


多層配線構造における容量行列抽出のための TEG

東京大学工学部 三堂 哲寿 伊藤 浩 浅田 邦博

はじめに 高密度化、大規模化が進む集積回路においては、信号の伝送遅延を評価するための容量抽出は重要な問題である。多層化が進むシステムにおいては多くの導体がそれぞれ間に結合容量を持ち、それらを個々に測定するためのテストストラクチャを作成することは大きな面積コストと多くの測定時間を必要とする。本試作では、多導体の結合容量を含む容量行列を一つのテストストラクチャで測定する手法を提案し、試作を行った。

試作チップ 今回試作したチップでは、本年度すでにモトローラによるCMOS1.5 μ mプロセスで試作している同一目的のTEGに対し、負荷容量のパターンとしてさらに近接した配線の容量を測定することを目的としている。本チップは博士2年および博士3年の学生が約1週間で設計し、全てのTEGでのトランジスタ総数は約2000となっている。



マイクロ心拍モニターの試作

東京大学工学部 相原 祐一郎 野村 章子 藤島 実
鳳 統一郎

はじめに マイクロヒューマンセンサは、生体情報をモニターするシステムを構築できるものとして、集積回路に新たな利用価値を生み出す可能性を秘めている。今回、高い付加価値を持つ集積回路を目指して、マイクロヒューマンセンサの一つとして、マイクロ心拍モニターの試作を行った。
試作チップ 設計した回路の構成を図1に示す。

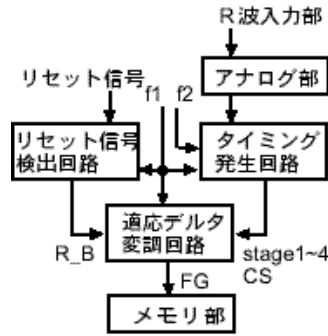
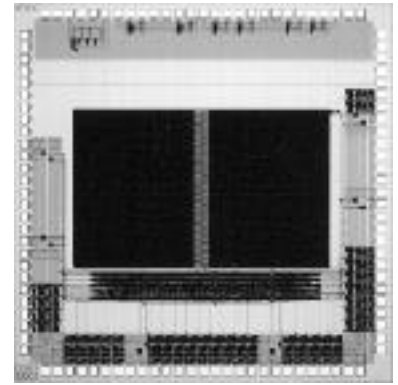


図1 構成図



心拍数は、心電図で観測される最も波高の高いR波の間隔を測定することで得られる。アナログ部で入力信号を増幅してパルス状に整形する。デジタル部で、R波の間隔を測定する為に別のパルスを用意し、R波が検出される毎に、測定開始からのパルスのカウント数をサンプリングする。間隔測定パルスの数のデータは、適応デルタ変調を用いて1ビットに圧縮する。タイミング発生回路では、非同期の入力信号から4クロック分の同期クロックを生成し、適応デルタ変調回路およびメモリ部に供給する。このことで回路の駆動サイクルを非常に少なくする事が可能となり、全体として低消費電力を実現する事が可能となる。メモリは約10kビットである。本チップは、学部4年の学生2名が約1カ月で設計し、約200kトランジスタで構成されている。

桁上げ保存を利用したマイクロプロセッサ

東京大学工学系研究科 入田 隆宏 小倉 誉之 藤島 実
鳳 統一郎

はじめに 近年のマイクロプロセッサでは、加減算命令の演算時間により動作周波数が決定されるのが一般的であるが、キャリー伝搬により長い演算時間を要し、動作周波数を制限する要因の一つとなっている。従来のスーパーパイプライン機構では、利用頻度の高い加減算のレイテンシが複数サイクルとなるため、ストールが生じやすく、性能を向上させ難い。本チップでは、加減算のパイプラインを細分化し、動作周波数を向上させ、かつストールの頻度を軽減し得るアーキテクチャを提案し、同機構を評価するテストプロセッサの試作を行った。

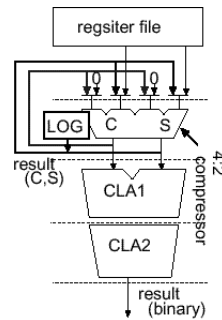
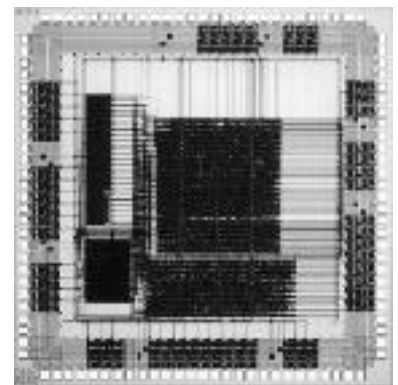


図1機能ブロック図



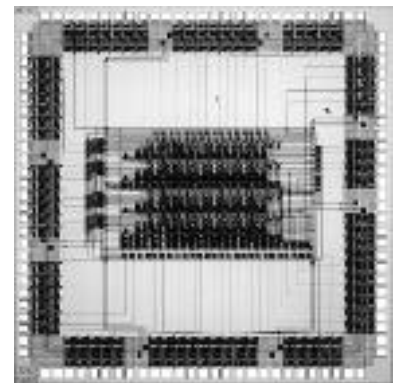
試作チップ 試作チップのブロック構成を図1に示す。パイプラインの初段に4:2compressorを組み込み、加減算の結果をcarry及びsumの対として出力し得るよう構成する。得られたcarry,sum対は後段にパイプライン化した加算器を配置し、2進形式に変換する。同機構により、4:2compressorの演算時間をクリティカルパスとして設計することで、動作周波数を向上しうる。また、加減算の演算結果を後続の加減算にフォーワードングすることにより、実効的なレイテンシを1サイクルとし、ストールの頻度を軽減することが可能となる。本プロセッサは、33Kトランジスタで構成され、博士課程1名、学部学生1名により約1ヵ月で設計された。

実数/複素数再構成型算術演算コアの試作・評価

東北大学大学院情報科学研究科 天田 博章 青木 孝文 樋口 龍雄

はじめに マルチメディア時代に要求されるデジタル信号処理アルゴリズムの中でも、FFT(高速フーリエ変換)は、音声・画像認識の基本操作として、その重要性が高まるものと予想される。FFTを用いた相関関数や畳み込みの計算では、複素数演算が処理の大半を占めている。今回、我々はこの複素数演算を高速に行え、かつ、実数演算器へ実時間で再構成可能な実数/複素数再構成型算術演算コアの試作・評価を行った。

試作チップ 本演算コアは、回路を動的に変更することにより、(i) 実部、虚部8-bitの複素数乗算、(ii) 16-bit 実数乗算、(iii) 8-bit 実数4入力積和演算(2並列)の3モードを実行可能とするものである。この再構成は、本研究グループにおいて提案された冗長複素数系(RCNS)を基本数系として、これを各演算モードにおいて最も適した数系へ変換することにより可能となる。今回、アルゴリズム検証のため、NEL 0.5 μmによる試作を行った(写真)。各セル間が非常に規則的に配線され、グローバル配線が全くないことがわかる。演算時間は全ての演算モードで等しく、HSPICEによる回路シミュレーションにおいて13.2nsとなることを確認した。全ての演算モードにおいて回路の稼働率は80%以上であり、高いハードウェア利用効率を達成している。また、演算コアの再構成を行



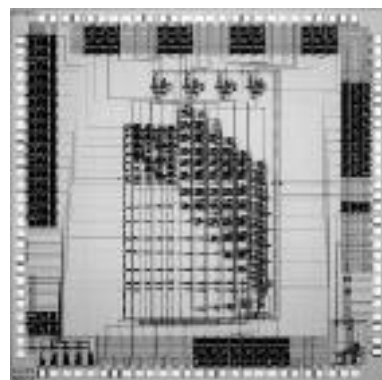
うための付加回路もトランジスタ数で全体の8.9%と、非常に少ないオーバーヘッドに抑えられている。なお、本チップは修士2年の学生が約1ヵ月で設計し、15kトランジスタで構成されている。

低電力断熱充電乗算回路

広島大学工学部 小野 豪一 永田 真 岩田 穆

はじめに LSIの消費電力増大は、高集積化の主たる制限要因となりつつある。「断熱充電論理」では、スイッチング素子に印可する電源電圧をランプ波形とすることで、電極間の電位差が十分小さい状態で電流を流すため、本質的に低消費電力な回路を構成できる。本試作では、4相電荷回収電源を含む8b×8b断熱充電乗算回路を設計した。

回路構成 本乗算回路は8b×8bキャリアセーブアダー構成であり、CVSL(Cascode Voltage Switching Logic)を適用した断熱充電論理であるECRL回路を用いて差動nMOS縦積み回路で論理を形成している。ECRL回路は1ゲートごとにクロック(=ランプ波形)が必要であるため、論理式どおりに設計するとレイテンシーが大きくなる。そこで本設計では回路を複合ゲート化して論理段数を低減し、さらにパイプライン処理によりスループットを向上した。また、回路からの電荷の回収・再利用を可能とするLC共振型4相電荷回収電源も搭載した。シミュレーションにより得られた消費電力は3V-10MOPSのとき0.3mWであり、これは同じスループットで比較すると通常のCMOS構成の1/10以下である。なお、本チップは修士2年の学生が約2ヵ月でフルカスタム設計した。2.6kトランジスタで構成し、電荷回収電源のL,Cは外付けとした。また、試作チップの評価により基本動作を確認した。



HDLを用いたCPU設計とチップ試作

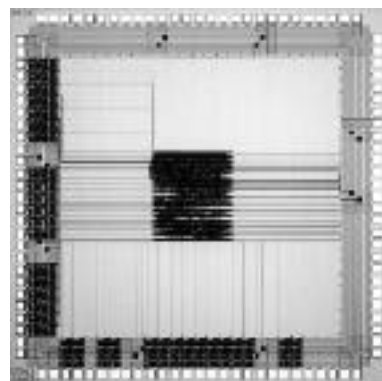
金沢大学工学部 前多和洋 北村章夫 鈴木正國

はじめに '96年度に金沢大学に導入された設計システムをもちいて、卒業研究の一部として、スタンダーセルによる設計方法の習得を目的としたチップ試作を行った。

試作したチップ 今回試作したものは、Verilog-HDLにより記述し、京都大学作成のライブラリp2libを用いてSynopsysにより論理合成、Cell Emsenbleで配置配線を行った。セル数で、約600である。

回路構成は、左図のようなシンプルな構成をとった。

設計は筆者(学部生)1名で行った。設計手順から、Verilog-HDLや各ツールの習得を含めて、約10ヶ月を要したが、実際にかかった時間を考えると6~7ヶ月程度と思われる。なお、最初は32bitで設計を進めていたが、配置配線の段階でとても4.8mmサイズに収まらないことが判明し、急きょ回路構成やビット数を8bitに変更した。それに要した時間から想像すると、設計手法、ツール使用法を理解した状態であれば、1ヵ月で設計可能と思われる。また、現在、動作確認の準備中である。



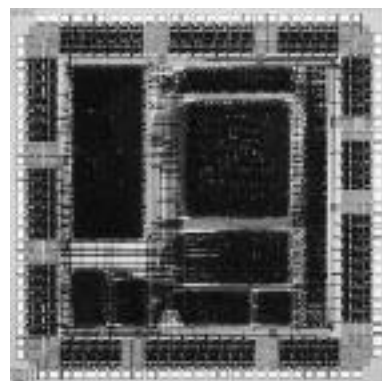
終了検出型パイプライン加算器を用いた疑似非同期式マイクロプロセッサの設計

東京大学工学部 鄭 若彤 佐藤 義則 浅田 邦博

はじめに マイクロプロセッサの高速化のためには演算の中心である加算器の高速化が不可欠である。従来の加算器の高速化は最大遅延の削減に主眼がおかれていた。これに対し、平均的な演算速度向上を狙う終了検出型パイプライン加算器を提案した。以前の終了検出型加算器のスループット向上を図り、疑似非同期式マイクロプロセッサを構成し、そのアーキテクチャーの動作検証を行なう。

試作チップ 今回設計したCPUのアーキテクチャは32-bit 4段パイプラインの疑似非同期式マイクロプロセッサである。CPUの全体として平均速度で動かせるために非同期ハンドシェイクを用い、CPU全体として平均速度で動けるようになった。終了検出加算器は前

段の部分加算ステージと後段のキャリー伝搬ステージの2段パイプライン構成となっている。前段の処理時間は一定であるが、後段では1~3クロックの間で可変となる。パイプラインのステージの間、ハンドシェイクによりデータ転送を行なう。本チップは96年度試作した同じ機能を持つチップの修正版である。以前のチップはCADツールの使用上の問題から、マクロブロックの電源ネットがきちんと接続されず、動作しなかった。なお、本チップは一人が約半日で修正し、60kトランジスタで構成されている。

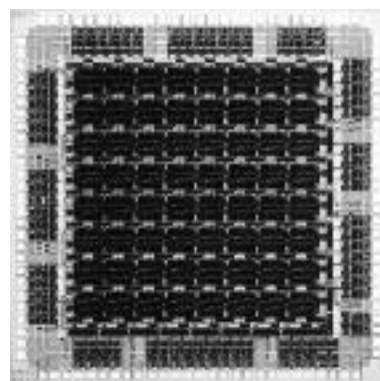


ビットシリアル FPGA の開発

東京工業大学電気電子工学科 一色 剛 國枝 博昭

はじめに 現在のField-Programmable Gate Array(FPGA)は、チップ面積の大部分を配線領域が占めており、その有効資源使用効率が著しく低い。我々はこの問題に対し、配線領域が非常に小さいビットシリアル回路用のFPGAアーキテクチャを開発し、VLSIのフルカスタム設計を行った。

試作チップ 今回設計されたFPGAのアーキテクチャの特徴としては、1つの論理ブロックには、4つの4入力ルックアップテーブルと6つのフリップフロップが含まれ、ビットシリアル回路が効率よく実現できるような構成になっており、また、配線ネットワークは格子状に列べられたスイッチボックスと論理ブロック内部のクロスバースイッチからなり柔軟な配線が出来るように工夫されている。設計されたチップは大きさが4.8mmx4.8mm(回路部分は3.5mmx3.5mm)であり、8x8の論理ブロックと4x16のIOブロックが実現されている。このチップに実装可能なビットシリアル回路のゲート数は約4500ゲートであり、チップの動作可能なクロック周波数は約150MHzである。搭載されているトランジスタ数は、約20万であり、修士学生2人、博士学生1人及び助手1人で約4か月をかけて、すべてフルカスタムでレイアウトされている。



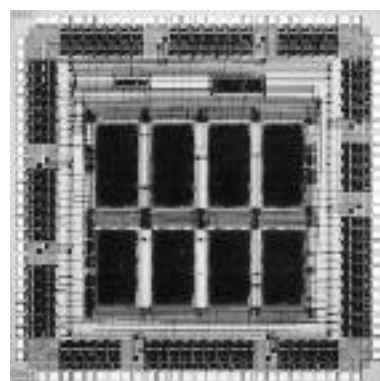
可変ラインサイズ・キャッシュの試作

九州大学 大学院 システム情報科学研究科 情報工学専攻 井上 弘士 富田 裕人

村上 和彰

はじめに キャッシュを搭載したDRAM/ロジック混載LSIでは、高オンチップ・メモリバンド巾を活用することで、ミス・ペナルティを増加することなしに、キャッシュ・ライン・サイズを大きくすることができる。しかし、実行対象となるプログラムに適したライン・サイズは様々である。例えば、プログラムの空間的局所性が高い場合、大きなキャッシュ・ラインは、プリフェッチ効果によるヒット率の向上をもたらす。しかしながら、空間的局所性の低いプログラムを実行する場合、大きなキャッシュ・ラインは、頻繁なキャッシュ・コンフリクトを発生し、ヒット率の低下を招く。そこで、我々は、ライン・サイズを縮小/拡大可能とし、アプリケーションに適したラインサイズを選択することを可能とする「可変ラインサイズ・キャッシュ(VLSキャッシュ)」を提案している。本試作では、縮小版VLSキャッシュを設計した。

試作チップ 実際、VLSキャッシュはDRAM/ロジック混載LSI上での実装を想定しており、128バイト(最大ライン)、64バイト(中間ライン)、32バイト(最小ライン)の範囲でラインサイズを変更可能である。しかし、本試作においては、使用可能なI/Oピン数や実装面積を考慮し、16ビット(最大ライン)、8ビット(中間ライン)、4ビット(最小ライン)でラインサイズを変更可能とした。なお、本チップは、NEL0.5 μ m用EXDライブラリを使用し、博士1年の学生1名と修士1年の学生1名が、約1カ月で設計を行った。セル総面積は2,233,514.25 μ m²である。



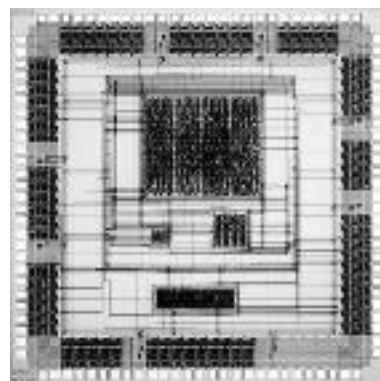
PPRAM-link インタフェース・コアの試作

九州大学 大学院 システム情報科学研究科 情報工学専攻 橋本 浩二 沖野 晃一

村上 和彰

はじめに 我々は、「従来型コンピュータ・システムの問題点」を打破する新しいシステム・アーキテクチャとして、PPRAMを提案している。PPRAMとは、「メモリ/ロジック混載型LSIを基本構成要素とし、それらを1個以上並列に標準インタフェースにより相互接続することで、アプリケーションの要求に応じて任意サイズ、任意機能、任意性能のコンピュータ/電子機器システムを構築しよう」と言う『アーキテクチャ上の概念』である。そして、国内外の産官学協同によるPPRAMコンソーシアムを組織し、標準高速通信インタフェース規格であるPPRAM-link標準仕様の策定を行っている。本試作では、PPRAM-linkの実装事例として、サブセット版PPRAM-linkインタフェース・コアを設計した。

試作チップ PPRAM-linkインタフェース・コアは、PPRAM-link仕様で定められた論理階層、および、物理階層で構成される。論理階層は、論理的な一意の通信プロトコルを定める階層であり、トランザクション層およびトランスミッション層で構成される。物理階層は物理的な信号伝達を行う階層である。本試作では、実装可能な回路規模を考慮し、準拠すべきPPRAM-link仕様のサブセット版として、トランスミッション層および物理階層の一部を実装した。なお、本チップは、NEL0.5 μ m用EXDライブラリを使用し、修士1年の学生1名と修士2年の学生1名が、約1カ月で設計を行った。セル総面積は546,528.93 μ m²である。



スマートイメージセンサにむけた受光回路の TEG

東京大学工学部 根塚 智裕 秋田 純一 浅田 邦博

はじめに 従来の画像処理システムでは、撮像、A-D変換、デジタル信号の伝送、デジタル信号処理といった一連の手順で信号処理が行なわれている。近年のCMOS半導体集積回路の技術の発展に伴い、画像センサ面上に信号処理回路を集積し、画像信号にセンサ面上で並列に前処理を行ないセンサと信号処理系との間のボトルネックを解消する研究が多くなされるようになってきている。今回の試作では、そのようなスマートイメージセンサに向けた受光回路のTEGの作成を行なった。

試作チップ 今回作成した受光回路の回路図を図 1に示す。今回の試作では、大きさおよびアスペクト比を数種類に変化させたフォトダイオード、出力部にソースフォロワを接続したフォトダイオード、メタルによる周辺回路部の遮光の有無等の条件を変えたフォトダイオードおよびフォトゲート型のAPS(Active Pixel Sensor)のTEGを設計した。なお、本チップは修士1年の学生が約2週間で設計し、23個の受光回路のTEGで構成されており、トランジスタ数は約50個となっている。

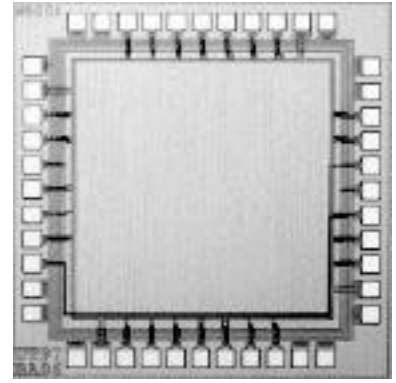


図 1 回路図

光同期式レーザ回路を用いた分周器の試作

東京大学工学部 恐神 貴行 藤島 実 鳳 紘一郎

はじめに VLSIの高集積化が進むにつれ配線遅延、特にクロックの遅延が高速化の際に大きな問題となってきた。解決策の一つとしてクロック信号を光で与えチップ内の同期をとる光クロック供給システムが提案されている。受光素子をシリコンで作った光を自由空間伝搬させる方法をとれば、このシステムを現在のシリコンCMOSプロセスで実現することができる。しかしそのためには高感度のレーザ回路が必要となる。今回我々は低消費電力、小面積であり高速動作をする光同期式レーザ回路を用いた分周器の試作を行なった。

試作チップ 光同期式レーザ回路としては、高速動作をすると考えられる図 1のリングオシレータ型と確実な動作をすると考えられる図 2のマルチバイブレータ型を、パラメータを変えるなどして合計12種類搭載した。なお本チップは学部4年の学生が約1カ月で設計し、約1000トランジスタで構成されている。

図 1 リングオシレータ型

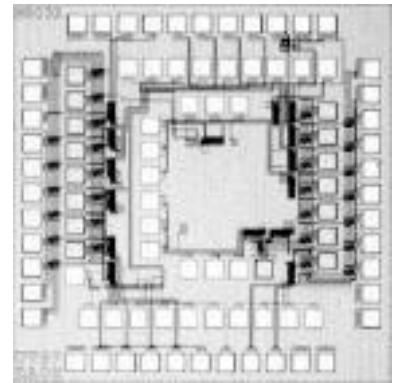


図 2 マルチバイブレータ型

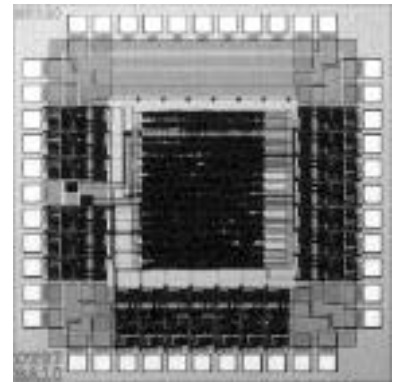
EB テスティング用パッドを付加したマイクロプロセッサの設計

大阪大学大学院工学研究科 情報システム工学専攻 三浦 克介 柳生 慎也

中前 幸治 藤岡 弘

はじめに 複雑化、高速化したVLSIの故障診断に、VLSI内部動作を観測可能な電子ビーム(EB)テストシステムが広く利用されている。しかし、EBテストシステムは、絶縁保護膜により覆われた下層配線の測定が困難であり、金属配線の多層化に伴って、EBテストシステムでの可観測性の低下が問題となっている。可観測性を高めるため、標準セルライブラリにEBテスト用パッドを付加し、このライブラリを用いてマイクロプロセッサの設計を行った。

試作チップ 標準セルライブラリに含まれているセル内部の配線の多くは、第1層金属配線部分のみからなり、EBテストでの測定が困難である。この問題を解決するため、NEL 0.5 μm^2 層金属プロセス用p2libセルライブラリを一部変更し、2層金属EBテスト用パッド(2 $\mu\text{m} \times 1.7 \mu\text{m}$)の追加を行った。元のセル内配線には手を加えず、パッドを挿入可能なスペースがある場合とフィードスルー配線を削除することでパッドの追加が可能となる場合にのみ、パッドの挿入

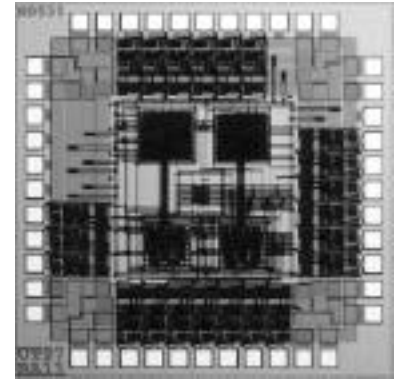


を行なった。ライブラリの変更は、レイアウトエディタを用いて手作業で行ない、約1日で作業を完了した。変更したライブラリを用い、Synopsys Design Compiler, Cadence Cell Ensembleを用いて、8bitマイクロプロセッサを設計した。セルの数は502個、セル内配線数1492本で、ライブラリ変更により可観測なセル内配線の割合が9%から39%に上昇した。一方、レイアウトのコア部分の面積は、0.674mm²から0.719mm²になり、約7%増加した。これは、ライブラリ変更時に、フィードスルー配線を削除したためと考えられる。

異なる配線間の伝搬遅延測定用回路の試作

九州大学 大学院 システム情報科学研究科 情報工学専攻 松永 英人 安浦 寛人

はじめに 近年のLSI設計技術の進歩(加工寸法の微細化・動作速度の高速化)にともない、素子遅延に対する配線遅延の相対比の増大や配線間の相互作用の影響などを考慮する必要がでてきている。そこで、ドライバとレシーバのレジスタの間に隣接した同一長の配線を16本用意し、入力パターンを全ビット1から0,0から1と変化させた時と、1010...のように1と0を交互に変化させた時の遅延のばらつきを測定することで、配線間の相互作用の影響を調べる。配線の間隔はデザインルールの条件を満たす最小の間隔(1.6 μm)とし、配線長は300 μmで統一する。更に、同様の設計で、配線間の形状(コンタクトの使用数,使用金属)を変えた配線を準備し、データを入力して伝搬遅延を測定する。LSIテストでレジスタ間の周波数を上げていき、観測バスでレシーバ側のレジスタの値を測定する。



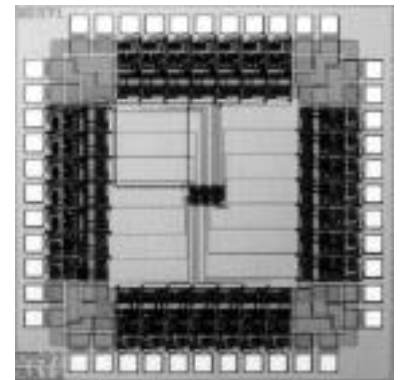
試作チップ ドライバ側のレジスタにはピン数を節約するためシフトレジスタおよびレジスタを設けた。レシーバ側のレジスタはenable信号がONの時のみデータをラッチする。なお、チップの設計には修士課程1年の学生が約2週間を要した。試作結果を以下の表に示す。

論理合成ツール	配置配線ツール	使用プロセス	チップサイズ	信号ピン数
DesignAnalyzer	Aquarius-XO	0.5 μm CMOS 2層メタル	2.3mm x 2.3mm = 5.29mm ²	28pins

2進SD数全加算器セルの試作・評価

東北大学大学院情報科学研究科 天田 博章 青木 孝文 樋口 龍雄

はじめに 乗算はデジタルシステムにおいて、加減算とともに最も基本的かつ出現頻度の高い演算である。組み合わせ回路によって並列乗算器を実現する場合、演算の高速性と回路の規則性を両立することが要求される。今回、我々はこの相対する要求に応える乗算器の基本セルとして、2進SD数(冗長2進数)に基づく高速な加算器セルの試作・評価を行った。



試作チップ 2進SD数系は、各桁が{-1, 0, 1}という冗長な値をとる重み数系である。この冗長性を利用することによって桁上げ伝搬を排除することができ、オペランドの語長に無関係な一定の演算時間で高速な加算が実現できる。さらに2進SD数の並列加算器は、

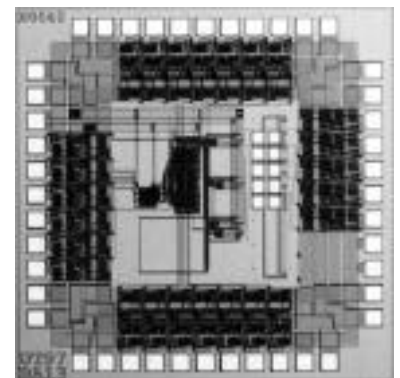
2つのオペランドを1つのオペランドへ圧縮する"2-1 reducer"と見なすことができるため、乗算における多入力加算を2進木構造による規則的な回路構成で高速に実現可能である。今回、アルゴリズム検証、および演算時間の評価のため、NEL 0.5 μmによる試作を行った(写真)。本試作チップは、並列加算器としての演算時間を評価するため、2進SD数全加算器(SDFA)セルを3つ配置した構成になっている。回路方式として、2線式のバストランジスタロジックを採用しており、2進SDFAセル1つ当たり64トランジスタから成っている。演算時間は、HSPICEによる回路シミュレーションにおいて2.4nsとなることを確認した。なお、本チップは修士2年の学生が約1週間で設計し、192トランジスタで構成されている。

DRAMを用いた加算機能メモリ

京都大学工学部 山岡 雅直 小林 幸史 渡辺 航也 小林 和淑 田丸 啓吉

はじめに バスボトルネックを解消するため、機能メモリというアーキテクチャが提案されている。我々は、DRAMを用いて、加算機能に重点をおいた演算機能を有する機能メモリ(加算機能メモリ)の設計を行なった。加算機能メモリでは、外部と内部の演算回路の2方向に読み出し・書き込みが可能なDRAMセルが必要となる。

試作チップ 試作チップでは、3種類のメモリセルを蓄積キャパシタの容量を変えてそれぞれ5種類、計15種類のメモリセルを作り込んだ。それぞれのメモリセルには、外部から値を書き込むことが出来ると同時に、センスアンプを通じて値を読み出すことが出来る。また、実際の加算機能メモリ同様、演算回路との値のやりとりも出来る。それぞれの



メモリセルのリテンション特性などを測定すると同時に動作確認を行ない、加算機能メモリに用いるのに最適なメモリセルを決定する。本チップは、修士2回生の学生が1週間で設計を行ない約900トランジスタで構成されている。

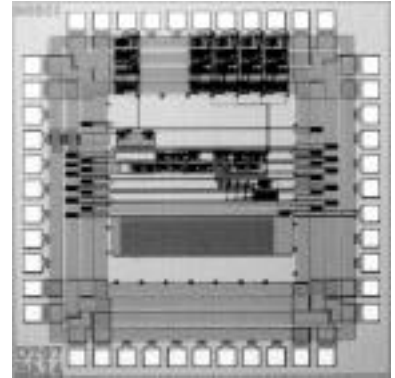
A/Dコンバータ及びD/Aコンバータ

大阪大学 工学部 小川 徹 谷口研二

はじめに DSPチップを用いて音声などのアナログ信号を処理するにはA/Dコンバータ及びD/Aコンバータが必要となる。それらをまとめて一つのチップに納めることができれば、コストやサイズの観点から大きなメリットがある。今回はDSPとの混載を前提としてA/Dコンバータ、D/Aコンバータの設計をおこなった。

A/Dコンバータ 今回の設計の中では、A/Dコンバータがもっとも複雑かつ面積大になってくると思われる。そこで今回そのA/Dコンバータに改良を加えた。基本的には逐次近似変換方式を用いるが、2bitの逐次近似変換方式のA/Dコンバータをブロック化し、そのブロック毎に変換を行い、多ビットの変換が出来るように設計をした。今回はその方法で4bitのA/Dコンバータの設計を行った。本チップは学部4年の学生が約1ヵ月で作成を行った。トランジスタ数は約0.5kである。

図1：4bit A/Dコンバータ

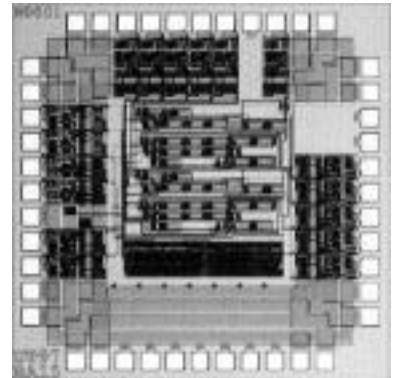


オペアンプを使ったニューロン回路

大阪大学大学院工学研究科 市橋 基 谷口 研二

はじめに ニューロンの1モデルである、パーセプトロンを実現するセルが様々考えられている。このセルの実現手法として、デバイスレベルで実現するのではなく、回路レベルでの実現を目指した。今回は、アナログ回路としてはポピュラーなオペアンプを用い、パーセプトロンをモデルとしたフィードバック回路の設計を行った。

パーセプトロンモデル 重み付けを行う手法として、オペアンプのフィードバックと Sample & Holdを併用することで実現しようと試みた。また、Sample & Holdを外部制御する為、外部制御の同期信号を用いた。本チップは修士1年の学生が約2ヶ月で製作を行った。トランジスタ数は約0.5kである。

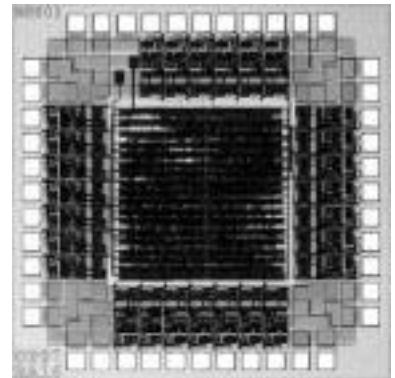


DSP専用の ALU

大阪大学大学院工学研究科 Tan Boon Keat 谷口 研二

はじめに デジタル信号処理(DSP)はLSIのもっとも重要な応用分野である。市販されるチップのほとんど情報通信用である。ほぼ全ての演算チップはALU(演算ユニット)を持っている。今回の設計ではDSP専用のALUをトップダウン手法で行った。

DSP専用のALU 今回の設計のALUは加算、乗算、シフト演算、比較器、遅延の機能を持っている。信号用の入出力はそれぞれ8ビットである。このALUは制御信号用の入力に応じて、適宜演算を行う。今回の設計で利用したライブラリは京大作のP2libを用いた。今回の設計は修士1年の学生1人が約1ヶ月間で行った。トランジスタ数は約15Kである。



論理合成ツールを用いた簡易演算装置の設計

大阪大学工学部 吉村 隆治 谷口 研二

背景 当研究室では、VDECのチップ試作サービスの開始と共に回路設計に関する研究を開始した。デジタル回路を設計する際に用いられるハードウェア記述言語による回路の設計手法を習得する一環として、簡略化した8bit演算装置の設計・試作を行った。

試作 設計したプロセッサは、入出力データは8bit、命令長も8bitのもので、基本的な算術演算、シフト演算、基本的な論理演算、メモリとの間のデータ転送命令などをプロセッサとしての最小限の機能を実装している。論理合成の際に使用したライブラリは、京都大学田丸研究室提供のp2libを使用した。本チップは修士2年の学生が約2週間で設計し、約30kトランジスタで構成されている。

6bit 電卓チップの試作

九州大学システム情報科学研究科

江淵 剛志 Ali Elhadri 池田 晃裕 河野 和幸 黒木 幸令

チップ概要 LSI設計体験の一環として、16bit電卓チップを試作した。はじめに、機能ブロック図の設計を行い、それぞれのブロックをVerilog-HDLで記述した。このチップは、エンコーダ、シフトレジスタ、演算部、マルチプレクサ、デコーダ、7セグメントダイナミック駆動回路、演算制御回路で構成されている。

試作に要した日数 約2ヶ月

主な設計者の身分 博士2年1名、修士2年3名、修士1年3名、学部4年4名

高密度VLSI神経回路網の試作(1)

東京大学生産技術研究所 竹内 誠二 桜井 貴康

高密度の神経回路網を設計した。この回路網はSRAMの構造に基づいており、一般のCMOSテクノロジーで実現可能である。これにより、従来のチップにマクロとして混載可能なものとなっている。ニューラルネットワークは万能とはいえないため、このことは非常に重要である。今回の回路網において各シナプスはSRAMの各ビットに対応している。このため、シナプス荷重を別のRAMに貯えていた従来のものに比べ、数倍の高密度化ができる。また、高度な処理をするために、多数のシナプスとニューロンが必要とされるニューラルネットワークにおいて、面積当たりの性能が高い事も示している。このシナプスの構造を図1に示す。通常のSRAMにプルアップ・ダウンバスをつけただけのものとなっており、SRAMの約2倍の面積で実現可能である。プロセスのばらつきを考慮し、差動型にしてある。動作は全ワード線をXjの内容に応じて同時に操作する事によって行う。このとき、各シナプスの値Wijと各入力ベクトルXjとのANDがとられ、これらの和と同数のパスが各ビット線に成立する。一方、同じ構造でパスの向きを逆にしたものを用意し、実行時には常にワード線を開ける。これにより、各ビット線の電位はニューロンモデルにおける値 $W_{ij} \cdot X_j - i$ となる。これをセンスアンプで受け、ニューロンの出力 $Y_i = f(W_{ij} \cdot X_j - i)$ を実現する。NEL0.5 μ mルールを用い、32シナプス \times 32ニューロン(1kバイトのSRAM)で630 \times 750 μ m²となった。これに制御部を加え、全体で約19000トランジスタ、800 \times 900 μ m²、試作日数は約1週間であった。

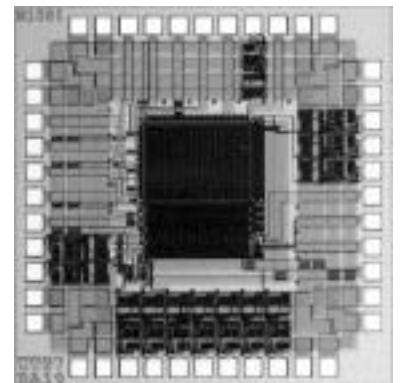
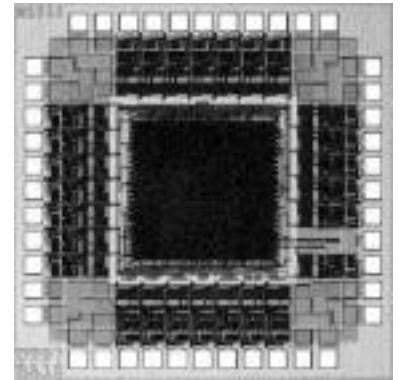
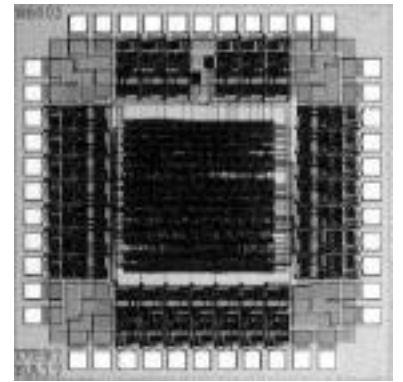


図1 シナプスセル

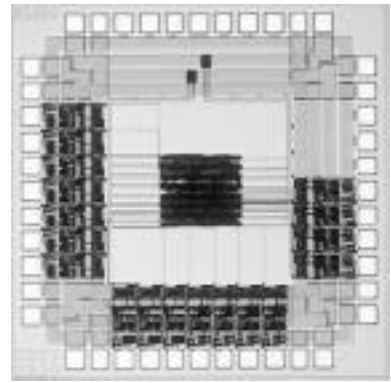
集積回路教育用乗算回路

東北大学大学院工学研究科 森本達郎

東京大学大規模システム設計教育研究センター 小谷光司

はじめに 今日、集積回路を設計できる技術者への要求が高まっているが、東北大学に於いては、集積回路設計に触れることが出来るカリキュラムは、これまでなかった。今回の試作では、ASIC を使った乗算器の設計を学部4年生の学生実験として企画し、学生に集積回路設計の雰囲気に触れてもらった。また、本実験は VDEC の東北大学サブセンターを利用した集積回路教育のテストケースでもある。

試作チップ 学部学生が実験で設計した各種方式による4 bit 乗算器を、博士1年の学生が再度レイアウトをして提出した。チップの設計は Verilog-XL/Synopsys Design Analyzer / Cadence Cell Ensemble を使用し、学部4年次学生が2日間の実験で行なった。



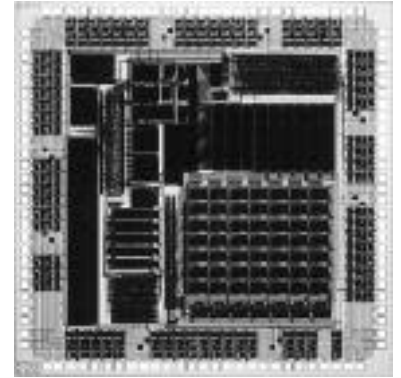
平成9年度第2回NEL 試作

動き予測 LSI の開発

東京工業大学電気電子工学科 姜 黎 國枝 博昭

はじめに 現在の動画像符号化の規格となっているMPEGにおいて、動き予測は最も処理量が多く、LSI化の大きなボトルネックとなっている。我々は、この次世代HDTVに対応する高画質MPEG-2のシステムLSI化を目指し、新しい動き予測アルゴリズムの構築とそのLSI化を行った。

試作チップ 今回設計された動き予測LSIは、我々が開発したWindow MSPA(Memory Sharing Processor Array)アーキテクチャを採用し、非常に高い並列効率を実現し、メモリバンド幅を大幅に削減している。このアーキテクチャに、我々が開発したビット削減適応ピラミッドアルゴリズムをマッピングする事により、PSNRの劣化を招く事なく大幅にハードウェアのコストの削減を可能とした。従来提案されている同様の動き予測LSIよりも面積にして約1/4の大きさであり、さらに動作クロック速度にして約2.5倍の向上を図った。チップのトランジスタ数は約20万であり、博士学生2人、修士学生2人により約7か月かけ、すべてフルカスタムレイアウトによって設計されている。



高密度VLSI神経回路網(2)とTEG群の試作

東京大学生産技術研究所 竹内 誠二

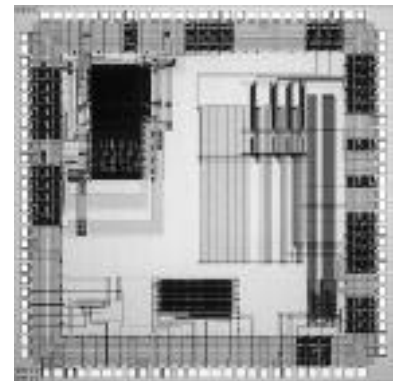
井高 康仁 野瀬 浩一 川口 博 桜井 貴康

高密度VLSI神経回路網(2) 前回の高密度VLSI神経回路網(1)に図1のトーナメント型センスアンプを加え、VQ(Vector Quantization)にも使えるようにしたものを設計した。また、それぞれのセルにも若干の変更を加えている。NEL 0.5 μ mルールを用い、全体で約21000トランジスタ、750 \times 1500 μ m²、試作日数は約1週間であった。

TEG群 1. 長い金属線を通して信号の電圧とチップ外から与えられた電圧とをカレントラッチ型フリップフロップにより差動増幅するTEGの試作。様々な遅延のクロックを与えることにより信号の時間変化を観測することができる。(400トランジスタ、試作日数1週間) 2. 低消費電力回

図4.14 トーナメント回路

路の研究としてドミノ回路(600トランジスタ、試作日数1週間)およびIDDQテストに応用可能な3種類の非接触型電流センサデバイスの試作。(40トランジスタ、試作日数1週間) 3. 分布定数RCバスを通過し、なまった信号を差動増幅して受けることによりバスの高速化を図ることができる差動バス構造のTEGの試作。(400トランジスタ、試作日数1週間)

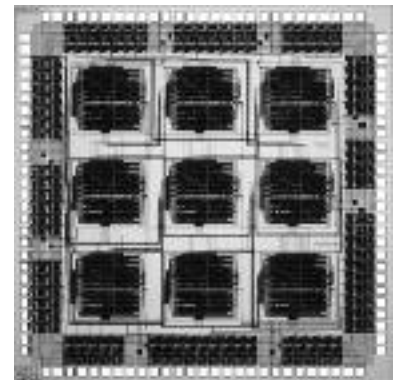


機能可変型 DSP プロセッサ(I)

大阪大学大学院工学研究科 Tan Boon Keat 谷口 研二

はじめに 多くのデジタル信号処理は汎用のマイクロプロセッサもしくはASICで行われているが、そのあいだには幾つかのトレードオフが存在する。マイクロプロセッサの場合、ソフトウェアで動作を記述するので、柔軟性は高いが、演算速度等のパフォーマンスは低い。一方、ASICでは、チップのパフォーマンスは良いが、柔軟性が低い。今設計は、新しいアーキテクチャを用いて、柔軟性が高く、かつ、パフォーマンスが高いプロセッサの実現を目指した

機能可変型DSPプロセッサ(I) このチップは9個の信号プロセッサの配列からなっている。これらのプロセッサは複数のDSP用の機能を持っている。最初に、必要なプログラムを、各々のプロセッサのレジスターに書き込む。このレジスターの内容に応じて、各々のプロセッサがあらかじめ決められて、演算を行う。ハードウェアでプログラムされる為、このプロセッサは高速の演算が可能である。今回の設計はトップダウン手法で行い、P2libを用いた。今回の設計は修士学生1人で、約1ヶ月間行った。トランジスタ数は約48Kである。



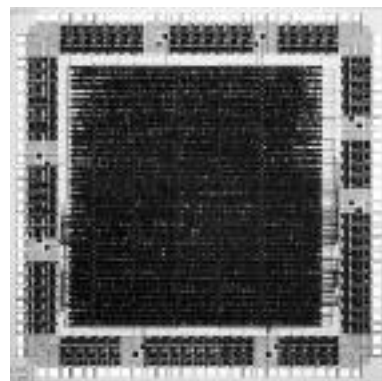
交差手法を適応的に選択する遺伝的アルゴリズムのハードウェア化

広島大学工学部 若林 真一 小出 哲士 中山 喜勝 後藤 睦明 利根 直佳

はじめに 我々は、個体（解）の優劣の度合に応じて2種類の交差手法を適応的に選択する遺伝的アルゴリズム（GA）を提案し、有効性を示している。今回は計算時間の短縮を目的としてこの適応的GAのハードウェア化を行った。

試作チップ 試作チップにおいては、

図1 機能ブロック図



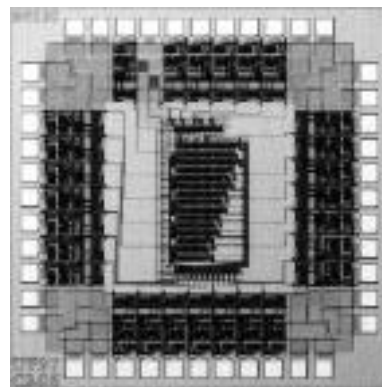
GAとしての汎用性を確保するため、GAが適用される問題に依存する個体評価計算部分については試作チップの外部で行うものとし、その他の部分をハードウェア化し、1チップに実現した。個体長は64ビットであり、64個体、もしくは128個体で個体群（人口）を構成する。交差適用確率等の各種のパラメータはユーザが外部より任意に設定可能である。試作チップはメモリおよび周辺回路と共にパーソナルコンピュータのローカルバスに接続される。試作チップの設計には教官2名、修士学生1名、学部学生2名が携わり、約2ヵ月をかけて仕様策定からレイアウト設計までを行った。セルライブラリとして京都大学で開発されたp2libを使用した。回路規模は5890セル（2入力NANDゲート換算で約10Kゲート）である。

センスアンプを用いた CPL 回路の評価

東京大学工学部 山下 高廣 浅田 邦博

はじめに 論理回路の高速化と低消費電力化が可能な回路方式としてパストランジスタ回路がある。CPL回路信号回復にセンスアンプを用いることで微小な信号を高速にセンスすることができる。また、センスアンプをブースタとして用いることで、パストランジスタ鎖の途中において信号を回復させることができる。本試作ではセンスアンプをパストランジスタ回路に適用した場合の性能を評価することを目的とした。

試作チップ EX-ORで構成されるパリティジェネレータを10種作成した。これらはEX-ORの数（=ビット数）がそれぞれ異なる。これらのうち5種はブースタアンプを持つタイプであり、パストランジスタの段数は16段から32段である。他方の5種はブースタアンプを持っておらず、パストランジスタの段数は8段から16段である。センスアンプには駆動信号が必要となるが、これは外部からタイミングを与える。本チップは博士1年の学生が約2週間で設計し、トランジスタ数は1308である。

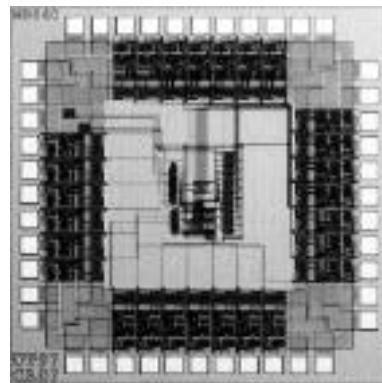


DRAM を用いた加算機能メモリ

京都大学工学部 山岡 雅直 小林 幸史 渡辺 航也 小林 和淑 田丸 啓吉

はじめに パスポートネックを解消するため、機能メモリというアーキテクチャが提案されている。我々は、DRAMを用いて、加算機能に重点をおいた演算機能を有する機能メモリ（加算機能メモリ）の設計を行なった。加算機能メモリでは、通常のメモリ同様外部との値のやりとりが出来メモリ内部で加算等の演算を並列に実行することも可能である。

試作チップ 加算機能メモリでは、メモリ18ビットに加算などの演算を行なう回路を付加した単位をメモリブロックと読んでいます。演算は全メモリブロックで並列に実行される。試作チップには、このメモリブロックを3個作り込み、それぞれのメモリブロックが、加算・減算・補数演算等を実行する機能を有している。試作チップでは、演算回路の動作を確認するとともに、ロジックのプロセスで作成したDRAMの特性を測定する。本チップは、修士2回生の学生が1週間で設計を行ない約900トランジスタで構成されている。

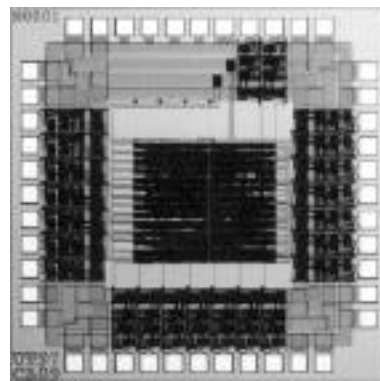


クロックカウンター

大阪大学大学院工学研究科 市橋 基 谷口 研二

はじめに 設計の容易化を目的としたHDLの一つにVerilog-HDLがある。昨今では回路設計において、HDLを習得することが、重要な位置を占めるに至っている。今回は、簡単なクロックカウンターの設計を行った。

クロックカウンター 同じ動作を行う回路をVerilog-HDLで記述すれば、記述方法によらず、理論上は同じ性能であることが理想的には考えられる。しかし、実際には実装される回路や、そのパフォーマンスにも差が生じていることが知られている。今回の設計の目的は、それによってもたらされる差と、実測定の差を比較し、また、完成したチップの測定を行い、測定方法を確立することである。今回の設計では、京都大の作による、p2libを用いた。本チップは修士1年の学生が約2週間で作成を行った。トランジスタ数は約2kである。



0.5 μm CMOS回路と1.2 μm CMOS回路の性能比較

静岡理工科大学 電子工学科 鈴木 幹人 石倉 康充 鈴木 英樹 山田 晋吾

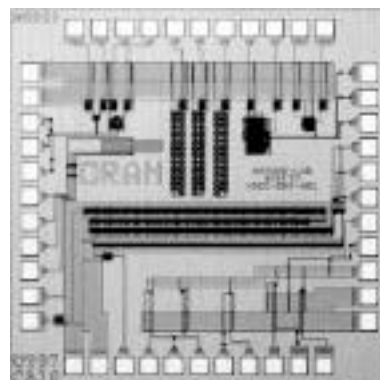
鈴木 憲孝 高崎 明範 山本 修己 波多野 裕

チップ概要 0.5 μm CMOS回路と1.2 μm CMOS回路の性能比較を行うため全加算器マクロセル[1]、フルカスタム設計全加算器[2]、32ビットシフトレジスタを、それぞれ0.5 μmルールと1.2 μmルールで設計した。また、ゲート長が0.5 μm、0.7 μm、1.0 μmのNMOS、PMOS及び37段リングオシレータを設計した。更に、DRAMセルを設計した。

設計期間 設計は、3年次の学生実験でMOS IC試作を経験した5名を含む7名の学部学生が行い、設計検証ファイル等作成期間込みで1ヶ月を要した。

参考文献 [1]福留弘子、藤元聖一、波多野裕、"CMOS VLSI回路の設計試作(1)マクロセルライブラリ"、電子情報通信学会総合大会講演論文集C-12-51、p.187、1997。 [2] 山田貴弘、藤元聖一、波多野裕、"CMOS VLSI回路の設計試作(2)フルカスタム設計"、同C-12-52、p.188、1997。

実測速報 0.5 μmシフトレジスタの機能動作を実測により確認し、0.5 μm設計&検証ツールとシミュレーションシステムの妥当性を実証した。



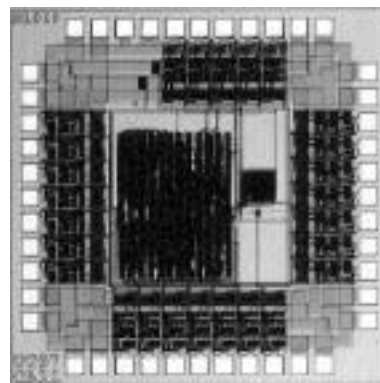
RISC型4ビット・マイクロコントローラの設計

東京工業高等専門学校電子工学科 杉浦 学 大塚 友彦

はじめに 近年のLSI技術の発展により、マイクロコントローラ(MCU)の分野でも、メモリ等を内蔵したワンチップ化の流れが主流となってきた。そこで、今回のチップ試作では、ワンチップMCUが抱える様々な問題点を実際の設計を通じて探ることを目的とする。また、同時に、高専にあったLSI設計教育のあり方を模索することも目的としている。

試作したチップ 今回試作したのは、RISC型4ビットMCUで、内部構成は、マイクロチップ・テクノロジー社のPICマイコン[1]に準拠した構成になっている。内蔵のデータ・メモリは、4ビット×32個のSRAM、外部にプログラムメモリ(アドレス6ビット、データ11ビット)を持つ構成となっている。試作には、NEL 0.5[μm]2層Alテクノロジーを用いた。設計には、高専5年の学生×1名が3ヶ月費やした。トランジスタ数は、約3kの規模となっている。

参考文献 [1] マイクロチップテクノロジー「8ビットCMOS EEPROMマイクロコントローラ」、マイクロチップテクノロジー社、(1994)

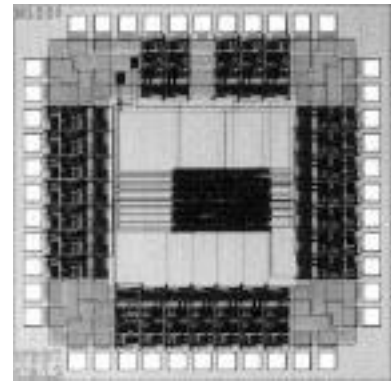


2次元ヒルベルト曲線のアドレス発生回路の設計

九州大学大学院システム情報科学研究科 鎌田 清一郎 濱部 晃由 原 康寿

はじめに ヒルベルト曲線は、ヒルベルト空間で有名なD.ヒルベルトが発見した、自己相似性を有する空間充てん曲線の一種である。本研究室では、ヒルベルト曲線をディスプレイ表示するために、この曲線のアドレス発生回路の試作を行った。

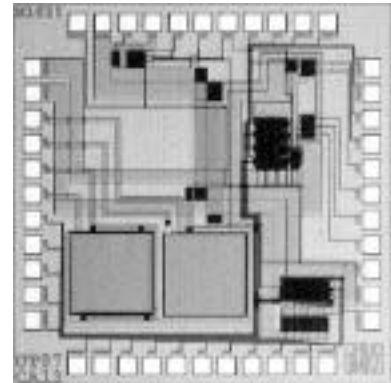
試作チップ 右図には、試作したアーキテクチャ(写真)を示す。これは、画像サイズ2x2から512x512までの範囲のヒルベルト曲線のアドレスを発生する回路である。この試作により、回路構成が極めてコンパクトに設計できることを確認した。また、これは、CMOS 0.5 μm を用いて設計している。なお、本チップは修士2年、学部4年の学生が約3か月で設計し、2kトランジスタで構成されている。



低消費電力デジタル大小比較回路

中央大学理工学部情報工学科 早船 明 大橋 政芳 榎本 忠儀

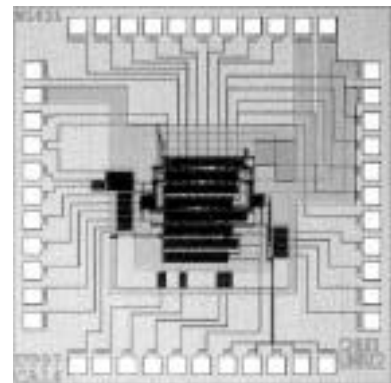
チップ概要 2個の信号の大小を比較したりあるいは時系列信号の中から最大あるいは最小の信号を抽出する16ビット(b)デジタル大小比較回路をNEL0.5 μm CMOS技術を用いて開発した。本回路は(1)2つの16b入力AとBに対して各ビットの大小比較を行う入力部、(2)入力部の出力より16bの大小比較を行う中間部、(3)中間部出力より、 $A < B$ 、 $A = B$ 、 $A > B$ のいずれかを出力する判定部、から構成される。従来の中間部は2b比較器を15個ツリー状に配列していたが、本チップの中間部は新たに開発した4b比較器を5個ツリー状に配列している。この結果、後者では速度を保ったまま、消費電力を約60%、シリコン面積を約20%、削減している。また、後者を用いた16bデジタル大小比較回路では、やはり速度をほぼ保ったまま、消費電力を約25%、シリコン面積を約15%、削減できている。本大小比較回路は動画像予測符号化の動きベクトル検出処理の最終工程で連続する差分絶対値和の中から最小の差分絶対値和を選択する回路として用いることを主たる応用目的としている。本チップには4ビットアップダウンカウンタを始めとする各種TEGが搭載されている。本チップの総FET数は1,200個で、TEGを含め設計工数は約8人月である。



低電力加算回路・低電力差分絶対値回路

中央大学理工学部情報工学科 大沢 徹也 中村 雄一郎 榎本 忠儀

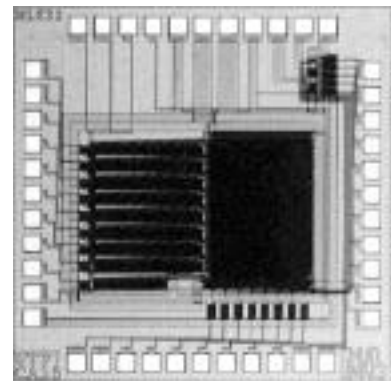
チップ概要 リップルキャリー形の低電圧・低電力加算回路、本加算回路を基本とした差分絶対値回路および二つの画像(16画素x16ライン)間の差分絶対値和を得るアレイをNEL0.5 μm CMOS技術を用いて開発した。1画素当たり8ビットを想定すると、2分木を採用した差分絶対値和アレイではクリティカルパス中の全加算器数は30個、ワレス木を採用した差分絶対値和アレイでは36個、である。2段パイプライン構成とすると、前者の全加算器数は前段が21個、後段が19個となる。後者の場合、前段、後段とも18個となる。本加算回路は低電力・低電圧CPU、DSPあるいはASICのALUとして、また、差分絶対値回路は動画像予測符号化やメディアプロセッサの回路のALUとして、差分絶対値和アレイは動画像予測符号化の動きベクトル検出アレイとして、それぞれ用いることができる。本チップの総FET数は約3.1K個で、設計工数は約8人月である。



低電力4kビットエンベデッドSRAM

中央大学理工学部情報工学科 佐藤 輝忠 石山 英実 榎本 忠儀

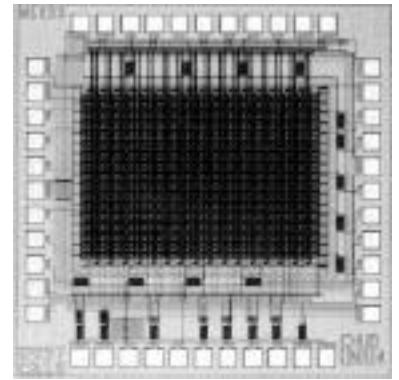
チップ概要 CPU、DSP、ASICあるいはメディアプロセッサ、等に搭載する低電圧・低電力4kビットエンベデッドSRAMをNEL0.5 μm CMOS技術を用いて開発した。ワード構成は8ビットx(8x64)ワードである。MOSFETの閾値電圧は基板バイアスの関数である。基板バイアスを適応的に変化させ、所望の値の閾値電圧を得ることにより、動作時ならびに待機時の消費電力の削減効果を確認する。本チップの総FET数は26.6k個で、TEGを含め設計工数は約8人月である。



ディレイフリップとレジスタアレイ

中央大学理工学部情報工学科 笹島 靖正 鈴木 義治 榎本 忠儀

チップ概要 入出力レジスタ、レジスタファイル、等に用いるディレイフリップフロップ(D-FF)の諸特性を検討するため各種D-FFとそれを用いたレジスタアレイをNEL0.5 μ m CMOS技術を用いて開発した。6種類のD-FFはいずれもネガティブエッジ形で、マスターとスレーブから構成され、スレーブ側スイッチが閉じてから次に閉じるまでの一周期間、出力信号を保持する。スイッチの種類(CMOS、nMOS、pMOS)やスレーブ側フィードバックの構成方法(インバータ、nMOSFET、pMOSFET)の違いによるD-FFの動作速度、消費電力、回路規模、信号保持特性、等を評価する。レジスタアレイは16セルx16セルで構成され、各セルは1個のD-FFと1入力4出力DMUXから構成されている。本レジスタアレイは動画像予測符号化の動きベクトル検出アレイの入力レジスタとして用いる。本チップにはFET数が7,000個のレジスタアレイ、6種類のディレイフリップ、および各種TEGが搭載されている。TEGを含め設計工数は約8人月である。



マルチポートメモリにおけるアクセス衝突処理回路

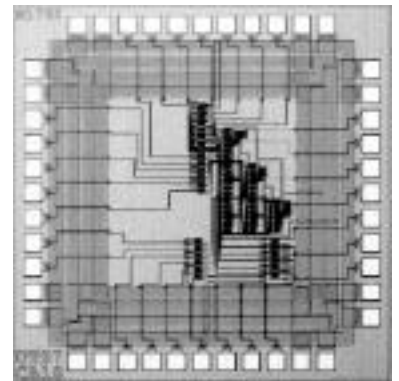
広島大学ナノデバイス・システム研究センター

山田 耕太郎 村上 貴志 李 海敦 Hans Jurgen Mattausch

はじめに 高集積化と高速アクセスの2条件を同時に満たす新しいマルチポートメモリアーキテクチャ[1]の実現を目指している。このマルチポートメモリは高集積化のために1ポートメモリセルのみで構成されている。またアクセス衝突を単純な回路で回避・処理できるため高速アクセスが可能となる。この回路をアクセス衝突処理回路と呼ぶ。我々はまずアクセス衝突処理回路の開発を行った。

試作チップ 4ポートメモリに用いる衝突処理回路の試作を行った。本チップは学部の4年生2名と研究員1名が約3か月で設計を行い、約500トランジスタで構成されている。

参考文献 [1]H.J.Mattausch,"Hierarchical N-Port Memory Architecture based on 1-Port Memory Cells",Proceeding of the 23rd European Solid-State Circuits Conference, Southampton, UK, September 16-18, pp.348-351, 1997



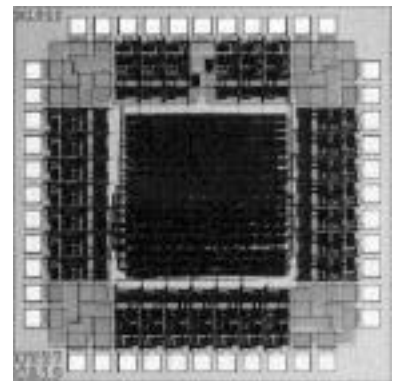
ハードウェア記述言語を用いた論理回路設計教育のためのLSI試作

奈良先端科学技術大学院大学 情報科学研究科 木青松 竜盛 木田 裕之

Dror Rotter 高木 一義 木村 晋二

はじめに 本研究科ではハードウェア記述言語を用いた論理回路設計に関する実習を行っている。受講者数は例年8名程度である。これまでは主にFPGAを用いて回路の実装を行っていたが、次年度からは、VDECのチップ試作サービスの利用を予定している。今回は、その準備段階としてLSIの試作を行なった。

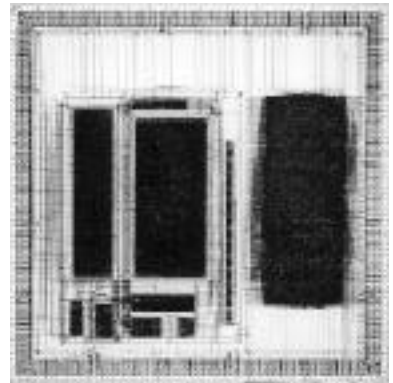
試作チップ 今回試作したチップには以下の3つの独立な回路が含まれている。外部入出力信号ピンは各々の回路で共通であり、2本の回路選択信号により動作を選択する。16bit加減算器 ripple carry型。内部にラッチを持ち8 bitずつに分割して入出力。60分タイム非同期式カウンタ。8セグメントLEDに分表示、5-10-15分にピープ信号出力。4 bit CPUデータ及びアドレス各4 bit、命令長8 bit、命令数16。1命令を5フェーズで実行。NEL0.5 μ m, 2.3mm角で京大版セルライブラリP2libを用いて試作した。論理設計は修士1年の学生3人が各々約0.5~1か月で行ない、これと並行して助手が約1か月でレイアウト設計を行なった。約6kトランジスタで構成されている。



ROHMに向きセルライブラリの検証用チップ：疑似非同期マイクロプロセッサ
 東京大学大規模集積システム設計教育研究センター 鄭 若彤 池田 誠

浅田 邦博

チップ概要 東大VDECは97年度から利用し始めたROHMのプロセスで使われるセルライブラリを作成した。このセルライブラリの動作を検証する必要はある。一方、新しく導入したCADツールCompass PathFinderCBで使われるパスポートライブラリの検証も必要である。以上の目的で、我々はROHMのテストランで検証用チップの製作を検討した。今回の試作では、2種類のセルライブラリを独立で検証するため、二つの設計をAvanti!社のAquariusXOとCompass社のPathFinderCBでそれぞれ設計した。チップ面積を効率的に利用するため、二つ設計を一つの9mm角のチップに整合した。今回設計したチップの機能は32-bit 4段パイプラインの疑似非同期式マイクロプロセッサである。CPUの全体として平均速度で動かせるために非同期式ハンドシェイクを用い、CPU全体として平均速度で動けるようになった。レイアウト後チップ全体の回路抽出とゲートレベルの回路シミュレーションを行ない、正しく動作することを確認した。なお、本チップは助手が一人で約3カ月で設計し、330kトランジスタで構成されている。

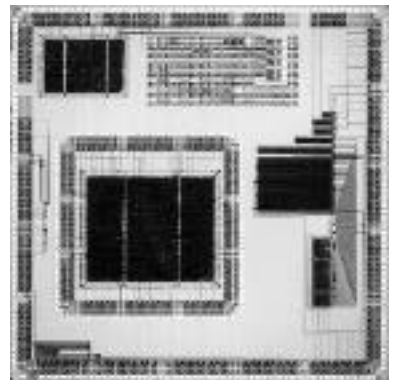


ライブラリ検証用 TEGおよび最小距離探索回路

東京大学工学部 池田 誠 伊藤 浩 根塚 智裕 浅田 邦博

はじめに ローム用の自動配置配線用ライブラリの検証用のTEGチップを作成した。本セルライブラリは、エクセレントデザイン社のライブラリ構築ツールを用いて構築されたもので、394種類のセルからなる論理合成、シミュレーション、および配置配線用のライブラリから成っている。

試作チップ 本チップは、セルライブラリの全セルの動作検証を目的としており、全セルに入力を与え、出力をセクタによりきりかえることですべてのセルの出力信号を外外部で観測できるようになっている。また、最上位層金属配線にパッシベーションオープンを行ったEBプローブパッドセルをすべてのセルの入出力に付加することで、EBプローブを用いて全セルの入出力波形の観測が可能となるようになっている。その他、動作記述レベルで記述した32ビットRISCマイクロプロセッサを、本ライブラリを用いて論理合成、配置配線を行ったTEG、回路パラメータ抽出用のTEG、および時間領域における最小距離探索回路として、64ビット16本のデータから参照データとの距離が最小のものを検出する回路TEGが含まれている。本TEGチップは助手、博士3年、および修士1年の学生の合計が3名により設計を行った。また、論理合成はSynopsys社のDesignCompiler、配置配線はAvanti!社のAquariusXOを用い、レイアウトはCadence社のVirtuosoを用いている。

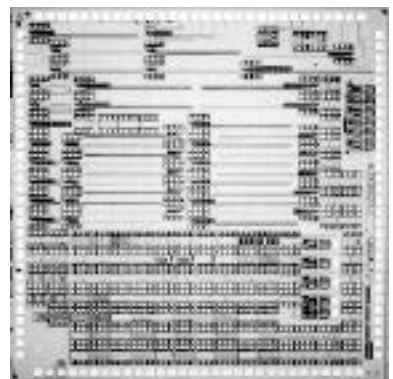


多層配線構造における容量行列抽出のための TEG

東京大学工学部 三堂 哲寿 伊藤 浩 浅田 邦博

はじめに 高密度化、大規模化が進む集積回路においては、信号の伝送遅延を評価するための容量抽出は重要な問題である。多層化が進むシステムにおいては多くの導体がそれぞれの間で結合容量を持ち、それらを個々に測定するためのテストストラクチャを作成することは大きな面積コストと多くの測定時間を必要とする。本試作では、多導体の結合容量を含む容量行列を一つのテストストラクチャで測定する手法を提案し、試作を行った。

試作チップ 今回試作したチップでは、本年度すでにモトローラによるCMOS1.5μmプロセスで試作している同一目的のTEGに対し、微細化したプロセスでの測定を目的とすると同時に、駆動回路の寄生的影響を抑制するためにパスゲートを用いない設計となっている。本チップは博士2年および博士3年の学生が約1週間で設計し、全てのTEGでのトランジスタ総数は約2000となっている。



階層構造スキャンを用いた多階調イメージセンサ

東京大学工学部 根塚 智裕 秋田 純一 浅田 邦博

はじめに 通常のイメージセンサでは画素をラスタスキャンを行なうため冗長な走査が生じてしまう。本研究ではこれまでに4進木スキャンを用いて、非選択画素を読み飛ばすイメージセンサについて研究、チップの試作を行ってきた。今回の試作では、これまで試作してきたイメージセンサにフレーム間での有意差の発生を検出する機能およびオンチップでA-D変換を行なう機能を追加したものを設計試作したので報告する。

試作チップ 1画素分のブロック図を図1に示す。1画素には、フォトダイオード、フレーム間有意差発生検出回路、A-D変換回路を集積した。フレーム間で有意差が発生した画素のみを4進木スキャンすることで画像情報を1:4ツリー符号に変換し出力する。

A-D変換部の比較器に適切な参照電圧を与え、4進木スキャンを複数回行なうことで多階調の出力が得られる。このスキャン方式により非選択画素を読み飛ばし、出力の符号長を短くすることが可能であり、オンチップでのA-D変換を並列に行なうため高速な撮像が期待できる。本チップは修士1年の学生が約3カ月で設計し、トランジスタ数は約9万となった。

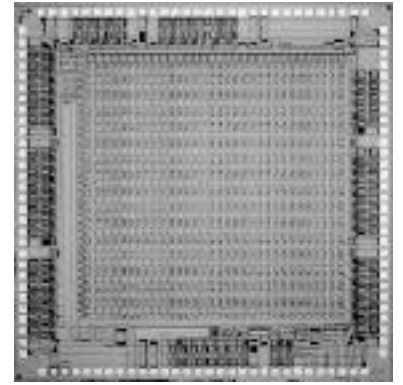


図1 1画素分のブロック図

桁上げ保存を利用したマイクロプロセッサ

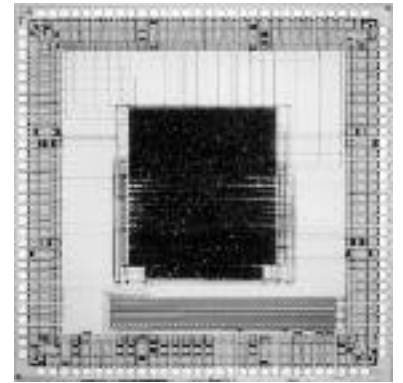
東京大学工学部 小倉 誉之 藤島 実 鳳 紘一郎

はじめに 近年のプロセッサのうち、スーパーパイプラインプロセッサは動作周波数を向上させるのに有効であるが、データハザードによって、実行性能は期待値よりも悪くなっている。本研究では、桁上げ保存を利用した加減演算を用いることにより、データハザードを軽減できるプロセッサを提案している。今回、その加減演算器の回路を改良することによって可能になった、更に高性能な実行パイプラインを提案し、その性能評価のためにマイクロプロセッサを試作した。

試作チップ 桁上げ保存を利用した加減演算をするために4:2 compressorを使用するが、その回路の入力信号に、取り得る組合せを限定した生成伝搬信号対を利用することで、回路を最適化し、クリティカルパスでの演算時間を削減した。

図1 ブロック図

これによって、スーパーパイプラインプロセッサとほぼ同程度のサイクル時間で、データハザードを軽減できるプロセッサが実現された。チップは、学部の4年生が約1ヶ月で設計し、およそ、6万5千トランジスタで構成されている。自動論理合成にはSYNOPTISYSを、自動配置配線にはCOMPASSを利用して設計した。

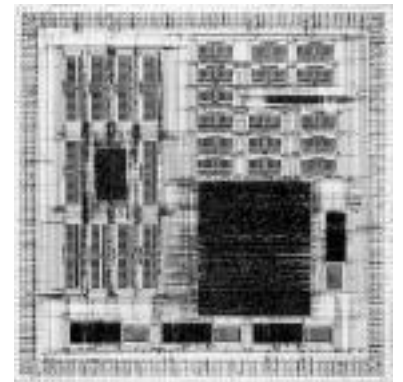


汎用数値演算プロセッサの試作

大阪大学 大学院基礎工学研究科 森藤 孝文 武内 良典 今井 正治

はじめに マルチメディア時代となり、VLSI システムにおける高速な数値演算処理は重要性を増している。そこで、高度な数値演算処理を高速に行うためのプロセッサの検討を行った。

試作チップ 高速な数値演算処理実現のため、並列処理を可能とする4個の積和演算器を備えた構成とした。また、汎用性を実現するために、マイクロプログラムにより演算器-レジスタファイル間のデータバスを制御することを可能とした。データ転送に関しては、データメモリ-レジスタファイル間のデータ転送が並列可能となる。数値演算の並列化とデータ転送の並列化により、高速な数値演算処理が実現できる。本チップは修士1年の学生が約6か月で設計し、試作チップはおよそ9mm²となり、13万トランジスタ相当となった。



パラメータ取得用デバイス評価 TEG

東京大学生産技術研究所 平本研究室 犬飼 貴士

目的 デバイスパラメータの抽出

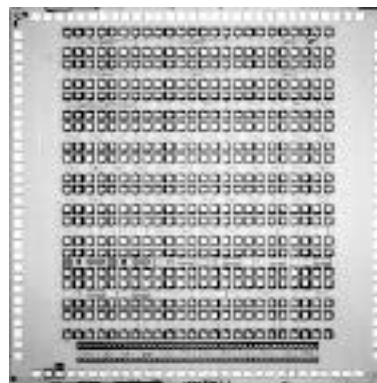
チップ構成 手動測定用：30ブロック(90 μ m角パッド16個/ブロック), 自動測定用：12ブロック(50 μ m角パッド8個/ブロック)

設計した TEG のリスト

- 1)ゲート長依存
- 2)ゲート幅依存
- 3)ラッチアップ(ウェルコンタクト間の距離をパラメータ)
- 4)寄生MOS(LOCOSと各配線間)
- 5)チャージポンピング用(ゲート長とゲート幅の比をパラメータ)
- 6)各種容量測定用
- 7)各種抵抗測定用

設計者 著者

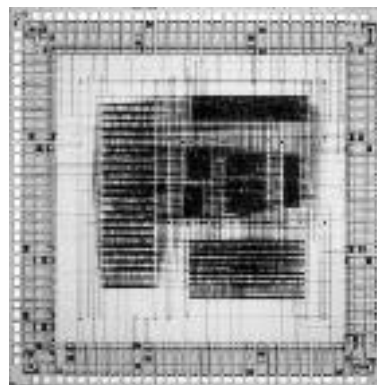
設計期間 約1ヶ月



COMPASS Toolによるプロセッサチップの試作

九州大学 大学院 システム情報科学研究科 情報工学専攻 石原 亨 安浦 寛人

はじめに CMOS LSIに対する低消費電力化の要求から低電力設計手法の一つとして Gated Clockが実用化されている。我々は従来のGated Clockに加えて、さらにきめ細かい電力制御を可能にするために、データバスを一定の幅に区切ってクロック停止を制御できる機能をアーキテクチャに待たせた。精度の異なる演算を、一つのデータバス回路で実行する場合、演算の精度に合わせて不必要なデータバスを停止することで電力を削減することができる。さらに、我々はアプリケーションが要求する性能に適した動作周波数と、最低限必要な消費電力を命令により選択できるプロセッサアーキテクチャ: Power-Proを提案している。Power-Proアーキテクチャが備える具体的な機能は、電源電圧とクロック周波数をプロセッサの命令により変更できる機能である。



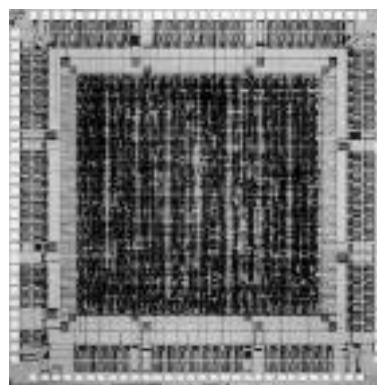
試作チップ 試作チップは低電力化のために、電源電圧と実効的なデータバス幅を変更する機能を持つ。なお、チップの設計には博士課程1年の学生が約2週間を要した。チップは2308セルで構成されている。試作結果を以下の表に示す。

論理合成ツール	配置配線ツール	使用プロセス	チップサイズ	信号ピン数
SYNOPSISYS	COMPASS	0.6 μ m CMOS 3層メタル	4.38mmx4.38mm=19.18mm ²	82pins

東大版スタンダードセルを用いたプロセッサチップの試作

九州大学 大学院 システム情報科学研究科 情報工学専攻 石原 亨 安浦 寛人

はじめに 東京大学のVDECでは、池田 誠博士を中心にRohm社の0.6 μ mCMOS 3層メタル プロセスに対応するスタンダードセルライブラリの開発を行なった。筆者は、東京大学のVDECで開発された、ライブラリの使用方法に関するノウハウの蓄積とライブラリの検証を主な目的として、今日主流となっている典型的な32bitのRISCプロセッサの設計を行なった。論理レベルでは等価な論理回路をCOMPASS toolとAvant!社のAquariusXOを用いて配置配線し、両者の違いを比較検討することも目的の一つである。
試作チップ 試作チップは低電力化のために、電源電圧と実効的なデータバス幅を変更する機能を持つ。具体的には、アプリケーションが要求する性能に適した動作周波数と最低限必要な電源電圧を命令により選択できる機能と、各演算の精度に合わせて不必要なデータバスをGated Clockにより停止する機能を持つ。なお、チップの設計には博士課程1年の学生が約2週間を要し、回路中には東京大学の池田 誠博士らが中心となって開発したスタンダードセルが2031個使用されている。



論理合成ツール	配置配線ツール	使用プロセス	チップサイズ	信号ピン数
SYNOPSISYS	AquariusXO	0.6 μ m CMOS 3層メタル	4.5mmx4.5mm=20.25mm ²	82pins

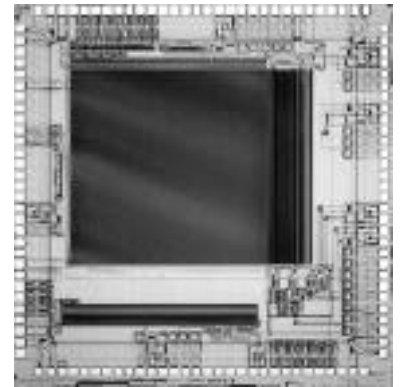
CMOSイメージセンサへのガンマ補正とゲイン調整機能の集積化

豊橋技術科学大学情報工学系 佐々木 正明 川人 祥二

はじめに 最近、低電力で、機能回路の集積化の容易なCMOSイメージセンサが注目されている。センサ信号の前処理回路として、ガンマ補正とゲイン調整機能、ホワイトバランスなどがあり、これらがアナログ領域で良好に行えれば、A/D変換器の負担が減り、高画質化や、低コスト、低電力化に有効であるといわれている。我々は、対数圧縮形CMOSアクティブピクセルセンサを利用して、アナログ領域における簡単な処理により、ガンマ補正と自動ゲイン調整を可能とする新しいイメージセンサの前処理方式を提案しており[1]、そのプロトタイプチップの設計・試作を行う。

試作したチップ 今回、試作したのは、256x256画素のCMOSイメージセンサであり、前記の回路を集積化したチップである。ローム社2層ポリ2層メタル0.6 μ mルール、4.5mm角のチップとして実現した。画素の寸法は、9 μ m角である。毎秒30フレームの速度で撮像可能である。折れ線近似でないガンマ特性及び連続的に可変できる自動ゲイン調整機能を実現している。設計は修士2年の学生1名が中心となり、制御回路のスタンダードセル設計に関し、必要なものを修士1年の協力を得た。設計は、Cadenceで行ったが、今回テクノロジファイルが供給されず、修士の学生2名が自前で作成した。設計の正味の期間は、約3ヶ月程度と思われる。

参考文献 [1] 佐々木他、"ガンマ補正とゲイン調整機能のCMOSイメージセンサ上への集積化," 映像情報メディア学会誌, Vol. 52, No. 2, pp.214-216 (1998).

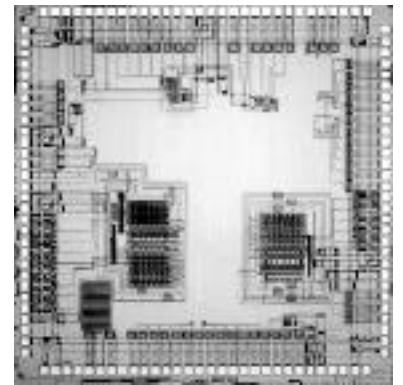


アナログ基本回路のテストチップ

豊橋技術科学大学情報工学系 中 順一 宮崎 大輔 川人 祥二

はじめに VDECでのアナログ系のチップの設計に対応できるアナログライブラリの開発が望まれている。今回、修士1年の学生のトレーニングもかねて、幾つかのアナログ基本回路の試作を行った。

試作したチップ 比較的大きな基本回路として、我々が提案している、画像の時間的相関を利用した低電力A/D変換器の基本回路が含まれている。これは、4ビット相当の比較器アレイで、8ビット精度のA/D変換が可能となる方式で、ビデオ帯のA/D変換器の低電力化等に有効と考えている。その他の基本回路としては、4ビットフラッシュA/D変換器、オペアンプ、その他、アナログ精度評価用TEGが含まれている。ローム社2層ポリ2層メタル0.6 μ m CMOSプロセスで設計・試作し、4.5mm角のチップに収めた。上記の基本回路に加えて、今回、もう一つのチップで利用するスタンダードセルに必要なものだけを設計した。機能は、10数種類である。設計は修士1年の学生2名が中心となり、設計は、Cadenceで行ったが、今回テクノロジファイルが供給されず、修士の学生2名が自前で作成した。設計の正味の期間は、約3ヶ月程度と思われる。今回の設計を基礎として発展させ、他の機関からも利用可能なアナログライブラリの構築を段階的に進めていきたい。

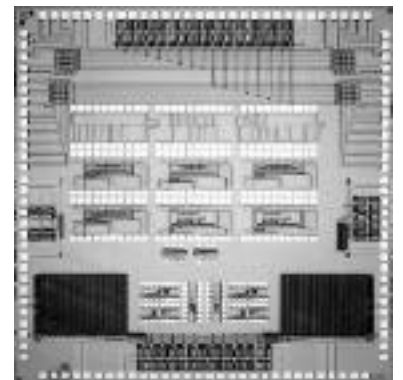


回路シミュレーション用基礎データ収集 TEG

京都大学田丸研究室 近藤 正樹 岡田 健一 藤田 浩章 小野寺 秀俊

田丸 啓吉

今回のLSI試作の目的は、将来本プロセスを使って大規模回路を設計・試作する時に必要となる基礎データを収集する事である。具体的には、試作したLSI-TEGを用いて、トランジスタパラメータ、素子ばらつき、基板ノイズに関する詳細な情報を収集する。今回設計した回路(TEG)の内訳は次の通りである。○トランジスタパラメータ抽出用TEG ○素子ばらつきデータ収集用TEG ○基板ノイズ評価用TEG ○リングオシレータ特性評価用TEG。トランジスタ数は5k個程度である。本TEGの設計には、博士1名、修士1名、学部生2名があつた。合計工数は約200人時であつた。



動きベクトル検出用省メモリ型プロセッサアレイ

京都大学工学研究科 渡辺 尚人 Vasily G.Moshnyaga

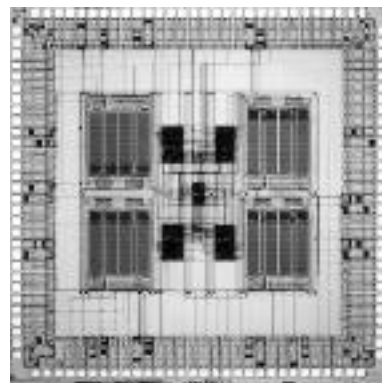
田丸 啓吉

はじめに 我々は動画の動きベクトルを高速に求めるためのLSIを設計した。このLSIでは新しい二次元アレイ型アーキテクチャを採用しており、画像メモリの分配と共有を組み合わせた概念を用いることで、演算部と同一のチップ上に配置されるメモリの総量が従来の約半分に抑えられている。

試作チップ 今回はRohmの0.6 μ m CMOSプロセス(metal \times 3)を用いて設計した。この試作回路は4つのPE(Processor Element)と1つのMDB(Minimum Displacement Block)から成り、各PEには演算部とメモリ部が含まれる。回路規模は、

図1 動きベクトル検出LSIの構成

PE演算部一つにつき2736トランジスタ、MDBは412トランジスタであり、メモリ部(SRAM)の容量は一つにつき374 Byteである。メモリ部には全体で1画面分の画像データが保持されており、順次入力されてくる次フレームのデータとの差分が取られる。累積差分がPE間を移動することにより、1画面分のメモリのみを用いて処理速度を落とすことなく動きベクトルを求めることができる。MDBは最終的な動きベクトルだけでなく各PEから送られてきた累積差分をそのまま出力することもできるようになっている。

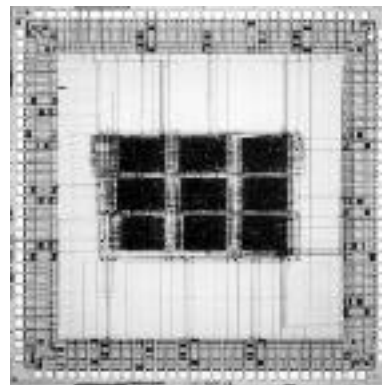


機能可変型 DSP プロセッサ(II)

大阪大学大学院工学研究科 Tan Boon Keat 市橋 基 小川 徹 谷口 研二

はじめに 可変型DSPプロセッサは柔軟性があり、演算速度はマイクロプロセッサより速い。前回設計した機能可変型DSPプロセッサの自由度を更に増やし、ブロック図のように動作できるように、この機能可変型DSPプロセッサを再設計した。

可変型DSP(II) この可変型DSPは9個のブロックからなっている。ブロック間の配線を減らすこと、そしてブロック間の接続の自由度を増加することが今回の設計のねらいである。トップダウン手法で、Rohmのライブラリを用いて、設計を行った。今回の設計は修士学生2人、学部生1人で、期間は約1ヶ月半で行った。トランジスタ数は約49Kである。



教育用 16 ビットマイクロプロセッサ KITE のスタンダードセルによる実装

九州工業大学 情報工学部知能情報工学科 江島 孝幸 山本 孝

九州工業大学 マイクロ化総合技術センター 久我 守弘

熊本大学 工学部数理情報システム工学科 末吉 敏則

はじめに KITE-2マイクロプロセッサは計算機の入門教育から専門教育まで広く利用できるよう考慮したモデルプロセッサである。LSI設計教育を行う際の支援教材として利用できるように、これまでFPGA、ゲートアレイおよびスタンダードセルをターゲットデバイスとした設計・実装を行ってきた。今回、ROHM社のスタンダードセルによる設計・実装を行うことによりLSI設計教育プログラムの充実化を図った。

試作チップ プロセッサのバス構成を図1に示す。一般的な3バス構成を採用するが、実際にはマルチプレクサによる接続となっている。設計過程では、あらかじめスタンダードセルをターゲットとして作成していたVerilogソースを基にした。入出力ドライバ部分のみの修正した後、Design Compilerによる論理合成を経てゲートレベルのネットリストを作成した。デバイスは0.6 μ m、4.5mm²である。レイアウトにはCompass社ツールを使用した。修士2年の学生1人、修士1年の学生1人の計2人が約2ヶ月で設計・実装した。回路規模は9,521ゲート(2入力nand換算、入出力バッファ除く)であった。

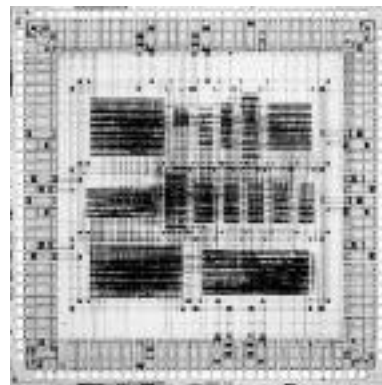


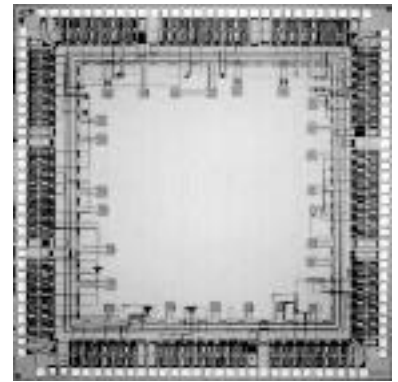
図1 バス構成

CMOSコンピュテーショナルセンサのためのテスト回路

東京大学電子情報工学専攻 相澤 清晴

今回の試作では、CMOSコンピュテーショナルイメージセンサのための基本的な回路の検証を行うため、以下の試験回路を作成した。

- 1)画素回路: リセット部、PDの構造の異なる複数の画素回路、対数出力を行う画素回路
- 2)アナログメモリ: ポリ層、メタル層を利用した複数のアナログメモリ、アクティブメモリ
- 3)演算回路: 差分演算回路、絶対値差分演算回路、uMOSインバータ



タスク・グループ間の半順序関係に柔軟に対応できるマルチプロセッサ用バリア型同期機構

広島市立大学情報科学部 弘中 哲夫 土江 竜雄

児島 彰

はじめに 従来提案されていたマルチプロセッサ用バリア同期機構の多くはすべての同期に全順序関係をつけ、処理する必要があった。そのため、同期グループ間が半順序関係にあり、かつ、実行時間不定のタスクを含むアプリケーションでは効率よく同期を取れなかった。今回我々は、複数の同期グループを半順序関係に保ったまま独立に同期を取ることのできる同期機構を設計し、本方式の検討を行った。

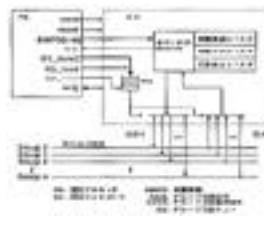
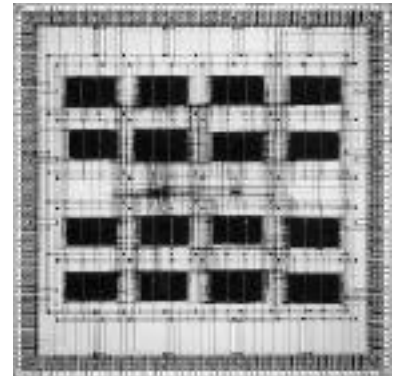


図1アーキテクチャ



試作したチップ 今回試作した同期機構は既に提案されているElastic Barrier方式に対し、我々の提案するグループ管理機構を適用したものである。提案方式を適用することで、本来不必要な同期グループの全順序化を招くダミーバリアによるグループ化を避けることができる。図1に基本アーキテクチャを示す。試作LSIではローム社0.6 μ mルール、8.9mm角のLSI上に図1のSCを16個構成した。その結果1つのLSIで16プロセッサの同期処理が可能であり、複数LSIを相互接続することで任意台数のプロセッサの同期を取ることにも可能である。本LSIは学部4年の学生が方式設計から最終的なレイアウト設計までを約6か月で行い、デバッグ用観測回路を含め73kゲートのLSIとして構成されている。

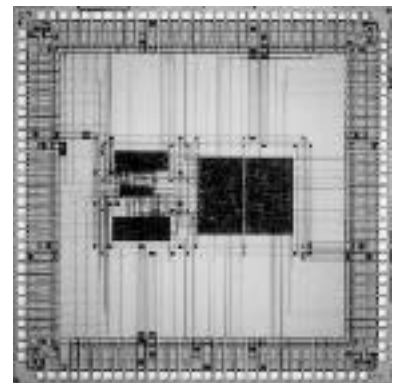
上位桁先行シリアル演算方式による乗算器とソート回路

東北大学大学院工学研究科 今井 誠 野沢 俊之 藤林 正典 大見 忠弘

東京大学大規模システム設計教育研究センター 小谷 光司

はじめに コンピュータは、与えられた数値の上位桁だけで結果が決まってしまうような演算・比較処理でも、数値に対して厳密な演算を施してしまう。このような無駄を省くためには、演算を上位桁から行い、上位桁から比較処理を行うことで、比較処理の結果がわかり次第、演算を停止すればよい。上位桁からの演算処理は、上記のように無駄な演算を省くために必要である。そこで今回、上位桁からシリアルで演算を行う乗算回路と、上位桁からの演算を利用したソート回路を設計・試作した。

試作チップ 2進3値SD数系という冗長数系を採用する事で、下位桁からのキャリー伝搬を抑えて実現した上位桁先行シリアル整数乗算器を、2通りの構成で設計し、チップ上に実装した。また、上位桁先行のシリアルデータを複数入力すると、ソートされて出力されるソート回路も設計した。設計は博士2年・修士1年・学部4年の学生各1名、計3名で行われ、約2週間で行われた。約4kゲート。



FPAA : 新しいアーキテクチャのFPGA

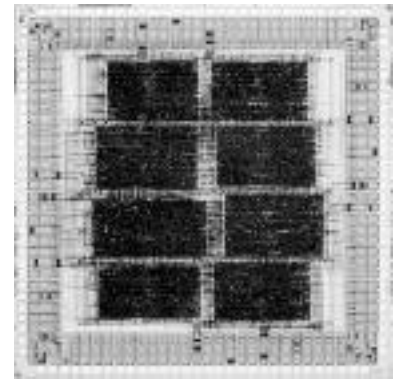
広島市立大学情報科学部 越智 裕之

はじめに FPAA (Field Programmable Accumulator Array)とは、次世代のFPGAアーキテクチャとして筆者が提案しているものである[1]。大規模化に伴い、従来方式のFPGAは配置配線の所要時間やconfigurationに必要な情報のサイズが増大しており、これらがいずれ実用性の大きな障壁になると考えられる。FPAAは、算術演算の基本単位となるアキュムレータを基本セルとする。このように粒度を粗くしてやることにより、上述のFPGAの問題点が解消される筈である。

試作したチップ 今回試作したのは、現在のテクノロジーで実現可能な「第1世代FPAA」の評価用チップであり、8bitの整数演算アキュムレータからなるセルを16個実装している。

ローム社0.6 μ mルール、4.5mm角のチップとして実現した。同じ基本セルを16個実装しているので、Verilog-HDLによる記述量は600行足らずであったが、回路規模は122kトランジスタとなった。設計は筆者(若手助教授)1名で行った。テストランの特殊事情から開始より提出まで約5ヶ月を要したが、正味は2ヶ月程度と思われる。与えられたチップサイズになかなか入り切らず、レイアウトに時間を取られた。

参考文献 [1] 越智「FPAA : フィールドプログラマブルアキュムレータアレイ」, 情処研報, vol.97, no.102, pp.97--102, (Oct 1997)



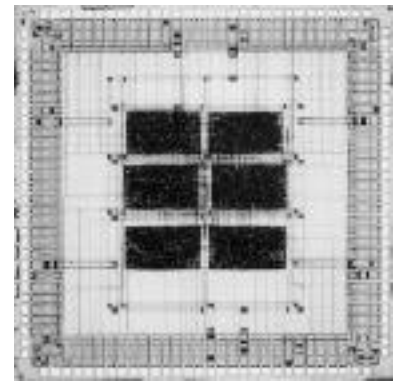
MSIO : 高性能シリアルインターフェースデバイス

広島市立大学情報科学部 越智 裕之

はじめに MSIO (Multiple Serial I/O device)とは、多数のシリアルインターフェースデバイスをワンチップにまとめて実現したものである。今回は、全二重調歩同期通信機能を持つシリアルインターフェース回路12個をワンチップで実現した。つまり、28ピンDIPのi8251を12個、あるいは40ピンDIPのZ80-SIOを6個用いなければ実現できなかった多チャンネルシリアルインターフェース回路がワンチップで実現できるようになるわけである。完成したチップは、小型軽量が強く求められる自走ロボットなどに搭載され、メカトロニクス分野の研究に活用される予定である。

試作したチップ ローム社0.6 μ mルール、4.5mm角のチップとして実現した。同じ基本セルを12個実装しているの

ので、Verilog-HDLによる記述量は500行足らずであったが、回路規模は75kトランジスタとなった。設計は筆者(若手助教授)1名で行った。テストランの特殊事情から開始より提出まで約5ヶ月を要したが、正味は3週間程度と思われる。学内のメカトロニクス分野の研究者と打ち合わせをしながら仕様を決めたので、言語記述を開始するまでに多少時間がかかった。与えられたチップサイズに比較的余裕があったので、レイアウトは自動配置配線で容易に生成できた。



5.2 .チップ試作者の発表文献リスト

- (1) 石原亨, 安浦寛人, 岩井原瑞穂,
「低電力化のためのGated Clockによるデータ
パス幅可変アーキテクチャ」,
第10回 回路とシステム軽井沢ワークショップ, 軽井
沢プリンスホテル, pp. 451-456, 1997年4月.
- (2) 小野寺秀俊, 平田昭夫, 北村晃男, 田丸啓吉,
リスト「P2Lib:スタンダードセルライブラリ自動生
成システム」,
情報処理学会研究報告, 情報処理学会会議室(東京芝
浦), Vol. 97, No. 50, 97DA84-6, pp.37-44, 1997年5月.
- (3) H. Onodera, A. Hirata, T. Kitamura, and K.
Tamaru,
"P2Lib: Process-Portable Library and Its
Generation System",
Proc. of the IEEE 1997 Custom Integrated Circuits
Conference, Santa Clara (USA) pp. 341-244, May
1997.
- (4) 児玉宣貴, 久我守弘, 末吉敏則,
「LPGAによるリアルタイム動画像圧縮符号化用動き
検出LSIの開発」,
第5回 FPGA/PLD Design Conference & Exhibit
論文集, 東京・池袋サンシャインシティ文化会館, pp.
279-288, 1997年6月.
- (5) J. Akita and K. Asada,
"An Image Sensor using QuadTree for Selec-tive
Scanning with AdaptiveResolution",
IEEE CCD & AIS Workshop, Brugge, p.5-1, June
1997.
- (6) Takaaki Sakaguchi, Takuya Nakamura, and Shigeru
Ando,
"Ultrafast correlation image sensor: fabrication and
experiments with 8x8 pixels model",
15th Sensor Symposium, Kawasakishi-Sangyo-
Shinko-Kaikan, Kawasaki, pp. 111-114, Jun. 3-4,
1997.
- (7) Shigeru Ando, Takuya Nakamura, and Takaaki
Sakaguchi,
"Ultrafast correlation image sensor: concept, design,
and applications", Proc. IEEE Workshop on CCD and
Advanced Image Sensors, Belgium, Jun. 1997.
- (8) Shigeru Ando, Takuya Nakamura, and Takaaki
Sakaguchi,
"Ultrafast correlation image sensor: concept, design,
and applications",
Proc. Transducers '97, vol.1, Chicago, U.S.A, pp. 307-
310, Jun. 1997.
- (9) 塩見謙太郎, 沖野晃一, 川崎隆志, 石原亨, 安浦寛人,
「VDEC用スタンダードセルライブラリの開発」,
電子情報通信学会技術研究報告, 北海道登別ホテル
まほろば CAS97-31, VLD97-46, pp.105-112, 1997年
6月.
- (10) 小川一哉, 奥田耕平, 坂口隆明, 安藤繁,
「超高速時間相関型イメージセンサ: 試作と検証実
験」,
第36回計測自動制御学会学術講演会, 徳島大学,
Vol.2 pp.895-896, 1997年7月.
- (11) 塩見謙太郎, 沖野晃一, 川崎隆志, 安浦寛人,
佐藤政夫,
「商用ツールを利用したLSI設計用ライブラリの開発」,
DAシンポジウム'97, ラフォーレ琵琶湖, 1997年7月
- (12) J. Akita and K. Asada,
"An Image Scanning Method with Selective
Activation of TreeStructure",
IEICE Trans. on Electronics, Vol. E80-C, No.7 pp.
956-961, July 1997.
- (13) 橋本浩二, 山崎雅也, 沖野晃一, 村上和彰,
「¥PPRAMLink インタフェース・コアの開発」,
情処研報, ARC-117-11, 1997年8月.
- (14) 浅田邦博, 伊藤浩, 三堂哲寿,
「集積回路におけるシフトレジスタを用いた導体の
容量行列導出手法」,
"TestStructure for Calculating Capacitance
Matrix of Multi Conductors in VLSI",
1997年電子情報通信学会秋期大会, C-12-5, p.88,
1997年9月.
- (15) 中山喜勝, 八田浩一, 若林真一, 小出哲士,
「パラメータの適応的調整を伴う遺伝的アルゴリズム
のハードウェア化」,
情報処理学会第55回(平成9年後期)全国大会 講
演論文集 福岡工業大学, No.4F-05, pp.1-40-1-41,
1997年9月.
- (16) 小松聡, 池田誠, 浅田邦博,
「低消費電力マイクロプロセッサにおけるマルチプレ
クサ方式とバス方式の比較検討」,
電子情報通信学会ソサイエティ大会, C12-16, p. 99,
1997年9月.
- (17) Ali ELhadri, 江淵剛志, 黒木幸令,
「HDLによるVLSI設計の試み」,
平成9年度電気関係学会九州支部連合大会講演論文
集, 琉球大学, p. 3, 1997年10月.
- (18) 江淵剛志, 黒木幸令, 田中浩治,
「高耐圧MOSFETのモデリング」,
平成9年度電気関係学会九州支部連合大会講演論文
集, 琉球大学, p. 559, 1997年10月.

- (19) 中司 賢一, 吉澤 弘泰, 福本 直也, 前田 文雄, 谷口 研二,
「ダイナミック回路方式アナログPLLとディレイライン方式デジタルPLLの集積回路化」,
電気関係学会九州支部第50回連合大会, 沖縄 / 琉球大学, p. 4, 1997年10月 .
- (20) 来海 暁, 安藤 繁,
「固視微動を用いたセンサレベルの画像特徴抽出」,
第9回「外観検査の自動化」ワークショップ, 工学院大学, pp. 1-6, 1997年10月 .
- (21) 越智裕之,
「FPAA: フィールドプログラマブルアキュムレータレイ」,
デザインガイア 情処研報 宮崎シーガイア, Vol. 97, No. 102 pp.97-102 (Oct 1997)
- (22) 山岡雅直, 小林幸史, 小林和淑, 田丸啓吉,
デザインガイア 情処研報 宮崎シーガイア, Vol. 97, No. 344, VLD 97-95 pp. 125-132, 1997年10月 .
- (23) 石原亨, 安浦寛人,
「可変電圧プロセッサを用いたシステムレベルの電力最適化手法」,
電子情報通信学会技術研究報告, 宮崎シーガイア, CPSY97-77 97-DA-85-14 PP.65-72, 1997年10月 .
- (24) 中山喜勝, 後藤睦明, 八田浩一, 若林真一, 小出哲士,
「交差手法の適応的選択を伴う遺伝的アルゴリズムのハードウェア化」,
平成9年度電気・情報関連学会中国支部第48回連合大会講演論文集 広島大学 No.142001 pp. 435-436, 1997年10月 .
- (25) 小松聡, 池田誠, 浅田邦博,
「動的コード帳符号化によるチップインタフェースにおける消費電力削減手法の検討」,
電子情報通信学会集積回路研究会, DSP97-97SDM97-135ICD97-151, pp. 9-14, 1997年10月 .
- (26) 久我守弘, 末吉敏則,
「教育用16ビットマイクロプロセッサの設計・実装事例 - FPGA, ゲートアレイ, スタンダードセルによる実現 - 」,
平成9年度電気関係学会九州支部連合大会 (第50回記念連合大会) 講演論文集 107, 琉球大, p. 7, 1997年10月 .
- (27) 児玉宣貴, 久我守弘, 末吉敏則,
「LPGAによる動画像動き検出LSIの試作」,
平成9年度電気関係学会九州支部連合大会 (第50回記念連合大会) 講演論文集 108, 琉球大, p. 8, 1997年10月 .
- (28) 大田誠一, 木原淳, 江淵剛志, 黒木幸令,
「VDEC用SPICEパラメータの抽出」,
平成9年度応用物理学九州支部学術講演会講演予稿集, 福岡工業大学, Vol.23, p. 46, 1997年11月 .
- (29) 平野圭一, 小野泰三, 栗野浩之, 小柳光正,
「新しい共有メモリを用いたメモリ共有型並列計算機の評価」,
第1回システムLSI琵琶湖ワークショップ, 京都, pp.313-314 pp.413-417, 1997年11月 .
- (30) 来海 暁, 安藤 繁,
「固視微動を用いたセンサレベルの画像特徴抽出」,
電気学会センサ・マイクロマシン部門センサシステム応用研究会 早稲田大学理工学部 pp. 43-48, 1997年11月 .
- (31) 小松聡, 池田誠, 浅田邦博,
「バス方式とマルチプレクサ方式の比較によるマイクロプロセッサの低消費電力化への検討」,
電子情報通信学会第1回システムLSI琵琶湖ワークショップ, pp. 395-399, 1997年11月 .
- (32) 木村克行, 奥野通貴, 井上敬介, 天野英晴,
「可変構造キャッシュシステム搭載のバス結合型並列計算機テストベッドATTEMPT-1」,
第1回システムLSI琵琶湖ワークショップ, 琵琶湖, pp. 419-423, 1997年11月 .
- (33) K.Hirano, T.Matsumoto, S.Kawahito, Y.Kudoh, H.Kurino, and M.Koyanagi,
"A New Multiport Memory for High Performance Parallel Processor System with Shared Memory",
Workshop on Synthesis and System Integration of Mixed Technologies SASIMI'97, Osaka, pp.168-175, 1997.12.
- (34) 荒宏視, 戸川望, 柳澤政生, 大附辰夫,
「Dharma アーキテクチャに基づくFPGAチップの試作」,
マイクロエレクトロニクス研究開発機構研究交流会, 芝浦工業大学, pp.1-4, 1996年12月 .
- (35) R. T. Zheng, M.Ikeda, and K. Asada,
"A Case Study: Design and Implementation of Pseudo-Asynchronous Microprocessor by FPGA and CMOS Standard Cell", IFIP International Workshop on Logic and Architecture Synthesis, France, pp. 105-112, Dec.1997.
- (36) Hidetosi Tanaka, Shigeo Sato, Koji Nakajima, Eric Belhaire, and Patrick Garda,
"Design of Integrated Circuit to Generate Map Chaos",
1997 International Symposium on Nonlinear Theory and its Applications (NOLTA '97), Hawaii USA, Vol. 2, pp. 873-876, Dec. 1997.
- (37) 久我守弘,
「スタンダードセル版教育用マイクロプロセッサ KITE-2の試作」,

- (財)新機能素子研究開発協会平成8年度次世代技術教育・研究環境高度化システムの構築に関する研究調査報告書 ,FED-158 ,pp. 94-107 ,1997年 .
- (38) 末吉敏則 ,
「リアルタイム動画像圧縮符号化のための動き検出LSIの試作」,
(財)新機能素子研究開発協会平成8年度次世代技術教育・研究環境高度化システムの構築に関する研究調査報告書 ,FED-158 ,pp. 151-165 ,1997年 .
- (39) 若林真一 , 小出哲士 , 中山喜勝 , 八田浩一 , 後藤睦明 , 利根直佳 ,
「適応的選択交差手法を組み込んだ遺伝的アルゴリズムのLSIチップによる実現とその評価」,
情報処理学会コンピュータシステム研究会報告 ,東京都立科学技術大学 ,CPSY97-108 ,pp. 51-58 ,1998年1月 .
- (40) 佐々木正明 , 川人祥二 , 田所嘉昭 ,
「CMOSイメージセンサ上へのガンマ補正とゲイン調整機能の集積化の一手法」,
映像情報メディア学会誌 ,Vol. 52 No.2 pp. 214-216 ,1998年2月 .
- (41) S. Komatsu, M. Ikeda, and K. Asada,
"Low Power Microprocessors for Comparative Study on Bus Architecture and Multiplexer Architecture",Asia and South Pacific Design Automation Conference1998,5D.3P,pp.323-324,Feb. 1998.
- (42) K. Hirano, T. Ono, H. Kurino, and M. Koya-nagi,
"A New Multiport Memory for High Performance Parallel Processor System with Shared Memory",
Asia and South Pacific Design Automation Conference 1998, Yokohama, pp. 333-334, Feb. 1998.
- (43) T. Ishihara and H. Yasuura,
"Power-pro: Programmable Power Management Architecture",
Proc. of Asia-South Pacific Design Automation Conf. (ASP-DAC'98), Pacifico YOKOHAMA, pp. 321-322, Feb. 1998.
- (44) 今井 亮子 , 坂口 隆明 , 来海 暁 , 安藤 繁 ,
「超高速時間相関型イメージセンサ：マルチチップサービスを利用した試作と評価実験」,
電気学会センサ・マイクロマシン部門センサシステム応用研究会 ,東京農工大学 ,pp. 13-18 ,1998年3月 .
- (45) Tetsuhisa Mido, Hiroshi Ito, and Kunihiko Asada,
"TEST Structure for Characterizing Capacitance Matrix of Multi-layer Interconnections in VLSI",
Proceeding of International Conference on Microelectronic Test Structures (ICMTS),
Kanazawa, pp. 217-222, Mar., 1998.
- (46) V. Moshnyaga ,渡辺尚人 ,田丸啓吉 ,
「実時間動き補償向け省メモリ型アレーアーキテクチャ」,
電子情報通信学会論文誌 ,J81-D1 pp. 77-84 ,98年3月 .
- (47) 伊藤一彦 , 中林撰 , 鹿股昭雄 , 浅見誠治 , 奥那嶺尚弘 ,
「高専におけるフルカスタムLSI設計教育に関する一検討(大規模集積システム設計教育研究センター第1回試作テストランに参加して)」,
電子情報通信学会技術研究報告 ,白浜 ,CPSY-26 ,1997年7月 .
- (48) 中林撰 , 浅見誠治 , 奥那嶺尚弘 , 鹿股昭雄 ,
「LSI設計手法導入によるデジタル技術教育の再構築」,
高専教育 ,Vol. 21 ,pp. 191-197 ,1998年3月 .
- (49) 児玉宣貴 , 久我守弘 , 末吉敏則 ,
「動き検出LSIのアーキテクチャ設計とLPGAによる試作」,
電子情報通信学会技術研究報告 ,東北大学 ,Vol. 97 ,No. 579 ,pp. 31-38 ,1998年3月 .
- (50) 小野豪一 , 永田真 , 岩田穆 ,
「低電力断熱充電乗算回路」,
集積回路研究会 ,東北大学 ,1998年3月 .
- (51) 小野豪一 , 永田真 , 岩田穆 ,
「低電力断熱充電乗算回路」,
信学技法 ,pp. 9-16 ,1998年3月 .
- (52) 岡田健一 , 小野寺秀俊 , 田丸啓吉 ,
「Micro-Loading効果を考慮したCMOS回路の比精度解析」,
1998年電子情報通信学会総合大会講演論文集 ,東海大学 ,No. A-3-3 ,P. 89 ,1998年3月 .
- (53) 水沼充 , 高橋一清 ,
「断熱的ダイナミックCMOS論理ICの試作」,
電子情報通信学会総合大会 ,東海大学 ,p. 165(C-12-37) ,1998年3月 .
- (54) 鈴木秀樹 , 石倉康充 , 山田晋吾 , 高崎明範 , 藤元聖一 , 波多野 裕 ,
「VDECチップを用いたクロックレーシングフリー回路の検討」,
電子情報通信学会総合大会講演論文集 エレクトロニクス2 ,p. 169 ,C-12-41 ,1998年3月 .
- (55) 石倉康充 , 山田貴弘 , 鈴木幹人 , 鈴木憲孝 , 波多野裕 ,
「CMOS VLSI回路の設計試作(4)高速化の検討」,
電子情報通信学会総合大会講演論文集 エレクトロニクス2 ,p. 170 ,C-12-42 ,1998年3月 .

- (56) 中順一, 川人祥二, 田所嘉昭,
「動画像の相関を用いた撮像デバイス用低消費電力
A/D変換器の検討」,
電子情報通信学会総合大会, 東海大学, P. 174, 1998
年3月.
- (57) 佐々木正明, 川人祥二, 田所嘉昭,
「SMOSイメージセンサ上へのガンマ補正とゲイン調
整機能の集積化手法」,
電子情報通信学会総合大会, 東海大学, p. 176, 1998
年3月.
- (58) 根塚智裕, 秋田純一, 浅田邦博,
「階層構造スキャンを用いた動き検出イメージセン
サ」,
電子情報通信学会1998年総合大会, 電子情報通信学
会1998年総合大会講演論文集エレクトロニクス2,
東海大学, p. 177, 1998年3月29日.
- (59) 山岡雅直, 小林幸史, 小林和淑, 田丸啓吉,
「DRAMを用いた加算機能メモリ」,
1998年電子情報通信学会総合大会講演論文集, 東海
大学, No. C-12-85, p. 213, 1998年3月.
- (60) 季海敦, 村上貴志, 山田耕太郎, Hans Jurgen
Mattausch,
「マルチポートメモリにおけるアクセス衝突回避処理
のための新しい論理回路」,
1998年電子情報通信学会総合大会: エレクトロニク
ス講演論文集2, 東海大学, p. 216 (C-12-88), 1998
年3月.

第6章 付録

6.1. 利用規定

【計算機利用】

- ア) VLSI チップ試作申し込みを前提とし，チップ試作申し込み時に同時にホスト計算機利用申請をする必要がある。
- イ) 計算機利用の目的は主としてセンターが提供するCADソフトウェアを利用した設計・検証のほか，チップ設計・評価に関係する大学独自のプログラムの開発と実行とし，一般のVLSI教育研究と関係のない計算には基本的に用いないことを前提に申し込みを受け付ける。
- ウ) 申込者はVLSIチップ試作申し込み単位である各大学・高専教官とし，学生毎には利用者アカウントの発行は行わない。
- エ) 利用期間は利用申請承認時期から該当試作チップの納品時期までとする。利用期間終了後はユーザファイル等は消去されることがあるため，ユーザの責任で利用期間内にバックアップするものとする。

【チップ試作】

- ア) 試作日程は運営委員会で各大学の学部授業日程ならびに大学院教育に配慮して決める。
- イ) チップ試作申し込み期間は，設計締め切りの6ヶ月前から3ヶ月前までの期間とする。
- ウ) チップ試作申込者は各大学・高専の教官とし学生からのチップ試作受付は行わない。
- エ) 申し込みはセンターWebのホームページで行い，別途書面による秘密保持契約において正式確認する。
- オ) チップ試作費は試作チップ納品時に送付される請求書類等に応じ，ユーザ毎に遅滞なくチップ試作会社に支払う。
- カ) チップ試作費用ならびに納品チップ数は別途これを定め，センターWebその他のセンター情

報誌等に掲載する。

- キ) チップ試作申し込みの取り消しは設計締め切りの1ヶ月前までとし，それ以降は基本的に試作費の支払義務を負う。
- ク) チップの品質検査は同一チップ上に作られるテスト回路で行い，センターおよびチップ試作会社は基本的に試作チップの動作等についてそれ以上の責任を負わない。
チップ試作申込では同時に別途規定するホスト計算機利用申請を行う必要がある。

【CAD利用】

- ア) CAD利用は演習・授業でも必要であり VLSIチップ試作申し込みを条件とはしない。
- イ) ユーザが必要なライセンス数を把握するため，CAD項目単位で申し込みを行う。
- ウ) CAD利用申込者は各大学・高専の教官とし学生からの利用申し込み受け付けは行わない。

【CAD項目】

- VerilogHDL論理設計ツール
- VHDL論理設計ツール
- 自動配置配線ツール
- 会話型回路・レイアウト設計ツール
- アナログ回路・レイアウト設計ツール

6.2. 利用登録者

平成10年4月現在の利用者は、表6.2の通りである。

表6.2 利用者登録、CAD利用申請、チップ試作申請

項目	全体		国立大学		私立大学	
	大学数	教員数	大学数	教員数	大学数	教員数
案内メール配信先	131	372	70	257	61	115
Web アクセスアカウント発行	109	282	62	205	47	77
CAD 利用者	61	109	38	79	23	30
チップ試作利用者	42	90	28	72	14	18

6.3. チップ試作日程

平成10年のチップ試作日程は、表6.3の通りである。

表6.3 チップ試作日程

プロセス	申込開始	申込〆切	設計〆切	チップ納品
日本モトローラ 1.2 μ mCMOS	1月12日	4月10日	7月10日	10月30日
	3月2日	6月1日	9月1日	1月20日
	8月10日	11月10日	2月10日	6月4日
	10月1日	1月7日	4月1日	7月28日
NEL0.5 μ mCMOS	11月30日	2月10日	5月11日	9月20日
	(4月20日)	(7月20日)	(10月20日)	(3月1日)
ローム Δ 0.6 μ mCMOS	2月20日	5月20日	8月20日	12月10日
	9月10日	12月10日	3月10日	7月9日
LPGA	計画中			

■ : 平成9年 ■ : 平成11年

6.4. 申し込みガイド

【アカウント利用申込】

<http://www.vdec.u-tokyo.ac.jp/registration.html>

1. 新規登録もしくは登録IPの変更である場合には [新規登録] ,その他の項目の変更の場合には [登録内容変更]のページへ
2. 以後の登録などの際にはE-mailアドレスによる登録データベースの参照を行うので、入力間違いなどの無いように注意すること。また

入力に際しては半角の文字を使用すること。

3. アクセス制限を行っているページへのアクセスにはIPアドレス項目に示したアドレスが適用される。この部分の入力が正しくないとページへのアクセスが行えなくなるので注意すること。注意点としては以下の点が上げられる
入力には半角文字のみを使用すること(全文

字を使用すると該当部分をすべて削除するので正しい登録は行えない)

入力の際にIPや、ドメイン名の区切りをあらわす。(ピリオッド)と複数のアドレスの区切りをあらわす、(コンマ)を間違えないように注意すること

名前の前後に不要なスペースが混入されないよう十分注意すること

IPアドレスの指定に際しては、Proxyサーバ等を介さないアドレスとすること。これは、設計規則等の機密情報がProxyサーバ等に残ってしまい、機密漏洩につながることを防ぐためであるので守っていただきたい。ただし fire wallが設置されているなど学内の事情により直接のアクセスが行えない場合にはその限りではない。また、IPアドレスの登録数には特に制限は設けないが、管理の行き届いた機械のみに制限すること。

IPアドレスとはWebのブラウザ(Netscape, インターネットエクスプローラ等)を実行している計算機のアドレスのことを意味している。

【チップ試作案内・試作申込】

<http://www.vdec.u-tokyo.ac.jp/CHIP/announce.html>

1. 試作申込は前項利用者登録申請を行い発行されたアカウントが必要である。
2. 申込の際には、希望チップ寸法の項目のボタンを必ずチェックした上で希望チップ数を入力すること。チェックを行わないと入力した数字は無効となるので注意すること。
3. チップ申込と同時に設計者メーリングリストに登録を行ってください。試作に関する情報、および締め切り前後に提出されたデータに対する質問などを行う可能性があるで、必ず実際に設計する方を登録すること。

4. すべての入力は半角英数字を用い、全角や、半角カタカナなどは決して用いないこと
5. 申込後は申込確認のページをアクセスしチップ寸法、品種数等が正常に申し込まれていることを確認すること。
(http://www.vdec.u-tokyo.ac.jp/PROTcgi/chip_history.html)
6. 当該プロセスにて始めて試作を行う場合、守秘契約書面が必要となる。守秘契約書面はチップ試作申込完了のページからたどれるようになっているので、ページをプリントアウトした上で内容を確認し署名の上VDEC宛てに送付すること。
7. チップ試作の技術的な質問に関してはすべてメーリングリストに流すようにすること。またチップ設計者のためのメーリングリストの過去の記事が参照できるようになっているので、一度目を通されたい。(<http://www.vdec.u-tokyo.ac.jp/CHIP/MIregist.html>)

【CAD利用申請】

<http://www.vdec.u-tokyo.ac.jp/CAD/announce.html>

1. CADの利用申込は利用者登録申請を行い発行されたアカウントが必要である。
2. 申込の際には、希望するCAD項目のボタンをチェックした上で希望ライセンス数を入力すること。チェックを行わないと入力した数字は無効となるので注意すること。
3. ライセンス数の決定に当たっては、原則として、最大同時利用者数分申し込むこと。これは次回のCADソフトウェア入札の際の基礎データ収集の意味をかねている。
4. 必要に応じてCADのインストールの際に必要なメディアのチェックを行うこと。これを忘れるとメディアは送付されないので注意すること。なお、メディアに関しては周囲で既

に所有している先生から借りてインストールすることは一向に差し支えない。また、メディアは当該年度に標準と考えるバージョンのみとなっているが、それ以前のバージョンに関しても希望があれば送付するので、別途ご連絡されたい。

- 5 . 計算機アドレスの登録は、本CADソフトウェアの利用を考えているすべての計算機のアドレスを入力すること。なお、アドレスは不正アクセスを防止するためDNSによる名前の照合を行うため、DNSの逆引きが行えない機械、大学機関外に設置されている機械などは登録しても利用できないので注意すること。
- 6 . 申込完了後必ず申込のページをリロードしてライセンス数、計算機アドレスなどが正しく申し込まれていることを確認すること。
- 7 . CADのアクセス制限の更新およびメディアの送付は原則として毎月月末に行うため、月の途中での申込の場合即応ができないので注意すること。ただし急遽必要な場合には別途連絡いただきたい。
- 8 . CADのライセンスサーバに関する情報、その他CAD関係の情報はすべてCAD利用者メーリングリスト(CADuser@vdec.u-tokyo.ac.jp)上で行うので、CADを主に利用する方を登録すること。
- 9 . CADのインストール、その他の情報はすべてメーリングリスト上に質問を行うこと。また、過去のメールが参照できるようになっているので、一度目を通されたい。

(<http://www.vdec.u-tokyo.ac.jp/CAD/CADuser.html>)

【計算機アドレスの登録】

- 以下の欄にフルドメイン形式で(例 www.vdec.u-tokyo.ac.jp) CADを使用する計算機のアドレスを記入して下さい。
- 従来登録している計算機に追加する場合には追加ボタンを、従来の計算機と置き換える場合には更新ボタンを選択して下さい。ただしライセンス数の変更のみの場合にはいずれのボタンも選択しないで下さい。
- 複数の計算機を登録する場合には、で区切って複数個入力するか、複数回登録を繰り返して下さい。
- 利用登録可能な計算機はネームサーバに登録されておりDNSを介して名前の参照が可能であるものに限っておりますので御了承下さい。

The screenshot shows a registration form with a text input field at the top. Below it are two buttons: "追加" (Add) and "更新" (Update). Below the buttons is a list of example domain names: tyrol.mos.tu-tokyo.ac.jp, daichimos.tu-tokyo.ac.jp, earth.mos.tu-tokyo.ac.jp, and untacmos.tu-tokyo.ac.jp. A callout box points to the "更新" button with the text "CADの利用を予定している計算機のアドレスを入力すること。ただし、DNSの逆引きにより名前とIPアドレスの確認を行うので、不明な場合には計算機の管理者およびネットワークの管理者等に相談すること。". Another callout box points to the domain list with the text "いずれかをチェックすること".

図6.1 チップ申し込みの際の注意点

申込の変更をされる場合には、該当チップのチェックボックスをチェックした上で、新たな品種数を入力して下さい。なお、入力には半角数字を用いるようお願い致します。

The screenshot shows a form for chip application with three rows of checkboxes and input fields. The rows are labeled "2.3mm角チップ", "4.8mm角チップ", and "7.3mm角チップ". A callout box points to the input field for "2.3mm角チップ" with the text "希望チップ数を入力する". Another callout box points to the input fields for "4.8mm角チップ" and "7.3mm角チップ" with the text "チップ数を入力する場合には必ずチェックすること". At the bottom of the form is a button labeled "申込".

図6.2 CAD利用申し込みの注意1 (ライセンス数, メディアの登録)

VerilogHDL論理設計ツール(Cadence)
 []
 Cadence 9504 SUN SunOS4.1.X
 Cadence 9504 SUN Solaris 2.X
 Cadence 9504 HP HPUX

VHDL論理設計ツール(Synopsys)
 []
 Synopsys 3.5a

自動配置番線ツール(Avent):
 []
 Avanti 2.1.0.61 (S4) 4mmDAT
 Avanti 2.1.0.61 (S4) 8mmEXABYTE

会話型回路・レイアウト設計ツール(Mentor):
 []
 Mentor Rel B 3 SUN SunOS4.1.X
 Mentor Rel B 3 SUN Solaris 2.X
 Mentor Rel B 3 HP HPUX

アナログ回路・レイアウト設計ツール(Cadence):
 []
 Cadence 9504 SUN SunOS4.1.X
 Cadence 9504 SUN Solaris 2.X
 Cadence 9504 HP HPUX

ライセンス数の入力
 (半角数字で入力すること)

ライセンス数を入力する場合に
 必ずチェックすること
 (入力しない場合にチェックすると
 0を申し込んだものとみなす)

CADのインストールの際に
 必要なメディアをチェックすること。
 これを忘れるとメディアが
 送付されないので注意すること

図6.3 CAD登録の注意2 (利用ホストIPの登録)