

巻頭 センター長挨拶

第1章 VDEC概要	2
1. 1. VDEC組織概要	
1. 2. 人事報告	
1. 3. 決算報告	
第2章 平成10年度VDEC事業報告	6
2. 1. LSI設計教育情報の整備・発信	
2. 2. CADソフトウェアの整備	
2. 3. VLSIチップ試作状況	
第3章 研究報告	19
3. 1. 研究室構成員	
3. 2. 研究概要	
3. 3. 発表論文	
第4章 平成11年度の活動計画	38
第5章 チップ試作結果報告	41
5. 1. 試作結果	
5. 2. チップ試作者の発表文献リスト	
第6章 付録	107

VDEC

第1章 VDEC 概要

1.1. VDEC 組織概要

VDECは平成8年度に専任教官5名事務官1名で発足したが、平成9年度に専任教官2名と事務官1名が増員された。さらに、全国の大学と提携を密にする目的で、各大学から2年を単位として2名の教官をVDECに派遣する「流動ポスト制度」が平成9年度からスタートした。平成10年度までは東北大学

と横浜国立大学からそれぞれ1名ずつ、平成11年度からは広島大学と金沢大学からそれぞれ1名ずつ派遣されている。また産業界と協力を行うため、客員教授(1種)が1名おかれている。平成10年度のVDECスタッフは表1のとおり10名の教官と2名の事務官から構成されている。

表1 VDEC定員関係

(平成10年度)

	定員 (平成8年度)	定員 (平成9、10年度)	備考 (平成10年度スタッフ)
教授	2	2	鳳, 浅田
客員教授(1種)	—	1	家田
助教授	2	3	平本, 池田(講師), 中田(助手)
流動助教授	—	2	羽路, 小谷
助手	1	2	韓, 鄭
事務官	1	2	松本, 清水
計	6	12	

1.2. 人事報告

VDEC 人事

センター長(教授) 鳳 紘一郎
教授 浅田 邦博
客員教授 家田 信明(平成11年3月まで)
客員教授 田中 正文(平成11年4月着任)
助教授 平本 俊郎
助教授 羽路 伸夫(平成11年3月まで)
助教授 小谷 光司(平成11年3月まで)
助教授 北川 章夫(平成11年4月着任)
助教授 小出 哲士(平成11年4月着任)
講師 池田 誠
助手 韓 小逸

助 手 鄭 若 彤
 助 手 伊 藤 浩 (平成11年4月着任)
 助 手 中 田 明 良 (平成11年10月まで)
 事務主任 松 本 直 衛
 会計掛長 清 水 要



鳳 紘一郎



浅田 邦博



家田 信明



田中 正文



平本 俊郎



羽路 伸夫



小谷 光司



北川 章夫



小出 哲士



池田 誠



韓 小逸



鄭 若彤



伊藤 浩



中田 明良



松本 直衛



清水 要

運営委員会構成（平成10年度）

委員長	鳳 紘一郎	東京大学大規模集積システム設計教育研究センター長	教授
委員	吉田善章	東京大学工学系研究科システム量子工学専攻	助教授
"	浅田邦博	東京大学大規模集積システム設計教育研究センター	教授
"	平本俊郎	東京大学大規模集積システム設計教育研究センター	助教授
"	南谷 崇	東京大学先端科学技術研究センター	教授
"	宮永喜一	北海道大学工学系研究科電子情報工学専攻	教授
"	大見忠弘	東北大学工学系研究科電子工学専攻	教授
"	國枝博昭	東京工業大学工学部電気・電子工学科	教授
"	上田和宏	芝浦工業大学システム工学科電子情報システム学科	教授
"	柳沢政生	早稲田大学理工学部電子・情報通信学科	教授
"	鈴木正國	金沢大学工学部電気・情報工学科	教授
"	島田俊夫	名古屋大学工学系研究科電子情報学専攻	教授
"	田丸啓吉	京都大学工学研究科電子通信工学専攻	教授
"	谷口研二	大阪大学工学部電子情報エネルギー工学専攻	教授
"	岩田 穆	広島大学工学部第二類（電気系）	教授
"	安浦寛人	九州大学システム情報科学研究科情報工学専攻	教授

協議会構成（平成10年度）

協議員	鳳 紘一郎	東京大学大規模集積システム設計教育研究センター長	教授
"	中島尚正	東京大学工学系研究科長	教授
"	浅田邦博	東京大学大規模集積システム設計教育研究センター	教授
"	神谷武志	東京大学工学系研究科電子工学専攻	教授
"	田中英彦	東京大学工学系研究科電気工学専攻	教授
"	岡部洋一	東京大学先端科学技術研究センター	教授
"	荒川泰彦	東京大学国際・産学共同センター	教授
オブザーバー	吉田善章	東京大学工学系研究科システム量子工学専攻，総長補佐	助教授

1.3. 決算報告

1. 平成10年度経費

人件費	96,350,145円	講師等旅費	1,007,000円
職員旅費	983,000円	共同研究費	14,880,000円
校費	257,276,000円	諸謝金	609,200円
(電算機借料96,642,000円を含む)		受託研究員費	812,000円
施設整備費	199,500,000円	科学研究費	86,400,000円

2. 平成10年度科学研究費補助金

研究者代表者	研究題目	種類	金額
			千円
浅田 邦博	二次元情報即時処理システム	特定領域研究(1)	24,700
浅田 邦博	大規模集積回路設計データの知的検証に関する研究	基盤研究A(2)	30,600
鳳 紘一郎	ナノシリコンデバイスのための近接ダブルショットキーMOSFETの研究	基盤研究B(2)	6,100
平本 俊郎	リソグラフィ限界を超えた制御性の良いシリコンデバイスの作製に関する研究	基盤研究B(2)	6,300
浅田 邦博	新しい同期概念を用いたマイクロプロセッサアーキテクチャの研究	基盤研究B(2)	9,600
平本 俊郎	量子効果を積極利用した薄膜 SOI MOSFET の性能向上とばらつき低減の研究	基盤研究B(2)	5,900
平本 俊郎	量子ドットにおけるクーロン閉塞現象を利用した双安定状態の発現に関する研究	萌芽的研究	2,200
池田 誠	大規模集積システムのチップインターフェースにおける消費電力削減に関する研究	奨励研究A	1,000

3. 平成10年度奨学寄付金

以下の企業から寄附をいただきました。

日立製作所，日産自動車，三菱電機，日本電気，富士通，スティッチング基金 受入額 計 9,870,820 円

第2章 平成10年度VDEC事業報告

平成10年度も平成8年度、平成9年度に引き続きチップ試作の安定的運営、CADソフトウェアの配布・運用、およびホスト計算機の運用により「LSI教育情報の発信拠点」、「VLSI設計支援教育用CAD

ソフトウェアの整備」、「VLSIチップ試作支援」の3つの柱の円滑な運営を目指した事業を展開した。以下に平成10年度の事業の概要を報告する。

2.1. LSI設計教育情報の整備・発信

【計算機環境の整備】

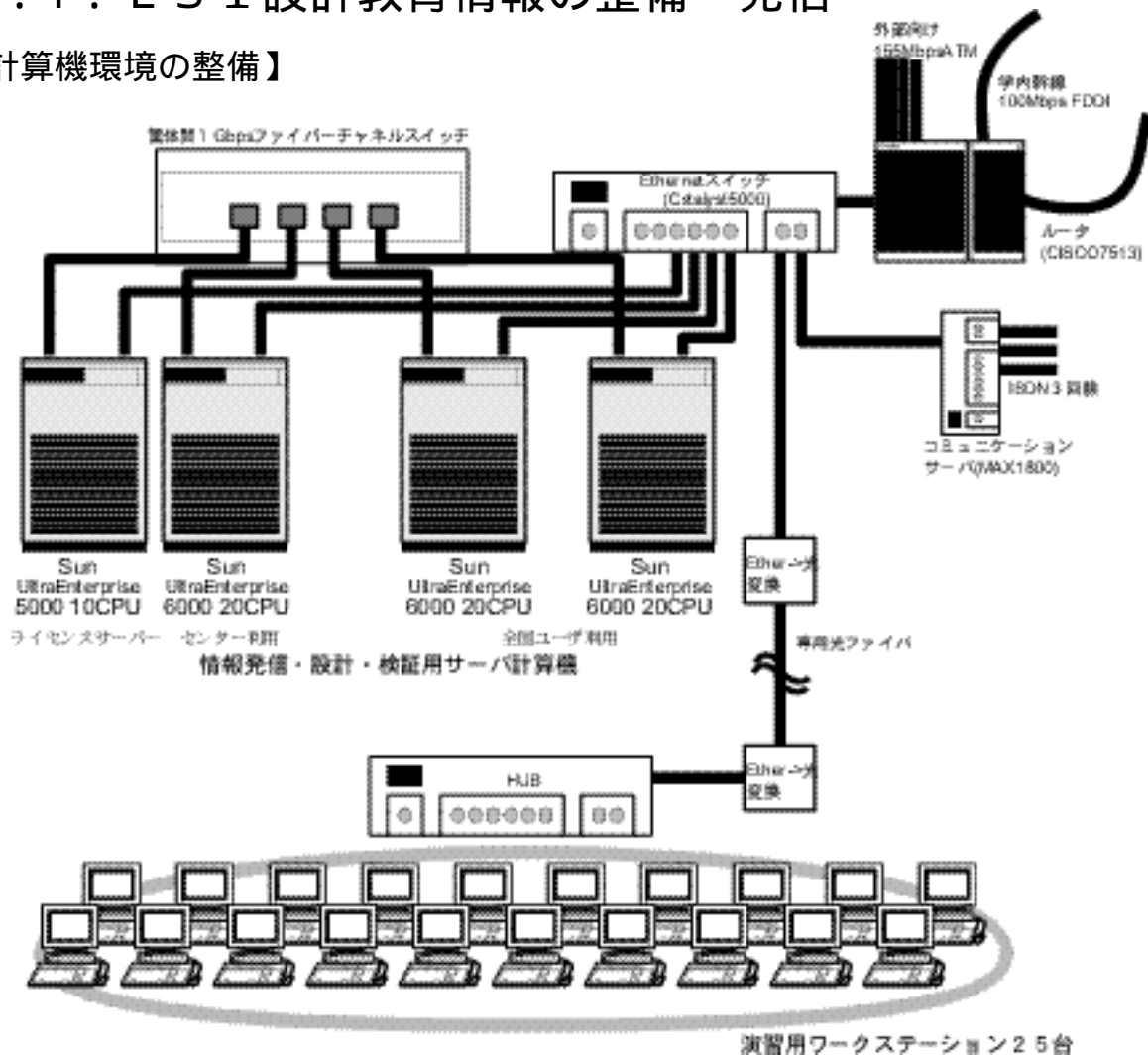


図2.1 サーバ計算機、セミナー用のワークステーションおよびネットワークの構成

VDECにおけるVLSI設計教育情報の発信拠点、CADライセンスサーバ、VLSIチップ設計データ処理、およびCAD利用技術、VLSI設計技術セミナーに用いるのために平成8年度に導入したサーバ計算機は、4筐体で構成されており、1筐体を情報発信・ライセンスサーバ、1筐体をVLSI設計

データ処理、2筐体を全国のVLSIチップ申込者の設計データ収集と設計検証のために運用している(図2.1参照)。本サーバ計算機の利用は、原則としてVDECにおけるチップ試作を前提とし、VLSIチップ試作申込者は、各自の計算機でVLSI設計を行っても、VDECのサーバ計算機で設計を行って

もよいが、最終的にはこのアカウントを用いてサーバ計算機に設計データを転送し、VDEC指定の最終検査プログラムで検証処理を行った後、VDECに対し設計データを「提出」する。

また、セミナー用ワークステーション 25 台は、VDEC開催のセミナーのうち東京会場で開催されたものに用いるほか、設計関係の授業・演習、およびVLSIの設計のために利用されている。

【Webページの整備】

VDECの情報発信の多くはWebを介したものとなっており、また各種利用等の申し込みはすべてWebによるものを原則としている。Webページの構成は図2.2の通りで、それぞれの申し込み、提供情報の内容に応じてアクセス制限を行っている。詳細は第6章「付録」を参照されたい。

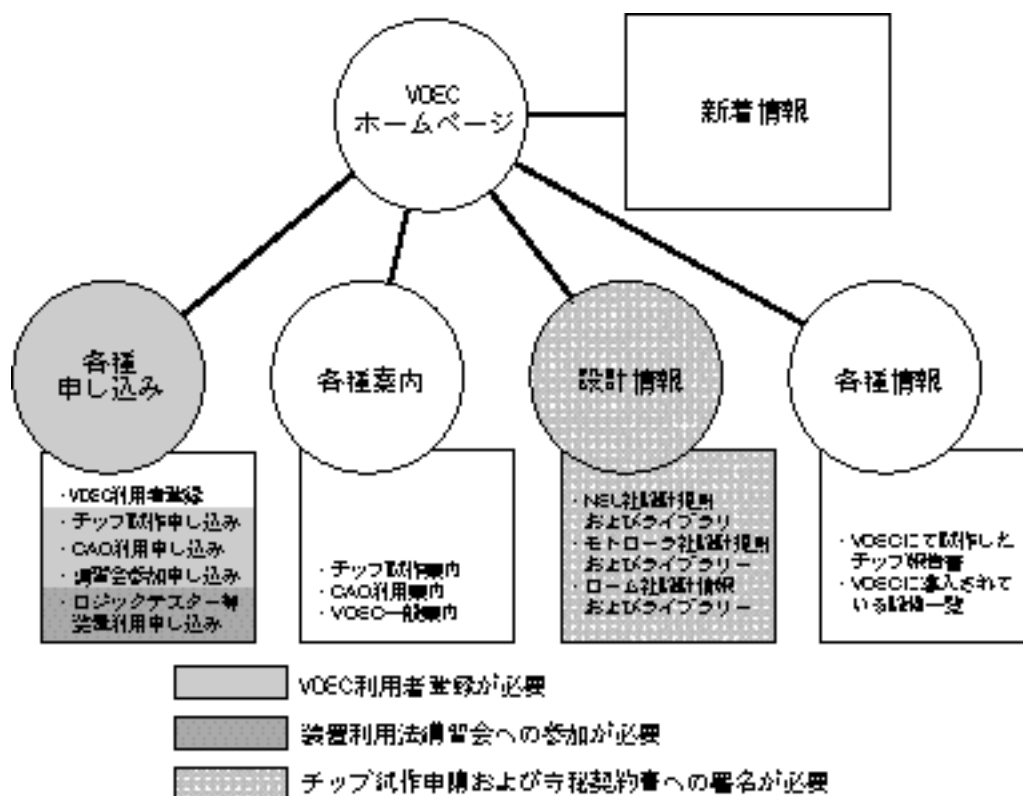


図2.2 VDECのWebページ構成

【教材の整備】

VLSI設計法の教材整備では、平成9年度に作成した「論理合成・シミュレーション検証(上流設計)」「セルベースによる自動配置配線(中流設計)」「会話型設計(下流設計)」の教材を、CADツールのバージョンアップにあわせて内容の更新を行な

うとともに、新たに「マクロセル作成のための自習教材」の作成を行なった。本年度からは、これらの教材はすべて電子的に配布することとし、全国の教育関係者が研究・教育目的に自由に改定再配布が出来るようにした。

2.2. CADソフトウェアの整備

平成8年度に導入されたCADソフトウェア(表2.1)は、図2.3に示す全国地域拠点校10箇所においてライセンスサーバを設置し、各大学の利用者が最寄りのライセンスサーバにおいて認証を行うことでCADツールが利用できるようなネットワークを利用した運用形態となっている。

ライセンス数はCADの項目ごとに500から1000程度のフローティングライセンスとなっており、全国の大学・高専において教育・研究目的に限り利用できるような制限を行っている。

表2.1 導入された CADシステム

項目	用途	メーカー
Verilog HDLを用いた設計システム	Verilog HDLベースの入力、シミュレーション、論理合成、テスト生成	Cadence Design Systems, Inc.
VHDLを用いた設計システム	VHDLベースの入力、シミュレーション、論理合成、テスト生成	Synopsys, Inc.
自動配置・配線設計システム	マクロセルを含むセルベースの配置配線設計とバックアノテーション	Avant! Co.
会話型設計システム	会話型の回路図およびマスクレイアウト入力、設計検証、回路抽出、回路シミュレーション	Mentor Graphics, Co.,
アナログ設計システム	アナログ機能・回路シミュレーション、回路図入力、レイアウト設計、設計検証、回路抽出	Cadence Design Systems, Inc



図2.3 全国地域拠点校

VDECのCADの利用、および後述のチップ試作の利用のためにはあらかじめユーザ登録が必要となっているが、これまでVDECに利用登録している全国教官数およびその所属する大学数およびCADの利用申請があった研究室（教官）数の推移は図2.4の通りである。

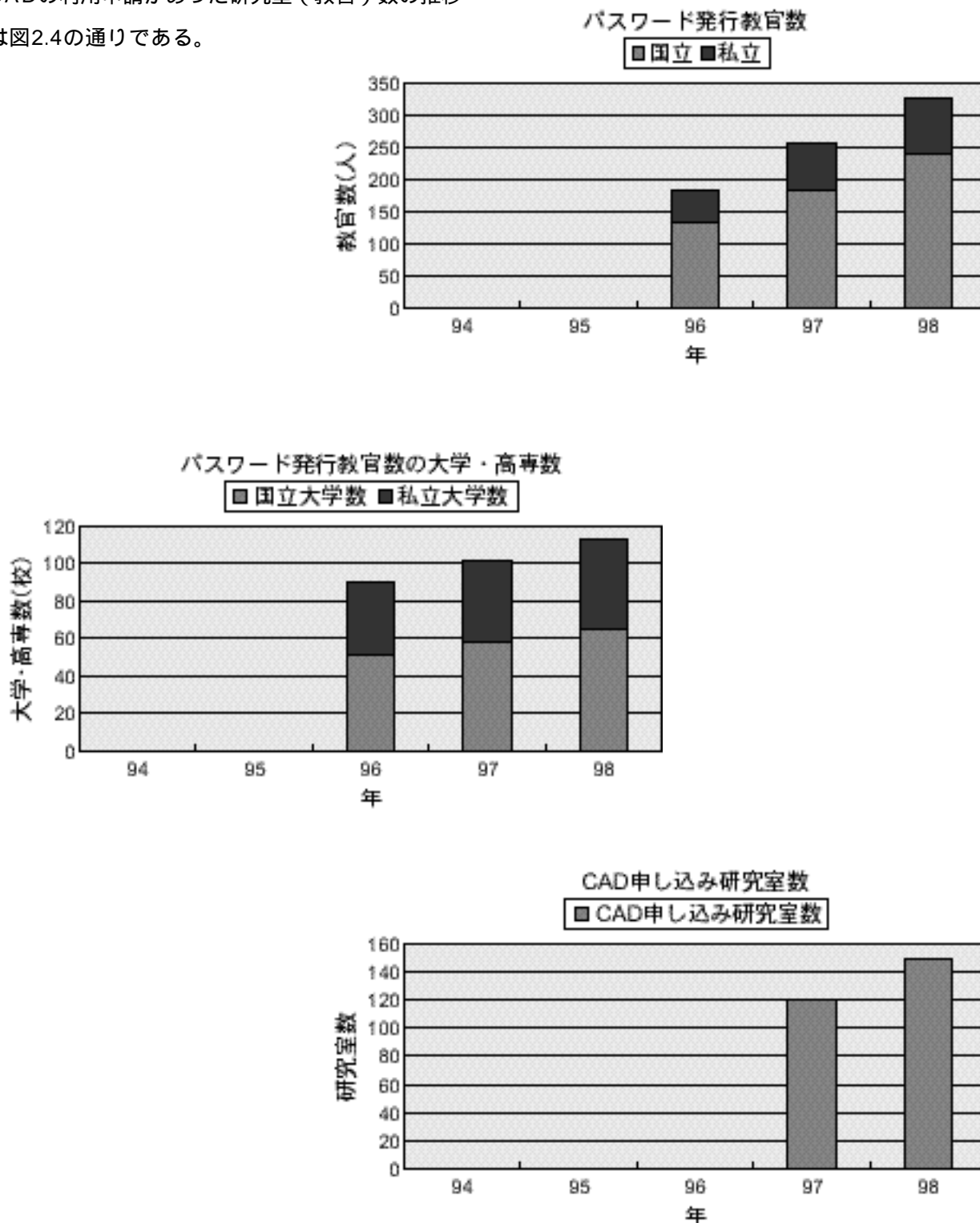


図 2.4 ユーザ登録数およびCAD申込数の推移

【CADソフトウェア利用状況】

平成10年度までのCADツールの利用状況の推移を図2.5に示す。なお、図2.5は東大および拠点校のライセンスサーバが認証を行なった回数で、申込数だけでなく利用実績も増大していることが

わかる。ただし、97年度は拠点校のライセンス認証数の調査を行っていないことや、ツールによって認証方法が異なるためツール間の利用頻度の比較は単純には行なうことは出来ない。

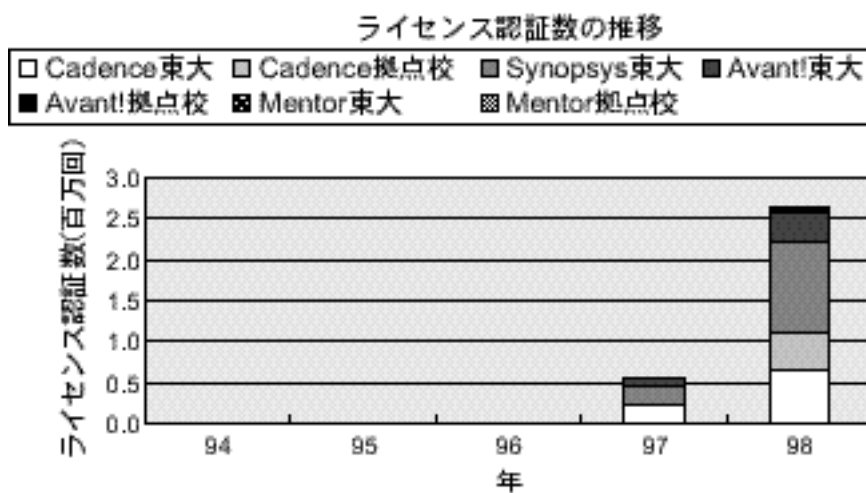


図 2.5 CADの利用状況の推移

【セミナー開催状況】

平成10年度には9月および2、3月に、東京、名古屋、金沢、広島、東北の各地区でCADツール利用法・ライブラリー利用法のセミナーを企画実施した(表2.2)。また、12月には本年度からの新たな試みとして、各大学の教官および企業の一線の設計者を講師として、社会人向けのリフレッシュセミナー(表2.3)を開催したほか、9月に大学若手教官・学生を対象としたVDEC LSIデザイナーズフォーラムを実施している。デザイナーズフォーラムは平成9年度に続き2度目の開催で、大学若手教官・学生が互いの研究成果だけでなく、

研究会などでは聞くことの出来ないチップ設計上の苦労した点、失敗例とその解決策などの情報を共有することで、互いの親睦を深め、大学間・研究室間の連携を深めることを目的としており、平成10年9月5 - 6日にかけて九州大学および志賀島休暇村において開催され、72名参加という盛況であった。また、本フォーラムは平成11年度以降はIEEE/SSCS/Tokyoの後援が予定されている。また、日本学術振興会第165委員会が主催する「VLSI設計・夏の学校」への協賛も行ない、こちらも120名参加という盛況であった。

表2.2 平成10年度のセミナー開催状況

講習項目	会場	開催日	参加人数	講習概要
Cadence 上流	東京大学	平成10年 9月7日-9日	36	論理シミュレータVerilog-XL、配置配線ツールCell Ensembleの利用法説明、実習
Cadence 下流	東京大学	平成10年 9月10日-11日	39	レイアウトエディタVirtuosoの基本的な使い方。Divaを用いた設計規則検査、回路シミュレータSpectreを用いた回路シミュレーション手法の説明、実習
Synopsys	東京大学	平成10年 9月16日-18日	33	論理合成ツールDesign Compiler、論理シミュレータVSSの利用法説明、実習
Avant!	東京大学	平成10年 9月24日-25日	24	配置配線ツールAquariusXOの利用法説明
東大版ライブラリ	東京大学	平成10年 9月12日	31	東大VDECにおいて作成したライブラリを用いた設計フローの説明、実習
Avant!	名古屋大学	平成11年 2月1日-2日	20	ApolloXOを用いた配置配線、フロアプラン、バックアノテーションの説明実習
Avant!	広島大学	平成11年 3月30日-31日	14	ApolloXOを用いた配置配線、フロアプラン、バックアノテーション、他社ツールとのインターフェース
Synopsys	金沢大学	平成11年 3月16日-17日	25	論理合成ツールDesign Compilerの基本的な利用法説明、実習
Cadence	東北大学	平成11年 3月29日-4月2日	25	Cadence利用者講習会(Layout/Artist系, SKILL, Verilog)

表2.3 社会人向けリフレッシュセミナー実施状況

講習項目	開催日	講師	参加人数	講習概要
VLSI設計の基礎	平成10年 12月2日-4日	浅田(東大・教授)、今井(阪大・教授)、国枝(東工大・教授)、越智(広島市大・助教授)、一色(東工大・助手)	66	VLSIの基礎講義、UNIXの使用法、VerilogHDL、レイアウトエディタの使用法
デジタル集積回路演習	平成10年 12月8日-10日	池田(東大・講師)、小林(京大・助手)	34	VerilogHDLを用いたFPGAの設計演習
アナログ集積回路演習	平成10年 12月15日-16日	小野寺(京大・助教授)、小谷(東大・助教授)	43	レイアウト設計、設計検証、回路シミュレーション
最先端VLSI設計事例	平成10年 12月24日-25日	安浦(九大・教授)、岩田(広大・教授)、服部(日立)、飯田(東芝)、松澤(松下)、石原(NTT)、菊池(ソニー)	63	デジタルLSI設計の実例、アナログ回路方式と設計、アナログ・デジタル混載設計

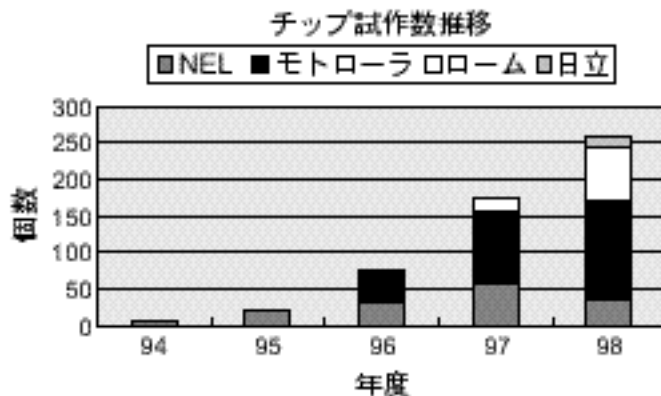
2.3. VLSIチップ試作状況

図2.6はVDECおよびそれに先行する通産省のパイロットプロジェクトでのチップ試作数の推移を示したものである。

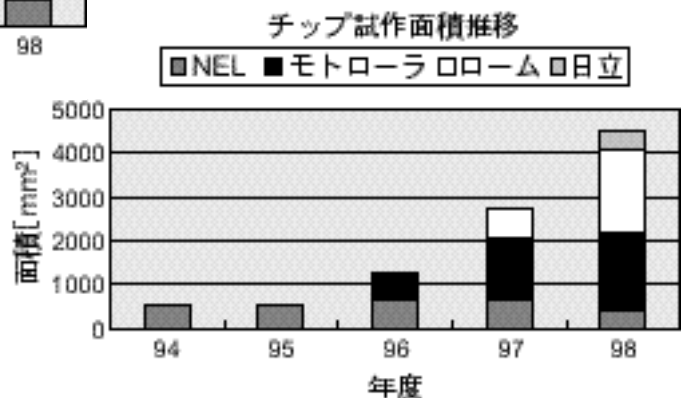
図2.6(a)は設計されたチップ数の増加傾向を示しており、図2.6(b)は設計面積の増加傾向を示している。平成6,7年度(1994,1995年度)のパイロットプロジェクトでは、ファウンドリはNEL 1社であったが、平成8年度(1996年度)のVDEC発足後、日本モトローラが協力を開始し、平成9年度(1997年度)からはこれにロームが加わった、さら

に平成10年度には日立製作所が加わったことで、試作品種数、試作面積ともに依然として増加傾向にある。これらとは別にLPGA(レーザでプログラムするゲートアレイ)の試作も始まりつつあり、平成8年度から平成9年度にかけて、先駆的に3大学が設計試作をおこなっている。

また、図2.7にこれまでに試作に参加した教官数、大学数の推移およびその累計を示す。この図より、すでに100を越える教官がチップ試作を行なっていることがわかる。



(a)チップ数 / 設計されたチップの数



(b)チップ面積 / 設計されたチップの総面積

図 2.6 VDECチップ試作実績の推移

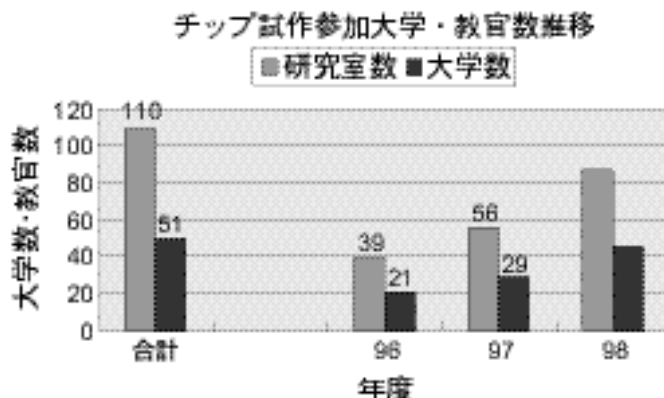


図 2.7 VDECチップ試作参加教官数・大学数の推移とその累計

また、チップ試作に必要な設計規則等の試作会社固有の機密情報にアクセスするための「秘密保持契約」締結教官数はNELが51名、日本モトローラが79名、ロームが71名、日立が18名となっている。

以下、平成10年度のチップ試作概況、ライブラリ整備状況、新規ファウンドリーのためのチップ試作テストラン、IP開発のためのテストランの実施状況を述べる。

【平成10年度チップ試作概況】

平成10年度は表2.4に示す日程でチップ試作を行った。チップ試作の参加者・試作の内容は、第5

章のチップ試作者報告を参照されたい。

表2.4 平成10年度チップ試作日程

プロセス	設計締切	チップ納品
CMOS0.5 μ m 第1回	平成10年5月11日	平成10年9月20日
CMOS1.2 μ m 第1回	平成10年7月10日	平成10年12月10日
CMOS1.2 μ m 第2回	平成10年9月1日	平成11年1月5日
CMOS1.2 μ m 第3回	平成11年2月10日	平成11年6月（予定）
CMOS1.2 μ m 第4回	平成11年4月1日	平成11年7月（予定）
CMOS0.6 μ m 第1回	平成10年8月20日	平成10年12月10日
CMOS0.6 μ m 第2回	平成11年1月8日	平成11年3月15日
CMOS0.6 μ m 第3回	平成11年3月10日	平成11年6月（予定）
CMOS0.35 μ m 第1回	平成11年1月22日	平成11年5月7日

【ライブラリ整備状況】

2.2節で述べたVDEC提供のCADソフトの中に、ライブラリ生成ツールが含まれており、これを利用して平成8年度から順次ライブラリー整備事

業を行ってきている。現状ではVDECにおける各プロセスの試作において使用可能なライブラリは表2.5に示す通りとなっている。

表2.5 プロセス毎のライブラリ整備状況

プロセス	名称	作成者	内容	状況
NEL0.5 μ m	P2lib	京都大学 田丸・小野寺研究室	<ul style="list-style-type: none"> • Synopsys用論理合成ライブラリ • VerilogXL用シミュレーションライブラリ • CellEnsamble用配置配線ライブラリ 	試作チップの動作検証完了
	http://www.vdec.u-tokyo.ac.jp/DesignLib/P2lib/NEL05/index.html			
EXDlib	九州大学 安浦研究室		<ul style="list-style-type: none"> • Synopsys用論理合成ライブラリ • VerilogXL用シミュレーションライブラリ • VHDL用シミュレーションライブラリ • AquariusXO(ApolloXO対応済み)用配置配線ライブラリ • CellEnsamble用配置配線ライブラリ 	動作検証中
			http://www.vdec.u-tokyo.ac.jp/DesignLib/Kyushu/NEL05/index.html	
MOT1.2 μ m	P2lib	京都大学 田丸・小野寺研究室	<ul style="list-style-type: none"> • Synopsys用論理合成ライブラリ • VerilogXL用シミュレーションライブラリ • CellEnsamble用配置配線ライブラリ 	試作チップの動作検証完了
	http://www.vdec.u-tokyo.ac.jp/DesignLib/P2lib/MOT15/index.html			
EXDlib	東京大学 VDEC		<ul style="list-style-type: none"> • Synopsys用論理合成ライブラリ • VerilogXL用シミュレーションライブラリ • AquariusXO(ApolloXO対応済み)用配置配線ライブラリ 	動作検証中
			http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/MOT15/rule.html	
ROHM0.6 μ m	EXDlib	豊橋技科大 田所・川人研究室	<ul style="list-style-type: none"> • CellEnsamble用配置配線ライブラリ 	東大版をCellEnsambleに移植
	http://www.vdec.u-tokyo.ac.jp/DesignLib/TUT/ROHM06/index.html			
	EXDlib	東京大学 VDEC	<ul style="list-style-type: none"> • Synopsys用論理合成ライブラリ • VerilogXL用シミュレーションライブラリ • AquariusXO(ApolloXO対応済み)用配置配線ライブラリ 	動作検証中
http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM06/rule.html				
バスポートライブラリ	-	-	<ul style="list-style-type: none"> • Synopsys用論理合成ライブラリ • VerilogXL用シミュレーションライブラリ • VHDL用シミュレーションライブラリ • ApolloXO用配置配線ライブラリ • RAM, ROMモジュール 	ロームから提供
CDROMにて配布				
日立0.35 μ m	EXDlib	東京大学 VDEC	<ul style="list-style-type: none"> • Synopsys用論理合成ライブラリ • VerilogXL用シミュレーションライブラリ • ApolloXO用配置配線ライブラリ 	動作検証中
	http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/HT35/rule.html			
日立ゲートアレイ	-	-	<ul style="list-style-type: none"> • Synopsys用論理合成ライブラリ • VerilogXL用シミュレーションライブラリ • ApolloGA用配置配線ライブラリ 	日立から提供のセルをApolloGAに移植
CDROMにて配布				

【新規プロセスのためのチップ試作テストラン】

平成11年度から予定している日立製作所のチップ試作サービス開始に先駆けて、平成10年度にセルライブラリの整備、設計手法の整備のためのテストランを実施した。テストランは表2.6に示す日程で行われた。本テストランの参加者および試作

内容は表2.7, 2.8に示すとおりである。なお、本テストランの試作内容に関しては第5章チップ試作結果報告も併せて参照されたい。なお本プロセスは平成11年度以降は短TATのゲートアレイに特化して実施することを予定している。

表2.6 日立製作所テストラン日程

日 時	内 容
平成10年6月24日	日立製作所デバイス開発センターにおいて試作の進め方についての打合せ
平成10年7月3日	設計規則受領・守秘契約取り交わし
平成10年7月15日	設計規則等の詳細打合せ
平成10年8月3日	チップサイズ、パッケージおよび試作の流れに関する打合せ
平成10年8月20日	ゲートアレイ等のセル情報受領
平成10年9月14日	設計関係の最終打合せマスク関係の打合せ
平成10年10月下旬	セルベース設計用上流ライブラリのユーザへの展示
平成10年11月26日	設計および、設計後のアクセサリ組み込みなどに関する打合せ
平成10年12月中旬	セルベース設計用配置配線ライブラリの開示
平成11年1月上旬	ライブラリのApolloXO対応
平成11年1月22日	設計締切
平成11年 1月22日～2月5日	東大でのIOデータのはめ込み、データの検証
平成11年 2月5日～2月22日	日立製作所におけるGDSデータの検証、東大でのデータ修正、マスク変換
平成11年 2月22日～4月下旬	マスク作成、チップ製造
平成11年5月上旬	チップ納品

表2.7 日立製作所テストラン参加者

参加大学名	参加教官名
<ul style="list-style-type: none"> ・東京大学 ・北海道大学 ・東北大学 ・東京工業大学 ・京都大学 ・神戸大学 ・広島市立大学 ・九州大学 ・早稲田大学 ・芝浦工業大学 	<ul style="list-style-type: none"> ・浅田 邦博 ・平本 俊郎 ・池田 誠 ・北島 秀一 ・宮永 喜一 ・亀山 充隆 ・樋口 徳雄 ・外岡 富士雄 ・國枝 博昭 ・小野寺 秀俊 ・弘中 哲夫 ・越智 裕之 ・安浦 寛人 ・村上 和彰 ・柳澤 政生 ・上田 和宏

表2.8 日立製作所テストラン試作内容および使用ツール一覧

試作内容	使用ツール
<ul style="list-style-type: none"> ・ApolloGAを用いたゲートレイ配線配線設計フロー評価用チップ ・パラメータ取得用デバイス評価TEG ・バストランジスタロジックを用いた基本ロジック回路、ULSIデバイスにおける低消費電力化を指向した降圧回路とその制御系回路 ・多値集積回路：電流モード多値回路と多値CAM ・Signed-Weight数系に基づくデジタル信号処理用FPGA ・容量パラメータ及びNQSモデルパラメータ抽出用TEG ・低消費電力乗算器の評価チップ ・Verilog-HDLを用いた構造化リカレントニューラルノードの設計 ・クラスタリングネットワークチップ ・高速ウェーブレット変換チップ ・暗号処理用プロセッサ (ISIT-DLX) ・マルチプロセッサ用のスケジューリング支援ハードウェアを搭載したプロセッサ ・データバスのレイアウトとプロセッサの消費電力の関係を調べるTEG ・乗算器、乗加算器およびALU搭載チップ試作 ・画像処理LSIのTEG試作 	<p>Virtuoso, Design Compiler, ApolloGA, ApolloXO, Verilog-XL, VSS, MaxPlusII, DraculaDRC, HSPICE</p>

【IP開発のためのチップ試作テストラン】

平成10年度は、前述の新規プロセスのためのテストランに加えて、大学における設計の効率化・設計再利用の促進を目指したIP / マクロセル開発のためのテストランを、ローム0.6 μ mプロセスを用いて行なった。参加者および試作内容は表2.9,

2.10の通りで、検証が終わり次第成果が公開されることを期待している。なお、本テストランの試作内容に関する第5章チップ試作者報告も併せて参照されたい。

表2.9 IP開発のためのテストラン参加者

参加大学名	参加教官名
<ul style="list-style-type: none"> ・東京大学 ・豊橋技術科学大学 ・京都大学 ・大阪大学 ・広島大学 ・九州大学 	<ul style="list-style-type: none"> ・浅田 邦博 ・池田 誠 ・川人 祥二 ・小野寺 秀俊 ・今井 正治 ・谷口 研二 ・岩田 穆 ・安浦 寛人 ・村上 和彰

表2.10 IP開発のためのテストラン試作内容一覧

試作内容
<ul style="list-style-type: none"> ・フォトディテクターアレイ ・終了予測型加算器TEG ・センスアンプを用いたCPL回路方式TEG ・クロック信号発生用PLL回路 ・浮動小数点演算器の設計 ・CMOS rail-to-rail オペアンプ ・周波数シンセサイザ(PLL) ・SRAMおよびPLL評価用TEGチップ ・逆離散コサイン変換回路 ・高速ウェーブレット変換チップ ・全差動型$\Delta\Sigma$AD変換器 ・オーバーサンプリングADC用くし型デジタルフィルタマクロ ・オーバーサンプリングADC用アナログセルおよび32b並列加算器

第3章 研究報告

3.1. 研究室構成員（平成10年度）

鳳・藤島研究室

鳳 紘一郎	教授	中島 祐介	学部4年（現在大学院浅田研究室）
藤島 実	助教授	藤田 隆史	学部4年（現在大学院鳳・藤島研究室）
北澤 清子	助手	増田 太郎	学部4年（現在大学院吉岡研究室）
韓 小逸	助手	出原 優一	学部4年（現在大学院濱田研究室）
辻田 達男	博士3年（現在ザイン）	村上 義則	受託研究員（日産）
天川 修平	博士2年（現在ケンブリッジ大学へ留学中）	宋 義男	研究員（現在韓国）
福岡 哲也	修士2年（現在日立製作所）		
大内 真一	修士2年（現在鳳研究室博士課程）		
相原祐一郎	修士1年		
木庭 優治	修士1年		
松浦 研	修士1年		
今村 晃	学部4年（現在大学院鳳研究室）		
中澤 仁章	学部4年（現在大学院小田研究室）		
林 勇樹	学部4年（現在通産省）		
平林 雅之	学部4年（現在大学院桜井研究室）		
大口 康弘	研究員（日立製作所）		

平本研究室

平本 俊郎	助教授
更屋 拓哉	技官
施 毅	外国人研究員
アマリア・ガルニエ	外国人研究員
トラン ゴック デュエト	博士3年（現在NTTドコモ）
石黒 仁揮	博士3年（現在東芝）
高宮 真	博士2年
犬飼 貴士	修士2年（現在平本研究室博士課程）
間島 秀明	修士2年（現在平本研究室博士課程）
高橋 信義	修士1年
小宇羅 寛	修士1年
安田 有里	修士1年（中央大学からの研究生）
永田 英次	学部4年（中央大学からの研究生）
王 海寧	研究生

浅田・池田研究室

浅田 邦博	教授
池田 誠	講師
鄭 若彤	助手
鈴木 真一	技官
青柳 稔	博士3年（平成10年10月卒業 現在日産）
伊藤 浩	博士3年（現在東京大学VDEC助手）
三堂 哲寿	博士3年（現在Avant!）
喬 健	博士2年
山下 高廣	博士2年
小松 聡	博士1年
瀬戸 謙修	修士2年（現在浅田研究室博士課程）
根塚 智裕	修士2年（現在浅田研究室博士課程）
青木 秀行	修士1年
星野 将史	修士1年



羽路研究室（横浜国立大学）

羽路 伸夫 助教授

ポンケオ・チャンタマリー 博士3年

新居 尚憲 修士2年（現在日立ソフトウェア）

西尾 正裕 修士2年（現在日立ソフトウェア）

荒川 太郎 助手（現在講師）

高林 俊介 修士1年

安藤 太郎 学部4年（現在大学院羽路研）

石橋 崇 学部4年

海野 直久 学部4年（現在大学院羽路研）

加藤紗和子 学部4年（現在日立ソフトウェア）

渡辺 充剛 学部4年

毛利 重信 学部4年

李 相國 研究生（ソウル市立大学大学院）

小谷研究室

小谷 光司 助教授

（東北大学工学部の大見研究室と共同で研究）

家田研究室

家田 信明 客員教授

（NTTエレクトロニクス株）

3.2. 研究概要

鳳・藤島研究室

1. 極限集積システムのハード・アーキテクチャ 鳳紘一郎, 藤島実, 韓小逸, 大口康弘, 平林雅之

集積回路の高密度化に伴い、システムレベルでの信頼性を確保することが重要な課題となる。我々はVLSIを、シリコンだけでなく配線、層間絶縁膜の複合材料から成る積層系としてとらえ、ハード面とシステムレベルの特性を一体とした検討を行っている。本年度は赤外線温度測定装置を用いて、我々が試作したCMOSリングオシレータを動作させた時の温度分布と時間変化の測定に着手した。また光によるクロック供給の実験を行い、クロック用受光回路が600MHzで動作可能であるとの見通しを得た。

2. ショットキー接合ソース・ドレインを用いたSOI MOSFET 鳳紘一郎, 藤島実, 福岡哲也, 松浦研, 中澤仁章

極限的な短チャネル化を目的としてソースとドレインにショットキー接合を用いたMOSFETの開発を行っている。ソース、ドレインをTiシリサイドによるショットキー接触として高抵抗p-SiのSOI基板上でNiゲートによるpチャネル形とCrゲートによるnチャネル形の動作を実現させ、同一基板上でウェルなどを要せずに、ゲート金属を使い分けただけでCMOSが構成できる見通しを得た。

3. カオス集積回路 鳳紘一郎, 藤島実, 北沢清子, 辻田達男, 相原祐一郎, 今村晃

前年度に引き続きCMOSカオスマルチバイブレータの試作と解析を行い、実測のローレンツプロットを回路の動作によって正確に説明できる理論式を得たほか、この素子を結合した場合の動作の検討に着手するとともにランダム信号源としての特性をも評価した。またパイプライン型ADコンバータを、各段ごとの反復次元写像(ベルヌーイシフト形)によって時系列カオスを発生する回路として捉え、カオスが持続する条件と写像関数のパラメータ、さらにAD変換精度との関係を検証して、カオス持続の成否によって判定しながら変換精度を向上させる回路調整法のアルゴリズムを提唱しその効果を実証した。

1. Hard Architecture for Ultimate VLSI K. Hoh, M. Fujishima, X.-Y. Han, Y. O'guchi, and M. Hirabayashi

Regarding VLSI as the multi-layered system with composite materials including interconnection and interlayer dielectrics, the approach with materials, hardware and system descriptions unified is of great importance. This year, spatial distribution and temporal changes of temperature was measured with the IR thermometer for the CMOS ring oscillator we have fabricated. Besides, the chip including light receiver circuit was designed for the optical distribution of clocks and its operation at 600MHz was experimentally observed.

2. SOI MOSFET with Schottky-Contact Source/Drain K. Hoh, M. Fujishima, T. Fukuoka, K. Matsuura, and N. Nakazawa

MOSFETs on SOI utilizing Schottky contacts at their source and drain were developed aiming the realization of ultimately short channel length. Ti silicide was used for source/drain and p-channel devices were fabricated with Ni gate while Cr gate realized n-channel. This promises the fabrication of CMOS by simply selecting gate metal on the same substrate without introducing well structure.

3. Integrated Chaos-Generating Circuits K. Hoh, M. Fujishima, S. Kitazawa, T. Tsujita, Y. Aihara, and A. Imamura

Among the chaos-generating circuits of compact structure we have developed, the operation of the CMOS chaos multivibrator (CMV) was analyzed in detail and the equation which accurately explained the experimental Lorenz plot was established. The characteristics of the random signal source using CMV was experimentally examined and the coupled operation of CMVs was also investigated. Besides, the chaos-generating nature of the pipelined AD converter was studied. The relationship between the sustainability of chaotic output, the shape of the return-map function and the conversion accuracy as an AD converter was clarified. Based upon this, the algorithm of adjustment of the pipelined AD converter for the maximum conversion accuracy was demonstrated which utilized the sustainability of the chaotic output as monitor.

4. マイクロヒューマンセンサー 藤島実, 鳳紘一郎, 木庭優治

健康の維持管理に用いるための、心拍・体温などの情報を長期間記録するマイクロセンサーの研究を行っている。小型バッテリーと半導体メモリーを用い長期間記録するためには、データの高压縮率だけでなく低消費電力が要求される。我々は、身体情報の中で急激に変化する情報が特に重要であることに着目し、重要度の低い小さな揺らぎの中から急激な変化点を抽出するアルゴリズム、Band Runlength (BRL) コーディングを考案した。BRLでは、平均値を算出するデータ数を2のべき乗に限定することにより、消費電力を増加させる乗算および除算の必要がない。0.6 μ m CMOS プロセスを用いて試作したチップでは、400kHzのクロック周波数においてわずか30 μ Wの消費電力を実現できる。

5. 単電子エレクトロニクスの応用 藤島実, 鳳紘一郎, 天川修平, 大内真一, 林勇樹

単電子トンネリングの応用に関してデバイスと回路の両面を考慮に入れつつ研究を行っている。本年度は単電子メモリについて、鏡像電荷の効果を考慮に入れたデバイスモデルの定式化を行い、またトンネル障壁のポテンシャル形状の動的変化を取り入れた計算法を確立して、従来提唱されているいくつかの回路の正しい動作を明らかにした。さらに単電子メモリのうちフラッシュ型ならびに直接トンネル型について動作の解析を厳密に行い、特に後者については読み書き時間と保持時間がチャンネル抵抗ならびに蓄積ドットへのトンネル抵抗で決定される様相の解析を行って、動作条件を明らかにした。

6. 集積回路による量子コンピューティングのエミュレーション 藤島実, 鳳紘一郎, 大内真一, 天川修平

量子状態の重ね合わせと干渉を利用して大規模な因数分解やファイル検索を多項式時間で実行できると期待されている量子コンピューティングを、工学上現実的なハードウェアで実現する道を探るために、フーリエ変換回路を用いて量子ビットを周波数スロットに割付け、周波数領域で状態の重ね合わせとユニタリ変換を実行するエミュレーション方式の検討を行っている。

4. Micro Human Sensor M. Fujishima, K. Hoh, and Y. Kuniwa

Micro sensors for long-term recording of the human information such as heart rate and body temperature are studied in order to monitor human health. Low power as well as high-compression are required for a long-term recorder using a small battery and a semiconductor memory. Since rapid and large change in the body information is more important than slow and small one, we have proposed a new algorithm, named Band Runlength (BRL) coding, which extracts large change from small fluctuations in the input signal. Neither multiplier nor divider consuming much power is necessary in BRL because the number of data to calculate section average is restricted to the power of two. The fabricated chip for BRL coding using 0.6 μ m CMOS process consumes only 30 μ W at 400kHz clock frequency.

5. Application of Single-Electron Devices and Circuits M. Fujishima, K. Hoh, S. Amakawa, S. O'uchi, and Y. Hayashi

A device model of the single-electron memory was formulated with the image-charge effect taken into account. The exact calculation was conducted incorporating the dynamical change of the tunnel barrier. This provided the correct description of the features of hitherto proposed circuits. Detailed analysis was made regarding to the effects of channel- and tunneling resistance on the read/write and retention times of the direct-tunneling memory.

6. Emulation of Quantum Computing by Using Integrated Circuits M. Fujishima, K. Hoh, S. O'uchi, and S. Amakawa

Quantum computing is a novel computation scheme that is expected to execute large volume computations such as factoring within a polynomial time by using the superposition of quantum states and their interference. To seek the way to realize this by using present-day VLSIs, an emulation engine was proposed which executed superposition of states and their unitary transformation by Fourier-transforming them into frequency domain.

浅田・池田研究室

1. SOI MOSFET及びGTBT パワーデバイスの検討

浅田邦博, 伊藤浩, 村上義則

SOI MOSFETのサブスレッショルド係数に着目し,膜厚及びキャリア濃度等のデバイスパラメータを同定する手法を検討した.

サブスレッショルド係数のバックゲート特性において,完全空乏型SOIデバイスに特有な谷状の特性を示すことを明らかにした.

断面TEM観察の結果,サンプル間の膜厚揺らぎを含め本手法による同定結果が妥当であることが確認された.フィッティング誤差解析による本手法の妥当性の検討も行った.

GTBT(Grounded-Trench-MOSassistedBipolar-modeFET)という新しいパワーデバイスを提案した.この素子はノーマリオフ型の新型高耐圧パワー素子で,オン抵抗の低さ,スイッチングの高速性という点でIGBTなど既存のデバイスを凌駕し,高温環境でもこの特性は劣化せず,安全動作領域も広い.GTBTは単位セルが複雑な立体構造をしており,各部分の寸法・距離が特性に大きく影響する事を解析的および,デバイスシミュレーションにより明らかにした.また,移動度など物理定数の結晶方位依存性も特性に影響を与えることを確認した.

2. VLSI 中の信号線・電源線の最適化

浅田邦博, 伊藤浩, 青柳稔, 三堂哲寿, 青木秀行, 中島祐介

多層配線における容量行列を直接抽出するテスト構造を提案した.本テスト構造では,各容量に流れ込む電流を直接測定することが可能であるため,誤差の要因となる測定値から容量値を導く演算を必要としない.測定と検証の結果,本手法はフェムトファラッドオーダーでの測定が可能であることが示された.

相互接続配線内の信号伝送における誘導要素の影響に関して,表皮効果を考慮した評価を行い,表皮効果が出現する高周波においては,自己インダクタンスが線路インピーダンスの支配要因になり,表皮効果はその2次の効果としての効果に留まることを明らかにした.

複数のトランジスタが同時に遷移することによる,電源電流の変動が,電源線の抵抗成分RIやインダクタンス成分L(di/dt)といった電源電圧変動をひき起こす.この変動により,論理エラーや信号伝搬遅延の増加といった問題が生じるため,設計の段階で電源電圧変動を抑制する必要がある.電源電圧変動を解析するにあたり,電源線で発生するノイ

1. Studies on SOI MOSFETs and GTBT Power Devices

K. Asada, H. Ito, and Y. Murakami

We have developed a method on extracting device parameters of Fully-Depleted SOI MOSFETs using sub-threshold slope factor versus back gate voltage characteristics. We explained the valley feature of the characteristics curves especially in FD-SOI MOSFETs.

The extracted parameters by our method has a good agreement with TEM observation result even when there are fluctuations of film thickness of SOI layer and buried oxide layer. We also discussed the accuracy of the fitting results which have very small fitting errors.

GTBT(Grounded-Trench-MOSassistedBipolar-mode FET) is a novel high-voltage power device which has a low on-state resistance and a high switching speed compared with other devices.

GTBT is a current-driven type like BJT, and has a high current gain.

We have found that the main effect comes from the complex 3D-geometry of GTBT cell by analyses and simulations. However, the experimental results are still two times higher than those from calculations. The rest major effect is supposed to come from the anisotropy of the carrier mobility or lifetime.

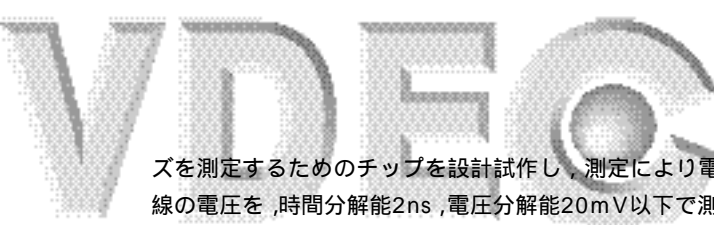
2. Interconnections and Power Supply Line Optimization in VLSI

K. Asada, H. Ito, M. Aoyagi, T. Mido, H. Aoki, and Y. Nakashima

We have been studying a test structure for direct extraction of component capacitance matrix for the multi-layer interconnections. With this new method, component capacitance can be directly obtained from the measurement data without any calculation which may cause the degradation of significant digits. As a result, we are able to measure components capacitance matrix with a precision of femto-farad order.

Moreover, we have evaluated the magnitude of inductive effects on propagation delay in VLSI system with taking skin effect into account. As a result, we conclude that in such a high frequency operation as skin effect appears, inductance will become the dominant factor of interconnection characteristic impedance while skin effect will play a secondary role in delay time characteristics.

Current changes in simultaneous switching transistors will cause voltage fluctuation noise in power supply line, which may destroy the logical information or may increase the signal delay.



ズを測定するためのチップを設計試作し、測定により電源線の電圧を、時間分解能2ns、電圧分解能20mV以下で測定できることを確認した。

3. パストラジスタを用いた回路方式の検討

浅田邦博, 山下高廣, 増田太郎, 宋義男

nMOSトランジスタをスイッチとして使うパストラジスタ回路は低消費電力と高速化の可能性が期待されている。パストラジスタ回路の信号電圧回復回路としてセンスアンプを用いた回路において、キャパシタを介してパストラジスタとセンスアンプを接続した回路を提案する。演算毎にパストラジスタ回路の各ノードをGndにディスチャージすることで低振幅を保ち、パストラジスタの V_{gs} 電圧を確保することでトランジスタの g_m の高い領域のみで動作させる。

一方、センスアンプは感度の高い $1/2 V_{dd}$ 付近にて動作させるため、キャパシタにて電位レベルを変換し信号電位のみ伝達させる。このキャパシタはセンスアンプが動作する際にパストラジスタの負荷を軽減する役割も果たす。このキャパシタにはトランジスタのゲート容量を用いた。

提案回路を用いた8bitパリティジェネレータ回路の試作を行い、測定結果から、従来のCMOS回路より約1.7倍速く動作することを示した。また、提案回路は電源電圧が低下した場合にも高速に動作することが分かった。

4. スマート画像センサの研究

浅田邦博, 根塚智裕, 星野将史, 藤田隆史

センサ面上に信号処理回路を集積したイメージセンサの研究を行っている。センサ面上に、画素並列もしくは、列並列に信号処理回路を配置することにより、高速な画像処理を実現する。このような、画像センサは「スマート画像センサ」と呼ばれている。

スマート画像センサの一つとして、動きベクトル検出2値画像センサを試作した。動きベクトルの検出は前のフレームの画像と現在のフレームの画像をブロックマッチングすることにより実現する。センサアレイ内に構成した2次元シフトレジスタにより画像のシフトを行い、画素並列に配置したXOR回路により画像の比較を行う。画像の差分がもっとも小さくなる位置を検索することにより動きベクトルを検出する。このセンサでは対象のサイズに合わせたブロックサイズ

We designed and fabricated the chip to measure the simultaneous switching noise on power supply line. We used voltage comparator circuit and measured the voltage of power supply line comparing with a reference voltage. Test of the chip shows that it could measure the voltage of power supply line with 2ns time resolution and less than 20mV voltage resolution.

3. Circuit technique with Path-T transistors

K. Asada, T. Yamashita, T. Masuda, and E.N. Song

We have been studying on extended CPL (Complementary Pass-transistor Logic) for low power and high speed logic. The advantage of CPL is known as a circuit with low hardware cost and small input capacitance due to the fact that PMOS is eliminated in the logic of the CPL.

However, CPL circuit also has disadvantages, such as a slow pull-up speed and a large power consumption at pull-up status. In this study, a method for reducing the delay time is proposed.

In CPL, we use transistors in series from Source to Drain. However, using long series transistors decreases the pull-up speed at the outputs. Thus, in case of the conventional CPL with CMOS inverters, number of the series transistors is limited by about four for high speed operation.

Conventional CPL adder has CMOS inverters as sense amplifiers at each stage. We have proposed a new circuit of sense amplifier for low power and high speed adder.

In this circuit, a sense amplifier is placed every several CPL adders in the adder chain in order to amplify signals with small swing, while it is placed in each adder in the conventional CPL adder chain. This sense amplifier has two CMOS inverters whose inputs are connected to the other's outputs, and the voltage of one node goes high when the other goes low.

4. Studies on Smart Image Sensors

K. Asada, T. Nezuaka, M. Hoshino, and T. Fujita

We have been studying on image sensors with processing elements.

Images are processed at high frame-rate with pixel-parallel or column-parallel processing image sensors, which are so called "smart sensors".

We developed a kind of image sensor for motion vector detection, which is realized by comparing the image of previous frame and current frame. The image of the previous frame is shifted by the 2-D shift register in sensor array and compared with the image of the current frame by XOR circuit in each pixel. The motion vector is determined by finding the location of shift with minimum difference. This sensor can vary the block-size and the search area of motion vector detection flexibly.

や、速度に合わせた動きベクトルの検索範囲を設定することが可能であり、高い柔軟性を持つのが特徴である。

三次元計測システムはコンピュータビジョン、ロボットビジョン、CG等の多くの分野での応用が考えられ、高速性と柔軟性を備えた三次元形状入力装置の開発が必要である。

本研究では、任意の矩形領域に対してブロックごとアクセスを行うことが可能なスマート画像センサを設計試作した。レーザースポットの高速ポジションディテクタとしてスマート画像センサを用いる。対象をレーザースキャナで走査し、対象に当たったレーザースポットの位置を連続的に特定し、センサとレーザースポットの位置関係から対象の三次元情報を取得する。スマート画像センサによりスポットの位置の特定を高速かつ高精度に行い、システムの高速化、高精度化を図る点がこのシステムの特徴である。

5. プロセッサシステムの高速化に関する検討

浅田邦博, 池田 誠, 鄭若彤, 小松聡, 出原優一

将来のシステムチップにおけるデータ転送のスループット向上を目指して、様々なデータ圧縮符号化手法について、データ圧縮率、回路規模、レイテンシなどの面から比較、検討を行い、システムチップに適したデータ圧縮手法の指針を示した。また、チップインタフェースを含むバスにおける消費電力削減方式として、従来から提案してきた適応型コード帳符号化方式について、一般的なバスに適合できるように符号化アルゴリズムに改良を行い、その際の消費電力削減についての検討を行った。

データ圧縮、画像認識等において重要である最小距離検出回路方式として、時間領域方式の検討を行い、汎用のCAMの試作を行った。

マイクロプロセッサやDSPなどの演算処理を中心とするハードウェアにおいて、システム全体の性能に影響を与える基本ユニットは加算器である。新たに提案した終了予測加算器では、キャリーの伝搬バスを中断せずに演算を実行し、加算動作が終了次第完了信号を出すため、入力データに依存する平均動作速度を実現できる。本加算方式は、高速クロックで駆動されるシフトレジスタを用い、加算操作と並列に、最大連続キャリー伝搬距離から演算終了時間を予測し、完了信号を出力する。本方式では、従来設計した終了検出加算器と比べより速くかつ正確に演算終了時間を計算でき、従来の同期式RCA、BCLAよりそれぞれ66%、20%の平均演算速度が向上することが分かった。

3-D scan systems can be applied in fields such as computer vision, robot vision, computer graphics and so on.

In these usage, high speed and flexibility are necessary.

In this study, we have designed a smart image sensor that can access desired portion in the image area flexibly. We use this smart image sensor as the position detector of the laser spot in 3-D scan system. The system scans an object using a laser beam and locates the laser spots on the surface of the object. The system obtains the 3-D information of the object using the relationship between the position of the laser device and the position of the laser spot in the image plane. The system accomplishes high speed and accuracy in 3-D measurement by locating the laser spots quickly and accurately.

5. Studies on High-Speed Processors

K. Asada, M. Ikeda, R. Zheng, S. Komatsu, and Y. Idehara

We have studied on various data compression encoding method of future system chips, in terms of improving throughput of data transfer. We have evaluated some encoding methods in terms of compression rate, design size and latency, and indicated the data compression method which is suitable for system chips. Furthermore, we improved the adaptive code-book encoding method, which is proposed for low power chip interface, so that this method was adapted for general bus. We also evaluated the power reduction with the improved encoding method. We have studied time-domain minimum distance detector, which can be applied to data compression and image recognition. We have implemented a general purpose CAM test chip using the minimum distance detector.

In data processing usage such as microprocessor and DSP, adder is the unit which can consequently influence the system performance. The novel completion prediction adder we designed take advantage of carry signals from the operands to calculate the operation time without interfering with the addition speed.

To implement this, a shift register driven by a high frequency clock is utilized to calculate the operation time from the maximum successive carry signal length. As a result, average case operation speed is achieved against the worst-case speed in conventional synchronous circuits. The adder, which is designed based on RCA and BCLA, gets a 66% and 20% average case speed improvement respectively.

6. FPGA 向け論理合成手法およびSPFDを用いた論理最適化手法の検討

浅田邦博, 鈴木真一, 喬健, 瀬戸謙修

論理合成中の関数分解は, 従来共有関数の抽出とテクノロジマッピングの二段階で行われている. FPGA向け論理合成では, これらの関数分解を同時に行うことで効率向上が可能となる. ここでは, 各出力関数の間での共有関数を最大に抽出するため, 多関数分解における 集合の選択, 多出力関数の分割, 及びグローバル 関数のエンコーディングの手法を検討している.

識別対集合 (SPFD) とは, 山下らによって新しく発見された論理回路変形における自由度の指標である. ここでは, 識別対集合による最適化手法を, マッピング後のスタンダードセルのネットリストに適用した. 与えられたブーリアンネットワークの各ゲートに対し, 識別対集合を適用して, そのファンインを除去, または他の配線と置き換えることによって, 回路の面積と遅延を改善することを試み, 山下らによるFPGAへの適用結果との比較を行うことで, スタンダードセルに対する識別対集合の最適化の効果に関する考察を行った.

6. Logic Synthesis for FPGA and Logic Optimization using SPFD

K. Asada, S. Suzuki, J. Qiao, and K. Seto

In logic synthesis for FPGAs, functional decomposition is an effective technique to make feasibility of given networks. Especially, multiple-output decomposition technique which combines the step of common sub-function extraction and the step of technology-mapping, is considered a promising approach to FPGAs-specific logics synthesis.

We are studying on the problems of set selection, multiple-output partition and global encoding for sharing more common sub-functions among the multiple outputs.

SPFDs (Set of Pairs of Functions to be Distinguished) is a newly found flexibility to change logic circuits by Yamashita et al. In this research, we investigated the effectiveness of optimization using SPFDs over circuits that are mapped to logic cells in standard cell libraries.

Given a boolean network, we take each gate in it and try to remove its fan-ins or to replace them with other gates using SPFDs for optimizing area or delay. In this research, we compared our result with that of FPGAs and considered the way of improving the result.

平本研究室

1. 0.5V動作超低消費電力MOSFET(しきい値制御デバイス) 高宮真, 小宇羅寛, 平本俊郎

VLSIには低消費電力化が強く要求されており, 15年後には電源電圧が0.5V以下に低下することが予測されている. 動作電圧0.5Vではしきい値電圧も低く設定が必要があり, スタンバイ消費電力と高速性を両立させることは極めて困難となる. 本研究では, 動作時とスタンバイ時でしきい値電圧を変化させることにより両者を両立させる方式について, デバイスサイドから研究を行っている. これまでに, ゲートとボディを接続したDynamic Threshold MOS (DTMOS)で 基板バイアス定数を極めて大きくできるElectrically Induced Body (EIB) DTMOS構造を提案した. SOI基板に電圧を印加することによりSOIバック界面に電荷を誘起しボディを形成する. 本デバイスの有用性を実験とシミュレーションにより実証した. この成果は, 1998年の国際電子デバイス会議 (IEDM)において発表を行った. 一方, ウェル電位を制御することによりしきい値電圧をコントロールするVariable Threshold MOS (VTMOS)について スタンバイ電流を抑えつつ最も性能を向上させるための基板バイアス定数とウェル電位の最適条件を検討している.

1. Extremely low power MOSFET operating at 0.5 V M. Takamiya, H. Koura, and T. Hiramoto

Low power operation is essential for VLSI devices. It is predicted that the operation voltage will be reduced down to 0.5 V in 15 years. In 0.5 V operation, the threshold voltage should be very low and it will be very hard to attain both high speed and low stand-by current. In this study, we investigate the optimal device parameters for the variable threshold voltage schemes. We have proposed electrically induced body (EIB) dynamic threshold MOSFET (DTMOS) where the body effect factor is extremely high. The large voltage is applied to the SOI substrate to induce carriers and the body region is formed in the back interface. High performance operation has been demonstrated by experiments and simulation. This idea was presented in 1998 International Electron Devices Meeting (IEDM). The optimal device conditions are also investigated for variable threshold voltage MOS (VTMOS) where the threshold voltage is controlled by well potential.

2. 不純物の統計的ゆらぎ

安田有里, 高宮真, 平本俊郎

デバイスの微細化に伴い, チャネル空乏層中の不純物数が減少するため, 統計的な不純物数の揺らぎによりデバイスのしきい値電圧ばらつきが増大することが予測されている. また, デバイス中の不純物数が同じでも実際には不純物の分布は一樣ではなく, 不純物が存在する位置によってもしきい値電圧はばらついてしまう. 本研究では, SOI MOSFETについてシミュレーションを行い, しきい値電圧ばらつきにおける不純物の数と位置の効果を分離することにより, 不純物の位置の効果が微細化とともにどのように増大するかについて検討した. その結果, デバイスが適正にスケールされた場合には, 不純物位置のばらつきによるしきい値電圧ばらつきの絶対値は増大するものの, 不純物数の効果に対する割合は一定に抑えられることが明らかとなった. また, 不純物位置の効果は, 短チャネルMOSFETのチャージシェア係数で決定されることを明らかにした.

3. 極微細MOSFETの物理

更屋拓哉, トラン ゴック デュエト, 平本俊郎

部分空乏型SOI MOSFETの最大の課題は基板浮遊効果である. 基板浮遊効果の代表例であるパスゲートリークにつき, 過渡電流のゲート電圧依存性を測定することによりそのリーク機構を検討し, パイポーラ電流よりサブスレッショルド電流の方が支配的であることを初めて明らかにした. 一方, チャージポンピング法を用いることにより, これまで困難であったSOI構造の酸化膜界面を正確に評価する新手法を開発した. パルスバイアス電圧をボディに印加し形状効果を抑制する. この方法により, SOI界面準位のエネルギー分布および空間分布も測定可能であることを実験により実証した.

4. ゲート酸化膜厚のスケールング限界

犬飼貴士, 平本俊郎

MOSFETのゲート酸化膜厚は性能向上のため薄膜化が進んでいるが, ゲート酸化膜厚が3nmを切るとゲートトンネル電流が発生しスタンバイ電流が増大してしまう. そのため, ゲート酸化膜厚のスケールング限界は1.5 - 2.0 nm程度とされている. 本研究では, 極薄膜ゲート酸化膜の利点を最大限に生かすため, 回路によりゲートトンネルスタンバイ電流を抑制する方式を提案し, ゲートトンネル電流によるスタンバイ電力が必ずしもゲート酸化膜厚のスケールングリミットを決定しないことを示した.

2. Statistical impurity fluctuations

Y. Yasuda, M. Takamiya, and T. Hiramoto

As the device size is scaled down, the number of impurity atoms in channel depletion layer is reduced and the impurity number fluctuations are enhanced, thus enhancing the threshold voltage fluctuations. Even when the channel impurity number is the same, threshold voltage will be fluctuated by the random impurity position distribution. In this study, the effects of the number fluctuations and position distribution are separated in the simulation, and the influence of position distribution has been investigated. It is found that the threshold voltage fluctuations by the position distribution will be larger but the contribution ratio by the position will remain constant when the device is properly scaled. It is also found that the effect of the impurity position distribution is well explained by the charge share model.

3. Physics of scaled MOSFET

T. Saraya, T. N. Duyet, and T. Hiramoto

One of the most serious problems in partially depleted SOI MOSFETs is the floating body effect. We have investigated the mechanisms of dynamic pass leakage current. It is found that the dominant current is subthreshold current rather than bipolar current by measuring the gate voltage dependence of pass leakage. On the other hand, we have developed a new charge pumping technique to measure the interface state density of SOI MOSFETs. The pulse voltage is applied to the body to suppress the geometric component. The energy distribution and spatial distribution are successfully measured by this technique.

4. Scaling limit of gate oxide thickness

T. Inukai and T. Hiramoto

The thickness of the gate oxide in MOSFETs is becoming thinner for higher performance. However, the stand-by power consumption by the gate tunnel leakage current will become dominant when the gate oxide is thinner than 3 nm. Therefore, it is considered that the scaling limit of gate oxide is about 1.5 - 2.0 nm. In this study, we have proposed a new circuit where the gate tunnel stand-by current can be suppressed and showed that the scaling of gate oxide is not limited by the stand-by power.

5. 極微細MOSFETにおける量子効果

間島秀明, 平本俊郎

高濃度にドーブされたMOSFETや極薄膜SOI MOSFETでは, キャリアの面内閉じこめにより量子効果が起こり, しい値電圧が上昇することが知られている. 本研究では, 極狭チャネルMOSFETにおいては, キャリアが面内のみでなく横方向にも閉じこめられ, さらに強い量子効果が起こることを実験とシミュレーションにより実証した. 実験では, チャネル長が20nm以下の極狭チャネルMOSFETを試作し, チャネル長が10nmを切る領域で, しい値電圧が急激に上昇することを確認した. また, シミュレーションにより狭チャネルMOSFETの電子状態を計算し, しい値電圧の上昇が量子効果によるものであることを明らかにした.

6. シリコン単電子デバイスの物理

石黒仁揮, 高橋信義, 平本俊郎

将来のVLSIデバイスへの応用を考慮して, Siにおいて極微細構造を作製し, 単一電子現象の物理の探究を行っている. 単一電子現象は, 化合物半導体や金属においてよく研究されているが, 我々は当初からシリコンを材料に用いVLSIへの整合性を考慮したアプローチをとってきた. 現在ではシリコンナノデバイスは広く研究されるようになったが, 我々の研究はその先駆的な研究のひとつに数えられる. まず, リソグラフィに依らず微細なSi細線構造(線幅10nm以下)を作製するプロセスを開発した. SOI基板に異方性エッチングと選択酸化を施すことにより, SOI膜厚に応じた線幅の細線構造が作製される. この構造をチャネルとする極微細MOSFETを試作し, 室温においてクーロンブロッケード振動の観測に成功している. また, 高温で動作するシリコン単電子デバイスではシリコンドットにおける量子効果が重要な役割を果たすことを明らかにし, 量子効果による特性のばらつきを補償する新しい単電子デバイス構造を提案した. これらの成果は1998年の国際電子デバイス会議(IEDM)において発表を行った. シリコン極微細構造においてシリコンドットが自然に形成される機構についても検討を行った.

7. シリコン量子ドットのデバイス応用

施 毅, 永田英次, 平本俊郎

シリコン微結晶をフローティングゲートとする単一電子メモリを試作し, 室温において明瞭なメモリ動作(ヒステリシス特性)を観測した. 6桁以上のオン/オフ比が得られ, 保持時間は数時間以上である. シリコン微結晶中の界面準位や格子欠陥により保持時間が極めて長くなっていることを世界で初めて明らかにした. また, シリコンドットのランダムな配置により, メモリのチャネル幅が短くなるに従い, メモリの特性ばらつきが増大することを明らかにした.

5. Quantum mechanical effects in very narrow MOSFETs

H. Majima and T. Hiramoto

It is well known that the threshold voltage increases in highly doped MOSFETs or very thin SOI MOSFETs by quantum confinement effects. In this study, we have demonstrated by experiments and simulation that the carriers are confined not only vertically but also horizontally and stronger quantum confinement is attained in very narrow channel MOSFETs. In the experiments, nano-size MOSFETs with width narrower than 20 nm are fabricated and threshold voltage increase is clearly observed when the width is less than 10 nm. The numerical calculation of energy states in narrow channel is also performed and it is verified that the observed threshold voltage increase is due to the quantum confinement effects.

6. Physics of silicon single electron devices

H. Ishikuro, N. Takahashi, and T. Hiramoto

Fabrication and physics of silicon single electron devices have been extensively studied for the future VLSI device applications. Although the single electron devices were studied in metals and III-V semiconductors, we adopt silicon as a material to consider the compatibility with the VLSI process. Our research work is recognized as one of the pioneering works in this field. A new fabrication process has been developed to fabricate silicon nanostructures smaller than the lithography resolution. The size is determined by the SOI thickness by anisotropic etching. MOSFETs fabricated using this technique show the Coulomb blockade oscillations at room temperature. We also clarified that the quantum mechanical effects in dots play an important role in transport of single electron transistors operating at room temperature. We have proposed a new single electron structures where the characteristic fluctuations due to the quantum effects are compensated. These results were presented in 1998 International Electron Devices Meeting (IEDM). The formation mechanisms of silicon dots in nano-size MOSFETs are also discussed.

7. Applications of silicon quantum dots

Y. Shi, E. Nagata, and T. Hiramoto

Single electron MOS memories with silicon floating nano-crystals gates are fabricated and the memory effect is demonstrated at room temperature. The on/off ratio is more than million and the retention time is longer than several hours. It is clarified for the first time that the interface states and defects in silicon nano-dots makes the retention time longer than expected. It is also found that the characteristic fluctuations become larger as the channel width becomes narrower.

羽路研究室

1. 液相堆積(LPD)法によるSiO₂薄膜

羽路伸夫, 荒川太郎, ポーンケオ・チャンタマリー, 毛利重信

液相堆積法(LPD)は飽和珪フッ化水素酸水溶液において, 40 程度に加熱するか, 水で希釈することにより化学平衡をずらせて, 浸漬した基板の上にシリコン酸化薄膜を堆積する方法であり, 低温(室温)プロセスであることが最大の長である. 堆積時の水溶液濃度を变化させることにより, フッ素含有量や誘電率は変化し, 特に誘電率は~3程度にまで小さくすることができた. また, クロム配線上をLPDシリコン酸化膜を用いて平坦化できることも示した. これらにより, VLSI配線の層間絶縁膜として有効であることを明らかにした.

2. 極薄シリコン酸化膜の評価

羽路伸夫, 荒川太郎, 西尾正裕, 安藤太郎, 加藤紗和子

極薄シリコン酸化膜(膜厚3.5, 8nm)のSi MOSダイオードにDC定電圧および定電流ストレスを印加し, 絶縁破壊やストレス誘起リーク電流SILC等について評価・検討を行った. 絶縁破壊電荷Q_{bd}はストレス電流や膜厚に依存せずほぼ一定であること, 3.5nmの膜厚の試料ではばらつきが大きいことが明らかになった. 極薄膜ではQ_{bd}より小さなストレス電荷でもリーク特性が不安定となり, フラッシュメモリ等のデバイスに悪影響を及ぼす. また, 界面準位密度はストレス電荷量により決まるが, 絶縁破壊との関係は明らかにはならなかった.

3. 高誘電率薄膜(プラズマ励起PLD法)

羽路伸夫, 荒川太郎, 新居尚憲, 高林俊介, 石橋崇, 海野直久, 渡辺充剛, 李相國

パルスレーザ蒸着法(PLD)および酸素プラズマを用いたプラズマ励起PLD法(PAPLD)により, 高誘電率材料であるBaSrTiO₃の堆積を行い, 評価した. 基板はNbドーピングSTO, およびPt/Ti/SiO₂/Siである. PAPLD法ではPLD法に対し, dropletの消滅, 酸素欠損の抑制等により, AFMによる表面モフォロジーやリーク特性ははるかに優れているが, X線回折による結晶性は悪く, このため, 比誘電率はSTO基板上でそれぞれ~200, 300程度である. 堆積条件の最適化が必要である.

また, 簡単なシミュレーションにより, 高誘電率薄膜をゲート絶縁膜とした短チャネルMOSFET特性を計算し, この結果, 比誘電率50~100程度が適当と考えられる.

1. Liquid Phase Deposited Silicon-Dioxide Films

N. Haneji, T. Arakawa, P. Chantamary, and S. Mouri

Liquid Phase Deposition(LPD) is a method to deposit silicon-dioxide films onto Si substrates through shifting the chemical equilibrium of H₂SiF₆O₄ solution by either heating up to 40 or adding water. Liquid Phase Deposition is low (room) temperature process compared to LPCVD. By changing the concentration of the H₂SiF₆O₄ solution, the amount of F atoms contained in the films and the dielectric constants of the films were changed. The dielectric constant reduced to 3. The LPD films can be deposited on Si, SiO₂ and Cr metal wire, and this technique is promising for the interlayer insulating films in VLSI.

2. Evaluation of Ultra Thin Silicon-Dioxide Films

N. Haneji, T. Arakawa, M. Nishio, T. Andou, and S. Katoh

The dielectric breakdown and the stress induced leak current (SILC) were studied by applying DC constant voltage and constant current stress to the Si MOS diode (the thickness of silicon dioxide films were 3.5, 8nm). The charge to breakdown Q_{bd} was not dependent to the stress current and the thickness of the films, but was varied for the 3 and 5 nm samples. For the ultra thin films, leak characteristics became unstable under the stress charge smaller than Q_{bd}, and this affects the device characteristics such as flash memory. The density of the interface states were decided by the stress charge, but the relation to the breakdown mechanism was not clear so far.

3. High K Thin Films (Plasma Assisted PLD)

N. Haneji, T. Arakawa, N. Arai, S. Takabayashi, T. Ishibashi, N. Unno, M. Watanabe, and S.K. Lee

High dielectric constant BaSrTiO₃ thin films were deposited using pulse laser deposition(PLD) and plasma assisted PLD (PAPLD) in oxygen plasma. The substrates were Nb doped STO and Pt/Ti/SiO₂/Si. For the samples prepared by PAPLD, the surface morphology and the leak characteristics were superior to the samples prepared by PLD, but the crystallinity was not so good. The electric constant was about 200 and 300, respectively. The optimization of the deposition condition is required.

The characteristics of short channel MOSFET using high dielectric constant material as the gate insulator were recalculated, and the dielectric constant of 50~100 was desirable.

1. 極低消費電力A/Dコンバータの研究

小谷光司, 大見忠弘

極低消費電力A/Dコンバータの研究を行っている。電荷転送増幅器とダイナミックラッチからなる電圧比較器を開発した。定常電流を流さない完全ダイナミックモードで動作するため、極めて低消費電力化が実現できた。さらに、電荷転送増幅器の低ゲインと低速度動作特性を改善するため、正帰還回路を付加した新しい正帰還電荷転送増幅回路を開発し、高精度、低消費電力電圧比較器を実現した。試作した完全差動型正帰還電荷転送電圧比較器回路は、比較器当たり12 μ W/MS/sの消費電力を示した。

2. 瞬時応答を可能にするビットフロー型データフローパスミニマムプロセッサ

小谷光司, 今井誠, 野沢俊之, 藤林正典, 大見忠弘

「柔軟な解釈」、「大枠の判断」、「直感による類推」といったしなやかな情報処理を得意とし、瞬時応答性を持った知的電子システムを実現する事が21世紀へ向けての最大の課題である。この目的のため、基本素子であるトランジスタの機能を飛躍的に向上させる四端子デバイス技術を確立した。四端子デバイスであるニューロンMOSトランジスタを用いることにより、論理演算機能を制御信号により瞬時に切り換えることが可能なFlexwareを実現した。さらに、現在のフォン・ノイマン型計算機のボトルネックを根本的に解消するデータフローパスミニマムアーキテクチャ、さらにそれを発展させ、「大枠の判断」をデジタルコンピュータの世界で実現するMSD先行ビットフローアーキテクチャを実現した。冗長数系を用いることにより、通常では下位からの演算である算術演算と、上位からの演算である比較演算が、共に上位からのビットフローにより実現できる。結果は上位のビットから出力されるので、判断が付いた時点で、下位の演算をストップすることが可能で、無駄な演算を省略することができる。まさに「大枠の判断」が可能となるのである。

1. Low Power, High Accuracy A/D Converter

K. Kotani and T. Ohmi

We have studied low power A/D converter. A very low-power voltage comparator circuitry, which consists of a charge transfer preamplifier and a dynamic latch circuit, has been developed. It operates in purely dynamic mode, resulting in very low power consumption. In addition, in order to solve the problem of small gain and slow operation of charge transfer amplifier, we have newly introduced a positive feedback mechanism, resulting in the realization of a high-accuracy and low-power comparator. Fabricated test circuit of fully differential positive-feedback charge-transfer comparator exhibits very low power operation capability of 12 μ W per MS/s per comparator.

2. Data Flow Path Minimum Processor for Real-Time Response Capability

K. Kotani, M. Imai, T. Nozawa, M. Fujibayashi, and T. Ohmi

The most important issue, as we head toward the 21st century, is the development of a real-time responsive intelligent electronic system featuring human-like capabilities such as "flexible interpretation", "overall judgment" and "intuitive problem solving". For this purpose, a four terminal device technology which greatly enhances the functionality of the basic circuit element - the transistor - has been developed. A new form of hardware, which we named "Flexware" because of the ability to alter its logic function in real-time through the application of external control signals, has been developed based on four terminal device technology employing the neuron-MOS transistor. A new "Most-Significant-Digit-First Bit-Flow Architecture" which enables the performance of "overall judgment" in the digital computer world has been realized in conjunction with "Data-Flow-Path Minimum Architecture" which solves the bus bottleneck problem faced by present Von Neumann computers. Conventionally, arithmetic operations are computed beginning from the Least-Significant-Digit (LSD) while comparison operations are carried out from the MSD. Using redundant number systems, it is possible to perform both operations using the "MSD-First Bit-Flow Architecture". In this architecture, computation results are obtained MSD-first and further computation is immediately terminated once the judgment is delivered. Hence, no unnecessary computation of the lower bits is ensured. This bears a strong resemblance to "overall judgment". It is our objective to develop an intelligent electronic system through the extension of these original technologies.

3.3. 発表論文

1. 研究論文

- (1) 大見 忠弘, 今井 誠, 小谷 光司,
「知能集積回路 - 瞬時応答を可能にするビットフロー型データフローパスミニマムプロセッサ - 」,
電子情報通信学会論文誌C-I, Vol.J81-C-I, No. 4, pp. 179 - 186, 1998年4月.
- (2) K. Kotani, T. Shibata, M. Imai, and T. Ohmi,
"Clock-Controlled Neuron-MOS Logic Gates,"
IEEE Transactions on Circuits and Systems-II, Vol. 45, No. 4, pp. 518 - 522, April, 1998.
- (3) 平本俊郎,
「微細MOSトランジスタの動作原理」,
応用物理, Vol. 67, No. 5, pp. 571 - 575, 1998年5月.
- (4) K. Kotani, T. Shibata, and T. Ohmi,
"CMOS Charge-Transfer Preamplifier for Offset-Fluctuation Cancellation in Low-Power A/D Converters,"
IEEE Journal of Solid-State Circuits, Vol. 33, No. 5, pp. 762 - 769, May, 1998.
- (5) 関根慶太郎, 中井貞雄, 西村敏博, 下位紘一, 西村和夫, 浅田邦博,
「電子・情報・システム分野における歩み」,
電気学会誌, 110周年記念特集 電気電子技術10年の歩み, Vol.118, No.6, pp.348-354, 1998年6月.
- (6) T. Irita, T. Tsujita, M. Fujishima, and K. Hoh,
"A Simple Chaos-Generator for Neuron Element Utilizing Capacitance-npn-Transistor Pair",
Journal of Computers & Electrical Engineering, Vol. 24, pp.43-61, June, 1998.
- (7) Hiroki Ishikuro and Toshiro Hiramoto,
"Hopping Transport in Multiple-Dot Silicon Single Electron MOSFET",
Solid State Electronics, Vol. 42, No. 7-8, pp. 1425 - 1428, July-August, 1998.
- (8) Toshikazu Mukaiyama, Ken-ichi Saito, Hiroki Ishikuro, Makoto Takamiya, Takuya Saraya, and Toshiro Hiramoto,
"Fabrication of Gate-All Around MOSFET by Silicon Anisotropic Etching Technique",
Solid State Electronics, Vol. 42, No. 7-8, pp. 1623 - 1626, July-August, 1998.
- (9) T. N. Duyet, H. Ishikuro, M. Takamiya, T. Saraya, and T. Hiramoto,
"Suppression of Geometric Component of Charge Pumping Current in Thin Film SOI MOSFET",
Japanese Journal of Applied Physics, Part 2, Vol. 37, No. 7B, pp. L855 - L858, July, 1998.
- (10) Y. Shi, K. Saito, H. Ishikuro, and T. Hiramoto,
"Effects of trap on charge storage characteristics in metal-oxide-semiconductor memory structures based on silicon nanocrystals",
Journal of Applied Physics, Vol. 84, No. 4, pp. 2358 - 2360, August, 1998.
- (11) M. Song and K. Asada,
"Design of Low Power Digital VLSI Circuits Based on a Novel Pass-transistor Logic",
IEICE Trans. Electronics, Vol. E81-C, No. 11, pp. 1740 - 1749, November, 1998.
- (12) M. Sugahara, H.F. Lu, H.Q. Yin, Y. Kumagai, M. Miyata, H. Kaneda, N. Haneji, and N. Yoshikawa,
"Anomalous Hysteretic Dielectric Polarization in c-Axis-Oriented La₂-xSrxCuO₄ Film"
Advances in Superconductivity (K. Osamura, I. Hirabayashi eds. Springer, Tokyo, 1998), Vol. 1, pp. 115 - 118.
- (13) Toshiro Hiramoto and Hiroki Ishikuro,
"Quantum Energy and Charging Energy in Point Contact MOSFETs acting as Single Electron Transistors",
Superlattices and Microstructures, Vol. 24, No. 1/2, pp. 263 - 267, 1999.
- (14) S. Amakawa, K. Kanda, M. Fujishima, and K. Hoh,
"A Simple Model of a Single-Electron Floating Dot Memory for Circuit Simulation",
Japanese Journal of Applied Physics, Vol. 38, Part 1, No. 1B, pp. 429 - 432, January, 1999.
- (15) Hiroki Ishikuro and Toshiro Hiramoto,
"Fabrication of Nano-Scale Point Contact Metal-Oxide-Semiconductor Field-Effect Transistors Using Micrometer-Scale Design Rule",
Japanese Journal of Applied Physics, Vol. 38, Part 1, No. 1B, pp. 396 - 398, January, 1999.
- (16) Yi Shi, Kenichi Saito, Hiroki Ishikuro, and Toshiro Hiramoto,
"Effects of Interface Traps on Charge Retention Characteristics in Silicon-Quantum-Dot-Based Metal-Oxide-Semiconductor Diodes",
Japanese Journal of Applied Physics, Vol. 38, Part 1, No. 1B, pp. 425 - 428, January, 1999.
- (17) Hiroki Ishikuro and Toshiro Hiramoto,
"On the origin of tunneling barriers in silicon single electron and single hole transistors",
Applied Physics Letter, Vol. 74, No. 8, pp. 1126 - 1128, February, 1999.

- (18) M. Sugahara, S. Mitani, H.F. Lu, Y. Kumagai, H. Kaneda, N. Haneji, and N. Yoshikawa,
 "Theory and Experimental Evidence for Pair FQHE State Caused by Zero-Point Harmonic Oscillation in Block-Layer Potential",
 Symmetry and Pairing in Superconductors (M. Ausloos, S. Kruchinin eds., Kluwer, Netherlands, 1999), pp. 395 - 403.
- (19) H.Q. Yin, Y. Ueda, T. Arakawa, H. Kaneda, N. Yoshikawa, N. Haneji, and M. Sugahara,
 "Plasma Activated Pulsed Laser Deposition for Synthesis of Particle-Free $\text{La}_{2-x}\text{Sr}_x\text{CuO}_4$ Films",
 Thin Solid Films, Vol. 338, pp. 20 - 23, 1999.

2 . 国際会議

- (1) T. Tsujita, T. Irita, M. Fujishima, and K. Hoh,
 "Self-Oscillating Chaos Generator Using CMOS Multivibrator",
 Proceedings of 2nd International Conference on Knowledge-Based Intelligent Electronic Systems, Adelaide, pp. 213 - 217, April, 1998.
- (2) K. Hoh, T. Irita, T. Tsujita, and M. Fujishima,
 "Generation of Chaos with Simple Sets of Semiconductor Devices",
 Proceedings of 2nd International Conference on Knowledge-Based Intelligent Electronic Systems, Adelaide, pp. 250 - 259, April, 1998.
- (3) K. Asada,
 "Microelectronics education in Japan",
 Microelectronics Education 1998, The Hague, The Netherlands, pp. 195 - 198, May, 1998.
- (4) S. O'uchi, S. Amakawa, M. Fujishima, and K. Hoh,
 "Simulation of a Single-Electron Flash Memory",
 Collected Abstracts of 1998 International Symposium on Formation, Physics and Device Application of Quantum Dot Structures (QDS'98), Hokkaido University Conference Hall, Sapporo, pp. 78 - 79, June, 1998.
- (5) S. Amakawa, K. Kanda, M. Fujishima, and K. Hoh,
 "A Simple Model of a Single-Electron Floating Dot Memory for Circuit Simulation",
 Collected Abstracts of 1998 International Symposium on Formation, Physics and Device Application of Quantum Dot Structures (QDS'98), Hokkaido University Conference Hall, Sapporo, pp. 80 - 81, June, 1998.
- (6) Yi Shi, Kenichi Saito, Hiroki Ishikuro, and Toshiro Hiramoto,
 "Effects of Interface Traps on Charge Retention Characteristics in Silicon-Quantum-Dot-Based MOS Diodes",
 1998 International Symposium on Formation, Physics and Device Application of Quantum Dot Structures (QDS'98), Hokkaido University Conference Hall, Sapporo, pp. 6 - 7, June, 1998.
- (7) Hiroki Ishikuro and Toshiro Hiramoto,
 "Fabrication of Nano-Scale Point Contact MOSFETs Using Micrometer-Scale Design Rule",
 1998 International Symposium on Formation, Physics and Device Application of Quantum Dot Structures (QDS'98), Hokkaido University Conference Hall, Sapporo, Hokkaido, pp. 76 - 77, June, 1998.
- (8) Kenichi Saito, Yi Shi, Hiroki Ishikuro, and Toshiro Hiramoto,
 "Narrow Channel MOS Memory Based on Silicon Nano-Crystals",
 1998 IEEE Silicon Nanoelectronics Workshop, Hilton Hawaiian Village, Hawaii, USA, pp. 17 - 18, June, 1998.
- (9) Toshiro Hiramoto,
 "Quantum mechanical effects in 10 nm point-contact MOSFETs",
 Second Sweden-Japan QNANO Workshop, Saro, Sweden, June, 1998.
- (10) Toshiro Hiramoto,
 "Characteristics of decanano-scale MOSFETs",
 FED-PDI Joint Conference on 21st Century Electron Devices, Magnus-Haus Berlin, Berlin, Germany, June, 1998.
- (11) Yuri Yasuda, Makoto Takamiya, and Toshiro Hiramoto,
 "Scaling of Delta-Doped Channel MOSFET with Suppressed Statistical V_{th} Fluctuations",
 1998 International Workshop on Advanced LSIs-Scaled Device/Process and High Performance Circuits --, Hokkaido University, Sapporo, pp. 13 - 18, July, 1998.
- (12) Toshiro Hiramoto and Hiroki Ishikuro,
 "Quantum Energy and Charging Energy in Point Contact MOSFETs acting as Single Electron Transistors",
 Eleventh International Conference on Superlattices, Microstructures, and Microdevices, Hurgada, Egypt, July, 1998.
- (13) Hiroki Ishikuro and Toshiro Hiramoto,
 "The Origin of Tunnel Barrier in Silicon Single Electron Transistor",
 International Conference on Physics of Semiconductors, Mo-P140, Jerusalem, Israel, August, 1998.
- (14) S. Amakawa, M. Fujishima, and K. Hoh,
 "Single-Electron Tunneling through an Asymmetric Tunnel Barrier",
 Extended Abstracts of 6th International Workshop on Computational Electronics, Osaka, pp. 137 - 140, 1998.

- (15) T. Tsujita, Y. Aihara, M. Fujishima, and K. Hoh,
"Design and Experiment of a Multivibrator-Based Simple CMOS Chaos Generator"
Proceedings of 1998 International Symposium on Non-linear Theory and Its Applications (NOLTA 98), Crans-Montana, Vol. 3, pp. 951 - 954, September, 1998.
- (16) M. Ikeda and K. Asada,
"Time-Domain Minimum-Distance Detector and Its Application to Low Power Coding Scheme on Chip Interface",
24th European Solid State Circuit Conference, The Hague, The Netherlands, pp. 464 - 467, September, 1998.
- (17) Tran Ngoc Duyet, Hiroki Ishikuro, Yi Shi, Takuya Saraya, Makoto Takamiya, and Toshiro Hiramoto,
"Measurement of Energetic and Lateral Distribution of Interface State Density in FD SOI MOSFETs",
1998 International Conference on Solid State Devices and Materials (SSDM'98), International Conference Center Hiroshima, Hiroshima, Japan, pp. 322 - 323, September, 1998.
- (18) Makoto Takamiya, Takuya Saraya, Tran Ngoc Duyet, Yuri Yasuda, and Toshiro Hiramoto,
"High Performance Accumulated Back-Interface Dynamic Threshold SOI MOSFET's (AB-DTMOS) with Large Body Effect at Low Supply Voltage",
1998 International Conference on Solid State Devices and Materials (SSDM'98), International Conference Center Hiroshima, Hiroshima, Japan, pp. 312 - 313, September, 1998.
- (19) Yi Shi, Kenichi Saito, Hiroki Ishikuro, and Toshiro Hiramoto,
"Characteristics of Narrow Channel MOSFET Memory Based on Silicon Nanocrystals",
1998 International Conference on Solid State Devices and Materials (SSDM'98), International Conference Center Hiroshima, Hiroshima, Japan, pp. 172 - 173, September, 1998.
- (20) Tran Ngoc Duyet, Hiroki Ishikuro, Makoto Takamiya, Takuya Saraya, and Toshiro Hiramoto,
"Effects of Body Reverse Pulse Bias on Geometric Component of Charge Pumping Current in FD SOI MOSFETs",
1998 IEEE International SOI Conference, Stuart, Florida, USA, pp. 79 - 80, October, 1998.
- (21) K. Hoh, T. Tsujita, T. Irita, Y. Aihara, and M. Fujishima,
"Semiconductor Chaos-Generating Elements of Simple Structure and Their Coupled Operation",
Proceedings of 5th International Conference on Soft Computing and Information/Intelligent Systems, Iizuka, Vol. 1, pp. 126 - 130, October, 1998.
- (22) H. Ito and K. Asada,
"Non-destructive Extraction of Structural Parameters of Fully-depleted SOI MOSFETs using Subthreshold Slope Characteristics",
1998 Conference on Optoelectronics and Microelectronics Materials and Devices, Parth, Australia, TO-6, pp. 153-154, December, 1998.
- (23) Hiroki Ishikuro and Toshiro Hiramoto,
"Influence of Quantum Confinement Effects on Single Electron and Single Hole Transistors",
1998 IEEE International Electron Devices Meeting, San Francisco, USA, pp. 119 - 122, December, 1998.
- (24) Makoto Takamiya and Toshiro Hiramoto,
"High Performance Electrically Induced Body Dynamic Threshold SOI MOSFET (EIB-DTMOS) with Large Body Effect and Low Threshold Voltage",
1998 IEEE International Electron Devices Meeting, San Francisco, USA, pp. 423 - 426, December, 1998.
- (25) M. Ikeda and K. Asada,
"CAM Macro Cells with Minimum Distance Detector using Time-Domain Technique",
International Workshop on IP Based Synthesis and System Design, INPG, Grenoble, France, pp. 137 - 140, December, 1998.
- (26) R. Zheng and K. Asada,
"A High Speed Completion Prediction Adder Based on Binary Carry Lookahead Adder",
International Workshop on IP Based Synthesis and System Design, INPG, Grenoble, France, pp. 149 - 153, December, 1998.
- (27) K. Kotani and T. Ohmi,
"Feedback Charge-Transfer Comparator with Zero Static Power",
1999 IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, pp. 328 - 329, February, 1999.
- (28) E. Nagata, N. Takahashi, H. Ishikuro, and T. Hiramoto,
"Width Dependence of Threshold Voltage Shift in Narrow MOSFET Memories with Silicon Nano-Crystals",
The Third Symposium on Surface and Interface Dynamics, Across Fukuoka, Japan, March, 1999.
- (29) S. Komatsu, M. Ikeda, and K. Asada,
"Low Power Chip Interface Based on Bus Data Encoding with Adaptive Code-Book Method",
9th GREAT LAKES SYMPOSIUM ON VLSI, Ypsilanti Marriot, Michigan, USA, pp. 368 - 371, March, 1999.
- (30) T. Mido and K. Asada,
"An Analysis on Hi-Frequency Interconnection in VLSI Considering Inductive Effects",
International Workshop on Timing Issues In the Specifici-

cation and Synthesis of Digital Systems (TAU 99), pp. 173 - 178, Doubletree Hotel, Monterey, CA, USA, March 1999.

- (31) T. Mido, H. Ito, and K. Asada,
"TEST Structure for Direct Extraction of Capacitance Matrix in VLSI",
Proceeding of International Conference on Microelectronic Test Structures (ICMTS), Gothenburg, Sweden, pp. 200 - 205, March, 1999.
- (32) K. Hoh, T. Tsujita, T. Irita, and M. Fujishima,
"Integrated Chaos-Generating Circuits with Simple Structure for the Bio-Inspired Information Processing",
Proceedings of International Symposium on Future of Intellectual Integrated Electronics, Sendai, pp. 389 - 393, March, 1999.
- (33) K. Hoh, A. Imamura, T. Tsujita, and M. Fujishima,
"Generation of Chaos by Extended Operation of the Pipelined AD Converter",
Proceedings of International Symposium on Future of Intellectual Integrated Electronics, Sendai, pp. 395 - 397, March, 1999.
- (34) K. Asada, T. Nezuka, T. Fujita, M. Ikeda, and J. Akita,
"An Image Sensor for Motion Detection using Variable Block Access",
International Symposium on Future of Intellectual Integrated Electronics, Sendai International Center, Sendai, Japan, ex12, March, 1999.
- (35) K. Asada, T. Nezuka, T. Fujita, M. Ikeda, and J. Akita,
"Image sensors with flexible access methods to pixels for adaptive spatial and time resolution",
International Symposium on Future of Intellectual Integrated Electronics, Sendai International Center, Sendai, Japan, pp. 49 - 62, March, 1999.
- (36) T. Hiramoto, Y. Yasuda, M. Takamiya,
"Threshold Voltage Fluctuations Induced by Statistical Position Distribution of Dopant Atoms in Scaled MOSFETs",
International Symposium on Future of Intellectual Integrated Electronics (ISFIIIE), Sendai International Center, Miyagi, Japan, pp. 131 - 135, March, 1999.
- (37) T. Ohmi, M. Imai, M. Konda, T. Nozawa, T. Morimoto, T. Nakayama, M. Fujibayashi, and K. Kotani,
"Intelligence Implementation to Silicon Chip",
Proceedings of International Symposium on Future of Intellectual Integrated Electronics, Sendai, pp. 3 - 20, March, 1999.
- (38) M. Imai, T. Nozawa, M. Fujibayashi, K. Kotani, and T. Ohmi,
"Computational Architecture with Decreasing Calcula-

tion Steps Using Most-Significant-Digit-First Calculation Scheme,"

- Proceedings of International Symposium on Future of Intellectual Integrated Electronics, Sendai, pp. 469 - 472, March, 1999.
- (39) T. Nozawa, M. Imai, M. Fujibayashi, K. Kotani, and T. Ohmi,
"A Parallel Vector Quantization Processor Having the Feature of Low Hardware Complexity,"
Proceedings of International Symposium on Future of Intellectual Integrated Electronics, Sendai, pp. 473 - 475, March, 1999.
- (40) T. Hiramoto,
"Characterization of Silicon Single Electron Transistors",
Japan-UK 10+10 Meeting on New Developments in Advanced Electronic and Optical Materials and Devices, Oxford University, UK, March, 1999.

3 . 国内学会 , 研究会

- (1) 浅田邦博, 根塚智裕, 秋田純一,
「4進木アクセス機能を有する多階調イメージセンサの設計試作」,
重点領域研究「極限集積化シリコン知能エレクトロニクス」公開シンポジウム, 機械振興会館(東京), pp. 202-208, 1998年4月.
- (2) 平本俊郎, 安田有里, 高宮真,
「不純物揺らぎによるしきい値電圧ばらつきを考慮したデルタドープ型MOSFETのスケーリング」,
重点領域研究「極限集積化シリコン知能エレクトロニクス」公開シンポジウム, 機会振興会館(東京), pp. 168 - 174, 1998年4月.
- (3) 佐藤義則, 鄭若彤, 浅田邦博,
「終了検出パイプライン加算器を用いた疑似非同期マイクロプロセッサの設計」,
電子情報通信学会, 会津大学(福島), 信学技報, ICD98-17, CPSY98-17, FTS98-17, pp.47-52, 1998年4月.
- (4) 石黒仁揮, 平本俊郎,
「シリコン単一電子素子における量子効果の評価」,
電子情報通信学会電子デバイス, シリコン材料デバイス合同研究会技術研究報告, 広島大学工学部(広島), ED98-4, SDM98-4, 1998年4月.
- (5) 平本俊郎,
「超低消費電力高速デバイスプロセス技術」,
関西セミコン98ULSI技術セミナーセッション5「プロセス・デバイス技術 - 実用化迫る0.18 μ mプロセス - 」,
ハイアットリージェンシーオオサカ(大阪), pp. 5-1 - 5-6, 1998年6月.

- (6) 鳳紘一郎,
"VDEC の役割とその将来",
電気学会センサ・マイクロマシン部門総合研究会,
pp.23-30, 1998年9月.
- (7) 辻田達男, 相原祐一郎, 藤島実, 鳳紘一郎,
「CMOSカオスマルチパイプレータの解析と動作」,
電子情報通信学会1998年基礎・境界ソサイエティ大会,
山梨大学(山梨), A-1-24, p.24, 1998年9月.
- (8) 三堂哲寿, 伊藤浩, 浅田邦博,
「集積回路における容量行列要素の直接抽出手法」,
1998年電子情報通信学会ソサイエティ大会, 山梨大学
(山梨), C-12-1, p.92, 1998年9月.
- (9) 鄭若彤, 浅田邦博,
「終了予測加算器の設計」,
1998年電子情報通信学会ソサイエティ大会, 山梨大学,
C-12-22, pp.113, 1998年9月.
- (10) 小松聡, 池田誠, 浅田邦博,
「低消費電力チップインタフェースのための適応型コード帳符号化方式」,
1998年電子情報通信学会ソサイエティ大会, 山梨大学
(山梨), C12-23, pp.114, 1998年9月.
- (11) 浅田邦博, 根塚智裕, 池田誠,
「階層アクセスパスによる高速イメージセンサの実現」,
1998年電子情報通信学会ソサイエティ大会, 山梨大学
(山梨) SC-10-5, pp184-185, 1998年9月.
- (12) 福岡哲也, 藤島実, 鳳紘一郎,
「Ni ゲート電極を用いた P 型ショットキー障壁SOI-MOSFET の試作」,
1998年秋季第59回応用物理学会学術講演会, 広島大学
西条キャンパス(広島), 15a-P9-9, p.777, 1998年9月.
- (13) 天川修平, 藤島実, 鳳紘一郎,
「単電子効果が現れる系でのトンネリングレートの計算」,
1998年秋季第59回応用物理学会学術講演会, 広島大学西
条キャンパス(広島), 17p-ZK-11, p.147, 1998年9月.
- (14) 青柳稔, 浅田邦博,
「半導体デバイスに使用されるアルミニウム配線のスト
レスマイグレーション」,
1998年秋季第59回応用物理学会学術講演会, 広島大学
西条キャンパス(広島), 16a-ZL5, 1998年9月.
- (15) 伊藤浩, 浅田邦博,
「SOI MOSFET のS値特性を用いたデバイスパラメー
タ同定手法」,
1998年秋季第59回応用物理学会学術講演会, 広島大学
西条キャンパス(広島), 15a-P9-12, 1998年9月.
- (16) 石黒仁揮, 平本俊郎,
「クーロンブロード振動を示すナノスケールチャンネル
でのトンネル障壁形成機構の解明」,
1998年秋季第59回応用物理学会学術講演会, 広島大学
西条キャンパス(広島), 17a-ZK-5, 1998年9月.
- (17) トラン ゴック デュエト, 石黒仁揮, 施毅, 更屋拓哉,
高宮真, 平本俊郎,
「FD SOI MOSFET における界面準位密度のエネル
ギー及びチャンネル方向分布」,
1998年秋季第59回応用物理学会学術講演会, 広島大学
西条キャンパス(広島), 15a-P9-11, 1998年9月.
- (18) 高宮真, 更屋拓哉, トラン ゴック デュエト, 平本俊郎,
「基板バイアス効果の大きい低電圧用高性能 A B -
DTMOSの提案と実証」,
1998年秋季第59回応用物理学会学術講演会, 広島大学
西条キャンパス(広島), 15a-P9-3, 1998年9月.
- (19) 高宮真, 平本俊郎,
「AB-DTMOSと従来型DTMOSの基板バイアス係数
の比較」,
1998年秋季第59回応用物理学会学術講演会, 広島大学
西条キャンパス(広島), 15a-P9-2, 1998年9月.
- (20) 間島秀明, 石黒仁揮, 平本俊郎,
「極狭チャンネルMOSFETにおける量子力学的狭チャ
ネル効果」,
1998年秋季第59回応用物理学会学術講演会, 広島大学
西条キャンパス(広島), 16a-P10-11, 1998年9月.
- (21) 荒川太郎, 新居尚憲, 海野直久, 石橋崇, 尹華清, 金
田久善, 菅原昌敬, 羽路伸夫
「プラズマ活性化パルスレーザー蒸着BST薄膜の成膜
温度依存性」,
1998年秋季第59回応用物理学会学術講演会, 広島大学
西条キャンパス(広島), 15a-G-1, 1998年9月.
- (22) ポーンケオ・チャンタマリー, 西尾正裕, 羽路伸夫
「H₂SiF₆の濃度による液相堆積法のSiO_x膜の誘電率
と電気的特性の研究」,
1998年秋季第59回応用物理学会学術講演会, 広島大学
西条キャンパス(広島), 1998年9月.
- (23) 鄭若彤, 浅田邦博,
「シフト型終了予測加算器の設計及びマイクロプロセ
ッサへの応用」,
電子情報通信学会, 福岡SRPホール(福岡), 信学技報,
VLD98-51, pp.51 - 56, 1998年9月.
- (24) 小松聡, 池田誠, 浅田邦博,
「適応型コード帳符号化を用いた低消費電力チップイン
タフェース」,
電子情報通信学会研究会, ホテルムーンビーチ(沖
縄), 信学技報, JCD98-176, pp. 1 - 6, 1998年10月.
- (25) 根塚智裕, 浅田邦博,
「階層アクセス機能を有する動き補償画像センサ」,
電子情報通信学会研究会, ホテルムーンビーチ(沖
縄), 信学技報, DSP98-95, pp43-48, 1998年10月.
- (26) 平本俊郎, 石黒仁揮,
「超微細MOS技術のシリコン単電子デバイスへの応用」,
日本学術振興会極限構造電子物性第151委員会研究会,

湯ノ川温泉,北海道,pp.25 - 32,1998年10月.

- (27) 平本俊郎,石黒仁揮,
「シリコン単電子デバイスとドット形成メカニズム」,
文部省科研費特定領域研究「単電子デバイスとその高密度集積化」平成10年度第2回研究会,東京大学物性研究所・生産技術研究所,pp.19 - 23,1998年10月.
- (28) 三堂哲寿,浅田邦博,
「集積回路の大域配線における誘導性要素の影響評価」,
電子情報通信学会VLSI設計研究会,大阪大学吹田キャンパス(大阪),信学技報,VLD98-84,Vol.98, No.2 pp.89-94,1998年10月.
- (29) 根塚智裕,池田誠,浅田邦博,
「階層アクセスパスを有する多階調イメージセンサ」,
第2回システムLSI琵琶湖ワークショップ,ラフォーレ琵琶湖(滋賀),pp.227 - 230,1998年11月.
- (30) 山下高廣,浅田邦博,
「キャパシタを用いた高速パストランジスタ回路」,
第2回システムLSI琵琶湖ワークショップ,ラフォーレ琵琶湖(滋賀),pp.233 - 235,1998年11月.
- (31) 平本俊郎,
「デカナノエレクトロニクス技術への展望(パネル討論)」,
第17回新機能素子技術シンポジウム 東京,1998年11月.
- (32) 平本俊郎,
「微細Si-MOS技術によるシリコン単電子デバイス」,
日本電子工業振興協会デカナノエレクトロニクス専門委員会,東京大学工学部,1998年11月.
- (33) トランゴックデュエト,石黒仁揮,施毅,平本俊郎,
「微細MOSFETにおける界面準位密度分布のチャージポンピング測定」,
応用物理学会薄膜・表面物理分科会「極薄シリコン酸化膜の形成・評価・信頼性」第4回研究会,NTT御殿場研修センター(静岡),pp.361 - 366,1999年1月.
- (34) 平本俊郎,
「プロセッサ用デバイスに関する講演」,
新機能素子研究開発協会先進新機能プロセッサ委員会,新機能素子研究開発協会(東京),1999年1月.
- (35) ポーンケオ・チャンタマリー,荒川太郎,羽路伸夫,
「液相堆積法による低誘電率シリコン酸化膜」,
電子情報通信学会シリコン材料・デバイス研究会,機会振興会館(東京),SDM98-191,1999年1月.
- (36) 平本俊郎,
「MOS構造を有する単電子デバイスとその集積化に関する研究」,
重点領域研究「単電子デバイスとその高密度集積化」平成10年度成果報告会,弘済会館(東京),pp.144 - 147,1999年2月.
- (37) 平本俊郎,
「<巻頭言>シリコンフロンティアデバイス オフロードデバイスに向けて」,
応用物理学会シリコンテクノロジー研究会第7回研究集会,東京大学生産技術研究所,p.1,1999年2月.
- (38) 石黒仁揮,平本俊郎,
「単電子デバイスにおける量子効果の影響」,
応用物理学会シリコンテクノロジー研究会第7回研究集会,東京大学生産技術研究所,pp.31 - 36,1999年2月.
- (39) 高宮真,平本俊郎,
「基板バイアス効果の大きい高性能EIB-DTMOSの提案と実証」,
電子情報通信学会シリコン材料・デバイス研究会および極微構造集積デバイス調査専門委員会共催研究会,機械振興会館(東京),SDM98-210,1999年3月.
- (40) 今村晃,辻田達男,相原祐一郎,藤島実,鳳紘一郎,
「パイプライン型ADCをもとにしたカオス発生回路」,
1999年電子情報通信学会総合大会 慶応大学日吉校舎(神奈川),A-1-29,p.29,1999年3月.
- (41) 辻田達男,相原祐一郎,藤島実,鳳紘一郎,
「CMOSカオスマルチパイプレータの解析と動作」,
1999年電子情報通信学会総合大会 慶応大学日吉校舎(神奈川),A-1-30,p.30,1999年3月.
- (42) 木庭優治,藤島実,鳳紘一郎,
「マイクロ生体モニタのための低消費電力データ圧縮アルゴリズム」,
1999年電子情報通信学会総合大会 慶応大学日吉校舎(神奈川),C-12-24,p.122,1999年3月.
- (43) 池田誠,
「3周年を迎えるVDECの活動報告」,
1999年電子情報通信学会総合大会 慶応大学日吉校舎(神奈川),PA-2-1,pp.527-528,1999年3月.
- (44) 根塚智裕,池田誠,浅田邦博,
「可変ブロックアクセスを用いた動き検出イメージセンサ」,
1999年電子情報通信学会総合大会 慶応大学日吉校舎(神奈川),C-12-56,p.154,1999年3月.
- (45) 喬健,浅田邦博,
「多出力関数の関数分解及びLUT-FPGAsのための論理合成への応用」,
1999年電子情報通信学会総合大会 慶応大学日吉校舎(神奈川),A-3-6,p.110,1999年3月.
- (46) 山下高廣,浅田邦博,
「キャパシタを用いた高速パストランジスタ回路」,
1999年電子情報通信学会総合大会,慶応大学日吉校舎(神奈川),C-12-16,p.114,1999年3月.
- (47) 瀬戸謙修,池田誠,浅田邦博,
「SPFDを用いた遅延時間削減を目的とするスタンダードセルICの部分的論理再合成」,
情報処理学会全国大会,慶応大学日吉校舎(神奈川),pp.39-40,1999年3月.
- (48) 青木秀行,池田誠,浅田邦博,
「VLSI中の電源配線におけるノイズ測定回路」,

- 1999年電子情報通信学会総合大会, 慶応大学日吉校舎 (神奈川), A-3-13, p. 117, 1999年3月.
- (49) 小谷光司,
「アナログ設計資産の有効的な再利用法について」,
1999年電子情報通信学会総合大会, 慶応大学日吉校舎 (神奈川) pp. 535 - 536, 1999年3月.
- (50) 伊藤浩, 浅田邦博,
「S値特性を用いたFD-SOI MOSFETのデバイスパラメータ同定法の精度の検討」,
1999年春季第46回応用物理学関係連合講演会 東京理科大学野田校舎 (千葉), 30p-ZM-9, 1999年3月.
- (51) 平本俊郎, トランゴックデュエト, 石黒仁揮,
「SOI MOSFETにおける界面評価技術」,
1999年春季第46回応用物理学関係連合講演会 シンポジウム「最先端半導体材料の界面制御における諸問題 - わかったこと・わからないこと - 」, 東京理科大学野田校舎 (千葉), 29p-YH-7, 1999年3月.
- (52) 更屋拓哉, 平本俊郎,
「SOI MOSFETにおけるダイナミックパスリーク機構の解析」,
1999年春季第46回応用物理学関係連合講演会 東京理科大学野田校舎 (千葉), 30p-ZM-7, 1999年3月.
- (53) 石黒仁揮, 高橋信義, 間島秀明, 平本俊郎,
「シリコン単一電子トランジスタ中の量子ドット内エネルギー準位の計算」,
1999年春季第46回応用物理学関係連合講演会 東京理科大学野田校舎 (千葉), 29a-ZM-7, 1999年3月.
- (54) 高宮真, 平本俊郎,
「超低消費電力高性能アキュムレーションモードEIB-DTMOSの提案」,
1999年春季第46回応用物理学関係連合講演会 東京理科大学野田校舎 (千葉), 30p-ZM-6, 1999年3月.
- (55) 間島秀明, 石黒仁揮, 平本俊郎,
「極狭チャネルMOSFETにおける量子力学的狭チャネル効果(2) - 閾値電圧上昇のシミュレーション - 」,
1999年春季第46回応用物理学関係連合講演会 東京理科大学野田校舎 (千葉), 30a-ZM-7, 1999年3月.
- (56) 犬飼貴士, 平本俊郎,
「極薄ゲート酸化膜MOSFETにおけるスタンバイリーク電流の抑制」,
1999年春季第46回応用物理学関係連合講演会 東京理科大学野田校舎 (千葉), 30a-ZM-8, 1999年3月.
- (57) 高橋信義, 石黒仁揮, 平本俊郎,
「シリコン単一電子トランジスタにおけるクーロンブロード振動のピーク位置の調整」,
1999年春季第46回応用物理学関係連合講演会 東京理科大学野田校舎 (千葉), 29a-ZM-8, 1999年3月.
- (58) 小宇羅寛, 高宮真, 平本俊郎,
「VTMOSにおける基板バイアス係数と基板電圧の最適条件」,
1999年春季第46回応用物理学関係連合講演会 東京理科大学野田校舎 (千葉), 30p-ZM-5, 1999年3月.
- (59) 安田有里, 高宮真, 平本俊郎,
「閾値電圧ばらつきにおける統計的な不純物の個数及び位置ばらつき成分の分離と影響」,
1999年春季第46回応用物理学関係連合講演会 東京理科大学野田校舎 (千葉), 28p-YF-2, 1999年3月.
- (60) 永田英次, 石黒仁揮, 平本俊郎,
「Si量子ドット細線MOSFETにおける閾値電圧シフトの細線幅依存性とばらつき」,
1999年春季第46回応用物理学関係連合講演会 東京理科大学野田校舎 (千葉), 29p-ZM-10, 1999年3月.

4. 紀要, その他

- (1) K. Asada,
「VDEC: 東京大学大規模集積システム設計教育研究センター」,
MRS-J NEWS, Vol.10, No.2, pp.4-5, May, 1998.
- (2) 鳳 紘一郎,
「若者の手になる明日の集積チップを」,
FEDジャーナル, Vol. 9, No.1, p.30, 1998年8月.
- (3) K. Hoh,
"VLSI chips of the young people, by the young people, for all the people",
FED Journal (English edition), Vol.9, Suppl.2, p.49, March, 1999.

5. 著書

- (1) 鳳 紘一郎 (編集幹事) 応用物理用語大事典, オーム社 (1998).
- (2) 鳳 紘一郎 (編集委員) 半導体用語大辞典, 日刊工業新聞社 (1999).

第4章 平成11年度の活動計画

平成11年度からは設計情報発信、CADツール提供、チップ試作支援の各テーマ毎に以下のように事業内容を充実拡充していく予定でいる。

【設計情報発信】

平成10年度に開催したCADツール利用法の技術セミナー、社会人向けの「リフレッシュセミナー」、若手のための「デザイナーズフォーラム」を継続して開催することに加えて、具体性を持った入門セミナーの開催や、教科書の整備充実を行なうことを予定している。これにより自然な形で若いVLSI設計者の層を厚くし、定常的な情報交換の場を確立していきたい。

試作チップ数の増加にともない、テスター利用の要求が増大するものと予想されるが、テスター利用法のセミナーも継続して開催し、VDECおよび拠点校のテストに対し「利用資格」を有する学生・研究者の数を増やす努力をする予定でいる。同時に各拠点校のテスター関係者のネットワークを作成して連係を密にすることで、多様化していくテストの需要に全国レベルで対応する体制を整えていきたい。これは大きなコストを必要とするテスターの維持・管理を効率化し、維持コストを押さえつつ有効利用率を高めるねらいを持っている。

【CADツール提供】

上流設計(Cadence,Synopsys)、中流設計(Avant!,Cadence)、下流設計(Cadence)の各基本ツールの提供は、年度単位の登録手続きを必要とするが、平成11年度も継続してサポートしていく。

CADツールに必要となる論理設計用基本ライブラリーについては平成10年度までに京都大学、九州大学、早稲田大学の協力を得て、NEL社と日本モトローラ社、ローム社、日立製作所用のものの整備が進んできており、一部、テストランでの検証工程も終わっており、平成11年度にはより信頼性の高いものを提供していく予定である。平成11年度から一般受付を開始する日立製作所用のライブラリーは日立製作所から提供されているゲートレイ用ライブラリーをVDECで使用しているAvant!社ApolloGAへ移植したもののサポートを行なっており、今後早急にCadence社GateEnsamble(SiliconEnsamble)への移植も行なっていくたい。

以上により平成11年度には論理設計用基本ライブラリーについては各社の試作用のものがほぼ出そろい、その後の継続的品質向上と高信頼化の努力は必要とするが、一応のチップ試作のためのCADツール環境の整備が完成する。そこで平成11年度は、さらに高品質の設計フローの確立、特に設計検証のためのフローの充実を図っていきたい。

また、ライブラリ整備事業に関しては、マクロライブラリの整備を継続する予定である。これはメモリーコア、マイクロプロセッサコア等の機能ブロックライブラリーやオペアンプ、A/D、D/A変換回路等のアナログブロックの整備である。物理レイアウトとともにシミュレーションモデルを合せ整備していくことで、いわゆるIPとして大学内のみならず産業界へも情報発信できるものとなることが期待され、人材の育成とともにVDECが社会へ貢献するもう一つのテーマである。これらの整備活動には広く各大学からの協力を期待している。

【チップ試作支援】

平成11年度からは従来のNTTエレクトロニクス株式会社の試作が日立北海セミコンダクター株式会社に引き継がれ、日本モトローラ株式会社、ローム株式会社、日立製作所の協力により4種類のプロセスで計9回の試作を設定する予定である。(すでに一部の試作は進行中である)

これに加え、ローム株式会社の協力のもと0.35μm CMOSプロセスを使用したテストランを実施し、ライブラリの整備、設計フローの確立後、平成12年度からの公開に備えた準備を行なう予定である。

表4.1 VDECチップ試作スケジュール (平成11年度)

【CMOS 1.2μm】日本モトローラ(株)

	申込開始	申込〆切	設計〆切	チップ納品
第1回	平成11年 4月1日	平成11年 7月5日	平成11年 10月4日	平成11年 12月27日
第2回	平成11年 10月1日	平成12年 1月7日	平成12年 4月3日	平成12年 6月26日

【CMOS 0.6μm】ローム(株)

	申込開始	申込〆切	設計〆切	チップ納品
第1回	平成11年 3月1日	平成11年 4月10日	平成11年 5月10日	平成11年 7月12日
第2回	平成11年 3月1日	平成11年 5月24日	平成11年 8月23日	平成11年 10月25日
第3回	平成11年 9月1日	平成11年 12月17日	平成12年 2月14日	平成12年 4月17日

【CMOS 0.5μm】日立北海セミコンダクター(株)

	申込開始	申込〆切	設計〆切	チップ納品
第1回	平成11年 3月1日	平成11年 4月15日	平成11年 6月25日	平成11年 9月27日
第2回	平成11年 8月1日	平成11年 11月19日	平成12年 1月17日	平成12年 4月24日

【CMOS 0.35μmゲートアレイ】(株)日立製作所

	申込開始	申込〆切	設計〆切	チップ納品
第1回	平成11年 4月1日	平成11年 6月21日	平成11年 9月3日	平成11年 10月25日
第2回	平成11年 8月1日	平成11年 11月19日	平成12年 1月17日	平成12年 3月15日

【CMOS 0.35μmテストラン】ローム(株)

	申込開始	申込〆切	設計〆切	チップ納品
	平成11年 4月1日	平成11年 6月14日	平成11年 9月13日	平成11年 11月29日

チップ試作料金については表4.2に示すように前年度と同様のものとなる予定である。

表4.2 チップ試作料金

設計規則	チップサイズ	税抜価格(千円)
CMOS 1.2 μ m P2M2	2.3mm 角	66.5
	4.8mm 角	230
	7.3mm 角	451
CMOS 0.6 μ m P2M3	3.2mm 角	160
	4.5mm 角	240
	9.0mm 角	950
CMOS 0.5 μ m P1M3	2.3mm 角	150
	4.8mm 角	600
CMOS 0.35GA P1M5	6.0mm 角	506
CMOS 0.35 P2M3	4.9mm 角	390(未定)
LPGA		

平成10年度に引き続き平成11年度においても Sony/Intex/ChipExpressの協力によるLPGAの試作受け付けを行なう。メモリーなしとメモリー付きのLPGAをサポートしており、デザインキットはVDEC経由で提供する。またLPGAでは特に μ 切をおかず、適宜試作を受け付ける。詳細はVDECのホームページで案内するが、試作期間はサインオフ後、約1ヶ月である。

【パイロットプロジェクト】

VLSI 技術は日々進歩しており VDEC がサポートするCADツールやライブラリー、チップ試作技術も時代に則した高性能・高機能なものへと改善していきたいと考えている。具体的な計画は立案中であるが、先駆的プロジェクト研究、テストラン等が必要であり、各方面の協力を随時お願いする予定である。

第5章 チップ試作結果報告

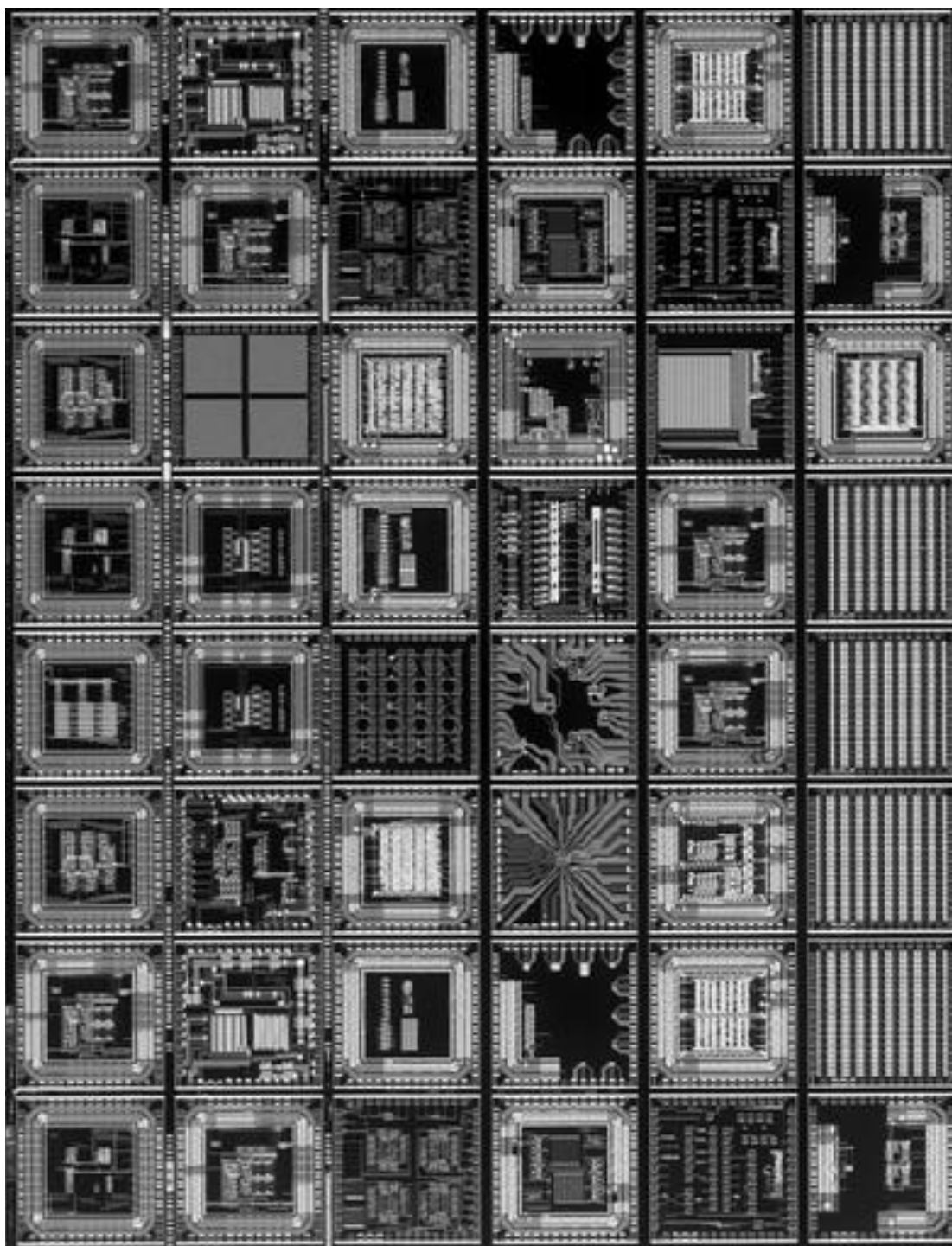


図5.1 「相乗りチップ」の顕微鏡写真

平成10年度 第1回モトローラチップ試作

題名	大学名	研究者	掲載頁
時系列情報処理記憶システムの集積化	東北大学電気通信研究所	佐藤 隆志 佐藤 茂雄 中島 康治	47
可変ブロックアクセス機能をもつイメージセンサ	東京大学工学部	室野 行史 池田 誠 渡田 邦博	47
可変ブロックアクセスを用いた動きベクトル検出イメージセンサ	東京大学工学部	榎原 智裕 池田 誠 渡田 邦博	47
ライブラリ検配用マイクロプロセッサ (1)	東京大学	池田 誠 渡田 邦博	48
時間相関型イメージセンサ (第3期)	東京大学 工学部	末澤 暁 安藤 望	48
レイアウトの最適化によるアナログ回路特性の検討	東京工業大学 工学部	和田 和子 高木 茂孝 藤井 信生	48
アナログ処理型システム構築のための異相	東北大学 電気通信研究所附属 超高密度・高速処理システム実験施設	伊田 知樹 佐藤 茂雄 中島 康治	49
カオスノイズ発生器を用いたカオスニューラルネットワーク異相の設計	東北大学 電気通信研究所	田中 英徳 佐藤 茂雄 中島 康治	49
vMOSによる直線High変換異相の試作	東北大学 工学部	丸尾 和幸 高橋 史一 小谷 光尚 大見 忠弘	49
8ビット簡易マイクロプロセッサの設計・製作	金沢工業大学 電子工学科	小森 博文 榎田 一郎	50
MOS構造に適したアナログ形PLLの試作	和歌山大学工学部	伊藤 文久 井上 清	50
ULSIデバイスにおける低消費電力化を志向した降圧回路	東北大学電気通信研究所	藤永 和久 遠藤 智郎 村岡富士雄	50
パイプライン型AD変換器を拡張したカオス発生異相 (1)	東京大学工学部電子工学科	今村 晃 藤島 史 尾 紘一郎	51
8ビットマイクロプロセッサ	東京大学 工学部	小松 聡 池田 誠 渡田 邦博	51
ライブラリ検配用マイクロプロセッサ (2)	東京大学	池田 誠 渡田 邦博	51
マルチバイブレータを用いたカオス発振異相の相互結合による不規則発振回路 (1)	東京大学工学部研究科 大規模集積システム設計教育研究センター	榎原 祐一郎 辻田 達男 藤島 史 尾 紘一郎	51
ライブラリ検配用マイクロプロセッサ (3)	東京大学	池田 誠 渡田 邦博	52
集合論集積回路の試作・評価	東北大学大学院 情報科学研究科	藤田 晋 青木 孝文 樋口 健雄	52
多値集積回路・電流モード多値異相と多値CAM	東北大学大学院 情報科学研究科	尾山 充隆 伊藤 典弘 藤島 敏弘 寺西 要	52

平成10年度 第2回モトローラチップ試作

題名	大学名	研究者	掲載頁
マルチバイブレータを用いたカオス発振異相の相互結合による不規則発振回路 (2)	東京大学 工学部研究科 大規模集積システム設計教育研究センター	榎原 祐一郎 辻田 達男 藤島 史 尾 紘一郎	53
パイプライン型AD変換器を拡張したカオス発生異相 (2)	東京大学 工学部研究科 大規模集積システム設計教育研究センター	榎原 祐一郎 今村 晃 辻田 達男 藤島 史 尾 紘一郎	53
CMOSプロセスによるDRAMチップ設計	徳島大学工学部	川上 大輔 森澤 文晴 藤田 祐一郎 天野 英晴	53
高速スタティックRAMの試作	武蔵工業大学 工学部	中野 淳一 海井 勉 木下 友和 秋谷 昌宏	54
スタティックRAMのブロック回路TEGの試作	武蔵工業大学 工学部	中野 淳一 海井 勉 木下 友和 秋谷 昌宏	54
超高速イメージングシステムのテスト回路の試作	東北大学工学部機械電子専攻	藤尾 真博 江刺 正壽	54
ニューロンMOSトランジスタの特性解析のためのTEG	宮崎大学 工学部	淡野 公 石塚 興崇	54
ニューロンMOSトランジスタを用いた応用異相	宮崎大学 工学部	淡野 公一 石塚 興崇	55
CMOSマクロセル群とニューロンMOSマクロモデルの検証	静岡理工科大学 電子工学科 大学院材料科学専攻	落合 忠博 石倉 康元 山本 都己 藤田 和弘 光岡 武 渡辺 裕	55
非対称トリプル記憶素子のプロトタイプと3ビットup/downカウンタ	仙台電気工業高等専門学校	高橋 敏子 岡田 啓明 佐々木 正明 岡野 朝雄	55
アナログオペアンプ回路とVCC回路の試作	九州大学大学院 システム情報科学研究科	藤村 剛 黒木 幸介	56
6ビット除算器の設計	九州大学大学院 システム情報科学研究科	志川 真晴 若村 鉄郎 黒木 幸介	56
高精度MOSFETとSPICEパラメータ抽出用TEGの試作	九州大学大学院 システム情報科学研究科	若村 鉄郎 黒木 幸介	56
対称負荷を用いた差動バッファによるDLLの設計	九州大学大学院 システム情報科学研究科	Al-Ehsadi 黒木 幸介 中川 賢一	56
2次元ヒルベルト変換のアドレス発生回路の設計	九州大学大学院 システム情報科学研究科	藤田 浩一郎 志川 真晴 渡辺 淳三	57
同相利得が零となる2次元逆型フィルタの試作	東京工業大学 工学部	和田 和子 高木 茂孝 藤井 信生	57
駆動的ダイナミックCMOS論理回路TEG (1)	山形大学 工学部	水原 充 高橋 一清	57
駆動的ダイナミックCMOS論理回路TEG (II)	山形大学 工学部	高橋 一清 酒田 哲洋 水原 充 高橋 一清	58
超伝導電力・電荷電圧変換異相特性評価 (1)	高エネルギー加速器研究機構 素粒子原子核研究	池田 博一	58
超伝導電力・電荷電圧変換異相特性評価 (2)	高エネルギー加速器研究機構 素粒子原子核研究	池田 博一	58
スイッチトキャパシタDC-DCコンバータのIC化	慶応大学工学部電子情報工学科	谷口 伸一 松尾 高洋 末次 正	59
時間相関型PSD	東京大学 工学部	安藤 望 高橋 亮	59
時間相関型イメージセンサ (第4期)	東京大学 工学部	安藤 望 末澤 暁 今井 亮子	59
パルス形ハードウェアニューロンモデル用MOSFETの試作	日本大学 理工学部	染谷 和孝 佐伯 朝敏 関根 好文	60

題 名	大 学 名	研 究 者	掲載頁
パルス形ハードウェアニューロンモデルを用いた抗振子の試作	日本大学 理工学部	橋山 正志 佐伯 勝敏 関根 好文	60
パルス形ハードウェアニューロンモデルを用いた抗振子および周波数回路の試作	日本大学 理工学部	矢地 良洋 佐伯 勝敏 関根 好文	60
パルス形ハードウェアニューロンモデルの試作	日本大学 理工学部	佐伯 勝敏 関根 好文	60
伝送特性測定用ゲート回路群と4ビット加算器の試作	仙台電設工業高等専門学校 電子工学科	藤田 尚樹 浅見 誠治	61
LSIデバイスにおける低消費電力化を指向した降圧回路とフィードバック系回路	東北大学電気通信研究所	塚本 和久 遠藤 智郎 村岡富士雄	61
バストランジスタロジックを用いた基本ロジック回路	東北大学電気通信研究所	船木 寿彦 遠藤 智郎 村岡富士雄	61
LSIデバイスにおける低消費電力化を指向したフィードバック系回路およびバストランジスタロジックを用いた基本ロジック回路	東北大学電気通信研究所	塚本 和久 船木 寿彦 遠藤 智郎 村岡富士雄	61
MOSトランジスタの特性評価	東北大学電気通信研究所	中村 広記 遠藤 智郎 村岡富士雄	62
画像処理用MOSセルオートマトン回路TEGの設計試作	北海道大学工学部 電子情報工学専攻	池辺 将之 赤澤 正道 南宮 好仁	62
パルス幅変調信号を利用した多値論理回路の研究	北海道大学工学部 電子情報工学専攻	深津 芳幸 赤澤 正道 南宮 好仁	62
ノイズ特性評価用増幅型CMOSイメージセンサ	広島市立大学	柳田 昌宏 中野 賢人 堀尾 賢樹	62
安定化電源・パラメータ可変機構を有するオンチップPLL	九州大学大学院 システム情報科学研究科 電子デバイス工学 久留米工業大学	古澤 弘典 中野 賢一 谷口 研二	63
M系列乱数発生器(1)	九州大学大学院 システム情報科学研究科	中野 賢一	63
M系列乱数発生器(2)	九州大学大学院 システム情報科学研究科	中野 賢一	63
半導体向け積層「VLSI工学」のLSI設計実習(1)	九州大学大学院 システム情報科学研究科	中野 賢一 八山 和弘	64
半導体向け積層「VLSI工学」のLSI設計実習(2)	九州大学大学院 システム情報科学研究科	中野 賢一 エルハドリ アリ	64
半導体向け積層「VLSI工学」のLSI設計実習(3)	九州大学大学院 システム情報科学研究科	中野 賢一 岩村 鉄郎	65
Vision Chip への応用を目的とした素子の試作	奈良先端科学技術大学院大学 物質創成科学研究科	上原 聡宏 太田 淳	66
ビジョンチップ用フォトダイオードの分光感度特性	奈良先端科学技術大学院大学 物質創成科学研究科	赤澤 淳 太田 淳	66
半導体オートマトンによる矩形パルス抽出回路	金沢大学工学部	熊多 和洋 秋田 純一 北川 彰夫 鈴木 正樹	66
ボトムアップ設計による実時間色情報抽出回路	金沢大学工学部	秋田 純一	66
トップダウン設計による実時間色情報抽出回路	金沢大学工学部	高瀬 健二	66
データ送信制御用DQの設計	立山科学工業(株) 金沢大学工学部	岡本 徳治 鈴木 正樹 北川 彰夫 秋田 純一	67
リミットサイクルを生成する集積化人工神経回路網の設計	東北大学 電気通信研究所	山名 智平 早岡 吉弘 中島 憲治 沢田 康次	67
ビジョンチップに用いるのノイズ補償バッファの試験回路	九州工業大学情報工学部	菊田 成司 八木 哲也	67
ビジョンチップに用いる電荷蓄積型光センサの試験回路	九州工業大学情報工学部	菊田 成司 八木 哲也	68

平成10年度 第1回NEL試作

題 名	大 学 名	研 究 者	掲載頁
マルチプレクサ方式とバス方式の比較のためのマイクロプロセッサとBBプロセッサ・FIB検査用回路	東京大学 工学部	小松 聡 池田 繁 浅田 邦博	69
純了抽出型パイプライン加算器を用いた疑似非同期式マイクロプロセッサの設計	東京大学 工学部	柳 若形 佐藤 龍則 浅田 邦博	69
大規模集積回路の熱分布に関する研究	東京大学工学部 研究科 大規模集積システム設計教育研究センター	大口 康弘 崎 小池 義典 矢 砥 誠一 杉	69
ライブラリセル検査用TEGチップの試作	九州大学大学院 システム情報科学研究科 情報工学専攻	ジャマルエディン カレット 石原 亨 安藤 寛人	70
VDEC共有利用マクロとしてのSRAMチップの試作	九州大学大学院 システム情報科学研究科 情報工学専攻	石原 亨 安藤 寛人	70
冗長検査数乗算器の試作・評価	東北大学大学院 情報科学研究科	笠 健一 青木 孝文 樋口 聖雄	70
DRAMベース加算機能メモリ/PLL回路評価 TEG	京都大学 田丸研究室	小林 幸史 船田 浩章 岡田 健一 小野 秀俊 田丸 啓一	71
CMOSニューロ回路	大隈大学大学院 工学研究科	市橋 基 谷口 研二	71
光開閉式レシーバ回路を用いた分周器の試作	東京大学工学部 研究科 大規模集積システム設計教育研究センター	松原 祐一郎 藤島 美 尾 敏一郎	71
マイクロ心拍モニターの試作	東京大学 工学部 研究科 大規模集積システム設計教育研究センター	松原 祐一郎 藤島 美 尾 敏一郎	72
CMOSオペアンプの試作	玉川大学	青木 健太郎 山本 廣介	72
X線光電子スペクトル解析用LSKのための高速検査乗算器の試作	武蔵工業大学 工学部 電気電子工学科 電子物性研究室	小澤 健 野藤 豊 行幸 真介 関根 定男 野平 博尚 森本 一紀 阪部 健雄	72
係数再構成可能なFIRフィルタの試作・評価	東北大学大学院 情報科学研究科	澤田 誠樹 青木 孝文 樋口 聖雄	73

題名	大学名	研究者	掲載頁
並列演算処理システムに関する研究	東北大学大学院工学研究科	河江大輔 栗野浩之 小柳 光正	73
メモリ共有型並列計算機のための製作メモリチップ	東北大学大学院工学研究科	小野 泰三 栗野浩之 小柳 光正	73
階層構造型マルチポートメモリに必要な変換回路の製作	広島大学ナノデバイス・システム研究センター	李海敏 村上 貴志 山田 耕太郎 H.J.Mdlasch	74
マルチポートメモリに必要なアクセス衝突処理回路の製作	広島大学ナノデバイス・システム研究センター	村上 貴志 李海敏 山田 耕太郎 H.J.Mdlasch	74
8ビット汎用マイクロプロセッサの設計製作	千葉大学 工学部	長谷川 智 大宮生田 利章 小橋 信光 坂本 貴幸 伊藤 秀男	74
MEMSのためのVLSIサービスの利用・VLSI及びツールの理解	東京大学 工学部	大山 毅之 下山 勲	75
カルコゲナイト半導体相変化不揮発メモリ製作のためのチップ	金沢大学 工学部	水橋 嘉章 早川 史人 今井 豊	75
デジタル相関器	東京大学 工学部	安藤 繁 高橋 亮	75
時空間型イメージセンサ (第2報)	東京大学 工学部	米海 晴 安藤 繁	76
積和演算機を持つプロセッサの製作	東京理科大学大学院 工学研究科 電気工学専攻	坂本 志尚 藤野 恭寛 村松 正吾 山田 昭彦	76
機能可変型DSPプロセッサ	大阪大学大学院 工学研究科	Tan Boon Keat 吉村 隆治 谷口 研二	76
SiLSIチップを用いたセンサ回路およびLSI中の演算測定回路の製作	東京大学生産技術研究所 核子研究室	川口 博 野瀬 浩一 井高 康仁 坂井 貴隆	77
低電力耐航充電率検出回路 (2)	広島大学 工学部	花島 達之 永田 真 岩田 毅	77
上位相先行シリアル演算ベクトル量子化プロセッサ	東北大学大学院工学研究科 東京大学 大規模集積システム設計教育研究センター 東北大学未来科学技術共同研究センター	野澤 俊之 今井 聖 藤林 正典 小谷 光朗 大見 忠弘	77
1ビットデジタル演算ASICチップの製作と評価に関する研究	東京工業大学 工学部	石橋 卓行 内村 勉 石田 亮 中本 高道 森島 豊実	78

平成10年度 第1回ローム試作

題名	大学名	研究者	掲載頁
可変ブロックアクセスを用いた動きベクトル検出イメージセンサ	東京大学 工学部	藤塚 智雄	79
時空間型画素最小検出機能をもつCAMマクロ	東京大学	池田 繁 浅田 邦博	79
動画検出と三次元コンピュータグラフィクス向き行列ベクトル演算器の設計	大阪大学大学院 工学研究科	竹本 裕介 藤橋 秀幸 尾上 孝雄 白河 功	80
再帰的最尤推定アルゴリズムを用いた誤り訂正符号器のVLSI設計	大阪大学大学院 工学研究科 大阪大学大学院 基礎工学研究科 広島市立大学大学院 情報科学研究所	岡 大輔 三木 Morgan 裕介 船田 玄 尾上 孝雄 白河 功 藤塚 智 高 忠雄	80
教子予測加算器を用いた超短時間動作マイクロプロセッサの製作	東京大学	藤 若杉 浅田 邦博	80
電流検出ノイズ測定回路/バストランジスタ/アナログフィルタ	東京大学 工学部	南木 秀行 山下 高敏 宋 善男	81
マイクロ全体モニタのための包摂電圧電力データ圧縮回路	東京大学 工学部	木庭 隆治 藤 美実 荒 祐一郎	81
動き検出センサおよびセンサ内A/Dコンバータのテスト回路	東京大学 工学部 東京理科大学 工学部	杉浦 和英 大塚 康弘 松澤 浩晴 伊野 毅一 洪 奉 隆之	81
1/2 MOS空間検分回路及び位相検出回路	東京大学工学部電子情報工学科	浅野 雄太郎 森本 望 岡田 直	82
1/2 MOS並列検出CDMAマッチングフィルタ	東京大学工学部高研院 電子情報工学専攻	岡田 直彦 岡田 直	82
汎用画像フィルタ処理回路の設計	東京大学 工学部	八雲 隆 岡田 直彦 藤 美実	82
高エネルギー放射線計測のための回路パーツの製作	東京大学 素粒子物理国際研究センター 高エネルギー加速器研究機構	松浦 聡 佐々木 修	83
高エネルギー放射線LSIの製作	高エネルギー加速器研究機構	新井 康夫	83
超伝導電流検出回路のための制御回路	工業技術院機械技術研究所	小関 豊彦	83
演算回路設計実用における16ビットバイプラインプロセッサの設計	奈良先端科学技術大学院大学 情報科学研究科	高木 一樹 井筒 俊 佐々木 隆志 深津 始 丸岡 新治 朱 強 木村 智二	84
再構成可能な持つJavaプロセッサ	奈良先端科学技術大学院大学 情報科学研究科	木田 裕之 高木 一樹 木村 智二 あべ 聡 電 藤 美実 藤 正	84
光伝送制御回路ASICの開発	岡山理科大学大学院 工学研究科 情報工学専攻	加藤 史法 多田 昭晴	84
LRR浮動小数点乗算回路のカスタムLSIへの実装と評価	電気通信大学	葛 毅 岡部 公輝	85
データバスのレイアウトとプロセッサの消費電力の関係を探るTEG-メタル3層テクノロジーの機会	広島市立大学 情報科学部	根本 岳大 越智 裕之	85
EBアスタイング変異化のためのテストバッド配置手法評価用マイクロプロセッサ	大阪大学大学院 工学研究科 情報システム工学専攻	柳生 慎也 三浦 亮介 中村 幸治 船岡 弘	85
EBアスタ画像からの動作情報検出および疑似カラー表示用LSI	大阪大学大学院 工学研究科 情報システム工学専攻	池田 半二 中村 幸治 船岡 弘	85
CMOSニューロ回路	大阪大学大学院 工学研究科	市橋 基 谷口 研二	86

題名	大学名	研究者	掲載頁
CMOS Rail-to-Rail OPAMP	大阪大学大学院 工学研究科	小川 敬 谷口 研二	86
過渡応答最適基本回路の設計・製作	大阪大学大学院 工学研究科	高村隆治 谷口 研二	87
画像処理用MOSセルオートマトンLSIの設計製作	北海道大学工学研究科電子情報工学専攻	池辺 初之 赤澤 正道 雨宮 好仁	87
画像処理用MOSセルオートマトンTEGの設計製作	北海道大学工学研究科電子情報工学専攻	池辺 初之 赤澤 正道 雨宮好仁	87
画像領域分割を実行する駆動子ネットワークチップ	広島大学 工学部	安藤 博士 森江 隆 永田 真 岩田 豊	87
カオスニューラルネットワークチップ	広島大学 工学部	酒井 隆太 森江 隆 永田 真 岩田 豊	88
高速ウェーブレット変換チップ	広島大学 工学部	佐藤 真 森江 隆 永田 真 岩田 豊	88
低スイッチング遅延CMOS論理回路を用いたSR1増幅器	広島大学 工学部	土方 克典 永田 真 岩田 豊	88
正線電荷転送増幅器とその比較器への応用	東京大学 大規模集積システム設計教育研究センター 東北大学未来科学技術共同研究センター	小谷 光司 大見 忠弘	89
故障診断モデルの作成	東北大学 工学部	高橋 史一 丸尾 有希 小谷 光司 大見 忠弘	89
神経回路の高速化に関する研究	東北大学電気通信研究所	片山 廉弘 金崎 光永 原田 知明 田中 美優 佐藤 茂雄 中島 康治	89
データ駆動型利用チップ製作	東京理科大学	橋本 力	90
CMOS Rail-to-Rail オペアンプ	大阪大学大学院 工学研究科	島中 信伍 小川 敬 高村隆治 谷口 研二	90

平成10年度 IP開発テストラン

題名	大学名	研究者	掲載頁
IP化した終了予知回路の設計	東京大学	部 善彰 浅田 邦博	91
バストランジスタ/アナログフィルタ	東京大学 工学部	山下 高廣 増田 太郎 浅田 邦博	91
フォトダイオードアレイの設計	東京大学 工学部	星野 初史 池田 誠 浅田 邦博	91
浮動小数点演算器の設計	大阪大学大学院基礎工学研究科	芝原 真一 小林 真輔 松岡 茂明 武内 良典 北橋 暁 今井 正治	92
VDEC共同利用マクロとしてのSRAMとPLLの開発	九州大学大学院システム情報科学研究科 情報工学専攻	石原 亨 廣瀬 啓 安清 寛人	92
逆離散コサイン変換回路の製作	九州大学大学院システム情報科学研究科 情報工学専攻	溝口 大介 安清 寛人	92
オーバーサンプリングADC用くし形デジタルフィルタマクロ	豊橋技術科学大学情報工学系 豊田高専情報工学科	川人 祥二 宮崎 大輔 中 塚一 仲野 巧	93
オーバーサンプリングADC用アナログセル及び32b並列加算器	豊橋技術科学大学情報工学系 仙台電波高専 鈴鹿高専	川人 祥二 佐藤 剛 中林 潤 他々木 正明 北村 登 伊藤 八十四	93
クロック信号発生用PLL回路	京大大学院 工学研究科	藤田 浩章 岡田 健一 小野寺 秀俊	93
空変動型ΔΣAD変換器	広島大学 工学部	若木 肇 永田 真 岩田 豊	94
PLL周波数シンセサイザ	大阪大学大学院 工学研究科	佐野 啓弘 Yaw Lim Guan 高村隆治 谷口 研二	94
アナログオペアンプの設計	九州大学 工学部 電子工学科	鉄川 龍也 黒木 幸介	94
高速ウェーブレット変換チップの製作	九州大学大学院システム情報科学研究科 情報工学専攻	新 勇 兵衛 草津 村上 和彰	95
PCaデバイス：自律的再構成可能なPLD	京大大学院情報科学研究科	深津 元 渡部 久 泉 知雄 中村 行宏	95

平成10年度 日立製作所0.35μm試作

題名	大学名	研究者	掲載頁
ApolloGAを用いたゲートアレイ配置配線設計フロー評価用チップ	東京大学 大規模集積システム設計教育研究センター	池田 誠 浅田 邦博	96
パラメータ取得用デバイス評価 TEG	東京大学 大規模集積システム設計教育研究センター	平本 俊郎 小半 龍 克	96
バストランジスタロジックを用いた基本ロジック回路	東北大学電気通信研究所	鈴木 孝彦 渡藤 智郎 舛岡 嘉士雄	97
LSIデバイスにおける低消費電力化を指向した降圧回路と その制御回路	東北大学電気通信研究所	須水 和久 渡藤 智郎 舛岡 嘉士雄	97
多値検出回路：電流モード多値回路と多値CAM	東北大学大学院情報科学研究科	亀山 克隆 羽生 貴弘 前島 敬弘 寺西 寛	97
SignedWeight数値に基づくデジタル信号処理用FPGA	東北大学大学院情報科学研究科	高木 信宏 澤田 高樹 青木 孝文 樋口 悠雄	98
容量パラメータ及びNQSモデルパラメータ抽出用TEG	京大大学院 工学研究科 情報システム専攻 田丸研究室	後藤 真作 藤田 浩章 岡田 健一 小野寺 秀俊	98
低消費電力乗算器の評価チップ	神戸大学工学部情報知能工学科	藤 和男 李 鼎烈 北村 清彰	99

題 名	大 学 名	研 究 者	掲載頁
MPED(動画符号化のための動き予測器)	東京工業大学工学部電気電子工学科	岡村 博昭 平 冬彦 トリオアディオノ 狩野 真 横山 良彦 高 野	99
VerilogHDLを用いた構造化リカレントニューラルノードの設計	北海道大学大学院工学部 電子情報工学専攻 情報メディア工学講座	李 海源 宮永 喜一	100
クラスタリングネットワークチップ	北海道大学 工学部 電子工学科 遠隔システム工学分野	樺沢 正之 宮永 喜一	100
高速ウェブレット交換チップ	九州大学大学院システム情報科学研究科	野矢 兵衛 章彦 村上 和彰	100
暗号処理用プロセッサ (IST-DLX)	九州大学大学院システム情報科学研究科	石原 孝 兵塚 卓彦 山下 源 エコー ファジナル 安清 真人	101
マルチプロセッサ用のスケジューリング支援ハードウェアを 搭載したプロセッサ	広島市立大学 情報科学研究科 情報工学専攻	弘中 智夫 佐々木 敬幸 佐伯 賢治	101
データベースのレイアウトとプロセッサの消費電力の関係を探るTEG -メタル5層テクノロジーの場合-	広島市立大学 情報科学部 情報工学科	田本 岳大 越智 福之	102
乗算器、乗加算器およびALU搭載チップ製作	早稲田大学	柳澤 政彦 井上 大輔 志澤 大 海訪 勝 島屋 晃 羽根 達也	102
画像処理LSIのTEG製作	芝浦工業大学 システム工学部 電子情報システム学科	上田 和宏 吉田 勝 鈴木 真之	103

5.1. 試作結果

平成10年度第1回モトローラチップ試作

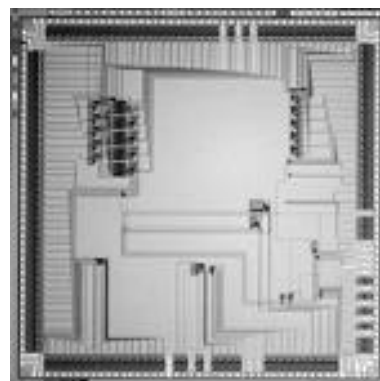
時系列情報連想記憶システムの集積化

東北大学電気通信研究所 佐藤 厚志 佐藤茂雄 中島康治

はじめに 従来の連想記憶システムは、多くが静的に与えられたデジタルデータに対してマッチング処理を行うものであった。これに対し本システムでは、マッチング処理の際に過去の情報も考慮するシステムを提案する。これにより、記憶容量の増加、想起誤りの低減などが期待できると思われる。また、本システムを集積回路として実現する際に、電流モードアナログMOS回路を採用することでアナログ時系列情報の直接処理を可能にしている。

試作したチップ 今回試作したのは時系列情報連想記憶システムの演算部のチップであり、サンプル&ホールド回路、距離計算回路、Winner-Take-All回路から構成される。今回はシステムの動作検証ということで、規模はあえて小さいものとした。これをモトローラ社1.2 μ mルール、7.3mm角のチップとして実現した。演算部は主に電流モードアナログMOS回路で構成されており、回路規模は800トランジスタであった。本システムはこの演算チップと、筆者等が独自プロセスにより試作したアナログメモリアレイチップの2チップ構成になっている。

設計は筆者(修士2年)1名で行った。回路シミュレータはHSPICE、CADツールはMOSISのMagicを用いた。設計期間は2ヶ月程度であった。このチップについて実際に測定を行った結果、ほぼ設計とおりの特性であることが確認できた。



可変ブロックアクセス機能を有するイメージセンサ

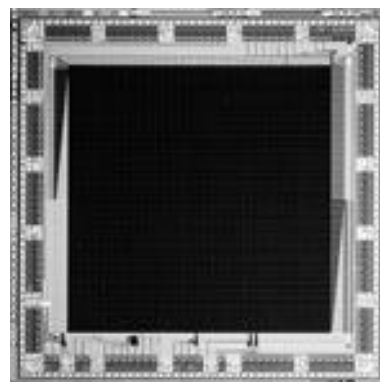
東京大学工学部 星野 将史 池田 誠 浅田 邦博

はじめに CCDなどに代表される従来のイメージセンサでは、走査方式がラスタ走査であり必要な画像データが局所的な部分であってもそれを読み出すには全ての画像データを読み出さなければならない。今回の試作では局所的な部分に対して範囲、位置共に自由にブロックアクセスできる機能を有するイメージセンサを設計した。

チップ概要 今回試作したイメージセンサは、画素数90 \times 90の2値画像センサで、外部からアドレス指定した画素ブロックにおける画素値の論理和を出力する機能を有する。また別の機能として、アドレス指定された画素ブロックの各画素における光電流の総和を出力する機能も有する。アドレス指定は画素平面の行方向、列方向を指定するアドレス線を90本用意することで自由にブロックアクセスできるようにした。

イメージセンサの構成は、主として画素平面、列方向に取られた画素値の論理和を行方向に論理和を取る周辺回路、そして指定するアドレスを記憶する回路から構成される。また画素平面を構成する画素回路はフォトダイオード、画素値を記憶し列方向に指定された画素の画素値の論理和をとる回路から構成される。

イメージセンサは、モトローラ社1.2 μ mルール、7.3mm角のチップとして実現した。設計は修士の学生1名で行い、約1ヶ月かかった。チップの総トランジスタ数は約12.5万トランジスタであった。

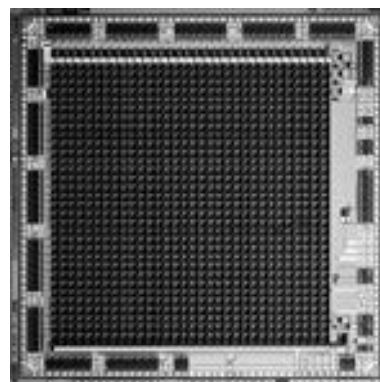


可変ブロックアクセスを用いた動きベクトル検出イメージセンサ

東京大学工学部 根塚 智裕 池田 誠 浅田 邦博

はじめに 動きベクトルの検出には多くの計算量が要求されるため、汎用の信号処理プロセッサを用いた処理方式では、高フレームレートでの動きベクトルの検出は難しい。イメージセンサ面上に集積した信号処理回路を用い、並列処理を行うことにより、高速に動きベクトル検出の処理を行うことが可能となる。可変ブロックアクセスを用いることにより画素における信号処理の結果を、可変サイズの選択領域内の論理和および電流和として、1サイクルで読み出すことが可能である。

試作したチップ 今回試作したチップは、動きベクトル検出イメージセンサのプロトタイプであり、対象は2値画像である。各画素に集積したフリップフロップにより2次元シフトレジスタを構成し、画像のシフトを行う。シフトした前フレームの画像と現フレームの画像の差絶対値を各画素のEXOR回路によ



り演算する。電流和として出力される差分絶対値和の比較により動きベクトルを決定する。

モトローラ社1.2 μ mルール、7.3mm角のチップとして実現した。回路規模は約120kトランジスタとなった。設計は修士過程2年の学生1名が1ヶ月半程度の期間で行った。設計および検証に用いたツールは、CADENCEのレイアウトエディタ、HspiceおよびStarSimである。動作検証によりチップの動作を確認した。

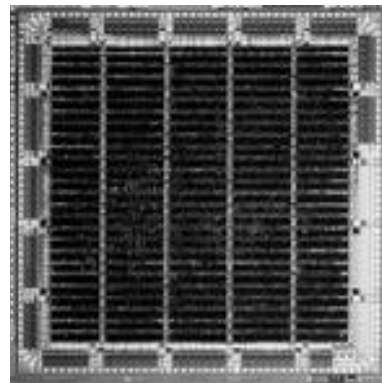
参考文献 [1] 根塚他「可変ブロックアクセスを用いた動き検出イメージセンサ」通信学会総合大会, C-12-56, p.154, Mar. 1999

ライブラリ検証用マイクロプロセッサ(1)

東京大学 池田 誠 浅田 邦博

東大VDECで提供しているモトローラ用の自動設計用ライブラリ(論理合成、論理シミュレーション、自動配置配線)の検証用のTEGチップを作成した。本チップは、ライブラリの動作及び設計フローの検証とともに、モトローラ7.3mm角チップに設計可能なゲート数の上限の目安を与える為に設計した、ごく単純なRISC型のマイクロプロセッサ(同著の(2)と同じ構成でデータ幅が異なる設計)で、検討の結果データパス部分のデータ幅が48ビットとなっている。

本TEGチップは講師が1名で既存のVerilogHDL記述をもとに3日間程度で論理合成、配置配線を繰り返して設計を行い、6500セル(17300ゲート相当)のゲート規模となっている。設計には、Verilog-XL, Design Compiler, AquariusXO(現在は ApolloXO)を用いた。



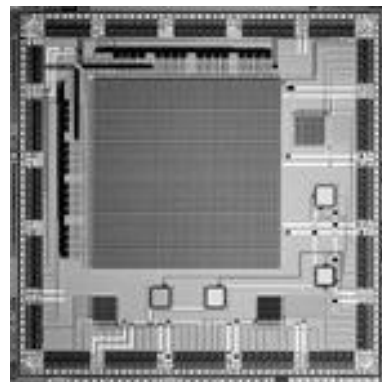
時間相関型イメージセンサ(第3報)

東京大学 工学部 来海 暁 安藤 繁

はじめに 我々の研究室では高性能の画像センシングの実現を目指し、入射光強度と各画素共通の外部電気信号との時間相関値を出力する時間相関型イメージセンサの研究に取り組んでいる。今回の設計方針は概ね今年度の第1回NTTエレクトロニクスでの試作(NEL98-1「時間相関型イメージセンサ(2)」)と同じであるが、画像センシングへの応用を前提とし、センサアレイの画素数を64 \times 64画素に拡大した。また画素構造の最適な仕様を探るため、画素構造に一部変更を加えた8 \times 8画素センサアレイを3種製作した。

チップ概要 センサアレイについては、画素数を64 \times 64に拡大したほか画素セルの特徴についてはNEL98-1と同じなのでそちらを参照されたい。8 \times 8画素のセンサアレイのうち

2種については、容量効率や電流漏れの改善を目的として、キャパシタをこれまでのpn接合・Al配線酸化膜からポリシリコン2層およびゲート酸化膜にそれぞれ変更したものであり、残りの1種は昨年度第2回モトローラ(MOT97-2)で製作した8 \times 8画素センサの対称性を改善したものである。試作には約1ヶ月を要し、博士課程の学生1人がCadence社のVirtuosoを使用してマスクパターンの設計を行った。CAD技術に十分習熟していないため配線は自動ではなくすべて手で行ったが、画素数の拡大に伴い手間が増大し誤りの元となりやすくなるので、今後はCADによる自動配置配線が行えるようにしたい。また画素構造の最適化のため、回路パラメータ抽出によるシミュレーションを導入したい。試作したチップの総トランジスタ数は約2万個である。64 \times 64画素センサについてはダイナミックレンジ、SN比、画素間のばらつき、周波数特性などの基本特性を調べ、時間相関が得られることを確認した。また応用の第一歩としてスピーカの振動計測を試みている。

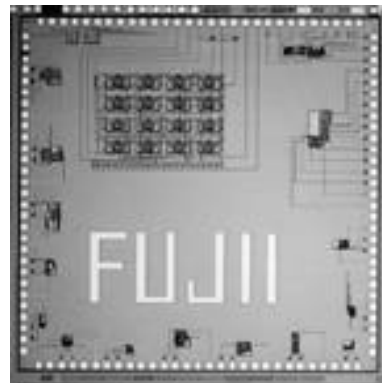


レイアウトの相違によるアナログ回路特性の検討

東京工業大学 工学部 和田 和千 高木 茂孝 藤井 信生

アナログ回路では、素子の整合を仮定した設計がよく行われるため、レイアウトに十分注意を払う必要がある。集積回路上での素子バラツキを低減するためのレイアウト手法として、コモンセントロイドが知られている。今回の試作では、まず、コモンセントロイドを適用した場合とそうでない場合の比較ができるように、2組のトランジスタ対と2個の容量のレイアウトを行った。さらに、アナログ集積回路で非常に良く用いられるOTAの差動対やカレントミラー回路にもコモンセントロイドを適用し、レイアウトを行った。さらに、OTA自体の配置に対する特性への影響についても評価できるように工夫している。

設計には、修士課程2年の学生2名が主として担当し、約3週間の時間を要した。また、トランジスタ数は全体で約300個である。



アナログ連想記憶システム構築のための回路

東北大学 電気通信研究所附属

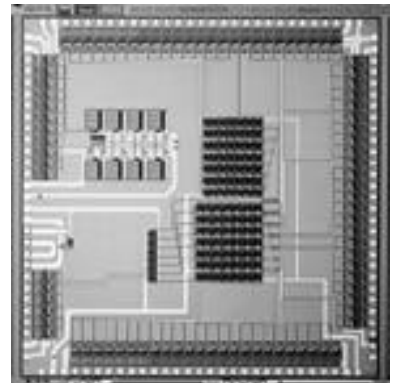
超高密度・高速知能システム実験施設 原田 知親 佐藤茂雄 中島康治

はじめに 画像や音声といった情報はアナログ量であり、集積化の際にはほぼ同等の精度をだすのに、デジタル信号技術では回路規模の大規模化・計算時間の膨大さという欠点がある。そこで、これらの欠点を改善し、直接アナログで高速・並列に連想処理ができ、かつ未知情報を記憶・選別可能なアナログ連想記憶システムを提案し[1]、そのシステム構成の一部として集積化を行なった。

試作したチップ 今回は、アナログ値で構成される入力ベクトルに対して、直接アナログで高速かつ並列に連想処理を行なえるシステムを試作した。この連想記憶システムはすべてアナログ回路で構成され、6入力7出力のアナログ連想記憶システムを、外部バイアス電圧を与える回路とセルフバイアス機構をもった回路の2種設計した。アナログメモリの搭載については、今回の試作では保持時間の関係から見送り、外部回路で実現することにした。この連想記憶システムはモトローラ1.2 μ mルール、4.8mm角のチップとして実現した。

試作に要した日数 1ヶ月 設計者 博士2年 トランジスタ数 約6000個

参考文献 [1] T.Harada, S.Sato, and K.Nakajima, "A Content-Addressable Memory using Switched Diffusion Analog Memory with Feedback Circuit", IEICE TRANS. Fundamentals, Vol.E82-A, No.2, Feb. 1999

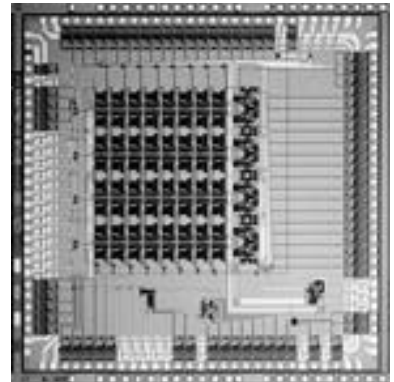


カオスノイズ発生器を用いたカオスニューラルネットワーク回路の設計

東北大学 電気通信研究所 田中 英俊 佐藤 茂雄 中島 康治

はじめに ニューロンがカオスダイナミクスを有するニューラルネットワークにおいて、その情報処理能力が向上することが報告されている。その際にカオスダイナミクスとしてニューロンにカオスノイズを印加した場合でも同様に情報処理能力の向上が確認されている。このようなニューラルネットワークの特徴である並列処理を実現するためにはハードウェアで大規模集積化を行なう必要がある。今回我々は上記の様なカオスノイズ発生回路を含むニューラルネットワークの設計を行った。

試作したチップ概要 今回設計した回路は8ニューロン、64シナプスで構成される。シナプスは全結合しているの荷重値を変えることで様々なネットワークを実現できる。カオスノイズ回路は各ニューロンに1つずつ組み込まれている。シナプス荷重値はアナログ電圧の値で決まるが、電圧の印加は抵抗ストリング型D/Aコンバータに5bitのSRAMとを用いて実現した。またカオスノイズ回路は電流モードのマップを用いた。外部から別クロックで動作するアナログスイッチとキャパシタによるスイッチトカレント回路により入出力電流の保持を行ない、これにより得られる電流の時系列をカオスノイズとして使用する。なお本回路は約8,000トランジスタ、24キャパシタを使用、面積は約4mm x 4mmとなっている。また設計には博士過程3年生の学生が担当し、約2ヶ月で設計した。



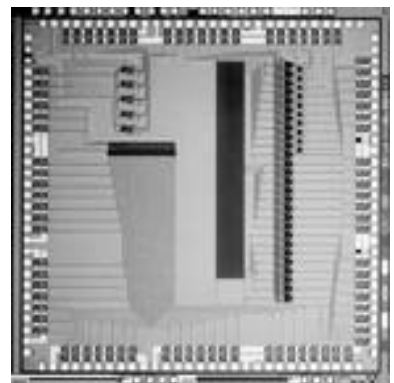
MOSによる直線Hough変換回路の試作

東北大学 工学部 丸尾 和幸 高柳 史一 小谷 光司 大見 忠弘

はじめに 二値画像内に存在する直線の位置と回転角を検出する方法として、直線Hough変換(Straight-line Hough Transform; 以下SLHT)という画像処理が知られている。SLHTをリアルタイムに処理するにはハードウェア化が不可欠である。われわれは、SLHTのハードウェア化にMOSを導入することを検討した。これにより、CMOSデジタル回路と比較して、チップ面積1/30でSLHT回路を実現できる。

試作したチップ 今回試作したのは、入力容量の値を三角関数値に対応させて変化させ、合計容量を一定にするために入力を接地した容量を付加したMOS回路で、これにより、直線Hough変換演算 $=x \cos + y \sin$ を並列処理で実現できる。なお、今回の試作では、 $0^\circ \sim 10^\circ$, $21^\circ \sim 30^\circ$, $41^\circ \sim 45^\circ$ までを 1° 刻みで構成した。これをモトローラ社1.2 μ mルール、4.8mm角のチップとして実現した。設計はCadenceのAnalog Artistでおこなった。設計者は筆者ら2人(博士課程大学院生、大学院研究生)であり、設計に要した時間は約1ヶ月である。筆者らにとって初めてのチップ試作であり、比較的時間がかった。

参考文献 [1] 丸尾, 高柳, 大見, " MOSアナログ技術を応用した直線Hough変換回路の試作, " 信学99総大, エレクトロニクス2 p.150, Mar. 1999.

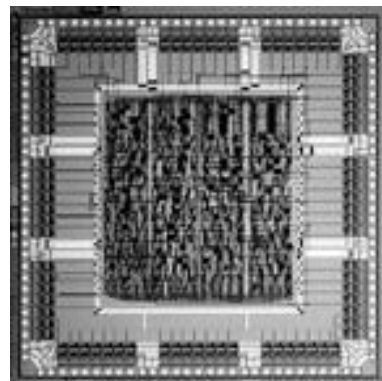


8ビット簡易マイクロプロセッサの設計・製作

金沢工業大学 電子工学科 小森 博文 福田 一郎

はじめに 本研究室では平成9年度よりシステムLSIの設計・製作に取り組んでいるが、本試作はその前段階として8ビットの簡単なマイクロプロセッサを設計・試作することで、本研究室におけるVLSI設計基盤を構築することを目的とした。

試作チップ 本研究室ではLSIの設計は初めての試みであったため、まずは確実に動作するものを設計するためにプロセッサはできるだけ単純な構成とした。基本的にはCISCプロセッサの構成となっているが、命令総数は全23命令であり、制御部は結線論理で構成している。使用した言語はVHDLであり、スタンダードセル方式による自動配置配線で設計を行った。論理合成およびシミュレーションにはSynopsys社のツールを、レイアウト設計にはAvanti社のツールを用いている。設計は修士2年1名が行い、設計期間は約3ヶ月であった。チップ納品後に簡単な検証回路を作製して試作チップの動作確認を行ったが、一部に故障箇所が発見されたものの、ほぼ設計どおりに動作させることができた。



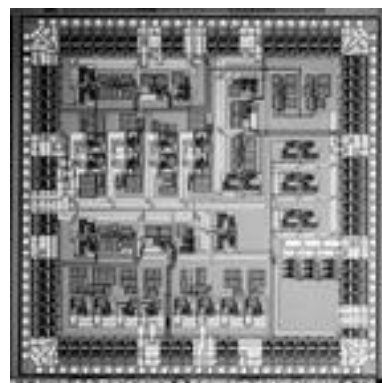
MOS構成に適したアナログ形PLLの試作

秋田大学工学資源学部 伊藤文人 井上浩

はじめに 近年、デジタル通信の発展とLSIの高速化の要求に伴いデジタル形PLLが増えてきたが、アナログ形PLLでは大幅な回路の単純化が可能と考えられる[1]。本研究では、CMOSプッシュプル回路を応用した回路と、分周器やチャージポンプ回路等を用いないアナログ形PLLを提案し、動作検証を目的にLSIを設計・試作した。

試作したチップ MOSの非線形性に着目し、相補形で動作させることで、プッシュプル動作の出力に乗算効果と位相合成効果とを含ませる回路である。これを用いると、従来必要とされてきた回路ブロックを用いないPLL回路を構成でき、回路規模の縮小と回路全体のLSI化が容易となる。

今回試作したのは、アナログ形PLLの全体回路と、これらを構成する各ブロックである。一つのループは約150個のMOSとその他抵抗、容量で構成されている。動作検証を目的とした設計を行ったので、数MHz程度の周波数帯域を想定した。そのため、容量等が若干大きくなったが、高周波化を計ることにより回路の面積等は縮小可能である。設計は1名(修士学生)にて、シミュレーションに約半年、レイアウトに約1.5ヶ月を要した。全トランジスタ数は約400、設計はフルカスタムでCadence社Virtuosoを使用した。
参考文献 [1] 伊藤,井上."CMOS LSIアナログPLLの一設計", 1999年電子情報通信学会総合大会,基礎・境界, p.51.

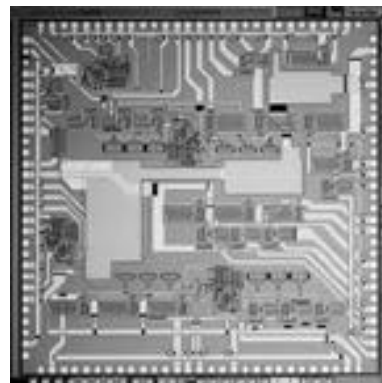


ULSIデバイスにおける低消費電力化を指向した降圧回路

東北大学電気通信研究所 須永和久 遠藤哲郎 舛岡富士雄

CMOS論理LSIはスケーリングに伴い、年々、消費電力が増え続けてきている。高速かつ高集積化された集積回路にとって低消費電力化技術は非常に重要である。ここでCMOS回路の消費電力は電源電圧VDDを下げることによる効果が非常に高い。しかし、システム電源電圧には規格が存在するために、デバイスの動作電圧における最適値とは一般的に一致しない。この差を埋めるのが降圧回路である。今回の試作チップはオンチップで構成可能なインダクタンスを含まないIRC回路で構成した降圧回路である。

レイアウト設計に要した日数は、1ヶ月程度である。設計は3名(教授、助教授、修士1年)で行った。チップはモトローラ社1.2μmルール、4.8mm角のチップで、回路規模は50トランジスタ程度である。設計ツールとしては、レイアウトにCadenceのVirtuosoレイアウトエディタ、回路シミュレーションにSilvaco社のSmartSpice、検証ツールにCadenceのDraculaを用いた。測定については準備中である。

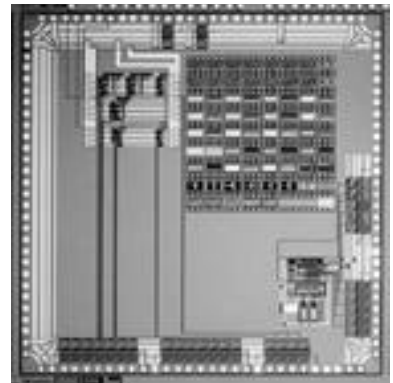


パイプライン型AD変換器を拡張したカオス発生回路(1)

東京大学工学部電子工学科 今村 晃 藤島 実 鳳 紘一郎

はじめに カオスとは「比較的単純な規則に支配された不規則運動」である。このような要素が日常的に用いている回路に潜んでいるとすれば、カオスの特性を考慮して設計、使用しなくてはならなくなる。このようにカオスを内在すると考えられる回路としてパイプライン型AD変換器に着目し、確かにカオス発生回路を構成できることを試作を通じて実証しようと試みた。

試作したチップ 今回設計した回路は、スイッチトキャパシタを利用した1ビットパイプライン型AD変換器を巡回型に構成することにより、いつまでもAD変換を行なえるようにしたものである。コンパレータ、サンプル/ホールド回路などから成っており、チップ面積はおよそ900 μm x 650 μm、78トランジスタと9つのキャパシタから構成されており、学部の4年生が約3週間でフルカスタム設計したものである。



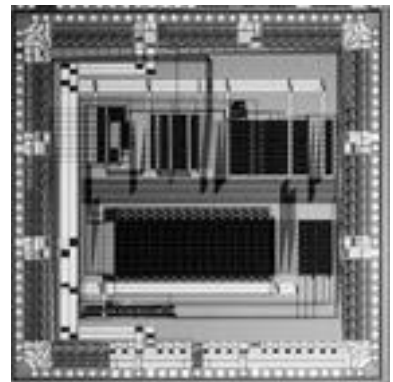
8ビットマイクロプロセッサ

東京大学 工学部 小松 聡 池田 誠 浅田 邦博

はじめに 近年、VLSI設計手法は旧来より行われてきたフルカスタム設計からセルベース設計に移行しつつある。そのような状況の中で、これら両者の設計手法における設計期間、回路面積、動作速度、消費電力などの比較のために両手法で同機能を有するマイクロプロセッサを試作した。ここでは、フルカスタム設計を行ったチップについて報告する。

試作したチップ 今回設計した8ビットマイクロプロセッサは3バス構成の4段パイプラインであり、非常にシンプルな構成となっている。

本チップは博士1年の学生が約3週間で設計をし、トランジスタ数は約16kであった。また、設計・検証に利用したツールはデザインツールとしてケードンス社のVirtuoso、回路抽出・デザインルールチェックにDracula、回路シミュレーションにアバンティ社のHSPICEとAnagramを用いた。

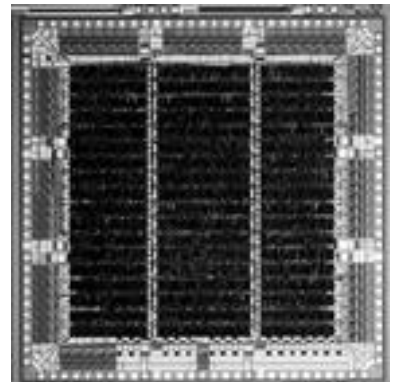


ライブラリ検証用マイクロプロセッサ(2)

東京大学 池田 誠 浅田 邦博

東大VDECで提供しているモトローラ用の自動設計用ライブラリ(論理合成、論理シミュレーション、自動配置配線)の検証用のTEGチップを作成した。本チップは、ライブラリの動作及び設計フローの検証とともに、フルカスタム設計と、自動設計の差を比較する目的で設計しており、本年報チップレポート中の「8ビットマイクロプロセッサ」(東大 小松ら著)と同じアーキテクチャとなっている。但しデータ幅は16ビットとしてある。

本TEGチップは講師が1名で既存のVerilogHDL記述をもとに2日程度で論理合成、配置配線、及び回路シミュレーションによる設計を行った。全体で、2600セル(8300ゲート相当)のゲート規模となっている。設計には、Verilog-XL, Design Compiler, AquariusXO(現在はApolloXO)を用い、Draculaにより回路抽出を行った上で、チップ全体を、HSPICE, Anagramを用いて回路シミュレーションを行うことで動作を検証している。



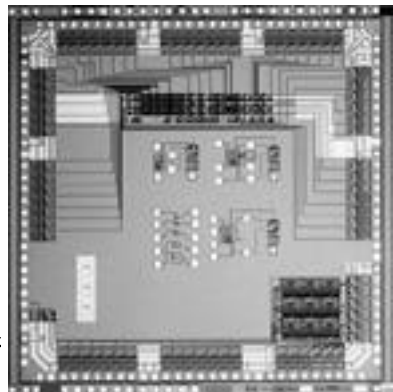
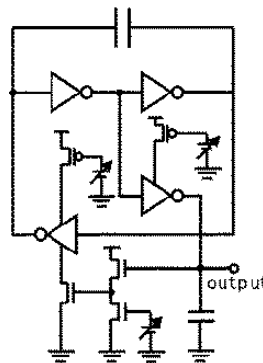
マルチバイブレータを用いたカオス発振回路の相互結合による不規則発振回路(1)

東京大学工学系研究科 相原 祐一郎 辻田 達男 藤島 実

大規模集積システム設計教育研究センター 鳳 紘一郎

目的 集積化が容易なカオス発振回路は少なく、そのため大規模カオス結合系の研究は主に数値計算によって行なわれている。集積化が容易なカオス発振回路を実現することにより、カオス系のシミュレーションにとどまらず、工学的なカオスの応用に役立たせることができると考えられる。そこでマルチバイブレータを元にしたカオス発振回路を相互結合させた回路の試作を行なった。

試作チップ 図に示したマルチバイブレータを元にしたカオス発振回路をセルとして2次元的に配列し相互結合させた回路の設計を行なった。

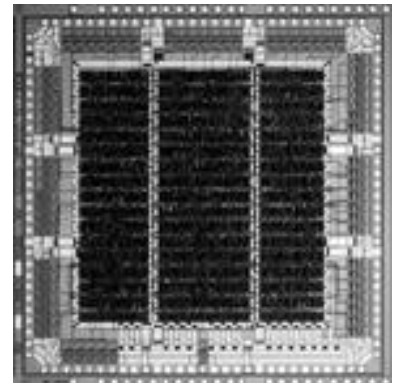


ライブラリ検証用マイクロプロセッサ (3)

東京大学 池田 誠 浅田 邦博

東大VDECで提供しているモトローラ用の自動設計用ライブラリ(論理合成、論理シミュレーション、自動配置配線)の検証用のTEGチップを作成した。本チップは、ライブラリの動作及び設計フローの検証とともに、簡単なRISC型マイクロプロセッサにおいて、パイプライン型と非パイプライン型の比較を目的として設計しており、同著の(2)の非パイプライン制御の構成となっている。

本TEGチップは講師が1名で既存のVerilogHDL記述をもとに2日程度で論理合成、配置配線、及び回路シミュレーションによる設計を行った。全体で、2300セル(7600ゲート相当)のゲート規模となっている。設計には、Verilog-XL, Design Compiler, AquariusXO(現在はApolloXO)を用い、Draculaにより回路抽出を行った上で、チップ全体を、HSPICE, Anagramを用いて回路シミュレーションを行うことで動作を検証している。

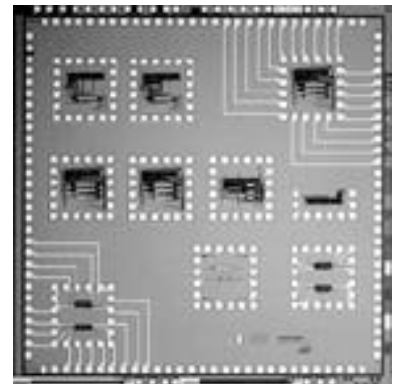


集合論理集積回路の試作・評価

東北大学大学院 情報科学研究科 藤田 晋 青木 孝文 樋口 龍雄

はじめに 集積回路技術の極限的微小化および大規模並列化に伴い、内部配線の複雑化に起因するシステムの性能限界が深刻化しつつある。この配線問題に対する一つの解決法として、多値論理の有用性が注目されている。また、筆者らは超多値論理を実現する方法として、M系列と呼ばれる擬似ランダム系列に着目し、これを用いた集合論理集積回路の構成を提案している。今回、筆者らは擬似ランダム系列を用いた集合論理集積回路として、基本回路および集合差関数の試作・評価を行った。

試作チップ 今回の試作は、M系列を情報担体とした集合論理集積回路の実現可能性を検討することを目的としている。本システムの基本回路は、多重化したM系列を発生させる論理値発生回路、多重化されたM系列から任意の集合を検出する多系列検出回路からなる。また双方向電流モード方式により、系列の多重化を電流の線形加算のみで実現でき、系列検出のための相関演算を電流のスイッチングとキャパシタへの蓄積のみで実現できるなどの利点を有する。写真は、Motorola 1.2 μm による基本回路および集合差関数の試作である。動作周波数はHSPICEによる回路シミュレーションにおいて50MHzとなることを確認した。なお、本チップは修士1年の学生が約1ヶ月で設計し、2kトランジスタで構成されている。



多値集積回路：電流モード多値回路と多値CAM

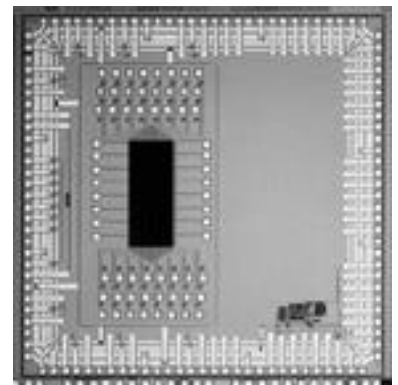
東北大学大学院情報科学研究科 亀山 充隆 羽生 貴弘 齋藤 敬弘 寺西 要

はじめに ポストバイナリ集積回路技術の1つとして、信号の多レベル化を活用した多値集積回路が知られている。筆者らは、算術演算に適する電流モード方式、論理演算に適する電圧モード方式の多値集積回路技術を提案してきた。まず、電流モード方式では、線形加算が結線のみで実現できるため能動素子数を減少できると共に、2線相補信号にて駆動することにより、低電源電圧時でも高い電流駆動能力を有する電流モード基本ゲートが構成できる。この結果、電源電圧を1.5V程度まで下げられることを明らかにしてきた[1]。また、電圧モード多値回路として、フローティングゲートMOSトランジスタの浮遊ゲートに多レベル電荷を蓄積させる。これにより、このデバイス単体で「多値データ記憶」機能、「パスゲート」機能、「多値しきい演算」機能が同時に達成できることを示すと共に、この機能デバイスを活用してコンパクトな論理演算回路が構成できることを提案してきた[2]。

試作したチップ 今回試作したのは、まず上述した2線式電流モード多値回路方式の応用として、多値非同期制御回路である。2線表現にてスペース信号を(0, 0)と定義することにより、任意のR値データ表現へ拡張可能な新しい非同期制御回路が構成できる。また、フローティングゲートMOSトランジスタの応用として、小規模な多値連想メモリ(CAM)を試作した。チップ内のトランジスタ数は約1000個。試作に使用した設計、検証ツールはComposer, Virtuoso, Dracura, HSPICE。フルカスタム設計であったため、設計に約1ヶ月(修士2年生)を要した。

参考文献 [1] T. Hanyu et al., "Asynchronous Multiple-Valued VLSI System Based on Dual-Rail Current-Mode Differential Logic," 1998 IEEE International Symposium on Multiple-Valued Logic, pp.134-139, May 1998.

[2] 羽生他, "ディジットパラレル多値CAMの構成と評価," 信学論D-I, Vol.J81-D-I, No.2, pp.151-156, Feb. 1998.

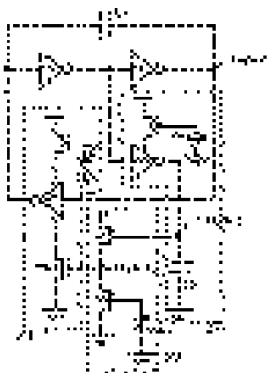


平成 10 年度第 2 回モトローラチップ試作

マルチバイブレータを用いたカオス発振回路の相互結合による不規則発振回路(2)

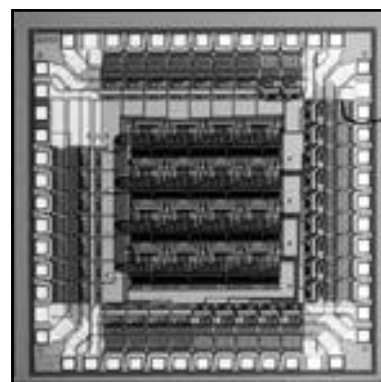
東京大学 工学系研究科 相原 祐一郎 辻田 達男 藤島 実

東京大学 大規模集積システム設計教育研究センター 鳳 紘一郎



目的 線形回路を相互接続した系の振舞いについて、従来、シミュレーションによる様々な計算がなされてきたが、集積回路を用いると、リアルタイムの測定を通じてダイナミックな系の振舞いを検討することが可能となる。そこでマルチバイブレータを元にしたカオス発振回路を相互結合させた回路の試作を行った。

試作チップ 図1に示した、マルチバイブレータを元にしたカオス発振回路をセルとして2次元的に配列し相互結合させた回路の設計を行なった。回路はセルを4×4で2次元的に配列したもので、16個の回路の出力を同時に測定し、数値計算のみでは分からない現象を調べることが可能である。この回路は、修士1年の学生が3週間で設計し、およそ500トランジスタで構成されている。



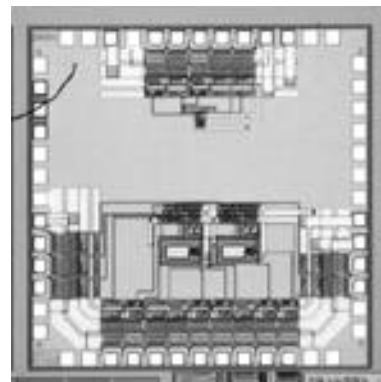
パイプライン型AD変換器を拡張したカオス発生回路(2)

東京大学 工学系研究科 相原 祐一郎 今村 晃 辻田 達男 藤島 実

東京大学 大規模集積システム設計教育研究センター 鳳 紘一郎

目的 カオスとは「比較的単純な規則に支配された不規則運動」である。このような要素が日常的に用いている回路に潜んでいるとすれば、カオスの特性を考慮して設計、使用しなくてはならなくなる。このようにカオスを内在すると考えられる回路としてパイプライン型AD変換器に着目し、確かにカオス発生回路を構成できることを試作を通じて実証しようと試みた。

試作チップ 今回設計した回路は、スイッチトキャパシタを利用した1ビットパイプライン型AD変換器を巡回型に構成することにより、いつまでもAD変換を行なえるようにしたものである。位相をずらしたAD変換器を2つ連結させることにより、サンプル/ホールド回路が不要となっている。チップ面積はおよそ900um x 650um、およそ150トランジスタで構成されており、修士1年生が約1週間でフルカスタム設計したものである。

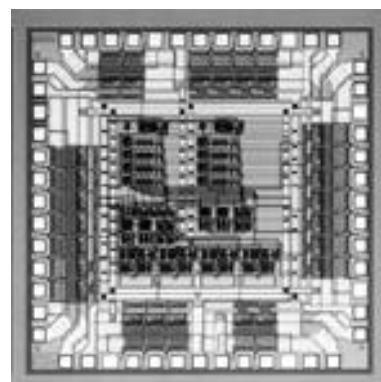


CMOSプロセスによるDRAMチップ設計

慶應義塾大学理工学部 川上 大輔 森澤 文晴 柴田 裕一郎 天野 英晴

はじめに 我々は、回路を自由に変更することでアプリケーションにあわせて問題を解く可変構造システムについて研究を行っている。その中でも当研究室で提案されている仮想ハードウェアHOSMII(HOw Stupid Machine It Is)はDRAM型のFPGAを用いる事で従来のSRAM型のFPGAを用いた場合と比較して数十倍の性能を発揮できると考えている。そこで今回DRAM型のFPGAを設計する前段階としてDRAM部分をCMOSプロセスで設計した。

試作チップ 今回設計したチップは、ロジックと同様のCMOSプロセスでDRAMを設計できるかどうかの予備評価用のものである。そのためメモリ容量は32ビットと非常に小さい仕様となっている。本チップであるが、チップサイズは2.3mm角のものを使用した。今回の設計は学部学生4年1人で、約1ヶ月間行った。トランジスタ数は約3,000程度であった。また設計はすべてフルカスタムレイアウトにより設計されている。

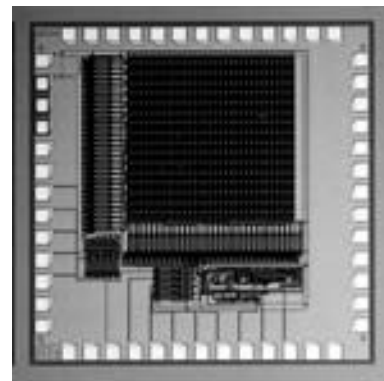


高速スタティックRAMの試作

武蔵工業大学 工学部 中野 淳一 薄井 勉 木下 友和 秋谷 昌宏

はじめに マイクロプロセッサに搭載するためのCMOSスタティックRAMで、特に回路の高速化と安定化に留意して設計を行った。

試作チップ チップサイズによる制限から今回の試作RAMの回路規模は1 Kbit構成とし、トランジスタ数は約7000個である。回路動作確認にSPICEを用いISX-9000を用いて、必要なスタンダードセルを作成した。設計は修士1年の学生1名と学部学生2名が担当し、回路図レベルからパタン作成、エラーチェックまで約8週間を要した。

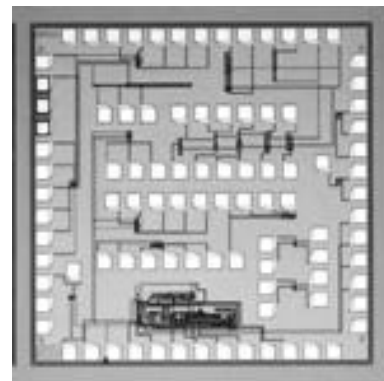


スタティックRAMのブロック回路TEGの試作

武蔵工業大学 工学部 中野 淳一 薄井 勉 木下 友和 秋谷 昌宏

はじめに CMOSスタティックRAMのブロック毎の動作チェック、速度評価並びに基本素子の評価を行うために設計を行った。

試作チップ チップにはRAMの本体の6 Tr構成のメモリセル、I/O制御ブロック、5入力NAND、入力バッファ等の個別回路ブロックそれにインバータ、入力保護回路の基本素子を組み込んだ。設計は修士1年の学生1名と学部学生2名が担当し、パタン配置からエラーチェックまで約2週間を要した。

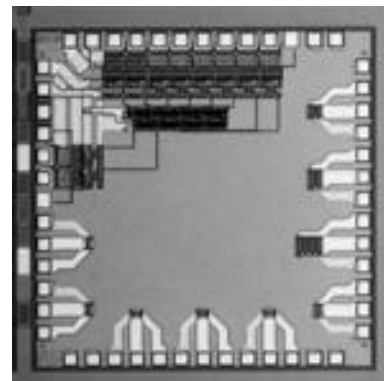


超音波イメージングシステムのテスト回路の試作

東北大学 工学部機械電子専攻 西尾真博 江刺正喜

はじめに 我々の研究室では、能動カテーテルという医療用ロボットを研究している。そのナビゲーション用イメージングシステムとして超音波によるものを研究している。そのシステムでは、配線数を減らすためにカテーテル先端に集積回路を搭載し、送受信を切り替えて行う。この切り替え回路の製作に向け、今回の試作を行った。

試作チップ 試作されたチップは、送信の切り替えに使用する高耐圧MOSのTEGと、切り替え制御用デジタル回路をを搭載している。設計は、修士1年の学生が約1ヶ月かけて設計した。トランジスタ数は約200。



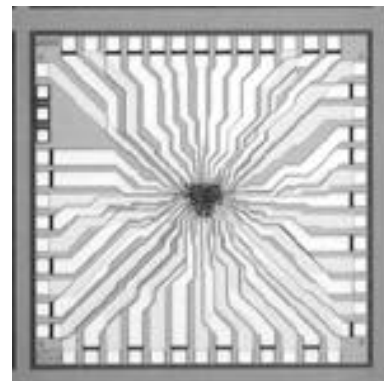
ニューロンMOS トランジスタの特性解析のためのTEG

宮崎大学 工学部 淡野 公一 石塚 興彦

はじめに 近年、ニューロンMOS (MOS) トランジスタを用いた種々の回路が提案されている。我々の研究室においても MOSトランジスタを用いたしきい値電圧キャンセル回路とそれを用いた低電圧、高出力抵抗のカレントミラーを提案している[1]。そこで、これらの回路と今後の応用回路の試作を円滑に行うために、 MOSトランジスタの基本的な特性と様々なばらつきを調べることを目的として、 MOSトランジスタ単体の試作を行った。

試作したチップ 本試作では、重み付けの比が1 : 1の2入力の MOSトランジスタを4個、重み付けの比が1 : 1 : 1の3入力の MOSトランジスタを3個作り込んだ。また、特性比較のための通常のMOSトランジスタも作り込んでいる。使用プロセスは、モトローラ社1.2μmルールであり、2.3mm角のチップとして実現した。試作回路が簡単であることから、設計は博士課程の学生1名で行い、提出まで1週間程度を要したと思われる。現在、試作回路の測定を行っているところである。

参考文献 [1] K. Tanno, et al, "Neuron-MOS VT cancellation circuit and its application to a low-power and high-swing cascode current mirror," IEICE Trans. Fundamentals, vol. E81-A, no. 1, pp. 110-116, Jan. 1998.



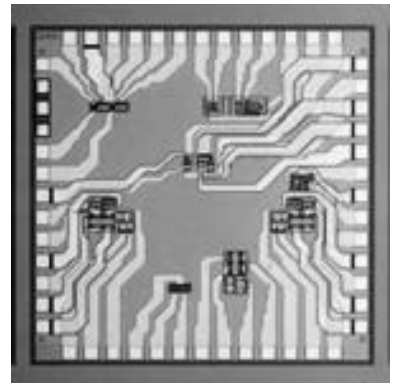
ニューロンMOSトランジスタを用いた応用回路

宮崎大学 工学部 沈 靖, 淡野 公一, 石塚 興彦

はじめに 近年、ニューロンMOS (MOS) トランジスタを用いた種々の回路が提案されている。現在、我々の研究室において提案している様々な MOSトランジスタを用いた応用回路の試作を試みた。これらの回路は、主に、電流モード多値論理回路の基本ブロックとして今後用いられる予定である。

試作したチップ 本試作では、MOSカレントミラー[1]、MOS電流コンパレータ、MOSしきい値判別器を作り込んだ。また、特性比較のための、同回路を通常MOSトランジスタで設計した回路も作り込んでいる。使用プロセスは、モトローラ社1.2 μ mルールであり、2.3mm角のチップとして実現した。試作回路が簡単であることから、設計は博士課程の学生1名で行い、提出までの設計期間は、1ヵ月である。主に、HSPICEによる回路動作の確認作業と最適化に時間を要したと思われる。現在、試作回路の測定を行っているところである。

参考文献 [1] K. Tanno, et. al, "Neuron-MOS VT cancellation circuit and its application to a low-power and high-swing cascode current mirror," IEICE Trans. Fundamentals, vol. E81-A, no. 1, pp. 110-116, Jan. 1998.



CMOSマクロセル群とニューロンMOS マクロモデルの検証

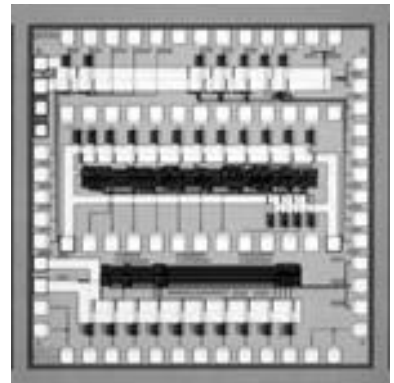
静岡理科大学 落合忠博* 石倉康充** 山本修己* 西田和弘* 光岡 武*
波多野 裕* (** (*電子工学科 **大学院材料科学専攻)

チップ概要 昨年度試作した15種類のマクロセルに加えて次の12種類のCMOSマクロセルを設計した。1) XOR 2) XNOR 3) 2-4デコダ 2種類 4) JK-FF 5) クロック型Dラッチ 2種類 6) 伝達ゲート型Dラッチ 7) クロック型D-FF 2種類 8) 伝達ゲート型D-FF 2種類。更に、ニューロンMOS[1]マクロモデルの妥当性を実証する為ニューロンMOS回路群を設計した[2]。また、特殊トランジスタを2種類設計した。

設計期間 設計は、3年次の学生実験でMOS IC試作を経験した学部学生4名と修士学生1名が行い学部生のツール習得期間込みで約2ヶ月を要した。

参考文献 [1] T. Shibata et al. IEEE Trans. ED, vol. 39, no. 6, p. 1444, 1992. [2] 落合、波多野, "ニューロンMOSマクロモデルの提案とデバイス試作", 電子情報通信学会総合大会講演論文集C-12-49, p. 147, '99.

実測速報 大部分のニューロンMOS回路群の機能動作に成功し、提案したニューロンMOSマクロモデルの妥当性を実証した。更に前記1) 2) 3) のCMOSマクロの動作を実測により確認した。

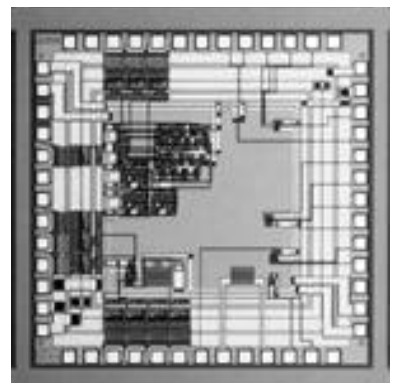


非対称誤り記憶素子のプロトタイプと3ビットup/down カウンタ

仙台電波工業高等専門学校 高橋 桃子 鶴岡 慶昭 佐々木 正明 鹿股 昭雄

はじめに 電源に重畳した雑音に対するフェールセーフシステムを構成するために、非対称な誤り特性を有するフリップフロップを設計した。フリップフロップを構成するペアのNAND回路の一方にCR回路からなるパワーオンリセット機能を付加することによって、雑音の影響で、たとえ記憶内容が誤って変化したとしても論理"0"の一方になるように設計した。また、上記以外に学生のLSI設計演習として3ビットup/down カウンタを設計した。

試作チップ パワーオンリセット用のCR回路キャパシタはMOSキャパシタを用いて、抵抗はn-wellを用いて実現し、それぞれの値は1pF, 10K Ω である。非対称誤り記憶素子の設計には、5年生学生1名が約2ヶ月、up/down カウンタの設計には、専攻科学生1名が約2ヶ月要した。試作した7個のチップを用いてそれぞれ100回電源変動に対する誤動作の実験を行い状態を観測したところ、期待通り98%の一方性誤りが確認された。



アナログオペアンプ回路とVCO回路の試作

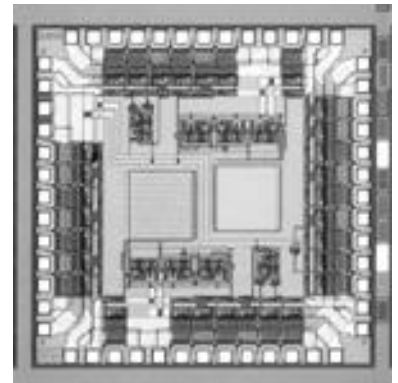
九州大学大学院 システム情報科学研究科 藤村 剛, 黒木 幸令

はじめに 近年、アナログ回路の必要性が高まってきている。アナログ回路を短時間で設計するためには、アナログライブラリの開発が不可欠である。そこで、基本的なアナログ回路である、増幅用オペアンプ回路、また、このオペアンプ回路を用いて、直流電圧を任意の周波数を持つ交流電圧に変換する、発振用VCO(Voltage Controlled Oscillator)を試作した。

試作したチップ 今回の試作には、Motrola社1.2 μ mルール、2.3mm角のチップを用いた。回路シミュレーションにはAvant!社Hspice、レイアウトにはセイコー電子工業SX - 9000、

DRC・LVS検証にはCadence社Draculaを用いた。試作したオペアンプは、11個のトランジスタから構成されている。設定した仕様は、利得約80dB、使用周波数帯域約0~10MHz

である。また、これらのオペアンプ3個と、1polyによる抵抗、1-2poly間容量(100pF)を用いて、VCOを製作した。設定した仕様では、制御電圧を1~100mVまで変化させることにより、発振周波数を40~200kHzの間で可変させることができる。製作者(博士課程1年)は、物理学科出身の回路設計に関して初心者であったため、全行程に約90日を要した。

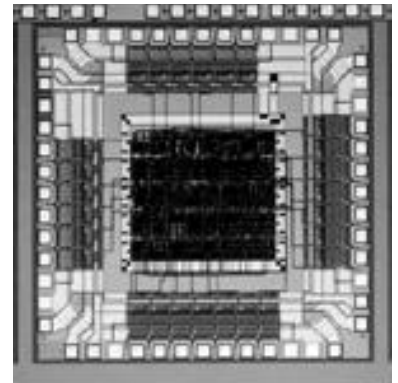


6ビット除算器の設計

九州大学大学院 システム情報科学研究科 吉川 典朗 岩村 鉄郎 黒木幸令

はじめに 今回は、論理回路を理解し、Verilog-HDL、論理合成ツールおよび配置配線ツールを含むデジタル回路の設計ツールに馴染むために6ビット除算器の試作を行った。

試作したチップ 除算の手順は引き放し法にしたがい、制御回路としてシフトレジスタを、加減算共用回路として2進桁上げ先見加算器を使用したものをVerilog-HDLで記述した。チップ設計は修士課程の学生が2人で行い、約3週間要した。与えられたチップサイズになかなか入り切らず、レイアウトに時間を取られた。論理合成・配置配線ツールにはそれぞれSynopsys社のDesign CompilerとAvant!社のAquariusXOを使用した。

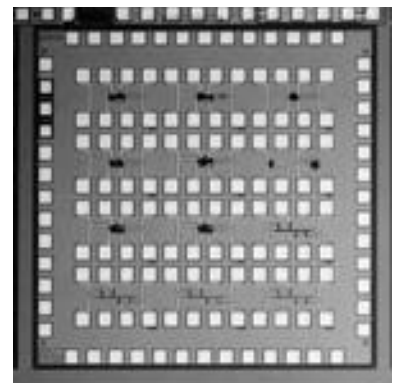


高耐圧MOSFETとSPICEパラメータ抽出用TEGの試作

九州大学大学院 システム情報科学研究科 岩村 鉄郎 黒木 幸令

はじめに パワーICの集積化素子として高耐圧MOSの一つであるDMOSが挙げられる。二重拡散プロセスを要するDMOSを、nウェルプロセスにおいてnウェル、ソースの二重拡散を利用して設計し、回路シミュレーション用のモデルの開発を行うためSPICEパラメータ抽出用のテストモジュールを試作した。

試作したチップ 今回設計したMOSFETは、ソースをnウェルにドレインをp基板に持つpMOSFETであり、モデリングに必要なSPICEパラメータを抽出するために13個のTEGを試作した。チップ設計は修士課程学生が1人で行い、約1週間要した。設計規則に違反する構造をとるため設計は注意深く行った。レイアウトにはCadence社のVirtuosoを使用した。

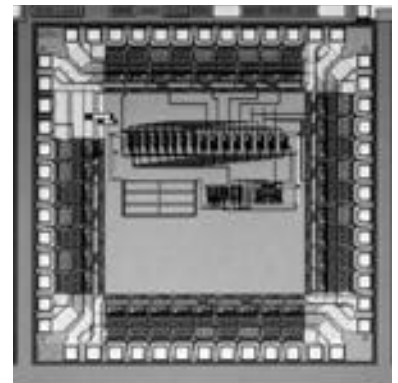


対称負荷を用いた差動バッファによるDLLの設計

九州大学大学院 システム情報科学研究科 Ali Elhadri 黒木 幸令 中司 賢一

はじめに 現在、デジタル信号処理回路におけるクロックの生成には、DLL(Delay-Locked Loop)やPLL(Phase-Locked Loop)が広く用いられている。本チップは同用途において対称負荷を用いた差動バッファによるDLLを試作したものである。

試作したチップ 今回試作したDLLは、位相比較器、チャージポンプ、ディレイライン、コンデンサ等から構成されており、低ジッタであり、広い動作範囲を持つものである。動作範囲はSPICEの結果で60~140MHzである。モトローラ社1.2 μ mルール、2.3mm角のチップとして実現した。回路規模は約200トランジスタとなった。設計には修士2年の学生がレイアウト(SX9000)に3週間、LVS検証(Dracula)に2週間を要した。

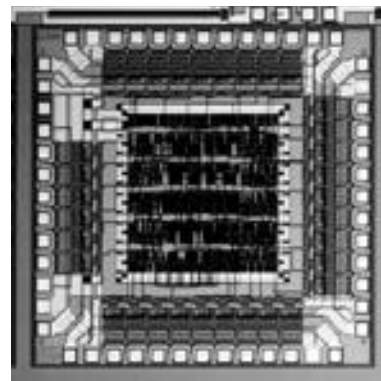


2次元ヒルベルト曲線のアドレス発生回路の設計

九州大学大学院 システム情報科学研究科 鎌田 清一郎 西川 真理 渡辺 洋三

はじめに ヒルベルト曲線は、1891年ヒルベルト空間で有名なD.ヒルベルトが発見した、自己相似性を有する空間充填曲線の一種である。本研究室では、コンピュータ上でヒルベルト曲線を発生させるため、この曲線のアドレス発生回路の試作を行った。

試作チップ 右図には、試作したアーキテクチャ(写真)を示す。これは、画像サイズ 2×2 から 512×512 までの範囲のヒルベルト曲線のアドレスを発生する回路である。この試作により、回路構成が極めてコンパクトに設計できることを確認した。また、これは、2.3mm 角のチップを用いて設計している。なお、本チップは修士2年、学部4年の学生が約3か月で設計し、約2kトランジスタで構成されている。



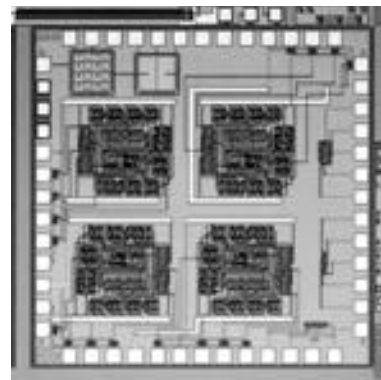
同相利得が零となる2次平衡型フィルタの試作

東京工業大学 工学部 和田 和千 高木 茂孝 藤井 信生

平衡型回路は、不平衡型回路と比較してS/N比で約3dB大きなダイナミックレンジを実現できることで知られており、近年の電源電圧の低い回路の構成に有効である。平衡型回路を実現する際の問題点として、同相帰還回路を付加しなければならないことである。従来、同相帰還回路の構成に関する一般的手法は殆ど知られておらず、同相帰還回路を付加することにより、発振を起こすこともあった。今回の試作では、平衡型回路を2入力2出力回路と考え、その同相利得が零となる条件並びに回路が安定するための条件を考慮し、OTAに基づき、2次帯域通過フィルタを実現した。

また、この平衡型回路以外にも、学部学生が設計した各種の演算増幅器を集積化し、その特性を比較した。

フィルタの設計には、修士課程2年の学生2名が主として担当し、約2週間の時間を要した。また、演算増幅器で用いたトランジスタを含めて、トランジスタ数は全体で約500個である。



断熱的ダイナミックCMOS論理回路TEG (I)

山形大学 工学部 水沼 充 高橋 一清

はじめに 近年LSIの高集積化、大規模化に伴って回路の低消費電力化がますます要望されるようになってきた。我々は回路規模レベルにおいて従来とは全く異なった発想で低消費電力化を図る断熱的ダイナミックCMOS論理(ADCL)回路を提案し、検討を行っている。ここでは、ADCL回路を基本回路として種々の論理回路を起こして、それらの動作を確認した。

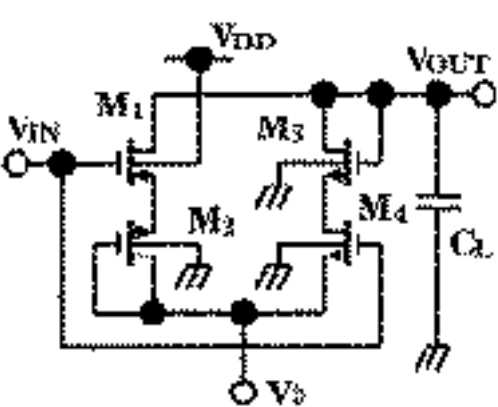
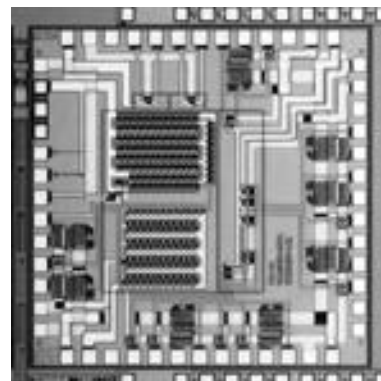


図1 ADCL-NOT 回路

電力化を図る断熱的ダイナミックCMOS論理(ADCL)回路を提案し、検討を行っている。ここでは、ADCL回路を基本回路として種々の論理回路を起こして、それらの動作を確認した。

試作チップ TEG回路として、ADCL-NOT(図1)、ADCL-NAND、ADCL 1ビットメモリレジスタ、ADCL 1ビット全加算器、ADCL ビット全加算器などを入れ、さらに比較のために2種類の通常のCMOS-NOTなどが入っている。その他、2、3のTEG回路がある。マスクレイアウトは前回のTEG回路の修正から出発しているために約1週間ほどで終了している。

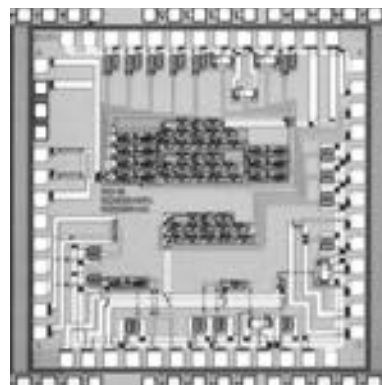


断熱的ダイナミックCMOS論理回路TEG(Ⅱ)

山形大学 工学部 須藤 敏志 西田 稔洋 水沼 充 高橋 一清

はじめに 近年LSIの高集積化、大規模化に伴って回路の低消費電力化がますます要望されるようになってきた。我々は回路規模レベルにおいて従来とは全く異なった発想で低消費電力化を図る断熱的ダイナミックCMOS論理(ADCL)回路を提案し、検討を行っている。ここでは、ADCL回路の消費電力を測定するためのTEG回路と、比較するための通常のCMOS TEG回路を起こした。

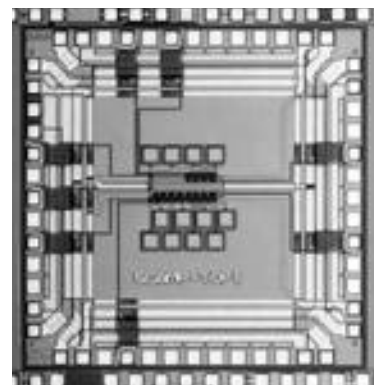
試作チップ TEG回路として、ADCL論理回路を4種類、ADCL回路用電源回路3種類、ADCL 101段リングオシレータ、CMOS 101段リングオシレータおよびその他2~3種類のTEG回路を入れた。マスクレイアウトは4年生が行い、トレーニング期間も含めて約1ヶ月で終了した。



超低消費電力・電荷電圧変換回路特性評価(1)

高エネルギー加速器研究機構 素粒子原子核研究 池田 博一

チップの概要 容量素子の直並列の切り替えを定周期で行うことにより電圧増幅又は電荷・電圧変換を行うアナログ回路を試作した。信号の増幅はスイッチ素子の切り替えのみによって実現されるため低消費電力である。本回路は、具体的には放射線の電離効果により発生した電荷を電圧に変換する目的で用いることができる。回路構成は図に示すような構成を採っている。超低消費電力・電荷電圧変換回路特性評価(2)とともに容量素子の対サブストレート容量の効果を評価することを今回の試作の目的としている。



試作に要した日数等 回路シミュレーションに約1ヶ月、レイアウトに10日ほどを費やしている。

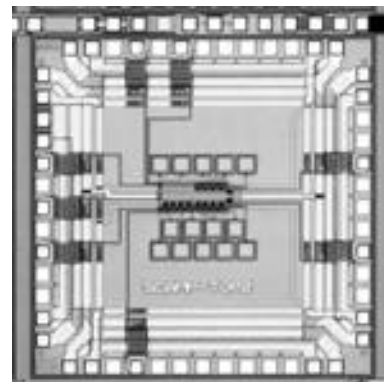
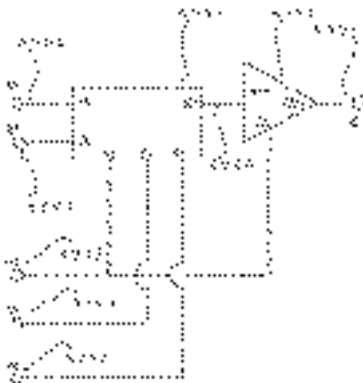
試作に使用した設計ツール等 回路シミュレータとしてHSPICEをし、レイアウトはSX9000を用いて行った。

超低消費電力・電荷電圧変換回路特性評価(2)

高エネルギー加速器研究機構 素粒子原子核研究

池田 博一

チップの概要 容量素子の直並列の切り替えを定周期で行うことにより電圧増幅又は電荷・電圧変換を行うアナログ回路を試作した。信号の増幅はスイッチ素子の切り替えのみによって実現されるため低消費電力である。本回路は、具体的には放射線の電離効果により発生した電荷を電圧に変換する目的で用いることができる。回路構成は図に示すような構成を採っている。超低消費電力・電荷電圧変換回路特性評価(1)とともに容量素子の対サブストレート容量の効果を評価することを今回の試作の目的としている。また、出力部に緩衝増幅器を置くことによりロードの影響を分離することを試みた。



また、出力部に緩衝増幅器を置くことによりロードの影響を分離することを試みた。

試作に要した日数等 回路シミュレーションに約1ヶ月、レイアウトに10日ほどを費やしている。

試作に使用した設計ツール等 回路シミュレータとしてHSPICEをし、レイアウトはSX9000を用いて行った。

スイッチトキャパシタDC-DCコンバータのIC化

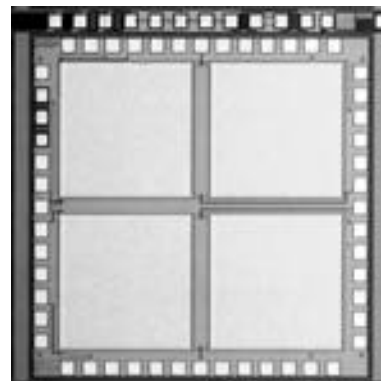
福岡大学工学部電子情報工学科 谷口 伸一 松尾 嘉洋 末次 正

はじめに DC-DCコンバータは、集積化が急ピッチで進む他の電子回路とは対照的に、集積化とはほとんど縁がなかった。そこで今回、我々はスイッチトキャパシタ変換器[1][2]を用いた、DC-DCコンバータ回路の設計を行った。この回路はキャパシタとMOSトランジスタのみで構成されているため、IC化に向いていると考えられる。

試作チップ 今回試作したチップは、2つのキャパシタと4つのトランジスタで構成されており、ドライブ回路は含んでいない。キャパシタの容量は計算上500[pF]で与えられ、出力電圧は入力電圧の半分となる。モトローラ社1.2 μ mルール、2.3mm角チップとして実現した。設計は学生2名(松尾、谷口)で行った。

参考文献 [1]S.V.Cheong, S.H.Chung, and A.Ioinovici, "Development of Power Electronics Converters Based on Switched-Capacitor Circuits", IEEE ISCAS92, pp.1907-1910, (1992).

[2]上野文男, 井上高弘, 太田一郎, 梅野徹 “スイッチトキャパシタDC-DCコンバータの解析とそのハイブリットIC化 ~小型化・大容量化の実現~”, 信学技報, PE89-52, (1989).

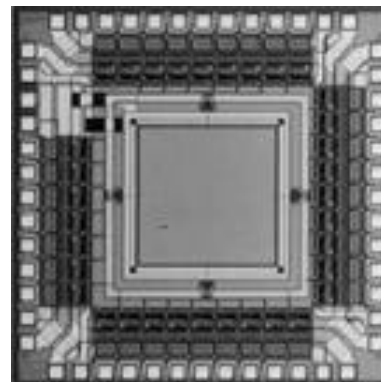


時間相関型 PSD

東京大学 工学部 安藤 繁 高橋 克

チップ概要 Position-Sensitive Detector(PSD)は、入射光の定位を高精度に行なうセンサである。そのPSDからの出力と、外部からの参照入力との時間相関をとる回路を、NEL0.5 μ mを用いた2.3mm角チップ上に集積化する設計を行なった。この設計により、従来のPSD単体では得られなかった、多重度の情報を得られると思われる。実際に、シミュレーション上では、多重度の情報を得られることを確認している。時間相関型PSDは主に、フォトダイオードと時間相関をとる回路からなっている。外部参照入力は2種類同時に入力可能で、直交検波が可能となっている。

試作チップ Hspiceによるシミュレーションを行ない、Virtuosoを用いてレイアウトを行なった。トランジスタ数は約100である。チップの性格上、光を直接チップに照射することが当然考えられるので、配線用のメタルを用いて回路を完全に遮光することで、光電流を発生させないように工夫した。設計は修士1年1名が主に行ない、およそ1ヶ月の製作期間を要した。レイアウトと直に接して設計するのが初めてだったため、レイアウトの書き方と、ルールになれるのにほとんどの時間を費やした。現在は回路の一部の動作の確認が出来た状況であり、今後、より詳細な実験を行なう予定である。



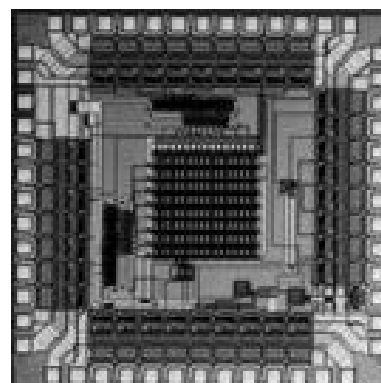
時間相関型イメージセンサ(第4報)

東京大学 工学部 安藤 繁 来海 暁 今井 亮子

チップ概要 このイメージセンサは各画素で光電流と参照信号の積電流を生成蓄積する機能を持ち、この時間相関値を走査周期毎に読み出す。従来のTVカメラとは質的に異なる情報を得ることができ、新しい画像計測応用を開発していくことを目的としている。前回の試作では異なる方式の画素回路のTEG, 走査回路のTEGなどを集積化し、基本的な動作を確認している。今回の試作ではセンサの高機能化,高性能化をめざし,同時に2種類の参照信号と相関のとれる画素回路とスイッチング回路を用いた画素回路を設計した。チップは1.5 μ m CMOS, 2.3mm角であり、上述の2種類の画素回路のTEG,走査回路を含む8 \times 8画素のミニチュアイメージセンサブロック, 出力用アンプ回路を含む。

試作に要した日数: 約2週間 主な設計者の身分: 博士3年1名、修士2年1名

トランジスタ数: 約980

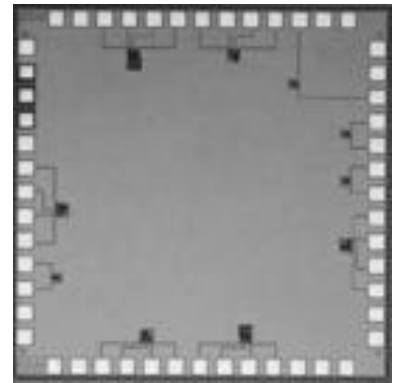


パルス形ハードウェアニューロンモデル用MOSFETの試作

日本大学 理工学部 染谷 和孝 佐伯 勝敏 関根 好文

チップ概要 MOSFETを用いて、脳内に存在する神経回路網をモデル化する研究が行われている。我々は、工学的な応用を目指して、MOSFETを用いたパルス形ハードウェアニューロンモデルのIC化について検討を行っている。今回、ケーデンスのアナログ回路設計ツールを用いて、パルス形ハードウェアニューロンモデル用TEGとしてMOSFETを試作し、保護回路の影響についても検討を行った。

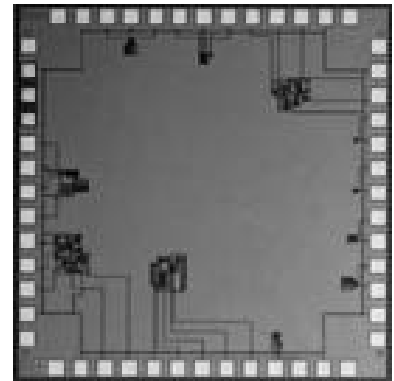
本チップは博士課程2年生と助手により1週間で設計を行った。



パルス形ハードウェアニューロンモデル用負性抵抗素子の試作

日本大学 理工学部 隅山 正巳 佐伯 勝敏 関根 好文

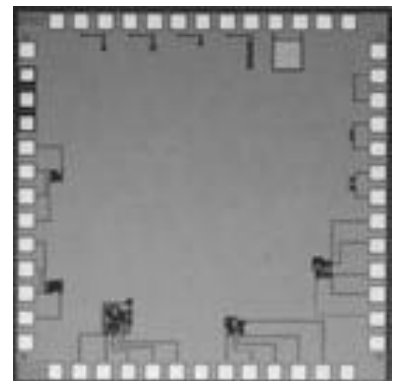
チップ概要 脳内における情報の伝達はパルス信号により行われており、パルスを出力する神経回路をモデル化する研究がなされている。我々は、工学的な応用を目指して、負性抵抗素子を用いたパルス形ハードウェアニューロンモデルのIC化について検討を行っている。今回、ケーデンスのアナログ回路設計ツールを用いて、パルス形ハードウェアニューロンモデル用TEGとしてMOSFETを用いた負性抵抗素子を試作した。本チップは学部4年生と助手により2週間で設計を行った。



パルス形ハードウェアニューロンモデル用負性抵抗素子および周辺回路の試作

日本大学 理工学部 矢地 良洋 佐伯 勝敏 関根 好文

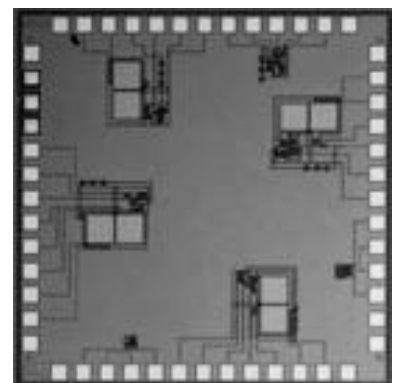
チップ概要 神経回路網を電子回路でモデル化する研究がなされており、集積回路化が行われている。我々は、工学的な応用を目指して、4端子の負性抵抗素子を用いたパルス形ハードウェアニューロンモデルのIC化について検討を行っている。今回、ケーデンスのアナログ回路設計ツールを用いて、パルス形ハードウェアニューロンモデル用TEGとしてMOSFETを用いた負性抵抗素子、および負性抵抗特性を時間的に変化させるためのMOS抵抗、シート抵抗、平行平板容量を試作した。本チップは修士1年生と助手により2週間で設計を行った。



パルス形ハードウェアニューロンモデルの試作

日本大学 理工学部 佐伯 勝敏 関根 好文

チップ概要 脳内に存在する神経回路網をモデル化する研究がなされており、アナログ回路方式でニューロンチップを実現するという試みが行われている。我々は、工学的な応用を目指して、4端子の負性抵抗素子を用いたパルス形ハードウェアニューロンモデルのIC化について検討を行っている。このモデルは、2つのMOSFETで構成した負性抵抗素子、抵抗、コンデンサによって実現できる。今回、ケーデンスのアナログ回路設計ツールを用いて、パルス形ハードウェアニューロンモデルを試作した。本チップは助手と修士1年生により3週間で設計を行った。

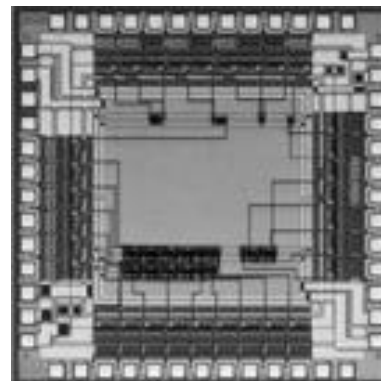


伝達特性測定用ゲート回路群と4ビット加減算器の試作

仙台電波工業高等専門学校 電子工学科 藤田 尚樹 浅見 誠治

はじめに 今回我々は卒業研究として、LSI設計および回路シミュレーションの設計ツールの新システムを実現する一環として、伝達特性測定用のゲート回路群と4ビットの加減算器の設計および試作を行った。

試作したチップ 今回設計したゲート回路群は伝達特性等を測定するためにチャンネル幅を2通りに変化させたインバータ回路と2入力のアンド回路およびそれらを5段に縦続接続させた回路である。また1ビットの全加算器および4ビットの加減算器をその基礎特性測定用に設計し、レイアウトを行った。これらの回路の回路シミュレーションによる検証を行った。チップ設計は、電子工学科の5年生が一人で行い、約4週間を要した。

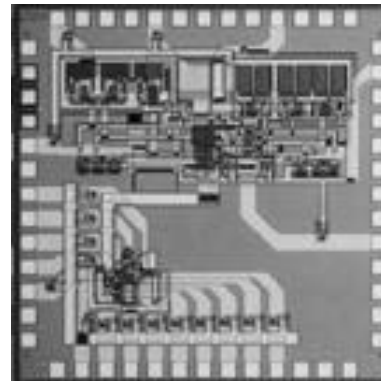


ULSIデバイスにおける低消費電力化を指向した降圧回路とフィードバック系回路

東北大学電気通信研究所 須永和久 遠藤哲郎 舛岡富士雄

CMOS論理LSIはスケールに伴い、年々、消費電力が増え続けてきている。高速かつ高集積化された集積回路にとって低消費電力化技術は非常に重要である。ここでCMOS回路の消費電力は電源電圧VDDを下げることによる効果が非常に高い。しかし、システム電源電圧には規格が存在するために、デバイスの動作電圧における最適値とは一般的に一致しない。この差を埋めるのが降圧回路である。今回の試作チップはオンチップで構成可能なインダクタンスを含まないRC回路で構成した降圧回路とその制御回路が含まれている。

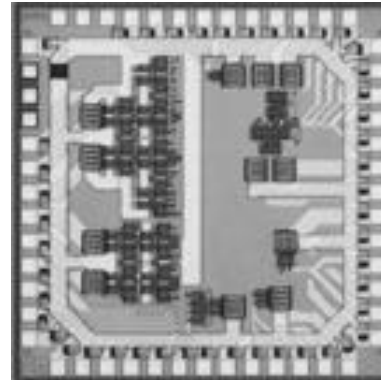
レイアウト設計に要した日数は、1ヶ月程度である。設計は3名(教授、助教授、修士1年)で行った。チップはモトローラ社1.2μmルール、2.3mm角のチップで、回路規模は70トランジスタ程度である。設計ツールとしては、レイアウトにCadenceのVirtusoレイアウトエディタ、回路シミュレーションにSilvaco社のSmartSpice、検証ツールにCadenceのDraculaを用いた。測定については準備中である。



パストランジスタロジックを用いた基本ロジック回路

東北大学電気通信研究所 船木寿彦 遠藤哲郎 舛岡富士雄

近年、CMOSに比べて高速化、低消費電力化、小面積化が可能な論理回路であるパストランジスタロジックに関する研究が広く行われている。今回は、種々のパストランジスタロジックで基本論理回路を設計し、比較を行った。試作したチップには、種々のパストランジスタロジックによってAND、OR、FA等の基本論理レイアウトエディタを用いてフルカスタムでレイアウトし、CADENCE社DraculaツールのDRC、Extractを用いて検証を行った。設計期間は1ヶ月程度であり、教授、助教授、修士1年の計3人によって設計した。測定については準備中である。



ULSIデバイスにおける低消費電力化を指向したフィードバック系回路

およびパストランジスタロジックを用いた基本ロジック回路

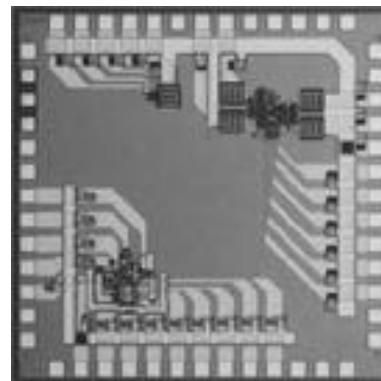
東北大学電気通信研究所 須永和久 船木寿彦 遠藤哲郎 舛岡富士雄

CMOS論理LSIはスケールに伴い、年々、消費電力が増え続けてきている。高速かつ高集積化された集積回路にとって低消費電力化技術は非常に重要である。ここでCMOS回路の消費電力は電源電圧VDDを下げることによる効果が非常に高い。今回の試作チップは現在提案されている降圧回路の制御回路である。

また、種々のパストランジスタロジックの性能比較を行うために、それぞれのパストランジスタロジックで構成したAND、OR、FA等の基本論理回路を組み込んだ。

レイアウト設計に要した日数は、1ヶ月程度である。設計は4名(教授、助教授、修士1年)で行った。チップはモトローラ社1.2μmルール、2.3mm角のチップで、回路規模は100トランジスタ程度である。設計ツール

としては、レイアウトにCadenceのVirtusoレイアウトエディタ、回路シミュレーションにSilvaco社のSmartSpice、検証ツールにCadenceのDraculaを用いた。測定については準備中である。



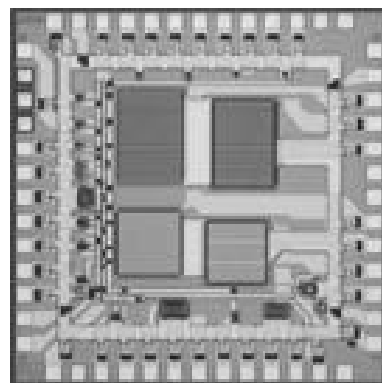
MOS トランジスタの特性評価

東北大学電気通信研究所 中村広記 遠藤哲郎 舛岡富士雄

近年、VLSIの大規模・高集積化に伴う微細化技術の進展はめざましい。半導体素子の微細化により、半導体素子は複雑な特性を示す。微細トランジスタでは、短チャネル効果・狭チャネル効果・チャネル変調がその代表例である。そのため、微細化された各種半導体素子の電気的特性を把握することが重要である。それゆえ、今回微細MOSトランジスタの特性を評価するために、各種の半導体素子设计了。

設計は3名（教授、助教授、学部4年）で行った。設計に要した期間は、全体で1ヶ月程度である。

今回試作したチップは、微細化による電気的特性を測定するためW/Lを変えたトランジスタ16個を実装している。また、PN接合の接合リーク電流を測定するためのダイオード4個、容量を測定するためのMOSキャパシタンス2個を実装している。モトローラ社1.2 μ mルール、2.3mm角のチップとして実現した。設計は、Cadence社のVirtusoレイアウトエディタ、検証ツールはDraculaを用いたフルカスタムである。測定については準備中である。

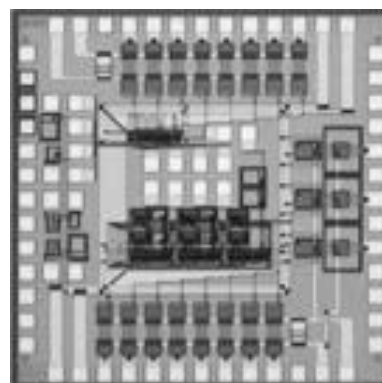


画像処理用 MOSセルオートマトン回路TEGの設計試作

北海道大学工学研究科電子情報工学専攻 池辺将之 赤澤正道 雨宮好仁

はじめに 当研究室では、高速並列の画像処理用に適したセルオートマトン回路の研究を行っている。本チップにおいては、画像処理用セルオートマトンLSIの試作のための準備として雑音除去・輪郭抽出を行うセルオートマトンの単位演算セル回路TEGの試作を行った。
チップ概要 単位演算セル回路は、シリコン機能デバイスのMOSを用いており、コンパクトな回路でセル8近傍の入力に対する演算を処理できる。また、各セル毎にフォトダイオード（PD）を組み込み、直接に光情報を取り込めるようにした。本チップにはセル回路の他に、PD、MOS単体素子、セル回路に使用した論理ゲート単体のTEGを載せた。

試作に要した日数 2ヶ月 **主な設計者** 博士2年 **トランジスタ数** 380



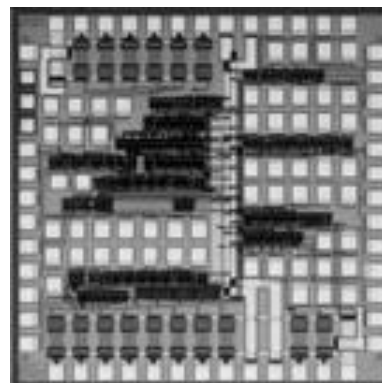
パルス幅変調信号を利用した多値論理回路の研究

北海道大学工学研究科電子情報工学専攻 深澤 芳幸 赤澤 正道 雨宮 好仁

はじめに 多値論理を時間軸上に展開すれば、電圧や電流を分割する必要がなく、最大の振幅で電圧を用いて、いかなる基数の多値信号も表現できる。このような思想に基づき、「パルス幅によって多値信号を表現する」概念に基づいた多値論理回路を設計・試作した。

チップ概要 このチップには、バスゲート回路網によって構成した4値乗算器の回路と、それらの動作を確認するためのTEGとして、パルスジェネレータ回路、マルチプレクサ回路を載せた。このパルスジェネレータ回路とマルチプレクサ回路は、それぞれの中にあるラッチ部分をスタティック形にしたものとダイナミック形にしたものの両方を設計した。4値乗算器、パルスジェネレータ回路の動作を確認している。

試作に要した日数 1ヶ月半 **主な設計者** 修士2年 **トランジスタ数** 1000

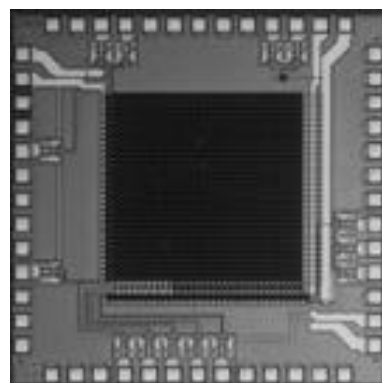


ノイズ特性評価用増幅型CMOSイメージセンサ

広島市立大学 梅田 昌宏 中野 篤人 堀居賢樹

画像情報が重要な位置を占めるマルチメディア機器において、ほとんどがCCDイメージセンサが用いられている。今後、デジタル画像、モバイルコンピューティングという時代に適合したイメージセンサが求められている。また、CMOSイメージセンサは低消費電力、多機能化に対応できるため、注目され、情報処理機能を持たせたビジョンチップ等の開発も活発である。しかし、ビジョンチップについては、ほとんど画像の根幹である画質を無視したものに終始している。

一方、CMOSイメージセンサは画素部に信号を増幅させる機能をもたせることで、高感度化が計れるものの、画素毎の増幅率の違いによる固定パターンが発生する。これを抑制する回路が設けられ、こうした構成によりCCDイメージセンサの感度に近づきつつある。しかし、このタイプのノイズ評価、抱える

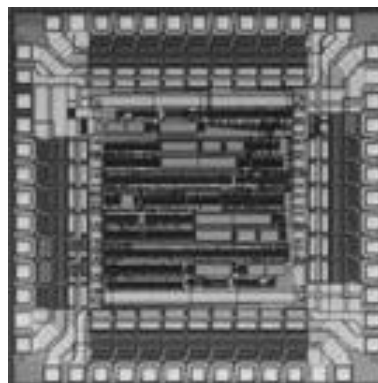


課題については不明確で、十分な評価がなされていないのが現状である。今回、こうした問題を明確にし、性能向上を計るための素子を設計した。提案されているノイズ抑制回路、新しく考案したノイズ抑制回路を領域分割して分け組み入れ、相対評価と数値評価を行えるようにしている。なお、本チップは修士1年の学生が1カ月で設計した。

安定化電源・パラメータ可変機構を有するオンチップPLL

九州大学大学院 システム情報科学研究科 電子デバイス工学 吉澤 弘泰 中司 賢一
久留米工業大学 谷口 研二

概要 本チップはオンチップPLLについて、電源配線を介してPLLに影響を与える雑音を抑制するPLL用小電力安定化電源回路、PFD利得やフィルタ等の特性をデジタル的に可変させかつ小面積で実現する機構の実現を目的として設計したものである。クロック生成、リタイミング用2種類のPLLと参照入力生成部で構成され、28の制御コードにより各種切り替えや測定を可能としている。試作は博士の学生により、SX9000(設計)Dracula(検証)を用いて、約6週間で行われている。トランジスタ数は約1700である。現時点では、HSPICEによる評価で電源安定性の20dB前後の向上や、40pFの容量で1nF前後の容量と等価なフィルタ効果を実現できることを確認している。



M系列乱数発生器(1)

九州大学大学院 システム情報科学研究科 中司 賢一

はじめに 通信システムのLSIのテストでは、BER(ビットエラーレート)等を測定する。入力信号としてランダムなデータパターンを使用する。今回の試作では、BER計測回路と組み合わせて使用するM系列乱数発生器を設計、試作した。

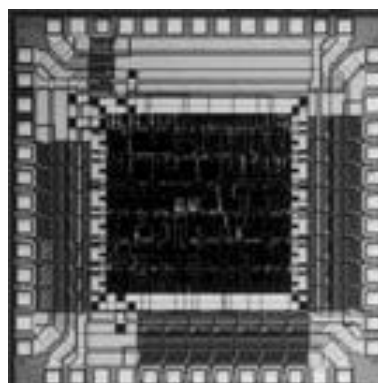
試作チップ BER(ビットエラーレート)計測回路[1]は、スタート信号からストップ信号が入るまで受信した信号のビットエラーを計測するために、データ系列の始まりと終わりにスタート信号からストップ信号を出力する必要がある。また、乱数のシードは外部より入力できるようにした。M系列として、8ビット、15ビット、23ビットの3種類とし、外部信号により切り替えできるように設計した。設計はVerilog-HDLを用いたトップダウン設計を行った。

モトローラ社1.2μm、2.3mm角チップで、Verilog-HDLで記述し、論理シミュレーションにより動作確認後、Synopsys社のDesign Compilerで論理合成を行い、Avant!社のAquariusXOによる自動配置配線を行った。ライブラリとして、東大版EXDライブラリを使用した。最終チェック段階において、一部SII社のSX9000で手動で修正を行った。設計は、約2週間かかった。しかし、チップ面積の都合上、2つのチップに分けざるを得なかった[2]。このチップは、8ビット、15ビットの2種類のPRBS発生回路である。

まとめ BER計測回路と組み合わせて使用するM系列乱数発生器を設計、試作した。評価はこれから行う予定である。

参考文献 [1]中司賢一、八山和弘「学部向け講義「VLSI工学」のLSI設計演習(1)」、本年報、p.64、1999。

[2]中司賢一「M系列乱数発生器(2)」、本年報、p.63、1999。



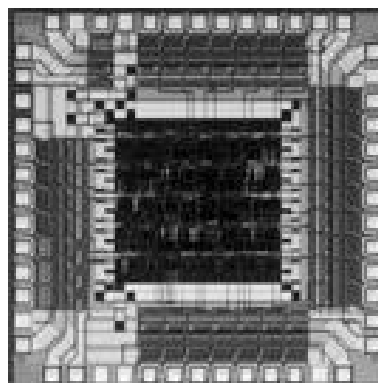
M系列乱数発生器(2)

九州大学大学院 システム情報科学研究科 中司 賢一

はじめに 通信システムのLSIのテストでは、BER(ビットエラーレート)等を測定する。入力信号としてランダムなデータパターンを使用する。今回の試作では、BER計測回路と組み合わせて使用するM系列乱数発生器を設計、試作した。

試作チップ BER(ビットエラーレート)計測回路[1]は、スタート信号からストップ信号が入るまで受信した信号のビットエラーを計測するために、データ系列の始まりと終わりにスタート信号からストップ信号を出力する必要がある。また、乱数のシードは外部より入力できるようにした。M系列として、8ビット、15ビット、23ビットの3種類とし、外部信号により切り替えできるように設計した。設計はVerilog-HDLを用いたトップダウン設計を行った。

モトローラ社1.2μm、2.3mm角チップで、Verilog-HDLで記述し、論理シミュレーションにより動作確認後、Synopsys社のDesign Compilerで論理合成を行い、Avant!社のAquariusXOによる自動配置配線を行った。ライブラリとして、東大版EXDライブラリを使用した。最終チェック段階において、一部SII社のSX9000で手動で修正を行った。設計は、約2週間かかった。し



かし、チップ面積の都合上、2つのチップに分けざるを得なかった[2]。このチップは、23ビット1種類だけのPRBS発生回路である。

まとめ BER計測回路と組み合わせて使用するM系列乱数発生器を設計、試作した。評価はこれから行う予定である。

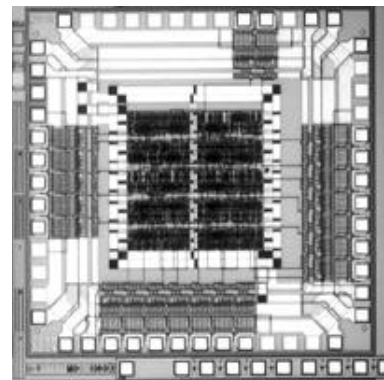
参考文献 [1] 中司賢一、八山 和弘 「学部向け講義「VLSI工学」のLSI設計演習(1)」、本年報、p.64, 1999 .

[2] 中司賢一 「M系列乱数発生器(1)」、本年報、p.63, 1999 .

学部向け講義「VLSI工学」のLSI設計演習(1)

九州大学大学院 システム情報科学研究科 中司 賢一、八山 和弘

はじめに 学部4年生向け講義「VLSI工学」(担当:中司)の授業の一環として、LSIの設計・試作演習を行った。対象学生は、デバイス系の履修課程を選択している4年生である。これらの学部生に集積回路設計の実際のやり方を教えると同時に、修士の学生をTA(ティーチングアシスタント)として演習に参加させCADツールの操作の修得をも目的とした。試作テーマはTAが4人いるため4つとしたが、うち2つは学部生の希望がなかったこと、試作に耐えうるHDL記述でなかったために、教官とTAがすべてを行った。



3ヶ月間の集積回路工学の講義後、夏期休暇期間中に学部生は約1ヶ月、TAの修士の学生には約2ヶ月の設計期間を与えた。時間の都合上、学部生はHDL記述、論理合成、論理シミュレーションまでとし、その後のレイアウト、検証および実チップの検証はTAに任せるものとした。関係研究室の設計を希望する

その他の大学院生の参加も認めた。TA、大学院生を含めて16名が参加し(教官は除く)モトローラ社1.2μmルール、2.3mm角の合計3種のチップ試作となった。

試作チップ 設計のテーマは、BER(ビットエラーレート)計測回路、M系列乱数発生器である。このうちM系列乱数発生器については別途「M系列乱数発生器」として報告する[1]。試作は、モトローラ社1.2μmルール、2.3mm角のチップで行った。設計はVerilog-HDLを用いた。今回のBER計測回路チップは、通信系送受信間のビットエラーレートの計測回路である。この回路は、スタート信号からストップ信号が入るまで受信した信号のビットエラーを計測する。基準となるバイナリー乱数系列信号は、M系列乱数発生器[1]から供給されるものとしている。設計はVerilog-HDLを用いたトップダウン設計を行った。Verilog-HDLで記述し、論理シミュレーションにより動作確認後、Synopsys社のDesign Compilerで論理合成を行い、Avant!社のAquariusXOによる自動配置配線を行った。ライブラリとして、東大版EXDライブラリを使用した。最終チェック段階において、一部SII社のSX9000で手動で修正を行った。設計は、修士1年1名が設計し、ツールの習得期間を含めて約2ヶ月かかった。実チップの動作の検証はTAが行う予定であったが、時間の都合上できずじまいで、これからLSIテスターを用いて行う予定である。

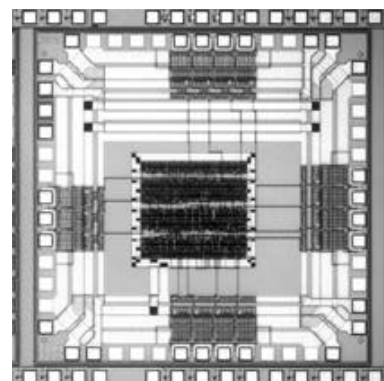
まとめ 初年度であったためカリキュラムがまだ不十分であり、学部が集積回路の設計法が十分理解できたようには思われぬ。また、TAの教育も兼ねていたため不手際も多々あった。しかし、TAの大学院生についてはCADツールの基本的な部分は十分修得できたものと思う。来年度以降も設計演習を行う予定である。

参考文献 [1]中司賢一、「M系列乱数発生器」、本年報、p.63, 1999 .

学部向け講義「VLSI工学」のLSI設計演習(2)

九州大学大学院 システム情報科学研究科 中司 賢一 エルハドリ アリ

はじめに 学部4年生向け講義「VLSI工学」(担当:中司)の授業の一環として、LSIの設計・試作演習を行った。対象学生は、デバイス系の履修課程を選択している4年生である。これらの学部生に集積回路設計の実際のやり方を教えると同時に、修士の学生をTA(ティーチングアシスタント)として演習に参加させCADツールの操作の修得をも目的とした。試作テーマはTAが4人いるため4つとしたが、うち2つは学部生の希望がなかったこと、試作に耐えうるHDL記述でなかったために、教官とTAがすべてを行った。3ヶ月間の集積回路工学の講義後、夏期休暇期間中に学部生は約1ヶ月、TAの修士の学生には約2ヶ月の設計期間を与えた。時間の都合上、学部生はHDL記述、論理合成、論理シミュレーションまでとし、その後のレイアウト、検証および実チップの検証はTAに任せるものとした。関係研究室の設計を希望するその他の大学院生の参加も認めた。TA、大学院生を含めて16名が参加し(教官は除く)モトローラ社1.2μmルール、2.3mm角の合計3種のチップ試作となった。



試作チップ 今回の設計演習の主題がトップダウン設計による集積回路設計法に関してとTAのCADツールの修得であるため、4ビット乗算器の設計を行った。ただし、少なくとも2種類以上設計することとし、論理合成に関しては、種々の制約条件で合成し、その内でもっとも性能のよいものを選択するものとした。設計はVerilog-HDLを用いたトップダウン設計を行った。Verilog-HDL

で記述し、論理シミュレーションにより動作確認後、Synopsys社のDesign Compilerで論理合成を行い、Avant!社のAquariusXOによる自動配置配線を行った。ライブラリとして、東大版EXDライブラリを使用した。設計は、修士2年1名のTAの監督の元、学部4年生が計3名が参加し、ツールの習得期間を含めて約1ヶ月で論理合成まで終了し、レイアウト検証を含めると2ヶ月を要した。実チップの動作の検証はTAが行う予定であったが、時間の都合上できずじまいで、これからLSIテスターを用いて行う予定である。

まとめ 初年度であったためカリキュラムがまだ不十分であり、学部が集積回路の設計法が十分理解できたようには思われない。また、TAの教育も兼ねていたため手際も多々あった。しかし、TAの大学院生についてはCADツールの基本的な部分は十分修得できたものと思う。来年度以降も設計演習を行う予定である。

学部向け講義「VLSI工学」のLSI設計演習(3)

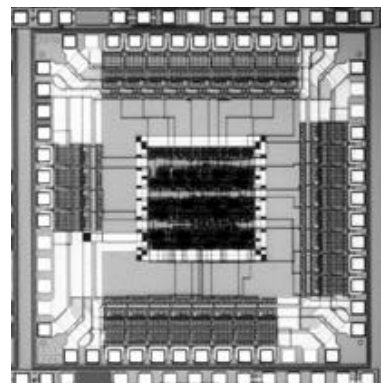
九州大学大学院 システム情報科学研究科 中司 賢一 岩村 鉄郎

はじめに 学部4年生向け講義「VLSI工学」(担当:中司)の授業の一環として、LSIの設計・試作演習を行った。対象学生は、デバイス系の履修課程を選択している4年生である。これらの学部生に集積回路設計の実際のやり方を教えると同時に、修士の学生をTA(ティーチングアシスタント)として演習に参加させCADツールの操作の修得をも目的とした。試作テーマはTAが4人いるため4つとしたが、うち2つは学部生の希望がなかったこと、試作に耐えうるHDL記述でなかったために、教官とTAがすべてを行った。

3ヶ月間の集積回路工学の講義後、夏期休暇期間中に学部生は約1ヶ月、TAの修士の学生には約2ヶ月の設計期間を与えた。時間の都合上、学部生はHDL記述、論理合成、論理シミュレーションまでとし、その後のレイアウト、検証および実チップの検証はTAに任せるものとした。関係研究室の設計を希望するその他の大学院生の参加も認めた。TA、大学院生を含めて16名が参加し(教官は除く)、モトローラ社1.2umルール、2.3mm角の合計3種のチップ試作となった。

試作チップ 試作は、モトローラ社1.2umルール、2.3mm角のチップで行った。今回の設計演習の主題がトップダウン設計による集積回路設計法に関してTAのCADツールの修得であるため、8ビット加算器の設計を行った。ただし、少なくとも2種類以上設計することとし、論理合成に関しては、種々の制約条件で合成し、その内でもっとも性能のよいものを選択するものとした。設計はVerilog-HDLを用いたトップダウン設計を行った。Verilog-HDLで記述し、論理シミュレーションにより動作確認後、Synopsys社のDesign Compilerで論理合成を行い、Avant!社のAquariusXOによる自動配置配線を行った。ライブラリとして、東大版EXDライブラリを使用した。設計は、修士1年1名のTAの監督の元、学部4年生が計4名が参加し、ツールの習得期間を含めて約1ヶ月で論理合成まで終了し、レイアウト検証を含めると2ヶ月を要した。実チップの動作の検証はTAが行う予定であったが、時間の都合上できずじまいで、これからLSIテスターを用いて行う予定である。

まとめ 初年度であったためカリキュラムがまだ不十分であり、学部が集積回路の設計法が十分理解できたようには思われない。また、TAの教育も兼ねていたため手際も多々あった。しかし、TAの大学院生についてはCADツールの基本的な部分は十分修得できたものと思う。来年度以降も設計演習を行う予定である。



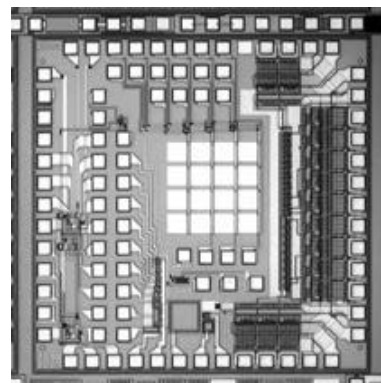
Vision Chip への応用を目的とした素子の試作

奈良先端科学技術大学院大学 物質創成科学研究科 上原 昭宏 太田 淳

Vision Chip作製に必要な基本素子特性評価用TEGの試作を行った。Vision Chipとは画素毎に信号処理回路を設けた特殊撮像画像処理チップである。フォトダイオードに加えフォトトランジスタ、画像を走査するためのシフトレジスタ、およびWinner take all回路を作製した。

p-diffとn-well及びn-wellとp-subでpn接合を形成した2種類のフォトダイオードを作製した。発光ピーク約650nmの赤色LEDを光源とし逆バイアス電圧5Vを印加して特性評価を行った。フォトダイオードの量子効率それぞれ0.2,0.08であった。

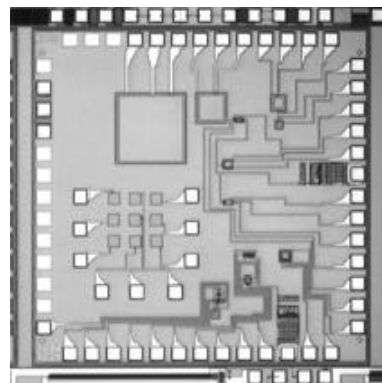
設計にはmagic 6.5を使用した。修士1回の学生が20日で設計した。試作チップは400トランジスタから構成されている。



ビジョンチップ用フォトダイオードの分光感度特性

奈良先端科学技術大学院大学 物質創成科学研究科 赤澤 淳 太田 淳

受光面積の異なるフォトダイオードを作製した。分光感度等の諸特性を測定する予定である。設計には magic 6.5 を使用した。修士 1 回の学生が20日で設計した。試作チップは20トランジスタから構成されている。



平面配置オートマトンによる矩形領域検出回路

金沢大学工学部 前多和洋 秋田純一 北川彰夫 鈴木正國

はじめに 従来の画像処理システムに

おいては受光系と処理系が別々である

ため、データ量の増加に伴いリアルタイム

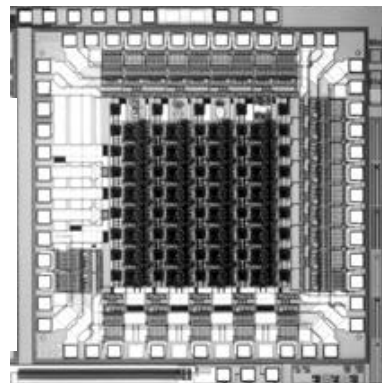
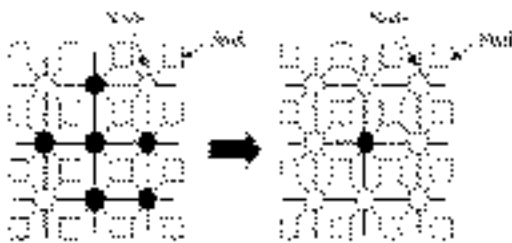
処理が困難なものになってしまう。

本研究においては、画像処理の一種として

矩形領域の位置と大きさの検出を

とりあげ、その結果をもとに物体のお

よその位置と大きさを検出する回路を試作した。



試作したチップ 回路は、ノードと受光部を模擬する F F をマトリクス上に配置したものである。受光部からノードへとデータを取り込み、隣接ノード間のみでデータ転送を行うことにより、矩形領域の検出を行う。今回は Motorola 2.3mm 角にノードを 4×8 、F F を 5×9 を配置したアルゴリズムの検証用回路として試作した。

設計者は大学院 2 年 1 名で、Cadence 社 Virtuoso と Hspice を用いて約 1 ヶ月で設計した。トランジスタ数は約 2,500 個である。また予定通りの動作を確認することができた。

ボトムアップ設計による実時間色情報抽出回路

金沢大学工学部 秋田純一

はじめに カラー画像に対して認識等の処理を行なうにあたって、色情報の抽出は重要な前

処理であるが、ソフトウェアによる処理では実時間処理は困難である。本研究では色抽出処理が

画素毎の情報のみで可能であることに着目し、ビデオ信号のデータ列の各画素情報に対して、

RGB 等の 3 つのパラメータが、あらかじめ設定した範囲内にあることを検出することで、対象色である

ことを検出する回路を検討した。

試作したチップ 本試作では、画素情報の 3 つのパラメータを各 6 bit とし、各パラメータの

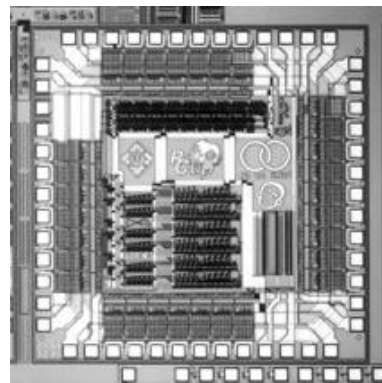
設定する上下限値の 6 bit レジスタ、6 bit のマグニチュードコンパレータ等をボトムアップ

設計によって設計を行なった。モトローラ $1.2 \mu\text{m}$ ルール、2.3mm 角に充分収まり、トラン

ジスタ数は 2,229、論理遅延は 11.2ns であった。なお余白には、検出中のインダクタ素子等の各種 TEG を配置した。

設計は助手一名がボトムアップによるフルカスタム設計によって行ない、およそ 2 週間を要した。なお本試作チップは、ロボット

ビジョンの研究で実際に使用されている。

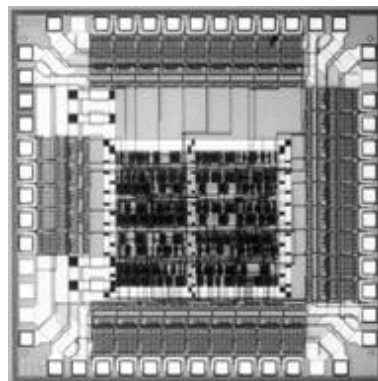


トップダウン設計による実時間色情報抽出回路

金沢大学工学部 高瀬信二

はじめに カラー画像に対して認識等の処理を行なうにあたって、色情報の抽出は重要な前処理であるが、ソフトウェアによる処理では実時間処理は困難である。本研究では色抽出処理が画素毎の情報のみで可能であることに着目し、ビデオ信号のデータ列の各画素情報に対して、RGB等の3つのパラメータが、あらかじめ設定した範囲内にあることを検出することで、対象色であることを検出する回路を検討した。

試作したチップ 本試作では、画素情報の3つのパラメータを各6bitとし、各パラメータの設定する上下限値の6bitレジスタ、6bitのマグニチュードコンパレータ等をトップダウン設計によって設計を行なった。使用したCADツールは、Synopsysのデザインコンパイラ、Avant!のAquariusXOである。モトローラ1.2 μ mルール、2.3mm角のチップに収まる、セル数は163であった。また、動作検証したところ10.3nsでの動作が確認された。設計は学生一名がトップダウンによる設計を行ない、およそ3週間を要した。



データ通信制御用ICの設計

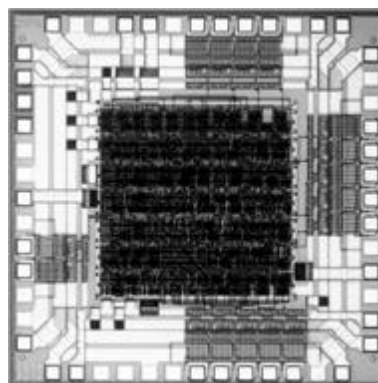
立山科学工業(株) 岡本信治

金沢大学工学部 鈴木正國 北川章夫 秋田純一

はじめに PDSS(Pre-Detection Spread Spectrum)方式を使った無線データ伝送が実用化されつつある。現在、この方式の処理には高速処理が可能なマイコンを用いてソフトウェアで実現している。しかし、通信速度の高速化、汎用化の面から、専用ICの実現の必要性がある。そこで、共同研究としてPDSS通信ICの設計を行った。

試作したチップの概要 今回設計したチップは現在使用しているソフトウェアと同様の基本機能を持つものとし、(1)入力されたデータに冗長性を加える。(2)冗長性のあるデータから本来のデータへ戻す。という送信・受信用の処理系を1チップ内に納めた。

設計言語としてVerilogを用い、九州大学のライブラリを使用した。また、配置配線にはAquarius-XOを使用した。設計は工学部研究員が一人で行い、設計開始から提出まで約4ヶ月要したが、実質は、2ヶ月程度であると思われる。当初ソフトウェアと同様のアルゴリズムで設計を行っていたが、与えられたチップサイズに納まりきらず、処理方式の決定にかなりの時間を要した。

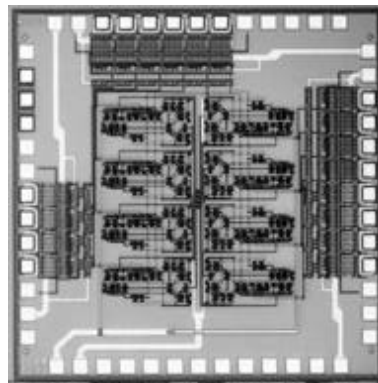


リミットサイクルを生成する集積化人工神経回路網の設計

東北大学 電気通信研究所 山名 智尋 早川 吉弘 中島 康治 沢田康次

はじめに 生体の活動にはリズムカルなものが数多くみられる。例えば歩行運動や心臓の鼓動、また脳波等もそのような活動の例であろう。このような現象の多くは神経系の周期的な活動がもととなっていると考えられる。一方、人工神経回路網の研究において結合に非対称性を持つ循環型の神経回路網では与えた初期状態に応じて、状態が遷移しなかったり(固定点)、状態遷移が周期軌道を形成する(リミットサイクル)等のダイナミクスが現れることが知られている。

チップ概要 本チップは、循環型非対称結合を持つ神経回路網の離散時間モデルのダイナミクスを実現する回路の集積化と試作者の回路設計手法の理解を目的としている。回路網の離散時間方程式のダイナミクスから素子の論理関数を構成し、メモリー回路にはスレーブ部分に入出力機能を付加したD-FFを用いた。今回の設計では回路は8素子で構成されているが、この場合には4個の固定点が存在し、リミットサイクルは4周期が1個、8周期が10個存在する。また試作者が提案したアルゴリズムにより回路網のダイナミクスがさらに詳細に解析され、リミットサイクルの軌道の各点にはその点に遷移していく状態がツリー構造を形成していることが明らかになっている。設計には博士後期課程2年の学生が設計手法の学習も含めて約2ヵ月弱でCADENCEのLayout Editorを用いて設計した。なお検証ツールにはDIVA及びDRACULAを用いた。トランジスタ数は約540個である。



ビジョンチップに用いるのノイズ補償バッファの試験回路

九州工業大学情報工学部 亀田 成司 八木 哲也

はじめに ビジョンチップは、超並列の回路構造により画像処理を瞬時に実行できる視覚センサである。我々は、これをアナログCMOS集積回路により設計している[1]。ここで、アナログCMOSにより視覚センサを設計する場合、問題になるのが素子の特性のばらつきである。ノイズ補償バッファ回路は、この素子のばらつきに起因する回路ノイズを補償することができる[1]。また、この回路はアナログメモリとしても使用できる。今回、我々は、ノイズ補償バッファの試験回路を製作した。

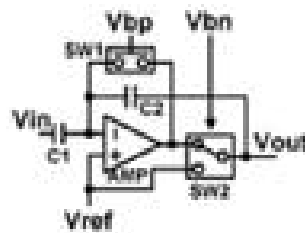
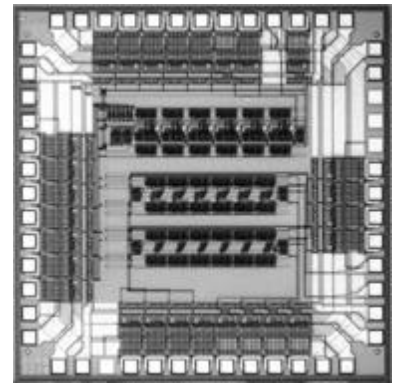


図1 ノイズ補償バッファの回路構成



試作したチップ 今回試作したのは、ノイズ補償バッファの試験回路である。図1のように、差動増幅器、キャパシタ、そしてスイッチにより構成され、スイッチ動作により回路ノイズをキャパシタに記憶させることができる。モトローラ社1.2 μ mルール、2.3mm角のチップとして実現した。また、アナログメモリとしての性能を検証するために、比較対象として単純なキャパシタによるメモリも試作した。Cadence 97Aによるフルカスタム設計で、回路規模は1026トランジスタとなった。なお、本チップは博士1年の学生が約1ヶ月で設計した。

参考文献 [1] 八木, 亀田, 飯塚「可変受容野を備えた超並列アナログ知能視覚センサ」信学論, vol.J81-D-I, no.2, pp.104-113, (Feb 1998)

ビジョンチップに用いる電荷蓄積型光センサの試験回路

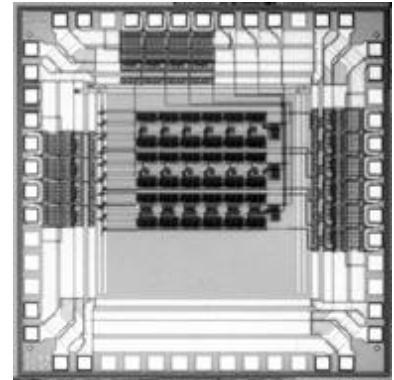
九州工業大学情報工学部 亀田 成司 八木 哲也

はじめに ビジョンチップは、超並列の回路構造により画像処理を瞬時に実行できる視覚センサである。我々は、これをアナログCMOS集積回路により設計している[1]。ビジョンチップの光センサ部には、電荷蓄積型光センサ、いわゆるアクティブピクセルセンサ、を用いており、電荷の蓄積時間を変えることにより、応答感度を調節することができる[1]。今回、我々は電荷蓄積型光センサの試験回路を試作した。

試作したチップ 今回試作したのは、18個の電荷蓄積型光センサである。モトローラ社1.2 μ mルール、2.3mm角のチップとして実現した。本プロセスでの動作検証および固定パターンノイズ等のばらつきレベルの確認を目的としている。

Cadence 97Aによるフルカスタム設計で、回路規模は966トランジスタとなった。なお、本チップは博士1年の学生が約1ヶ月で設計した。

参考文献 [1] 八木, 亀田, 飯塚「可変受容野を備えた超並列アナログ知能視覚センサ」信学論, vol.J81-D-I, no.2, pp.104-113, (Feb 1998)



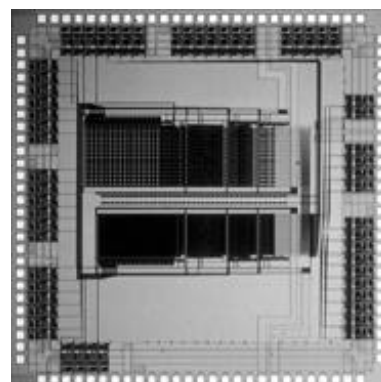
平成10年度第1回NEL試作

マルチプレクサ方式とバス方式の比較のためのマイクロプロセッサとEBブローバ・FIB練習用回路

東京大学 工学部 小松 聡, 池田 誠, 浅田 邦博

はじめに 近年VLSIにおける消費電力の増大が問題になっており、その中でバス部分の消費電力が全体の消費電力に占める割合が大きくなってきている。今回、我々はCPU内のデータ転送において、バス方式とマルチプレクサ方式を比較し、VLSIの低消費電力化への検討を行った。また、それと同時にEBブローバ・FIB装置の練習用のための回路を付加した。

試作チップ 今回検討したマイクロプロセッサのアーキテクチャは(a)3バス構成のCPUと(b)マルチプレクサ方式のCPUである。マルチプレクサ方式にすることにより、信号線の増加があるものの、信号線一本当たりの容量が小さくすることができ、低消費電力化を実現可能である。両アーキテクチャの比較のため、NEL0.5 μm を用いて16ビットCPUをそれぞれ設計した。チップ写真が示すように両CPUを1チップに載せている。マルチプレクサ方式では、チップ面積が約40%増加するが、信号線の容量を約1/4に低減でき、またチップ全体の消費電力も約30%低減することが可能である。また、それと同時にEBブローバ・FIB装置の練習用として容量負荷の回路を付加してある。なお、本チップは修士1年(当時)の学生が約1か月で設計し、約40kトランジスタで構成されている。

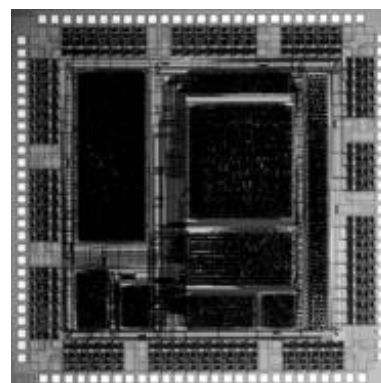


終了検出型パイプライン加算器を用いた疑似非同期式マイクロプロセッサの設計

東京大学 工学部 鄭 若彤, 佐藤 義則, 浅田 邦博

はじめに マイクロプロセッサの高速化のためには演算の中心である加算器の高速化が不可欠である。従来の加算器の高速化は最大遅延の削減に主眼がおかれていた。これに対し、平均的な演算速度向上を狙う終了検出型パイプライン加算器を提案した。以前の終了検出型加算器のスループット向上を図り、疑似非同期式マイクロプロセッサを構成し、そのアーキテクチャーの動作検証を行なう。

試作チップ 今回設計したCPUのアーキテクチャは32-bit 4段パイプラインの疑似非同期式マイクロプロセッサである。CPUの全体として平均速度で動かせるために非同期式ハンドシェイクを用い、CPU全体として平均速度で動けるようになった。終了検出加算器は前段の部分加算ステージと後段のキャリー伝搬ステージの2段パイプライン構成となっている。前段の処理時間は一定であるが、後段では1~3クロックの間で可変となる。パイプラインのステージの間、ハンドシェイクによりデータ転送を行なう。本チップは97年度試作した同じ機能を持つチップの修正版である。以前のチップはライブラリの問題があり、動作しなかった。なお、修正は一人で約半日で修正し、60kトランジスタで構成されている。測定により基本動作を確認した。



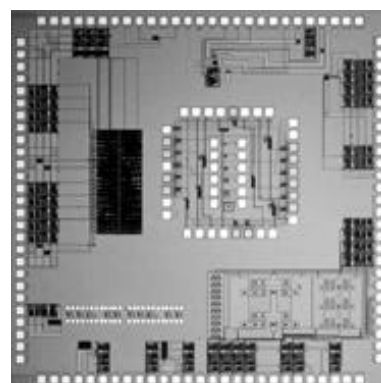
大規模集積回路の熱分布に関する研究

東京大学工学系研究科 大規模集積システム設計教育研究センター

大口康弘 十韓小逸 藤島実 十鳳紘一郎

目的 大規模集積回路の集積度の向上に伴い、チップあたりの消費電力も急速に上昇している。集積回路内部の局所的な温度上昇は特定ブロックまたは特定デバイスの正常動作を妨げ、システム全体が正常に機能しなくなる恐れがある。本研究は、集積回路の発熱状況とチップ内熱伝達特性を観測し、これを設計・レイアウトと直結することによって、熱的問題をも最適化できる集積回路レイアウト法を作り出すことを目指している。

試作チップ サーモグラフィックシステムを用いて集積回路中のインバータからの熱発生とその分布を精密測定するために、測定システムの空間分解能に合わせてゲート長がそれぞれ0.6 μm , 3 μm , 6 μm , 18 μm , 30 μm のCMOSインバータを設計した。ゲート長の拡大倍率に合わせてレイアウトのすべての部分を同倍率で拡大して設計した。寸法0.6 μm , 3 μm , 6 μm の3種類は10段の、また18 μm , 30 μm についてはそれぞれ3段と2段のインバータにより構成されている。入力は一パットを使っているが、5個のNANDを用いて、それぞれのインバータへの信号入力を切り替える。出力は5つに分け、熱分布と熱伝達の観測中、インバータの動作状況を確認できるようにした。設計はNELの0.6 μm ルールを用いた、助手1名と実習生1名が行い、4日を要した。



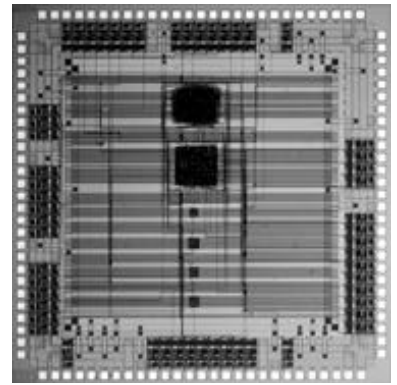
ライブラリセル検証用TEGチップの試作

九州大学大学院 システム情報科学研究科 情報工学専攻ジャマルエディン カレド, 石原 亨, 安浦 寛人

はじめに 大学や高専などの教育機関におけるLSI設計の円滑化を目的に、約300種規模のスタンダードセルライブラリを開発した。開発したセルライブラリは、VDECユーザの共同利用資産としてホームページにて公開している。本稿では、開発したスタンダードセルを個別に検証することを目的として設計した、ライブラリセル検証用TEGチップの報告を行なう。

試作チップ 仕様設計には、VHDLを使用した。論理合成および論理シミュレーションはSYNOPTIS社のツールを使用し、配置配線にはAvant!社のAquariusXOを使用した。TEGチップ構成は全セルに対して入力値を与え、セクタにより所望のセルの出力値を出力するように設計した。TEGチップには、検証対象の311種類のセルを搭載している。また、51段、61段、71段、81段のリングオシレータも搭載している。なお、本チップは修士1年の学生が約1ヵ月で設計した。試作結果を以下に示す。

使用プロセス： NEL 0.5 μ m CMOS 2層メタル
 チップサイズ： 4.76mm \times 4.76mm=22.66mm²
 トランジスタ数： 6,756
 信号ピン数： 55



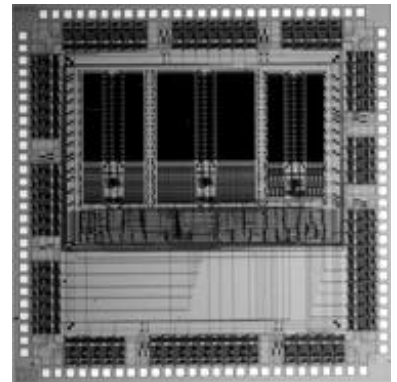
VDEC共同利用マクロとしてのSRAMチップの試作

九州大学大学院 システム情報科学研究科 情報工学専攻石原 亨, 安浦 寛人

はじめに VDECユーザが共同利用できるマクロセルとしてSRAMマクロを試作した。試作チップには、8ビット \times 256ワード、16ビット \times 128ワード、32ビット \times 128ワード、の3種類のSRAMマクロを集積した。

試作チップ SRAMマクロはAlliance CAD system Ver. 3.0を用いて自動生成し、デザインルールが満たされていない部分は、Cadence社のVirtuosoを用いて手修正した。SRAMの入出力を選択するセクタ回路はスタンダードセルを用いて設計した。チップの試作にはおよそ1人月を要した。

使用プロセス： NEL 0.5 μ m CMOS 2層メタル
 チップサイズ： 4.76mm \times 4.76mm=22.66mm²
 ゲート数： 約10,000ゲート(NAND換算)
 信号ピン数： 76ピン

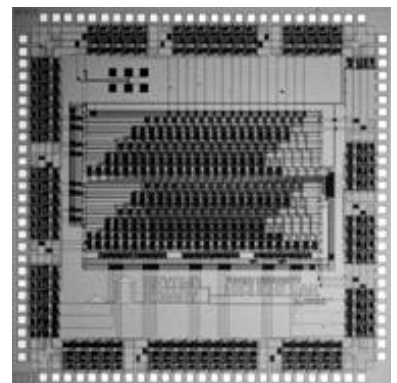


冗長複素数乗算器の試作・評価

東北大学大学院 情報科学研究科 星 健一, 青木 孝文, 樋口 龍雄

はじめに マルチメディア時代に要求されるデジタル信号処理アルゴリズムにおいては、FFT(高速フーリエ変換)に代表されるように、複素数データが極めて重要な役割を有するものが少なくない。通常、複素数乗算器を従来のように実数乗算器と実数加算器を組み合わせることで実現した場合、演算器間を結合するグローバル配線がボトルネックとなり、十分な性能が得られなかった。この問題を解決するため、筆者らは、高速な複素数演算を可能にする新しい数系「冗長複素数系(RCNS: Redundant Complex Number System)」を提案している。今回、その原理を確認するために冗長複素数系に基づくグローバル配線のない複素数乗算器の試作・評価を行った。

試作チップ 試作した冗長複素数乗算器は、実部・虚部ともに8ビット精度の2進数を入力として、その積を実部・虚部ともに17ビット精度の2進数で出力する。内部演算では、基数が $2j$ (j は虚数単位)の冗長複素数系を用いている。これによりキャリー伝搬がなく、きわめて規則的な構造の複素数乗算器を実現している。従来の設計と比較して、チップ面積を78.9%に、消費電力を56.6%に削減することに成功した。現在までにLSIテストによる完全な動作確認を完了している。なお、本チップは修士2年の学生が約1.5ヶ月でフルカスタム設計し、18kトランジスタで構成されている。



DRAM ベース加算機能メモリ / PLL 回路評価 TEG

京都大学田丸研究室 小林 幸史 藤田 浩章 岡田 健一 小野寺 秀俊 田丸 啓一
はじめに バスボトルネックの解消を目的として、機能メモリというアーキテクチャが提案されている。加算機能メモリはDRAMをベースにした機能メモリで、通常のDRAM動作である記憶保持に加え、メモリ内部でビット直列ワード並列に演算処理が可能である。試作目的は、演算動作の確認、動作速度の測定、消費電力の測定である。

さらに、PLL回路を実現する上での問題点を探る目的でPLL回路評価TEGを試作した。
チップ概要 本チップにはDRAMベース加算機能メモリ、PLL回路評価用TEG、素子ばらつきデータ収集用TEGが載せてある。

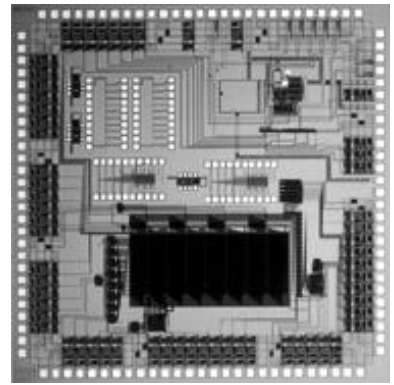
加算機能メモリは、DRAM数ワードにつき一つの演算回路を付加したPE(Processing Element)が2次元アレイ状に配置された構成をとる。

試作チップでは、DRAM36ビットと一つの演算回路で1PEを構成し、このPEを128個集積している。

加算機能メモリ部は修士2回生の学生が1ヵ月で設計を行い、約20,000トランジスタで構成されている。

PLL回路評価TEGは位相周波数比較器、チャージポンプ、LPF、VCO、プログラマブル分周器からなる基本的な構成で、テストのための入出力端子が付けてある。レイアウトは全てCadence社のVirtuosoで行った。

PLL回路評価TEGは修士1回生の学生が1ヶ月で設計を行い、約1000トランジスタで構成されている。



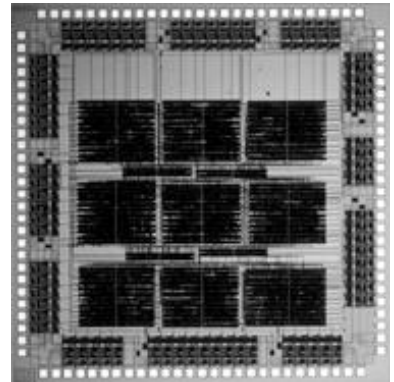
CMOS ニューロ回路

大阪大学大学院 工学研究科 市橋 基, 谷口 研二

はじめに ニューロセルのモデルとして一般的な「パーセプトロンモデル」を採用したニューロ回路はこれまでに数々提案されている。しかし、複雑な回路や再構成可能個所が少ない回路が多い。今回の設計では、SRAM、CMOSインバータとキャパシタという簡単な回路構成要素を用い、再構成可能個所の多い(自由度の高い)回路の実現を目指し設計を行った。ただし、今回の設計においては製造プロセスの制約からキャパシタの確保が困難であり、本来なら寄生容量とされている金属層間の容量を利用した。

試作チップ 今回試作したのは、金属層間のキャパシタを利用した回路で、1チップにそれぞれ容量が異なる2つのセルを2.3mm角のチップ中に実現した。同じ基本セルを2個実現しており、回路構成は同じである。回路規模は約0.7kトランジスタとなった。

設計は修士2年の学生1名で行い、約2ヶ月程度の時間を費やした。



光同期式レーザ回路を用いた分周器の試作

東京大学工学系研究科、 大規模集積システム設計教育研究センター

相原 祐一郎 藤島 実 十鳳 紘一郎

目的 VLSIの高集積化が進むにつれ配線遅延、特にクロックの遅延が高速化の際に大きな問題となってきている。解決策の一つとしてクロック信号を光で与えチップ内の同期をとる光クロック供給システムが提案されている。受光素子をシリコンで作る光を自由空間伝搬させる方法をとれば、このシステムを現在のシリコンCMOSプロセスで実現することができる。しかしそのためには高感度のレーザ回路が必要となる。今回我々は低消費電力、小面積であり高速動作をする光同期式レーザ回路を用いた分周器の試作を行なった。

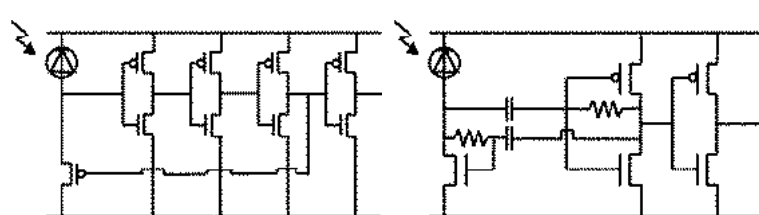
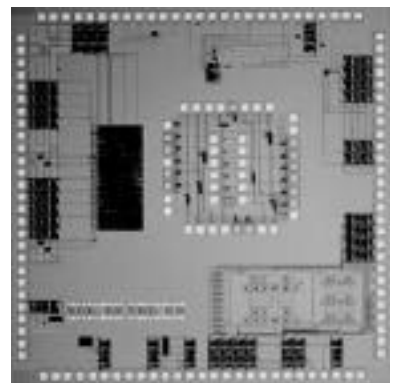


図1 リングオシレータ型

図2 マルチバイブレイタ型

試作チップ

光同期式レーザ回路としては、高速動作をすると考えられる図1のリングオシレータ型と確実な動作をすると考えられる図2のマルチバイブレイタ型を、パラメータを変えるなどして合計7種類搭載した。なお本チップは修士1年の学生が約2週間で設計し、約1000トランジスタで構成されている。



マイクロ心拍モニターの試作

東京大学 工学系研究科 相原 祐一郎, 藤島 実
 大規模集積システム設計教育研究センター 鳳 紘一郎

目的 マイクロヒューマンセンサは、生体情報をモニターするシステムを構築できるものとして、集積回路に新たな利用価値を生み出す可能性を秘めている。今回、高い付加価値を持つ集積回路を目指して、マイクロヒューマンセンサの1つとして、マイクロ心拍モニターの試作を行った。

試作チップ 設計した回路の構成を図1に示す。心拍数は、心電図で観測される最も波高の高いR波の間隔

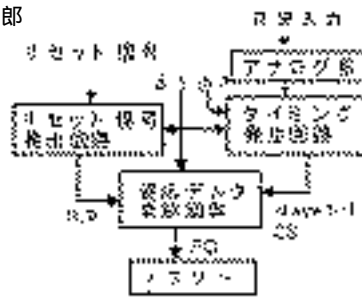
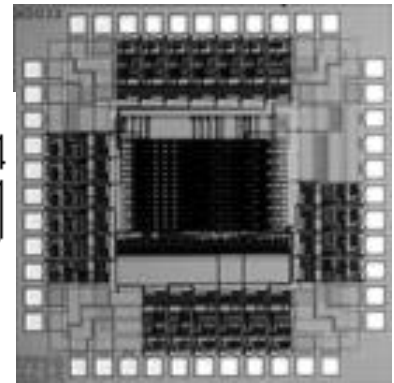


図1 回路構成



を測定することで得られる。R波を増幅してパルス状に整形したものを入力とする。R波の間隔を測定する為に別のパルスを用意し、R波が検出される毎に、測定開始からのパルスのカウント数をサンプリングする。間隔測定パルスの数のデータは、適応デルタ変調を用いて1ビットに圧縮する。タイピング発生回路では、非同期的入力信号から4クロック分の同期クロックを生成し、適応デルタ変調回路およびメモリ部に供給する。このことで回路の駆動サイクルを非常に少なくする事が可能となり、全体として低消費電力を実現する事が可能となる。本チップは、修士1年の学生が約2週間で設計し、約3000トランジスタで構成されている。

CMOSオペアンプの試作

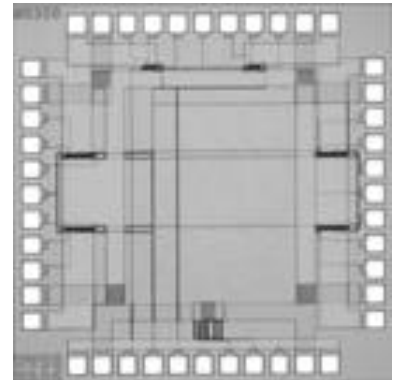
玉川大学 青木 健太郎, 山本 庸介

チップ概要 CMOSを用いてオペアンプの設計/試作を行った。設計の目的は、CMOSオペアンプのIP設計のためのノウハウを蓄積することにある。具体的な設計方針としては、デジアナ混載型LSIの実現を意識して、当大学で設計しているデジタル用スタンダードセルと同じ規格で設計を試みている。また、これと同時に高帯域化と高ゲイン化、低電圧化に伴う出力電圧の確保を試みた。

試作に要した日数 2か月, 主な設計者の身分: 修士2年生 1名, トランジスタ数: 30トランジスタ

試作に使用した設計、検証ツール HSPICE、SX9000

測定結果 評価中



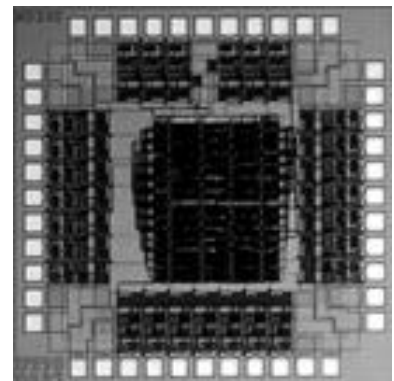
X線光電子スペクトル解析用LSIのための高速複素演算器の試作

武蔵工業大学工学部電気電子工学科電子物性研究室

小澤 健 齋藤 豊 行本 真介 廣瀬 定男 野平 博司 森木 一紀 服部 健雄

はじめに X線光電子スペクトルの解析用専用チップを実現するための第1段階として、高速に複素演算を行うにはどのようなアーキテクチャを用いたら良いのか検討を行い、東北大学の青木助教授らの提唱する冗長複素数系(RCNS)を用いることにした。RCNSを複素数演算に導入することで(多値2進数型)キャリの伝播がなくなり、乗算においてはBoothのアルゴリズムを用いることが可能なため、より高速な演算が可能になるものと期待される。

試作チップ 今回設計したチップはRCNSを用いた実部、虚部ともに4bitの複素乗算ユニットである。チップ設計は、基本設計を修士2年の学生1人が約1ヶ月で行い、修正および改良には、修士一年と学部生各1人ずつで約1ヶ月要した。回路規模は約5500トランジスタであり、正しく演算することを確認した。演算速度については、現在評価中である。



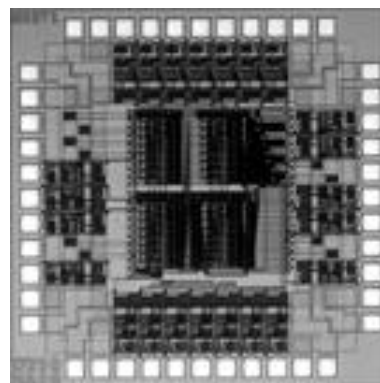
(1) Takafumi AOKI Hiroaki AMADA and Tatsuo HIGUCHI' Real/Complex Reconfigurable Arithmetic Using Redundant Complex Number Systems Proceedings 13th SYMPOSIUM on COMPUTER ARITHMETIC.

係数再構成可能なFIRフィルタの試作・評価

東北大学大学院 情報科学研究科 澤田 善樹, 青木 孝文, 樋口 龍雄

はじめに マルチメディア通信を中心とした現在のデジタル信号処理応用においては、汎用のDSPの演算能力では不十分な場合が多い。このため、信号処理に特化したFPGAにより、ASICに近い演算速度を持った回路を短時間・容易に構成できれば、きわめて広範囲な応用において有用になるものと予想される。実現するデジタル信号処理応用として、構造・係数を再構成可能な積和演算回路を考えている。この再構成可能な積和演算回路に適した数系として、Signed-Weight Number System (SW数系) という新しい数系を提案しており、SW数系に対応した冗長数加算器を、FPGAのロジックブロックの代わりとして用いることにより、高速な積和演算回路を再構成可能なFPGAの実現を目指している。

試作チップ 今回の試作では、SW数系のアルゴリズムの確認のため、SW数系に対応した冗長数加算器を用いた係数再構成可能なFIRフィルタの実現を目的としている。チップ面積・試作期間の制約上、配線は固定されており再構成はできない。本チップで、8ビット語長、4次のFIRフィルタを構成することが可能である。HSPICEによるシミュレーションで、動作周波数は約100MHzと予測されている。なお、本チップは修士1年の学生が約1ヶ月で設計し、10kトランジスタで構成されている。



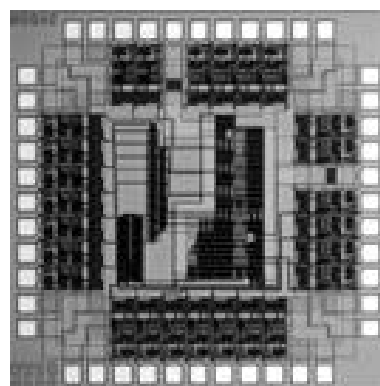
並列視覚情報処理システムに関する研究

東北大学大学院工学研究科 河江 大輔 栗野 浩之 小柳 光正

はじめに 近年様々な分野でデジタル画像処理が応用されているが、各画素を逐次的に処理する従来の方式では高速化のニーズに対応できない。そこで我々は処理速度の飛躍的な向上が望める並列処理システムを提案した。

試作したチップ 今回は、デジタル画像処理として入力画像のエッジ抽出を行うチップを試作した。チップ上には8×8画素に対して画像処理を行う単位システムが1ユニットあり、8×8画素のデータについてパイプライン処理を行う。なお、各ユニット内のALUではエッジ抽出のために処理対象とその4近傍の画素データを使った演算が行われているが、ユニット境界の画素の処理時に隣接ユニットの画素データが必要となるので、そのためのバスが設けられている。このようなユニット(チップ)を2次元に配置、配線することで1フレームを形成する。これらのユニットは同時並列に処理を行うため、処理時間の大幅な短縮が可能となる。また、ユニット間のデータ転送に関するアルゴリズムを工夫することにより、各ユニットが持つレジスタの容量を23画素分にまで減らしている。なお、本チップは修士1年の学生が約1ヶ月で設計し、約3.5kトランジスタで構成されている。

参考文献 D. Kawae et al., "Design of Real Time Micro-Vision System LSI with Three-Dimensional Structure", Proc. of the Workshop on Synthesis And System Integration of Mixed Technologies, p.229-234, Oct.1998.



メモリ共有型並列計算機のための試作メモリチップ

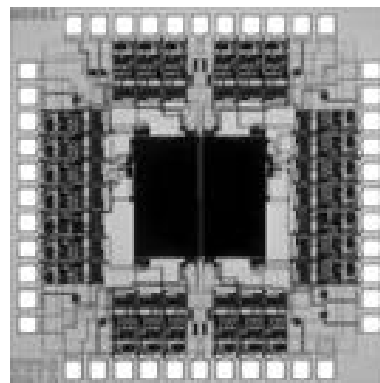
東北大学大学院工学研究科 小野 泰三 栗野 浩之 小柳 光正

はじめに 並列計算機の中でも共有メモリ型並列計算機は簡単な構成で高い性能を実現できるが、接続されるプロセッサエレメントが増えるに従い共有バスでのボトルネックが問題となる。そこで共有バスなしに各プロセッサエレメントを結合するマルチポートメモリを提案した。

試作したチップ 今回試作したメモリは、DRAM2つのマットから成る、2ポートのマルチポートメモリである。プロセッサエレメントは各マットのセンスアンプを通してメモリセルに結合されている。各マットのセンスアンプ間はブロードキャストバスと呼ばれるたくさんの内部バスでつながれている。このバスにより1クロックでマット間でデータを転送し、プロセッサエレメント間でデータを共有できる。また各マットのセンスアンプは2ブロックに分かれており独立に動作する。これにより読み出し、書きこみを各ブロックごとに行わせることができる。

このチップはNEL0.5μmルール、2.3mm角のチップとして実現した。設計は修士学生1年の学生1名が約1ヶ月で行った。回路規模は約11.8kゲートである。メモリセルは1マットあたり4kバイトである。設計ツールはMentor Graphics社製のIC Stationを用いた。

参考文献 小野:「メモリ共有型並列計算機のためのDRAM型共有メモリの試作」,第45応物春,No.2,31a-YB-7,pp.890,(Mar 1998)



階層構造型マルチポートメモリに必要な変換回路の試作

広島大学ナノデバイス・システム研究センター

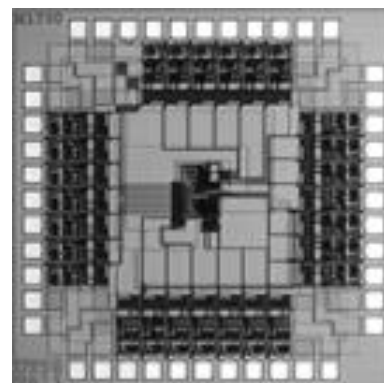
李海敦 村上貴志 山田耕太郎 H.J.Mattausch

はじめに 我々が提案している階層構造型マルチポートメモリ[1]は1ポートメモリセルブロックを用いているため、1ポートとNポートの変換回路が必要である。変換回路はNポート分のデータとメモリアドレスから1ポート分のもののみを選び出すセクタの役割をするものであり、単純な回路構成で実現出来るため、集積化に適している。今回我々ははこの変換回路の試作を行った。

試作チップ 今回試作したものは、1ポートメモリセルブロックに256ビットの容量を持たせた4ポートメモリに用いる変換回路である。本チップの設計は主に学部4年生2人と教授

1人が携わり、Cadence社のComposer, Virtuosoを用いて約3週間で仕上げた。変換回路のトランジスタ数は約240個であるが、ピン数の制約により周囲にセクタやデコーダを設けたことから、それらのトランジスタ数が更に約270個必要であった。

参考文献 [1]山田耕太郎、李海敦、村上貴志、H.J.Mattausch「1ポートメモリセルの階層構造による新しいマルチポートメモリアーキテクチャ」電子情報通信学会総合大会講演論文集エレクトロニクス2 C-12-87, p215, 1998.



マルチポートメモリに必要なアクセス衝突処理回路の試作

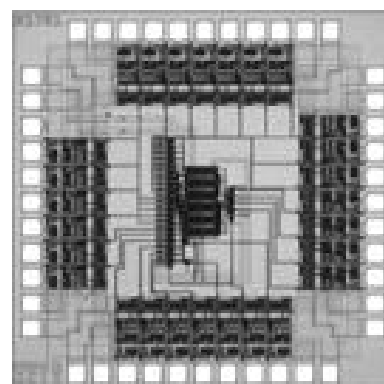
広島大学ナノデバイス・システム研究センター

村上貴志 李海敦 山田耕太郎 H.J.Mattausch

はじめに マルチポートメモリには異ポートから同一メモリへのアクセス衝突を処理する回路が必要である。この回路を衝突処理回路と呼ぶ[1]。衝突処理回路では全ポートのアクセス先のアドレスから衝突の有無を調べ、衝突があればそれぞれのポートにアクセス許可・禁止の信号を与える。このとき、アクセス禁止ポートを決める方法として(1)各ポートにアクセス権の優先順位を付け、常に優先順位の低いポートをアクセス禁止とする(2)各ポートがアクセス禁止となる確率を等しくする方法がある。本試作ではこれら2種類の回路を設計した。

試作チップ 今回試作したものは、1ポートメモリセルブロックを64個持たせた4ポートメモリに用いる衝突処理回路である。本チップには上記2種類の回路を相乗りさせ、セクタやデコーダでそれぞれの回路を独立に評価出来るようにした。設計は主に学部4年生2人と研究員1人が携わり、Cadence社のComposer, Virtuosoを用いて約3週間で仕上げた。トランジスタ数は約940個を必要とした。

参考文献 [1]李海敦、村上貴志、山田耕太郎、H.J.Mattausch「マルチポートメモリにおけるアクセス衝突回避処理のための新しい論理回路」電子情報通信学会総合大会講演論文集エレクトロニクス2 C-12-88, p216, 1998.



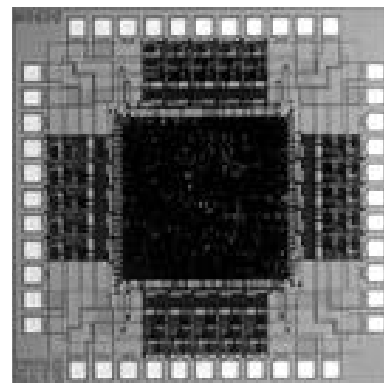
8ビット汎用マイクロプロセッサの設計試作

千葉大学 工学部 長谷川 哲, 大豆生田 利章, 小幡 信夫, 坂本 貴幸, 伊藤 秀男

はじめに 本研究室ではVLSIのテスト容易化設計に関する研究を実際のチップを用いて検証することを計画している。今回は、この計画の一環として、VLSIの設計手順およびCADツールの使用法に習熟するために8ビットマイクロプロセッサの設計試作を行った。

プロセッサ仕様 プロセッサは8ビットのものである。アドレスバスおよびデータバスは共に8ビットである。8ビットレジスタは8個用意してある。(汎用レジスタ、フラグレジスタ、スタックレジスタを含む。)機械語命令数は16個用意しており、基本的な動作のみに絞っている。

試作に使用した設計、検証ツール 回路設計、検証には Synopsys Design Compiler, Synopsys VSS を使用した。またレイアウト設計には Avant! を使用し、九州大学のNEL0.5um用のライブラリを利用した。助手および修士2年の学生3人で約3ヶ月間で製作した。



MEMSのためのVLSIサービスの利用：VLSI及びツールの理解

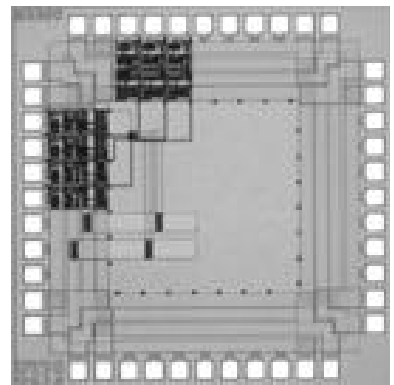
東京大学工学部 大山 智之 下山 勲

はじめに MEMS (MicroElectroMechanical Systems) 技術は、半導体技術を基盤とし、さまざまな加工技術を組み合わせたものである。これにより、アクチュエータやセンサなどのマイクロメカニズムと処理回路の複合システム化が可能である。

しかし、VLSIチップと同様に、設備が高価であり、プロセスの条件出しが必要なため、ユーザが個々に製作を行うのは困難である。そこで、マイクロマシニングチップサービスや商用CMOSチップサービスを利用することが考えられる。ベアチップを構造部のそばに配置したり、プロセスを理解した上で構造と回路を1チップ化することも可能である。

そこで、MEMSへの応用を前提としてVLSIサービスを利用し、今回はそのために必要なVLSIとツールの基礎的な理解を目標とした。

試作したチップ 今回試作したチップは、VLSIの基礎的な理解、ツールの使用方法の習得を目標とし、NEL0.5 μ mルール、2.3mm角のチップ上に単純な論理回路を構成した。設計にはCadence社のlayoutを用いてすべて手配線により設計を行い、回路抽出後HSPICEにより部分的に検証を行った。単純な回路のため、設計は修士2年の学生一人で行い、ツールの使用方法を習得しながら作業を行ったため2週間程度要した。



カルコゲナイド半導体相変化不揮発メモリ試作のためのチップ

金沢大学工学部 水橋嘉章 早川史人 今井豊

カルコゲナイド薄膜の相変化を用いた不揮発性メモリの土台となるチップの試作を行った。本チップでは過去に作製したチップから一歩進め、メモリセルをマトリクス状に構成することを目標としている。

本チップにはトランジスタは使用しておらず、パッシブマトリクスを構成するためのダイオードが集積されている。製作されたチップにFIB(Focused Ion Beam)装置を用いて数 μ m程度の素子領域を作製し、その上にカルコゲナイド薄膜および上部電極を形成することで、メモリ素子を作製した。

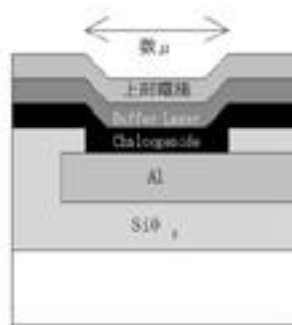
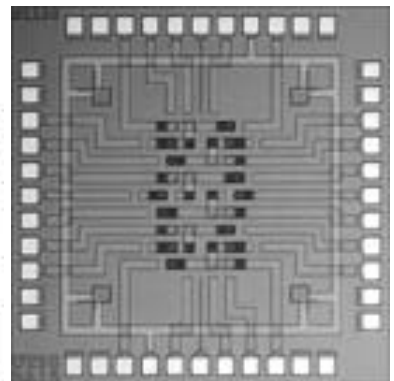


図1 メモリ素子断面構造

メモリ素子の断面構造を図1に示す。99年3月現在、メモリとしての動作を確認することができている。

本チップの設計はCadence社のツール群を使用し、フルカスタムで行なった。期間は修士2年の学生が2週間程度である。

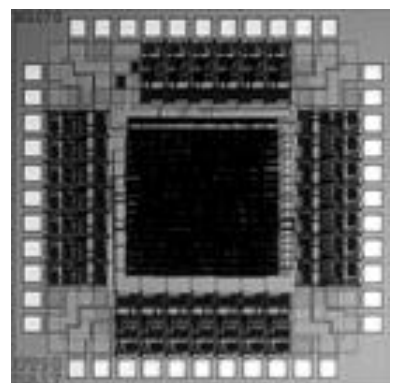


デジタル相関器

東京大学 工学部 安藤 繁、高橋 克

チップ概要 相関演算を行なうことによって、センシングにおいて重要な情報を得ることができる。今回は、複数入力値の時間相関を高速に求めることを目的にして、4デジタル入力のそれぞれの時間相関を演算する、NEL0.5 μ mを用いた2.3mm角チップの設計を行なった。具体的には、2入力の積を取り、その値を累積加算する回路を組み込むことで、実現を図った。乗算し、加算する回路を10個チップに集積した。

試作チップ Verilog-HDLを用いて記述したものを、京大作成のp2libを用いてSynopsysで論理合成し、Cell-Ensembleで配置配線を行なった。トランジスタ数は約25,000である。設計は修士1年1名が主に行ない、およそ1ヶ月の製作期間を要した。設計者にとって、初めての設計であったために、経験者にアドバイスを頂きながらの設計となった。実際の設計よりも、ツールの使用方法を学ぶ事に時間がかかった。



時間相関型イメージセンサ(第2報)

東京大学 工学部 来海 暁, 安藤 繁

はじめに 我々の研究室では高性能の画像センシングの実現を目指し、入射光強度と各画素共通の外部電気信号との時間相関値を出力する時間相関型イメージセンサの研究に取り組んでいる。昨年度の第2回モトローラ(MOT97-2)の結果を踏まえ、今回の試作では異なるプロセスによる影響の評価用TEGとともに、画素数を 16×16 に拡大したセンサアレイを製作した。

チップ概要 画素回路についてはMOT97-2と同じく容量負荷可変コンダクタンス差動増幅回路をモデルとしたが、

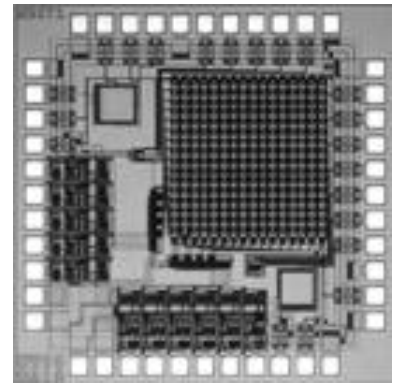
- 1) $75\mu\text{m}$ 角から $60\mu\text{m}$ 角への画素サイズ縮小、
- 2) 完全対称化、
- 3) 相補型回路化、
- 4) 電源ガードリングの徹底、

の点で改良を試みた。またセンサアレイについては、

- 1) 8×8 から 16×16 への画素数拡大、
- 2) デコーダ・マルチプレクサ内蔵、

の点で変更を行った。試作には約1ヶ月を要し、博士課程の学生1人が学部4年生1人と協力し、Cadence社のVirtuosoを使用してマスクパターンの設計を行った。試作したチップの総トランジスタ数は約1400個である。

1kHzの変調光および外部電気信号を用いて実験を行い、これらの位相差に対して出力が変化する様子を確認した。

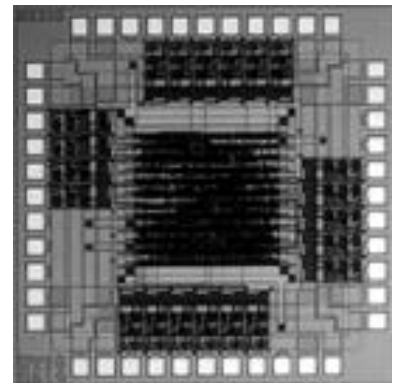


積和演算器を持つプロセッサの試作

東京都立大学大学院 工学研究科 電気工学専攻 坂本 憲司, 柴野 恭寛, 村松 正吾, 山田 昭彦

はじめに 回路シミュレーション及びレイアウトを含む一連のVLSI設計工程を修得すること、及び信号処理に適したアーキテクチャの検討を目的として積和演算器を持つプロセッサの試作を行なった。

試作チップ 仕様設計にはVHDLを使用し、論理合成および論理シミュレーションはSynopsys社のDesign Analyzer、VHDL System Simulatorをそれぞれ使用し、配置配線にはAvanti社のAquariusXOを使用した。本チップは使用プロセス $0.5\mu\text{m}$ CMOS2層メタル、チップサイズ 2.3mm 角、信号ピン数28であり、九大版セルライブラリEXDIibを用いて試作した。設計したプロセッサは、データバス用8bit入出力ポート、アドレスバス用8bit出力ポートを備えている。命令長は16bitであり、基本的な算術演算命令、論理演算命令や積和演算命令、データ転送命令、分岐命令などの機能を実装している。回路規模はセル数575個、セル総面積 $217620.47\mu\text{m}^2$ であった。なお、チップは学部生4年の学生2名、助手1名が約3か月で設計を行なった。



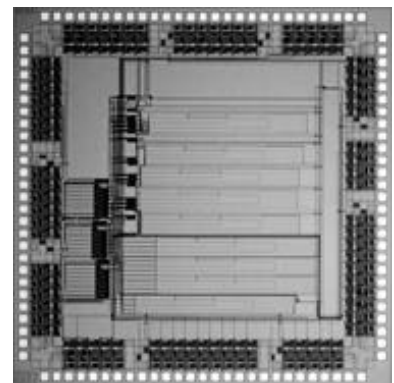
機能可変型 DSP プロセッサ

大阪大学大学院 工学研究科 Tan Boon Keat, 吉村 隆治, 谷口 研二

はじめに 多くのデジタル信号処理は汎用のマイクロプロセッサもしくはASICで行われているが、そのあいだには幾つかのトレードオフが存在する。マイクロプロセッサの場合、柔軟性は高いが、パフォーマンスは低い。一方、ASICでは、チップのパフォーマンスは良いが、柔軟性が低い。今設計は、ソフトウェアベースのマイクロプロセッサに代って、ハードウェア制御方式を採用する新しいアーキテクチャを用いて、柔軟性が高く、かつ、パフォーマンスが高いプロセッサの実現を目指した。

試作チップ $n \times n$ 個のプロセッサの配列から構成される新しいアーキテクチャの機能可変型シグナルプロセッサを設計した。配列の要素には簡単な演算機能のみを実装し、それを多数用い組み合わせることによって所望の信号処理を行うことができる。このアーキテクチャは大量のデータを処理するのに向いており、マイクロプロセッサの柔軟性を保ちながら従来の手法より高性能の信号処理が実現できる。数多くのプロセッサを用いた並列信号処理アーキテクチャはフォールト・トレランス性を有している。使用したライブラリは京大作のP2Libであり、一部のスタンダードセルは自作のものを使用した。

今回の設計は修士学生1人が、約1ヶ月間で行った。



Si LSIチップを用いたセンサ回路およびLSI中の波形測定回路の試作

東京大学生産技術研究所 桜井研究室 川口 博, 野瀬 浩一, 井高 康仁, 桜井 貴康

1 .センサー回路： Si MOSFETを用いて下記のセンサ回路および配線中のインダクタンス測定回路をそれぞれ技官および修士2年の学生2人が5日で試作した .

フォトダイオード上をレーザーが通過することで、三角測量に基づいた距離計測をおこなうセンサー カレントラッチ型センサアンプを中心とした周辺回路によって低消費電力を実現している .

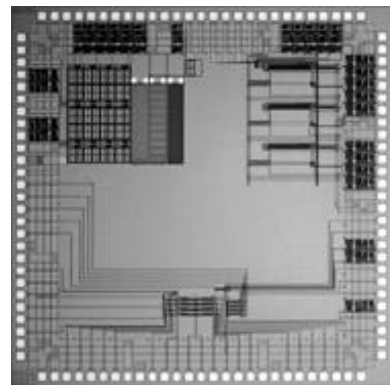
トランジスタ数 100

2 .LSI中の波形測定回路：配線中のインダクタンスの波形への影響を調べる回路を製作した。

トランジスタ数 1,500

3 .ホール効果を利用して電源線に流れる電流値を非擾乱・非接触で測定できるIDDQ回路に適応可能なデバイスを設計した .

トランジスタ数 約110



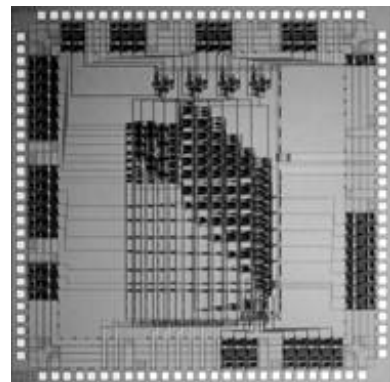
低電力断熱充電乗算回路 (2)

広島大学 工学部 花島 直之, 永田 真, 岩田 穆

はじめに LSIの消費電力増大は、高集積化の主たる制限要因となりつつある。「断熱充電論理」では、スイッチング素子に印可する電源電圧をランプ波形とすることで、電極間の電位差が十分小さい状態で電流を流すため、本質的に低消費電力な回路を構成できる。本試作では、昨年度に試作・評価した4相電荷回収電源を含む8b断熱充電乗算回路について、電力効率の向上を目的に回路の部分的な改善を施した。

回路構成 本乗算回路はキャリア・セーブ・アダー構成であり、CVSL(Cascode Voltage Switching Logic)を適用した断熱充電論理であるECRL回路を用いて差動NMOS縦積み回路で論理を構成している。ECRL回路は1ゲートごとにクロック (= ランプ波形)が必要である。

本設計では、複合ゲート化による論理段数低減について最適化し、クロック数の削減とレイテンシーの低減を実現した。また、回路からの電荷の回収・再利用を可能とするLC共振型4相電荷回収電源も搭載した。本チップは、昨年度に設計したチップのレイアウトデータをベースに、研究員1人が約0.5ヶ月でフルカスタム設計した。約2.6kトランジスタで構成されている。主な使用ツールはComposer(Cadence), HSPICE(Avant!), SX9000(SII)とDiva(Cadence)である。



上位桁先行シリアル演算ベクトル量子化プロセッサ

東北大学大学院工学研究科 野澤 俊之 今井 誠 藤林 正典

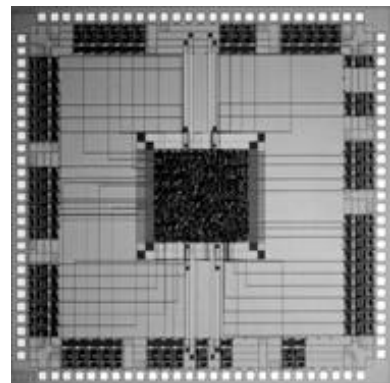
東京大学大規模集積システム設計教育研究センター 小谷 光司

東北大学未来科学技術共同研究センター 大見 忠弘

はじめに あなたが1,000,000円を持って買い物に出かけ、1,580円、2,180円、2,400円のCDをそれぞれ一枚ずつ買うことを想像してほしい。この場合、特に計算などしなくても、所持金で品物を買えると判断できる。しかし、コンピュータにこのような判断を行わせると、一円単位まで計算・比較してようやく判断を下す。コンピュータは、人間にとっては必要でない、無駄な演算を行っていることになる。この無駄を省くためには、上位桁から演算・比較をし、判断がついた段階で演算を停止してしまうという処理を行えば良い。

我々は、この処理方式をベクトル量子化 (VQ) プロセッサに適用した。入力されるデータに応じてハードウェア自らが演算の省略を行うVQプロセッサが実現した。

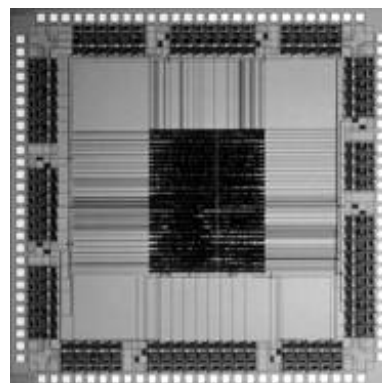
試作チップ 試作したVQプロセッサは、テンプレートベクトル数2048個、16次元ベクトルに対応しており、データ精度は8bitである。このプロセッサを使用して画像に対するVQ処理を行ったところ、演算を省略しない場合に比べて約43%のクロックサイクルで処理が完了した。設計にはCadence Verilog-XL, Synopsys Design Compiler, Avant! Aqualius XO を使用。修士2年の学生が約2週間で設計した。ゲート規模約1kゲート (約4 ~ 5 kTr.)。



1ビットデジタル演算ASICチップの試作と評価に関する研究

東京工業大学 工学部 石橋 卓行, 河村 聡, 石田 寛, 中本 高道, 森泉 豊栄

筆者のグループは - 変調された1ビットデジタル信号間の演算を行う回路を組み合わせ、学習・パターン識別回路、差分方程式回路、線形方程式の係数推定回路等の化学センサ情報処理回路の研究を行なっている。従来はこれらの回路をFPGAで実現していたが、さら高集積化、小型化を目指してこれらの回路をASIC化することを検討している。その最初の試みとして、1ビットデジタル信号にもとづいた加算回路、減算回路、積分回路、増幅回路、減衰回路、乗算回路等の要素回路を0.5 μ m CMOSプロセスにより試作した。評価ボードを作って試作チップの評価を行なった結果、すべての要素回路は正常に動作し、減衰回路と減算回路を組み合わせた複合回路の動作も確認することができた。本チップは京大P2Libを用いて、助手及び修士1年生1人が1か月で設計した。



平成 10 年度第 1 回ローム試作

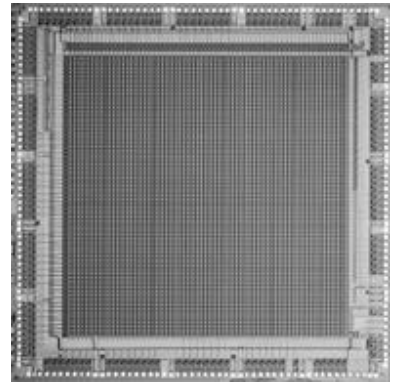
可変ブロックアクセスを用いた動きベクトル検出イメージセンサ

東京大学工学部 根塚 智裕

はじめに 動きベクトルの検出には多くの計算量が要求されるため、汎用の信号処理プロセッサを用いた処理方式では、高フレームレートでの動きベクトルの検出は難しい。イメージセンサ面上に集積した信号処理回路を用い、並列処理を行うことにより、高速に動きベクトル検出の処理を行うことが可能となる。可変ブロックアクセスを用いることにより画素における信号処理の結果を、可変サイズの選択領域内の論理和および電流和として、1サイクルで読み出すことが可能である。

試作したチップ 今回の試作したチップは、動きベクトル検出イメージセンサのプロトタイプであり、対象は2値画像である。各画素に集積したフリップフロップにより2次元シフトレジスタを構成し、画像のシフトを行う。シフトした前フレームの画像と現フレームの画像の差分絶対値を各画素のEXOR回路により演算する。電流和として出力される差分絶対値和の比較により動きベクトルを決定する。モトローラ社1.2 μ mルール、7.3mm角のチップとして実現した。回路規模は約120kトランジスタとなった。設計は修士過程2年の学生1名が1ヶ月半程度の期間で行った。設計および検証に用いたツールは、CADENCEのレイアウトエディタ、HspiceおよびStarSimである。動作検証によりチップの動作を確認した。

参考文献 [1] 根塚他「可変ブロックアクセスを用いた動き検出イメージセンサ」, 通信学会総合大会, C-12-56, pp.154, Mar. 1999.



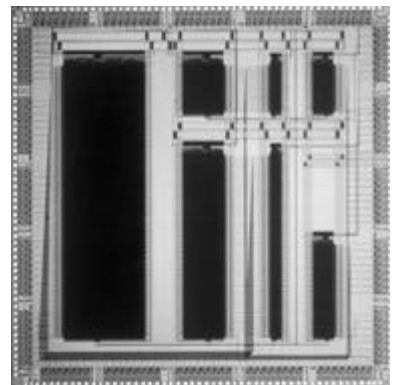
時間領域距離最小検出機能を有するCAMマクロ

東京大学 池田 誠、浅田 邦博

はじめに 近年画像処理やデータ圧縮等においてデータの一致/近似度を検出するために距離最小検出回路の研究が行われている。我々は、データ間の距離を遅延時間に変換し、データ間で最も高速なものを検出することで距離最小のデータを検出する時間領域方式の提案を行ってきている。ここでは、本方式用いた汎用CAMの検証を行うためのテストチップを設計した。

試作チップの概要 本試作チップは16bitX16Word, 64bitX16Word, 16bitX32Word, 32bitX32Word, 16bitX64Word, 64bitX64Word, 96bitX128Wordの7種類のサイズのマクロブロックからなっており、それぞれ、書き込み用ワード線、ビット線を使用することで、参照データをSRAMセルに書き込み、そこにデータを与え、距離判定用のパルスを入力することで、距離が最小となる参照データのアドレスが出力される構成となっている。CAMマクロを再利用可能とする為には、ある程度自動生成できる必要がある。ここではレイアウトの自動生成を念頭におき、それぞれのセルのレイアウトを作成し、マクロブロックを自動的に生成するスクリプトを記述することで、半自動的にレイアウトの生成を行った。但し、完全には自動化に対応できなかったため、生成後手動で修正を行った上で、全体の結線をマニュアルで行った。

本チップは、回路の構成からレイアウト、検証までおよそ14日間で行い、チップ全体で440,000トランジスタとなっている。各要素セルおよび16ビットX16ワード構成のマクロブロックに関してはHSPICEを用いた回路シミュレーション及びanagramによるシミュレーションにより検証を行ったが、それ以上の規模のマクロブロックに関しては、全体のシミュレーションは行うことが出来なかった。チップは、Cadence Virtuosoレイアウトエディタを用いてマクロを設計し、SKILL言語を用いる事でマクロの配置を行った。さらに、Dracula DRCで設計検証を行うとともに Dracula EXTを用いて回路抽出を行い、HSPICE, Anagram を用いて回路シミュレーションを行い検証を行った。



動画復号化と3次元コンピュータグラフィクス向き行列ベクトル乗算器の設計

大阪大学大学院 工学研究科 竹本 裕介, 藤嶋 秀幸, 尾上 孝雄, 白川 功

はじめに マルチメディア符号化標準 MPEG-4 では、自然画像(動画)と人工画像(3次元コンピュータグラフィクス生成画像)を同一画面に表示する。本研究では MPEG-4 の処理に特化した専用回路として、自然画像の IDCT および人工画像の幾何変換を実行する行列ベクトル乗算器(MVM: Matrix Vector Multiplier)を設計した。

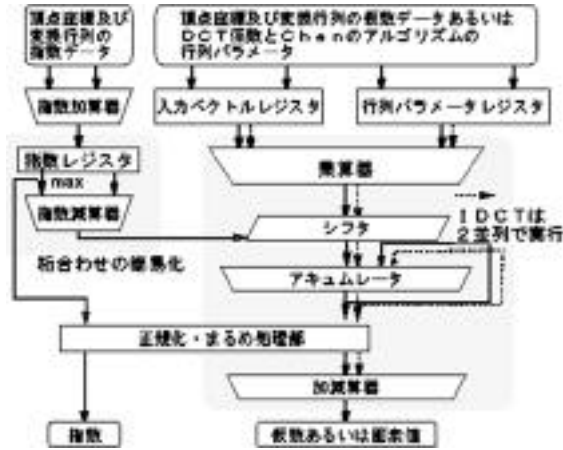
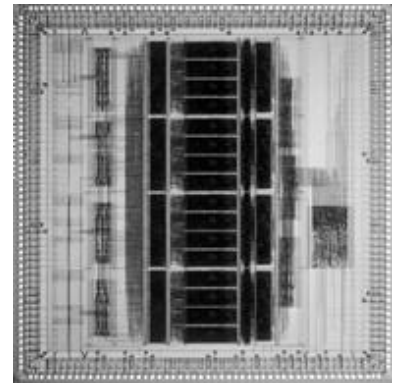


図1 MVMのアーキテクチャ

試作チップ 本 MVM のアーキテクチャは、図1に示すようにコンピュータグラフィクス用の浮動小数点乗算と、動画用の固定小数点乗算を共通の回路で実行することができるうえ [1] に示すようにさまざまな特長を持つ。

ROHM 0.6um ライブラリを用い、2個の MVM と IDCT用転置メモリを 6.00 X 4.00 mm² に 227,824トランジスタで集積し、クリティカルパスは 86.1 ns となった。本チップは博士2年ならびに修士2年の学生が約3か月半で設計した。

参考文献 [1] H. Fujishima, et al: "An architecture of matrix-vector multiplier dedicated to video decoding and three-dimensional computer graphics," IEEE Trans.Circuits and Systems for Video Technology, vol.9, no.2, pp.306-314, March 1999.



再帰的最尤復号アルゴリズムを用いた誤り訂正復号器の VLSI 設計

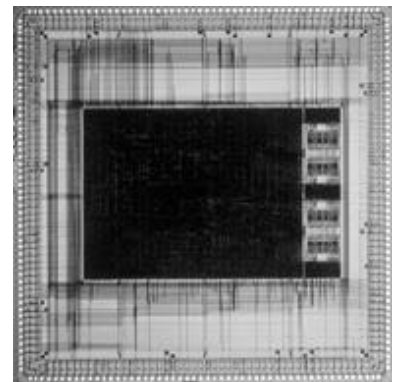
大阪大学大学院 工学研究科 滝 大輔, 三木 Morgan 裕介, 藤田 玄, 尾上 孝雄, 白川 功

大阪大学大学院 基礎工学研究科 藤原 融

広島市立大学大学院 情報科学研究科 嵩 忠雄

はじめに 近年、衛星を利用した、高速かつ信頼性の高い通信システムに対する要求が高まっている。その実用化において本研究では、高速で動作する誤り訂正復号器を設計した。符号長 64 の Reed-Muller 部分符号と再帰的最尤復号アルゴリズムを用い、本復号器を並列使用して NASA 要求性能である 600Mbps の伝送速度を満足する復号システムを実現する。

試作チップ 本研究で設計した再帰的最尤復号器の全体構成を図1に示す。本復号法を用いると、処理を再帰分割することが可能となり、かつ同層の処理を同一の手続きで行なうことができる。そこで本手法を今回用いた符号長 64 の符号に適用して、処理を6層に分割し、この分割層を図1にあるように、第1層、第2層、第3~6層に分けパイプライン化を施して、下層の回路の共有化設計を行なった。Rohm の 0.6um のライブラリを用い、コア部 8.9mm X 8.9mm に集積した。チップ面積の制約上、本復号器全体を 1 chip で実装するのは今回の試作では困難であったので、機能を一部削減し、回路規模を削減して実装した。なお、本チップは修士2年ならびに学部4年の学生が約4か月で設計し、約 72K トランジスタで構成されている。

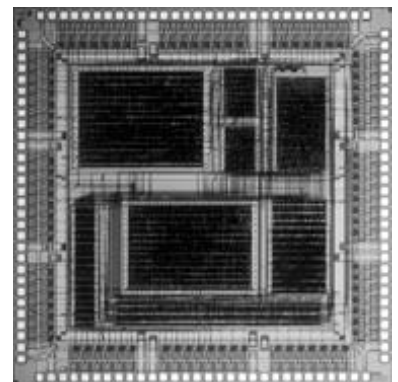


終了予測加算器を用いた疑似非同期式マイクロプロセッサの試作

東京大学 鄭若丹彦 浅田 邦博

はじめに マイクロプロセッサやDSPなどの演算処理を中心とするハードウェアの中に、システム全体の性能に影響を与える基本ユニットは加算器であると思われる。従来の加算器は同期式システムへの適用を前提に、その処理速度を改善するため最大遅延の削減を目的としていた。だが、加算器の性能向上は極一部の演算に対応する最大遅延時間で制限されている。これに対し、平均的な演算速度向上を狙う終了予測加算器を新たに提案した。それを検証するため疑似非同期式CPUを設計した。

試作したチップ 今回試作したCPUは、Verilog HDLで記述され、Synopsys社の合成ツールによる論理合成を行い、配置配線にはAvanti社のAquariusXOを使用した。レイアウト検証、回路抽出などはCadenceツールで行い、HSPICEによる回路シミュレーションで全チップの動作を確認した。本CPUはローム社0.6umプロセス、4.5mm角サイズのチップで実現した。回路規模は110kトランジスタ数である。助手1人で約2週間で設計した。



電源線のノイズ測定回路 / パストランジスタ / アナログフィルタ

東京大学 工学部 青木 秀行, 山下 高廣, 宋 義男

チップ概要 このチップは、電源線のノイズ測定回路、パストランジスタ回路、アナログフィルタ回路を試作したものである。

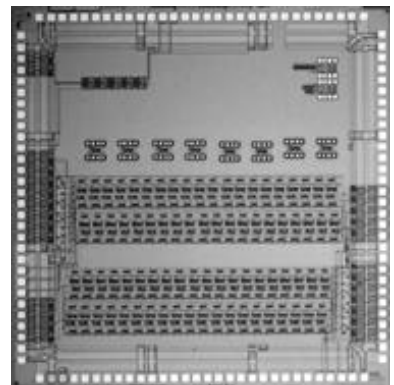
電源線のノイズ測定回路: トランジスタの同時スイッチング電流による電源電圧の変動を考慮した設計を行なう必要が高まっているため、チップ内の電源線の任意の場所、時間の電圧を、参照電圧との比較により測定する回路を設計し、負荷を接続した電源線に接続して試作した。

この回路では、チップの外から参照電圧や、測定するタイミングを与えることができる。また測定結果をデジタル値で出力するので、測定系のノイズがあまり問題とならない。この回路は、修士1年の学生が約1か月で設計し、ツールにCadence社のレイアウトツール、検証用としてDRACULAを用いた。

パストランジスタ回路: パストランジスタ回路の信号電圧回復回路としてセンスアンプを用いた回路において、キャパシタを介してパストランジスタとセンスアンプを接続した回路を作成した。パストランジスタ回路は演算毎ディスチャージを行なって低電圧振幅を保つ一方、センスアンプは感度の高い $1/2V_{dd}$ 付近にて動作させるため、キャパシタにて電位レベルを変換し信号電位のみ伝達させる回路となっている。

ここではパストランジスタ回路として8入力XOR回路を作成した。提案回路と比較するため、一般的なCMOS回路、CPL回路による回路も作成した。

本回路はICパッケージの端子を使用せず、オートプローバの使用を前提とした8ピンプローブカード用端子を使用している。



マイクロ生体モニタのための低消費電力データ圧縮回路

東京大学工学部 木庭 優治 藤島 実 鳳 紘一郎

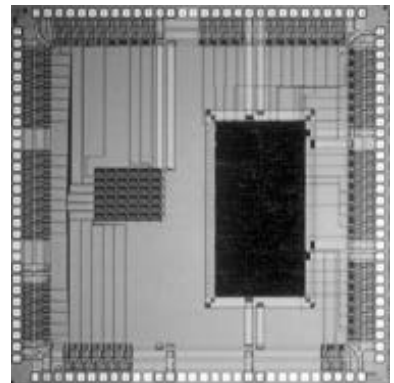
はじめに 我々は、心電図や体温等の生体情報を長時間収集して病気の早期発見や健康管理に役立てるため、シリコンチップ上にセンサ・A/D・処理回路・メモリ等を集積したマイクロ生体モニタを研究中である。メモリ容量や電池容量は大きく制限されるため、収集したデータの高効率かつ低消費電力での圧縮が必要である。

そこで、主に心拍数や体温等のデータの圧縮を目的としてBand Runlength(BRL)符号化と呼ぶアルゴリズムを考案した[1]。

試作したチップ 消費電力などの評価のため、BRL符号化を行なうチップを試作した。

ローム社0.6 μ mルール、4.5mm角のチップとして実現した。設計は修士1年の学生1名が約1ヶ月で行ない、設計・検証にはVerilog-XL, Design Compiler, AquariusXOの各ツールを使用した。回路規模は31kトランジスタとなった。

参考文献 [1] 木庭, 藤島, 鳳, 「マイクロ生体モニタのための低消費電力データ圧縮アルゴリズム」, 電子情報通信学会'99総合大会講演論文集, C-12-24, p.122, Mar. 1999



動き検出センサおよびセンサ内A/Dコンバータのテスト回路

東京大学 工学部 杉浦 和英, 大塚 康弘, 相澤 清晴

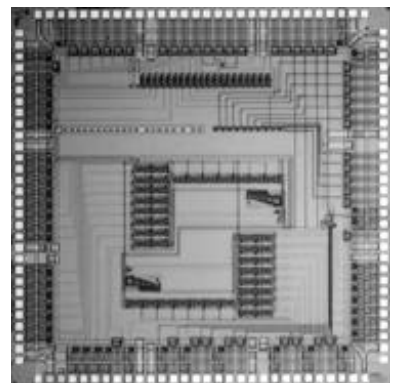
東京理科大学 工学部 伊野 義一, 浜本 隆之

イメージセンサ上での処理回路を用いて、動きを検出するセンサやA/D変換を行なうセンサを検討している。本チップはそれぞれのテスト回路を作成し、その基本動作を確認することを目的としている。

まず、動き検出センサでは、その部分回路として、差動増幅回路、フォトダイオードサンプル&ホールド回路、動き検出回路について設計した。測定の結果、フォトダイオードの電流特性や差動増幅回路の特性等について結果を得られた。本テスト回路のトランジスタ数は850であり、修士1年の学生がCadenceにて約3週間で設計した。

一方、イメージセンサ内A/D変換器では、逐次比較型方式の回路を設計した。主な構成要素は、比較器[15]、D/A変換器[92]、逐次変換レジスタ[112 \times 8]、シフトレジスタ[364]、AP Σ (Active Pixel Sensor)[3]である。[]内は、トランジスタ数である。

測定の結果、分解能6bitまでの動作を確認した。変換速度は、1kから2MHzである。本テスト回路は修士1年の学生がCadenceを用いて約1か月で設計した。

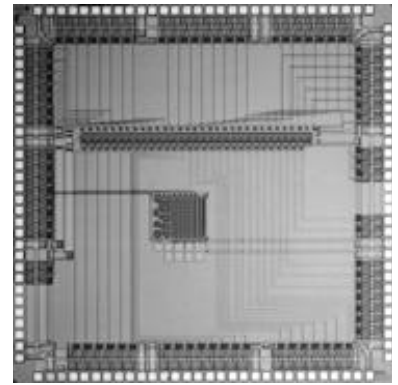


MOS空間積分回路及び極値検出回路

東京大学工学部電子情報工学科 浅野雄太郎、森本 肇、柴田 直

はじめに リアルワールド画像の実時間情報処理を目標に、視野中の運動物体を着目・連続追尾するSaliency Catcher、及びキャッチした物体の大まかな形状を、物体の位置や大きさとは無関係に特徴ベクトルに変換する特徴抽出器の研究を行っている。そのハードウェアアルゴリズムを卒論テーマとして研究した学生が、基盤となる回路を設計・試作、その基本動作を確認したテストチップである。

試作チップ Saliency Catcherは、2フレーム間の画像のマッチングに際し、画像ずらしに対する一致度変化の極大値を検出して複数の候補を選択する回路である。また、特徴抽出器は、画像の大体の広がりをとらえ、特徴点の位置をその広がりの中での相対値として直接出力する回路であるが、今回はその広がり検出のための空間積分回路のみを試作した。ローム社0.6 μ mテクノロジーで、4.5mm角チップに両回路を実装した。基本部分のみの試作であり回路規模はいずれも1kトランジスタ程度。卒論の一環として4年生が担当、パターン設計3週間で終了。



MOS並列検索CDMAマッチトフィルタ

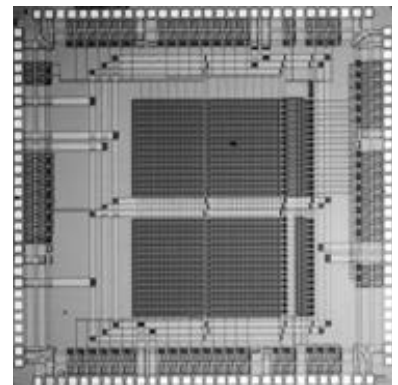
東京大学工学系研究科電子情報工学専攻 岡田 敦彦 柴田直

はじめに 現在次世代通信システムとしてCDMA(Code Division Multiple Access)が有力視されている。しかし、基地局と携帯端末間の同期捕捉方式において、未だ回路規模、消費電力の点で課題が残されている。そこで、我々は MOS 回路技術を用いた高速、低消費電力、小規模の回路方式を提案している。

試作したチップ 本チップは、基本機能確認のため、32 \times 16テンプレートを内蔵したMOS相関器、入力コードに最も近い位相コードを検出するWTA(Winner-Take-All)とから構成されている。様々な位相のズレを同時に並列検索するため、マルチパス遅延によるピークも同時にキャッチできる。これを、ローム社0.6 μ mテクノロジー(2層polysilicon、3層metal)を用い、4.5mm角パッケージに2個実装した。全体の回路規模としては7kトランジスタとなった。チップの測定にはロジックアナライザ等を用い、各種回路の動作を確認した。

設計は主に受託研究員が1名で行い、卒論生が回路シミュレーション及びアルゴリズム検証に協力。方式設計から、提出まで約3ヶ月。研究室が立ち上がって3~4ヶ月目だったので、WSの設定やツールのセットアップにかなりの時間を取られた。

参考文献 [1] A. Okada and T. Shibata "A Neuron-MOS Parallel Associator for High-Speed CDMA Matched Filter", to be presented at 1999 IEEE International Symposium on Circuit and Systems (ISCAS 99), Orlando, Florida, May 30-June 2, 1999.



汎用画像フィルタ処理回路の設計

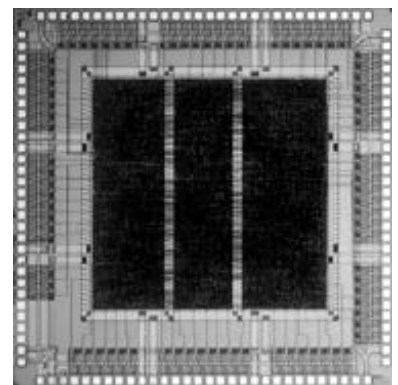
東京大学 工学部 八重樫 剛史、稲葉 雅幸

HDLによる大規模デジタル回路設計演習として、汎用画像フィルタ処理回路を設計、試作した。

本チップは、画像認識処理の前段に用いることを想定したフィルタ処理を行うチップである。ピクセルデータ(8ビット)をシリアルに読みこみ、7 \times 7マトリクスの積和演算と、3 \times 3マトリクス内の中央値抽出処理が同時に実行可能である。積和演算に用いる係数には、任意の対称なマトリクスを指定できる。

本チップへの供給クロックは入力ピクセルクロックのみであり、パイプライン構成により、入力と同時にフィルタ処理結果を出力可能なことが特徴である。ただし、本チップを完全に動作させるためには6行分のシリアルラインメモリを外付けする必要があるため、結果としてシステム全体の規模は大きくなってしまった。

本チップは修士2年の学生が約2週間で設計した。論理合成には Synopsys Design Compiler を、自動配置配線には Avant! Aquarius-XO を用いた。



高エネルギー実験用ICの為に回路パーツの試作

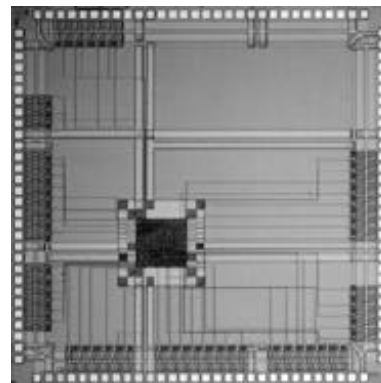
東京大学 素粒子物理国際研究センター 松浦聡

高エネルギー加速器研究機構 佐々木 修

はじめに 近年の高エネルギー実験用測定器の総チャンネル数は100万チャンネル以上に及ぶものがあり、このような測定器用回路の為に、ASICの開発が必要となる。今回の試作では、ASIC開発の練習としてLVDS(Low Voltage Differential Signalling) Receiver、DLLを用いたVariable Delay 回路及びパルスジェネレータ回路の試作を行った。

試作チップ LVDS Receiverは、差動アンプと出力回路からなり、バイアス回路を除いて11個のトランジスタで構成した。LVDS規格を満足するように入力のコモンモードレンジは0V から 2.4V までとし、実測でも200Mbps以上の性能を得ることが出来た。DLL回路は、

Phase Detector部にバグがあり、初期条件によりロックしないことがあった。また遅延時間がHSPICEによるシミュレーションと実測とで大きく食い違っていた。これらのことを解決し、次回再試作する予定である。パルスジェネレータは、差動アンプの定電流源を外部からのDC電圧でコントロールすることにより、出力振幅を可変にすることが出来る差動出力の回路である。実測もほぼシミュレーション値を再現することが出来た。設計手順としては、HSPICEによる回路設計の後、各パーツのレイアウトをスタンダード・セルとして設計・登録を行い、自動配置配線ツールを用いてチップのデザインを行った。総トランジスタ数は5000個で、回路設計に二週間、チップレイアウトに二週間を要した。



高エネルギー実験用LSIの試作

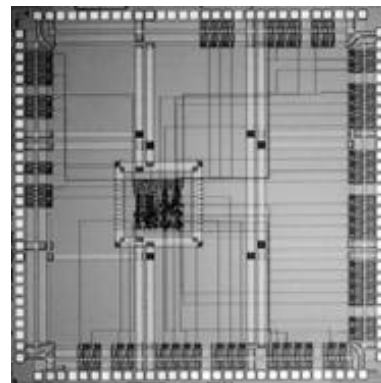
高エネルギー加速器研究機構 新井康夫

チップ概要 高エネルギーの加速器実験や宇宙線実験では多チャンネルの信号処理を行う為に、検出器毎に専用のLSIが必要とされる。今回はそのための試作として、簡単な電荷積分回路や高速カウンターを搭載したチップを設計した。また、高エネルギー実験では放射線環境下で使用することが多いので、耐放射線性を調べるための裸のトランジスタやリングオシレーターも組み込んだ。

試作に要した日数、主な設計者の身分、トランジスタ数： 本チップは助手1人が、前準備に約2ヶ月、設計に約1ヶ月かけて行い、約2,000のトランジスタで構成されている。

試作に使用した設計、検証ツール： 今回のチップはデジアナ混在であるが、デジタル設計

の流れをもとに行うこととし、アナログ用セルもデジタル用スタンダードセルから出発し、Virtuosoでレイアウト変更を施して作成した。個々のアナログ回路はHSPICEによりアナログシミュレーションを行った。全体としては、Verililogによりソースコードを記述し(アナログモジュールはダミーのものを付けた)、SYNOPTSYSの論理合成ツールによりゲートレベルのネットリストを作成した。レイアウトはAvant!のAquariusXOを使用し、アナログ用セルもデジタルと同様に扱って自動配置配線を行った。今回のアナログセルは小さなTEGであったため、この方法でも大きな問題は生じなかった。



螺旋構造能動カテーテルのための制御回路

工業技術院機械技術研究所 小関 義彦

はじめに 近年、LSI製造技術に代表される微細加工技術の発達により、マイクロマシンの概念が提案されている。機具の小型化が患者の侵襲を少なくすることから、マイクロマシンは能動カテーテルなどの医療分野への応用が望まれている。

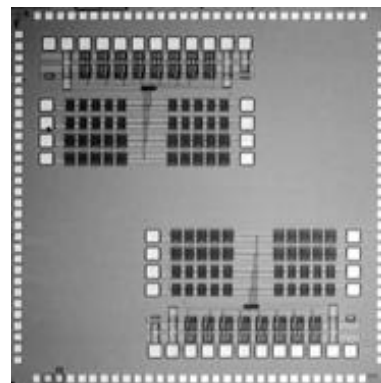
そこで我々は、薄膜加工が容易な平面から立体を容易に構成できる螺旋構造に注目し、この螺旋構造をもつ能動カテーテルの研究を行ってきた。本カテーテルは能動カテーテルの多自由度化や高密度化、多機能化に有利と考えられる。

試作したチップ 今回試作されたチップは、本カテーテルのプロトタイプに組込むための制御回路である。本チップは信号の分配と保持、それに応じたアナログスイッチのオン・オフ

を行うだけの単純な回路であるが、マイクロマシンへの実装が目的であるため機能が集約されていることが重要である。

設計は筆者(研究員)1名で行った。ツールにはSX-9000を使用した。設計回路が非常に単純でありかつ実績のあるVDECのライブラリがあったため高度な設計・検証ツールは必要なかった。しかし、専門外であったため設計には約4ヶ月を要した。

参考文献 [1] 小関, 谷川, 小谷内, 新井, 「螺旋構造能動カテーテルの開発(第1報)概念提案とプロトタイプ的设计」、第16回日本ロボット学会学術講演会(札幌), Vol. 1, pp. 277-278, Sept., 1998



論理回路設計実習における 16 ビットパイプラインプロセッサの設計

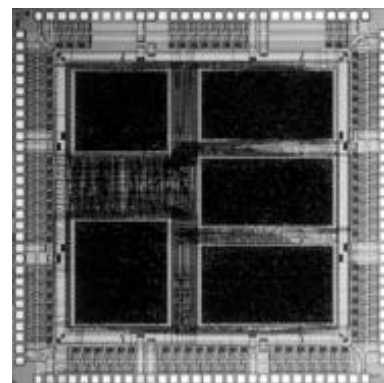
奈良先端科学技術大学院大学 情報科学研究科 高木 一義, 井筒 稔, 佐々木 隆志,
深津 始, 丸岡 新治, 朱 強, 木村 晋二

はじめに 本研究科ではハードウェア記述言語を用いた論理回路設計実習を行なっている。これまでは FPGA を用いて回路の実装を行なっていたが、今年度は VDEC のチップ試作サービスを利用した。

試作チップ 設計課題は DLX アーキテクチャを基本とするパイプライン制御の 16 ビットプロセッサとした。クロック、リセット、命令/データバス等の入出力端子を共通仕様とした。これら以外については、命令セットを含めて各自が自由に設計を行なった。また、動作の可視化のため、プログラムカウンタ、汎用レジスタなどの内部状態を観測するための端子を持つこととした。

設計および各プロセッサのマクロセルのレイアウトは修士 1 年の学生 5 人が各々行ない、5 個のプロセッサの外部に制御回路を付加して全体を 1 チップにまとめた。この制御回路はチップへの入力を各プロセッサに分配し、また、プロセッサ選択入力により選択された 1 個のプロセッサのみを動作させるように構成されている。

VHDL を記述言語として用いた。論理合成には Synopsys Design Compiler, レイアウトには Avant! AquariusXO を用いた。論理設計とレイアウト設計にそれぞれ 1 か月を要した。試作にはローム(株) CMOS 0.6 μ m プロセスの 4.5mm 角チップを使用し、セルライブラリは EXD 社ツールで作成された東大版ライブラリを用いた。トランジスタ数は全体で約 90k 個となった。



再構成可能部を持つ Java プロセッサ

奈良先端科学技術大学院大学 情報科学研究科

木田 裕之, 高木 一義, 木村 晋二, あべ松 竜盛, 渡邊 勝正

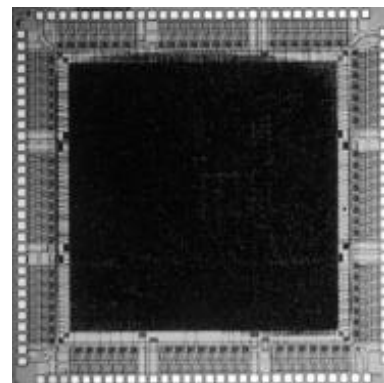
はじめに 組込システム向けの言語として Java が注目されている。我々は、再構成可能機構を持つ Java プロセッサ(R-Java)の設計を行なった。

試作チップ 設計した R-Java プロセッサは 5 段パイプライン(IF, ID, EX, MEM, WB)構成をとり、Java バイトコードを直接実行する。Java Virtual Machine の仕様で規定されている 201 命令中の 117 命令を実装し、未実装命令には内部割り込みで対処する。演算部は 32bit とした。16 段のスタックを内蔵し、外部メモリに設けたスタック領域とデータの交換を行う。

本プロセッサは命令追加変更機能を有しており、命令デコード部に 2 系統の解釈部を用意しその一方をプログラム可能とした。命令変更のためのプログラムをプログラム可能命令レジスタに書き込むことにより全ての命令コードに異なる機能を上書き可能で、1 命令コードあたり 8 クロック分の機能を記述できる。

さらに、演算部に外部再構成可能回路インタフェースを備えており、内部演算器とは別に、演算部の入力レジスタの値を外部に出力し外部演算器の演算結果を出力レジスタに入力する機能を持つ。これにより外部演算器を内部演算器と同様に使用できる。

設計は VHDL で行ない、ソースファイルは約 4000 行、トランジスタ数は約 110k 個となった。論理合成には Synopsys Design Compiler, レイアウトには Avant! AquariusXO を用いた。設計に約 2 か月を要した。試作にはローム(株) CMOS 0.6 μ m プロセスの 4.5mm 角チップを使用し、セルライブラリは EXD 社ツールで作成された東大版ライブラリを用いた。



光伝送制御回路 ASIC の開発

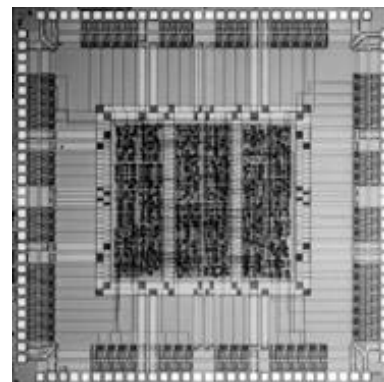
岡山理科大学大学院工学研究科情報工学専攻 加藤 完法 多田 昭晴

はじめに 近年 半導体デバイスの性能が飛躍的に向上し、カーエレクトロニクスに要求される高信頼性、低コスト、小型化を満たす製品が多く実用化されている。しかしながら、自動車の狭い空間にメタリックケーブルで配置・配線を行った際の配線の複雑化、それに伴う重量の増加、イグニッションコイルからの電磁誘導によるシステム誤動作等の問題が生じてきている。今回設計の対象とする光伝送制御システムでは、上記問題の解決方法として光ファイバを伝送媒体とした車載用 LAN を構築するものである。

本試作では、そのシステムの制御回路 ASIC を設計した。

試作チップ 本システムは、カーエレクトロニクスシステムの総合制御を行うマスタマイコン基板と個々のカーエレクトロニクスシステムが持つスレーブ基板との間を光ファイバで接続したリング構成となっている。

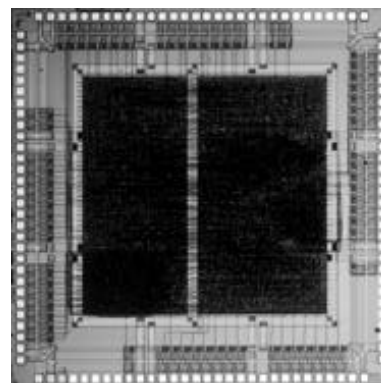
試作チップは ROHM 社 0.6 μ m ルール、4.5mm 角であり、制御回路 3 つを 1 チップ(約 15k トランジスタ)で実現した。設計は著者(修士 2 年) 1 名で行い、ツール使用方法の習得を含めて約 3 ヶ月を要した。



URR 浮動小数点乗算回路のカスタムLSI への実装と評価

電気通信大学 葛 毅, 阿部 公輝

はじめに IEEE754規格の浮動小数点数値表現は、指数部と仮数部のビットが固定して割り当てられており、単精度32ビット形式では、絶対値で高々 $2E64=10E38$ までしか表現できず、それ以上に大きな値を扱うことができない。URR[1]と呼ばれる浮動小数点数値表現法では、指数部と仮数部を可変長として、絶対値の大きな値を表現する場合は、指数部に多くのビットを割り当てることにより、単精度32ビットの場合では絶対値で約 $2E(2E(-28))=2E(-268435456)$ から $2E(2E(28))=2E(268435456)$ までの範囲を表現でき、同じビット数では、IEEE規格に比べて、遥かに大きな値や小さな値を表現することを可能としている。しかし、指数部と仮数部が可変長であることから、演算を行うには、指数部と仮数部の分離、結合を行う必要があるため、回路が複雑になる。今回は、URRを用いた32ビット浮動小数点乗算回路を設計し、この分離、結合を行う回路の検討を行った。



試作チップ 設計した回路のブロック図を右図に示す。試作チップの主な製造条件は ROHM 0.6 μ m、4.5mm角、信号ピン数87、である。スタンダードセル方式で実装し、ライブラリにはVDEC版を使用した。設計した回路はURRを用いた32ビット乗算回路で、乗算アルゴリズムに冗長2進加算木を使用している。また、信号ピン数の不足のため、ピンを時分割して共用している。本チップは修士2年の学生が約2ヵ月で設計し、使用したセル数は21,446、インバータ換算でのゲート数は39,880であった。主に使用したツールは、論理合成にDesign Compiler(Synopsys社)、配置配線にAquariusXO(Avanti社)である。

参考文献 [1] Hamada,H.: "A New Real Number Representation and Its Operation", Proc. 8th Symposium on Computer Arithmetic, pp.153-157,1987.

データパスのレイアウトとプロセッサの消費電力の関係を調べる TEG

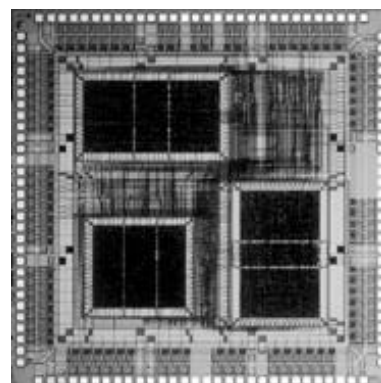
--- メタル3層テクノロジーの場合 ---

広島市立大学 情報科学部 垣本 岳大, 越智 裕之

はじめに 当研究室では、FPGAの低消費電力化のための新しい設計手法としてデータパスレイアウト優先設計を提案した[1]。これはチップ上で多くの電力を消費する構成要素の一つがデータパスの配線であることに注目し、上流設計の段階からフロアプランを意識してその配線長の削減を狙うものである。

試作チップ 今回設計したTEGは、スタンダードセル方式の設計におけるDLDDの有効性を調べるためのものである。4.5mm角チップ上に3個の簡単な16bit RISCプロセッサを実装した。作業は、3個のプロセッサマクロのレイアウトパラメータのチューニング(1ヵ月程度)を4年生1名(垣本)が担当し、その他設計データ提出に必要な雑作業(1ヵ月程度)を助教授1名(越智)が担当した。設計にはDesignCompiler, AquariusXO, Verilog-XL, Dracula等を使用した。動作テストは広島大学サブセンタのLSIテストを利用して行なう予定である。

参考文献 [1] Hiroyuki OCHI, Takashi NISHIKAWA, and Takao TSUDA: "Datapath-Layout-Driven Design for Low-Power FPGA Implementation," 情報処理学会論文誌, vol.40, no.4, (1999年4月) 掲載予定.



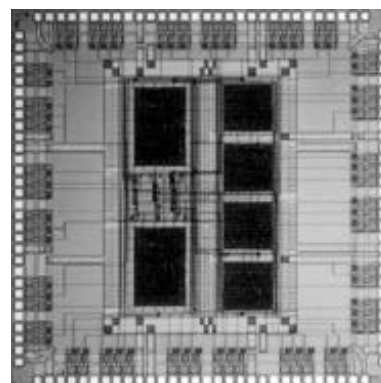
EBテスト容易化のためのテストパッド配置手法評価用マイクロプロセッサ

大阪大学大学院 工学研究科 情報システム工学専攻

柳生 慎也, 三浦 克介, 中前 幸治, 藤岡 弘

はじめに LSI内部の電位情報を直接観察可能な電子ビーム (EB) テストシステムは、LSIの故障診断に広く用いられている。しかし、LSI配線層の多層化により、EB可観測性の低下が問題となっている。EB可観測性向上の為に、設計時にEB観測用の微小なパッドを付加することが考えられるが、チップ面積や信号遅延の増大を防ぐため、付加するパッド数を最小限に押さえたいという要求がある。このような問題に対し、我々は、パッドを付加する配線の優先順位、付加パッド数等を決定する手法を検討中である。

試作したチップ 検討中の手法を評価するため、同じ回路構成のマイクロプロセッサに対し



て異なる手法でパッド付加を行った。Goldsteinの尺度を用いてパッドを付加する配線を決定したものの、レイアウトから故障生起確率を求めてパッドを付加する配線を決定したものの、まったくパッドを付加していないもの(比較用)など、計6個のマイクロプロセッサを、ローム0.6 μm 、3層金属、2層ポリシリコン、CMOSプロセス、4.5mm角チップ上に実装した。Verilog HDL形式で入力し、Synopsys Design Compilerにより論理合成、Avant! Aquarius-XOによりレイアウト合成を行った。助手1名、修士1年の学生1名が設計を担当し、約2ヶ月を要した。回路規模は約3kゲートである。合成結果およびシミュレーション結果より、パッド付加によるチップ面積の増大、遅延の増大は無視できる程度に小さいことが分かった。

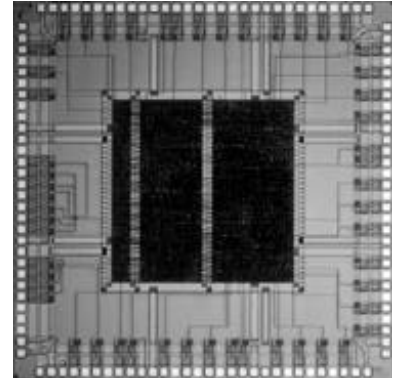
EB テスタ画像からの動信号領域抽出および疑似カラー表示用LSI

大阪大学大学院 工学研究科 情報システム工学専攻 池田 栄二, 中前 幸治, 藤岡 弘

はじめに LSI内部の電位情報を直接観察可能な電子ビーム(EB)テストシステムを連続移相像モードと呼ばれるモードで用いると、配線中を信号が伝搬しているかのように、信号の変化を動的に観察することができる。連続移相像モードで取得された動画像から、リアルタイムで動信号領域の抽出および疑似カラー表示を行うことであれば、信号配線を容易に認識でき、EBテストシステムによる故障診断の高速化が期待できる。我々は、このような動信号領域の抽出および疑似カラー表示に3次元Gaborフィルタを用いる手法を既に提案している[1]。この手法をリアルタイムで実現するために、LSI化を試みた。

試作したチップ 提案手法 [1] を、ローム0.6 μm 、3層金属、2層ポリシリコンCMOSプロセス、4.5mm角チップ上に実装した。Verilog HDL形式で入力し、Synopsys Design Compilerにより論理合成、Avant! Aquarius-XOによりレイアウト合成を行った。修士2年の学生1名が設計を担当し、約3ヶ月の期間を要した。回路規模は約5kゲートである。速度性能は、シミュレーションにより約3フレーム/秒であることが確認できた。今回は、チップ面積の制約の為に実装できなかったが、キャッシュメモリ、並列処理等の導入により約16フレーム/秒が実現可能である。

参考文献 [1] 池田栄二, 中前幸治, 藤岡 弘, "EBテスタ観測画像からの動信号領域抽出とその疑似カラー表示", 1998年電子情報通信学会ソサイエティ大会, C-12-14 (1998).



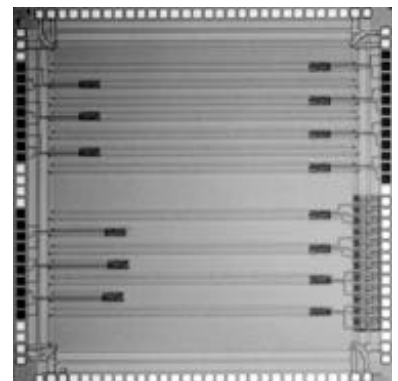
CMOS ニューロ回路

大阪大学大学院 工学研究科 市橋 基, 谷口 研二

はじめに ニューロセルのモデルとして一般的な「パーセプトロンモデル」を採用したニューロ回路はこれまでに数々提案されている。しかし、煩雑な回路や再構成可能個所が少ない回路が多い。今回の設計では、SRAM、CMOSインバータとキャパシタという簡単な回路構成要素を用い、再構成可能個所の多い(自由度の高い)回路の実現を目指し設計を行った。今回の設計においてはキャパシタとしてポリシリコン間の容量を使用し、配線部分の寄生容量に注意しながら設計を行った。

試作したチップ 今回試作したのは、ポリシリコン層間のキャパシタを利用した回路で、4.5mm角のチップ中に1セルの容量が同じニューロセルを9個作製した。同じ基本セルを9個実現しており、Hopfieldネットワークの実現を目指した。メモリセット部分はVerilog-HDLを使用して設計を行い、全体の回路規模は約4kトランジスタとなった。

設計は修士2年の学生1名で行い、約2ヶ月程度の時間を費やした。

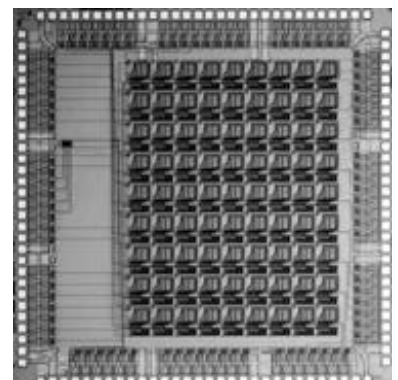


CMOS Rail-to-Rail OPAMP

大阪大学大学院 工学研究科 小川 徹, 谷口 研二

背景 近年のMOS素子の微細化、及び省電力化により電源電圧は低下している。電源電圧の低下に従って、Rail-to-Railの電圧幅は小さくなり回路の入出力信号として使用可能な電圧振幅は減少してしまう。オペアンプのようなアナログ回路は全てのトランジスタが飽和領域で動作することを前提に設計をおこなうため、使用可能な電圧振幅はさらに小さくなり、十分なダイナミックレンジが取れなくなる。今回の設計では、入出力の電圧振幅を可能な限り電源電圧幅に近づけることが可能なRail-to-Railのオペアンプの設計を行った。

試作チップ Rail-to-Railを実現する手段として、入力段ではNch-MOSトランジスタ差動対とPch-MOSトランジスタ差動対の並列回路を用い、出力段ではカレントミラー回路を用いたフィードバックによる制御を用いた。また、入力段でのNchとPchの並列化によるgmの特性の不均一の補正も行っている。本チップは修士1年の学生が約1ヵ月半で設計し、オペアンプ1つあたりでおよそ100トランジスタ程度で構成されている。



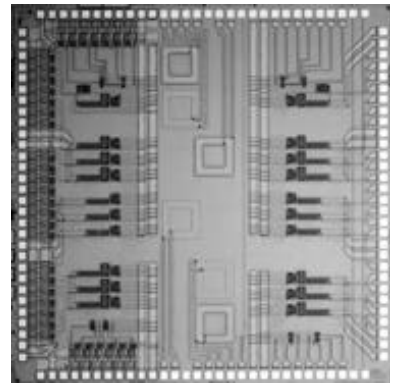
通信用高周波基本回路の設計・試作

大阪大学大学院 工学研究科 吉村 隆治, 谷口 研二

はじめに 携帯端末の急激な普及に伴いそれを構成するLSIにおいても更なる性能が求められている。例えば利用帯域の高周波数への移行に伴うLSIの高速且つ高機能化のためには、従来の集積回路では不得意とされてきたインダクタが不可欠であり、近年様々な工夫を施し設計されている。

試作チップ 本設計では高周波を用いた無線通信に利用される基本的な回路の設計を行った。特に検波などに必須となるPLLを中心に設計し、復調回路で用いられる低雑音アンプに必要なインダクタの特性を知るため幾つかのテスト回路を実装した。

本チップは博士後期課程1年の学生が高周波回路の基礎学習からはじめ、約1.5か月で設計し、約2kトランジスタで構成されている。



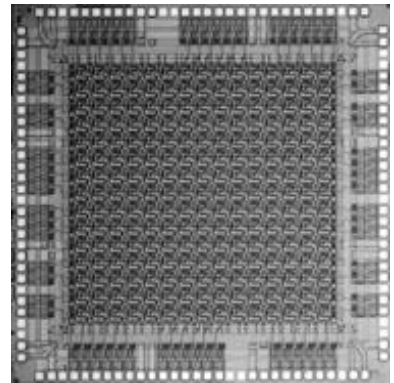
画像処理用 MOSセルオートマトンLSIの設計試作

北海道大学工学研究科電子情報工学専攻 池辺将之 赤澤正道 雨宮好仁

はじめに 当研究室では、高速並列の画像処理用に適したセルオートマトン回路の研究を行っている。本チップにおいては、雑音除去・輪郭抽出を行うセルオートマトンの単位演算セル回路を 15×15 のマトリクス状に配列したセルオートマトンLSIの試作を行った。

チップ概要 単位演算セル回路は、シリコン機能デバイスのMOSを用いており、コンパクトな回路でセル8近傍の入力に対する演算を処理できる。また、各セル毎にフォトダイオード(PD)を組み込み、直接に光情報を取り込めるようにした。その光像を2値化して、雑音除去・輪郭抽出を行う。データ転送は、セルオートマトンのパスをそのまま利用して行う。

試作に要した日数 2ヶ月 主な設計者 博士2年 トランジスタ数 約14000



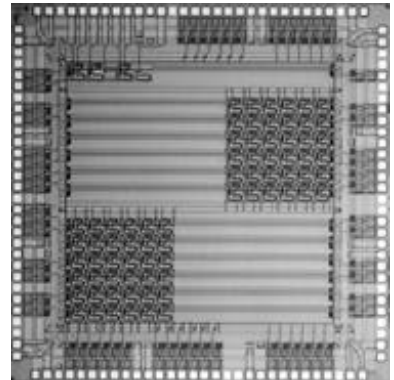
画像処理用 MOSセルオートマトンTEGの設計試作

北海道大学工学研究科電子情報工学専攻 池辺将之 赤澤正道 雨宮好仁

はじめに 当研究室では、高速並列の画像処理用に適したセルオートマトン回路の研究を行っている。本チップにおいては、雑音除去・輪郭抽出を行うセルオートマトンの単位演算セル回路を 6×6 のマトリクス状に配列したセルオートマトンLSIの試作を行った。

チップ概要 単位演算セル回路のマトリクス以外に、低電力動作を行うセル回路としてアナログ動作によるMOSのTEGを載せた。またフォトダイオードの大きさが異なる通常の単位演算セル数種類のTEGを載せた。

試作に要した日数 2ヶ月 主な設計者 博士2年 トランジスタ数 約7000



画像領域分割を実行する振動子ネットワークチップ

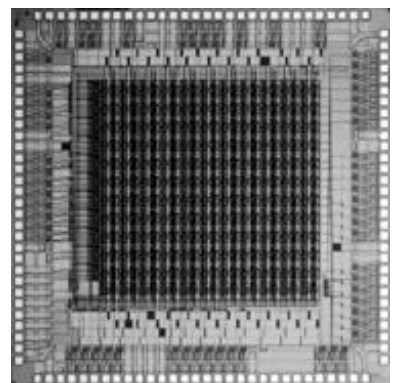
広島大学 工学部 安藤 博士, 森江 隆, 永田 真, 岩田 穆

はじめに 自然画像の認識にはまず画像分割処理が必要である。これを効率よく実行する非線形振動子ネットワークモデルが提案されている[1]。このモデルを用いてリアルタイム画像処理を実現するために、われわれが提案しているパルス変調方式[2]により、振動子ネットワークチップを設計した。

チップ概要 振動子回路では、上記の任意非線形変換回路、および電荷積分による積和演算回路を用いて、振動子のダイナミクスを近似的に実現する。この振動子回路を 11×11 のアレイ構成としたネットワークを実現した。なお、本チップは修士2年の学生が約3ヶ月で設計し、53kトランジスタで構成されている。

参考文献

- [1] D. L. Wang, et al., Neural Computation, vol.9, pp.805-836, 1997.
- [2] T. Morie, et al., NOLTA'98, pp.447-450, 1998.



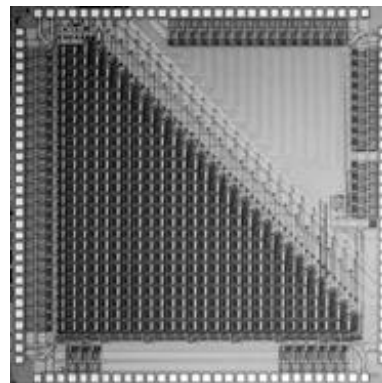
カオスニューラルネットワークチップ

広島大学 工学部 酒林 聡太, 森江 隆, 永田 真, 岩田 穆

はじめに 近年,カオスを利用した情報処理モデルが多く提案されている。例えば,ニューラルネットワークの入出力関数に非単調関数を用いると,カオス的連想記憶が実現できたり,最適化問題を効率よく解くことができる。このようなモデルを高速に実行するために,われわれが提案しているパルス変調方式[1]を用いて,カオスニューラルネットワークチップの設計を行った。

チップ概要 試作したチップは25ニューロンを相互対称結合したものである。ニューロン部に任意の非単調関数を生成できる回路を組み込んだ。信号の伝送にパルス幅変調(PWM)方式を,ニューロン内部の処理にはパルス位相変調(PPM)方式を用いている。本チップは修士2年の学生が約3ヶ月で設計し,49kトランジスタで構成されている。

参考文献 [1] T. Morie, et al., NOLTA'98, pp.447-450, 1998.

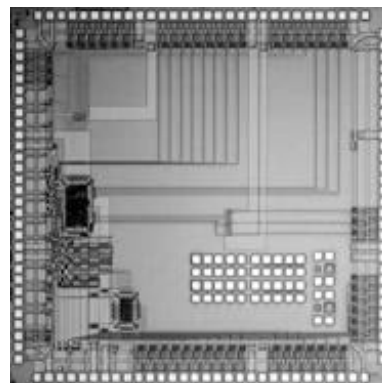


高速ウェーブレット変換チップ

広島大学 工学部 佐園 真, 森江 隆, 永田 真, 岩田 穆

はじめに ウェーブレット変換は,画像認識のための特徴抽出や画像圧縮に有効な変換法であるが,膨大な演算量を要するためハードウェア上での効率的な実行が望まれる。今回,ウェーブレット変換を高速に実行できるアルゴリズムおよび回路構成法を考案し,チップを設計した。

チップ概要 本チップでは,デジタルの入力データをパルス幅変調(PWM)信号に変換し,周波数に情報を持つ乗数との論理和をとることで乗算結果をパルス数で得,これをカウントすることで加減算を行なう。制御回路部はVerilog-HDL記述により論理合成を行ったが,主要演算部は高速性を重視するため,レイアウト設計を行った。本チップは修士2年の学生を中心に約2ヶ月で設計し,約2kトランジスタで構成されている。

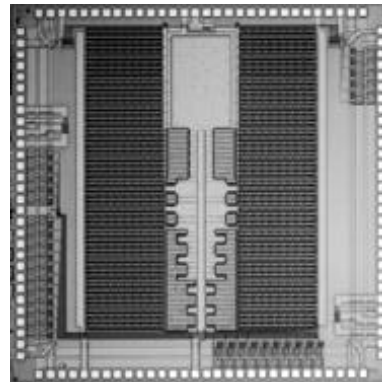


低スイッチング雑音CMOS論理回路を用いた8Bit加算器

広島大学 工学部 土方 克昌, 永田 真, 岩田 穆

はじめに AD混載LSIにおけるアナログ回路の性能劣化の原因となるデジタル回路からのクロストークを低減する,低スイッチング雑音CMOS論理回路SCL(# Slowly Charging Logic)を考案した。これまでに,SCLは通常のCMOS論理回路に比べ基板雑音のピーク電圧を1/10程度に低減できることを回路シミュレーションにより明らかにしている。

回路構成 SCLは,通常のCMOS論理回路の電源端子とグランド端子のそれぞれにRCローパスフィルタを挿入することにより,電源,グランド線に寄生するインピーダンスに流れる電流を低減し,スイッチング雑音の発生を抑圧する。さらに,ウェル容量に流れる電流が相殺/低減することで電源配線上のリングングの発生も抑圧される。低雑音化の効果を定量的に実測評価するため,本チップはSCL及び通常のCMOS論理回路で設計した8bit加算器及びゲート入力ソースフォロワ型基板雑音検出回路を搭載している。本チップは修士2年の学生1人が約2ヶ月でフルカスタム設計した。DFFと全加算器はロームのスタンダードセルを用い,約60kトランジスタで構成されている。主な使用ツールはComposer(Cadence) HSPICE(Avant!) SX9000 (SII)とDiva(Cadence)である。

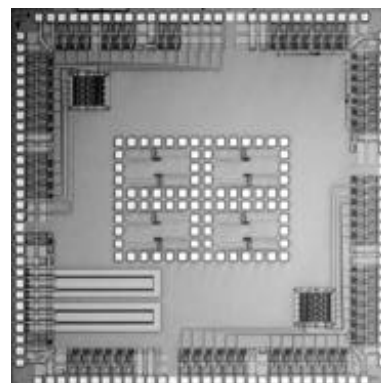


正帰還電荷転送増幅器とその比較器への応用

東京大学大規模集積システム設計教育研究センター 小谷 光司

東北大学未来科学技術共同研究センター 大見 忠弘

はじめに 低消費電力A/Dコンバータは、携帯機器等の応用でますます要求が高まっている。我々は、ビデオレートの10-bit A/Dコンバータ向けに、ダイナミックラッチ回路と電荷転送増幅器を用いた極低消費電力のコンパレータを開発している。電荷転送増幅器は、ソースフォロアの原理を用いて貫通電流なしで電圧増幅が可能な増幅器である。今回従来の電荷転送増幅器に正帰還回路を付加し、増幅率と動作速度の向上を目指した。正帰還回路の付加により、電荷転送増幅器は、一種のダイナミック型のラッチの機能も有することとなり、極低消費電力の電圧比較器として最適である。



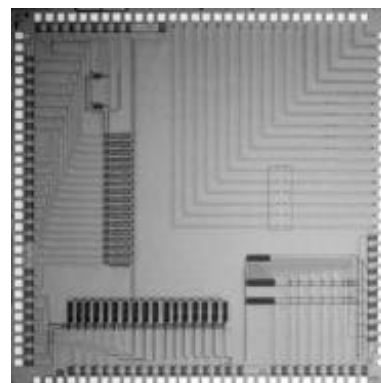
試作したチップ 電荷転送増幅器に正帰還回路を付加し、さらに完全差動構成でコンパレータを設計した。同じ回路の比較器5個をスタックしたブロックを2個配置した。設計は、筆者（若手助教授）1名で行った。レイアウトレベルからのカスタム設計である。2週間程度で設計した。レイアウト検証は、DRC、パラメータ・ネットリスト抽出によるポストレイアウトシミュレーション（SPICE）を実施した。約1k素子を含む。

参考文献 [1] K. Kotani and T. Ohmi, "Feedback Charge-Transfer Comparator with Zero Static Power," Digest of Technical papers, 1999 IEEE International Solid-State Circuits Conference, San Francisco, WA 18.7, pp.328-329, February 1999.

故障配線モデルの作成

東北大学 工学部 高柳 史一, 丸尾 和幸, 小谷 光司, 大見 忠弘

はじめに チップ化された半導体集積回路は、ある一定の割合でプロセスが正しく施されなかったことによる故障を持つ。これらの故障には断線やショートなどさまざまなものがあるが、回路の持つ故障がその内のどれであるかを調べ、原因を解明することによって、生産性・歩留まりの向上が期待できる。しかし、故障の種類を解明するにはそれらがどのように振る舞うのかを知る必要があるが、現在これに関する研究結果は報告されていない。そこで筆者らは人工的に断線故障を持たせた故障配線を作成することによって、断線故障の振る舞いを調べることを試みた。



試作したチップ 故障配線は、金属配線、多結晶シリコン、p型拡散層において作成した。

配線幅は、金属配線が15マイクロメートル、多結晶シリコンとp型拡散層が9マイクロメートルである。また、断線幅はそれぞれの配線幅の1/10倍、1/8倍、1/4倍、1/2倍、1倍の5種類を作成した。

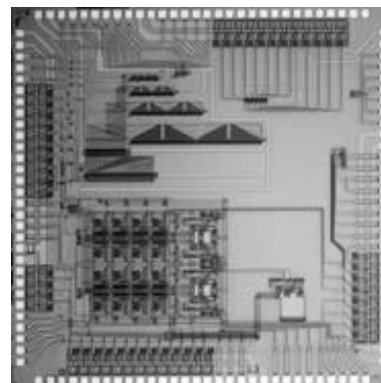
また、ローム社0.6マイクロメートルルールの4.5mm角チップで試作をおこない、設計はCadenceのAnalog Artistでおこなった。設計者は筆者ら2人(大学院研究生、博士過程大学院生)であり、設計に要した時間は約10日である。

神経回路の高集積化に関する研究

東北大学電気通信研究所 片山 康弘, 金城 光永, 原田 知親, 田中 英俊, 佐藤 茂雄, 中島 康治

はじめに ニューラルネットワークは近年非ノイマン型計算機としての期待から注目を浴びている。しかし集積化が困難なため、ハードウェア化は進んでいない。

そこで我々のグループは、集積化に適したアーキテクチャを開発し、ハードウェア化することが必要であると考え、アルゴリズムと集積化の両面から研究を行っている。ニューラルネットワークはその環境適応能力と冗長性から、ニューロン単体の性能は低くとも系全体では高い能力を持つ事が期待できる。従って回路面積を支配するシナプス部を簡略化したモデルを提案し、高機能・高集積化を実現することを目指している。



試作したチップ 今回試作したのは、高集積化大規模神経回路の実現に向けた基本要素回路である。多数決回路、閾値可変非単調ニューロン回路、連想メモリ基本セル、及びカオスノイズ印加型小規模ニューラルネットワークをローム社0.6μmルール、4.5mm角のチップとして実現した。これらの回路規模は総計約1万1千トランジスタとなった。設計は4名で行い、各基本回路を1名が担当した。すべての基本回路がアナログ回路であったので、各担当者とも設計はすべて手動で行い、そのため設計には約4ヶ月を要した。

参考文献 [1] C.ミード著、臼井支朗・米津宏雄訳：「アナログVLSIと神経システム」、株式会社トッパン発行

データ読み出し用チップ試作

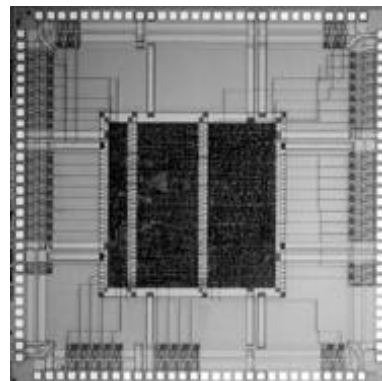
東京都立大学 福永 力

今回の試作チップは、主にシフトレジスタ、非同期 - 同期変換、GATEコントロールロジックより構成されている。データ入出力16ビット幅、目標動作周波数は40MHz以上である。試作したチップは、高エネルギー実験に用いられる検出器からのデータ読み出し作業を担うロジックの性能評価用という位置づけであるが、今回は特に学生のASIC設計トレーニング用という面も大きい。

今回の試作では、ローム社0.6 μ m、4.5mm角のチップを用いて設計を行った。使用言語はVerilog - HDL、トランジスタ数は約5万である。

設計は大学院の学生4名（博士1年1人、修士2年2人）で行った。ASIC設計は今回が初めてであり訓練期間を含めると設計期間は3ヶ月程度であった。

完成したチップは、十分な動作周波数が得られたが、いくつかの改善を要する部分も見受けられた。これは、次回の試作で修正する予定である。



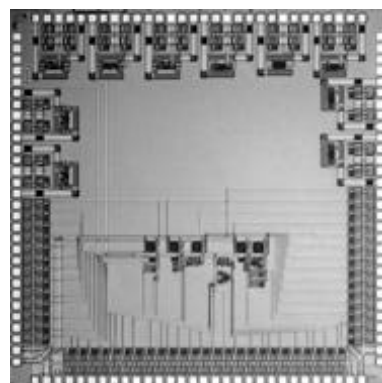
CMOS Rail-to-Rail オペアンプ

大阪大学大学院 工学研究科 畠中 信伍, 小川 徹, 吉村 隆治, 谷口 研二

はじめに 近年、低消費電力化の傾向により電源電圧が低下している。トランジスタを飽和領域で動作させるために電源電圧幅の上下1V程度は信号電圧幅としては使用することができない。アナログ回路における情報量は信号電圧幅に依存しているため、電源電圧の低下による信号電圧幅の減少はアナログ回路設計において致命的な問題となる。このため、電源電圧幅全てを信号電圧として使用することが要求されている。

試作チップ Rail-to-Rail OPAMPは増幅を安定にするための制御回路部が多数のトランジスタで構成されている。このため回路動作が遅くなり、またレイアウト面積、消費電力も大きくなっている。これを改善するために、OPAMPの制御回路を少数のトランジスタで新たに構成した。また、フィードバック回路を用いているため電源電圧の変動に対してHSPICEを用いたシミュレーション結果で非常に安定した数値を得ている。

本設計は、学部4年生が回路設計の基礎からはじめ約3ヶ月で行った。



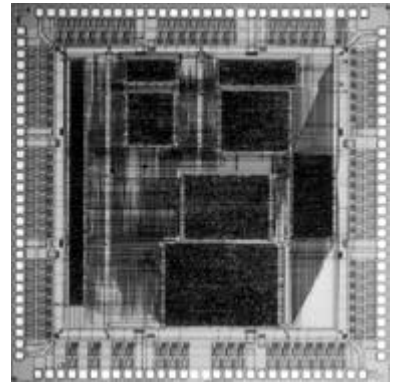
平成 10 年度 IP 開発テストラン

IP 化した終了予測加算器の設計

東京大学 鄭 若丹 浅田 邦博

はじめに 従来の加算器の処理速度を改善するため最大遅延の削減に対し、平均的な演算速度向上を狙う終了予測加算器を新たに提案した。具体的には、高速クロックで駆動されるシフトレジスタを用い、演算終了時間を反映する最大連続キャリー伝搬距離を加算操作と並列に計算し、その結果を演算完了信号として利用するという手法である。この方法は、従来設計した終了検出加算器より、もっと速くかつ正確に演算終了時間を計算できる特徴があるので、性能の向上が期待できる。この加算器の実用性を考え、IP (Intellectual Property) 化を実現した。

試作したチップ 今回試作したチップは、ローム社のIPテストラン用0.6 μm プロセスで実現した。終了予測加算器と従来のBCLA (Binary Carry Lookahead Adder) をそれぞれ32-bit、64-bit、128-bitのマクロブロックとして4.5mm角サイズのチップに入れた。このチップの配置配線はAvanti社のAquariusXOで実現し、レイアウト検証はCadenceツールを用いて行った。設計日数は助手1人で約3週間程度であった。トランジスタ数は約70kである。



パストラジスタ / アナログフィルタ

東京大学 工学部 山下 高廣, 増田 太郎, 浅田 邦博

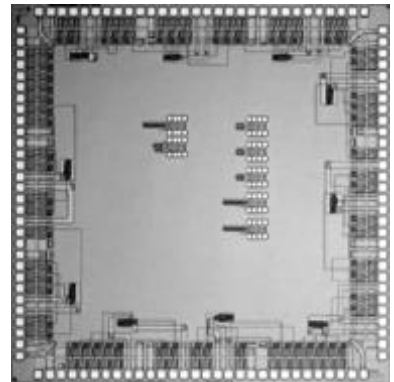
チップ概要 このチップは、センスアンプ回路、パストラジスタ回路を試作したものである。

センスアンプ評価回路：

パストラジスタ回路の信号電圧回復回路としてセンスアンプを用いた回路において、キャパシタを介してパストラジスタとセンスアンプを接続した回路を作成した。パストラジスタ回路は演算毎ディスチャージを行なって低電圧振幅を保つ一方、センスアンプは感度の高い $1/2 V_{\text{dd}}$ 付近にて動作させるため、キャパシタにて電位レベルを変換し信号電位のみ伝達させる回路となっている。

パストラジスタ回路：

パストラジスタを用いた大小比較回路を作成した。8ビット表現による2つの整数の大小を比較し、その結果を $A > B$ 、 $A = B$ 、 $A < B$ の3通りの出力を得る回路とした。パストラジスタの信号回復回路にはキャパシタ結合されたセンスアンプ回路を用いており、センスアンプのイコライズ方法として0V待機型、 $1/2 V_{\text{dd}}$ 待機型、 V_{dd} 待機型の3種の回路を作成した。比較のため、従来のCMOSゲートによる回路も作成した。



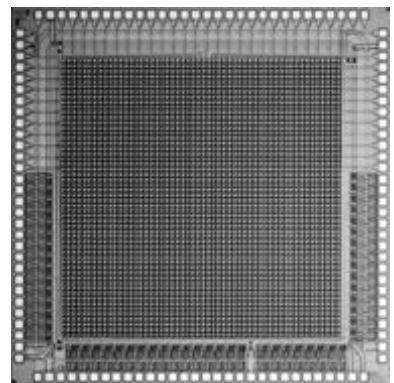
フォトダイオードアレイの設計

東京大学工学部 星野 将史 池田 誠 浅田 邦博

はじめに イメージセンサを設計するにあたり、フォトダイオードの特性を知ることは大切なことである。今回の設計ではフォトダイオードの特性を測定する目的でフォトダイオードを設計し、出力として光電流を取り出せるようにした。またフォトダイオードをアレイ状に並べることでイメージセンサとしても用いることができるようになっている。

チップ概要 今回試作したイメージセンサは、画素数 54×54 画素センサで、画素はフォトダイオードと選択用スイッチとなるトランジスタ1つからなる。出力としては画素平面の各列方向の画素共通で選択された画素の光電流が出力されるように設計した。したがって画像データの読み出しを列並列に行うことが可能である。画素サイズは $61 \mu\text{m} \times 61 \mu\text{m}$ 、開口率は79%となった。

イメージセンサは、ローム社0.6 μm ルール、4.5mm角のチップとして実現した。設計は修士の学生1名で行い、約1週間であった。チップの総トランジスタ数は約3000トランジスタである。

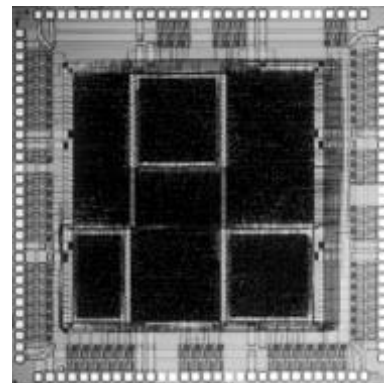


浮動小数点演算器の設計

大阪大学大学院基礎工学研究科 芝原 真一 小林 真輔 檜垣 茂明 武内 良典 北嶋 暁
今井 正治

はじめに VDEC のユーザが利用可能な IP として IEEE-754 Std. に準拠した単精度浮動小数点演算器を設計した。

試作チップ 本演算器は、IEEE-754 Std. に準拠したローム社 0.6 μm ルールの 4.5 mm 角チップである。浮動小数点の四則演算と浮動小数点 整数変換ができる。本演算器の特徴は、浮動小数点 整数変換をハードウェア化したことにより高速な変換が可能であること、IEEE-754 Std. で定められている例外処理は例外処理部を設けて一括管理することで対応していることなどが挙げられる。レジスタファイルとしては 4 本の独立したレジスタを設けている。設計ツールは、RTL シミュレーションおよびゲートレベルシミュレーションに Synopsys 社の VSS Simulator 論理合成に Synopsys 社の Design Compiler と Test Compiler 配置配線に Avant! 社の AquariusXO LVS および DRC に Cadence 社の Dracula、ポストレイアウトシミュレーションに Cadence 社の Verilog-XL をそれぞれ用いた。本チップは修士 1 年の学生 3 名が約 3 ヶ月で設計し、回路規模は約 35000 ゲート (NAND2 換算) 動作周波数は 66.7 MHz となった。

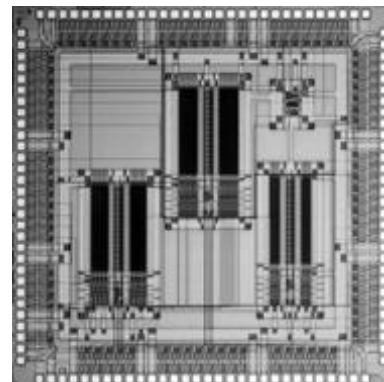


VDEC共同利用マクロとしてのSRAMとPLLの開発

九州大学大学 システム情報科学研究科 情報工学専攻 石原 亨, 廣瀬 啓, 安浦 寛人

はじめに VDEC共同利用のためのSRAMマクロとPLLマクロを設計し、これらをワンチップ上に相乗りさせたTEGチップを試作した。

試作チップ SRAMマクロは 8 ビット \times 128ワード, 8 ビット \times 256ワード, 16ビット \times 128ワード, の 3 種類を設計した。PLLは出力周波数が 8 ~ 80MHzで内部逡倍数は 1, 2, 4, 8, 16 で設計した。引込み時間は 100 μs , 動作時のジッタは 1%以下である。フィルタ用のキャパシタはチップ面積の制約で外付けとした。SRAMマクロの設計には、Alliance CAD System Ver. 3.0 と Cadence の Virtuoso を使用した。PLLの設計には Avant!社の Star-HSPICE とセイコーインスツルメンツ社の SX-9000、および Cadence社の Draculaを使用した。また、それぞれのマクロをまとめあげる回路の設計は SYNOPSIS社の design_compiler と Avant!社の Apollo を使用した。また、デザインルールチェックには Cadenceの Diva と dracula を使用した。2 人月で設計を行なった。



使用プロセス: ROHM 0.6 μm CMOS 3層メタル

チップサイズ: 4.59mm \times 4.59mm = 21.07mm²

トランジスタ数: 約 35,000

信号ピン数: 82ピン

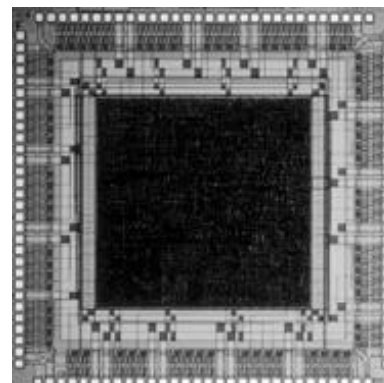
逆離散コサイン変換回路の試作

九州大学大学 システム情報科学研究科 情報工学専攻 溝口 大介, 安浦 寛人

はじめに 近年、民生用 MPEG 再生機器が普及の兆しを見せている。そこで MPEG 再生に必要である IDCT (Inverse Discrete Cosine Transform) 処理を行う回路を IP として公開するために、本チップを試作した。

試作チップ MPEG 再生には高スループットの IDCT 処理が必要であるため、本チップでは速度を重視し、すべて組み合わせ回路で実装を行った。この結果、現在の民生用 MPEG 機器に求められる性能を十分満たしている回路を試作できた。試作チップは、組み合わせ回路で IDCT 処理を実装するにはピン数が少なかったため、フリップフロップを使いこれを解決している。

設計には 論理合成ツールとして synopsys 社の Design Compiler を、レイアウト合成には avant! 社の Apollo を用いた。試作チップのプロセスは 0.6 μm CMOS 3層メタル である。なお、本チップは修士 1 年の学生が約 1 か月で設計し、75k トランジスタで構成されている。



オーバーサンプリングADC用くし形デジタルフィルタマクロ

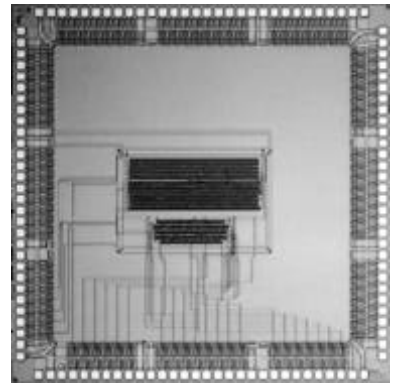
豊橋技術科学大学情報工学系 川人 祥二, 宮崎 大輔, 中 順一

豊田高専情報工学科 仲野 巧

はじめに オーバーサンプリングA/D変換器は、オーディオ用を始め、通信用、センサインタフェース等広く用いられている。今回、オーバーサンプリングADCに使用するディシメーションデジタルフィルタの初段に用いる、くし形フィルタのマクロを設計した。現在、ROHM社0.6um CMOS用のスタンダードセルライブラリを開発しており、そのライブラリの検証も兼ねている。

試作したチップ 今回試作したくし形デジタルフィルタは、最大64次、3段の構成とっており、32次と、64次が選択できるようになっている。最終的には、簡易DSPとして、この後に、プログラマブルなFIRフィルタ部を加え、オーバーサンプリングADC用のデジタルフィルタIPとして完成する予定である。

Verilog-HDLで記述し、CSIを用いてSynopsys, Design Compilerで論理合成を行い、Cell Ensemble(Cadence)により、自動配置配線でレイアウトを合成した。開発したスタンダードセルライブラリにより、Verilog-HDL記述から始め、CSI経由での論理合成、合成前後のシミュレーション(Verilog-XL) 自動配置配線までの一連マクロセル設計が行えることを示すことができた。ライブラリの開発(VDEC提供のライブラリをCadence上で使用できるようにするための作業。)は、7名で約1ヶ月程度を要した。くし形フィルタの設計は、1名で、2週間程度を要した。



オーバーサンプリングADC用アナログセル及び32b並列加算器

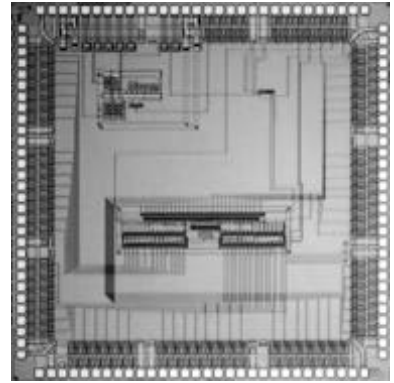
豊橋技術科学大学情報工学系 川人 祥二

仙台電波高専 佐藤 剛, 中林 撰, 佐々木正明

鈴鹿高専 北村 登, 伊藤 八十四

はじめに オーバーサンプリングA/D変換器は、オーディオ用を始め、通信用、センサインタフェース等広く用いられている。今回、オーバーサンプリングADCのためのアナログセルとしてデルタシグマ変調器用全差動オペアンプ、また、デジタルフィルタ用32ビット並列加算器を設計した。

試作したチップ アナログ部としては、デルタシグマ変調器用の全差動オペアンプを試作した。次回のデルタシグマ変調器全体の試作を行う予定である。また、プログラマブルFIRデジタルフィルタの乗算器・アキュムレータに用いるマンチェスタキャリ方式の32b並列加算器を試作した。その動作速度の評価のための回路を内蔵しており、DLL(# Delay Locked Loop)で遅延時間を制御して、加算出力をレジスタに取り込むタイミングを変化させ、これでマクロとして使用したときの演算時間を測定できるようにした。並列加算器用セルは手設計で行い性能を最適化した。その他の部分には、別途開発したROHM社0.6um CMOS用のスタンダードセルライブラリを用いた。最終的には、プログラマブルFIRフィルタに用い、別途設計しているくし形デジタルフィルタ部と合せて、オーバーサンプリングADC用デジタルフィルタとして完成する予定である。



クロック信号発生用PLL回路

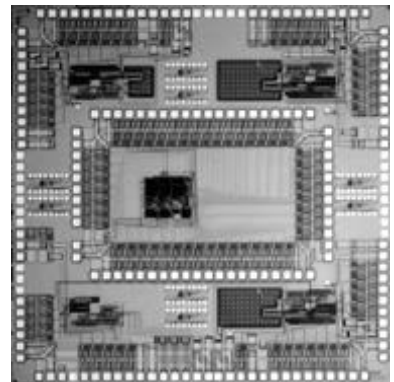
京都大学田丸研究室 藤田 浩章 岡田 健一 小野寺 秀俊

はじめに VDECでユーザが自由に使えるIPを開発するという目的で、クロック信号発生用PLL回路の試作を行った。今回、IPとして提供しようとしているPLL回路はアナログ回路である。単なる回路図やレイアウトをIPとして提供してもプロセスが変わると使い物にならないと考えられる。そこで、回路の設計方法自体をIPとして提供することを考えている。

チップ概要 本チップには、クロック信号発生用PLL回路、および素子ばらつきデータ収集TEGが載せてある。

試作チップには、PLL回路を3種類とVCOのチェック用の回路が1つの計4つの回路が載っている。PLL回路は、位相周波数比較器、チャージポンプ、LPF、VCO、プログラマブル分周器(2~16の整数で可変)から構成されている。発生するクロックはデューティ比50%で、発振可能周波数は最高160MHzを目標としている。

修士1回生の学生が約1ヶ月で設計を行い、1回路につき約1000トランジスタ使用している。

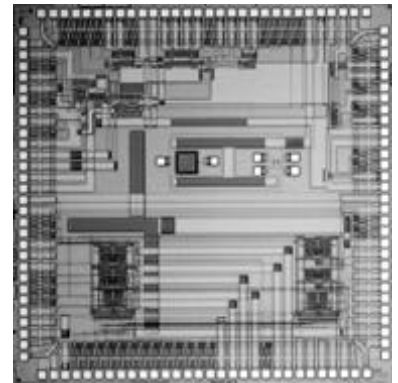


全差動型 AD変換器

広島大学 工学部 若木 謙, 永田 真, 岩田 穆

はじめに VDEC汎用ライブラリの構築に向けて、代表的なアナログ機能回路として全差動型 AD変換器の部分回路を設計した。

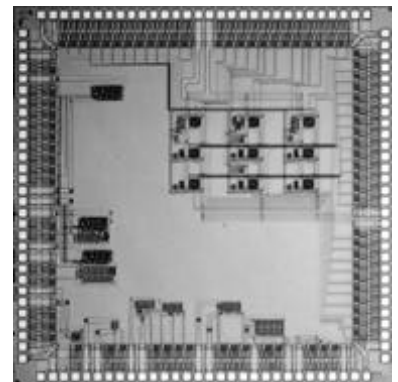
回路構成 本回路は全差動型の1bit量子化2次変調器構成であり、変調出力をバイナリコードに変換するデジタルフィルタは含まない。電源電圧は3.3Vとし、最大オーバー・サンプリング周波数10MHzで動作する。積分器にはスイッチトキャパシタ型共通モード・フィードバック回路を内蔵した2段A級増幅回路を用い、その設計性能はDCゲイン85dB、0dB帯域100MHz、位相余裕75度、消費電流1.6mAである。また、量子化器にはラッチ型コンパレータを用いた。高い同相雑音除去特性を得るために全差動型回路構成とし、回路の対称性を反映するよう部品配置の対称性に十分注意してレイアウトした。本チップは、学部4年生と教官各1名が約2ヶ月でフルカスタム設計した。AD変換器本体と各部の評価回路を含めて約1.1kトランジスタで構成されている。主な使用ツールはComposer(Cadence), HSPICE(Avant!), SX9000(SII)とDiva(Cadence)である。



PLL 周波数シンセサイザ

大阪大学大学院 工学研究科 佐野 智弘, Yew Lim Guan, 吉村 隆治, 谷口 研二

チップ概要 我々は、アナログ回路ブロックの1つであり、無線通信で多用されているPLL (Phase Locked Loop)周波数シンセサイザを設計試作した。位相・周波数比較器はNANDを用いた論理回路より構成され、デットゾーンのないものである。チャージ・ポンプ回路は、定電流回路とNMOS,PMOSのスイッチから構成されている。ループ・フィルタは、小面積化のため、active filterを用いている。その遮断周波数は190kHzである。VCOは7段のインバータから構成されるcurrent-starved VCOであり、20MHzから450MHzの発振範囲(電源電圧3V)を持つ。分周器には最大分周比129のプログラマブル・デバイダを用いている。PLL周波数シンセサイザのロック時間は入力周波数が30MHz,分周比10の条件で21μsで、キャプチャレンジが2M~80MHzとなっている。チップ占有面積は300μm×400μmとなっている。



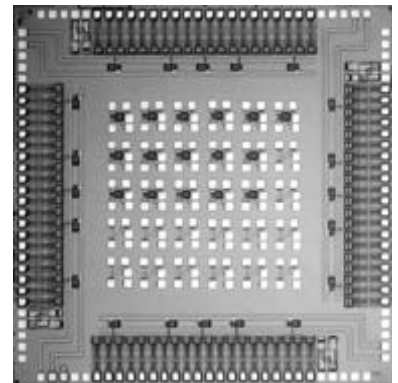
PLL周波数シンセサイザは学部4年生が二人が分担して設計し、設計期間は一ヶ月であった。

アナログオペアンプの設計

九州大学 工学部 電子工学科 鉄川 龍也, 黒木 幸令

はじめに VDECでのアナログ回路チップの設計に使用できるライブラリ開発として、また、回路設計の流れ、設計用ツールの修得を目的として、アナログ回路の基本回路の一つであるオペアンプの設計を行った。

試作したチップ 今回試作したのは、最も基本的なオペアンプ回路と差動増幅部分にカスコード接続を用いたオペアンプの2種類である。トランジスタのサイズはHSPICEによる回路シミュレーションにより決定した。次に、CADENCE社のVirtuosoを用いてレイアウトを行い、その後、そのレイアウト図からDIVAによるネットリストの抽出を行った。そして、そのネットリストによる回路シミュレーションを行い、寄生パラメータの検証を行った。設計は筆者(学部生)1名で行い、アナログ電子回路の考え方の勉強や設計ツールの使用法の修得を含め、約3ヶ月の設計期間を要した。



高速ウェーブレット変換チップの試作

九州大学 大学院システム情報科学研究科 情報工学専攻 劉 勇, 兵頭 章彦, 村上 和彰

はじめに 画像処理などのデジタル信号処理アプリケーションでよく使われているウェーブレット変換を、リアルタイムで実行可能にするため、高速ウェーブレット変換チップを試作した。

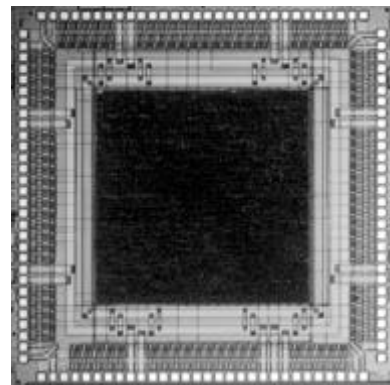
試作チップ 設計の流れは、まず高速ウェーブレット変換のアルゴリズムに基づいて、VHDLコードを記述し、論理合成ツールによって論理合成、及び最適化を行う。そして、シミュレータを用いて論理検証を行い、回路の動作を確認する。更に、VHDLコードからEDIFフォーマットのネットリストを生成し、レイアウト作業を行う。

使用プロセス： 0.6um CMOS 3層メタ

チップサイズ： 4.59mmX4.59mm=21.07mm²

トランジスタ数： 85,422

信号ピン数： 85ピン



PCAデバイス：自律的再構成可能なPLD

京都大学情報学研究科 深津 元 境 和久 泉 知論 中村 行宏

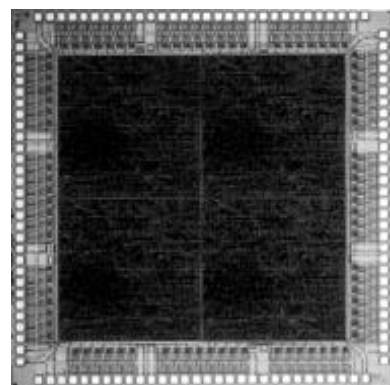
はじめに 従来のPLDは、可変論理部の構成情報を外部から逐次的に与える必要があるため、計算機システムにおいて補助用途に留まっていた。これに対し、自身を部分的・並列的に構成できる新たなデバイスを用いた、PLDのみによる汎用計算機アーキテクチャ、PCA (Plastic Cell Architecture) が京都大学、NTTを中心に研究されている[1][2]。PCAデバイスは可変論理セルを敷き詰めた構造とし、各セルに、隣接セル及び自セルの可変素子上の回路への通信路を持たせる。通信路を通じて構成情報を送受信することで、自身の部分的・並列的な構成を実現する。

試作したチップ 今回試作したPCAデバイスは、ローム社0.6μmルール、4.5mm角のチップで、2行2列のセルを搭載した。設計にあたったのは修士2回生と学部4回生の2名で、PARTHENONによるHDL記述・検証から始めて、Design Compilerによって論理合成を行い、Apolloで配置配線、Virtuosoで最終的なレイアウトを行ったのち、Draculaによってデザインルールをチェックした。設計に要した期間は、約2ヶ月半である。なお、設計には東大版ライブラリを用いた。スタンダードセル数は約19000であった。

参考文献

[1] 永見・塩澤・伊藤・小栗・中村「オブジェクト指向HDLのためのFPGAアーキテクチャ」, DAシンポジウム'97資料集, pp209-214,(July1997)

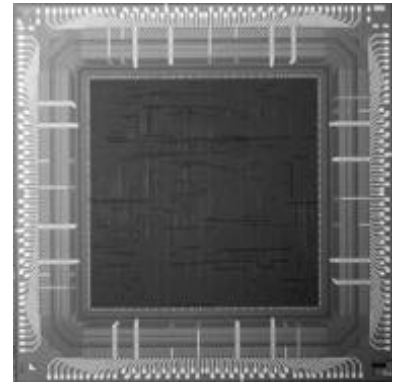
[2] 境・深津・中村「PCAデバイスの設計と試作」, 第14回パルテノン研究会資料集, (May 1999)



ApolloGA を用いたゲートアレイ配置配線設計フロー評価用チップ

東京大学大規模集積システム設計教育研究センター 池田 誠 浅田 邦博

試作目的およびライブラリ開発の概要 本新規プロセス開拓のためのテストランでは、VDECで開発するセルベース設計用のライブラリに加え、日立製作所から提供されるゲートアレイのライブラリをVDECで供給しているCADツールに移植し、その設計フローを確立することが目的となっている。セルベース設計用ライブラリに関してはVDECの他のプロセス同様にエクセレントデザイン社 現在Cadence社 のSCALE/Synspecを用いて行なった。本プロセスでは、フェーズシフトマスクを使用していることなどから、SCALEにより生成したセルの図形データをそのまま使用することができなかつたために、大幅な修正が必要となり、ライブラリの提供が大幅に遅れる結果となってしまった。最終的に、シミュレーション、合成用のライブラリの提供までに3ヵ月要し、配置配線ライブラリに関しては、各設計者からのフィードバックへの対応を含め、ライブラリの完成には全体として6ヵ月要した。



一方ゲートアレイのライブラリに関しては、ゲートアレイ配置配線が今回まったくのはじめてであったことからライブラリの移植に大幅に手間取り、結果としてセルベース設計用ライブラリの完成後に完成することとなってしまった。なお、本ライブラリの生成および移植はすべて筆者が一人で行なっている。

試作内容 ここでは、画像の動き・特徴抽出やデータ圧縮において用いられる最小距離検出回路に関して、本研究室で検討している時間領域最小距離検出回路方式との比較のために、HDL記述から自動生成される回路の試作を行なうこととした。試作内容はすでに他のプロセスにて試作を行なった数種類のサイズ(8bit X 8word, 8bit X 16word, 8bit X 32word, 8bit X 64word, 32bit X 8word)もモジュールについて行なった。今回の試作において、ゲートアレイによる設計を選択するユーザが居なかつたため、セルベースをターゲットとして設計していたものを急遽ゲートアレイ用にリターゲットを行なった。ゲート数は合計で71,000BasicCellである。

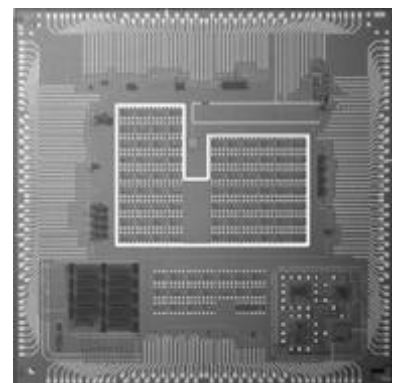
設計フローと使用ツール

- ・動作の記述(VerilogHDL)、シミュレーション： Cadence社Verilog-XL
- ・論理合成： Synopsys社DesignCompiler
- ・ネットリストのシミュレーション： Cadence社Verilog-XL
- ・配置配線： ApolloGA
- ・レイアウト検証： DraculaDRC

パラメータ取得用デバイス評価TEG

東京大学大規模集積システム設計教育研究センター 平本 俊郎 小宇羅 寛

本TEGはMOSのパラメータや容量、抵抗等のデータを取得するとともに、リングオシレータなどにより設計者に試作チップデータの基準をフィードバックするために作成している。なお、チップ面積の関係で本TEGは3箇所に分割して相乗りを行なっている。



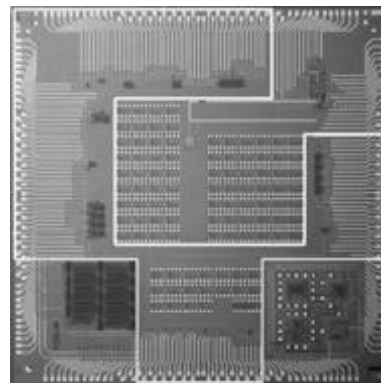
パストラジスタロジックを用いた基本ロジック回路

東北大学電気通信研究所 船木寿彦 遠藤哲郎 舛岡富士雄

近年、CMOSロジックに比べて高速化、低消費電力化、小面積化が可能な論理回路であるパストラジスタロジックに関する研究が広く行われている。パストラジスタロジックがCMOSロジックに比べて高速化、低消費電力化、小面積化が謀れるにもかかわらずCMOSに代わる汎用ロジックとしてなかなか用いられない理由の一つに次のような点が挙げられる。パストラジスタロジックは信号電圧の立ち上がりが遅く、しきい値による信号の電圧降下が生じるためノイズマージンが小さくなり、降下した信号電圧を回復させるために回路の途中でバッファが必要になる。このような欠点もあるが、CMOSロジックに比べて高速化、低消費電力化、小面積化できる可能性を秘めたパストラジスタロジックには大きな期待がかかっていると考える。そこで、今回はCMOSロジックと種々のパストラジスタロジックで基本論理回路を構成し、性能比較を行った。

設計フローとしては、HSPICEによる回路シミュレーションによって回路パラメータの条件出しを行い、CADENCE97AのVirtusoレイアウトエディタでレイアウトを作成した。レイアウトの検証にはDraculaツールのDRC、Extractを用いた。次にExtractによって抽出されたネットリストを用いてHSPICEでシミュレーションを行い、回路動作の確認を行った。

設計は、教授、助教授、修士1年の計3人で2ヶ月程度の期間で行った。試作したチップには、CMOSロジックおよび種々のパストラジスタロジックによるAND、OR、FA等の基本論理回路が組み込まれており、回路規模は約160トランジスタである。使用したツールはHSPICE、CADENCE97AのVirtusoレイアウトエディタ、CADENCEのDracula-DRCおよびExtractである。

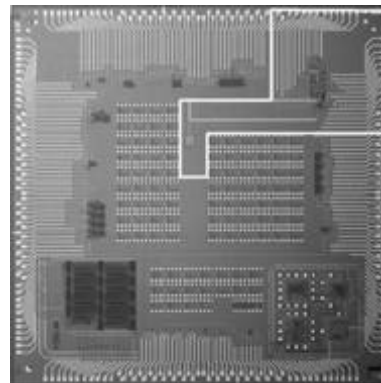


ULSIデバイスにおける低消費電力化を指向した降圧回路とその制御系回路

東北大学電気通信研究所 須永 和久 遠藤 哲郎 舛岡 富士雄

CMOS論理LSIはスケーリングに伴い、年々、消費電力が増え続けてきている。高速かつ高集積化された集積回路にとって低消費電力化技術は非常に重要である。ここでCMOS回路の消費電力は電源電圧VDDを下げることによる効果が非常に高い。しかし、システム電源電圧には規格が存在するために、デバイスの動作電圧における最適値とは一般的に一致しない。この差を埋めるのが降圧回路である。

今回の試作チップはオンチップで構成可能なインダクタンスを含まないRC回路で構成した降圧回路とその制御回路が含まれている。今回の試作においては、内部回路として20段のCMOSインバータチェーンを用いている。設計フローとしては、回路シミュレーション#(SPICE)を行い、レイアウトをフルカスタムで作成した。レイアウトの検証として、DRC、Extractを用い、その結果をSPICEにフィードバックして再シミュレーションという形を取った。設計に要した期間は、2ヶ月程度である。設計は3名(教授、助教授、修士1年)で行った。チップは株式会社日立製作所の0.35 μ mルール、6.0mm角のチップで、回路規模は120トランジスタ程度である。今回の試作で使用したツールとしては、OSはHPUX10.02、回路シミュレーションにAvanti社HSPICE、レイアウトエディタにCadence97AQFP6のVirtusoレイアウトエディタ、検証にはCadence社のDraculaを用いた。

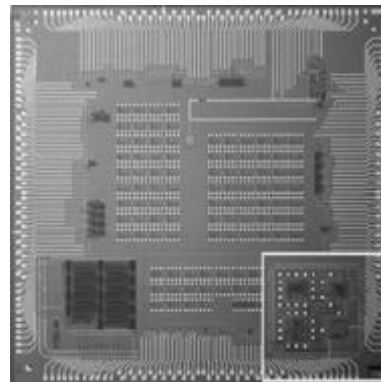


多値集積回路：電流モード多値回路と多値CAM

東北大学大学院情報科学研究科 亀山 充隆 羽生 貴弘 齋藤 敬弘 寺西 要

はじめに ポストバイナリ集積回路技術の1つとして、信号の多レベル化を活用した多値集積回路が知られている。筆者らは、算術演算に適する電流モード方式、論理演算に適する電圧モード方式の多値集積回路技術を提案してきた。まず、電流モード方式では、線形加算が結線のみで実現できるため動素子数を減少できると共に、2線相補信号にて駆動することにより、低電源電圧時でも高い電流駆動能力を有する電流モード基本ゲートが構成できる。この結果、電源電圧を1.5V程度まで下げられることを明らかにしてきた[1]。また、電圧モード多値回路として、フローティングゲートMOSトランジスタの浮遊ゲートに多レベル電荷を蓄積させる。これにより、このデバイス単体で「多値データ記憶」機能、「パスゲート」機能、「多値しきい演算」機能が同時に達成できることを示すと共に、この機能デバイスを活用してコンパクトな論理演算回路が構成できることを提案してきた[2]。

試作したチップ 今回試作したのは、まず上述した2線式電流モード多値回路方式の応用として、多値非同期制御回路である。2



線表現にてスペース信号を(0,0)と定義することにより、任意のR値データ表現へ拡張可能な新しい非同期制御回路が構成できる。また、フローティングゲートMOSトランジスタの応用として、小規模な多値連想メモリ(CAM)を試作した。チップ内のトランジスタ数は約1000個。試作に使用した設計、検証ツールはComposer、Virtuoso、Dracula、HSPICE。フルカスタム設計であったため、設計に約1ヶ月(修士2年生)を要した。

文献 [1] T.Hanyu et al., "Asynchronous Multiple-Valued VLSI System Based on Dual-Rail Current-Mode Differential Logic," 1998 IEEE international Symposium on Multiple-Valued Logic, pp.134-139, May 1998.

[2] 羽生他, "ディジットパラレル多値CAMの構成と評価," 信学論D-I, Vol.J81-D-I, No.2, pp.151-156, Feb. 1998.

Signed-Weight数系に基づくデジタル信号処理用FPGA

東北大学大学院情報科学研究科 高木 信宏 澤田 善樹 青木 孝文 樋口 龍雄

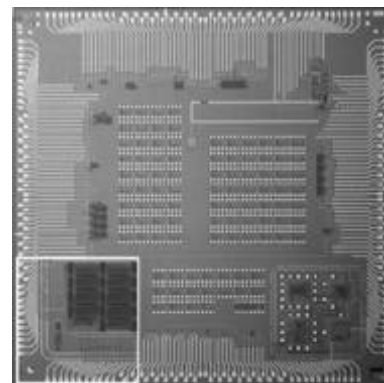
設計内容の概要 数十~100MHz程度の高いサンプリング周期が実現可能で、かつ、係数や演算語長が任意にプログラムできるフィールドプログラマブルデジタルフィルタ(FPDF)チップの設計を行った。本チップでは、本研究グループが提案している新しい冗長数系(Signed-Weight数系)に基づく低オーバーヘッドの再構成型積和演算回路を使用することにより、FPGAのような再構成可能なデバイスでありながら、ASICなみのフィルタリング性能を実現することが可能である。

設計フロー (1) Verilog-HDL記述による仕様設計 (2) Cadence社 Verilog-XLによる論理検証 (3) Cadence社のVirtuoso Layout Editorによるフルカスタム設計 (4) Avant!社 HSPICEによる各モジュールの動作検証および最適化 (5) Cadence社のDiva & DraculaによるDRCおよびLVS

設計に要した時間 テストランのための環境設定も含め、約2ヶ月

ゲート規模 実効面積 1.2x1.1 mm に36.2kトランジスタ, 9kゲート相当(但し、I/Oバッファ部を除く)

使用したツール Cadence社 Verilog-XL, Virtuoso Layout Editor Diva/DRC, Diva/LVS, Dracula/DRC Avant!社 HSPICE, mwaves



容量パラメータ及びNQSモデルパラメータ抽出用TEG

京都大学 情報学研究所通信情報システム専攻 田丸研究室

後藤 周作 藤田 浩章 岡田 健一 小野寺 秀俊

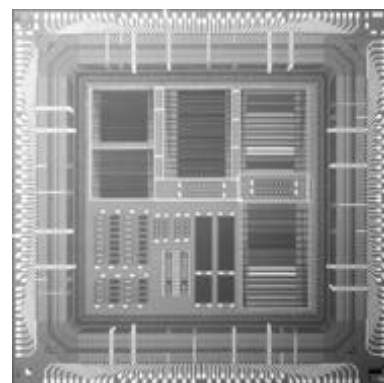
設計内容の概要 MOSFETの容量パラメータ、NQS(Non-Quasi-Static)モデルパラメータ、配線容量を正確に抽出することを目的とした各種TEGを設計した。対象とするMOSFET容量パラメータは、ゲート-拡散間オーバーラップ容量、ゲート酸化膜容量、拡散容量、等の主要な容量パラメータである。NQSモデルにより、チャンネルの生成時間が有限である影響を表現する。配線容量に関しては、各配線層間のシート容量とフリンジ容量、および、同層配線平行配線間の容量などを測定の対象とした。容量の抽出回路は、直接測定回路、或はリングオシレータによって構成されている。直接測定回路では面積の大きなレイアウトで容量を構成し、内部パッドに接続することにより、Cメータ等で直接容量が抽出できる構成とした。リングオシレータを用いた抽出回路では、負荷容量の異なる複数のリングオシレータを用意することで、発振周期からMOSFET容量やNQSモデルパラメータ、配線容量を抽出できる構成とした。トランジスタサイズに応じたDCパラメータを求めるため、DC特性を測定する回路も搭載してある。

設計フロー チップの内部領域と、IOバッファより構成されるフレーム領域を別々に設計した。その後、内部領域-フレーム領域間を配置配線し、全体のDRCを行って完成とした。内部領域のアナログ部分とデジタルの大部分の設計フローは以下の通りである。

- (1) HPSICを用いた回路シミュレーションによる動作検証とデバイスサイズ決定
- (2) Cadence-Virtuosoを用いたレイアウト
- (3) DivaとDraculaを用いたDRC
- (4) Divaを用いたLVS

内部領域の一部のデジタル部分の設計フローは以下の通りである。

- (1) Verilog-HDLを用いた動作記述及び動作検証
- (2) DesignCompilerを用いた論理合成
- (3) Apollo-XOを用いた自動配置配線
- (4) Draculaを用いたDRC
- (5) Divaを用いたLVS



フレーム領域はApolloで配置配線を行った。

設計に要した時間 約2ヶ月 ゲート規模 使用したスタンダードセル数 約3,700

使用したツール 回路シミュレーション(HSPICE) 論理合成 Design Compiler) レイアウト(Virtuoso) DRQ(Diva及びDracula) LVS(Diva) 自動配置配線(Aquarius-XO,Apollo-XO)

低消費電力乗算器の評価チップ

神戸大学工学部情報知能工学科 瀧 和男 李 副烈 北村清志

設計内容の概要 低消費電力かつ高速の乗算器を設計し、実チップで性能評価を行う。遅延短縮のためにネットリストレベルの最適化とセル設計の最適化(トランジスタサイジング)を並行させ、さらにセルのレイアウトを工夫することで、消費電力削減と高速動作を同時に実現した。少ない種類のセルで乗算器機能を実現することで移植性も高めた。PMOS、NMOSのトランジスタサイズ比を変えた複数のデザインを用意し、また周辺回路との間にレベルコンバータを挿入することで、性能の電圧依存特性に関する実験も可能にした。

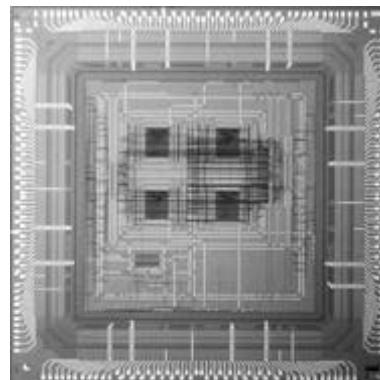
設計フロー

- 1) オリジナルツールによるセル設計
- 2) 設計したセルを用いてオリジナルツールによる回路ブロック設計
- 3) 設計した回路をマクロブロックとして登録
- 4) Cadence Virtuoso Layout Editor を用いて測定用のセル設計
- 5) Apollo(AquariusXO)を用いて設計回路と測定用の回路をレイアウトし、マクロブロック化
- 6) Apollo を用いて各マクロブロックを配置しチップ設計

設計に要した時間 約1ヶ月 ゲート規模 総トランジスタ数:約 45,000個

使用したツール(VDEC以外のツールも含む)

- ・Cadence: Verilog-XL, Virtuoso Layout Editor, Dracula
- ・Avanti: AUtil, AquariusXO, Milky way, Apollo
- ・Epic: Powermill
- ・オリジナル: シンボリックレイアウトツール(written in Prolog language)



MPEG4 動画像符号化のための動き予測器

東京工業大学工学部電気電子工学科

國枝 博昭 李 冬菊 トリオ アディオノ 狩野 博 福山 長憲 張 綱

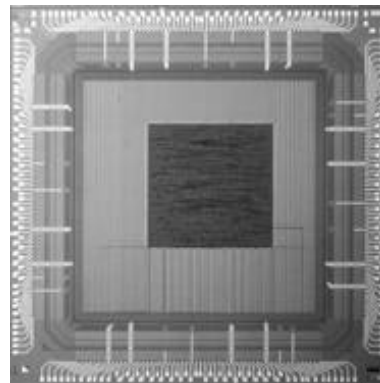
設計内容の概要 このICは、1画素の分解能を持つ動き推定器で、MPEG4におけるセグメントに基づく動画像符号化システムで使われるものである。計算量削減のために、動きベクトルは、階層的なブロック照合方法を利用して導出している。國枝研究室開発のMSPAアーキテクチャを採用している。使用のプロセッサ要素は60となっている。

設計フロー (1)VHDL記述 (2)VHDLシミュレーション (3)自動レイアウトレイアウト (4)検証

設計に要した時間 アーキテクチャとブロック設計: 1ヶ月, VHDL記述とシミュレーション: 2ヶ月, レイアウトと検証: 0.5ヶ月

ゲート規模 50,000ゲート

使用したツール DesignCompiler(Synopsys社) ApolloXQ(Avant社) Dracula(Cadence社)



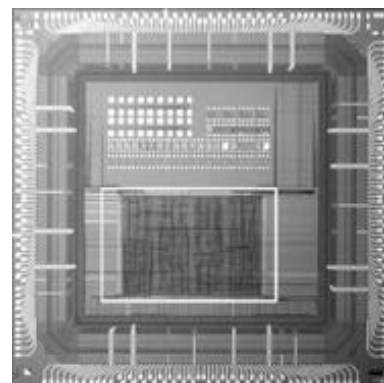
Verilog-HDL を用いた構造化リカレントニューラルノードの設計

北海道大学大学院工学部 電子情報工学専攻 情報メディア工学講座 李 海源 宮永 喜一

近年、新しいタイプの信号処理手段として、ニューラルネットワークを応用する手法の研究が盛んに行われている。それらのうち、構造化リカレントニューラルネットワークは、並列、分散処理構造を持つが、大量の計算を必要とするという問題があり、この膨大な繰り返し演算の処理時間を短縮するためと、小型に実現するため、VLSIによる専用ハードウェア化が必要である。今回試作したものは、構造化リカレントニューラルノード (SRNN) のハードウェア化チップで、利用技術は日立純デジタル0.35 μm CMOS (ポリ1層金属5層) である。より高速なシステムの開発とゲート数の削減のため、本チップの入出力形式は12-bit固定小数点形式とした。並列処理手法として、8-stageのパイプライン処理を利用した。

加減算器には BLCA(Binary Look-ahead Carry Adder)回路を利用し、乗算器には CSA(Carry Save Adder)回路を使用した。非線形のSIGMOID関数は線形に近似して設計した。本システムのゲート数約4000ゲートであった。

仕様設計には、Verilog-HDLを使用した。Verilog-XLを用いたシミュレーションし、Synopsys社のツールで論理合成と最適化をした。配置配線にはAvant!社のApolloを使用した、本チップの設計は筆者(大学院修士1年)1名で行ない、所要期間は約3か月程度であった。



クラスタリングネットワークチップ

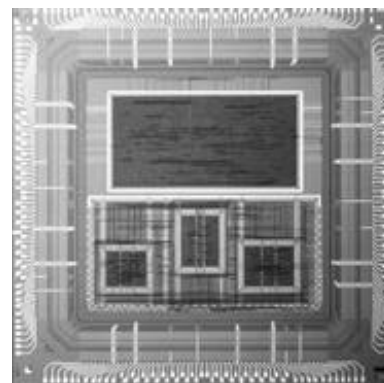
北海道大学工学部 電子工学科 通信システム工学分野 樺沢 正之 宮永 喜一

設計内容の概要 設計したシステムは、2つの層で構成されている。第1層は入力データに従って、自己組織化アルゴリズムにより特徴を出力する。第2層は、第1層の出力データを、教師付きアルゴリズムにより重みをかけて足しあわせ、適当なラベルを出力する。入力が4次元、第1層は8個、第2層は4個の並列処理とし、4段パイプラインで設計した。

設計フロー (1) Verilog HDLによる機能設計、(2) 機能シミュレーション (Verilog-XL)、(3) 論理合成 (Design Analyzer)、(4) 配置配線 (Milky way, Apollo)

設計に要した時間 3ヶ月。 **ゲート規模** 約2.8万ゲート。

使用したツール Verilog XL, Design Analyzer, Milky way, Apollo



高速ウェーブレット変換チップ

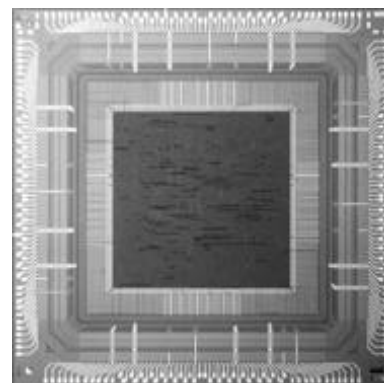
九州大学 大学院 システム情報科学研究科 劉 勇 兵頭 章彦 村上 和彰

設計内容の概要 2つの8タップデジタルフィルタを1つのチップに乗せた。それぞれ、8個の浮動小数点定数乗算器、1個の8入力浮動小数点加算器、及び3つのパイプラインレジスタから構成されている。

設計フロー 高速ウェーブレット変換のアルゴリズムに基づいて、VHDLコードを記述し、論理合成ツールによって論理合成、及び最適化を行った。更に、シミュレータを用いて論理検証を行い、回路の動作を確認した。そして、VHDLコードからEDIFフォーマットのネットリストを生成し、レイアウト作業を行った。

設計に要した時間 1ヵ月 **ゲート規模** 31271セル 378822トランジスタ

使用したツール 論理合成 (Synopsys Design Compiler)、論理検証 (Synopsys VSS シミュレータ)、ネットリスト変換 (Avant! Milky way)、レイアウト (Avant! ApolloXO)、デザインルールチェック (Cadence Diva & dracula)



暗号処理用プロセッサ (ISIT - DLX)

九州大学大学院 システム情報科学研究科

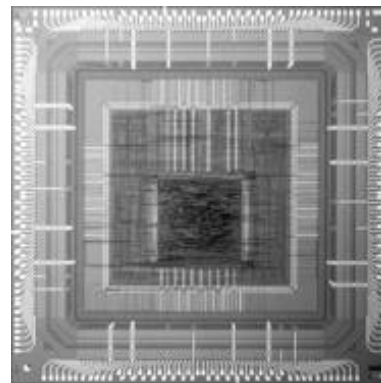
石原 亨 兵頭 章彦 山下 源 エコー ファジナル 安浦 寛人

設計内容の概要 暗号処理を行うプロセッサ。外部メモリとFIFOを介して、インターフェースをとるためのバス制御部とプロセッサコア部とからなる。バス制御部に関しては、新規開発。プロセッサコア部に関しては、九州大学により、既に開発されているBung-DLXを用い、暗号処理 (RSA方式) に特化したものにチューニングした。

設計フロー VHDLによるRTL記述。論理合成ツールにより、東大開発のセルライブラリにマッピング。シミュレーションにより、機能・タイミング検証を行い、ネットリストを生成。レイアウトツールを用いて、I/Oパッドの位置を決め、セルの自動配置配線を実施。

設計に要した時間 4ヶ月 **ゲート規模** 3万ゲート

使用したツール Design Compiler(Synopsys) VSS(Synopsys) Apollo(Cadence)



マルチプロセッサ用のスケジューリング支援ハードウェアを搭載したプロセッサ

広島市立大学 情報科学研究科 情報工学専攻 弘中 哲夫 佐々木 敬泰 佐伯 賢治

設計内容の概要 試作したチップは、R3000互換命令のサブセットを実装したCPUと、スケジューリング支援を行うハードウェア (Scheduling Support Hardware;SSH) から成る。CPUは、MIPS社のR3000の命令セットのうち、乗除算命令、コプロセッサ命令を除く命令を実装。更に前回試作した同期機構チップの制御用命令も実装した。一方、SSHはマルチプロセッサ環境において、タスク管理、セマフォの実現等、本来OSの行うスケジューリングの一部を支援するハードウェアであり、スレッド等のスケジューリングのオーバヘッドを軽減できるものである。各モジュールのゲート数は、CPU部、SSH部それぞれ18,706ゲート、2,264ゲートであり、チップ全体で20,970ゲートとなった。

設計フロー 主な機能設計、ビヘイビア・レベルの設計、および、ビヘイビア・レベルのシミュレーションは VisualHDL によって行った。VisualHDL はトップダウン設計を効率的に進める仕様設計システムであり、グラフィクス表現とテキスト表現を組み合わせて入力できる。VisualHDLに入力したデータを用いてシミュレーション、合成用 Verilog-HDL の生成及びドキュメントの生成を行った。生成した Verilog-HDL は Design Compiler にて論理合成し、ネットリストに変換した。この時点で、仮配置配線情報を用いてのゲートレベルシミュレーションを行った。これと並行して、Appolo(Aquarius-XO) にて配置配線し、ストリームアウトしたデータに対して DRACULA で DRC を行った。DRCエラーが無いことを確認後、配置配線後の情報を用いてポスト・レイアウト・シミュレーションを行った。

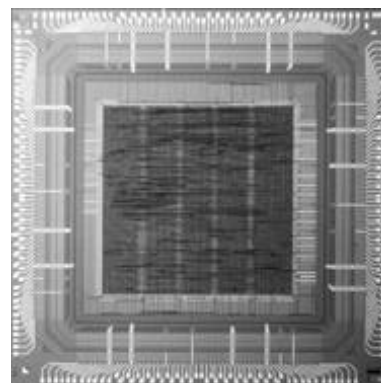
設計に要した時間

- ・ 機能設計： 0.5ヶ月
- ・ ビヘイビア・レベル設計： 1ヶ月
- ・ ビヘイビア・レベルのシミュレーション： 1ヶ月
- ・ 論理合成： 0.5ヶ月
- ・ ゲートレベルのシミュレーション： 1ヶ月
- ・ 配置配線： 2ヶ月
- ・ デザイン・ルール・チェック： 0.2ヶ月
- ・ ポスト・レイアウト・シミュレーション： 0.1ヶ月

ゲート規模 ゲート数 20,970(NAND換算)

使用したツール

- ・ セイコウインストルメンツ株式会社 VisualHDL for Verilog 5.2
- ・ Cadence VERILOG-XL 2.3.3
- ・ Synopsys DesignCompilerVersion1998.02
- ・ Avant! AquariusXO1997.2, Appolo98.2.0.20
- ・ Cadence Dracula 3 REV. 4.4

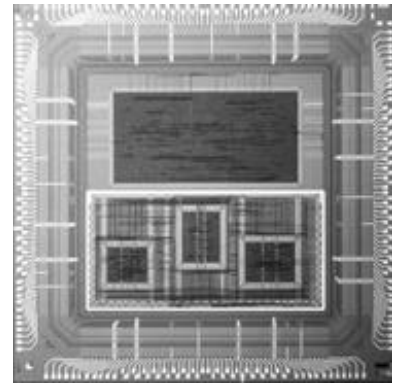


データパスのレイアウトとプロセッサの消費電力の関係を調べるTEG

-- メタル5層テクノロジーの場合 --

広島市立大学 情報科学部 情報工学科 垣本 岳大 越智 裕之

設計内容の概要 当研究室では、FPGAの低消費電力化のための新しい設計手法としてデータパスレイアウト優先設計 (DLDD) を提案した[1]。これはチップ上で多くの電力を消費する構成要素の一つがデータパスの配線であることに注目し、その配線長を削減することで低消費電力化を狙うものである。DLDDは、上流設計の段階からデータパスの構成要素をビットスライスの的にモジュール分割し、その各サブモジュールを長方形の領域にレイアウトするものである。このようなモジュール分割を採用することで、データパス系の配線の多くはサブモジュール内で完結するため、データパス系の配線長を削減できる。



今回設計したTEGは、スタンダードセル方式の設計におけるDLDDの有効性を調べるためのものである。北海道大学宮永研との相乗りチップのちょうど半分領域を使用し、3個の簡単な16bit RISCプロセッサを実装した。I/Oセルを除いた総トランジスタ数は約6万8千個であった。なお、我々は今回の日立のテストランと前後して、ローム社0.6μm メタル3層テクノロジーでもほぼ同様のTEGを試作しており、これらの比較も意図している。

設計フロー フローの概略は以下の通りである。

- (1) Verilog-HDLの動作レベル記述をSynopsys社 Design Compilerで階層的に論理合成
- (2) 得られたVerilog-HDLのネットリストをAvant!社 Apolloで階層的に配置配線。
- (3) 得られたストリームファイルをCadence社 Draculaを使用してDRCおよびLVS。
- (4) Cadence社 Virtuosoを使用してDRCエラー箇所の修正と電源配線の引き直し。
- (5) Cadence社 Draculaを使用してSpiceネットリストを抽出。
- (6) 消費電力見積りのため、得られたSpiceネットリストをSynopsys社PowerMillで回路シミュレーション(Avant!社HSpiceを援用)。
- (7) その他、検証のためCadence社 Verilog-XLを適宜使用。

Verilog-HDLの動作レベル記述はローム社の試作と同じもの(検証済)を使用し、Design Compiler用のスクリプトもほぼそのまま流用したので、今回の実質的な作業は(2)以降である。

作業は、3個のプロセッサマクロ(うち2個はDLDD方式)のレイアウトパラメータのチューニングと回路シミュレーションによる評価を4年生1名(垣本)が担当し、その他設計データ提出に必要な雑作業を助教授1名(越智)が担当した。2名共にローム社で同様の試作を体験済みであったが、テストランの特殊事情もあり、11月下旬に開始した設計作業は1月下旬まで尾を引いた。

参考文献

[1] Hiroyuki OCHI, Takashi NISHIKAWA, and Takao TSUDA: "Datapath-Layout-Driven Design for Low-Power FPGA Implementation," 情報処理学会論文誌, vol.40, no.4, (1999年4月) 掲載予定.

乗算器, 乗加算器およびALU搭載チップ試作

早稲田大学 柳澤 政生 井上 大輔 吉澤 大 諏訪 勝 鳥居 晃 羽根 達也

設計内容の概要 搭載回路:(括弧内の4ビットは回路を指定するための機能選択信号を表す)

- (1) ALU: ADD32(加算,0001,0010) AND32(論理積,0011) OR32(論理和,0100) XOR32(排他的論理和,0101) SLT32(set on less than,0110) SEQ32(比較器(等しいかどうか),0111) SNE32(比較器(違うかどうか),1000) COM2_32(2の補数表示,1001) INC32(インクリメント,1010) DEC32(デクリメント,1011)
- (2) MUL32(乗算,1100)
- (3) MAC32(乗加算,1101)
- (4) Selecto(各回路からの出力のうち1つを選ぶためのセレクタ)

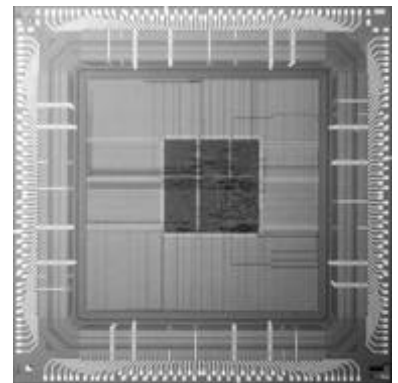
端子数: 入力端子数(100(32 * 3 + 4)) 出力端子数(32) 電源・グランド端子数(32)

設計フロー VHDLで回路記述を行い、論理設計ツール(Design Analyzer)、レイアウト設計ツール(Apollo)、VDEC日立ライブラリを用いて設計を行った。最後にDraculaによって検証を行った。

設計に要した時間 論理設計: 約40時間、レイアウト設計: 約5時間、その他、問題解決等: 約200時間、合計: 約250時間

ゲート規模 コア部(I/Oパッドを除いた部分)の総セル数: 10,050個、コア部総セル面積: 1.477506 mm²(配線を含まず、単位は平方ミリメートル) 2入力 nand 換算で約20,000個分(2入力 nand = 0.000072)

使用したツール Design Analyzer 1998.02, Apollo 1998.2.3.2.0.20, Milkyway 1998.2.3.2.0.20, Dracula 4.51



画像処理LSIのT E G試作

芝浦工業大学 システム工学部 電子情報システム学科

上田 和宏 吉田 暁 鈴木 真之

設計内容の概要 画像を画素単位に一致照合をとる回路。設計した回路は、データをシフトイン、シフトアウトする機能と2つのDFF間のXORをとり、結果をDFFの片方に書き戻す機能をもつモジュールを30×30個配置したもの。モジュールは配列の先頭のものとその他のものの2種類がある。VDEC配布の自動配置配線用のスタンダードセルライブラリを用いて、手作業で配置配線を行った。IOセル部については、東京大学浅田研究室の協力を得た。

設計フロー

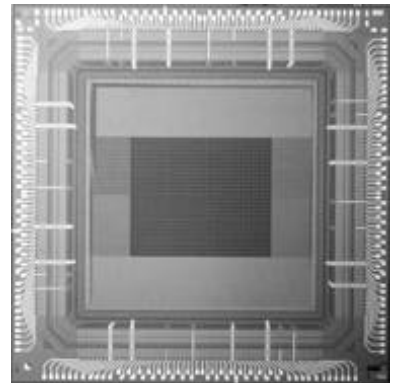
- 1)機能/論理設計
- 2)機能/論理シミュレーション
- 3)レイアウト設計

スタンダードセル方式で人手作業により配置・配線

- 4)レイアウト検証

設計に要した時間 全工程で約1ヶ月半。 **ゲート規模** 17,350ゲート

使用ツール 論理シミュレータ(Altera MAX+PlusII)、レイアウト・エディター(VIRTUOSO Layout Editor)、レイアウト検証(Dracula DRC)



5.2 チップ試作者の発表文献リスト

- (1) 山名智尋, 早川吉弘, 中島康治, 沢田康次,
「リミットサイクルを生成する集積化人工神経回路網
の設計」,
電子情報通信学会技術研究報告 [ニューロコンピュー
ティング] 東北大学工学部 青葉記念会館 pp.1-6, 1998
年11月.
- (2) 佐藤厚志, 佐藤茂雄, 中島康治,
「SDAMを用いた集積化連想記憶システム」,
電子情報通信学会総合大会, 慶応大学, エレクトロニ
クス2, p.181, 1999年3月.
- (3) D. Kawae, H. Kurino and M. Koyanagi,
"Design of Real Time Micro-Vision System LSI with
Three-Dimensional Structure",
Workshop on Synthesis and System Integration of Mixed
Technologies (SASIMI '98), Sendai, pp.229-234, Oct.
1998.
- (4) 伊藤, 井上,
「CMOS LSI アナログPLLの一設計」,
1999年電子情報通信学会総合大会, 慶応大(日吉), 基
礎・境界, p.51, 1999年3月.
- (5) K. Takahashi and M. Mizunuma,
"Adiabatic Dynamic CMOS Logic for Ultra-Low Power
Systems",
Proceeding of ITC-CSCC'98, pp.1443-1447, July 1998.
- (6) 水沼充, 高橋一清,
「単純な電荷回収電源を持つ断熱的ダイナミック
CMOS論理回路」,
電子情報通信学会1999総合大会, 慶応大学日吉校舎,
C12-18, 1999年3月.
- (7) 有馬宏幸, 森彦彦, 谷田貝豊彦,
「光コンピューティングのためのRAM型強誘電性液晶
空間光変調器」,
平成11年度春季応用物理学関係連合講演会, 千葉県野
田市, 講演予稿集 vol.3 p.1075, 1999年3月.
- (8) 松浦聡, 小林富雄, 佐々木修,
「ATLASミューオントリガー用ASICの試作」,
日本物理学会 第54回年会, 広島大学, 1999年3月.
- (9) 青木 秀行, 池田 誠, 浅田 邦博,
「VLSI中の電源配線におけるノイズ測定回路」,
電子情報通信学会, 慶応義塾大学日吉キャンパス, A-
3-13, 1999年3月.
- (10) 山下 高廣・浅田邦博,
「キャパシタを用いた高速パストランジスタ回路」,
電子情報通信学会総合大会 慶応義塾大学 p.114, 1999
年3月.
- (11) 小松 聡, 池田 誠, 浅田 邦博,
「低消費電力チップインタフェースのための適応型コー
ド帳符号化方式」,
電子情報通信学会ソサイエティ大会, C12-23, p.114,
平成10年9月.
- (12) 小松 聡, 池田 誠, 浅田 邦博,
「適応型コード帳符号化を用いた低消費電力チップイン
タフェース」,
電子情報通信学会 集積回路研究会 信学技報 DSP98-
89 ICD98-176 CPSY98-91, pp.1-6, 平成10年10月.
- (13) S. Komatsu, M. Ikeda and K. Asada,
"Low Power Chip Interface Based on Bus Data Encod
ing with Adaptive Code-Book Method",
9th GREAT LAKES SYMPOSIUM ON VLSI, 9B.1,
pp.368-371, Mar. 1999.
- (14) Nozomu Togawa, Takashi Sakurai,
Masao Yanagisawa, and Tatsuo Ohtsuki,
"A Hardware/Software Partitioning Algorithm for Pro
cessor Cores of Digital Signal Processing",
Proc. of ASP-DAC'99, Hong Kong, pp.335-338, Jan.
1999.
- (15) 中村剛, 戸川望, 柳澤政生, 大附辰夫,
「2種類のレジスタファイルを持ったデジタル信号処
理向けプロセッサのハードウェア/ソフトウェア協調
合成システムとその並列コンパイラ」,
電子情報通信学会フォールトトレラントシステム研究
会研究技術報告 東京, Vol.98, No.132 pp.71-78, 1999
年2月.
- (16) 石橋卓行, 河村聡, 石田寛, 中本高道, 森泉豊榮,
「1ビットデジタル演算ASICチップの試作と評価に関
する研究」,
電気学会全国大会 講演論文集, 1999, 3-224, 1999年
3月.
- (17) 落合忠博, 石倉康充, 西田和広, 光岡武, 山本修己,
波多野 裕,
「DUVレーザによる多層配線 0.5 μm CMOSチップ
の加工」,
電子情報通信学会 総合大会 慶応大学 日吉校舎, C-12-
30, p.128, 1999年3月.
- (18) 落合忠博, 波多野 裕,
「ニューロンMOSマクロモデルの提案とデバイス試
作」,
電子情報通信学会 総合大会 慶応大学 日吉校舎, C-12-
49 p.147, 1999年3月.
- (19) 早川史人, 今井豊, 水橋嘉章, 中山和也, 柿本芳雄,
秋田純一, 北川章夫, 鈴木正國,
「カルコゲナイド薄膜の相転移を用いたEEPROMの試
作と評価」,
応用物理学学会春季全国大会, 千葉, 28p-YE5, 1999年3月

- (20) 高瀬信二, 秋田純一, 前多和洋, 北川章夫, 鈴木正國, 「ビデオ画像の画素単位でのリアルタイム色抽出処理回路の設計」, 電子情報通信学会春季全国大会 神奈川 SA-2-1, 1999年3月.
- (21) 前多和洋, 秋田純一, 北川章夫, 鈴木政國, 「平面配置オートマトンによる矩形領域検出回路」, 電子情報通信学会回路とシステム研究会, 鳥取, CAS98-79(pp.31-38), 1999年1月.
- (22) 小森博文, 福田一郎, 「8ビット簡易マイクロプロセッサの設計・製作」, 平成10年度電気関係学会北陸支部連合大会, 福井工業大学, E-43, p.293, 1998年10月.
- (23) 木田裕之, 木村晋二, 高木一義, あべ松竜盛, 渡邊勝正, 「再構成可能部を持つJavaプロセッサ」, 1999年電子情報通信学会総合大会, 慶應義塾大学日吉キャンパス, SA-2-6, 1999年3月.
- (24) 高木一義, 朱強, 丸岡新治, 木村晋二, 「教育用16ビットパイプラインプロセッサの設計とチップ試作」, 1999年電子情報通信学会総合大会 慶應義塾大学日吉キャンパス, SA-2-7, 1999年3月.
- (25) 滝大輔, Morgan Hirotsuke Miki, 藤田玄, 尾上孝雄, 白川功, 藤原融, 嵩忠雄, 「再帰的最尤復号アルゴリズムを用いた誤り訂正復号器のVLSI設計」, 電子情報通信学会技術研究報告, 福岡ソフトリサーチパークセンタービル, LD98-52, CD98-155, FTS98-79, pp.57-62, 1998年9月.
- (26) K. Miura, K. Nakamae and H. Fujioka, "Automatic Fault Tracing by Successive Circuit Extraction from CAD Layout Data with the CAD-Linked EB Test System", 9th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF), Copenhagen, pp.975-980, Oct. 1998.
- (27) 池田栄二, 中前幸治, 藤岡 弘, 「EBテスト観測画像からの動信号領域抽出とその疑似カラー表示」, LSIテストシンポジウム/1998 大阪 pp.57-62, 1998年11月.
- (28) Tan Boon Keat, 吉村隆治, 市橋基, 小川徹, 谷口研二, 「機能可変型DSPプロセッサ」, 電子情報通信学会 CAS・DSP・VLD 合同研究会, 熊本大学信学技報 Vol.98 No.140 pp.93-100, 1998年6月.
- (29) 小川徹, 畠中信伍, 吉村隆治, 谷口研二, 「CMOS Rail-to-Rail OPAMP」, 電気学会 電子回路研究会, 鳥取大学, 電気学会研究会資料 ECT-99-1 ~ 12 pp.35-39, 1999年1月.
- (30) 吉村隆治, Tan Boon Keat, 小川徹, 谷口研二, 「CDMA方式を用いた有線通信インターフェース」, 電子情報通信学会 集積回路研究会, 1999年3月, ICD98-298 pp.15-21, 信州大学.
- (31) Tan Boon Keat, 吉村隆治, 谷口研二, 「機能可変型DSP」, 1999年電子情報通信学会総合大会, 慶應大学, 講演論文集 基礎・境界 pp.440-441, 1999年3月.
- (32) 佐野智弘, Yew Lim Guan, 吉村隆治, 谷口研二, 「CMOS-PLL(Phase-Locked Loop)の設計」, 1999年電子情報通信学会総合大会, 慶應大学, 講演論文集 基礎・境界 pp.448-449, 1999年3月.
- (33) 畠中信伍, 小川徹, 吉村隆治, 谷口研二, 「CMOS Rail-to-Rail OPAMP」, 1999年電子情報通信学会総合大会, 慶應大学, 講演論文集 基礎・境界 pp.450-451, 1999年3月.
- (34) 市橋基, 谷口研二, 「CMOS ニューロ回路の設計」, 1999年電子情報通信学会総合大会, 慶應大学, 講演論文集 基礎・境界 pp.452-453, 1999年3月.
- (35) 吉村隆治, Tan Boon Keat, 小川徹, 谷口研二, 「CDMA方式を用いたチップ間無線インターフェース」, 1999年電子情報通信学会総合大会, 慶應大学, 講演論文集 基礎・境界 pp.454-455, 1999年3月.
- (36) Tan Boon Keat, Toru Ogawa, Ryuji Yoshimura, Kenji Taniguchi, "A Reconfigurable Digital Signal Processor", IEICE. Trans. Electron, Vol.E81-C, No.9, pp.1424-1430, Sep.1998.
- (37) 越智裕之, 「VLSI設計のための望ましいCADツール」, 電子情報通信学会1999年総合大会 慶應大学 日吉校舎, PA-2-7, 1999年3月.
- (38) 龍見嘉之, ハンス ユルゲン マタウシュ, 「Tbit/sバンド幅実現のための多数ポートメモリセルの面積増加を改善する必要性について」, 1998年電子情報通信学会総合大会, 慶應大学日吉校舎, エレクトロニクス2 p.178, 1999年3月.
- (39) 岸浩二, 行天隆幸, 龍見嘉之, 山田耕太郎, ハンス ユルゲン マタウシュ, 「新しい階層構造型アーキテクチャによる小面積マルチポートメモリの開発(第1階層)」, 1998年電子情報通信学会総合大会 慶應大学日吉校舎, エレクトロニクス2 p.179, 1999年3月.
- (40) 行天隆幸, 岸浩二, 龍見嘉之, 山田耕太郎, ハンス ユルゲン マタウシュ, 「新しい階層構造型アーキテクチャによる小面積マルチポートメモリの開発(第2階層)」, 1998年電子情報通信学会総合大会 慶應大学日吉校舎,

エレクトロニクス 2 p.180 ,1999年3月.

- (41) K.Yamada, H.Lee, T.Murakami,
and H.J.Mattausch,
"An Area-Efficient Circuit Concept for Dynamical Conflict Management of N-Port Memories with Multi-GBit/s AccessBandwidth",
Proc.24thEuropeanSolid-StateCircuitsConference,The Hague, Netherlands, pp.140-143, Sep. 1998.
- (42) K. Hirose and H. Yasuura,
"Design of Parallel Multipliers Utilizing Neuron MOS Technology",
Proc.oftheWorkshoponSynthesisAndSystemIntegration of Mixed Technologies (SASIM'98), Sendai, Japan, pp248-255,October1998.
- (43) ジャマルエディン カレド ,石原 亨 ,塩見 謙太郎 ,
沖野 晃一 ,川崎 隆志 ,安浦 寛人 ,
「VDEC利用者のためのスタンダードセルライブラリ」,
DAシンポジウム'98 静岡県浜松市 pp.185-190 ,1998年7月.
- (44) 石原 亨 ,安浦 寛人 ,
「プログラム制御可能な低消費電力プロセッサ」,
DAシンポジウム'98 静岡県浜松市 pp.191-196 ,1998年7月.
- (45) 廣瀬 啓 ,安浦 寛人 ,
「VDECを利用したニューロンMOS回路の試作」,
DAシンポジウム'98 静岡県浜松市 pp.197-202, 1998年7月.
- (46) 兵頭 章彦 ,石原 亨 ,安浦寛人 ,
「VDEC向けスタンダードセルライブラリの評価」,
電子情報通信学会技術研究報告 , 福岡県福岡市 ,
VLD98-45 ICD98-148 FTS98-72 pp.9-16 1998年9月.
- (47) Hiroyasu YOSHIZAWA, Kenji TANIGUCHI
and Kenichi NAKASHI,
"An Implementation Techniqueof Dynamic CMOS CircuitApplicabletoAsynchronous/SynchronousLogic",
ProceedingsofISCAS'98,pp.145-148,June1998.
- (48) Hiroyasu YOSHIZAWA, Kenji TANIGUCHI
and Kenichi NAKASHI,
"Phase Detectors / Phase Frequency Detectors for High PerformancePLLs",
Proceedings of 2nd Analog VLSI Workshop, pp.97-102,
June1998.
- (49) 吉澤弘泰 ,中司 賢一 ,谷口 研二 ,
「オンチップクロック生成PLLの低ジッタ・小面積化設計」,
九州大学大学院システム情報科学研究科報告 第4巻、
第1号 ,pp.93-98 ,1999年3月.
- (50) 吉澤 弘泰 ,中司 賢一 ,谷口 研二 ,
「PLLの位相比較特性がジッタへ与える影響」,
電気関係学会九州支部第51回連合大会 , 大分大学 ,
p.316 ,1998年10月.
- (51) 前田 文雄 ,秀島 功介 ,吉澤 弘泰 ,中司 賢一 ,
谷口 研二 ,
「差分演算を用いたビタビ復号回路の集積回路化」,
電気関係学会九州支部第51回連合大会 , 大分大学 ,
p.318 ,1998年10月.
- (52) 吉澤 弘泰 ,中司 賢一 ,谷口 研二 ,
「VDECによる1.2 μ m 300MHz PLLの試作」,
1999年電子情報通信学会総合大会 慶応義塾大学 SA-
2-8 ,pp.446-447 ,1999年3月.

第6章 付録

6.1. 利用規定

【VDECアカウント】

1. VLSIチップ試作申し込みを前提とし、チップ試作申し込み時に同時にホスト計算機利用申請をする必要がある。
2. 計算機利用の目的は主としてVDECが提供するCADソフトウェアを利用した設計・検証のほか、チップ設計・評価に関係する大学に所属する研究者独自のプログラムの開発と実行とし、一般のVLSI教育と関係のない計算には原則として用いないことを前提に申込を受け付ける。
3. 申込者はVLSIチップ試作申し込み単位である各大学・高専教官とし、学生毎には利用者アカウントの発行は行わない。
4. 利用期間は利用承認時期から該当試作チップの納品時期までとする。利用期間終了後はユーザファイル等が消去されることがあるため、ユーザの責任で利用期間内にバックアップするものとする。

【チップ試作】

1. 試作日程はVDEC運営委員会で各大学の学部授業日程ならびに大学院教育に配慮して決める。
2. チップ試作申し込み期間は、設計締め切りの6ヶ月前から3ヶ月前まで期間とする。
3. チップ試作申込者は各大学・高専の教官とし、学生からのチップ試作受付はおこなわない。
4. 申し込みはVDECのWebのホームページで行い、別途書面による秘密保持規約において正式確認する。
5. チップ試作費は試作チップ納品時に送付される請求書類等に応じ、ユーザ毎に遅滞なくチップ試作会社に支払う。

6. チップ試作費用ならびに納品チップ数は、別途これを定め、VDECのWebページその他のVDEC情報誌等に掲載する。
7. チップ試作申し込みの取り消しは設計締め切りの1ヶ月前までとし、それ以降は基本的に試作費の支払い義務を負う。
8. チップの品質検査は同一チップ上に作られるテスト回路で行い、VDECおよびチップ試作会社は基本的に試作チップの動作、性能等についてそれ以上の責任を負わない。
9. チップ試作申し込みでは同時に別途規定するホスト計算機利用申請を行う必要がある。

【CAD利用】

1. CAD利用は、演習・授業でも必要であり、VLSIチップ試作申し込みを条件とはしない。
2. ユーザが必要なライセンス数を把握するため、CAD項目単位で申し込みを受け付ける。
3. CAD利用申込者は、各大学・高専の教官とし、学生からの利用申し込み受付は行わない。

【CAD項目とサポートされるOS】

CAD項目

- ・Verilog HDL 論理設計ツール
- ・VHDL論理設計ツール
- ・自動配置配線ツール
- ・会話型回路・レイアウト設計ツール
- ・アナログ回路・レイアウト設計ツール
- ・アナログ回路シミュレータ（チップ試作申込者のみ利用可能）

サポートされるOS（平成11年4月現在）

- ・SUN Sparc: SunOS 4.1.X(今後サポート打ち切りとなっていく予定)
- ・SUN Sparc: SunOS 5.5.1以降
- ・HP9000: hpux 10.20以降

6.2. 申し込みガイド

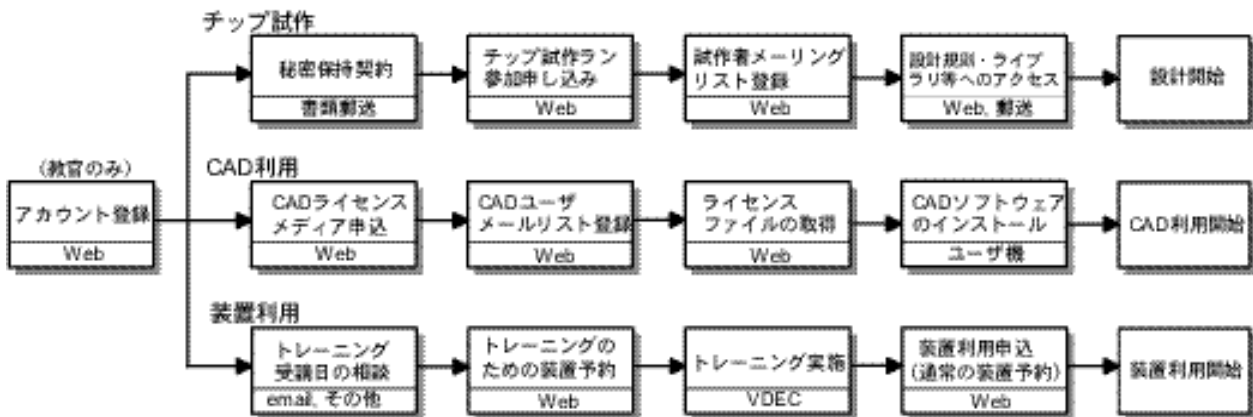


図6.1 VDEC利用申込の流れ

【VDEC利用方法の概要】

1. VDECの利用までの手順をまとめると図6.1のようになる。VDEC計算機アカウントは、大学・高専の教官にのみ発行され、チップ試作費用は、アカウント所有者宛てに請求される。
2. VDECにおける利用申請およびユーザへの案内は主にVDECのWebページ上で行われるため、VDECのホームページを正常に表示することができる日本語対応のWebブラウザが必要である。Netscape Communicator (ver.4.0以降)、Microsoft Internet Explorer (ver.4.0以降)、SUN HotJava などのブラウザでの動作を確認済みである。VDECホームページの上部にインデックスフレーム(図6.2)が表示されるので、これを用いて、アカウント申込、チップ試作申込、CAD利用申込、公開装置の利用申込のためのページ等を表示することが出来る。

【アカウント利用申込】

1. VDECホームページ(<http://www.vdec.u-tokyo.ac.jp/>)の新着情報よりアカウント登録・変更のページに入り(図6.3)ここから新規アカウントの申請の場合は「新規登録」のページへ、登録内容の変更またはアクセスホストの追加・変更の場合は「登録内容の変更」のページへと進む。

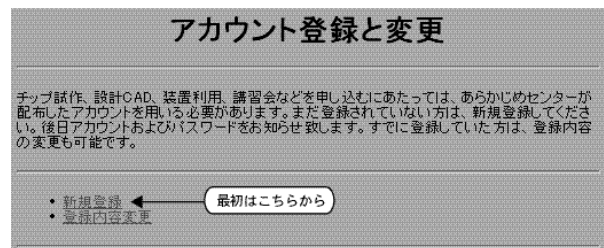


図6.3 アカウント登録・変更のページ。

注：このページの内容は時期により異なる。

2. 「新規登録」のページでは、フォームを全て埋めて内容を確認してから "Submit" ボタンをクリックする。特にemailアドレスに間違いがあると、パスワードその他の情報が送付されないし、誤ったラベルにより登録データベースが参照されるので危険である。また、間違ったIPアドレスまたは以下の要件を満たさないIPアドレスを指定すると、アカウントが発行されても、アクセス制限を行っているページへのアクセスができないので、申請情報を送信する前によく確認すること。
3. ここで登録するIPアドレスは、各種サービスの申し込み、アクセス制限を行っているWeb

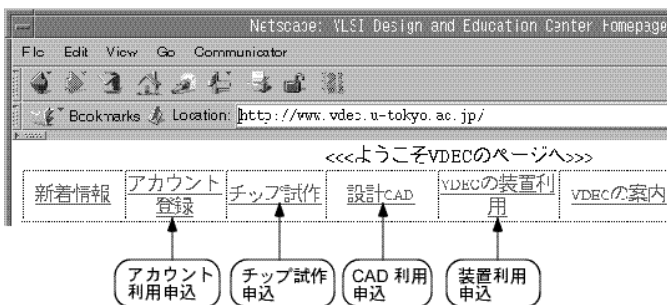


図6.2 VDECホームページのインデックスフレーム

ページ（機密情報等）へのアクセスを必要とするコンピュータ、および試作チップ設計データ提出に用いるコンピュータのIPアドレスである。

チップ試作のためのアカウント登録

注意事項: 当センタにおけるチップ試作のためのアカウント発行は、支払能力のある大学(高専)の支払責任能力のある教官に限定致します。
 その他の場合、上記教官を通じて登録をお願い致します。

・お名前: 費用負担していただく教官氏名(申請者氏名)

・よみがな:

・大学(高専)名:

・学科名:

・職位: どの項目入力でも半角カタカナを使用しないこと

・郵便番号:

・御住所:

・E-mail: アカウント申請者のメールアドレスを一つだけ記入

・電話番号:

・FAX番号: 先ずは、各種サービスの申込をするコンピュータを登録(半角文字で入力)

・IPアドレス:

注意事項: IPアドレスはWebのブラウザを実行している機械のIPアドレスです。複数指定する場合にはコンマ(,)で区切ってください。
 参考までに、現在このアクセスは133.11.65.78(ホスト名:)から行われております。

図6.4 アカウントの新規登録の注意点

入力に関する注意点(図6.4):

- ・全ての入力項目において半角カタカナを使用しないこと
- ・emailアドレスは、半角文字のみを使用すること
- ・IPアドレスは、半角文字のみを使用すること
- ・IPアドレスやドメイン名の区切りを表す(ピリオッド)と、複数のアドレスの区切りを表す(コンマ)を間違えないように注意すること
- ・名前の前後に不要なスペースが混入されないよう注意すること

登録するIPアドレスに関する要件

- ・アクセス制限を行わないページのみを参照するコンピュータのIPアドレスを登録する必要はない
- ・IPアドレスの登録数には制限を設けないが、管理の行き届いたコンピュータのみに限定すること
- ・DHCPサーバにより動的に割当られたIPアドレスやローカルアドレスなどは登録できない(しても意味が無い)

・Proxyサーバ等を介さないアドレスを指定すること。これは、設計規則等の機密情報がProxyサーバに残ってしまい、機密漏洩につながることを防ぐためであるので守っていただきたい。但し、fire wall が設置されているなど学内の事情により直接のアクセスが行えない場合にはその限りではない

4. 「登録内容の変更」のページでは、変更したい項目のみ、チェックボックスチェックの上、新しい内容を記入し、「登録」ボタンをクリックする。この際も、アクセスホストのIPアドレスの指定には十分注意をすること。(図6.5)

アカウント登録内容の変更

変更がある場合にはその項目のチェックボックスをチェックの上、内容の変更を行ってください。

・コースID: 変更する項目のみチェックをつける

・パスワード: どの項目入力でも半角カタカナを使用しないこと

・お名前: 費用負担していただく教官氏名(申請者氏名)

・所属: 東京大学 大規模集積システム設計教育研究センター

・住所: 113-8656 東京都文京区本郷 7-3-1

・E-mail: chnpdekita@vdec.u-tokyo.ac.jp アカウント申請者のメールアドレスを一つだけ記入

・電話番号: 03-1234-5678

・FAX番号: 03-1234-5679

・アクセスホスト(、で分割): 133.00.111.222,133.11.222.333,133.22.333.444 各種サービスの申込をするコンピュータを登録(半角文字のみを使用)

以上、再度入力をご確認ください。

図6.5 アカウントの登録内容変更の注意点

【チップ試作申込】

1. チップ試作申込には前項アカウント利用申込を行い発行されたアカウントが必要である。また、アカウント利用申込の際に登録したIPアドレスを割り当てたコンピュータからアクセスする必要がある。
2. 「チップ試作(チップサービスの案内)」のページ(図6.6)で申込条件、試作チップの種類、試作日程、試作料金を見て試作するチップの品種が決まったら「チップ試作申込」へ移動し、「受付中」の文字をクリックする。この時、ユーザIDとパスワードが要求されるので半角文字で入力すると、「チップ申込」のページが表示される。必要事項を記入して「申込」ボタンをクリックする。

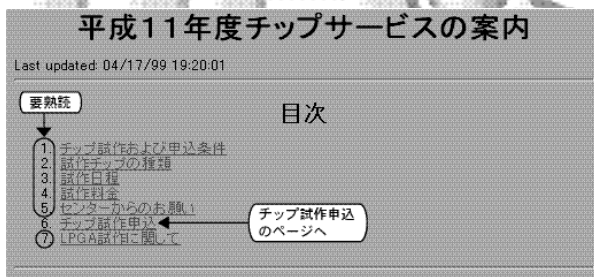


図6.6 チップ試作のページ

チップ申込フォームの入力に関する注意点(図6.7)

- ・希望チップ寸法の項目のチェックボックスを必ずチェックした上で希望チップ数を入力すること。チェックを行わないと入力した数字は無効となる
- ・チップ数入力は、半角数字のみを用いること

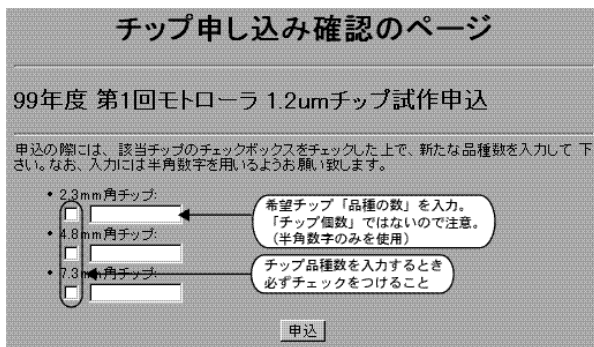


図6.7 チップ申込ページでの注意点

3. 「チップ試作申込確認のページ」(チップ試作申込の下方にリンクがある)を開いて、チップ寸法、品種数等が正しく申し込まれていることを確認する。
4. 「チップ試作(チップサービスの案内)」または「チップ試作申込」ページの左側のフレームに表示されている「チップ試作者のメーリングリスト」をクリックして、「設計者のメーリングリスト登録ページ」を表示させ、試作を行う予定の試作ランをクリックして実際に設計を行う設計者のメールアドレスをメーリングリストに登録する。

メーリングリスト登録での入力に関する注意点(図6.8)

- ・全角文字や半角カタカナを決して用いないこと
- ・入力フォームの文字数には制限があるので、多数の試作者が参加する場合には、一度に多くのメールアドレスを入力しないで後で

追加するとよい。追加する場合には、ラジオボタンを"追加"にしてから"登録"ボタンをクリックする

- ・(ピリオド)と,(コンマ)を間違えないように注意する(Web上ではこの見分けが困難である!)
- ・.ac.jpで終わるアドレス以外は、登録できない

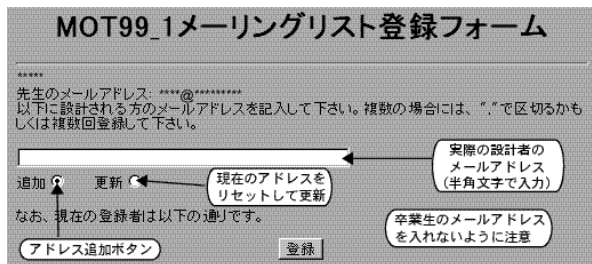


図6.8 チップ試作メーリングリスト登録ページでの注意点

チップ試作メーリングリストの利用に関する注意

- ・チップ試作の技術的な質問に関しては全てメーリングリストに流すようにすること。また、チップ試作を申し込むとチップ試作者のためのメーリングリストの過去の記事が参照できるようになっているので、一度目を通されたい
 - ・メーリングリストに登録したメールアドレスのアカウントについては各ユーザまたは管理者で厳重な管理をお願いしたい。学生が卒業後も登録メールアドレスを使用することのないように注意して頂きたい
 - ・メーリングリストに登録されたメールアドレスからネットワークプロバイダ等へのメールの転送を行わないこと
5. 当該プロセスにて始めて試作を行う場合、各ファウンダリー毎に秘密保持契約が必要となる。秘密保持契約書面は、「チップ試作申込完了」のページから迎れるようになっているので、ページをプリントアウトした上で内容を確認し書名の上VDEC宛てに送付すること。この手続きが完了するまで、設計規則等の機密情報にはアクセスできない。尚、秘密保持契約内容は、以降の同一プロセスによるチップ試作全てにおいて有効である。

【CAD利用申込】

1. CADの利用申込には、アカウント登録申請を行い発行されたアカウントが必要である。また、アカウント利用申込の際に登録したIPアドレスを持つコンピュータからアクセスする必要がある。
2. VDECホームページ上部のインデクスフレームで「設計CAD」をクリックすると「CAD利用登録の案内」のページ(図6.9)が現れるので「CAD利用申込」を選ぶと「申込用フォーム」が表示される。ライセンス数は、原則として最大同時利用者数分を申し込むこと。これは次回のCADソフトウェア入札の際の基礎データ収集の意味をかねている。

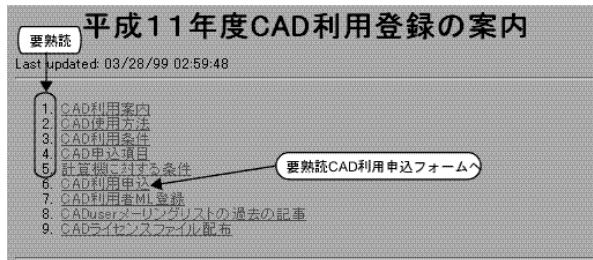


図6.9 CAD利用登録案内のページ

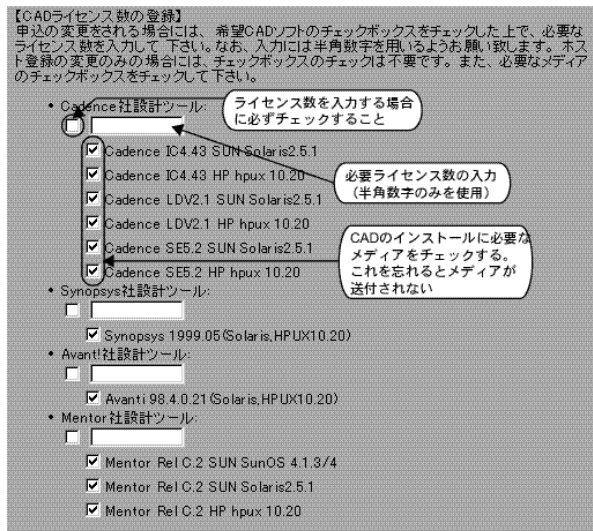


図6.10 CAD利用申込フォームの「ライセンス数の登録」パート記入における注意点

CADライセンス数入力に関する注意点(図6.10)

- ・希望するCAD項目のチェックボックスをチェックした上で必要なライセンス数を入力すること。チェックを行わないと入力した数字は無効となる
- ・ライセンス数の入力には、半角数字のみを使用すること

- ・必要に応じてCADのインストールの際に必要なメディアのチェックを行うこと。これを忘れるとメディアは送付されず、ライセンスのみが発行される

3. 「計算機アドレスの登録」のパート(図6.11)では、本CADソフトウェアの利用を考えている全てのコンピュータのアドレスを入力する必要がある。なお、登録する計算機のアドレスは、不正アクセスを防止するため、DNSによるホスト名の照合を行うため、DNSの逆引きが行えないコンピュータ、大学機関外に設置されているコンピュータなどは登録しても利用できないので注意すること。

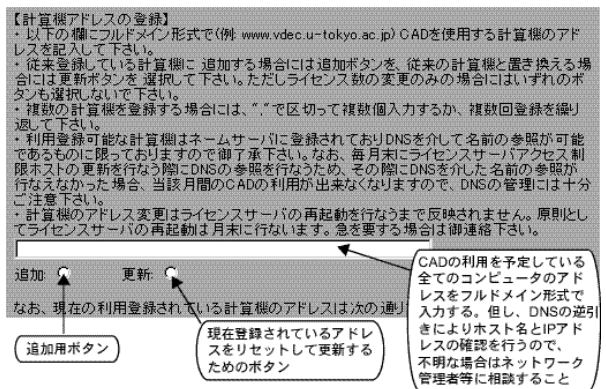


図6.11 CAD利用申込フォームの「計算機アドレスの登録」パート記入における注意点

計算機アドレス入力に関する注意点(図6.11)

- ・アドレスの指定はフルドメイン形式で行うこと
 - ・全角文字は用いないこと
 - ・入力フォームの文字数には制限があるので、多数の計算機アドレスを登録する場合には、一度に多くのメールアドレスを入力しないで後で追加するとよい。追加する場合には、ラジオボタンを「追加」にしてから「登録」ボタンをクリックする
 - ・(ピリオッド)と,(コンマ)を間違えないように注意する(Web上ではこの見分けが困難である)
4. フォームの記入後、「申込」ボタンをクリックすると送信確認画面が現れるので、表示された情報が正しいことを確認して「確認」ボタンをクリックする。ただし、CADライセンスサーバのアクセス制限の更新およびメディア

の送付は原則として毎月月末に行うため、月の途中での申し込みの場合即応ができないので注意すること。どうしても急遽必要な場合には別途連絡頂きたい。

5. 申込完了後に必ず申込のページをリロードしてライセンス数、計算機アドレスなどが正しく申し込まれていることを確認すること。
6. CADツールのメディアに関しては、周囲で既に所有している教官から借りてインストールすることは一向に差し支えない。また、メディアは当該年度に標準と考えるバージョンのみとなっているが、それ以前のバージョンに関しても希望があれば送付するので、別途ご連絡されたい。
7. CADライセンスサーバに関する情報、その他CAD関係の情報はすべてCAD利用者メーリングリスト (CADuser@vdec.u-tokyo.ac.jp) 上で行うので、CADツールを利用する方と管理者を登録すること。但し、CADツールの利用申込をしないと登録が出来ないようにしている。「CAD利用者メーリングリストの登録」のページは、「CAD利用登録の案内」ページから迎れる。

メーリングリスト登録フォームの入力に関する注意点(図6.12)

- ・全角文字や半角カタカナを用いないこと
- ・入力フォームの文字数には制限があるので、多数の試作者が参加する場合には、一度に多くのメールアドレスを入力しないで後で追加するとよい。追加する場合には、ラジオボタンを"追加"にしてから"登録"ボタンをクリックする
- ・(ピリオド)と、(コンマ)を間違えないように注意する
- ・ac.jp で終わるアドレス以外は、登録できない

The screenshot shows the registration form for the CAD user mailing list. It includes a title '99CAD利用者メーリングリスト登録フォーム' and instructions for entering email addresses. Annotations highlight key features: '追加' (Add) and '更新' (Update) buttons, a note that the current registration address is reset for updates, a warning that graduation addresses are removed, and a note that only half-width characters should be used for the actual CAD tool user email address.

図6.12 CAD利用者メーリングリスト登録における注意点

CAD利用者メーリングリストの利用に関する注意

- ・CADのインストール、その他の質問はすべてメーリングリスト上で行うこと。また、過去のメールが参照できるようになっているので、一度目を通されたい。
- ・CAD利用申込を行ったVDECアカウント管理者には、時々「CAD利用者メーリングリストフォーム」のページをチェックし、卒業生のメールアドレスをメーリングリストから除くなどアカウントのメンテナンスにご協力頂きたい。
- ・メーリングリストのセキュリティのため、登録者が登録アドレスからプロバイダー他のメールの転送を行わないように注意して頂きたい。

[参考] CADツールの実行するためには、ユーザ機へのライセンスファイルのインストールとCADツールの実行時におけるVDECまたは地域拠点校のライセンスサーバによる認証が必要である(図6.13)。ライセンスファイルの変更により認証を行うライセンスサーバを切り替えることが出来るので、VDEC または地域拠点校のどちらかのライセンスサーバがメンテナンス等の事情により停止している場合でも、稼働中のもう一方のライセンスサーバを選択することによりCADソフトウェアを実行することが可能である。また、ライセンスサーバの認証は、CAD ツール起動後も定期的に行われるので、CADツールを実行中は常時ライセンスサーバとの通信が可能な状態にしておかなければならない。ファイアウォールを使用しているネットワーク環境では、VDECのWebサーバとVDECおよび地域拠点校のライセンスサーバへのアクセスを可能にするための特別な設定が必要である(図6.14)。この場合、各校のネットワーク管理者と相談すること。

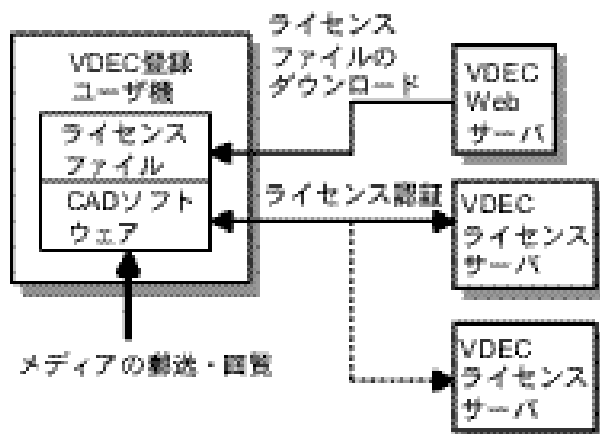


図6.13 CADライセンスングの方法

1 ライセンスサーバとして東京大学VDECと最寄りの地域拠点校を選択可能

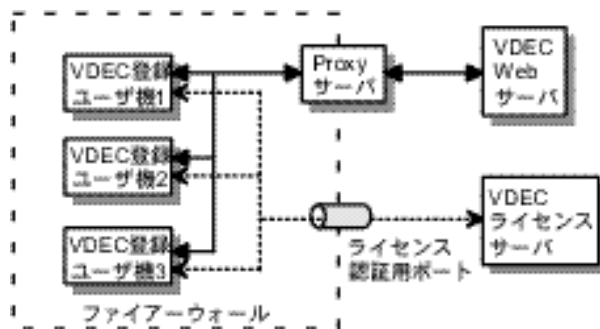


図6.14 ファイアウォールを通したVDECへのアクセス方法

VDEC