



ここに大規模集積システム設計教育研究センター(VDEC)の4巻目の年報を発行する運びとなった。平成8年(1996年)6月に全国の国公立大学と工業高等専門学校のための共同利用センターとして東京大学に設置されて以来、VDECの活動暦は5年目に入ったことになる。幸いにして、全国の大学等における大規模集積回路(VLSI)の試作を支援するVDECの中心的プログラムは、本年報の記録に見られるように順調な進展を続け、また講習会、セミナー、フォーラム等を通じてのVLSI設計に関する教育情報の普及活動も、関係者のご努力により定着して来た。ファウンドリ(試作担当社)に若干の変更はあったが、いずれも技術内容は変わらずに継承されており、一方新たなテクノロジー・メニューも増加した。これまで担当された各社のご苦勞に深く感謝し、またVDECの活動の意義を理解下さって快くバトンを引き継がれた、あるいは新しく参加して下さいました各社に敬意を表するものである。

大学の側から見ると、VDECをめぐる環境には大別して二つの変化の兆候が現われていると言えよう。第一は、VDECの利用者が増加したという喜ぶべき状況の反面で、これに柔軟に対応してVDECの組織を拡大できるわけではないために、日常の活動にいくらかのひずみが現われかねないという点である。発足当時から、VDECは関係の方々の同志的な協力と寛容のお蔭をこうむっており、無論これにいつまでも甘えずに改善の努力を続けて行くつもりではあるが、一方、窓口で自動的にサービスが受けられるような共同利用施設の姿が、直ちに実現されるものではないという点にも、ユーザー各位のご理解を頂きたいとお願いする次第である。

第二の、より重要な問題は、大学に係わる諸制度の改革との関係である。特に工学系における産業界との積極的連携に関して、VDECはこれまでも産学間の相互理解と情報の交流にいささかの寄与を成して来たと自負するものであるが、一方においてVDECの根本的使命は、教育と基盤的研究という地道で息の長い継続的な努力を通じて、創造力をもったVLSI技術の若い担い手を育て社会に送り出すことにある。一つの面を強調するあまりに他の面を阻害することのないよう配慮しながら、VDECの持続的な活動を可能とする枠組みの構築を進めたいと考えており、関係各位の引き続いての御理解と御支援をお願いしたい。そのためにもこの年報が、VDECの歩みとその意図するところを御理解いただく一助となることを希望してやまない。

平成12年8月

大規模集積システム設計教育研究センター  
センター長(平成11年度)

鳳 紘一郎

巻 頭 センター長挨拶

第1章 VDEC概要.....

- 1. 1. VDEC組織概要
- 1. 2. 人事報告
- 1. 3. 決算報告

2

第2章 平成11年度VDEC事業報告.....

- 2. 1. VLSIチップ試作
- 2. 2. CADソフトウェアの整備
- 2. 3. セミナー開催
- 2. 4. 教材整備・情報発信
- 2. 5. 装置の整備・運用・利用公開

6

第3章 研究報告.....

- 3. 1. 研究室構成員
- 3. 2. 研究概要
- 3. 3. 発表文献

21

第4章 平成12年度の活動計画.....

40

第5章 チップ試作結果報告.....

- 5. 1. 試作結果
- 5. 2. チップ種別索引
- 5. 3. チップ試作者の発表文献リスト

43

第6章 付録.....

151



## 第1章 VDEC 概要

### 1.1. VDEC 組織概要

VDECは平成8年度に発足した。当初は専任教官5名と事務官1名という小さな組織であったが、平成9年度に専任教官2名と事務官1名が増員された。さらに、全国の大学と連携を密にする目的で、各大学から2年を単位として2名の教官を派遣する「流動教官ポスト制度」が平成9年度からスタートした。平成10年度までは東北大学と横浜国立大学が

それぞれ1名ずつ、平成11年度からは広島大学と金沢大学からそれぞれ1名ずつの流動助教授がVDECに派遣されている。また、産業界と協力を行うため、客員教授(1種)が1名おかれている。従って、VDECは現在、専任教官9名、客員教授1名、事務官2名の定員を有しているが、他にも多くの協力教官の援助を得ながらVDECは運営されている。

### 1.2. 人事報告

#### VDEC 人事

センター長・教授 鳳 紘一郎(平成12年3月までセンター長)

センター長・教授 浅田 邦博(平成12年4月からセンター長)

客員教授 田中 正文

助教授 平本 俊郎

助教授 北川 章夫

助教授 小出 哲士

講師 池田 誠

助手 韓 小逸(平成12年3月まで)

助手 鄭 若彤

助手 伊藤 浩(平成12年3月まで)

助手 三田 吉郎(平成12年4月より)

助手 石原 亨(平成12年4月より)

事務主任 松本 直衛(平成12年3月まで)

事務主任 岩下 健吾(平成12年4月より)

事務掛長 清水 要

事務掛員 石井 肇雄(平成12年4月より)

センター長秘書 吉田 直美

協力教官 柴田 直(東京大学新領域創成科学研究科教授)

藤田 昌宏(東京大学工学系研究科電子工学専攻教授)

藤島 実(東京大学新領域創成科学研究科助教授)



鳳 紘一郎



浅田 邦博



田中 正文



藤田 昌宏



柴田 直



平本 俊郎



北川 章夫



小出 哲士



藤島 実



池田 誠



韓 小逸



若形



伊藤 浩



三田 吉郎



石原 亨



松本 直衛



岩下 健吾



清水 要



石井 肇雄



吉田 直美

## 運営委員会構成（平成 11 年度）

委員長	鳳 紘一郎	東京大学大規模集積システム設計教育研究センター長	教授
委員	大 矢 禎 一	東京大学新領域創成科学研究科，総長補佐	教授
"	浅 田 邦 博	東京大学大規模集積システム設計教育研究センター	教授
"	平 本 俊 郎	東京大学大規模集積システム設計教育研究センター	助教授
"	南 谷 崇	東京大学先端科学技術研究センター	教授
"	宮 永 喜 一	北海道大学工学研究科電子情報工学専攻	教授
"	大 見 忠 弘	東北大学未来科学技術共同研究センター	教授
"	國 枝 博 昭	東京工業大学工学部電気・電子工学科	教授
"	上 田 和 宏	芝浦工業大学システム工学科電子情報システム学科	教授
"	柳 沢 政 生	早稲田大学理工学部電子・情報通信学科	教授
"	鈴 木 正 國	金沢大学工学部電気・情報工学科	教授
"	島 田 俊 夫	名古屋大学工学研究科電子情報学専攻	教授
"	小野寺 秀 俊	京都大学情報学研究科通信情報システム専攻	教授
"	谷 口 研 二	大阪大学工学研究科電子情報エネルギー工学専攻	教授
"	岩 田 穆	広島大学工学部第二類（電気系）	教授
"	安 浦 寛 人	九州大学システム情報科学研究科情報工学専攻	教授
"	山 内 寛 紀	立命館大学理工学部電気電子工学科	教授

## 協議会構成（平成 11 年度）

協議員	鳳 紘一郎	東京大学大規模集積システム設計教育研究センター長	教授
"	中 島 尚 正	東京大学工学系研究科長	教授
"	浅 田 邦 博	東京大学大規模集積システム設計教育研究センター	教授
"	神 谷 武 志	東京大学工学系研究科電子工学専攻	教授
"	田 中 英 彦	東京大学工学系研究科電気工学専攻	教授
"	岡 部 洋 一	東京大学先端科学技術研究センター長	教授
"	荒 川 泰 彦	東京大学先端科学技術研究センター	教授
オブザーバー	大 矢 禎 一	東京大学新領域創成科学研究科，総長補佐	教授

# 1.3. 決算報告

## 1. 平成11年度経費

人件費	66,893,567円	校費	143,539,000円
職員旅費	674,000円	電子計算機借料	96,642,000円
講師等旅費	746,000円	施設整備費	75,900,000円

## 2. 平成11年度科学研究費補助金

研究者	研究題目	種類	金額(千円)
浅田 邦博	大規模集積回路設計データの知的検証に関する研究	基盤研究A(2)	1,500
浅田 邦博	新しい同期概念を用いたマイクロプロセッサアーキテクチャの研究	基盤研究B(2)	4,200
平本 俊郎	リソグラフィ限界を超えた制御性の良いシリコンナノデバイスの作製に関する研究	基盤研究B(2)	7,300
平本 俊郎	量子効果を積極利用した薄膜SOI MOSFETの性能向上とばらつき低減の研究	基盤研究B(2)	3,500
小出 哲士	遺伝的アルゴリズムアクセラレータを用いたVLSIレイアウト設計システムの開発	奨励研究A	300
池田 誠	最短距離探索機構を有する機能メモリの研究	奨励研究A	1,000
	計		17,800

## 3. 平成11年度産学連携経費

研究者	研究題目	種類	金額(千円)
鳳 紘一郎	ULSI設計教育に関する研究	共同研究	13,080
平本 俊郎	量子スケールデバイスのシステムインテグレーション	受託研究	714

## 4. 平成11年度奨学寄付金

以下の企業から寄付をいただきました。

- ・ (株)日立製作所 デバイス開発センター
- ・ (財)電気・電子情報学術振興財団
- ・ (株)日立製作所 半導体グループ半導体技術開発統括本部
- ・ 日産自動車(株)
- ・ 日本電気(株) LSI事業本部システムLSI設計技術本部
- ・ (株)富士通研究所
- ・ 三菱電気(株) システムLSI事業化推進センター
- ・ (財)次川情報通信基金
- ・ 富士電機(株)
- ・ (株)半導体理工学研究センター
- ・ (株)東芝 セミコンダクター社

受入額計11,750,000円

## 第2章 平成11年度VDEC事業報告

平成11年度も前年度までに引き続き、「VLSIチップ試作」の安定的運用、「CADソフトウェアの配布・運用」、「セミナー開催」、「教材整備による情報の発信」、および「装置の整備・運用・利用公開」により、『LSI教育情報の発信拠点形成』、『VLSI設計支援教

育用CADソフトウェアの整備』、『VLSIチップ試作支援』の3つの柱の円滑な運営を目指した事業を展開した。図2.1に示すVDECの活動内容に基づき、以下に平成11年度の事業の概要を報告する。

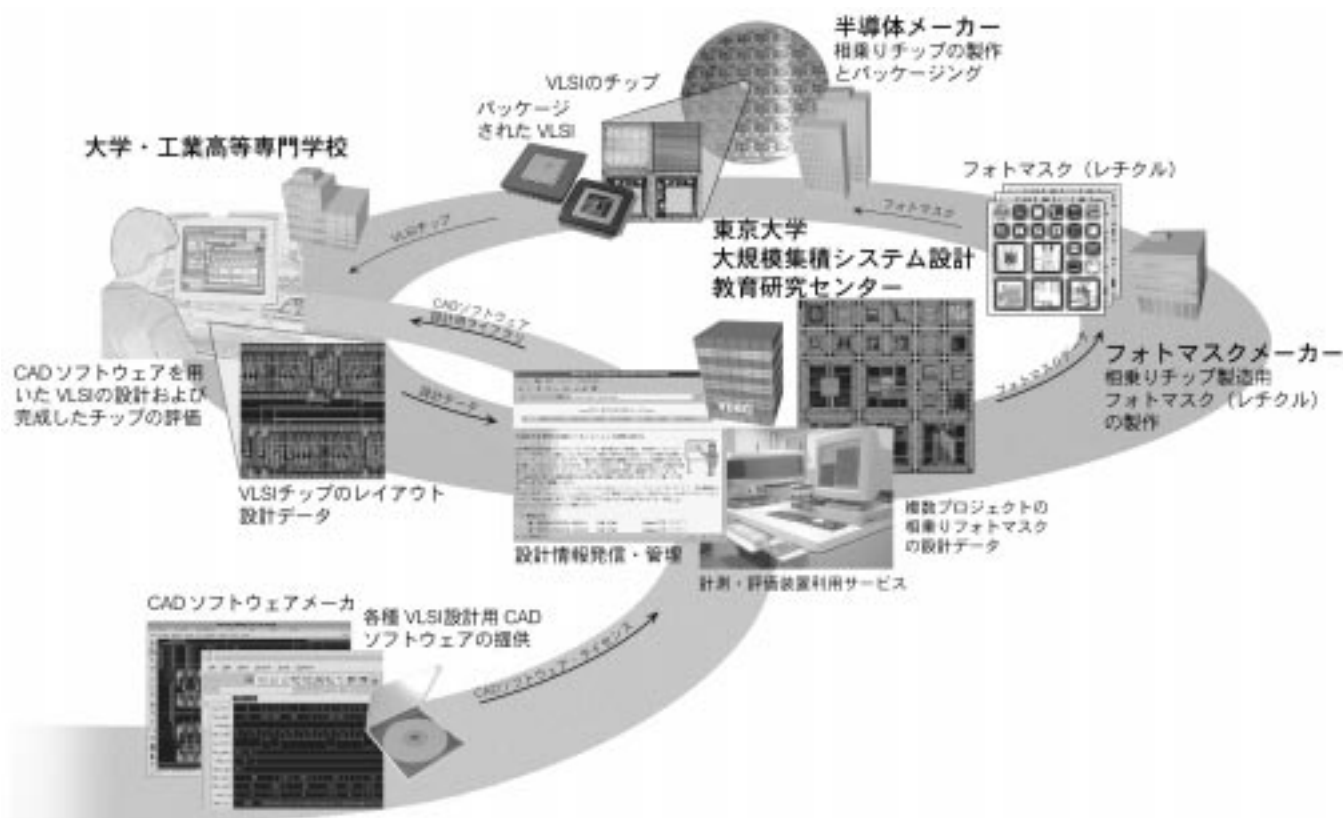


図2.1 VDECの活動内容

### 2.1. VLSIチップ試作

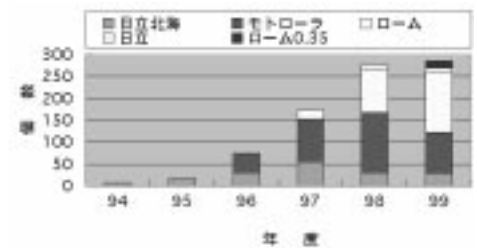
図2.2にVDECおよびそれに先行する通産省のパイロットプロジェクトでのチップ試作数の推移を示したものである。

VLSIチップ試作は、平成6,7年度(1994,1995年度)のパイロットプロジェクトでは、ファウンドリはNEL社のCMOS 0.5  $\mu\text{m}$ (現在当該プロセスは日立北海セミコンダクタ社にて継続されている)1社であったが、平成8年度(1996年度)のVDEC発足後、日本モトローラ社のCMOS 1.2  $\mu\text{m}$ (平成12年度からは、オン・セミコンダクターにて継続)が協力を開

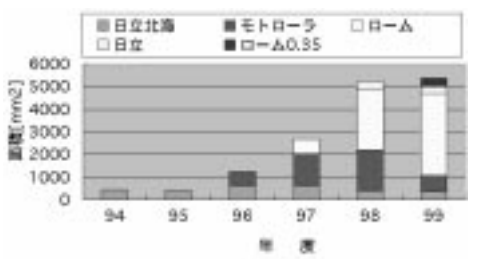
始し、平成9年度からはローム社のCMOS 0.6  $\mu\text{m}$ が加わった。さらに平成10年度には日立製作所のCMOS 0.35  $\mu\text{m}$ 、平成11年度にはローム社0.35  $\mu\text{m}$ がそれぞれ加わり、試作品種数、試作面積ともに依然として増加傾向にある。

図2.2(a)は設計されたチップ品種数を示す。図2.2(b)に設計されたチップ面積を示す。試作プロセスが微細化すると、集積度が向上することで、見かけ上試作面積が減少するように見える場合がある。そこで、図2.2(c)に試作面積をそれぞれの試作プロセスにおける

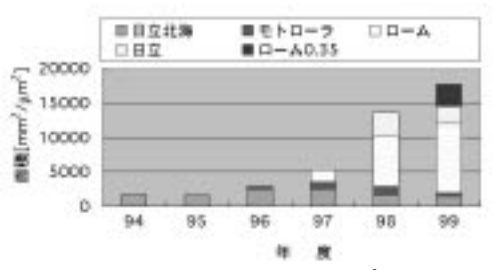




(a) チップ試作数推移



(b) チップ試作面積推移



(c) 特性寸法で規格化したチップ試作面積推移

図 2.2 VDECチップ試作実績の推移

特性寸法で規格化した ,規格化試作面積の傾向も併せて示す .

また ,図2.3にこれまでに試作に参加した教官数 ,大学数の推移およびその累計を示す .また ,チップ試作に必要な設計規則などの 試作会社固有の機密情報にアクセスするための「機密保持契約」締結教官数は日立北海セミコンダクタが27名 ,日本モトローラが87名 ,ロームが100名 ,日立製作所が25名となっている .

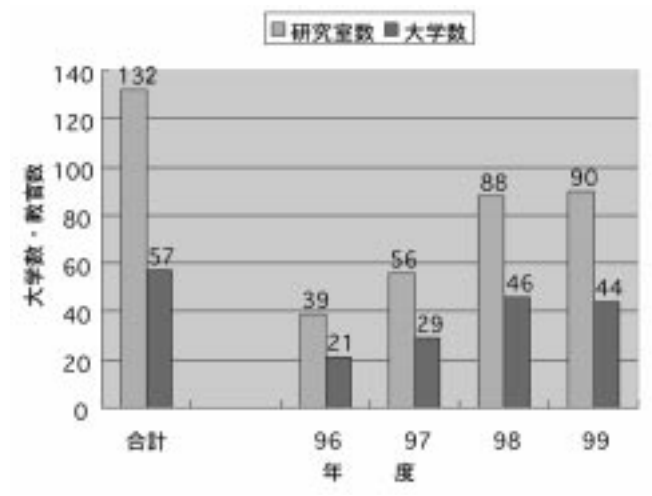


図 2.3 VDECチップ試作参加教官数・大学数の推移とその累計

【平成 11 年度チップ試作概況】

平成11年度は ,表2.1に示す日程でチップ試作を行った .チップ試作の参加者・試作の内容は ,第5章の

チップ試作報告を参照されたい .

表 2.1 チップ試作日程

設計締切日	チップ納品日	プロセス
平成11年 5月10日	平成11年11月 8日	CMOS 0.6 μm 2P3M ローム
平成11年 6月25日	平成12年 1月21日	CMOS 0.5 μm 1P3M 日立北海
平成11年 8月23日	平成12年 2月16日	CMOS 0.6 μm 2P3M ローム
平成11年10月 4日	平成11年 3月13日	CMOS 1.2 μm 2P2M モトローラ
平成11年11月 6日	平成12年 3月 7日	CMOS 0.35 μm 2P3M ローム
平成11年12月 3日	平成12年 5月 8日	CMOS 0.5 μm 1P3M 日立北海
平成12年 1月17日	平成12年 3月15日	CMOS ゲートアレイ 0.35 μm 1P5M 日立
平成12年 2月14日	平成12年 5月15日	CMOS 0.6 μm 2P3M ローム
平成12年 4月 3日	平成12年 7月21日	CMOS 1.2 μm 2P2M モトローラ

## 【ライブラリ整備状況】

VDECにおけるチップ試作(主にデジタルLSI試作)では、設計ライブラリの整備が重要である。VDECでは、VDEC提供CADソフトウェア中のライブラリ生成ツールを利用して、平成8年度から順次ライブ

ラリ整備事業を行ってきている。現状では、VDECにおける各プロセスの試作において、利用可能なライブラリは表2.2に示す通りとなっている。

表2.2 プロセスライブラリ整備状況

プロセス	名称	作成者	内容	状況
HH5(NEL)0.5μm	P2lib	京都大学 田丸・小野寺 研究室	<ul style="list-style-type: none"> <li>• Synopsys用論理合成ライブラリ</li> <li>• VerilogXL用シミュレーションライブラリ</li> <li>• CellEnsemble用配置配線ライブラリ</li> </ul>	試作チップの動作検証完了
	<a href="http://www.vdec.u-tokyo.ac.jp/DesignLib/P2lib/NEL05/index.html">http://www.vdec.u-tokyo.ac.jp/DesignLib/P2lib/NEL05/index.html</a>			
HH5(NEL)0.5μm	EXDlib	九州大学 安浦研究室	<ul style="list-style-type: none"> <li>• Synopsys用論理合成ライブラリ</li> <li>• VerilogXL用シミュレーションライブラリ</li> <li>• VHDL用シミュレーションライブラリ</li> <li>• AquariusXO(ApolloXO対応済み)用配置配線ライブラリ</li> <li>• CellEnsemble用配置配線ライブラリ</li> </ul>	試作チップの動作検証完了
	<a href="http://www.vdec.u-tokyo.ac.jp/DesignLib/Kyushu/NEL05/index.html">http://www.vdec.u-tokyo.ac.jp/DesignLib/Kyushu/NEL05/index.html</a>			
MOT1.2μm	P2lib	京都大学 田丸・小野寺 研究室	<ul style="list-style-type: none"> <li>• Synopsys用論理合成ライブラリ</li> <li>• VerilogXL用シミュレーションライブラリ</li> <li>• CellEnsemble用配置配線ライブラリ</li> </ul>	試作チップの動作検証完了
	<a href="http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/MOT15/rule.html">http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/MOT15/rule.html</a>			
MOT1.2μm	EXDlib	東京大学 VDEC	<ul style="list-style-type: none"> <li>• Synopsys用論理合成ライブラリ</li> <li>• VerilogXL用シミュレーションライブラリ</li> <li>• AquariusXO(ApolloXO対応済み)用配置配線ライブラリ</li> </ul>	
	<a href="http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/MOT15/rule.html">http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/MOT15/rule.html</a>			
ROHM0.6μm	EXDlib	豊橋技科大田所 川人研究室	<ul style="list-style-type: none"> <li>• CellEnsemble用位置配線ライブラリ</li> </ul>	東大版をCellEnsembleに移植
	<a href="http://www.vdec.u-tokyo.ac.jp/DesignLib/TUT/ROHM06/index.html">http://www.vdec.u-tokyo.ac.jp/DesignLib/TUT/ROHM06/index.html</a>			
	EXDlib	東京大学 VDEC	<ul style="list-style-type: none"> <li>• Synopsys用論理合成ライブラリ</li> <li>• VerilogXL用シミュレーションライブラリ</li> <li>• AquariusXO(ApolloXO対応済み)用配置配線ライブラリ</li> </ul>	
<a href="http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM06/rule.html">http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM06/rule.html</a>				
ROHM0.6μm	パスポート ライブラリ		<ul style="list-style-type: none"> <li>• Synopsys用論理合成ライブラリ</li> <li>• VerilogXL用シミュレーションライブラリ</li> <li>• VHDL用シミュレーションライブラリ</li> <li>• ApolloXO用配置配線ライブラリ</li> <li>• RAM、ROMモジュール</li> </ul>	ロームから提供
	CDROMにて配布			
日立0.35μm	EXDlib	東京大学 VDEC	<ul style="list-style-type: none"> <li>• Synopsys用論理合成ライブラリ</li> <li>• VerilogXL用シミュレーションライブラリ</li> <li>• AquariusXO(ApolloXO対応済み)用配置配線ライブラリ</li> </ul>	
	<a href="http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/HIT35/rule.html">http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/HIT35/rule.html</a>			
	日立ゲート アレイ		<ul style="list-style-type: none"> <li>• Synopsys用論理合成ライブラリ</li> <li>• VerilogXL用シミュレーションライブラリ</li> <li>• AquariusXO(ApolloXO対応済み)用配置配線ライブラリ</li> </ul>	日立から提供のセルをApolloGAに移植
CDROMにて配布				
ROHM0.35μm	EXDlib	東京大学 VDEC	<ul style="list-style-type: none"> <li>• Synopsys用論理合成ライブラリ</li> <li>• VerilogXL用シミュレーションライブラリ</li> <li>• AquariusXO(ApolloXO対応済み)用配置配線ライブラリ</li> </ul>	
	<a href="http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM035/rule.html">http://www.vdec.u-tokyo.ac.jp/CHIP/DesignRule/ROHM035/rule.html</a>			
	パスポート ライブラリ		<ul style="list-style-type: none"> <li>• Synopsys用論理合成ライブラリ</li> <li>• VerilogXL用シミュレーションライブラリ</li> <li>• VHDL用シミュレーションライブラリ</li> <li>• ApolloXO用配置配線ライブラリ</li> <li>• RAM、ROMモジュール</li> </ul>	ロームから提供
CDROMにて配布				

## 【新規プロセスのためのチップ試作テストラン】

平成11年度は、平成12年度から予定しているチップ試作サービス開始に先駆けて、 $0.35\ \mu\text{m}$ チップ試作にかかわる、セルライブラリの整備、設計手法の整備のためのテストランを実施した。また、平成10年度にフルカスタムチップ試作としてテストランを行った日立製作所の $0.35\ \mu\text{m}$ チップ試作を、ゲート

アレイチップ試作に特化するための、設計手法の確立に向けたテストランを実施した。

それぞれのテストランの参加者は表2.3、表2.4に示したとおりである。なお、テストランの試作内容に関しては、第5章チップ試作者報告も併せて参照されたい。

表 2.3  $0.35\ \mu\text{m}$ チップ試作のためのテストラン参加者

大学名	教官名
東京大学	浅田邦博 池田 誠 平本俊郎
東京大学, 広島大学	小出哲士
東京大学	安藤 繁
東京大学	相澤清晴
東北大学	舩岡富士雄
東北大学	樋口龍雄
東北大学	小谷光司
京都大学	小野寺秀俊
大阪大学	谷口研二
大阪大学	尾上孝雄
九州大学	安浦寛人
広島大学	岩田 穆
広島市立大学	越智裕之
奈良先端科学技術大学院大学	太田 淳
芝浦工業大学	上田和宏

表 2.4 日立製作所 $0.35\ \mu\text{m}$ ゲートアレイ試作のためのテストラン参加者

大学名	教官名
東京大学	浅田邦博, 池田 誠
東京大学	柴田 直
東京大学, 金沢大学	北川章夫, 秋田純一
東京大学, 広島大学	小出哲士, 若林真一
京都大学	小野寺秀俊
九州大学	安浦寛人

## 2.2. CADソフトウェアの整備

平成8年度に導入されたCADソフトウェア(表2.5)は,図2.4に示す全国地域拠点校10箇所ライセンスサーバを設置し,全国各大学の利用者が手許の計算機にインストールしたCADソフトウェアを,最寄のライセンスサーバにおいて認証を行うことで,CADソフトウェアが利用できるという,ネットワークを利用した運用形態となっている。

ライセンス数はCADの項目ごとに600から1000程度のフローティングライセンスとなっており,全国の大学・高専において教育・研究目的に限り利用できるようになっている。VDECのCADの利用,お

よび2.1項のチップ試作の利用のためには,あらかじめユーザ登録が必要となっているが,これまでVDECに利用登録をしている(a)全国教官数,および(b)その所属する大学数,および(c)CADの利用申請があった研究室(教官)数の推移は図2.5の通りである。

図2.6にCADの利用状況の指標として,ライセンスサーバにおける認証回数の推移を示す。ただし,ツールによって認証方法が異なることや,拠点校におけるライセンス認証数の調査は1998年度以降であることから,年度間,ツール間の利用頻度を単純には比較できないが,利用実績は着実に増加している。

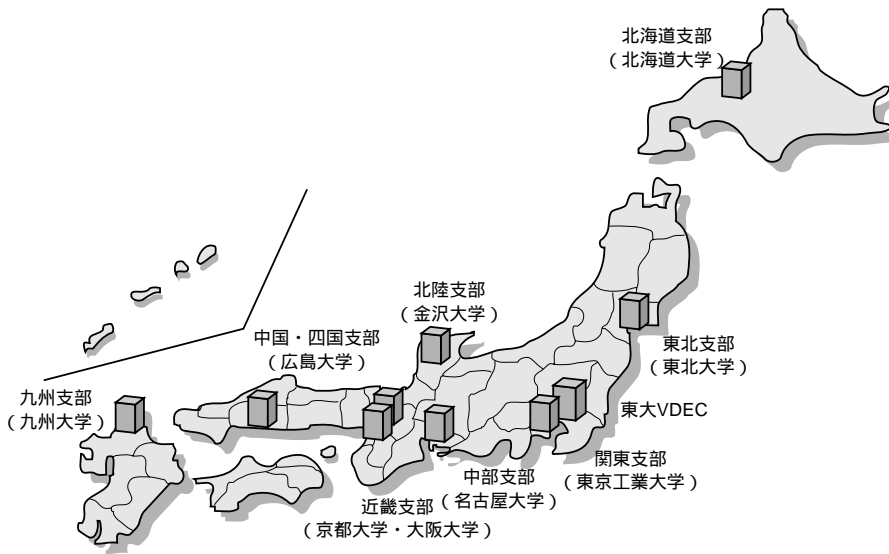
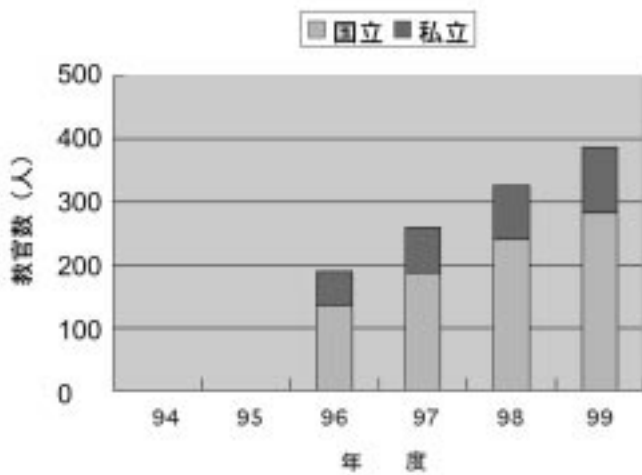


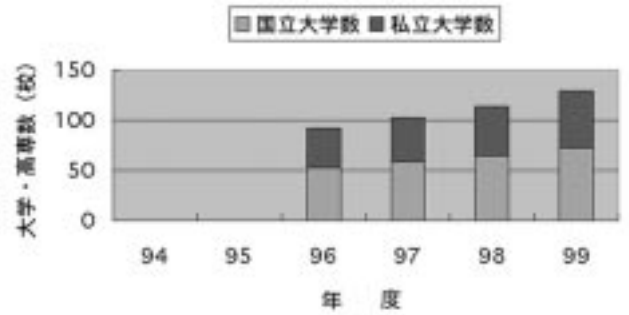
図2.4 全国地域拠点校

表2.5 導入されたCADシステム

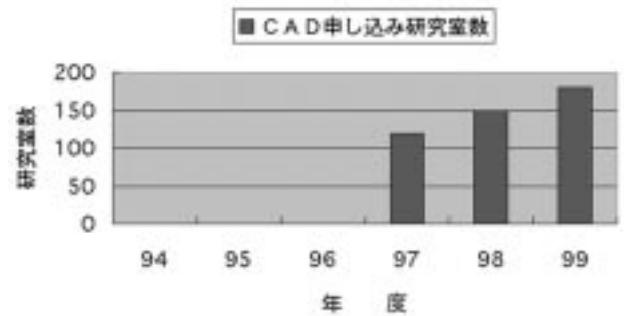
項目	用途	メーカー
Cadence社設計システム	Verilog HDL/VHDLベースの入力, シミュレーション, 論理合成, テスト生成, マクロセルを含むセルベースの配置配線とバックアノテーション, 会話型の回路図およびマスクレイアウト入力, アナログ機能・回路シミュレーション, 設計検証, 回路抽出	Cadence Design Systems, Inc.
Synopsys社設計システム	Verilog HDL/VHDLシミュレーション, 論理合成, テスト生成	Synopsys, Inc.
自動配置・配線設計システム	マクロセルを含むセルベースの配置配線設計とバックアノテーション	Avant! Co.



(a) 利用登録教官数



(b) パスワード発行教官の大学・高専数



(c) CAD申し込み研究室数

図 2.5 ユーザー登録数およびCAD申し込み数の推移

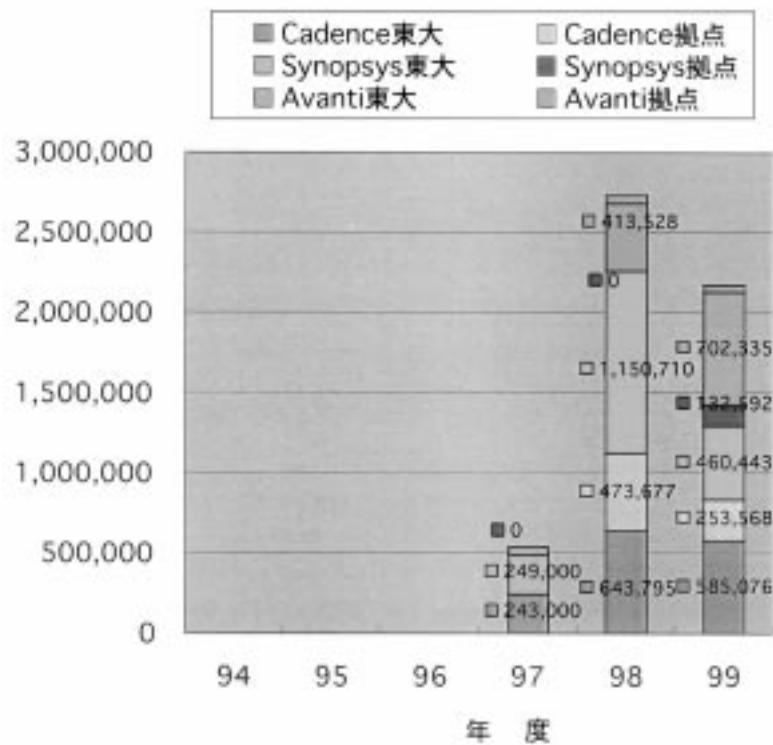


図 2.6 ライセンス認証数の推移

## 2.3. セミナー開催

LSI 設計技術の向上にはセミナーは欠くことができない存在である。平成 11 年度には、CAD 利用のための技術セミナー、社会人のためのリフレッシュセミナー、若手教官・学生のためのデザイナーフォーラム等のセミナー・フォーラムを企画・実施した。

### 【CAD 利用のための技術セミナー】

CAD 利用のための技術セミナーでは、VDEC で現在使用可能な Cadence, Synopsys, Avant! のそれぞれの CAD ツールの操作方法等を各ツールベンダーから講師を派遣していただき講習を行っている。また、VDEC で開発したライブラリを用いたチップ設計に関する講習も VDEC スタッフで実施している。平成 11 年度は、8 月、9 月に初心者を対象とした第 1 回の CAD 利用のための技術セミナーを東京大学 VDEC で実施した(表 2.6)。この技術セミナーでは、Cadence のツールを 4 日間、Synopsys のツールを 3 日間、Avant! のツールを 2 日間、VDEC ライブラリ講習を 1 日間で実施し、各コースに約 50 名の教官・学生の受講があり、各ツールの使用方法や VDEC ライブラリを用いた VLSI 設計フローを修得している。また、2、3 月には上級者を対象とした CAD 技術セミナーを地方拠点(大阪、金沢、広島、東北)で実施し、Cadence, Synopsys, Avant!, Star-HSPICE 等の最新のツールの



上級トレーニングを行った(表 2.6)。これら CAD 技術セミナーへの参加要望は非常に大きいため、VDEC 拠点校の協力を得ながら各地方拠点校で開催しているが、地方拠点開催でもその地方からの参加者にとどまらず、遠方からの参加希望が多く寄せられている。これは CAD 技術セミナーに対する需要が依然として大きなことを表しており、より大規模な CAD 技術セミナー開催の仕組みの整備が急がれる状況にある。

表 2.6 平成 11 年度 CAD 技術セミナー開催状況

講習項目	会場	開催日	参加人数	講習概要
Cadence 下流	東京大学	平成 11 年 8 月 9 日 ~ 10 日	50	Layout Editor の使用方法、Parameterized Cell の概念、及び作成方法、Stream 変換
Cadence 上流	東京大学	平成 11 年 8 月 11 日 ~ 12 日	50	Cell Ensemble のデザインフロー、入力データ・フォーマット、配置、配線に関する基本操作
Synopsys	東京大学	平成 11 年 8 月 17 日 ~ 19 日	50	論理回路の合成方法や合成結果の解析など Design Compiler, VSS の基本的な使い方の習得
Avant!	東京大学	平成 11 年 9 月 13 日 ~ 14 日	50	データベース管理ツール Milkyway と配置・配線ツール Apollo の利用法の説明

講習項目	会 場	開 催 日	参加人数	講習概要
Star-HSPICE	金沢大学	平成12年3月6日～7日	20	Star-HSPICEの基本的な機能と回路記述方法を中心に演習問題を通じてStar-HSPICEの操作方法の習得
Synopsys	大阪大学	平成12年3月22日～24日	25	Design Compilerに関する上級トレーニングChip Synthesis2の講習と演習，並びにVSSの基本・応用シミュレーションの講習・演習
Cadence	広島大学	平成12年3月27日～28日	25	Physical Design and Verification:Divya,Draculaによる各種設計検証手法について，それぞれツールの機能・操作及び検証フローの概要説明とラボデータを使用したオペレーションデバッグ方法の演習
Avant!	東北大学	平成12年3月30日～31日	25	セルライブラリーデータベース構築や外部データの入出力を行うMilkywayと配置/配線ツールのApolloに関する上級トレーニング，並びにゲートアレイ向け配置配線ツールであるApollo-GAとタイミングドリブン配置配線に関する講習

## 【社会人のためのリフレッシュ教育セミナー】

平成11年度12～1月には平成10年度に引き続き、集積回路産業に携わる職業人を対象にリフレッシュ教育としてVLSI設計に関する最新かつ高度の知識・技術の習得を目的として、社会人向けの「VLSI設計リフレッシュセミナー」を拠点大学教官および企業の第一線の設計者を講師に招き開催した(表2.7)。このセミナーは主に社会人を対象として、演習を伴う最新のVLSI設計技術の実践的教育を行うもので、平成10年度に文部省専門教育課の支援のもとでスタートしたが、今年度は(財)電気・電子情報振興財団の協力(共催)を得、また日本電子機械協会(EIAJ)、システムLSI開発支援センター(VSAC)、半導体理工学研究センター(STARC)、日本応用物理学会の協賛をあわせて得



ることができ、大変効果的で有意義なセミナーとなった。本年度はVLSI設計に関する3つの

コース(コース1: HDLによるデジタル集積回路設計と演習(12/2～12/4実施)、コース2: アナログ集積回路設計と演習(12/15,12/16実施)、コース3: 最先端VLSI設計実例(1/6,1/7実施))を開催し、講師として大学・企業



の集積回路研究・教育に携わる教官や研究者約13名を招聘し、VLSI設計に関する講義や最新のCADツールを使用した実習をはじめ、最先端のVLSI設計技術の紹介を行った。参加者はコース1,2はそれぞれ約50名、コース3は約100名あり、延べ200名程度となった。参加者はセミナー室設備の関係から35名で募集したが、多くの参加要望が寄せられ急遽50名まで拡張した。次年度からはセミナー会場を拡張することを含め参加収容人数を拡大したい。

表2.7 社会人向けリフレッシュ教育セミナー開催状況

講習項目	開催日	講師	参加数	講習概要
コース1: HDLによるデジタル集積回路設計と演習	平成11年 12月2日～4日	浅田 (東大・教授) 越智 (広島市大・助教授) 池田 (東大・講師) 小林 (京大・助手)	50	VLSIの基礎講義, Verilog-HDL, VerilogHDLを用いたFPGAの設計演習, 論理合成と自動配置配線手法によるASIC設計の流れの演習
コース2: アナログ集積回路設計と演習	平成11年 12月15日～16日	岩田 (広大・教授) 小野寺 (京大・教授) 小谷 (東北大・助教授)	50	レイアウト設計, 設計検証回路シミュレーション
コース3: 最先端VLSI設計実例	平成11年 12月24日～25日	安浦 (九大・教授) 岩田 (広大・教授) 松澤 (松下) 松谷 (NTT) 小久保 (日立) 奥田 (三菱)	100	デジタルLSI設計の実例, アナログ回路方式と設計, アナログ・デジタル混載設計



## 【若手教官・学生のためのLSIデザイナーフォーラム】

学生および若手教官を対象としたVDEC LSIデザイナーフォーラム(VDEC LSI Designers Forum)を開催している。VDEC LSIデザイナーフォーラムは、LSI設計者が、互いの研究成果だけではなく、チップ設計で苦労した点、失敗事例と解決策、研究室に於ける設計環境の構築法など、通常の研究会、学会などでは聞くことのできない情報を共有し、大学間・研究室間の連携を深めることを目的としている。平成11年度は、9月25日、26日に東北大学および仙台作並温泉で「VDEC LSIデザイナーフォーラム」が開催され、

48名の参加者があった。本フォーラムは今回で3回目を数えており、IEEE Solid-State Circuits Society, Japan Chapter 共催となった。さらに、今回より、講演者に対してフリーフォーマットで原稿を募り、VDECユーザの活動記録として「VDEC LSIデザイナーフォーラム講演論文集 (ISSN 1345-3882)」を発刊した。尚、本フォーラムにおける会場設営、宿泊施設の確保、その他の準備および実施に際してのスタッフ手配等は、幹事大学のご協力により実現されている。本年度は東北大学大見研究室に幹事を務めていただいた。

表 2.8 平成11年度プログラム

9月25日(土)		
10:30~11:30	電気通信研究所附属超高密度・高速知能システム実験施設見学会(希望者のみ)	東北大学片平キャンパス
13:00~14:25	基調講演:東北大学 大見忠弘教授	東北大学青葉山キャンパス
13:25~14:35	VDEC活動報告(3件)	同 上
14:50~16:50	東北大学見学ツアー ・ミニスーパークリーンルーム ・東北地区大規模集積システム設計教育研究センター	同 上
18:30~21:00	懇親会	仙台作並温泉ホテルグリーングリーン
21:00~00:00	ポスターセッション(16件)	同 上
9月26日(日)		
9:00~12:00	設計事例講演(5件)	仙台作並温泉ホテルグリーングリーン
13:00~15:00	Excursion	ニッカウヰスキー仙台工場



表 2.9 平成11年度VDEC LSIデザイナーフォーラム発表内容一覧

1.基調講演およびVDEC活動報告	
ネットワーク時代のシステムLSI(基調講演)	大見忠広(東北大学)
VDECの現状報告	池田 誠(東北大学)
VDECにおけるスタンダードセルライブラリ	石原 亨(九州大学)
VDECサブボードの紹介とLSIテスター利用状況の統括報告	小林和淑(京都大学)
2.ポスターセッション	
携帯テレビ電話に適した16並列DSPの開発	岩橋卓也、江口 真 芝山武英 坂口智靖、高井幸輔、駒田忠一 小林和淑、小野寺秀俊(京都大学)
パルス変調方式を用いた非線形振動子ネットワーク回路	安藤博士、森江 隆 永田 真、岩田 穆(広島大学)
研究室で行われているオペアンプコンテストについて	柴田 肇、高木茂孝 藤井信生(東京工業大学)
OTAの試作事情	佐藤隆英、高木茂孝 藤井信生(東京工業大学)
ROHM0.6 $\mu$ mプロセスを用いたPLLの試作	廣瀬 啓、安浦寛人(九州大学)
安浦研究室におけるセルベースデジタル回路設計フロー	兵頭章彦(九州大学)
PCAデバイス：自律的再構成可能なPLD	境 和久、深津 元 泉 知論、中村行宏(京都大学)
ニューロンMOSマクロモデル-SPICEによる直流解析	落合忠博、波多野裕(静岡理科大学)
Micro Strip Gas Chamber用プレアンプの設計	安倍美保(東京農工大学)
電流集約機構をもつ重心検出画像センサーの試作	高瀬信二、渡辺 晃 遠山 治、秋田純一(金沢大学)
不揮発性メモリデバイス作成用の下地基盤の試作	今井 豊、笠井稔彦 早川史人、中山和也、秋田純一 北川章夫、鈴木正國(金沢大学)
パイプライン型AD変換器を用いたカオス発生回路の試作	今村 晃、辻田達男、相原祐一郎 藤島 実、鳳紘一郎(東京大学)
高速バンドパス AD変換器用デジタル・フィルタ	石川達之、堀口 繁、小林春夫 岩佐直樹、高橋伸夫(群馬大学)
A High-Speed CMOS Track/Hold Circuit	Moohd Asmawi MOHAMED ZIN, Haruo KOBAYASHI, Kazuya KOBAYASHI, Jun -ichi ICHIMURA, Hao SAN, Yoshitaka ONAYA, Yasuyuki KIMURA*, Yasushi YUMINAKA, Yoshisato SASAKI, Kouji TANAKA*, Fuminori ABE* (群馬大学 三洋電機*)
浅田・池田研究室の設計実例	青木秀行、星野将史、根塚智寛 山下高博、伊藤 浩、池田 誠 (東京大学)

遺伝的アルゴリズムアクセラレータGAAに設計と評価	若林真一、小出哲士*、山根正孝 上野 初、利根直佳 (広島大学 東京大学*)
3.設計実例講演	
オフセットフリー・DC電流フリー電荷転送アナログ回路技術	小谷光司、大見忠弘(東北大学)
アナログ・デジタル融合PWM信号処理回路	永田 真、森江 隆 岩田 穆(広島大学)
Cadence/Synopsys を用いたMixed-Signal LSI設計用	宮崎大輔(豊橋技術科学大学)
ローム社0.35 $\mu$ テストランにおけるセルベース設計事例	越智裕之、河野陽一 津田孝夫(広島市立大学)
演算省略機能を有するベクトル量子化プロセッサの設計体験	野澤俊之、藤林正典、今井 誠 大見忠弘(東北大学)

### 【その他の共催・協賛セミナー】

日本学術振興会第165委員会が主催する「VLSI設計・夏の学校」への協賛を行い、こちらも盛況であった。  
(社)電子情報通信学会 VLSI設計技術研究会が主催する講習会「VLSI設計演習」への協賛も行った。

## 2.4. 教材整備・情報発信

VLSI 設計法の教材整備では、平成 9 年度に作成した「論理合成・シミュレーション検証(上流設計)」、「セルベースによる自動配置配線(中流設計)」、「会話型設計(下流設計)」の教材、および平成 10 年度に作成した「マクロセル作成のための自習教材」を、CAD ツールのバージョンアップにあわせて内容の更新を行った。本教材は、Web により参照できるように設定されており、全国の教育関係者が研究・教育目的に自由に改定再配布できるようになっている。また、希望される方には、CDROM による配布も行っている。また平成 11 年度は、「Q&A システム」(図 2.7)の構築を行っ

た。平成 12 年度以降試験的に導入し、質問とその回答を自動的にデータベース化するとともに、将来的には、頻繁にされる質問(FAQ: Frequently Asked Question)に対する半自動応答システムの構築を図って行きたい。2.3 項の「リフレッシュセミナー」、「VLSI 設計演習」における講習の内容をその講師の先生を中心に VDEC 教科書シリーズとして「デジタル集積回路の設計と試作」を執筆していただき、平成 12 年度早々に発行される予定となっている。本 VDEC 教科書シリーズは「アナログ篇」も発行に向けた準備を行っているところである。

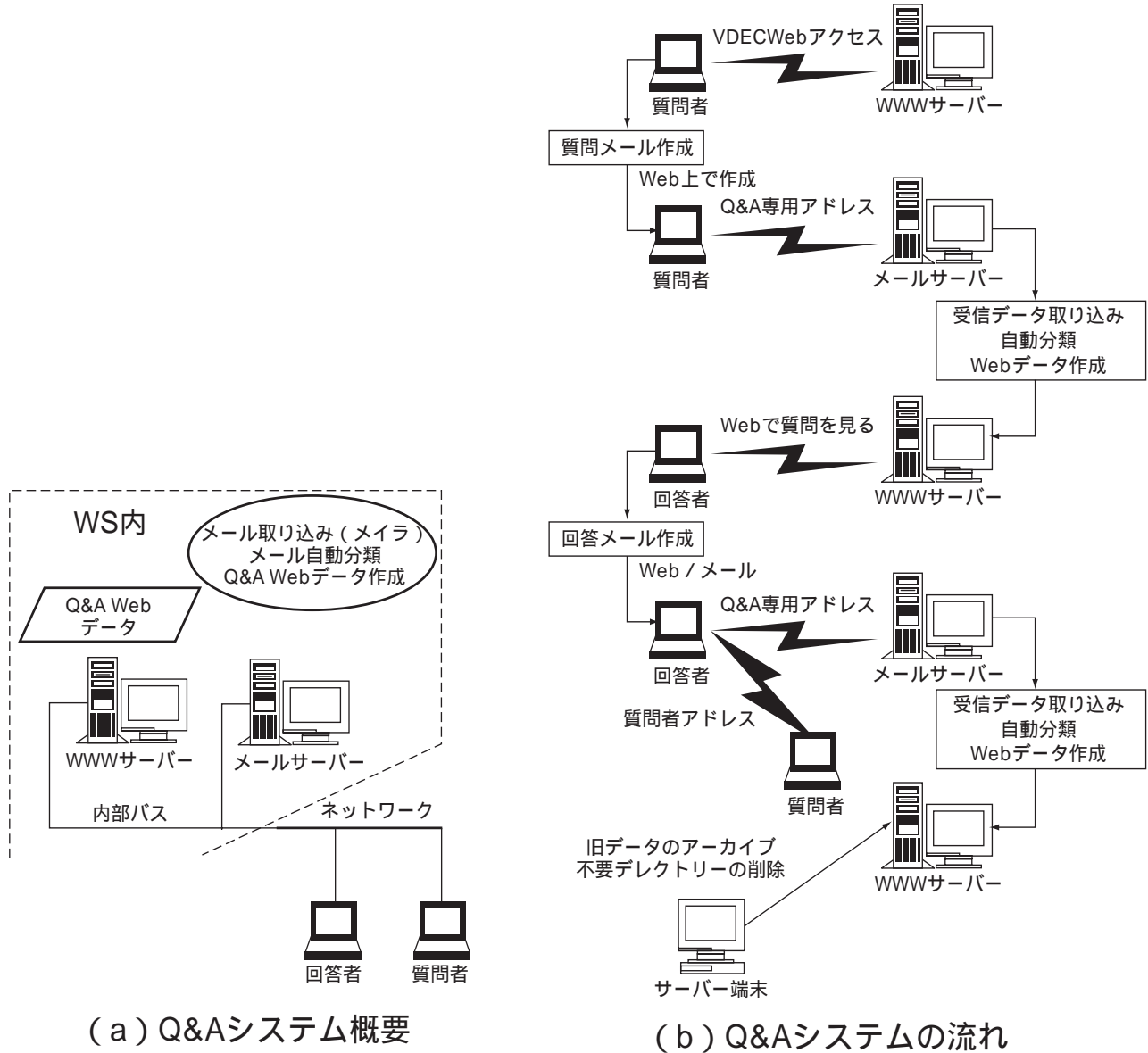


図 2.7 Q&Aシステム動作の流れ

## 2.5. 装置の整備・運用・利用公開

VDECでは、発足以来導入されてきた装置の運用を行うとともに、各装置を全国に利用公開を行っている（一部装置は、利用公開に向けた準備中）。表2.10に装置の一覧と利用公開の状況を示す。公開されている装置に関しては、前述の装置利用法セミナーの受講者に対して利用者資格を認定し、利用は、利用者資格を有する者もしくはその同伴の場合による利用を原則としているが、必要に応じ、VDECの職員などが対応することで、利用を認める場合もあるので、相談いただきたい。

その中で、特に試作チップの評価装置関係は、今後ますます評価に対する需要が増大することが予想されることから、平成9年度に、拠点校に設置されているLSIテスターの試作チップ評価用治具の共通化を目指して、共通ソケットを有するマザーボード（図2.8）をテスターごとに準備し、共通ソケット上搭載する、LSIの品種毎のドータボード（図2.9）を準備した。これにより、VDECで標準ピン配置に基づき試作したデジ

タルLSIに関しては、治具を新たに作成することなく、VDECおよび拠点校のLSIテスターにより評価が行える体制が整っている。さらに、今後新たな品種の試作が可能になった場合においても、品種に応じたドータボードを1種類準備することで、全国の各大学におけるLSIテスターに対応可能な体制が整っている。今後、LSIテスト法およびLSIテスター利用法のセミナーを頻繁に開催することで一層の利用の促進を図り、試作したLSIの特性・性能評価が容易に行える環境の整備に努めたい。

試作チップの評価に関しては、試作チップの組み立てがQFPパッケージが多いことも有り、発足当初より、QFPパッケージを実装できるソケットの頒布およびQFPソケットのピンを標準2.54mmピッチに変換する変換ボードの頒布を行ってきている。詳細はWebのチップ試作の項目に掲載しているのでご活用いただきたい。

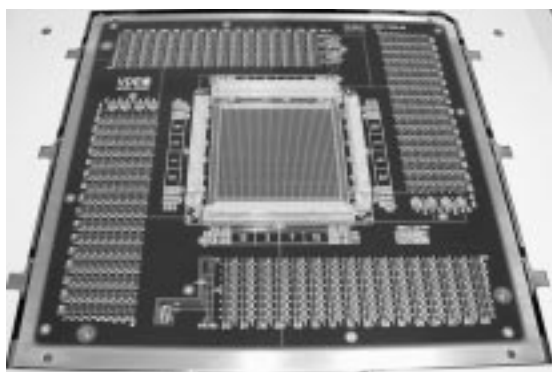


図2.8 マザーボード

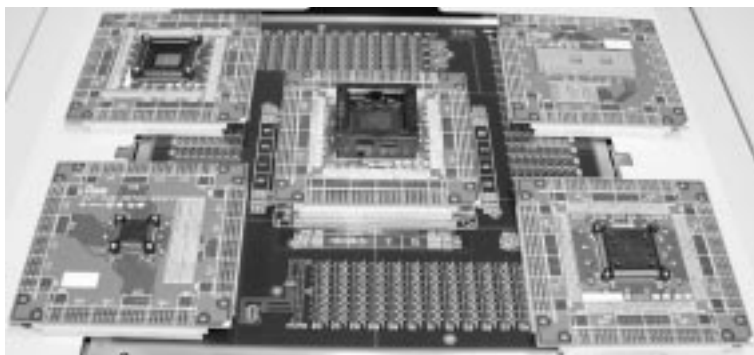


図2.9 ドータボード

表 2.10 装置一覧および利用公開状況

項目	装置名	説明	利用公開状況	連絡先
ロジックLSI テストシステム	ミックスシグナル LSIテスター: ITS9000Exa	100MHz/200MHz320ピンのデジタルピンおよび4チャンネルのアナログピンを有している。VDECにおいて標準ピン配置で試作したチップを測定するための治具を揃えている。	公開中	ITS9000@vdec. u-tokyo.ac.jp
	EBテスター: IDS5000ZX	動作状態におけるチップ表面の電位を観測することで動作・不良解析を行う。 通常LSIテスターと組み合わせて使用するため、上述テスターとのドッキング治具を備える。	公開中	IDS5000@vdec. u-tokyo.ac.jp
	回路修正用FIB: IDSP2X	LSIパターンの設計ミス等による配線ショート、オープンに対して、配線の切断、白金膜の生成によるジャンパーの生成が可能。	公開中	IDSP2X@vdec. u-tokyo.ac.jp
	オートプローバ: PM-90-A	ウェハ上でのLSIの動作検証を行うためのオートプローバ。上述のLSIテスターとドッキングして使用することが可能で、VDECにおいて標準ピン位置で試作したチップを測定するためのプローブカードを備えている。	希望に応じ 利用可能	VDEC@vdec. u-tokyo.ac.jp
アナログRF・ 測定システム	アナログ・RF測定 装置一式：HP4156. HP4284.HP...Etc	DCパラメータ測定、容量測定、ネットワークアナライザ、スペクトラムアナライザ等の測定装置。	希望に応じ 利用可能 但しVDEC の業務による 利用を優先 とする	VDEC@vdec. u-tokyo.ac.jp
	低雑音マニュアル プローバ：Cascade 社	マニュアルにて6インチまでのウェハのチップの測定が可能。測定には、通常のプローブ針（6本まで）の他、50GHzまでの測定が可能な高周波プローブを2本備える。		
	低雑音・温度制御 機構付きセミオー トプローバ：Karl Suss社	セミオートにてウェハ上のチップの測定が可能。ウェハを-50 から200 まで制御可能。 プローブカードによる測定が可能なほか、 GPIBを介した制御を行うことで半自動測定も可能。		
	極低音プローバ	5インチウェハを25Kまで冷やした測定が可能。	要相談	VDEC@vdec. u-tokyo.ac.jp
電子線描画 システム	マスク描画・ ウェハ直描装置： JBX-7000SB	半導体製造用マスクの描画、およびシリコンウェハへのパターンの描画、およびマスクのエッチングが可能。最小描画寸法0.5 μm	試験的に学 内向けに公 開中	JEOLEB@vdec. u-tokyo.ac.jp
汎用FIB システム	FIB装置： SMI9800MSP	ガラスマスクの欠陥修正の他、断面観測のための半導体加工等が可能。	試験的に学 内向けに公 開中	SIIFIB@vdec. u-tokyo.ac.jp

# 第3章 研究報告

## 3.1. 研究室構成員（平成11年度）

### 鳳・藤島研究室

鳳 紘一郎	教授
藤島 実	助教授（ルーヴェン・カソリック大学客員教官）
北澤 清子	助手
韓 小逸	助手（現在 AVANEX）
天川 修平	博士3年（現在 ヲグ リッヅ 大学へ留学中）
大内 真一	博士1年
相原祐一郎	修士2年（現在 松下電器産業）
木庭 優治	修士2年（現在 松下通信工業）
松浦 研	修士2年（現在 TDK）
今村 晃	修士1年
藤田 隆史	修士1年
千葉 智子	修士1年
田辺 亮	学部4年（現在 大学院鳳・藤島研究室）
坪倉 岳志	学部4年（現在 日本電気）
中沢 一彦	学部4年（現在 大学院廣瀬明研究室）
西村 信二	研究員（日立製作所）

### 浅田・池田研究室

浅田 邦博	教授
池田 誠	講師
鄭 若彤	助手
伊藤 浩	助手（現在 東京工業高等専門学校）
鈴木 真一	技官
青柳 稔	博士3年（研究員 現在 日産）
喬 健	博士3年
山下 高廣	博士3年
小松 聡	博士2年
村上 喜則	博士1年
瀬戸 謙修	博士1年
根塚 智裕	博士1年
青木 秀行	修士2年（現在 セコム）
星野 将史	修士2年（現在 松下電器）

中島 祐介	修士1年
山岡 寛明	修士1年
大池 祐輔	学部4年（現在大学院 浅田研究室）
吉田 浩章	学部4年（現在大学院 浅田研究室）
中村 武夫	学部4年（現在 富士通）
小島 隆広	学部4年（現在大学院 石塚研究室）
荒井 誠	学部4年（現在大学院 藤田研究室）
高山 徹	学部4年（現在 東芝）
長島 正明	学部4年（現在 本田技研）

### 平本研究室

平本 俊郎	助教授
更屋 拓哉	技官
高宮 真	博士3年（現在 NEC）
犬飼 貴士	博士2年
間島 秀明	博士2年
高橋 信義	修士2年（現在松下電子）
小宇羅 寛	修士2年（現在中国電力）
安田 有里	修士2年（中央大学からの研究実習生、現在 NEC）
後明 寛之	修士1年
齋藤 俊樹	修士1年
王 海寧	修士1年
永田 英次	修士1年（中央大学からの研究実習生）
大澤 淳真	学部4年（中央大学からの研究実習生）

### 北川研究室

北川 章夫	助教授
-------	-----

### 小出研究室

小出 哲士	助教授
（広島大学工学部第二類（電気系）の若林研究室と共同研究）	

### 田中研究室

田中 正文	客員教授
（ローム（株））	

### 鳳・藤島研究室 (<http://hoh.t.u-tokyo.ac.jp/>)

1. 極限集積システムの物理的アーキテクチャ  
鳳紘一郎, 藤島実, 韓小逸, 西村信二

集積回路の高密度化に伴い,システムレベルでの信頼性を確保することが重要な課題となる.我々はVLSIを,シリコンを素材とするだけでなく配線,層間絶縁膜の複合材料から成る積層系としてとらえ,物理的解析とシステムレベルの特性を一体とした検討を行っている.本年度は赤外線温度測定装置を用いて,我々が試作したCMOSリングオシレータを動作させた時の温度分布と時間変化を測定し,その分解能の評価を行った.

2. ショットキー接合ソース・ドレインを用いたSOI MOSFET  
鳳紘一郎, 藤島実, 松浦研, 田辺亮

極限的な短チャネル化を目的としてソースとドレインにショットキー接合を用いたMOSFETの開発を行っている.高抵抗p-SiのSOI基板上でソースとドレインをTiシリサイドによるショットキー接触で形成し,ゲート長 $0.1\mu\text{m}$ 級のNiゲート(pチャネル動作)とCrゲート(nおよびPチャネル動作)のデバイスを試作して特性を評価し,性能の向上と短チャネル化の方策を検討した.

3. カオス集積回路  
鳳紘一郎, 藤島実, 北沢清子, 相原祐一郎, 今村晃

前年度までに我々が開発したCMOSカオスマルチパイプレータを,複数結合した場合の動作についてシミュレーションと実測によって検証し,その集合動作の様相と成因を分析した.またパイプライン型ADコンバータを,各段ごとの反復一次元写像(ベルヌーイシフト形)によって時系列カオスを発生する回路として捉え,カオスが持続する条件と写像グラフのパラメータ,ならびにAD変換器としての精度の間にある関係を明らかにして,パイプライン型ADコンバータをカオス持続の成否によって判定しながらオンチップで変換精度を向上させる,回路調整法のアルゴリズムを提唱しその効果を実証した.

1. Physical Architecture for Ultimate VLSI  
K.Hoh, M.Fujishima, X.-Y. Han, and S.Nishimura

Considering VLSI as the multi-layered system with composite materials including interconnecting metals and interlayer dielectrics, the approach with physical and system descriptions unified is of great importance. This year, spatial distribution and temporal changes of temperature in a chip was measured with the IR thermometer for the CMOS ring oscillator we have fabricated and the sensitivity and the resolution of this measurement was evaluated.

2. SOI MOSFET with Schottky-Contact Source/Drain  
K.Hoh, M.Fujishima, K. Matsuura, and R.Tanabe

MOSFETs on SOI utilizing Schottky contacts at their source and drain were developed aiming the realization of ultimately short channel length. Ti silicide was used for source/drain and p-channel devices were fabricated with Ni gate while Cr gate realized n-channel, both with the gate length of  $0.1\mu\text{m}$ . Their static I-V characteristics were evaluated and the improvement of their performance and further scaling-down of their gate length were discussed.

3. Chaotic Phenomena in Integrated Circuits  
K.Hoh, M.Fujishima, S.Kitazawa, Y.Aihara, and A.Imamura

By using the CMOS chaos multivibrator (CMV) we have developed, their coupled operation was experimentally examined. Patterns which appear in their coupled operation were analyzed and the cause of their appearance was discussed. Besides, the chaos-generating nature of the pipelined AD converter was studied. The relationship between the sustainability of chaotic output, the shape of the return-map function and the conversion accuracy as an AD converter was clarified. Based upon this, the algorithm of on-chip adjustment of the pipelined AD converter for the maximum conversion accuracy was experimentally demonstrated which utilized the sustainability of the chaotic output as monitor.



#### 4 . 単電子回路の動作メカニズム

鳳紘一郎, 藤島実, 天川修平, 大内真一, 坪倉岳志

単電子トンネリングの応用に関してデバイスと回路の両面を考慮に入れつつ研究を行っている . 本年度は単電子メモリの基本動作機構に関連して , トンネル障壁のポテンシャル形状に鏡像電荷の効果以外の電極帯電による寄与があつて , それで電圧バイアス単電子接合と単電子箱で異なること , そのため前者では接合容量が接合面積の縮小に比例してスケールリングされないことを指摘し , この効果の実験的検証法を提唱した . またSiを用いた直接トンネリング型単電子メモリの動作の解析を厳密に行い , Siのバンド構造を取り入れた計算によって室温動作の条件を明らかにした .

#### 5 . マイクロヒューマンモニター

藤島実, 鳳紘一郎, 木庭優治, 藤田隆史, 中沢一彦

ウェアラブルなライフケアシステムを目指して , 心拍・運動加速度などの身体情報を人の運動や日常活動に干渉せずに長期間記録し解析できるマイクロヒューマンモニターの研究を行っている . 小型バッテリーと半導体メモリーを用い長期間記録するためには , データの高圧縮率だけでなく低消費電力が要求される . この目的で前年度までに我々が開発した Band Runlength(BRL)コーディングのアルゴリズムを実行するチップを設計試作し , データ圧縮率と消費電力の評価を行った . またホストステーションにデータを送信するためのアナログ部分や , センサー部と電池を含めた総合的な小型軽量化と性能の相関に関する検討を , ボード上での予備試作をまじえて行った .

#### 6 . 集積回路による量子コンピュータのエミュレーション

藤島実, 鳳紘一郎, 大内真一, 千葉智子, 今村晃

量子コンピューティングの原理を参照しつつ同等の高速並列演算機能をシリコン技術で実現する方途を探るために , 量子コンピュータにおける波動状態の時間発展を集積回路でエミュレートする実験を行っている . 波動状態の重ね合わせを交流波形に置き換えてそれをユニタリ変換によって時間発展させる回路構成を考案し , Groverのデータ探索アルゴリズムを行う3qubitのシステムをFPGAで実現させた . シミュレーションと一致する明確な実測結果が得られており , 誤った解の出現率に影響する要因の分析を進めている .

#### 4 . Physical Performance of Single-Electron Devices and Circuits

K.Hoh, M.Fujishima, S.Amakawa, S.O'uchi, and T.Tsubokura

For the basic understanding of the operation of the single-electron memory, the effect of the electrode charging on the shape of the potential barrier in the tunnel junction was analyzed. Barrier shapes become different for the voltage-biased single junction and the single electron box. Due to this, the junction capacitance in the former device does not scale with the junction area. The experimental method to evaluate this effect was proposed. Besides, the operation of the Si-based, direct-tunneling type single-electron memory was analyzed taking the exact band structure of Si into consideration. The conditions for the realization of room-temperature operation was clarified.

#### 5 . Micro Human Monitor

M.Fujishima, K.Hoh, Y.Kiniwa, T.Fujita, and K.Nakazawa

The micro monitor for long-term recording of the human body information such as heart rate and body acceleration has been studied in order to take care of human health without interfering daily life and activities. Low power circuits as well as high data compression scheme are required for a long-term recorder using a small battery and a semiconductor memory. For this purpose, we have proposed a novel algorithm named Band Runlength (BRL) coding. Actual performance and power dissipation of this kind of system were evaluated with the test chips we have designed and fabricated. Besides, the analog part for the data transmission to the host station was also designed with the overall evaluation of the size- and weight reduction including battery and sensor parts. .

#### 6 . Emulation of Quantum Computing by Using Integrated Circuits

M.Fujishima, K.Hoh, S.O'uchi, T.Chiba, and A.Imamura

For the purpose of realizing high-speed parallel computation within a framework of silicon technology referring to the principle of quantum computing, the unitary evolution of quantum states in a quantum computer was emulated in LSI with the superposed ac signals representing the superposed quantum states. A 3-qubit test system which executes Grover's algorithm of data search was constructed by FPGAs and showed satisfactory results. The factors which generate false answers are being discussed.

1 . 多結晶シリコン薄膜トランジスタ及びGTBTパワーデバイスの動作解析

浅田邦博, 伊藤浩, 村上義則

われわれは温度依存性を考慮したポリシリコン薄膜トランジスタのドレイン電流モデルを研究している。ドレイン電流の計算に薄膜トランジスタの構造パラメータ及び、計算パラメータとして、ガラス基板上的ポリシリコン粒径、フラットバンド電圧、膜厚、実効ゲート長、実効ゲート幅、基板温度、バイアス条件を用いた一次元デバイスシミュレータを開発した。さらに、実デバイスの基板温度を変えた測定結果及び、計算結果から実効移動度の温度依存性の解析を行っている。新パワーデバイスGTBT(Grounded-Trench-MOS assisted Bipolar-mode FET)の逆導通特性について研究した。GTBTは接地された緻密なトレンチ絶縁電極をソース領域を挟み込むように設け留ことで完全ノーマリオフ特性を得たバイポーラ型FETで、電流利得は正逆方向とも同耐圧のバイポーラトランジスタより1桁以上高い。GTBTは主電流経路に反対導電型領域を持たないことから逆導通時の蓄積電荷も少なく、逆回復過程も迅速であることが判った。

1 Studies on polycrystalline silicon thin-film-transistors and GTBT Power Devices

K.Asada, H.Ito, and Y.Murakami

We have been studying an polycrystalline silicon TFT (Thin-Film-Transistor) model considering the drain current characteristics changing substrate temperature. The one-dimensional device simulator was developed for calculating the drain current with structural parameters, such as grain size of poly-silicon on the glass, flat band voltage, substrate temperature, film thickness, substrate concentration, effective gate width and effective gate length. We are also analyzing the effective mobility depending on the substrate temperature using some measurement results and simulation results. The reverse conduction characteristics of GTBT(Grounded-Trench-MOS assisted Bipolar-mode FET) have been investigated. GTBT is a kind of bipolar-mode FET having normally-off characteristic. The current gains of both main current directions are more than ten times higher than those of conventional power bipolar transistors. Because GTBT has no pn junction in the main current path, both of the storage charge density during reverse conduction and the reverse recovery time are less than half of BJT's.

2 . VLSI 中の信号線・電源線の最適化

浅田邦博, 池田誠, 青木秀行, 中島祐介, 中村武夫

トランジスタの同時スイッチングによりVLSIの内部電源配線に生じる電圧降下ノイズを測定するため、サンプリング方式による電圧比較回路を用いて実際の電源電圧変動を測定する研究を行い、チップ試作を行って実測し、その有効性を確認した。VLSI中の配線の自己インダクタンス抽出に関する計算量を削減する手法の検討を行った。本手法は、配線断面の電流分布における表皮効果の影響を1次元で近似するもので、従来一般的に行われている行列演算による手法との比較により妥当性を確認した。また、電源インダクタンスのバンプの位置および数量の依存性の検討を行った。

2 . Interconnections and Power Supply Line Optimization in VLSI

K.Asada, M. Ikeda, H.Aoki, Y.Nakashima, and T.Nakamura

We have studied a new on-chip voltage monitor architecture for measuring VLSI power and ground bounce. We employed a simple voltage comparator using switched capacitors for measuring voltage bounce, and shift register structure for series data read-out just the same as the data scan path. Using this architecture, power and ground bounce in LSIs can be easily measured using logic testers. We have fabricated a test structure of this architecture, and demonstrated the measured voltage-bounce wave-form. We have studied a new algorithm to reduce number of operations in extracting self inductance of interconnections in VLSIs. We employed an one-dimensional approximation of skin effects in calculating current distributions in cross-section of wires. We demonstrated this algorithm achieves good agreement with the conventional matrix solver. We have also studied trends of inductance in power supply systems according to positions and densities of bumps.

3 . 高速、低消費電力回路方式の検討

浅田邦博, 山下高廣, 山岡寛明, 荒井誠, 高山徹

バストランジスタ論理とセンスアンプを容量結合するCSPL(Capacitor-Separated Pass-transistor Logic)回路方式の提案を行った。バストランジスタ部分の低振幅化による消費電

3 . Studies on high-speed and low-power circuits

K.Asada, T.Yamashita, H.Yamaoka, M.Arai, and T.Takayama

We have proposed a CSPL(Capacitor-Separated Pass-transistor Logic), that separates pass-transistor logic part and sense-amplifier using a capacitor. The CSPL achieves low-power due to the signal-

力削減と、センスアンプのバイアスの最適化による動作速度の向上が可能であり、シミュレーションにより最大9.5倍の速度で動作した。組み合わせ回路の高速化および設計容易化を目指した回路方式として、PLA構造とセンスアンプを用いた方式の提案を行った。提案回路を32ビットコンパレータに適用したところ、従来のCMOSスタティック回路に対し、最大2.58倍の高速化が実現された。アディアバティック回路の動作時のエネルギーロスを低減する回路方式の検討を行った。フリップフロップの消費電力削減手法として、低振幅クロック信号で動作する回路方式の検討を行い、4-bit加算器に提案回路を適用したところ、従来の回路と比較して消費エネルギーを20%削減することができた。

#### 4. スマート画像センサの研究

浅田邦博, 根塚智裕, 星野将史, 長島正明

センサ面上に列並列ブロックマッチング回路を集積することにより、動き検出および3次元計測を高速に行なうイメージセンサの試作を行なった。3次元計測を行なうための複数のセンサ間での対応点の探索を動き検出に用いるブロックマッチング回路を用いることにより実現した。動き検出および3次元計測における視差の演算をサブピクセルレベルで行なうことにより精度の向上を図った。また、動き検出のアルゴリズムに関して、拡張した拘束条件を用いた勾配法の実現方式の検討し、ハードウェア量の見積りを行なった。スポット光を用いたアクティブ方式の3次元計測向け高速位置検出センサの試作および3次元計測システムの構築を行なった。階層構造を持ったアクセスパスにより、従来のラスタスキャン方式と比較して、アクセス回数を削減し、高速な位置検出センサを実現した。構築したシステムにより3次元計測を行ない性能の評価を行なった。

#### 5. プロセッサシステムの高速化に関する検討

浅田邦博, 池田 誠, 鄭若彤, 小松聡, 大池祐輔, 小島隆広

新しい同期概念を用いたプロセッサシステムの一環として、ダイナミックロジック使用した加算器における演算終了信号の予測方式の検討を行い、従来のシフトレジスタを用いた予測方式より高速かつ低消費電力であることを示した。本方式は、シングルレール信号方式であるため、予測回路のハードウェアオーバーヘッドを最小限に抑えることが可能である。システムLSIのバスにおける符号化の検討に関しては、データ伝送の消費電力削減を目指して、統計的手法を用いたデータ符号化手法を提案し、信号遷移頻度の削減率の評価、エントロピーとの関係の考察を行なった。また、従来から提案してきた適応型コード帳符号化方式の符号化/復号化回路について他手法との比較、評価を行なった。

swing reduction in logic part, and performance improvement due to the bias optimization of sense-amplifiers. We demonstrated the CSPL operates 9.5 times faster than the conventional CMOS. We have proposed a sense-amplified PLA(Programmable Logic Array) structure, that aims to realize high-speed logic block using simple structured layout. We applied the proposed structure to a 32-bits comparator and achieved 2.58 times faster than the conventional CMOS static circuit by SPICE simulation. We have studied circuits to reduce energy loss in adiabatic circuit. We have also studied RCSFF(Reduced Clock-Swing Flip-Flop), power reduction scheme in clock lines with reducing clock swing for flip-flops, and proposed a new circuit. We demonstrated 20% power can be reduced in 4-bit series adder using the proposed circuit by SPICE simulation.

#### 4. Studies on Smart Image Sensors

K.Asada, T.Nezuka, M.Hoshino, and M.Nagashima

We have developed an image sensor for high-speed motion detection and 3-D measurement. The sensor has a column-parallel block-matching processor. The block-matching processor executes the block-matching needed for motion detection. The stereo matching between images from two sensors needed for 3-D measurement is also realized by the same processor. The motion detection and the calculation of disparities in 3-D measurement are done in the accuracy of sub-pixel level. In addition, we discussed about algorithms of motion detection. We developed and evaluated implementation methods of a gradient method using extended constraint equations. We have developed high-speed position detection sensors for an active 3-D measurement system using laser spotlights, and a 3-D measurement system with the sensors. The sensor detects positions of spotlights projected on target objects with a novel scan method using a hierarchical access path. We can reduce the number of cycles in scanning images in comparison with conventional raster scan. We have evaluated the performance of the 3-D measurement system by measurements using developed system.

#### 5. Studies on High-Speed Processors

K.Asada, M.Ikeda, R.Zheng, S.Komatsu, Y. Ohike, and T. Kojima

We have proposed a method of addition completion prediction, which utilizes dynamic logic instead of a shift register as we did before. This scheme has features of high-speed and low power consumption. Besides, the hardware overhead of the prediction circuit is also decreased as single-rail data encoding is used. We proposed statistical encoding method for low power data transmission on VLSI bus. We evaluated the reduction of signal transitions and the relation between the entropy of data and the signal transition reduction. We also evaluated Adaptive Code-book Encoding method in terms of performance, circuit size, delay time and power dissipation. We have studied macro-library generator using CAM with minimum-distance-detection function. For this purpose, we analyzed relations

VDFEC

最小距離検出回路方式に関しては、マクロライブラリジェネレータのための予備的な試作を行うとともに、時間領域方式における回路最適化の際に重要となる、時間差と誤り判定率の関係を素子のばらつき情報のみから導出する手法を検討した。

## 6 . FPGA 向け論理合成手法および進んだ極性最適化の多段論理最適化への応用

浅田邦博, 鈴木真一, 喬健, 瀬戸謙修, 吉田浩章

関数のエンコーディングは関数分解の結果に大いに影響する。ここでは、多出力 CLB 構造の FPGA に対し、関数分解で得られた分解関数とイメージ関数を一つの CLB の中へ最大限共有化するため、お互いに共有可能な許容関数対を分解関数にするように新しいエンコーディング手法を提案した。最適化の効果の評価のため、提案手法を二出力 CLB のルックアップテーブルベースの FPGA に適用し、MCNC91 ベンチマーク回路の部分回路に対する実験を行った。二段論理合成における極性最適化を、多段論理合成に応用する方法を提案した。その応用を、進んだ極性最適化と呼ぶ。進んだ極性最適化と代数的分解によって、いくつかの論理関数のブール分解が得られることがわかった。進んだ極性最適化を面積および遅延の最適化に応用し、詳細な実験結果を得た。またマッピンググラフを使った最新のテクノロジマッパーとともに実験し、その効果を調べた。本手法は、非常に単純で応用しやすいにもかかわらず、面積、遅延の削減に効果的であることを示した。

between delay difference for 1-bit difference and error rate, yield. We demonstrated these relations can be derived from FET fractuations.

## 6 . Logic Synthesis for FPGA and Multi-Level Logic Minimization using Advanced Phase Assignment

K.Asada, S.Suzuki, J.Qiao, K.Seto, and H.Yoshida

Function encoding is one of the critical factors that greatly impact the quality of the final decomposition results. In this study, we presented a novel encoding approach which can largely merge two compatible alpha functions or an alpha function and g function into a single CLB keeping the multiple-output architecture of the CLBs. To examine the approach, we applied our algorithms to logic synthesis for LUT-based FPGAs using subset of MCNC91 benchmarks, and compared the results with those from state-of-the-art methods. We have proposed an advanced phase assignment, where the phase assignment technique in two-level logic is applied to multi-level logic. We demonstrated that a combination of the advanced phase assignment and algebraic factoring produces Boolean decompositions of logic expressions in some cases. We have experimented the advanced phase assignment for area and delay optimization. We have also experimented the results of the advanced phase assignment with a state-of-art technology mapper, that employs mapping graph. The proposed method is very simple and easy to employ, yet it is effective both on area and delay optimization.

## 平本研究室 (<http://vlsi.iis.u.-tokyo.ac.jp>)

### 1 . しきい値制御による 0.5V 動作超低消費電力 MOSFET 高宮真, 小宇羅寛, 後明寛之, 平本俊郎

VLSI には低消費電力化が強く要求されており、15年後には電源電圧が 0.5V 以下に低下することが予測されている。動作電圧 0.5V ではしきい値電圧も低く設定必要があり、スタンバイ消費電力と高速性を両立させることはますます困難となる。本研究では、動作時とスタンバイ時でしきい値電圧を変化させることにより両者を両立させる方式について、デバイスサイドから研究を行っている。これまでに、ゲートとボディを接続した Dynamic Threshold MOS (DTMOS) で、基板バイアス定数を極めて大きくできる Electrically Induced Body (EIB) DTMOS 構造を提案した。一方、ウェル

### 1 . Extremely low power MOSFET operating at 0.5 V by the threshold voltage control M. Takamiya, H. Koura, H. Gomyo, and T. Hiramoto

Low power operation is essential for VLSI devices. It is predicted that the operation voltage will be reduced down to 0.5 V in 15 years. In 0.5 V operation, the threshold voltage should be very low and it will be very hard to attain both high speed and low stand-by current. In this study, we investigate the optimal device parameters for the variable threshold voltage schemes. We have proposed electrically induced body (EIB) dynamic threshold MOSFET (DTMOS) where the body effect factor is extremely high. On the other hand, we have also investigated the optimal device conditions for variable thresh-

電位を制御することによりしきい値電圧をコントロールする Variable Threshold CMOS (VTCMOS) について、スタンバイ電流を抑えつつ最も性能を向上させるための基板バイアス定数とウェル電位の最適条件を検討した。その結果、最適の基板バイアス定数は、電源電圧とウェル電圧との大小関係に依存することを見いだした。耐圧等が高くウェル電圧を大きくできる場合は、基板バイアス定数が大きいほど MOSFET の駆動力は大きくなる。この結果は、VTCMOS を設計する上で極めて重要なデバイス設計指針となる。

## 2 . Boosted Gate MOS (BG MOS) によるスタンバイリークフリー回路の提案

犬飼貴士, 大澤淳真, 平本俊郎

MOSFET の微細化が進むと、MOSFET はもはや理想的なスイッチとしては動作せず、オフ状態において大きなリーク電流が流れるようになり、スタンバイ電力の増大をもたらす。しきい値が低くなることによるサブスレシヨルド電流、ゲート酸化膜厚の薄膜化によるゲートトンネル電流、ドーピング濃度増大による接合電流などである。本研究では、これらのリーク電流をデバイスと回路の協調により抑制する方法を検討している。メイン回路に直列にリーク遮断用 MOS スイッチを挿入する。このスイッチにはメイン回路よりゲート酸化膜の厚い MOSFET を用い、リーク電流を遮断する。また、この MOSFET に電源電圧より高いゲート電圧を印加することにより、メイン回路のスピード劣化を抑制する。この回路・デバイス形式を BG MOS (Boosted Gate MOS) と命名した。将来、スタンバイリークは必ず実際の VLSI で問題となるので、BG MOS 方式はその数少ない解決策の一つになると考えられる。この成果は 2000 Custom Integrated Circuit Conference (CICC) にて発表を行った。

## 3 . 不純物の統計的ゆらぎ

安田有里, 高宮真, 平本俊郎

デバイスの微細化に伴い、チャンネル空乏層中の不純物数が減少するため、統計的な不純物数の揺らぎによりデバイスのしきい値電圧ばらつきが増大することが予測されている。また、デバイス中の不純物数が同じでも実際には不純物の分布は一樣ではなく、不純物が存在する位置によってもしきい値電圧はばらついてしまう。本研究では、SOI MOSFET においてしきい値電圧ばらつきにおける不純物の数と位置の効果を分離することにより、不純物位置のゆらぎによるしきい値電圧ばらつきは、MOSFET のチャージシェア係数で決定されることを明らかにした。また、この結果が通常のバルク MOSFET にも適用できることをシミュレーションにより明らかにした。この結果より、デバイスが適正にスケールされた場合には不純物位置のばらつきによるしきい値電圧ばらつきの絶対値は増大するものの、不純物数の効果に対する割合は一定に抑えられることが明らかとなった。

old voltage CMOS (VTCMOS) where the threshold voltage at the active mode and stand-by mode is controlled by well potential. It is found for the first time that the optimal body effect factor depends on the relation between supply voltage and well potential. When breakdown voltage is high and well potential can be set larger, higher drive current can be obtained at devices with higher body effect factor. This result is very useful in the design of VTCMOS.

## 2 . Boosted Gate MOS (BG MOS) for leakage free integrated circuits

T. Inukai, A. Ohsawa, and T. Hiramoto

As the device size shrinks, a MOSFET is no longer an ideal switching device. Large leakage current flows even when the device is off, resulting in the increase in the stand by power. The leakage current includes subthreshold current due to low threshold voltage, gate tunnel current due to very thin gate oxide below 2 nm, and junction leak current due to high doping concentration. In this study, a new circuit/device scheme has been proposed for the suppression of stand by leakage current. A MOS switch and main circuits are connected in series. The MOS switch has thicker gate oxide than devices in main circuits and has much smaller leak current. The gate voltage higher than supply voltage is applied to the MOS switch in order to suppress the speed degradation in main circuits. This boosted gate MOS (BG MOS) scheme is one of the most promising circuit schemes for the future VLSI. This study was presented in 2000 Custom Integrated Circuit Conference (CICC).

## 3 . Statistical impurity fluctuations

Y. Yasuda, M. Takamiya, and T. Hiramoto

As the device size is scaled down, the number of impurity atoms in channel depletion layer is reduced and the impurity number fluctuations are enhanced, thus enhancing the threshold voltage fluctuations. Even when the channel impurity number is the same, threshold voltage will be fluctuated by the random impurity position distribution. In this study, the effects of the number fluctuations and position distribution are separated in the simulation for fully depleted SOI MOSFET, and it is found that the threshold voltage fluctuations by the position distribution will be determined by the charge share factor of the device. It is also found that this result is applicable to conventional bulk MOSFETs. These results suggest that the threshold voltage fluctuations become larger but the contribution ratio by the position will remain constant when the device is properly scaled.

#### 4 . SOI MOSFET の基板浮遊効果と物理 更屋拓哉, 齋藤俊樹, 平本俊郎

部分空乏型 SOI MOSFET の最大の課題は基板浮遊効果である。特に、基板浮遊効果の代表例であるダイナミックパスゲートリークは、SOI の DRAM 応用を阻害する原因となっている。本研究では、過渡電流のゲート電圧依存性を測定することによりバイポーラ電流とサブスレッショルド電流を分離し、ダイナミックパスゲートリークの機構を検討している。しきい値電圧が低いデバイスでは、デバイスがスケールされるとともにバイポーラ電流よりサブスレッショルド電流の方が支配的となっていく。また、DRAM の保持電荷量と過渡的なリーク電荷量を比較することにより、ダイナミックパスゲートリークは依然として DRAM において大きな問題であることを定量的に示した。一方、短チャネル効果を大幅に抑制できる新しい構造の SOI デバイスについても検討を行っている。

#### 5 . 極微細 MOSFET における量子効果 間島秀明, 平本俊郎

極薄膜 SOI MOSFET では、キャリアの面内閉じこめにより量子効果が起こり、しきい値電圧が上昇することが知られている。本研究では、極狭チャネル MOSFET においては、キャリアが面内のみでなく横方向にも閉じこめられ、さらに強い量子効果が起こることを実験とシミュレーションにより実証した。本年度は、デバイス作製プロセスを改良し、極めて細いチャネルを持つ極狭チャネル MOSFET を試作し、チャネル長が 10nm を切る領域でしきい値電圧が急激に上昇することを昨年度より明瞭に確認した。また、シミュレーションにより狭チャネル MOSFET の電子状態を計算し、しきい値電圧の上昇が量子効果によるものであることを明らかにした。この成果は 1999 年の国際電子デバイス会議 (IEDM) において発表を行った。

#### 6 . シリコン単電子デバイスの物理と集積化 高橋信義, 平本俊郎

将来の超低消費電力 VLSI デバイスへの応用を考慮して、Si において極微細構造を作製し、単一電子現象の物理の探究を行っている。我々は当初からシリコンを材料に用い VLSI への整合性を考慮したアプローチをとっており、その先駆的な研究のひとつに数えられる。ポイントコンタクト構造を持つ MOSFET では、チャネル狭窄部にシリコンドットが自然形成され、室温においても単電子トンネルによるクーロンブロック振動が観測される。また、高温で動作するシリコン単電子デバイスでは、シリコンドットにおける量子効果が重要な役割を果たすことを明らかにした。今年度は、背景電荷の問題を補償する新単電子デバイス構

#### 4 . Physics of scaled MOSFET T. Saraya, T. Saito, and T. Hiramoto

One of the most serious problems in partially depleted SOI MOSFETs is the floating body effect. In particular, the dynamic pass gate leakage prevents SOI devices from being applied to DRAM. We have investigated the mechanisms of dynamic pass leakage current by separating bipolar current and subthreshold current from the gate voltage dependence. As the device is scaled, subthreshold current becomes dominant in devices with low threshold voltage. It is found from comparing the charges in pass leakage with the stored charges in DRAM that the dynamic pass leakage is still a serious problem in SOI DRAMs. On the other hand, a new SOI device structure with suppressed short channel effect is also studied.

#### 5 . Quantum mechanical effects in very narrow MOSFETs H. Majima and T. Hiramoto

It is well known that the threshold voltage increases in very thin SOI MOSFETs by quantum confinement effects. In this study, we have demonstrated by experiments and simulation that the carriers are confined not only vertically but also horizontally and stronger quantum confinement is attained in very narrow channel MOSFETs. This year, the fabrication process has been improved. Extremely narrow channel MOSFETs are fabricated and threshold voltage increase is observed more clearly than last year when the width is less than 10 nm. The numerical calculation of energy states in narrow channel is also performed and it is verified that the observed threshold voltage increase is due to the quantum confinement effects. These results were presented in 1999 International Electron Devices Meeting (IEDM).

#### 6 . Physics of silicon single electron devices N. Takahashi and T. Hiramoto

Fabrication and physics of silicon single electron devices have been extensively studied for the future ultra-low power VLSI device applications. We adopt silicon as a material to consider the compatibility with the VLSI process, and our research work is recognized as one of the pioneering works in this field. In a MOSFET with point-contact channel, a silicon dot is naturally formed, and the device acts as a single electron transistor even at room temperature. We also clarified that the quantum mechanical effects in dots play an important role in transport. This year, a new device structure for compensating the background charges has been proposed and the integration of single electron transistors has been successfully dem-

造を提案し,単電子デバイスの集積化に成功した.これらの成果は1999年の国際電子デバイス会議(IEDM)において発表を行った.

#### 7. シリコン量子ドットメモリ

永田英次, 王海寧, 平本俊郎

シリコン微結晶をフローティングゲートとする単一電子メモリの特性と電子数の制御について研究を行っている.室温において明瞭なメモリ動作(ヒステリシス特性)を観測した.また,しきい値電圧シフトの平均値およびばらつきが,メモリのチャンネル幅およびチャンネル長に依存することを見いだした.簡単なデバイスモデルにより,この依存性の原因はチャンネル上のドット数のランダムなばらつきであることを明らかにした.一方,この構造のデバイスにおいてクーロン閉塞により電子数が制御されるデバイス条件についても検討を行っている.

onstrated. This study was presented in 1999 International Electron Devices Meeting (IEDM).

#### 7. MOSFET memory with silicon nano-crystal quantum dots

E. Nagata, H.-N. Wang, and T. Hiramoto

Characteristics of MOS memories with silicon floating nano-crystals gates have been studied. The memory effect is demonstrated at room temperature. It is found that the average threshold voltage shift and its fluctuations depend on channel width and length. It is clarified from the simple device model that the origin is the random fluctuations of dot number on the channel. The control of electron number in this device is also studied.

## 北川研究室

(<http://gaas.ec.t.kanazawa-u.ac.jp/merl/>)

#### 1. 相変化型不揮発性メモリ

早川史人, 今井豊, 中山和也, 北川章夫, 鈴木正國

カルコゲナイド半導体が電気パルスによりアモルファス相と結晶相の間で相転移を繰り返す現象を利用した不揮発性メモリを開発している.これまででは,書き換え動作が不安定であったため実用化されていなかったが,メモリセルのサイズを $0.5\mu\text{m}$ 以下まで縮小することにより数10万回程度の安定な書き換え動作をさせることに成功した.さらに,CMOS LSIの上にメモリセルを積層集積化し,EEPROMとして動作させる実験も行った.また,素子構造が極めて簡単で,相変化による電気的特性変化が大きいため,高速大容量の不揮発性メモリカードとしての応用を目指して試作実験を進めている.

#### 2. 高駆動力多結晶 SOI 集積回路

小川明宏, 水野浩樹, 北川章夫, 鈴木正國

大面積または特殊形状基板上に集積回路を形成することを目的として,多結晶 SOI 集積回路を開発している.特に,SOI デバイスの高耐電圧性を生かし,大電力出力段を集積化するため,プロセスの低温化にはこだわらず,平板型ガスフレームを用いた融点直下の高温アニールにより多結晶の高移動度化処理を施した SOI 基板を用いる.この結果,高 ON/OFF 比,低リーク電流特性を持つドライブ力の高い完全空乏型 SOI MOSFET の試作に成功した.

#### 1. Nonvolatile Memory Devices Based on Reversible

Phase Transition in Chalcogenide Glasses

F. Hayakawa, Y. Imai, K. Nakayama, A. Kitagawa, and M. Suzuki

The chalcogenide amorphous semiconductors show the reversible amorphous-crystalline phase transition by means of an electric pulse. The objective of the project is to fabricate nonvolatile memory devices based on reversible phase transition phenomena. This device was not reliable, because of set/reset error attributable to degradation of the clear-cut transitions in the reset process. The breakthrough was brought by the scaledown of the feature size of memory cells into deep submicrons, and the decreased volume of the cells have the advantage of low power dissipation. Then, we attempt to fabricate an EEPROM on the silicon LSIs and the nonvolatile memory card devices with an very large capacity.

#### 2. Polycrystalline SOI structure for Power MOSFETs

A. Ogawa, H. Mizuno, A. Kitagawa, and M. Suzuki

A polycrystalline SOI (Poly-SOI) structure is applicable to devices with large area and particular geometry of LSI. The goal of this project is to fabricate the integrated power devices on the poly-SOI structure. The electron mobility and electronic property of the grain boundaries in the poly-Si films on the quartz substrates are greatly improved through the very high temperature thermal process with the gas flame apparatus. The high ON/OFF ratio and low leakage currents of fully depleted SOI MOSFETs are attained using the gas-flame-annealed SOI substrates.

### 3. 歪みトンネリングデバイス 北川章夫

著者が提案している歪みトンネリングトランジスタは、圧電性材料薄膜に金属パターンを描くことで作成できる極めて簡単な構造と動作原理による半導体を必要としない電子デバイスである。素子寸法を微細化するほど利得が大きくなるという集積回路に適した特長を持っているが、トンネルギャップの加工手法に電気特性が極めて敏感なため試作実験は行っていない。電極配置の工夫により、1素子で特異な型負性抵抗を実現できることが解ったので、ナノスケールで動作するメモリデバイスへの応用を検討している。

### 4. 急速加熱プロセスにおけるガラス転移のモデル 北川章夫, 鈴木正國

ガラス転移は、過冷却液体と非晶質固体の間の2次相転移として観測される。この転移については、冷却速度が大きくなるほど転移温度が低くなることが実験的に知られているが、速く冷やすほど体積やエントロピーが大きくなるという経験的事実との矛盾を解決するため、温度変化の経路依存を考慮したガラス状態の微視的モデルが必要であった。本研究プロジェクトでは、フラグメンテーションと過渡の状態図という概念を考案し、ガラス転移の微視的モデルを組み立てることに成功した。このモデルによると、シリコンを含むあらゆる物質がガラス転移を示し、例えば非晶質化したシリコンに対してRTPを行う際、昇温過程において過冷却液体状態を通過するため、不純物分布が大きく乱れることが明らかになった。

### 5. 有機超薄膜による分子エレクトロニクス 辻川隆俊, C.A.N. Fernando, 北川章夫

極薄金属膜上に強い双極子モーメントをもつ有機分子を配向制御して単分子膜化すると、有機分子膜の分極により金属の電子占有状態の変化や分極した分子と金属中自由電子の相互作用の影響により金属の物性を制御できるのではないかと考え実験を行ってきた。電気抵抗の変動や、スイッチング現象を観測したが、現時点では、実験データの再現性が悪く、現象の発生する条件が明らかにはなっていない。また、広ギャップ半導体上に励起エネルギーの異なる2種類の色素分子を適当に組み合わせ配向制御された2重層を形成すると、半導体薄膜を陰極とするフォトダイオードの量子効率に共鳴的な鋭いスペクトルが観測されることを見出した。

### 3. Strained Tunneling Devices (STDs) A. Kitagawa

An active device based on strained tunneling gap properties have been proposed. The computed current-voltage characteristics of this device show high current gain and low voltage gain for device dimensions around several nano-meters. A fabrication technology with a very precise control of the device dimension is required in practical application, because of the hypersensitive nature of the current gain to the tunneling gap length. According to computer simulation, it is predicted that a negative transconductance is observed in a STD, and supposed that static random access memory devices are composed of only a STD.

### 4. Model for the glass transition in amorphous solids based on fragmentation A. Kitagawa and M. Suzuki

The glass transition (2nd order) between supercooled liquid and glass state is experimentally observed in a large variety of non-crystalline solids. The transition point depends on the heating rate and cooling rate in a thermal process, and it, however, conflict with the entropy change at the glass transition. The model of the glass transition should be considered that the glass transition point is dependent on the trace of the thermodynamic variables. We have proposed a model for the glass transition in a heating process with ideas of fragmentation of amorphous solid and a transient phase diagram. To examine the present model, applications of the model to the phase changes of a-Si in heating processes are carried out and it is found that impurities in amorphized layer of Si surface are anomalously redistributed, because the amorphous layer is passed through the supercooled liquid state in the heating stage of rapid thermal processes.

### 5. Electrical Properties of Ordered Mono-molecular layered Structures on Metals and Semiconductors T. Tsujikawa, C. A. N. Fernando, and A. Kitagawa

A monomolecular layers on metals and semiconductors was investigated with Langmuir-Blodgett technique. The goal of the project is to find novel electronic properties in the layered structures of dye molecules with ordered arrangements. The interaction between a molecular dipole moment and carriers in very thin metal films or semiconductors films is expected. The resistivity of the metal layer decreased and the switching phenomena in the current-voltage characteristic were frequently observed in the case of a special configuration of molecular dipoles. Another objective is to find novel optoelectrical properties in the double dye monomolecular-layers. Photodiodes were fabricated on the dye-sensitized wide Eg semiconductor films (e.g. CuI, CuSCN).



# 小出研究室

(<http://www.vdec.u-tokyo.ac.jp/Users/koide/>)

## 1. 交差手法の適応的選択機能を組み込んだ遺伝的アルゴリズムのLSIチップによる実現

若林真一, 小出哲士, 八田浩一, 利根直佳, 中塚裕康,  
小泉慎哉

複雑な制約を持つ大規模最適化問題を解く手法の一つとして遺伝的アルゴリズム(GA)が知られている。GAは数理計画法などの通常最適化手法が適用困難な問題にも適用できるという利点を持つ反面、多くのパラメータを持つため、それらの値を調整してGAの探索能力を最大限に引き出すことは難しいという問題点がある。そのためパラメータ値をGA実行中に動的に調整し、効率的にGAを実行する方法が数多く提案されている。一方、GAは一般に多大な計算時間を必要とするため、GAをハードウェアで実現することが研究されている。本研究では我々が提案したエリート度に基づく交差手法の適応的選択機能を組み込んだGAのLSI化を行った。更に、試作LSIの性能評価のためにソフトウェアによるシミュレーションと実機による検証を行った。その結果、適応的GAのハードウェア化はパフォーマンスの向上に大変有効であることがわかった。

## 2. 遺伝的アルゴリズムにおける個体のエリート度に基づく遺伝オペレータとGAパラメータの適応的調整

八田浩一, 若林真一, 小出哲士

複雑な制約を持つ大規模組合せ最適化問題を解く発見的手法として遺伝的アルゴリズム(Genetic Algorithm, GA)が知られている。GAの性能はGAの実行を制御するGAパラメータ値、及び遺伝オペレータの種類と適用確率に大きく依存するため、これらを最適に調整することが必要である。この問題に対し、われわれは個体の潜在的な優劣度を示す指標としてエリート度を提案し、GAの探索能力に大きな影響を及ぼす交差手法について、個体を交差させる場合にエリート度に基づいて複数の交差手法から1つの交差手法を適応的に選択する遺伝的アルゴリズムを提案した。更に、従来のエリート度の定義を一部変更した新しいエリート度を提案し、エリート度に基づいて突然変異確率を適応的に調整することを提案した。これにより、より優れた解を短い計算時間で生成することが可能となった。計算機実験により、提案手法の有効性が確認できた。

## 1. An LSI Implementation of a Genetic Algorithm with Adaptive Selection of Crossover Operators

S. Wakabayashi, T. Koide, K. Hatta, N. Toshine, H. Nakatsuka,  
and S. Koizumi

Genetic Algorithms (GAs) have been widely used to solve large-scale optimization problems with complex constraints. Since GAs have many parameters, it is difficult to set these parameters to appropriate values to obtain good solutions. Therefore, many parameter-setting methods have been proposed, in which parameter values were adaptively changed during the execution of a GA. On the other hand, GAs generally requires a large amount of computation time, and to solve this problem, many research results for hardware implementation of a GA have been reported. We have proposed an LSI implementation of a GA, which selects crossover operators adaptively during the algorithm execution based on a new measure called "elite degree," that we have proposed to estimate potential superiority of an individual. We have performed software simulation to evaluate the LSI chip and verified the LSI chip with evaluation board. From the experiments, we have demonstrated that the hardware implementation of the proposed adaptive GA is effective for performance improvement.

## 2 Adapting Genetic Operators and GA Parameters Based on Elite Degree of an Individual in a Genetic Algorithm

K. Hatta, S. Wakabayashi, and T. Koide

Genetic algorithms (GAs) are widely used to solve complex optimization problems. In a GA, the optimal setting of parameters or operator probabilities is required to enhance the GA performance. For this problem, we have proposed a new measure called "elite degree" to show the potential goodness of an individual in a specific generation and developed an adaptive strategy, which determines what types of genetic operators to be used and/or what values to be used as parameter values in a GA not in advance but dynamically during the algorithm execution. Moreover we have extended the definition of the elite degree and applied the extended elite degree to the mutation step so as to adjust the mutation rate adaptively. From these extensions, we can generate a better solution in short computation time. Experimental results for benchmark test problems have shown the effectiveness of the GA with the adaptive parameter tuning based on elite degree.

- 3 . Sequence-Pair 表現を用いたVLSIフロアプランニングに対する適応的遺伝的アルゴリズム  
中矢真吾, 小出哲士, 若林真一

VLSI レイアウト設計において, 既設計モジュール(ハードマクロ)と新規設計モジュール(ソフトマクロ)を組み合わせて回路を実現する方式が広く用いられている. フロアプランニングは, チップ面積の最小化とパフォーマンスの向上のため, 重要な要素技術の1つとなっている. 我々はVLSI レイアウト設計におけるフロアプランニング問題に対し, 適応的遺伝的アルゴリズムに基づく新しい手法を提案した. 提案手法においては, 問題の解をシーケンスペア(Sequence-Pair)で表現し, 更に, 新たに提案する複数の交差手法を個体ごとに動的に選択することにより, 短い計算時間で優良解を求めることを可能にしている. シミュレーティッドアニーリング(SA)や通常の遺伝的アルゴリズムを用いたフロアプランニング手法との比較実験の結果, 提案手法の有効性を検証することができた.

- 4 . 多層配線層を持つVLSIに対する配線幅調整とバッファ挿入を伴ったタイミングドリブン階層概略配線手法  
小出哲士, 若林真一, 大佐古昌和

高性能が要求される多層配線層をもつVLSIでは, タイミング制約を満たす必要があるため, 概略配線が非常に難しくなっている. そこで本研究では配線層が6層のディープサブミクロンVLSIに対するレイアウト設計において, 与えられたタイミング制約を満たす概略配線経路を数理計画法を用いて階層的に求める手法を提案した. 提案手法では配線遅延モデルとしてElmore遅延モデルを仮定し, セル間のすべての配線は層ごとに配線幅の異なる6層の配線層で行われるものとする. 提案概略配線手法においては配線を階層的に詳細化することにより, 配線が局所的に混雑することを避ける. 各階層における配線では, 数理計画法を用いて複数のネットの配線経路を同時に決定する. その際に与えられたタイミング制約を満たすために, 配線経路の決定とバッファの挿入, および配線幅の決定を同時に行う. 提案概略配線手法をワークステーション上に実現し, シミュレーション実験結果を行い, 提案手法の有効性を確認した.

- 3 . An Adaptive Genetic Algorithm Using the Sequence-Pair Representation for VLSI Floorplanning  
S. Nakaya, T. Koide, and S. Wakabayashi

In VLSI layout design, the circuits are implemented by combination of designed modules (hard macro) and new designed modules (soft macro). A floorplanning is one of the most important element techniques of minimizing the chip area and improving performance. We have proposed a genetic algorithm (GA) for the floorplanning problem in VLSI layout design. In the proposed algorithm, a solution of the problem is represented as a sequence-pair. The proposed algorithm has an adaptive strategy, which dynamically selects an appropriate operator among newly proposed crossover operators as well as the one of two mutation rates to be applied to individuals during the algorithm execution. Experimental results have demonstrated the effectiveness of the proposed adaptive GA compared with conventional methods based on a simulated annealing (SA) and non-adaptive GAs.

- 4 . A Timing-Driven Hierarchical Global Routing Method with Wire-Sizing and Buffer-Insertion for VLSI with Multi-Routing-Layer  
T. Koide, S. Wakabayashi, and M. Ohsako

In the high performance VLSI with multi-layer layout model, the complexity of the global routing problem becomes much high under timing constraints. We have presented a timing-driven hierarchical global routing method with wire-sizing and buffer-insertion for multi-layer VLSI. The proposed algorithm adopts the Elmore delay as the interconnection delay model. All nets are routed on each layer, which has a different wire width. In our routing method, we adopt a hierarchical routing approach to avoid making locally congested regions. In each hierarchical level, the routes of nets are determined by solving a linear programming considering wire-sizing and buffer-insertion under timing constraints. We have implemented the proposed global routing method on a workstation and shown the effectiveness of the proposed global routing method from experimental results.

## 3.3. 発表論文

### 1. 研究論文

- (1) T. Mido, H. Ito, and K. Asada,  
“ TEST Structure for Characterizing Capacitance Matrix of Multi-layer Interconnections in VLSI,”  
IEICE Transactions on Electronics, Vol. E82-C, No. 4, pp. 570 - 575, April, 1999.
- (2) 小松聡, 池田誠, 浅田邦博,  
「適応型コード帳符号化による低消費電力チップインタフェースの検討」,  
電子情報通信学会論文誌, Vol. J82-C-II, No. 4, pp.203-209, 1999年4月.
- (3) T. N. Duyet, H. Ishikuro, Y. Shi, T. Saraya, M. Takamiya, and T. Hiramoto,  
“ Measurement of Energetic and Lateral Distribution of Interface State Density in Fully-Depleted Silicon on Insulator Metal-Semiconductor Field-Effect Transistors”,  
Japanese Journal of Applied Physics, Vol. 38, No. 4B, pp. 2496-2500, April, 1999.
- (4) M. Takamiya, T. Saraya, T. N. Duyet, Y. Yasuda, and T. Hiramoto,  
“ High Performance Accumulated Back-Interface Dynamic Threshold SOI MOSFET's (AB-DTMOS) with Large Body Effect at Low Supply Voltage”,  
Japanese Journal of Applied Physics, Vol. 38, No. 4B, pp. 2483 - 2486, April, 1999.
- (5) Y. Shi, K. Saito, H. Ishikuro, and T. Hiramoto,  
“ Characteristics of Narrow Channel MOSFET Memory Based on Silicon Nanocrystals”,  
Japanese Journal of Applied Physics, Vol. 38, No. 4B, pp. 2453 - 2456, April, 1999.
- (6) T. Koide and S. Wakabayashi,  
“ A timing-driven floorplanning algorithm with the Elmore delay model for building block layout,”  
INTEGRATION, the VLSI Journal, Vol. 27, pp. 57 - 76, April, 1999.
- (7) 若林真一, 小出哲士,  
「スタンダードセルレイアウト設計におけるセル配置改良を伴うタイミングドリブン端子割り当てアルゴリズム」,  
情報処理学会論文誌「電子システムの設計技術と設計自動化」特集号, Vol. 40, No. 4, pp. 1606 - 1617, 1999年4月.
- (8) 浅田邦博,  
「独創性を伸ばすシステムづくり(a)大学から見たシステム(VDEC)」,  
電子情報通信学会誌, Vol. 82, No. 5, pp. 454 - 457, 1999年5月.
- (9) T. Hiramoto and H. Ishikuro,  
“ Coulomb Blockade in VLSI-Compatible Multiple-Dot and Single-Dot MOSFETs”,  
International Journal of Electronics, Vol. 86, No. 5, pp. 591 - 603, May, 1999.
- (10) T. Hiramoto, H. Ishikuro, and H. Majima (Invited),  
“ Highly Integrated Single Electron Devices and Giga-bit Lithography”,  
Journal of Photopolymer Science and Technology, Vol. 12, No. 3, pp. 417 - 422, June, 1999.
- (11) 浜田玲子, 小松聡, 池田誠, 浅田邦博,  
「マイクロプロセッサにおけるデータバス信号系列の統計的解析および疑似データ生成モデルの提案」,  
電子情報通信学会論文誌, Vol. J82-A, No. 8, pp. 1406 - 1408, 1999年8月.
- (12) T. Tsujita, Y. Aihara, M. Fujishima, and K. Hoh  
“ Analysis of a Multivibrator-Based Simple CMOS Chaos Generator”,  
IEICE Trans. Fundamentals, Vol. 82-A, pp. 1783 - 1788, September, 1999.
- (13) 伊藤浩, 浅田邦博,  
「完全空乏型 SOI MOSFETのサブスレッショルド係数のバックゲート特性を用いた構造パラメータ評価手法」,  
電子情報通信学会論文誌, Vol. J82-C-II, No. 9, pp. 498 - 504, 1999年9月.
- (14) 八田浩一, 若林真一, 小出哲士,  
「遺伝的アルゴリズムにおける個体のエリート度に基づく遺伝オペレータと GA パラメータの適応的調整」,  
電子情報通信学会論文誌(D), Vol. J82-D-I, No. 9, pp. 1135 - 1143, 1999年9月.
- (15) E. Nagata, N. Takahashi, Y. Yasuda, T. Inukai, H. Ishikuro, and T. Hiramoto,  
“ Characteristic Distributions of Narrow Channel Metal-Oxide-Semiconductor Field-Effect-Transistor Memories with Silicon Nanocrystal Floating Gates”,  
Japanese Journal of Applied Physics, Vol. 38, No. 12B, pp. 7230 - 7232, December, 1999.
- (16) N. Takahashi, H. Ishikuro, and T. Hiramoto,  
“ Control of Coulomb blockade oscillations in silicon single electron transistor using silicon nano-crystal floating gates”  
Applied Physics Letters, Vol. 76, No. 2, pp. 209 - 211, January, 2000.

(17) N. Takahashi, H. Ishikuro, and T. Hiramoto,  
 “ Control of Coulomb blockade oscillations in silicon single electron transistor using silicon nano-crystal floating gates”  
 Applied Physics Letters, Vol. 76, No. 2, pp. 209 - 211, January, 2000.

(18) K. Asada, M. Ikeda, and S. Komatsu (Invited),  
 “ Approaches for Reducing Power Consumption in VLSI Bus Circuits, ”  
 IEICE Trans. Electronics, Vol. E83-C, No. 2, pp. 153 - 160, February, 2000.

(19) T. Hiramoto and M. Takamiya (Invited),  
 “ Low Power and Low Voltage MOSFETs with Variable Threshold Voltage Controlled by Back-Bias”,  
 IEICE Transactions on Electronics, Vol. E83-C, No. 2, pp. 161 - 169, February, 2000

(20) T. Irita, T. Ogura, M. Fujishima, and K. Hoh,  
 “ Microprocessor Architecture Utilizing Redundant-Binary Operation ”,  
 Systems and Computers in Japan, Vol. 30, No. 13, pp. 106 - 115, 1999.

## 2 . 国際会議

(1) M. Fujishima, Y. Kuniwa, and K. Hoh,  
 “ Band Runlength Coding for Low-Power Continuous Micro Monitors, ”  
 Proc. IEEE 1999 Custom Integrated Circuits Conference, pp. 291- 294, May, 1999.

(2) T. Hiramoto (Invited),  
 “ Extremely Low Power Silicon Devices ”,  
 Short Course of the Sixth Symposium on Nano Device Technology, National Chiao Tung University, Hsinchu, Taiwan, R.O.C, May, 1999.

(3) T. Hiramoto (Invited),  
 “ Quantum Effects in Silicon Single Electron Transistors”,  
 The Sixth Symposium on Nano Device Technology, pp. 1 - 4, National Chiao Tung University, Hsinchu, Taiwan, R.O.C, May, 1999.

(4) T. Hiramoto (Invited),  
 “ To fill the gap between Si-U LSI and nanodevices”,  
 Advanced Workshop of Frontiers of Electronics (WOFE'99), Villard de Lans, France, p. 29, May - June, 1999.

(5) H. Majima, H. Ishikuro, and T. Hiramoto,  
 “ Threshold Voltage Shift in Ultra-Narrow MOSFETs by Quantum Mechanical Narrow Channel Effect ”,  
 1999 Silicon Nanoelectronics Workshop, Rihga Royal Hotel Kyoto, Kyoto, Japan, pp. 76 - 77, June, 1999.

(6) Y. Yasuda, M. Takamiya, and T. Hiramoto,  
 “ Effects of Impurity Position Distribution on Threshold Voltage Fluctuations in Scaled MOSFETs ”,  
 1999 Silicon Nanoelectronics Workshop, Rihga Royal Hotel Kyoto, Kyoto, Japan, pp. 86 - 87, June, 1999.

(7) Y. Shi, H. M. Bu, X. L. Yuan, Y. D. Zheng, H. Ishikuro, H. Majima, and T. Hiramoto,  
 “ Random Telegraph Signals in Very Narrow Channel MOSFET ”,  
 1999 Silicon Nanoelectronics Workshop, Rihga Royal Hotel Kyoto, Kyoto, Japan, pp. 28 - 29, June, 1999.

(8) T. Hiramoto (Invited),  
 “ Highly Integrated Single Electron Devices and Giga-bit Lithography ”,  
 The International Symposium on Materials and Processes for Giga-bit Lithography 1999, University Convention Center, Chiba University, Chiba, Japan, June, 1999.

(9) Y. Shi, X. L. Yuan, S. L. Gu, Y. D. Zheng, K. Saito, H. Ishikuro, and T. Hiramoto,  
 “ Narrow channel MOSFET memory based on silicon nanocrystals and charge storage characteristics”,  
 IEEE 57th Device Research Conference, University of California, Santa Barbara, CA, USA, pp. 136 - 137, June, 1999.

(10) J. Akita, K. Maeda, A. Kitagawa, and M. Suzuki,  
 “ Fast Square-Area Detection Algorithm Using Automata for VLSI Implementation, ”  
 1999 IEEE Workshop on CCD & Advanced Image Sensors, June, 1999.

(11) M. Ikeda and K. Asada,  
 “ Standard Design Flows of Logic LSIs in Japanese Universities and VDEC, ”  
 Proc. of 1999 Micro Electronic Systems Education Conference (MSE 99), VA, USA, pp. 8 - 9, July, 1999.

(12) E. Nagata, N. Takahashi, H. Ishikuro, and T. Hiramoto,  
 “ Characteristics Distribution of Narrow Channel MOSFET Memories with Silicon Nano-Crystal Floating Gates”,  
 1999 International Microprocesses and Nanotechnology Conference, Yokohama Ginou Bunka Kaikan, Yokohama, Japan, pp. 86 - 87, July, 1999.

(13) A. Garnier, T. Bourouina, H. Fujita, T. Hiramoto, E. Orsier, and J-C. Peuzin,  
 “ Contactless actuation of bending and torsional vibrations for 2D-optical-scanner applications, ”  
 Tenth International Conference on Solid-State Sensors and Actuators (TRANSDUCERS,99), Sendai, Japan, pp. 1876 - 1877, July, 1999.

- (14) K. Asada, S. Komatsu, and M. Ikeda,  
 “Associative memory with minimum hamming distance detector and its application to bus data encoding,”  
 Proc. of AP-ASIC 99, Korea, 16.1, August, 1999.
- (15) T. Hiramoto (Invited),  
 “Extremely low power, high performance Dynamic Threshold MOSFETs operating at 0.5 V”,  
 Third International Workshop on Future Information and Process Technology, Harrison Hot Springs, Canada, August, 1999.
- (16) S. Ouchi, M. Fujishima and K. Hoh,  
 “Emulation of Quantum Computing by Finite Impulse Responses”,  
 Extended Abstracts of 1999 International Conference on Solid State Devices and Materials, pp. 96 - 97, Toshi Center, Tokyo, September, 1999.
- (17) T. Tsujita, M. Fujishima, and K. Hoh,  
 “Integrated Random-Signal Source Utilizing CMOS Chaos Multivibrator”,  
 Extended Abstracts of 1999 International Conference on Solid State Devices and Materials, pp. 102 - 103, Toshi Center, Tokyo, September, 1999.
- (18) A. Imamura, T. Tsujita, M. Fujishima, and K. Hoh,  
 “Accuracy Improvement of the Pipelined AD Converter by the Adjustment Using Its Chaotic Output”,  
 Extended Abstracts of 1999 International Conference on Solid State Devices and Materials, pp. 104 - 105, Toshi Center, Tokyo, September, 1999.
- (19) N. Takahashi, H. Ishikuro, and T. Hiramoto,  
 “Characteristics of Silicon Single Electron Transistors Controlled by Charge Injection into Silicon Nano-Crystal Floating Dots”,  
 1999 International Conference on Solid State Devices and Materials (SSDM'99), Nihon Toshi Center Kaikan, Tokyo, Japan, pp. 236 - 237, September, 1999.
- (20) H. Koura, M. Takamiya, and T. Hiramoto,  
 “Optimum Conditions of Body Effect Factor and Substrate Bias in Variable Threshold Voltage MOSFETs”,  
 1999 International Conference on Solid State Devices and Materials (SSDM'99), Nihon Toshi Center Kaikan, Tokyo, Japan, pp. 446 - 447, September, 1999.
- (21) T. Inukai and T. Hiramoto,  
 “Suppression of Stand-by Tunnel Current in Ultra-Thin-Gate Oxide MOSFETs by Dual Oxide Thickness MTCMOS (DOT-MTCMOS)”,  
 1999 International Conference on Solid State Devices and Materials (SSDM'99), Nihon Toshi Center Kaikan, Tokyo, Japan, pp. 264 - 265, September, 1999.
- (22) T. Bourouina, A. Garnier, H. Fujita, E. Orsier, J-C. Peuzin, T. Masuzawa, and T. Hiramoto,  
 “Analysis of Mechanical Nonlinearities in a Magnetically Actuated Silicon Microstructure”,  
 MME '99 Micro-Mechanics Europe, Gif-sur-Yvette, France, pp. 223 - 226, September, 1999.
- (23) T. Saraya and T. Hiramoto,  
 “Mechanisms of dynamic pass leakage current in partially depleted SOI MOSFETs”,  
 1999 IEEE International SOI Conference, Doubletree Hotel Sonoma County, CA, USA, pp. 84 - 85, October, 1999.
- (24) A. Garnier, T. Bourouina, H. Fujita, T. Hiramoto, E. Orsier, and J-C. Peuzin,  
 “Nonlinear behavior of a magnetic actuator”,  
 Seventh International Conference on Emerging Technologies and Factory Automation (IEEE ETFA '99), Barcelona, Spain, pp.393 - 396, October, 1999.
- (25) T. Bourouina, A. Garnier, H. Fujita, T. Hiramoto, E. Orsier, and J-C. Peuzin,  
 “Mechanical characterization of magnetostrictively actuated micro-resonators”,  
 International symposium on microelectronics and micro-electromechanical systems (SPIE MICRO/MEMS '99), Royal Pines Resort, Queensland, Australia, pp. 411 - 420, October, 1999.
- (26) T. Bourouina, A. Garnier, H. Fujita, T. Masuzawa, and T. Hiramoto,  
 “Micro-resonators with Magnetostrictive Actuation for 2D-Optical-Scanners”,  
 Science and Technology Workshop, the French Embassy, Tokyo, pp. 29 - 30, October, 1999.
- (27) T. Hiramoto, H. Ishikuro, H. Majima, and N. Takahashi,  
 “Characteristics of silicon nano-devices fabricated by micromachining”,  
 3rd France-Japan Workshop “From Nano to Macroscale science and technology through Microsystems”, (N2M '99), Kyoto Research Park, Kyoto, Japan, pp. 81 - 82, November, 1999.
- (28) H. Majima, H. Ishikuro, and T. Hiramoto,  
 “Threshold Voltage Increase by Quantum Mechanical Narrow Channel Effect in Ultra-Narrow MOSFETs”,  
 1999 IEEE International Electron Devices Meeting (IEDM), Washington D.C., USA, pp. 379 - 382, December, 1999.

(29) N. Takahashi, H. Ishikuro, and T. Hiramoto,  
 “ A Directional Current Switch Using Silicon Single Electron Transistors Controlled by Charge Injection into Silicon Nano-Crystal Floating Dots”,  
 1999 IEEE International Electron Devices Meeting (IEDM), Washington D.C., USA, pp. 371 - 374, December, 1999.

(30) T. Hiramoto, H. Ishikuro, and N. Takahashi,  
 “ Integration of Silicon Single Electron Transistors”,  
 3rd Sweden-Japan Workshop on Quantum Nanoelectronics, Aranvert Kyoto Hotel, Kyoto, Japan, p. 13, December, 1999.

(31) A. Garnier, T. Bourouina, E. Orsier, T. Masuzawa, H. Fujita, T. Hiramoto, and J-C. Peuzin,  
 “ A Fast Robust and Simple 2-D Micro-Optical Scanner Based on Contactless Magnetostrictive Actuation,”  
 The thirteenth Annual International Conference on Micro Electro Mechanical Systems (IEEE MEMS 2000), Miyazaki, Japan, pp. 714 - 719, January, 2000.

(32) T. Deguchi, T. Koide, and S. Wakabayashi,  
 “ Timing-driven hierarchical global routing with wire-sizing and buffer-insertion for VLSI with multi-routing-layer,”  
 Proc. of Asia and South Pacific Design Automation Conference 2000, (ASP-DAC2000), pp. 99 - 104, January, 2000.

(33) S. Wakabayashi, T. Koide, N. Toshine, M. Yamane, and H. Ueno,  
 “ Genetic algorithm accelerator GAA-II, ”  
 Proc. of Asia and South Pacific Design Automation Conference 2000, (ASP-DAC2000), pp. 9- 10, January 2000.

(34) T. Nezuca, T. Fujita, M. Ikeda, and K. Asada,  
 “ A Binary Image Sensor with Flexible Motion Vector Detection using Block Matching Method,”  
 Proceedings of ASP-DAC 2000, University LSI Design Contest, Yokohama, A1.11, pp. 21 - 22, February 2000.

(35) H. Aoki, M. Ikeda, and K. Asada,  
 “ On-Chip Voltage Noise Monitor for Measuring Voltage Bounce in Power Supply Lines Using a Digital Tester,”  
 International Conference on Microelectronic Test Structures 2000 (ICMTS2000), CA, USA, Session4.9, March, 2000.

(36) M. Ikeda, H. Aoki, and K. Asada,  
 “ DVDT: Design for Voltage Drop Test using Onchip-Voltage Scan Path, ”  
 2000 IEEE International Symposium on Quality Electronic Design(ISQED2000), CA, USA, Session3C.7, March 2000.

(37) T. Hiramoto, E. Nagata, and N. Takahashi,  
 “ Formation of silicon quantum dots and characteristic distri-

bution of silicon nano-crystal memories”,  
 The Fourth Symposium on Atomic-Scale Surface and Interface Dynamics, Tsukuba Convention Center, Ibaraki, Japan, pp. 37 - 40, March, 2000.

(38) T. Hiramoto,  
 “ Single electron charging and quantum effects in silicon nano-scale devices ”,  
 UK-Japan Seminar on New Developments in Semiconductor Physics, Devices and Materials, Oxford University, UK, March, 2000.

### 3 . 国内学会，研究会

(1) 平本俊郎，  
 「パネル討論 今後のマイクロプロセッサはどうなる？」，  
 第12回 回路とシステム（軽井沢）ワークショップ，軽井沢プリンスホテル（長野），1999年4月．

(2) 根塚智裕，藤田隆史，池田誠，浅田邦博，  
 「動きベクトル検出機能を有する2値画像センサ」，  
 ロボティ・メカトロニクス講演会，東工大岡山キャンパス（東京），2P2-49-053，1999年6月．

(3) 瀬戸謙修，池田誠，浅田邦博，  
 「スタンダードセルICのための識別対集合（SPFD）を用いた論理再合成」，  
 DAシンポジウム99，浜松，pp. 225-230，1999年7月．

(4) 池田誠，浅田邦博，  
 「VDECにおけるチップ試作テストランを通したライブラリ作成および設計フローの確立」，  
 DAシンポジウム99，浜松，pp. 149-152，1999年7月．

(5) 若林真一，小出哲士，山根正孝，上野初，利根直佳，  
 「遺伝的アルゴリズムアクセラレータGAA-IIの設計」，  
 情報処理学会DAシンポジウム'99, pp.143-148, 1999年7月．

(6) 中矢真吾，小出哲士，若林真一，八田浩一，  
 「適応的遺伝的アルゴリズムに基づくフロアプランニング手法」，  
 情報処理学会DAシンポジウム'99, pp.137-142, 1999年7月．

(7) 今井豊，早川史人，数馬信吾，渡辺晃，藤田隼人，秋田純一，北川章夫，鈴木正國  
 「金沢大学におけるチップ試作事例」，  
 DAシンポジウム，1999年8月．

(8) 相原祐一郎，藤島実，鳳紘一郎，  
 「カオスマルチパイプレータの1次元ネットワークにおける同期現象」，  
 電子情報通信学会基礎・境界ソサエティ大会，日本大学（船橋），A-1-33，1999年9月．

- (9) 木庭優治, 藤島実, 鳳紘一郎,  
「低消費電力バンドランレングスコーディング」,  
電子情報通信学会エレクトロニクスソサエティ大会, 日本大  
学(船橋), C-12-23, 1999年9月.
- (10) 安田有里, 高宮真, 平本俊郎,  
「閾値電圧ばらつきにおける統計的な不純物位置揺らぎ成分  
のスケーリングによる影響」,  
1999年秋季第60回応用物理学会学術講演会, 甲南大学(神  
戸), 1p-ZM-11, 1999年9月.
- (11) 犬飼貴士, 平本俊郎,  
「極薄ゲート酸化膜を用いた超低消費電力Dual Oxide Thick-  
ness MTCMOS (DOT-MTCMOS)」,  
1999年秋季第60回応用物理学会学術講演会, 甲南大学(神  
戸), 1p-ZM-7, 1999年9月.
- (12) 更屋拓哉, 平本俊郎,  
「SOI MOSFETにおけるダイナミックパルスリーク電流の  
ゲート長依存性」,  
1999年秋季第60回応用物理学会学術講演会, 甲南大学(神  
戸), 2a-ZL-1, 1999年9月.
- (13) 間島秀明, 平本俊郎,  
「極狭チャネルMOSFETにおける量子力学的狭チャネル効  
果(3)」,  
1999年秋季第60回応用物理学会学術講演会, 甲南大学(神  
戸), 2p-E-6, 1999年9月.
- (14) 平本俊郎, 安田有里, 高宮真,  
「微細 MOSFET における不純物の統計的「位置」揺らぎに  
よるしきい値電圧ばらつき」,  
電気学会プロセス・インテグレーション調査専門委員会お  
よび極微構造集積デバイス調査専門委員会合同委員会,  
市ヶ谷自動車会館(東京), 1999年9月.
- (15) 今井豊, 早川史人, 笠井稔彦, 中山和也, 柿本芳雄, 秋田  
純一, 北川章夫, 鈴木正國  
「集積化を目指した相変化型EEPROMの試作と評価」,  
1999年秋季第60回応用物理学会学術講演会, 1999年9月3  
日.
- (16) 今井豊, 笠井稔彦, 早川史人, 中山和也, 秋田純一, 北川  
章夫, 鈴木正國  
「不揮発性メモリデバイス作成用の下地基板の試作」,  
1999年VDEC LSIデザイナーフォーラム後援論文集, 東北  
大学, p.50, 1999年9月.
- (17) 小出哲士, 若林真一,  
「適応的遺伝的アルゴリズムアクセラレータGAAの開発と  
評価」,  
1999年VDEC LSIデザイナーフォーラム講演論文集, pp.70-  
83, 1999年9月.
- (18) T. Bourouina, A. Garnier, H. Fujita, E. Orsier, J-C. Peuzin,  
T. Masuzawa, and T. Hiramoto,  
“Magnetically-Driven 2D Micro-Optical Scanner,”  
MICROMACHINE '99, 東京, 1999年10月.
- (19) T. Bourouina, A. Garnier, H. Fujita, T. Masuzawa, and  
T.Hiramoto,  
“ANSYS Finite Element Modeling of a Silicon-Based Micro-  
Optical Scanner”  
ANSYS 99 JAPAN, 東京, pp. 109 - 118, 1999年10月.
- (20) 小出哲士  
「平成10年度VDEC事業報告」,  
平成11年度電気・情報関連学会中国支部第50回連合大会  
講演論文集, 102017, pp.284-285, 1999年10月.
- (21) 中矢真吾, 小出哲士, 若林真一,  
「個体表現にシーケンスペアを用いた適応的遺伝的アルゴリ  
ズムに基づくフロアプランニング手法」,  
平成11年度電気・情報関連学会中国支部第50回連合大会  
講演論文集, 142624, pp.418-419, 1999年10月.
- (22) 根塚智裕, 池田誠, 浅田邦博,  
「サブピクセルレベル動きベクトル検出および対応探索機能  
を有する多階調イメージセンサ」,  
第3回システムLSI琵琶湖ワークショップ(滋賀), pp.183-  
185, 1999年11月.
- (23) 平本俊郎, 高橋信義, 永田英次,  
「シリコンナノドットMOSメモリの特性と単電子デバイスの  
ピーク位置制御への応用」,  
文部省科研費特定領域研究「単電子デバイスとその高密度  
集積化」平成11年度第2回研究会, 東京大学物性研究所・  
生産技術研究所, pp. 51 - 56, 1999年11月.
- (24) 平本俊郎,  
「シリコンナノ構造と単電子素子」,  
日本電子工業振興協会量子関連エレクトロニクス専門委員  
会, 機械振興会館(東京), 1999年11月.
- (25) 平本俊郎,  
「SOIの最新動向と技術的課題と応用分野」,  
第3回システムLSI琵琶湖ワークショップ, ラフォーレ琵  
琶湖(滋賀), pp. 15 - 25, 1999年11月.
- (26) 松浦研, 福岡哲也, 藤島実, 田辺亮, 鳳紘一郎,  
「ソース・ドレイン領域にチタンシリサイドを用いた金属  
ゲートショットキー障壁SOI-MOSFET」,  
第57回半導体・集積回路技術シンポジウム講演論文集,  
pp.31-36, 機械振興会館(東京), 1999年12月.

- (27) 池田誠, 青木秀行, 浅田邦博,  
「オンチップ電圧スキャンパスを用いた電源電圧変動検証手法」,  
電子情報通信学会技術研究報告, 大阪大学(大阪), CPM99-121, ICD99-127, pp. 9-14, 1999年12月.
- (28) 間島秀明, 石黒仁揮, 平本俊郎,  
「極狭チャンネルMOSFETにおける量子力学的狭チャンネル効果によるしきい値電圧上昇」,  
電気学会極微構造集積デバイス調査専門委員会, 電気学会(東京), 1999年12月.
- (29) T. Bourouina, A. Garnier, H. Fujita, E. Orsier, J-C. Peuzin, T. Masuzawa, and T. Hiramoto,  
“Magnetically-Driven 2D Micro-Optical Scanner,”  
セミコンジャパン, 幕張メッセ(千葉) 1999年12月.
- (30) 平本俊郎,  
「SOIデバイス最新技術動向」,  
日本学術振興会超集積化デバイス・システム第165委員会第13回研究会, 弘済会館(東京), p. 9-14, 2000年1月.
- (31) 高橋信義, 石黒仁揮, 平本俊郎,  
「Si単電子デバイスの集積化による電流スイッチの試作」,  
電子情報通信学会電子デバイス研究会およびシリコン材料・デバイス研究会合同研究会, 北海道大学(北海道), ED99-299, SDM99-192, 2000年2月.
- (32) 平本俊郎, 高橋信義,  
「MOS構造を有するシリコン単電子デバイスとその集積化に関する研究」,  
特定領域研究「単電子デバイスとその高密度集積化」平成11年度成果報告会, 弘済会館(東京), pp. 145-148, 2000年2月.
- (33) 鳳紘一郎, 浅田邦博, 池田誠, 北川章夫, 小出哲士,  
「VLSI設計教育研究センターを利用した教育」,  
電子情報通信学会総合大会, 広島大学(広島), SA-2-4, 2000年3月.
- (34) 今村晃, 辻田達男, 藤島実, 鳳紘一郎,  
「パイプライン型A/D変換器における変換精度とカオスの振舞いととの相関」,  
電子情報通信学会総合大会, 広島大学(広島), A-1-17, 2000年3月.
- (35) 藤島実, 鳳紘一郎,  
「量子コンピュータのハードウェアエミュレーションの目指すもの」,  
電子情報通信学会総合大会, 広島大学(広島), SA-5-6, 2000年3月.
- (36) 坪倉岳志, 大内真一, 天川修平, 藤島実, 鳳紘一郎,  
「MOS型単電子メモリの動作機構」,  
第47回応用物理学関係連合講演会, 青山学院大学(東京), 28a-S-5, 2000年3月.
- (37) 松浦研, 藤島実, 鳳紘一郎,  
「Crゲート電極を用いたP型ショットキー障壁SOI-MOSFETの試作」,  
第47回応用物理学関係連合講演会, 青山学院大学(東京), 29a-ZK-5, 2000年3月.
- (38) 池田誠, 青木秀行, 浅田邦博,  
「オンチップ電圧スキャンパスを用いた電源線電圧ノイズの評価手法」,  
第14回エレクトロニクス実装学会学術講演大会 横浜国立大学(神奈川), pp. 167-168, Mar. 2000.
- (39) 中島祐介, 池田誠, 浅田邦博,  
「VLSI配線のインダクタンス計算における計算量の新しい削減方法」,  
2000年電子情報通信学会総合大会, 広島大学(東広島市), A-3-15, Mar. 2000.
- (40) 山岡寛明, 池田誠, 浅田邦博,  
「ラッチ形センスアンプを用いた高速PLA」,  
2000年電子情報通信学会総合大会, 広島大学(東広島市), C-12-16, Mar. 2000.
- (41) 小松聡, 池田誠, 浅田邦博,  
「低消費電力チップインタフェースのための適応型コード帳符号化方式の回路評価」,  
2000年電子情報通信学会総合大会, 広島大学(東広島市), C-12-14, Mar. 2000.
- (42) 山下高廣, 浅田邦博,  
「CSPL: オフセット電圧自己補償センスアンプを用いたキャパシタ分離型高速パストランジスタ回路」,  
2000年電子情報通信学会総合大会, 広島大学(東広島市), C-12-17, Mar. 2000.
- (43) 星野将史, 浅田邦博,  
「可変ブロックアクセス機能を有するスマートイメージセンサーを用いた三次元計測システム」,  
2000年電子情報通信学会総合大会, 広島大学(東広島市), C-12-51, Mar. 2000.
- (44) 平本俊郎,  
「20年後のVLSIデバイス」,  
JST平成11年度異分野研究者交流フォーラム「20年後のエレクトロニクスへ向けて - 材料面から見たエレクトロニクス・デバイス - 」, 大仁ホテル, 伊豆(静岡), p. 133, 2000年3月.



- (45) 小宇羅寛, 高宮真, 犬飼貴士, 平本俊郎,  
「Variable Threshold CMOS (VTVMOS)における基板バイアス定数と基板電位の最適条件とそのスケージング」,  
電子情報通信学会シリコン材料・デバイス研究会, 機会振興会館(東京), SDM99-228, 2000年3月.
- (46) 高宮真, 平本俊郎,  
「エリアペナルティとボディ遅延を考慮したDTMOS技術の有用性の検討」,  
2000年春季第47回応用物理学関連連合講演会, 青山学院大学(東京), 29a-ZK-1, 2000年3月.
- (47) 犬飼貴士, 高宮真, 野瀬浩一, 川口博, 桜井貴康, 平本俊郎,  
「Boosted Gate MOS (BGMOS)によるリークフリー回路の提案」,  
2000年春季第47回応用物理学関連連合講演会, 青山学院大学(東京), 28p-YA-10, 2000年3月.
- (48) 高橋信義, 石黒仁揮, 平本俊郎,  
「シリコン微結晶浮遊ゲートを用いた集積SETのピーク位置独立制御と電流スイッチの試作」,  
2000年春季第47回応用物理学関連連合講演会, 青山学院大学(東京), 29p-C-4, 2000年3月.
- (49) 安田有里, 高宮真, 平本俊郎,  
「バルク及び完全空乏型SOI MOSFETにおける統計的不純物ゆらぎによる閾値電圧ばらつきの比較」,  
2000年春季第47回応用物理学関連連合講演会, 青山学院大学(東京), 30a-YB-7, 2000年3月.
- (50) 永田英次, 高橋信義, 安田有里, 犬飼貴士, 石黒仁揮, 平本俊郎,  
「シリコン微結晶を用いた細線MOSFETメモリにおける特性ばらつきの解析」,  
2000年春季第47回応用物理学関連連合講演会, 青山学院大学(東京), 29p-C-12, 2000年3月.
- (4) 早川史人, 今井豊, 水橋嘉章, 中山和也, 秋田純一, 北川章夫, 鈴木正國,  
「カルコゲナイド薄膜の相転移を用いたEEPROMの試作と評価」,  
関西セミコン2000, 1999年6月.
- (5) 平本俊郎,  
「システムLSI - アプリケーションと技術 - 第3編システムLSIの基盤技術 第1章 テクノロジートレンド」,  
サイエンスフォーラム, pp. 303 - 309, 1999年7月.
- (6) A. Garnier, E. Orsier, J.C. Peuzin, K. MacKay, T. Hiramoto, and H. Fujita,  
“Experimental Investigation of the Bending and Torsional Motion of a Magneto-Elastic Bimorph for a Micro-Scanner,”  
生産研究, Vol. 51, No. 8, pp. 18 - 19, 1999年8月.

## 5 . 著 書

- (1) 深山正幸, 北川章夫, 秋田純一, 鈴木正國: HDLによるVLSI設計, 共立出版(1999).
- (2) 鳳紘一郎, 浅田邦博(編集委員), 池田誠, 北川章夫, 小出哲士(分担執筆) “半導体大辞典”工業調査会, 2000, (監修菅野卓雄, 川西剛).

## 4 . 紀要, その他

- (1) 平本俊郎,  
「SOIデバイスをレビューする」,  
Break Through, No. 154, pp. 4 - 5, 1999年4月.
- (2) 鳳紘一郎,  
「大学におけるVLSI設計教育支援活動の現状」,  
ESS 99 システムLSIソリューションフェア・コンファレンス, S-6, 東京ビッグサイト(東京), 1999年5月.
- (3) 小川明宏, 水野浩樹, 北川章夫, 鈴木正國,  
「Low Tech Process (ガスフレームアニール)による高性能Poly-Si TFTの作製」,  
関西セミコン2000, 1999年6月.

## 第4章 平成12年度の活動計画

平成12年度からは、従来の設計情報発信、CADツール提供、チップ試作支援に加え、プロジェクト型研究の推進に関して事業内容を充実拡充していく予定である。

### 【設計情報発信・セミナー開催】

平成11年度に開催した、CADツール利用法に関する技術セミナー、社会人向けの「リフレッシュセミナー」、若手のための「デザイナーフォーラム」を継続して開催することに加え、教科書、教材の整備充実を行うことを予定している。これにより自然な形で、若手のVLSI設計者の層を厚くし、定常的な情報交換の場を確立していきたい。試作チップ数の増加にともない、チップ動作検証に対する要望が増大していくものと予想されるが、LSIテスト技術および、VDECおよび拠点校に設置されているLSIテスター利

用法のセミナーも継続して開催し、VDECおよび拠点校のテスターに対し「利用資格」を有する学生・研究者の数を増やす努力をしていく予定である。同時に各拠点校のテスター関係者の連携を密にすることで多様化していくテストの需要に全国レベルで対応する体制を整えていきたい。これは、大きなコストを必要とするテスターの維持・管理を効率化し、維持コストを抑えつつ有効利用を促進するねらいを持っている。

### 【CADツール提供】

上流設計（Cadence, Synopsys）、中流設計（Avant!, Cadence）、下流設計（Cadence）の各基本ツールを、平成12年度もサポートしていく。CADツールに必要な論理設計用ライブラリについては、ファウンドリ提供のものに加え、京都大学、九州大学、早稲田大学、豊橋科学技術大学などの協力を得て、VDECのチップ試作テストラン等を通じて構築されたライブラリの整備が進んでおり、平成12年度は、より信頼性の高い

ものの提供、およびライブラリに応じたより進んだ設計フローの構築などを目指していきたい。

また、後述のプロジェクト型研究などの推進により、IPベース設計手法の確立、および大学で利用できるIP（マクロライブラリ）の構築、整備を進めたい。これらの整備活動には広く各大学からの協力を期待している。

### 【チップ試作支援】

平成12年度においては、従来の日本モトローラ株式会社の試作が、オン・セミコンダクタに引き継がれ、日立北海セミコンダクタ株式会社、ローム株式会社、日立製作所の協力により、5種類のプロセスで計10回

の試作を設定する予定である（すでに一部の試作は進行中である）。これに加え、一層の微細プロセスによるチップ試作機会の提供に向けての協力を依頼していきたい。

表4.1 VEDCチップ試作スケジュール（平成12年度）

【CMOS 1.2 μm 2P2M】 オン・セミコンダクタ（旧日本モトローラ）

	申込開始	申込〆切	設計〆切	チップ納品
第1回	平成12年4月3日	平成12年7月3日	平成12年10月2日	平成13年2月5日
第2回	平成12年10月2日	平成13年1月16日	平成13年4月2日	平成13年7月23日

【CMOS 0.6 μm 2P3M】 ローム

	申込開始	申込〆切	設計〆切	チップ納品
第1回	—————	平成12年3月20日	平成12年6月19日	平成12年10月11日
第2回	平成12年4月30日	平成12年7月31日	平成12年10月30日	平成13年2月26日
第3回	平成12年8月28日	平成12年11月27日	平成13年2月26日	平成13年6月25日

【CMOS 0.5 μm 1P3M】 日立北海セミコンダクタ

	申込開始	申込〆切	設計〆切	チップ納品
第1回	—————	平成12年5月29日	平成12年8月28日	平成12年12月4日
第2回	平成12年7月31日	平成12年10月30日	平成13年1月29日	平成13年5月14日

【CMOS 0.35 μm ゲートアレイ 1P5M】 日立製作所

	申込開始	申込〆切	設計〆切	チップ納品
第1回	平成12年4月26日	平成12年7月10日	平成12年12月11日	平成13年2月12日

【CMOS 0.35 μm 2P3M】 ローム

	申込開始	申込〆切	設計〆切	チップ納品
第1回	平成12年4月26日	平成12年5月19日	平成12年9月11日	平成13年1月16日
第2回	平成12年4月26日	平成12年6月30日	平成13年3月12日	平成13年7月8日

（注）P：ポリメタル層、M：メタル層

表4.2 チップ試作料金

設計規則	チップサイズ	税抜価格（千円）	設計規則	チップサイズ	税抜価格（千円）
CMOS 1.2 μm 2P2M	2.3mm角	66.5	CMOS 0.5 μm 1P3M	2.3mm角	166.75
	4.8mm角	230		4.8mm角	747.5
	7.3mm角	451	CMOS 0.35GA 1P5M	6.0mm角	506
CMOS 0.6 μm 2P3M	3.2mm角	160	CMOS 0.35 μm 2P3M	4.9mm角	375
	4.5mm角	240			
	9.0mm角	950			

## 【プロジェクト型研究】

VLSI 技術は日々進歩しており，VDECがサポートしているCADツールやライブラリ，チップ試作技術も時代に即した高性能・高機能なものへと改善していきたいと考えており，各方面の協力を随時お願いする予定である．平成12年度は新たな取り組みとして，特定のテーマごとに研究グループを組織しVDECに

おけるチップ試作を利用した研究を推進し，その成果物として，大学において自由に利用できるようなマクロライブラリの構築を目指していきたい．具体的には，以下の表に示すプロジェクトを推進していく予定である．

表4.3 プロジェクト型研究

### (a) IP開発研究

グループ名	代表者名	概要
デジタルプロセッサコア IP 開発研究	安浦寛人 (九州大学)	ソフトコアプロセッサ，ビヘイビア記述からのLSI設計教育向きプロセッサ開発
デジタル演算ユニット IP 開発研究	高木直史 (名古屋大学)	算術演算回路，基本的な演算ユニット，PPRAMインターフェース，スマートコア，同期・非同期インターフェース
高速 AD / PLL / OP-Amp IP 開発研究	谷口研二 (大阪大学)	8-10ビット Flash / Pipeline, Rail-to-rail OP-Amp, 差動 OP-Amp, クロック生成用PLL, 低電圧・高周波OP-Amp, イメージセンサA / D変換 / 多重解像度フィルタリング / 動き検出回路
PWM / AD IP 研究開発	岩田 穆 / 森江 隆 / 永田 真 (広島大学)	容量アレイ型AD, DA変換器, オーバサンプリング型AD変換器, デシメーションフィルタ, PWM方式演算回路, VCO回路, PLL回路, カオス発生回路, アナログフィルタ (カレントモードフィルタ), パイラインA / D変換器 (10ビット, 20MSps), アナログ / デジアナ反応拡散チップ, 動き検出イメージセンサ, ハフ変換チップ, ゼロ交差画素検出回路, 14ビット, 400MSps, 2V動作D / A変換器
機能メモリーIP研究開発	池田 誠 / 石原 亨 (東京大学)	

### (b) IP利用技術研究の参加者および概要

大学	氏名	概要
東京大学	池田 誠	
九州大学	村上和彰	M-COREを2個，その間にコプロセッサとしてのFPGAならびにPPRAM-Link I / F (PLIF) を搭載し，いくつかの実験を実施
金沢大学	深山正幸	インターネット携帯端末向けシステムLSIを設計
東京工業大学	國枝博昭	
東京大学	柴田 直	
広島大学	小出哲士	
北海道大学	山本 強	
大阪大学	今井正治	
熊本大学	末吉敏則	M-COREの周辺回路として (自作の)FPGAを搭載し，M-COREをFPGAのコントローラとして用いるようなCustom Computing Machineの設計 FPGAは対象となるプロセスに合わせて設計

## 第5章 チップ試作結果報告

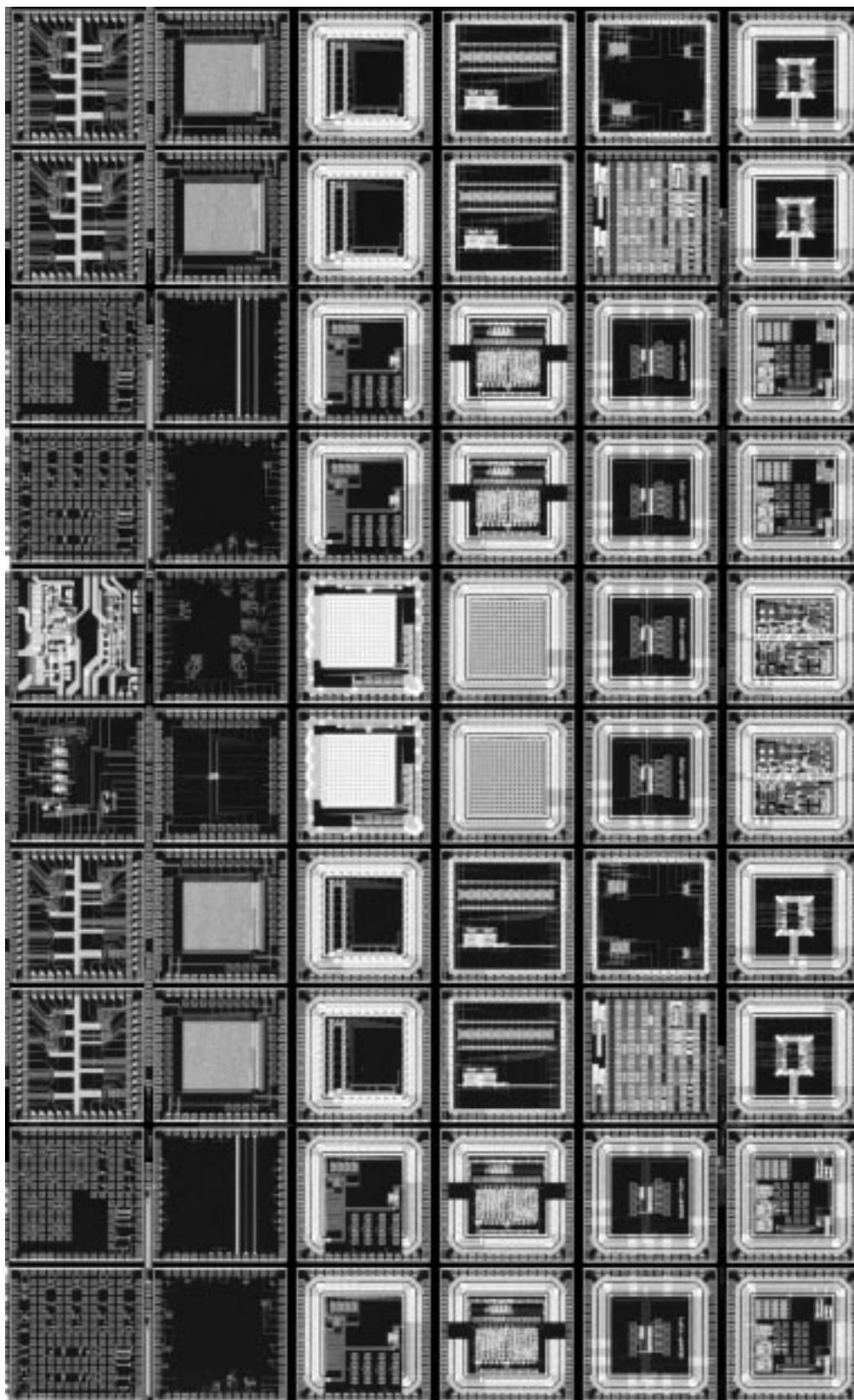


図5.1 「相乗りチップ」の顕微鏡写真

## 平成10年度 第3回 オンセミコンダクタ(旧 日本モトローラ) チップ試作 (MOT983)

タイトル	大学名	研究者	掲載頁
高精度アナログ乗算回路を用いた非単調ニューロンの試作	東北大学電気通信研究所	金城 光永 佐藤 茂雄 中島 康治	62
隣接回路間の相互作用検証用VCOの設計	東北大学工学部	高柳 史一 小谷 光司 大見 忠弘	62
集積型空間光変調器によるマルチレベル表示	筑波大学物理工学系 電子技術総合研究所	有馬 宏幸 谷田 貝 豊彦 森 雅彦	62
画像処理用アナログ MOSセルオートマトン回路TEGの設計試作(1)	北海道大学工学研究科	黄 志雄 池辺 将之 雨宮 好仁	63
PLL TEG (PLL特性の場所依存性の評価)	九州大学大学院システム情報科学研究科	吉澤 弘泰 エルハドリ アリ 中司 賢一	63
高分子ゲルのチップ上へのパターンニング	奈良先端科学技術大学院大学 物質創成科学研究科	赤澤 淳 太田 淳	63
パルス幅変調信号ビジョンチップの試作	奈良先端科学技術大学院大学 物質創成科学研究科	上原 昭宏 太田 淳	63
カルコゲナイド不揮発性メモリのための下地基板	金沢大学工学部	早川 史人 今井 豊	64
低電源電圧OTAの試作	東京工業大学工学部	和田 和千 高木 茂孝 藤井 信生	64
センシングシステムLSIの設計	神奈川工科大学電気電子工学科	須田 隆也 佐藤 敦雄 平塚 崇 大和 裕樹 宝川 幸司	64
アナログークロスパススイッチの設計	岩手大学工学部	吉田 正樹 熱海 宏信	65
リングアレイ前方視超音波イメージャ用集積回路の試作	東北大学大学院工学研究科 機械電子専攻	西尾 真博 江刺 正喜	65

## 平成10年度 第4回 オンセミコンダクタ(旧 日本モトローラ) チップ試作 (MOT984)

タイトル	大学名	研究者	掲載頁
4ビット全加算器および7セグメントLED用デコーダの設計	東京大学工学部 東京大学大規模集積システム設計教育研究センター	小島 隆広 池田 誠 浅田 邦博	65
可変分周器の設計	東京大学工学部 東京大学大規模集積システム設計教育研究センター	大池 祐輔 池田 誠 浅田 邦博	65
4ビット全加算器および7セグメントLED用デコーダの設計	東京大学工学部 東京大学大規模集積システム設計教育研究センター	吉田 浩章 池田 誠 浅田 邦博	66
マルチバイブレータを用いたカオス発振回路の相互結合による不規則発振回路(2)	東京大学工学系研究科 東京大学新領域創成科学研究科	相原 祐一郎 鳳 紘一郎	66
リングアレイ前方視超音波イメージャ用集積回路の試作	東北大学大学院工学研究科機械電子専攻	西尾 真博 江刺 正喜	66
ニューロンMOSマクロモデル検証用の試作回路	静岡理科大学大学院理工学研究科材料科学専攻	落合 忠博 波多野 裕	66
CMOSカレント・コンペアの設計	静岡大学電子工学研究所	倉科 隆 小川 覚美 渡邊 健蔵	67
電卓チップの設計	京都大学情報学研究科	小林 和淑 小野寺 秀俊	67
マクロセルライブラリを用いた2ビットマイクロプロセッサの設計	静岡理科大学大学院理工学研究科 材料科学専攻	石倉 康充 波多野 裕	67
電圧設定回路の試作	東京工業大学工学部	和田 和千 高木 茂孝 藤井 信生	68
ADCL回路を用いた超低消費電力拡張型4ビットALU(1)	山形大学工学部	橋本 晋一 水沼 充 高橋 一清	68
パルス幅変調型ビジョンチップの試作	奈良先端科学技術大学院大学 物質創成科学研究科	上原 昭宏 太田 淳	68
アクティブピクセルセンサーの試作	奈良先端科学技術大学院大学 物質創成科学研究科	上原 昭宏 太田 淳	68
二次元エッジ検出網膜回路の設計	豊橋技術科学大学	宮下 貴重 米津 宏雄	69
二次元動き検出センサの基本回路設計	豊橋技術科学大学	大谷 真弘 米津 宏雄	69
視覚対象を追従する運動モデルのアナログ電子回路化	豊橋技術科学大学	浅井 哲也 (現在、北海道大学工学部電子工学科に所属) 宮下 貴重 米津 宏雄	69
低電圧・広帯域OTAの設計	熊本大学工学部	タン ジューホア 佐々木 守	70

タイトル	大学名	研究者	掲載頁
超低消費電力電荷電圧変換回路の試作(1)	高エネルギー加速器研究機構 素粒子原子核研究所	池田 博一	70
超低消費電力電荷電圧変換回路の試作(2)	高エネルギー加速器研究機構 素粒子原子核研究所	池田 博一	70
電流モード連続時間トランスバーサルフィルタの設計(1)	熊本大学工学部	宮長 晃一 佐々木 守	70
2値化機能を混載したイメージセンサの設計	熊本大学工学部	久松 康秋 佐々木 守	71
3ステート電流メモリによる低電圧A/D変換器の設計	熊本大学工学部	山本 真也 佐々木 守	71
低温動作用CMOSアンプ設計に向けたデバイスモデル作成用チップ	横浜国立大学工学部	小菅 一弘 吉川 信行	71
ノイズ特性評価用増幅型CMOSイメージセンサ	広島市立大学大学院 情報科学研究科	梅田 昌宏 堀居 賢樹	72
ノイズ特性評価回路の設計	広島市立大学大学院 情報科学研究科	梅田 昌宏 堀居 賢樹	72
パルス形ニューロンモデルの試作	日本大学理工学部	矢地 良洋 佐伯 勝敏 関根好文	72
パルス形ニューロンモデル用負性抵抗素子の試作	日本大学理工学部	隅山 正巳 鳥田季代子 佐伯勝敏 関根 好文	73
MOSFETのTEGの試作	東京理科大学理工学部電気工学科	大熊 康介 高重 英明 兵庫 明 関根 慶太郎	73
フローティングゲートMOSFETを用いた電流モードアナログ基本回路の設計	熊本大学工学部	中根 秀夫 井上 高宏 二宮 達也 浜田 大作	73
ニューロンMOSFETを用いた3進SD数系全加算器の設計	関西大学工学部	今西 茂 柴山 哲也 三迺 浩太 村中 徳明	73
ULSIデバイスにおける低消費電力化を指向した降圧回路	東北大学電気通信研究所	須永 和久 遠藤 哲郎 舛岡富士雄	74
パストランジスタの信号電圧の評価	東北大学電気通信研究所	船木 寿彦 遠藤 哲郎 舛岡富士雄	74
パストランジスタの信号電圧の評価	東北大学電気通信研究所	船木 寿彦 遠藤 哲郎 舛岡富士雄	74
8ビット全加算器の試作	広島工業大学工学部	大村 道郎 高田 勇 田中 武	75
三次元セルラーニューラルネットワーク回路の設計	北海道大学	藤原 孝信 赤澤 正道 雨宮 好仁	75
98年度学部学生・修士学生のフルカスタム設計演習	金沢大学工学部	小川 明宏 高瀬 信二 今井 豊 数馬 晋吾 藤田 隼人 水野 浩樹 村上 崇 渡辺 晃 秋田 純一	75

### 平成11年度 第1回 オンセミコンダクタ(旧日本モトローラ) チップ試作(MOT991)

タイトル	大学名	研究者	掲載頁
埋め込み型機能的電気刺激装置ためのカスタムICの試作	埼玉大学工学部	秋山 卓郎 高橋 幸郎	76
マルチバイブレータを用いたカオス発振回路の相互結合による不規則発振回路(3)	東京大学工学系研究科 東京大学新領域創成科学研究科	相原 祐一郎 鳳 紘一郎	76
リングアレイ前方視超音波イメージャ用集積回路の試作	東北大学大学院 工学研究科機械電子専攻	西尾 真博 江刺 正喜	76
リングアレイ前方視超音波イメージャ用集積回路の試作	東北大学大学院 工学研究科機械電子専攻	西尾 真博 江刺 正喜	77
共鳴エージェントによる連想回路の設計	東京大学工学部 東京大学新領域創成科学研究科	山崎 俊彦 三好 知之 柴田 直 岡田敦彦(研究員)	77
テスト測定、FIB測定標準LSIの設計	京都大学情報学研究科	小林 和淑 小野寺秀俊	77
ニューロンMOSトランジスタを用いた電圧モード多値論理回路用チップの試作	宮崎大学工学部	沈 靖 郭 宏 真方 弘志 Ghada Mustafa 垣内慎一郎 淡野 公一 石塚 興彦	78
電流モード多値論理回路用チップの試作	宮崎大学工学部	首藤 真 唐玉 明 永里 政嗣 田中 寿 淡野 公一 石塚 興彦	78
ニューロンMOSトランジスタ単体とそれを用いたダウンリテラル回路用チップの試作	宮崎大学工学部	稲葉 基 堤 貴彦 小野 豊 淡野 公一 石塚 興彦	78
ステレオ画像を用いた障害物検出LSIの設計	芝浦工業大学システム工学部	吉良 堅太郎 上田 和宏	79

タイトル	大学名	研究者	掲載頁
アナログオペアンプの設計	埼玉大学工学部	秋山 卓郎 高橋 幸郎	79
マイクロプロセッサ回路の設計	静岡理工科大学理工学部電子工学科 静岡理工科大学大学院理工学研究科材料科学専攻	河原崎 正吾 伊藤 外憲己 小松原 肇 竹下 智之 仲本 政樹 石倉 康充 波多野 裕	79
ニューロンMOS回路の設計	静岡理工科大学理工学部電子工学科 静岡理工科大学大学院理工学研究科材料科学専攻	中西 学 古橋 和弘 山本 佳和 落合 忠博 波多野 裕	80
2ビットマイクロプロセッサとニューロンMOS回路の設計	静岡理工科大学大学院理工学研究科材料科学専攻	石倉 康充 落合 忠博 波多野 裕	80
第2世代カレントコンベヤと低歪みOTAの試作	東京工業大学工学部	和田 和千 高木 茂孝 藤井 信生	80
OTAとアナログフィルタの試作	東京理科大学理工学部電気工学科	矢成 治夫 長沢 俊伸 高重 英明 兵庫 明 関根 慶太郎	81
フローティングゲートMOSFETを用いた電流モードアナログ乗除算回路の設計	熊本大学工学部	福寿 雄二 工藤 孝平 濱里 主己 井上 高宏	81
フローティングゲートMOSFETを用いた電流モードアナログフィルタ用基本回路の設計	熊本大学工学部	中根 秀夫 米村 洋幸 井上 高宏	81
CMOS RS-FF縦続接続回路の設計	熊本大学工学部	米村 洋幸 徳永 裕介 中根 秀夫 井上 高宏	82
スイッチトキャパシタ変成器を用いたDC-DCコンバータの設計	福岡大学工学部	松尾 嘉洋 末次 正	82
スイッチトキャパシタ変成器を用いた昇圧型DC-DCコンバータの設計	福岡大学工学部	七澤 威夫 末次 正	82
8ビットALUの設計	九州大学大学院システム情報科学研究科 九州大学電子情報工学科	鉄川 龍也 森永 博之 久門 亨 松尾 小百合	82
10ビットFPUの試作	九州大学大学院システム情報科学研究科 九州大学電子情報工学科	鉄川 龍也 森永 博之 久門 亨 松尾 小百合	83
低温動作CMOS アンプとデジタル回路の設計	横浜国立大学工学部	小菅 一弘 阿部 高志 本告 圭 吉川 信行	83
プログラム可能なイメージセンサのための試験回路	広島市立大学大学院	佐伯 賢治 堀居 賢樹	83
相関型動き検出アナログネットワークの電子回路化	豊橋技術科学大学	大谷 真弘 米津 宏雄	83
局所適応機能を有する二次元エッジ検出網膜チップ	豊橋技術科学大学	宮下 貴重 米津 宏雄	84
内網膜機能に学んだ動き検出モデルのアナログ電子回路化	豊橋技術科学大学	山田 仁 米津 宏雄	84
二次元網膜回路に用いる出力走査回路の設計	豊橋技術科学大学	西尾 公裕 米津 宏雄	84
ニューロンMOSFETを用いた多値論理回路の設計	関西大学工学部	今西 茂 三迺 浩太 村中 徳明	85
ADCL回路を用いた超低消費電力拡張型4ビット加算/減算器(2)	山形大学工学部	石上 聡 水沼 充 高橋 一清	85
ADCL回路を用いた超低消費電力拡張型4ビットALU(2)	山形大学工学部	大久保裕章 小松 久泰 橋本 晋一 水沼 充 高橋 一清	85
電流モード連続時間トランスバーサルフィルタの設計(2)	熊本大学工学部	宮長 晃一 佐々木 守	86
電流ミラーの伝達特性を利用した高周波フィルタの設計	熊本大学工学部	佐々木 守	86
断熱パスタランジスタ論理回路(APL回路)の設計	熊本大学工学部	原口 隆一 黒木 慎司 堺 昭一 佐々木 守	86
2ビットCPUの試作	広島工業大学工学部	大村 道郎 加藤 圭太 田中 武	87
3次元配線領域における迷路配線セルの試作	広島工業大学工学部	大村 道郎 門田 亘弘	87
VDECのCAD導入を目的としたタイマー回路	富山県立大学工学部	山本 真也 松田 敏弘	87
VLSI工学設計演習(乱数発生回路)	九州大学 工学部 電気情報工学科 九州大学 大学院 システム情報科学研究科	黒田 大介 田上 暢顕 中司 賢一	87
パスタランジスタ論理を用いたPLDの試作	京都大学情報学研究科	富田 明彦 檜田 和浩 永松 浩史 境 和久 泉 知論 中村 行宏	88



タイトル	大学名	研究者	掲載頁
二次元動き方向選択性を持つ神経ネットワークの アナログ電子回路設計	北海道大学工学部	幸谷 真人 浅井 哲也 雨宮 好仁	88
アナログ・デジタル混載型動き検出ビジョンチップの設計	北海道大学工学部	浅井 哲也 雨宮 好仁	88
三次元CNN用の出力インターフェース回路の試作	北海道大学工学部	藤原 孝信 赤澤 正道 雨宮 好仁	89
周波数出力イメージセンサーの試作	奈良先端科学技術大学院大学 物質創成科学研究科	上原 昭宏 太田 淳	89
感度補正回路の試作	奈良先端科学技術大学院大学	赤澤 淳 太田 淳	89
画像処理用アナログ MOSセルオートマトン回路TEGの設計試作(2)	北海道大学工学研究科	黄 志雄 池辺 将之 雨宮 好仁	89
電流モード MOSによるセルオートマトンの設計	北海道大学大学院電子情報工学専攻集積回路分野	山田 崇史 池辺 将之 雨宮 好仁	90
Difference-of-Gaussian処理を行うTEG回路	北海道大学	砂山 辰彦 池辺 将之 雨宮 好仁	90
画像処理用 MOSセルオートマトン回路TEGの設計試作	北海道大学工学研究科	池辺 将之 赤澤 正道 雨宮 好仁	90
負性抵抗を実現する素子回路を用いた 非線型写像回路の設計	名古屋大学工学研究科量子工学専攻	上村 朋典 前澤 宏一 水谷 孝	90
CMOSによるFuzzyメンバーシップ関数回路	玉川大学学術研究所 玉川大学工学部	中村 眞次 小池 卓郎	91
ハミング距離に基づく時系列カラービデオ信号の 実時間色抽出回路	金沢大学工学部	秋田 純一	91
99年度学部学生のフルカスタム設計演習	金沢大学工学部	笠井 稔彦 佐々木勝光 大門 慎二 高松 直樹 辻川 隆俊 遠山 治 中村 公亮 蓮 達弘 水木 誠 秋田 純一	91
電流モードCMOS演算回路TEG	上智大学理工学部	石塚 淳 越坂 亮介 和保 孝夫	91
サンプル・ホールド回路TEG	上智大学理工学部	寺島 洋和 越坂 亮介 和保 孝夫	92
負性微分抵抗回路TEG	上智大学理工学部	越坂 亮介 和保 孝夫	92
MOS構成に適したアナログ形PLLの試作	秋田大学工学資源学部	大栗 強 伊藤 文人 井上 浩	92
Viterbi復号回路の差分演算による簡略化	九州大学大学院システム情報科学研究科	吉澤 弘泰 前田 文雄 秀島 功介 中司 賢一	93
16bitマイクロプロセッサの設計	名古屋工業大学工学研究科	中野 浩嗣 木下 秀昭 伊藤 暁一 ズハディズルキフリ 小柳 匡	93

## 平成 11 年度 第 1 回 日立北海セミコンダクタ チップ試作 (HHS991)

タイトル	大学名	研究者	掲載頁
化合物半導体量子効果素子との集積化チェック用 基板の設計	名古屋大学工学研究科量子工学専攻	上村 朋典 前澤 宏一 水谷 孝	93
VDECチップ開発フローの習得演習	東京大学工学部	長澤 純人 山口真奈美 下山 勲	94
階層構造型マルチポートメモリ(第1階層)の設計	広島大学ナノデバイス・システム 研究センター	岸 浩二 行天 隆幸 龍見 善之 金 宗是 H.J.Mattausch	94
イメージセンサ受光部の定量測定	奈良先端科学技術大学院大学物質 創成科学研究科	赤澤 淳 太田 淳	94
特性ばらつき評価回路	広島市立大学情報科学部	寺田 和夫	95
Rail-to-Rail OPアンプとスイッチトカレント(SI) 回路の試作	東京理科大学理工学部電気工学科	丹羽 智 渡辺 章人 高重 英明 兵庫 明 関根慶太郎	95
階層構造型マルチポートメモリ(第2階層)の設計	広島大学ナノデバイス・システム 研究センター	行天 隆幸 岸 浩二 龍見 嘉之 金 宗是 H.J.Mattausch	95
EXDセルライブラリ検証用TEGチップの設計	九州大学大学院システム情報科学研究科	石原 亨 安浦 寛人	96
遅延ばらつき測定用乗算器の設計	九州大学大学院システム情報科学研究科	溝口 大介 安浦 寛人	96
匂い認識チップの研究	東京工業大学工学部	中本 高道 河村 聡 森泉 豊栄	96

平成10年度 第2回 ローム チップ試作 (ROHM982)

タイトル	大学名	研究者	掲載頁
自動並列化コンパイラの静的予測を支援する 浮動小数点演算ユニット	慶應義塾大学理工学部	川口 貴裕 天野 英晴	97
交差手法の動的選択機能を組み込んだ適応的遺伝的 アルゴリズムの専用LSI化	広島大学工学部 東京大学大規模集積システム設計教育研究センター	若林真一 小出哲士	97
可変ブロックアクセス機能を有するイメージセンサ	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター	星野 将史 池田 誠 浅田 邦博	97
空間可変サンプリングを行うスマートイメージ センサの設計	東京大学大学院工学系研究科 東京大学新領域創成科学研究科	大塚康弘 相澤清晴	98
2次元アナログ人工網膜チップの設計	九州工業大学情報新領域創成科学研究科	亀田 成司 八木 哲也	98
マイクロ生体モニタのための可変データバスプロセス	東京大学工学系研究科	木庭 優治 藤島 実 鳳紘一郎	98
X線光電子スペクトル解析用複素数演算ユニット および汎用演算ユニットの設計	武蔵工業大学工学部電気電子工学科	行本 伸介 小林 孝文 野平 博司 森木 一紀 服部 健雄	98
X線光電子スペクトル解析用高速フーリエ変換 ユニットの試作	武蔵工業大学電気電子工学科	齋藤 豊 野平 博司 森木 一紀 服部 健雄	99
変調A/D変換用くし形デジタルフィルタ	静岡大学電子工学研究所 仙台電波高専	川人祥二 中林 撰	99
低消費電力パイプラインA/D変換器	静岡大学電子科学研究科 電子工学研究所	宮崎大輔 川人祥二	99
高速PLL回路評価TEG	京都大学情報学研究科	安田岳雄 藤田 浩章 小野寺秀俊	100
基板雑音定量評価テストチップ(1)	広島大学工学部	永田 真 森江 隆 岩田 穆	100
基板雑音定量評価テストチップ(2)	広島大学工学部	永田 真 森江 隆 岩田 穆	100
低スイッチング雑音CMOS論理回路を用いた8Bit加算器(2)	広島大学工学部	土方克昌 永田 真 岩田 穆	101
PWM信号を用いた動きベクトル検出回路部分回路 及び重み加算精度評価チップ	広島大学工学部	番本 吉則 中村 恒博 永田 真 森江 隆 岩田 穆	101
基板モデル作成のための評価TEG	広島大学工学部	村坂 佳隆 永田 真 岩田 穆	101
確率連想処理回路とPWM方式不揮発性アナログ メモリ制御回路	広島大学工学部	山中登志夫 村越 健一 木下 茂雄 森江 隆 永田 真 岩田 穆	102
画像分割用非線形振動子ネットワーク回路	広島大学工学部	安藤 博士 森江 隆 永田 真 岩田 穆	102
有線CDMAによるニューラルネットワークLSDの設計	大阪大学大学院工学研究科	桐原 正治 吉村 隆治 Tan Boon Keat 谷口 研二	102
ダイナミック位相周波数検出型PLL周波数シンセ サイザの設計	大阪大学大学院工学研究科電子情報 エネルギー工学専攻	YewLimGuan 佐野 智弘 谷口 研二	103
8bit 50Mhz Flash A/Dコンバータの設計(1)	大阪大学大学院工学研究科	小川 徹 谷口 研二	103
瞳孔中心検出チップの設計	東北大学大学院工学研究科	河江 大輔 栗野 浩之 小柳 光正	103
人工網膜チップの設計	東北大学工学研究科	中川 源洋 阿部 豊 佐久間克之 栗野 浩之 小柳 光正	104
チャージポンプ型DC-DCコンバータと動的リーク 電流カットオフ回路の設計	東京大学生産技術研究所	野瀬 浩一 川口 博 桜井 貴康	104
任意画素読み出し機能を有するイメージセンサ	東京理科大学工学部	浜本 隆之	104
多数決回路を用いたパリティ演算回路の設計	東北大学電気通信研究所	鈴木 康介 片山康弘 佐藤茂雄 中島 康治	104
大規模アナログ連想記憶システムの集積化	東北大学電気通信研究所	原田 知親 佐藤 茂雄 中島 康治	105
逐次電荷積分LSIの1次試作	長崎総合科学大学工学部	酒井 雅司 福富 雅彦 田中 義人	105
容量結合型DTMOSインバータ	広島市立大学 情報科学部	寺田 和夫 寺内 衛 木島 毅彦	105
アナログメモリー用制御回路の試作	高エネルギー加速器研究機構	藤田 陽一 新井 康夫	106
過渡電源電流試験法検証用回路の設計	東北大学工学部	高柳 史一 小谷 光司 大見 忠弘	106

タイトル	大学名	研究者	掲載頁
上位桁先行シリアル演算方式による除算回路・ベクトル量子化プロセッサ	東北大学大学院工学研究科 東京大学大規模集積システム設計教育研究センター	野沢 俊之 望月 健司 大見 忠弘 小谷光司	106
電流モード多値フィールドプログラマブルデジタルフィルタの設計	東北大学大学院情報科学研究科	遠藤 昌克 青木 孝文 樋口 龍雄	107
教育用マイクロプロセッサの設計と試作	立命館大学理工学部	上平 祥嗣 田中 義久 山崎 勝弘	107
MWPC読出ICの設計	東京都立大学理学研究科 東京大学素粒子センター 高エネルギー加速器研究機構	狩野 博之 福永 力 佐藤 耕二 池野 正弘 佐々木 修	107
サブナノ精度可変遅延回路とLVDSレシーバの試作	東京大学理学系研究科 高エネルギー加速器研究機構	松浦 聡 佐々木 修	108
画素並列処理による画素平面中の領域の高速検出回路	金沢大学工学部	秋田 純一	108
境界探索法による二値画像ラベリングの実時間処理回路	金沢大学工学部電気・情報工学科	渡辺 晃 秋田 純一	108
ワンチップマイコンの設計	金沢大学工学部	数馬 晋吾 秋田 純一 北川 章夫 鈴木 正國	109
2次元アナログ人工網膜チップの設計	九州工業大学情報工学部	亀田 成司 八木 哲也	109
2次元アナログ人工網膜チップの設計	九州工業大学情報工学部	亀田 成司 八木 哲也	109
BISC-1:BISC型アーキテクチャのプロセッサ	東京工業大学大学院理工学研究科	丸子 健一 山下 幸彦	110

### 平成 11 年度 第 1 回 ローム チップ試作 (ROHM991)

タイトル	大学名	研究者	掲載頁
疑似 2 次元型アナログ人工網膜チップの設計	九州工業大学情報工学部	亀田 成司 八木 哲也	110
CPU作成学生実験におけるLSI設計事例	大阪大学大学院基礎工学研究科	檜垣 茂明 小林 真輔 北嶋 暁 武内 良典 今井 正治	110
VCOを用いた AD変換器及び全差動型 AD変換器の設計	広島大学工学部	児玉 浩志 若木 謙 永田 真 岩田 穆	111
低消費電力・低ジッタPLLクロック発生回路の設計	大阪大学大学院工学研究科電子情報エネルギー工学専攻	松岡 俊匡 谷口 研二	111
DS-CDMA有線バスの設計	大阪大学大学院工学研究科 電子情報エネルギー工学専攻	吉村 隆治 Tan Boon Keat 畠中 信伍 小川 徹 松岡 俊匡 谷口 研二	111
Dynamically Programmable Arithmetic Array	大阪大学大学院工学研究科	Tan Boon Keat 吉村 隆治 松岡 俊匡 谷口 研二	112
高周波PLL周波数シンセサイザの設計	大阪大学大学院工学研究科	佐野 智弘 YewLimGuan 谷口 研二	112
線分抽出機能を有する人工網膜チップの設計	東北大学工学研究科	中川 源洋 阿部 豊 栗野 浩之 小柳 光正	112
平衡型3次リーフログフィルタの試作	東京工業大学工学部	和田 和千 高木 茂孝 藤井 信生	113
On-chip学習可能な量子化結合ニューラルネットワークの集積化	東北大学電気通信研究所	片山 康弘 佐藤 茂雄 中島 康治	113
低温動作CMOSアンプ設計へ向けたデバイスモデル作成用チップ	横浜国立大学工学部	小菅 一弘 吉川 信行	113
非線形な輝度変化に対応した動きベクトル検出回路の設計	広島市立大学大学院情報科学研究科	梅田 昌宏 堀居 賢樹	114
MOSセルオートマトン用回路TEGの設計試作	北海道大学工学研究科	藤原 孝信 赤澤 正道	114

### 平成 11 年度 第 2 回 ローム チップ試作 (ROHM992)

タイトル	大学名	研究者	掲載頁
画素並列A/D変換回路を内蔵したイメージセンサ	東京大学大学院工学系研究科 東京大学 新領域創成科学研究科	杉浦 和英 相澤 清晴	114
サブスレッショルドロジック, カットオフ回路, 配線特性測定用TEGの設計	東京大学生産技術研究所	野瀬 浩一 稲垣 賢一 川口 博 桜井 貴康	114

タイトル	大学名	研究者	掲載頁
画像分割用非線形振動子ネットワーク回路	広島大学工学部	安藤 博士 木下 茂雄 山中 登志夫 森江 隆 永田 真 岩田 穆	115
2次元アナログ人工網膜チップの設計	九州工業大学情報工学部	亀田 成司 八木 哲也	115
CSPL加算器、オンチップ電源線ノイズ測定回路 四進木走査制御回路の設計	東京大学工学系研究科 東京大学大規模集積システム設計教育研究センター	山下 高広 青木 秀行 星野 将史 池田 誠 浅田 邦博	115
可変基数CORDICプロセッサの設計	東北大学大学院情報科学研究科	北折 一郎 青木 孝文 樋口 龍雄	116
マイクロ生体モニタのための低消費電力データ圧縮回路	東京工業大学工学部	木庭 優治 藤島 実 鳳 紘一郎	116
アナログ基本回路の試作	東京工業大学工学部	和田 和千 高木 茂孝 藤井 信生	116
X線光電子スペクトル解析用背景信号除去ユニット の試作	武蔵工業大学電気電子工学科電子物性研究室	齋藤 豊 野平 博司 森木 一紀 服部健雄	117
高速フーリエ変換を用いたX線光電子スペクトル 解析用並列乗算制御モジュールの試作	武蔵工業大学電気電子工学科電子物性研究室	齋藤 豊 野平 博司 森木 一紀 服部 健雄	117
高速フーリエ変換を用いたX線光電子スペクトル 解析用制御モジュールの試作	武蔵工業大学電気電子工学科電子物性研究室	齋藤 豊 野平 博司 森木 一紀 服部 健雄	117
列並列ADC機能を有するスマートイメージセンサ の設計	東京理科大学 工学部 東京大学 新領域創成科学研究科	伊野 義一 浜本 隆之 相澤 清晴	118
オーバーサンプリングADC用簡易DSP	豊橋技術科学大学 静岡大学電子工学研究所 仙台電波高専	河合 信宏 枝元 正和 川人 祥二 中林 撰 佐藤 剛 佐々木正明	118
変調器及び湿度センサ用くし形電極	鈴鹿高専 静岡大学電子工学研究所	北村 登 伊藤 八十四 川人 祥二	118
MOSFETモデル評価用テスト回路の設計	広島大学ナノデバイスシステム研究センター 広島大学先端物質科学研究科 広島大学工学部	マタウシュ ハンス コルゲン 龍見 嘉之 奈良 真治	119
過渡電源電流試験法検証用テスト回路の設計	東北大学工学部	石田 雅裕 小谷 光司 大見 忠弘	119
電流制御発振器を用いた AD変換器の設計	広島大学工学部	吉川 泰正 永田 真 岩田 穆	119
PWM信号を用いた動きベクトル検出回路	広島大学工学部	番本 吉則 永田 真 森江 隆 岩田 穆	120
基板雑音評価チップ	広島大学工学部	村坂 佳隆 若木 謙 永田 真 岩田 穆	120
画像の特徴抽出回路の設計	東京大学工学部電子情報専攻	足立 真賢 柴田 直	120
特徴抽出データ生成モジュールの実装	東京大学工学部	八木 雅和 柴田 直	121
特徴抽出アルゴリズム閾値演算モジュールの実装	東京大学工学部	八木 雅和 柴田 直	121
拡散符号生成回路及びインダクタ・レス発振回路の設計	大阪大学大学院工学研究科電子情報 エネルギー工学専攻	Tan Boon Keat 松岡 俊匡 谷口 研二	121
8bit 50Mhz Flash A/Dコンバータの設計(2)	大阪大学大学院工学研究科	小川 徹 谷口 研二	122
高周波LC発振回路の設計	大阪大学大学院工学研究科電子情報 エネルギー工学専攻	Yew Lim Guan 佐野 智弘 谷口 研二	122
MOSFETの回路特性のばらつきを測定するための回路	大阪大学工学部	清水 由幸 谷口 研二	122
8bitSRAM+D/A変換器つきアナログ連想記憶システムの設計	東北大学電気通信研究所附属	原田 知親 佐藤 茂雄 中島 康治	123
ニューロンチップのためのアナログ長期記憶回路の試作	東北大学電気通信研究所	金城 光永 佐藤 茂雄 中島 康治	123
On-chip学習可能な量子化結合ニューラルネットワークの集積化	東北大学電気通信研究所	片山 康弘 佐藤 茂雄 中島 康治	123
アナログ回路(差動増幅アンプ)の設計	東京大学大学院工学系研究科	岩瀬 英二 中井 亮仁 長澤 純人 下山 勲	124
冗長二進CORDIC演算器等を有する16ビットパイプラインプロセッサ	奈良先端科学技術大学院大学情報科学研究科	堀山 貴史 尾辻 崇 木村 晋二	124
論理回路設計実習における16ビットパイプライン プロセッサの設計	奈良先端科学技術大学院大学情報科学研究科	堀山 貴史 河村 透 鈴木 和博 木村 晋二	124

タイトル	大学名	研究者	掲載頁
不特定話者音韻レベル音声認識回路	奈良先端科学技術大学院大学情報科学研究科	中村 一博 朱 強 丸岡 新治 堀山 貴史 木村 晋二 渡邊 勝正	125
パイプライン離散相関器の設計	大阪大学大学院工学研究科	仁田 功一 谷田 純 一岡 芳樹	125
ATLASトリガースystem用読出しICの設計	東京都立大学理学研究科 高エネルギー加速器研究機構	狩野 博之 福永 力 池野 正弘 佐々木 修	125
ATLAS実験におけるミュオン検出器用回路の試作	東大理学系研究科 京大理学研究科	戸谷 大介 西田 昌平	126
PWM方式抵抗ヒューズ回路・ガボール型フィルタ回路・任意カオス生成回路	広島大学工学部	三宅 誠 西島 誠一 村越 健一 森江 隆 永田 真 岩田 穆	126
カオスニューラルネットワーク回路(2)	広島大学工学部	中村 恒博 森江 隆 永田 真 岩田 穆	126
260×260画素イメージセンサーの試作	奈良先端科学技術大学院大学物質創成科学研究科	阪田 裕彦 時田 直幸 太田 淳	127
カルコゲナイド薄膜を用いた不揮発性メモリのための下地基板	金沢大学工学部	今井 豊 早川 史人 秋田 純一	127
光電流集約機構を持つ重心検出画像センサの設計	金沢大学工学部	高瀬 信二 渡辺 晃 遠山 治 秋田 純一	127
多数決回路を用いたニューロンチップ	東北大学電気通信研究所	山名 智尋 早川 吉弘 中島 康治 澤田 康次	128
ALU基本回路の試作(2)	武蔵工業大学工学部	中野 淳一 大内 康行 城 茂治 秋谷 昌宏	128
EBテスト手法検証・EBプローブ特性測定用チップの設計	大阪大学大学院工学研究科	三浦 克介 中前 幸治 藤岡 弘	128
高周波発振器の設計	大阪大学大学院工学研究科電子情報エネルギー工学専攻	桜 俊幸 谷口 研二	129
4bitDAコンバータの設計	大阪大学大学院工学研究科	岩村 宏 谷口 研二	129
符号分割多重通信を用いた完全並列画像処理用 テンプレートマッチング回路の設計	東北大学大学院情報科学研究科	藤田 晋 青木 孝文 樋口 龍雄	129
電流モード2進SD数全加算器の設計	東北大学大学院情報科学研究科	遠藤 昌克 青木 孝文 樋口 龍	130
4ビット演算回路の設計試作	千葉大学工学部	内山 啓介 小林 芳樹 伊藤 秀男 大豆生田 利章	130
CLBの設計試作	千葉大学工学部	楊 石 大豆生田 利章 伊藤 秀男	130
ニューロンMOS回路群と2ビットマイクロプロ セッサの試作	静岡理科大学大学院理工学研究科材料科学専攻 静岡理科大学理工学部電子工学科	落合 忠博 石倉 康充 波多野 裕 伊藤外 憲己 河原崎 正吾 竹下 智之 仲本 政樹 波多野 裕	131
再構成可能なマルチスレッドプロセッサの設計	長崎総合科学大学	後田 司 田中 一成 田中 義人	131
パイプラインADCの試作	長崎総合科学大学工学部	清山 浩司 福富 雅彦 田中 義人	131
階層型アナログニューラルネットワーク回路の試作	静岡大学工学部システム工学科	高崎 努 浅井 秀樹	132
アナログニューラルネットワーク回路の試作	静岡大学工学部	米山 輝 高崎 努 東藤 良奈 浅井 秀樹	132
4×4ビット乗算回路と非対称誤り記憶素子の設計	仙台電波高専	中林 撰 鹿股 昭雄 佐藤 剛 本郷 裕行 池田 茂	132
アナログJTAG回路の試作	東京農工大学工学部 高エネルギー加速器研究機構	水野 裕 新井 康夫	133
ループ定数可変制御による高速引き込みPLL	九州大学大学院システム情報科学研究科	中司 賢一 吉澤 弘泰	133
2次元アナログ人工網膜チップの設計	九州工業大学情報工学部	亀田 成司 八木 哲也	133
画像転写型人工網膜チップの設計	九州工業大学情報工学部	亀田 成司 鶴殿 直嗣 下ノ村和弘 八木 哲也	134
AD変換器および対数圧縮形CMOSイメージセンサ テスト回路	仙台電波工業高等専門学校	三五 邦央 高橋 和彦 佐藤 泰一 佐々木 正明 浅見 誠治	134

タイトル	大学名	研究者	掲載頁
シストリックアレイを用いた行列演算回路の試作	名古屋大学大学院工学研究科電子工学専攻 中京大学情報科学部	和田 竜次 平田 富夫 磯 直行	134

### 平成 11 年度 ローム CMOS 0.35 $\mu\text{m}$ テストラン (RO35)

タイトル	大学名	研究者	掲載頁
ULSIデバイスにおける低消費電力化を指向した降圧回路	東北大学電気通信研究所	須永 和久 遠藤 哲郎 舛岡富士雄	135
32ビット信号処理用プロセッサの試作	九州大学大学院システム情報科学 学研究科情報工学専攻	兵頭 章彦 山下 源 林田 隆則 戸川 勝巳 柴田 真 ビクトルMG.フェレイラ 安浦 寛人	135
商選択テーブルを用いない基数4並列VLSI除算器の試作	東北大学大学院情報科学研究科	中澤 公彦 青木 孝文 樋口 龍雄	135
ベクタパイプラインプロセッサVP-DSPの設計	京都大学情報学研究科	小林 和淑 橋本 昌宜 江口 真 橋本鉄太郎 岩橋 卓也 柴山 武英 李 翔 坂口 知靖 高井 幸輔 小野寺秀俊	136
オプティカルフロー抽出LSIの設計	芝浦工業大学システム工学部	佐々木慶太 吉田 暁 上田 和宏	136
2次Gm-CバンドパスフィルタとVCOを用いた AD変換器の設計	広島大学工学部	児玉 浩志 花嶋 直之 岩田 穆	136
MOSFETのしきい値のばらつきを測定するための回路	大阪大学工学部	清水 由幸 岩村 宏 桜 俊幸 Tan Boon Keat 松岡 俊匡 谷口 研二	137
リアルタイムEZW (埋め込みゼロツリーウェーブ レット) 符号化器の設計	大阪大学大学院工学研究科	大巻 裕治 董 宇 三木 祐介 古家 眞 山田 昇平 樽家 昌也 滝 大輔 藤田 玄 尾上 孝雄 白川 功	137
多重解像度出力型スマートイメージセンサのテグ回路設計	東京大学大学院工学系研究科 東京大学 新領域創成科学研究科	大塚 康弘 相澤 清晴	137
上位桁先行処理方式に基づく初等関数演算回路	東北大学大学院工学研究科電子工学専攻 東北大学未来科学技術共同研究センター	藤林正典 小谷光司 大見忠弘	138
再構成可能な浮動小数点演算器 アレイFPAccA model 2.0チップの開発	広島市立大学情報科学部	河野 陽一 越智 裕之 津田 孝夫	138
CMOSアクティブピクセルセンサアレイの設計	奈良先端科学技術大学院大学物質創成科学研究科	上原 昭宏 太田 淳	138
適応的遺伝的アルゴリズムアクセラレータGAA-IIIの開発	広島大学工学部 東京大学大規模集積システム設計教育研究センター	若林真一 小出哲士	139

### 平成 11 年度 日立製作所 CMOS 0.35 $\mu\text{m}$ ゲートアレイテストラン (HITGA991)

タイトル	大学名	研究者	掲載頁
実時間画像圧縮システムTEG	東京大学工学部	八木 雅和 柴田 直	139
実時間画像圧縮システム	東京大学工学部	八木 雅和 柴田 直	139
画像の特徴抽出回路の設計	東京大学工学部電子情報専攻 東京大学新領域創成科学研究科	足立 真賢 柴田 直	140
相変化型不揮発性メモリセル用パルスジェネレータ	金沢大学工学部 東京大学大規模集積システム設計教育研究センター	秋田純一 北川章夫	140
32ビットRISCマイクロプロセッサDLXのゲート アレイによる実装	熊本大学工学部数理情報システム工学科 熊本大学大学院自然科学研究科数理科学・情報システム専攻	久我 守弘 末吉 敏則 木庭 秀樹 高木 健樹	140
ベクトル量子化を用いた動画画像圧縮伸張用システム LSIの設計	京都大学情報学研究科	小林 和淑 江口 真 岩橋 卓也 柴山 武英 李 翔 坂口 知靖 高井 幸輔 小野寺秀俊	141
組み込み用途向け16ビットパイプラインプロセッサの試作	九州大学大学院システム情報科学研究科	兵頭 章彦 安浦 寛人	141
適応的遺伝的アルゴリズムアクセラレータGAA-Iの ゲートアレイへの実装	広島大学工学部 東京大学大規模集積システム設計教育研究センター	若林真一 小出哲士	141
マイクロプログラム制御交差突然変異回路を持つ 遺伝的アルゴリズムプロセッサMP-GAAの開発	広島大学工学部 東京大学大規模集積システム設計教育研究センター	若林真一 小出哲士	142

# チップ種別索引

## アナログ (79チップ)

ラン名	タイトル	研究者	掲載頁
MOT983	高精度アナログ乗算回路を用いた非単調ニューロンの試作	金城 光永 佐藤 茂雄 中島 康治	62
MOT983	隣接回路間の相互作用検証用VCOの設計	高柳 史一 小谷 光司 大見 忠弘	62
MOT983	画像処理用アナログ MOSセルオートマトン回路TEGの設計試作(1)	黄 志雄 池辺 将之 雨宮 好仁	63
MOT983	PLL TEG(PLL特性の場所依存性の評価)	吉澤 弘泰 エルハドリアリ 中司 賢一	63
MOT983	低電源電圧OTAの試作	和田 和千 高木 茂孝 藤井 信生	64
MOT983	センシングシステムLSIの設計	須田 隆也 佐藤 敦雄 平塚 崇 大和 裕樹 宝川 幸司	64
MOT983	アナログークロスパススイッチの設計	吉田 正樹 熱海 宏信	65
MOT984	CMOSカレント・コンペアの設計	倉科 隆 小川 覚美 渡邊 健蔵	67
MOT984	電圧設定回路の試作	和田 和千 高木 茂孝 藤井 信生	68
MOT984	超低消費電力電荷電圧変換回路の試作(2)	池田 博一	70
MOT984	超低消費電力電荷電圧変換回路の試作(1)	池田 博一	70
MOT984	電流モード連続時間トランスバースフィルタの設計(1)	宮長 晃一 佐々木 守	70
MOT984	3ステート電流メモリによる低電圧A/D変換器の設計	山本 真也 佐々木 守	71
MOT984	MOSFETのTEGの試作	大熊 康介 高重 英明 兵庫 明 関根 慶太郎	73
MOT984	フローティングゲートMOSFETを用いた電流モードアナログ基本回路の設計	中根 秀夫 井上 高宏 二宮 達也 浜田 大作	73
MOT984	ニューロンMOSFETを用いた3進SD数系全加算器の設計	今西 茂 柴山 哲也 三廻 浩太 村中 徳明	73
MOT984	ULSIデバイスにおける低消費電力化を指向した降圧回路	須永 和久 遠藤 哲郎 舛岡 富士雄	74
MOT991	共鳴エージェントによる連想回路の設計	山崎 俊彦 柴田 直 三好 知之 岡田 敦彦(研究員)	77
MOT991	ニューロンMOSトランジスタを用いた電圧モード多値論理回路用チップの試作	沈 靖 郭 宏 真方 弘志 Ghada Mustafa 垣内 慎一郎 淡野 公一 石塚 興彦	78
MOT991	電流モード多値論理回路用チップの試作	首藤 真 唐玉 明 永里 政嗣 田中 寿 淡野 公一 石塚 興彦	78
MOT991	ニューロンMOSトランジスタ単体とそれを用いたダウンリテラル回路用チップの試作	稲葉 基 堤 貴彦 小野 豊 淡野 公一 石塚 興彦	78
MOT991	アナログオペアンプの設計	秋山 卓郎 高橋 幸郎	79
MOT991	第2世代カレントコンペアと低歪みOTAの試作	和田 和千 高木 茂孝 藤井 信生	80
MOT991	OTAとアナログフィルタの試作	矢成 治夫 長沢 俊伸 高重 英明 兵庫 明 関根 慶太郎	81
MOT991	フローティングゲートMOSFETを用いた電流モードアナログ乗除算回路の設計	福寿 雄二 工藤 孝平 濱里 主己 井上 高広	81
MOT991	フローティングゲートMOSFETを用いた電流モードアナログフィルタ用基本回路の設計	中根 秀夫 米村 洋幸 井上 高宏	81
MOT991	CMOS RS-FF縦続接続回路の設計	米村 洋幸 徳永 裕介 中根 秀夫 井上 高広	82
MOT991	スイッチトキャパシタ変成器を用いたDC-DCコンバータの設計	七澤 威夫 末次 正	82
MOT991	スイッチトキャパシタ変成器を用いた昇圧型DC-DCコンバータの設計	松尾 嘉洋 末次 正	82
MOT991	ニューロンMOSFETを用いた多値論理回路の設計	今西 茂 三廻 浩太 村中 徳明	85

ラン名	タイトル	研究者	掲載頁
MOT991	電流モード連続時間トランスバーサルフィルタの設計(2)	宮長 晃一 佐々木 守	86
MOT991	電流ミラーの伝達特性を利用した高周波フィルタの設計	佐々木 守	86
MOT991	画像処理用アナログ MOSセルオートマトン回路TEGの設計試作(2)	黄 志雄 池辺 将之 雨宮 好仁	89
MOT991	電流モード MOSによるセルオートマトンの設計	山田 崇史 池辺将之 雨宮 好仁	90
MOT991	Difference-of-Gaussian処理を行うTEG回路	砂山 辰彦 池辺 将之 雨宮 好仁	90
MOT991	負性抵抗を実現する素子回路を用いた非線型写像回路の設計	上村 朋典 前澤 宏一 水谷 孝	90
MOT991	電流モードCMOS演算回路TEG	石塚 淳 越坂 亮介 和保 孝夫	91
MOT991	サンプル・ホールド回路TEG	寺島 洋和 越坂 亮介 和保 孝夫	92
MOT991	負性微分抵抗回路TEG	越坂 亮介 和保 孝夫	92
MOT991	MOS構成に適したアナログ形PLLの試作	大栗 強 伊藤 文人 井上 浩	92
HHS991	化合物半導体量子効果素子との集積化チェック用基板の設計	上村 朋典 前澤 宏一 水谷 孝	93
HHS991	Rail-to-Rail OPアンプとスイッチトカレント(SI)回路の試作	丹羽 智 渡辺 章人 高重 英明 兵庫 明 関根 慶太郎	95
ROHM982	空間可変サンプリングを行うスマートイメージセンサの設計	大塚 康弘 相澤 清治	98
R03599	ULSIデバイスにおける低消費電力化を指向した降圧回路	須永 和久 遠藤 哲郎 舛岡 富士雄	135
RO3599	2次Gm-CバンドパスフィルタとVCOを用いたAD変換器の設計	児玉 浩志 花嶋 直之 岩田 穆	136
RO3599	MOSFETのしきい値のばらつきを測定するための回路	清水 由幸 岩村 宏 桜 俊幸 Tan Boon Keat 松岡 俊匡 谷口 研二	137
ROHM991	VCOを用いた AD変換器及び全差動型 AD変換器の設計	児玉 浩志 若木 謙 永田 真 岩田 穆	111
ROHM991	低消費電力・低ジッタPLLクロック発生回路の設計	松岡俊匡 谷口研二	111
ROHM991	高周波PLL周波数シンセサイザの設計	佐野 智弘 YewLimGuan 谷口 研二	112
ROHM991	基盤雑音定量評価テストチップ(1)	永田 真 森江 隆 岩田 穆	100
ROHM991	基盤雑音定量評価テストチップ(2)	永田 真 森江 隆 岩田 穆	100
ROHM991	PWM信号を用いた動きベクトル検出回路部分回路及び重み加算精度評価チップ	番本 吉則 中村 恒博 永田 真 森江 隆 岩田 穆	101
ROHM991	平衡型3次リープフロップフィルタの試作	和田 和千 高木 茂孝 藤井 信生	113
ROHM982	高速PLL回路評価TEG	安田 岳雄 藤田 浩章 小野寺 秀俊	100
ROHM982	ダイナミック位相周波数検出型PLL周波数シンセサイザの設計	YewLimGuan 佐野智弘 谷口 研二	103
ROHM982	8bit 50Mhz Flash A/Dコンバータの設計(1)	小川 徹 谷口 研二	103
ROHM982	逐次電荷積分LSIの1次試作	酒井 雅司 福富 雅彦 田中 義人	105
ROHM982	人工網膜チップの設計	中川 源洋 阿部 豊 佐久間 克之 栗野 浩之 小柳 光正	104
ROHM992	任意画素読み出し機能を有するイメージセンサ	浜本 隆之	104
ROHM982	多数決回路を用いたパリティ演算回路の設計	鈴木 康介 片山 康弘 佐藤 茂雄 中島 康治	99
ROHM992	画素並列A/D変換回路を内蔵したイメージセンサ	杉浦 和英	114
ROHM992	列並列ADC機能を有するスマートイメージセンサの設計	浜本 隆之 相澤 清晴	118
ROHM992	電流制御発振器を用いた AD変換器の設計	吉川 泰正 永田 真 岩田 穆	119



ラン名	タイトル	研究者	掲載頁
ROHM992	基板雑音評価チップ	村坂 佳隆 若木 謙 永田 真 岩田 穆	120
ROHM992	8bit 50Mhz Flash A/Dコンバータの設計(2)	小川 徹 谷口 研二	122
ROHM992	MOSFETの回路特性のばらつきを測定するための回路	清水 由幸 谷口 研二	122
ROHM992	ニューロンチップのためのアナログ長期記憶回路の試作	金城 光永 佐藤 茂雄 中島 康	123
ROHM992	アナログ回路(差動増幅アンプ)の設計	岩瀬 英二 中井 亮仁 長澤 純人 下山 勲	124
ROHM992	ATLASトリガーシステム用読出しICの設計	狩野 博之 福永 力 池野 正弘 佐々木 修	125
ROHM992	光電流集約機構を持つ重心検出画像センサの設計	高瀬 信二 渡辺 晃 遠山 治 秋田 純一	127
	高周波発振器の設計	桜 俊幸 谷口 研二	129
ROHM992	4bitDAコンバータの設計	岩村 宏 谷口 研二	129
ROHM992	パイプラインADCの試作	清山 浩司 福富 雅彦 田中 義人	131
ROHM992	階層型アナログニューラルネットワーク回路の試作	高崎 努 浅井 秀樹	132
ROHM992	アナログニューラルネットワーク回路の試作	米山 輝 高崎 努 東藤 良奈 浅井 秀樹	132
ROHM992	ループ定数可変制御による高速引き込みPLL	中司 賢一 吉澤 弘泰	133
ROHM992	アナログ基本回路の試作	和田 和千 高木 茂孝 藤井 信生	116
ROHM992	AD変換器および対数圧縮形CMOSイメージセンサテスト回路	三五 邦央 高橋 和彦 佐藤 泰一 佐々木 正明 浅見 誠治	134
ROHM992	多重解像度出力型スマートイメージセンサのテグ回路設計	大塚 康弘 相澤 清晴	137

### アナログ/デジタル(8チップ)

ラン名	タイトル	研究者	掲載頁
MOT984	低温動作CMOSアンプ設計へ向けたデバイスモデル作成用チップ	小菅 一弘 吉川 信行	71
MOT991	低温動作CMOSアンプとデジタル回路の設計	小菅 一弘 阿部 高志 本告 圭 吉川 信行	83
MOT991	CMOSによるFuzzyメンバーシップ関数回路	中村 眞次 小池 卓郎	91
ROHM991	線分抽出機能を有する人工網膜チップの設計	中川 源洋 阿部 豊 栗野 浩之 小柳 光正	113
ROHM991	低温動作CMOSアンプ設計へ向けたデバイスモデル作成用チップ	小菅 一弘 吉川 信行	113
ROHM982	有線CDMAによるニューラルネットワークLSDの設計	桐原 正治 吉村 隆治 Tan Boon Keat 谷口 研二	102
ROHM992	拡散符号生成回路及びインダクタ・レス発振回路の設計	Tan Boon Keat 松岡 俊匡 谷口 研二	121
ROHM992	アナログJTAG回路の試作	水野 裕 新井 康夫	133

### デジタル(75チップ)

ラン名	タイトル	研究者	掲載頁
MOT984	4ビット全加算器および7セグメントLED用デコーダの設計	小島 隆広 池田 誠 浅田 邦博	65
MOT984	可変分周器の設計	大池 祐輔 池田 誠 浅田 邦博	65

ラン名	タイトル	研究者	掲載頁
MOT984	4ビット全加算器および7セグメントLED用デコーダの設計	小島 隆広 池田 誠 浅田 邦博	65
MOT984	可変分周器の設計	大池 祐輔 池田 誠 浅田 邦博	65
MOT984 MOT984	4ビット全加算器および7セグメントLED用デコーダの設計	吉田 浩章 池田 誠 浅田 邦博	66
MOT984	電卓チップの設計	小林 和淑 小野寺 秀俊	67
MOT984	マクロセルライブラリを用いた2ビットマイクロプロセッサの設計	石倉 康充 波多野 裕	67
MOT984	パストランジスタの信号電圧の評価	船木 寿彦 遠藤 哲郎 舛岡 富士雄	74
MOT984	パストランジスタの信号電圧の評価	船木 寿彦 遠藤 哲郎 舛岡 富士雄	74
MOT991	8ビット全加算器の試作	大村 道郎 高田 勇 田中 武	75
MOT984	98年度学部学生・修士学生のフルカスタム設計演習	小川 明宏 高瀬 信二 今井 豊 数馬 晋吾 藤田 隼人 水野 浩樹 村上 崇 渡辺 晃 秋田 純一	75
MOT991	埋め込み型機能的電気刺激装置のためのカスタムICの試作	秋山 卓郎 高橋 幸郎	76
MOT991	テスト測定、FIB測定標準LSIの設計	小林 和淑 小野寺 秀俊	77
MOT991	ステレオ画像を用いた障害物検出LSIの設計	吉良 堅太郎 上田 和宏	79
MOT991	マイクロプロセッサ回路の設計	河原崎 正吾 伊藤 外憲己 小松原 掌 竹下 智之 仲本 政樹 波多野 裕 石倉 康充 波多野 裕	79
MOT991	2ビットマイクロプロセッサとニューロンMOS回路の設計	石倉 康充 落合 忠博 波多野 裕	80
MOT991	8ビットALUの設計	鉄川 龍也 森永博之 久門 亨 松尾 小百合	82
MOT991	10ビットFPUの試作	鉄川 龍也 森永博之 久門 亨 松尾 小百合	83
MOT991	断熱パストランジスタ論理回路(APL回路)の設計	原口 隆一 黒木 慎司 堺 昭一 佐々木 守	86
MOT991	2ビットCPUの試作	大村 道郎 加藤 圭太 田中 武	87
MOT991	3次元配線領域における迷路配線セルの試作	大村 道郎 門田 亘弘	87
MOT991	VDECのCAD導入を目的としたタイマー回路	山本 真也 松田 敏弘	87
MOT991	VLSI工学設計演習(乱数発生回路)	黒田 大介 田上 暢顕 中司 賢一	87
MOT991	パストランジスタ論理を用いたPLDの試作	富田 明彦 檜田 和浩 永松 浩史 境 和久 泉 知論 中村 行宏	88
MOT991	ハミング距離に基づく時系列カラービデオ信号の実時間色抽出回路	秋田 純一	91
MOT991	99年度学部学生のフルカスタム設計演習	笠井 稔彦 佐々木 勝光 大門 慎二 高松 直樹 辻川 隆俊 遠山 治 中村 公亮 蓮 達弘 水木 誠 秋田 純一	91
MOT991	Viterbi復号回路の差分演算による簡略化	吉澤 弘泰 前田 文雄 秀島 功介 中司 賢一	93
MOT991	16bitマイクロプロセッサの設計	中野 浩嗣 木下 秀昭 伊藤 暁一 ズハディズルキフリ 小柳 匡	93
HHS991	VDECチップ開発フローの習得演習	長澤 純人 山口 真奈美 下山 勲	94
HHS991	EXDセルライブラリ検証用TEGチップの設計	石原 亨 安浦 寛人	96
HHS991	遅延ばらつき測定用乗算器の設計	溝口 大介 安浦 寛人	96
HHS991	匂い認識チップの研究	中本 高道 河村 聡 森泉 豊栄	96

ラン名	タイトル	研究者	掲載頁
RO3599	32ビット信号処理用プロセッサの試作	兵頭 章彦 山下 源 林田 隆則 戸川 勝巳 柴田 真 ビクトルM.G.フェレイラ 安浦 寛人	135
RO3599	商選択テーブルを用いない基数4並列VLSI除算器の試作	中澤 公彦 青木 孝文 樋口 龍雄	135
RO3599	ベクタパイプラインプロセッサVP-DSPの設計	小林 和淑 橋本 昌宜 江口 真 橋本 鉄太郎 岩橋 卓也 柴山 武英 季 翔 坂口 知晴 高井 幸輔 小野寺 秀俊	136
RO3599	オプティカルフロー抽出LSIの設計	佐々木 慶太 吉田 暁 上田 和宏	136
	リアルタイムEZWC(埋め込みゼロツリーウェーブレット)符号化器の設計	大巻 裕治 董 宇 三木 祐介 古家 真 山田 昇平 樽家 昌也 滝 大輔 藤田 玄 尾上 孝雄 白川 功	137
RO3599	上位桁先行処理方式に基づく初等関数演算回路	藤林正典 小谷光司 大見忠弘	138
RO3599	再構成可能な浮動小数点演算器アレイFPAccA model2.0チップの開発	河野 陽一 越智 裕之 津田 孝夫	138
RO3599	適応的遺伝的アルゴリズムアクセラレータGAA-IIIの開発	若林 真一 小出 哲士	139
ROHM991	CPU作成学生実験におけるLSI設計事例	檜垣 茂明 小林 真輔 北嶋 暁 武内 良典 今井 正治	110
ROHM982	自動並列化コンパイラの静的予測を支援する浮動小数点演算ユニット	川口 貴裕 天野 英晴	97
ROHM982	交差手法の動的選択機能を組み込んだ適応的遺伝的アルゴリズムの専用LSI化	若林真一 小出 哲士	97
ROHM982	チャージポンプ型DC-DCコンバータと動的リーク電流カットオフ回路の設計	野瀬 浩一 川口 博 桜井 貴康	104
ROHM982	アナログメモリー用制御回路の試作	藤田 陽一 新井 康夫	106
ROHM982	過渡電源電流試験法検証用回路の設計	高柳 史一 小谷 光司 大見 忠弘	106
ROHM982	上位桁先行シリアル演算方式による除算回路・ベクトル量子化プロセッサ	野沢 俊之 望月 健司 大見 忠弘 小谷 光司	106
ROHM982	教育用マイクロプロセッサの設計と試作	上平 祥嗣 田中 義久 山崎 勝弘	107
ROHM982	MWPC読出ICの設計	狩野 博之 福永 力 佐藤 耕二 池野 正弘 佐々木 修	107
ROHM982	画素並列処理による画素平面中の領域の高速検出回路	秋田純一	108
ROHM982	ワンチップマイコンの設計	数馬 晋吾 秋田 純一 北川 章夫 鈴木 正國	109
ROHM982	BISC-1BISC型アーキテクチャのプロセッサ	丸子 健一 山下 幸彦	110
ROHM992	サブスレッショルドロジック,カットオフ回路,配線特性測定用TEGの設計	野瀬 浩一 稲垣 賢一 川口 博 桜井 貴康	114
ROHM992	CSPL加算器,オンチップ電源線ノイズ測定回路,四進木走査制御回路の設計	山下 高広 青木 秀行 星野 将史 池田 誠 浅田 邦博	115
ROHM992	可変基数CORDICプロセッサの設計	北折 一郎 青木 孝文 樋口 龍雄	116
ROHM992	過渡電源電流試験法検証用テスト回路の設計	石田 雅裕 小谷 光司 大見 忠弘	119
ROHM992	冗長二進CORDIC演算器等を有する16ビットパイプラインプロセッサ	堀山 貴史 尾辻 崇 木村 晋二	124
ROHM992	論理回路設計実習における16ビットパイプラインプロセッサの設計	堀山 貴史 河村 透 鈴木 和博 木村 晋二	124
ROHM992	パイプライン離散相関器の設計	仁田 功一 谷田 純一 岡 芳樹	125
ROHM982	サブナノ精度可変遅延回路とLVDSレシーバの試作	松浦 聡 佐々木 修	108
ROHM992	ATLAS実験におけるミュオン検出器用回路の試作	戸谷 大介 西田 昌平	126

ラン名	タイトル	研究者	掲載頁
ROHM992	A L U基本回路の試作( 2 )	中野 淳一 大内 康行 城 茂治 秋谷 昌宏	128
ROHM992	EBテストング手法検証・E Bプローバ特性測定用チップの設計	三浦 克介 中前 幸治 藤岡 弘	128
ROHM992	4ビット演算回路の設計試作	内山 啓介 小林 芳樹 大豆生田 利章 伊藤 秀男	130
ROHM992	CLBの設計試作	楊 石 大豆生田 利章 伊藤 秀男	130
ROHM992	再構成可能なマルチスレッドプロセッサの設計	後田 司 田中 一成 田中 義人	131
ROHM992	ニューロンMOS回路群と2ビットマイクロプロセッサの試作	落合 忠博 石倉 康充 波多野 裕 伊藤外 憲己 河原崎 正吾 竹下 智之 仲本 政樹	131
ROHM992	4×4ビット乗算回路と非対称誤り記憶素子の設計	中林 撰 鹿股 昭雄 佐藤 剛 本郷 裕行 池田 茂	132
ROHM992	シストリックアレイを用いた行列演算回路の試作32	和田 竜次 平田 富夫 磯 直行	134
HITGA991	ビットRISCマイクロプロセッサDLXのゲートアレイによる実装	久我 守弘 末吉 敏則 木庭 秀樹 高木 健樹	140
HITGA991	ベクトル量子化を用いた動画像圧縮伸張用システムLSIの設計	小林 和淑 江口 真 岩橋 卓也 柴山 武英 李 翔 坂口 知靖 高井 幸輔 小野寺 秀俊	141
HITGA991	組み込み用途向け16ビットパイプラインプロセッサの試作	兵頭 章彦 安浦 寛人	141
HITGA991	適応的遺伝的アルゴリズムアクセラレータGAA-Iのゲートアレイへの実装	若林真一 小出 哲士	141
HITGA991	マイクロプログラム制御交差突然変異回路を持つ遺伝的アルゴリズムプロセッサMP-GGAの開発	若林真一 小出 哲士	142

### ニューテクノロジー ( 30チップ )

ラン名	タイトル	研究者	掲載頁
MOT984	マルチパイプラインを用いたカオス発振回路の相互結合による不規則発振回路( 2 )	相原 祐一郎 鳳 紘一郎	66
MOT984	ニューロンMOSマクロモデル検証用の試作回路	落合 忠博 波多野 裕	66
MOT984	ADCL回路を用いた超低消費電力拡張型4ビットALU( 1 )	橋本 晋一 水沼 充 高橋 一清	68
MOT984	パルス形ニューロンモデルの試作	矢地 良洋 佐伯 勝敏 関根 好文	72
MOT984	パルス形ニューロンモデル用負性抵抗素子の試作	隅山正巳 鳥田 季代子 佐伯 勝敏 関根 好文	73
MOT984	三次元セルラーニューラルネットワーク回路の設計	藤原 孝信 赤澤 正道 雨宮 好仁	75
MOT991	ニューロンMOS回路の設計	中西 学 古橋 和弘 山本 佳和 波多野 裕 落合 忠博	80
MOT991	ADCL回路を用いた超低消費電力拡張型4ビット加算/減算器( 2 )	石上 聡 水沼 充 高橋 一清	85
MOT991	ADCL回路を用いた超低消費電力拡張型4ビットALU( 2 )	大久保 裕章 小松 久泰 橋本 晋一 水沼 充 高橋 一清	85
MOT991	三次元CNN用の出力インターフェース回路の試作	藤原 孝信 赤澤 正道 雨宮 好仁	89
MOT991	画像処理用 MOSセルオートマトン回路TEGの設計試作	池辺将之 赤澤正道 雨宮好仁	90
HHS991	特性ばらつき評価回路	寺田和夫	95
ROHM991	DS-CDMA有線バスの設計	安田岳雄 藤田浩章 小野寺秀俊	111
ROHM991	Dynamically ProgrammableArithmeticArray	TanBoonKeat 吉村 隆治 松岡 俊匡 谷口 研二	112

ラン名	タイトル	研究者	掲載頁
ROHM991	On-chip学習可能な量子化結合ニューラルネットワークの集積化	片山 康弘 佐藤 茂雄 中島 康治	113
ROHM991	MOSセルオートマトン用回路TEGの設計試作	藤原 孝信 赤澤 正道	114
ROHM982	低スイッチング雑音CMOS論理回路を用いた8Bit加算器(2)	土方 克昌 永田 真 岩田 穆	101
ROHM982	基板雑音定量評価テストチップ(1)	永田 真 森江 隆 岩田 穆	100
ROHM982	基板雑音定量評価テストチップ(2)	永田 真 森江 隆 岩田 穆	100
ROHM982	基板モデル作成のための評価TEG	村坂 佳隆 永田 真 岩田 穆	101
ROHM982	確率連想処理回路とPWM方式不揮発性アナログメモリ制御回路	山中 登志夫 村越 健一 木下 茂雄 森江 隆 永田 真 岩田 穆	102
ROHM982	画像分割用非線形振動子ネットワーク回路	安藤 博士 森江 隆 永田 真 岩田 穆	102
ROHM982	容量結合型DTMOSインバータ	情報科学部 寺田 和夫 寺内 衛 木島 毅彦	105
ROHM982	電流モード多値フィールドプログラマブルデジタルフィルタの設計	遠藤 昌克 青木 孝文 樋口 龍雄	107
ROHM992	画像分割用非線形振動子ネットワーク回路	安藤 博士 木下 茂雄 山中 登志夫 森江 隆 永田 真 岩田 穆	115
ROHM992	On-chip学習可能な量子化結合ニューラルネットワークの集積化	片山 康弘 佐藤 茂雄 中島 康治	123
ROHM992	PWM方式抵抗ヒューズ回路・ガボール型フィルタ回路・任意カオス生成回路	三宅 誠 西島 誠一 村越 健一 森江 隆 永田 真 岩田 穆	126
ROHM992	カオスニューラルネットワーク回路(2)	中村 恒博 森江 隆 永田 真 岩田 穆	126
ROHM992	符号分割多重通信を用いた完全並列画像処理用テンプレートマッチング回路の設計	藤田 晋 青木 孝文 樋口 龍雄	129
ROHM992	電流モード2進SD数全加算器の設計	遠藤 昌克 青木 孝文 樋口 龍雄	130

### ニューラルネットワーク(1チップ)

ラン名	タイトル	研究者	掲載頁
ROHM992	多数決回路を用いたニューロンチップ	山名 智尋 早川 吉弘 中島 康治 澤田 康次	128

### メモリ(5チップ)

ラン名	タイトル	研究者	掲載頁
MOT983	カルコゲナイド不揮発性メモリのための下地基板	早川 史人 今井 豊	64
HHS991	階層構造型マルチポートメモリ(第1階層)の設計	岸 浩二 行天 隆幸 龍見 善之 金 宗是 H.J.Mattausch	94
HHS991	階層構造型マルチポートメモリ(第2階層)の設計	行天 隆幸 岸 浩二 龍見 善之 金 宗是 H.J.Mattausch	95
ROHM992	カルコゲナイド薄膜を用いた不揮発性メモリのための下地基板	今井 豊 早川 史人 秋田 純一	127
HITGA991	相変化型不揮発性メモリセル用パルスジェネレータ	秋田 純一 北川 章夫	140

ラン名	タイトル	研究者	掲載頁
MOT983	高分子ゲルのチップ上へのパターニング	赤澤 淳 太田 淳	63
MOT983	パルス幅変調信号ビジョンチップの試作	上原 昭宏 太田 淳	63
MOT983	リングアレイ前方視超音波イメージャ用集積回路の試作	西尾 真博 江刺 正喜	65
MOT984	パルス幅変調型ビジョンチップの試作	上原 昭宏 太田 淳	68
MOT984	アクティブピクセルセンサーの試作	上原 昭宏 太田 淳	68
MOT984	二次元エッジ検出網膜回路の設計	宮下 貴重 米津 宏雄	69
MOT984	二次元動き検出センサの基本回路設計	大谷 真弘 米津 宏雄	69
MOT984	視覚対象を追従する運動モデルのアナログ電子回路化	浅井 哲也 宮下 貴重 米津 宏雄	69
MOT984	低電圧・広帯域OTAの設計	タン ジューホア 佐々木 守	70
MOT984	2値化機能を混載したイメージセンサの設計	久松 康秋 佐々木 守	71
MOT984	ノイズ特性評価用増幅型CMOSイメージセンサ	梅田 昌宏 堀居 賢樹	72
MOT984	ノイズ特性評価回路の設計	梅田 昌宏 堀居 賢樹	72
MOT991	リングアレイ前方視超音波イメージャ用集積回路の試作	西尾 真博 江刺 正喜	76
MOT991	リングアレイ前方視超音波イメージャ用集積回路の試作	西尾 真博 江刺 正喜	77
MOT991	プログラム可能なイメージセンサのための試験回路	佐伯 賢治 堀居 賢樹	83
MOT991	相関型動き検出アナログネットワークの電子回路化	大谷 真弘 米津 宏雄	83
MOT991	局所適応機能を有する二次元エッジ検出網膜チップ	宮下 貴重 米津 宏雄	84
MOT991	内網膜機能に学んだ動き検出モデルのアナログ電子回路化	山田 仁 米津 宏雄	84
MOT991	二次元網膜回路に用いる出力走査回路の設計	西尾 公裕 米津 宏雄	84
MOT991	二次元動き方向選択性を持つ神経ネットワークのアナログ電子回路設計	幸谷 真人 浅井 哲也 雨宮 好仁	88
MOT991	アナログ・デジタル混載型動き検出ビジョンチップの設計	浅井 哲也 雨宮 好仁	88
MOT991	周波数出力イメージセンサーの試作	上原 昭宏 太田 淳	89
MOT991	感度補正回路の試作	赤澤 淳 太田 淳	89
HHS991	イメージセンサ受光部の定量測定	赤澤 淳 太田 淳	80
RO3599	CMOSアクティブピクセルセンサアレイの設計	上原 昭宏 太田 淳	138
ROHM991	疑似2次元型アナログ人工網膜チップの設計	亀田 成司 八木 哲也	110
ROHM991	非線形な輝度変化に対応した動きベクトル検出回路の設計	梅田 昌宏 堀居 賢樹	114
ROHM982	可変ブロックアクセス機能を有するイメージセンサ	星野 将史 池田 誠 浅田 邦博	97
ROHM982	2次元アナログ人工網膜チップの設計	亀田 成司 八木 哲也	98
ROHM982	人工網膜チップの設計	中川 源洋 阿部 豊 佐久間 克之 栗野 浩之 小柳 光正	104
ROHM982	瞳孔中心検出チップの設計	河江大輔 栗野 浩之 小柳 光正	103
ROHM982	境界探索法による二値画像ラベリングの実時間処理回路	渡辺晃 秋田純一	108
ROHM982	2次元アナログ人工網膜チップの設計	亀田 成司 八木 哲也	109
ROHM982	2次元アナログ人工網膜チップの設計	亀田 成司 八木 哲也	109
ROHM992	2次元アナログ人工網膜チップの設計	亀田 成司 八木 哲也	115
ROHM992	画像の特徴抽出回路の設計	足立 真賢 柴田 直	120
ROHM992	特徴抽出データ生成モジュールの実装	八木 雅和 柴田 直	121
ROHM992	特徴抽出アルゴリズム閾値演算モジュールの実装	八木 雅和 柴田 直	121

ラン名	タイトル	研究者	掲載頁
ROHM992	260×260画素イメージセンサーの試作	阪田 裕彦 時田 直幸 太田 淳	127
ROHM992	2次元アナログ人工網膜チップの設計	亀田 成司 八木 哲也	133
ROHM992	画像転写型人工網膜チップの設計	亀田 成司 鶴殿 直嗣 下ノ村 和弘 八木 哲也	134
HITGA991	実時間画像圧縮システムTEG	八木 雅和 柴田 直	139
HITGA991	実時間画像圧縮システム	八木 雅和 柴田 直	139
HITGA991	画像の特徴抽出回路の設計	足立 真賢 柴田 直	139

### 信号処理（17チップ）

ラン名	タイトル	研究者	掲載頁
MOT983	集積型空間光変調器によるマルチレベル表示	有馬 宏幸 谷田 貝 豊彦 森 雅彦	62
ROHM982	空間可変サンプリングを行うスマートイメージセンサの設計	大塚 康弘 相澤 清晴	98
ROHM982	マイクロ生体モニタのための可変データパスプロセッサ	木庭 優治 藤島 実 鳳紘 一郎	98
ROHM982	X線光電子スペクトル解析用複素数演算ユニットおよび汎用演算ユニットの設計	行本 伸介 小林 孝文 野平 博司 森木 一紀 服部 健雄	98
ROHM982	X線光電子スペクトル解析用高速フーリエ変換ユニットの試作	齋藤 豊 野平 博司 森木 一紀 服部 健雄	99
ROHM982	変調A/D変換用くし形デジタルフィルタ	川人 祥二 中村 抽	99
ROHM982	低消費電力パイプラインA/D変換器	宮崎 大輔 川人 祥二	99
ROHM982	PWM信号を用いた動きベクトル検出回路部分回路及び重み加算精度評価チップ	番本 吉則 中村 恒博 永田 真 森 江隆 岩田 穆	101
ROHM992	大規模アナログ連想記憶システムの集積化	原田 知親 佐藤 茂雄 中島 康治	105
ROHM992	マイクロ生体モニタのための低消費電力データ圧縮回路	大庭 優治 藤島 実 鳳紘 一郎	116
ROHM992	X線光電子スペクトル解析用背景信号除去ユニットの試作	齋藤 豊 野平 博司 森木 一紀 服部 健雄	117
ROHM992	高速フーリエ変換を用いたX線光電子スペクトル解析用並列乗算制御モジュールの試作	齋藤 豊 野平 博司 森木 一紀 服部 健雄	117
ROHM992	高速フーリエ変換を用いたX線光電子スペクトル解析用制御モジュールの試作	齋藤 豊 野平 博司 森木 一紀 服部 健雄	117
ROHM992	オーバーサンプリングADC用簡易DSP	河合 信宏 枝元 正和 川人 祥二 中林 撰 佐藤 剛 佐々木 正明	118
ROHM992	変調器及び湿度センサ用くし形電極	北村 登 伊藤 八十四 川人 祥二	118
ROHM992	PWM信号を用いた動きベクトル検出回路	番本 吉則 永田 真 森江 隆 岩田 穆	120
ROHM992	8bitSRAM+D/A変換器つきアナログ連想記憶システムの設計	原田 知親 佐藤 茂雄 中島 康治	123
ROHM992	不特定話者音韻レベル音声認識回路	中村 一博 朱 強 丸岡 新治 堀山 貴史 木村 晋 渡邊 勝正	125

### 通信（2チップ）

ラン名	タイトル	研究者	掲載頁
MOT991	MOS構成に適したアナログ形PLLの試作	大栗 強 伊藤 文人 井上 浩	92
ROHM992	高周波LC発振回路の設計	Yew Lim Guan 佐野 智弘 谷口 研二	122

### その他（1チップ）

ラン名	タイトル	研究者	掲載頁
ROHM992	MOSFETモデル評価用テスト回路の設計	マタウシュ ハンス コルゲン 龍見 嘉之 奈良 真治	119

## 5.1. 試作結果

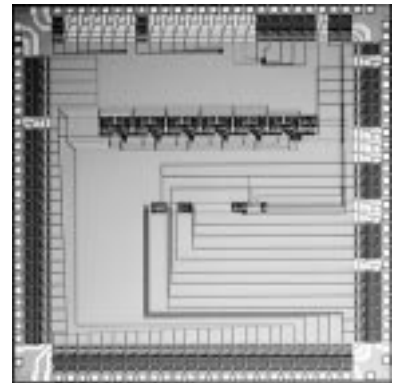
### 平成10年度 第3回 オンセミコンダクタ(旧日本モトローラ) チップ試作(MOT983)

#### 高精度アナログ乗算回路を用いた非単調ニューロンの試作

東北大学電気通信研究所 金城 光永, 佐藤 茂雄, 中島 康治

**チップ概要** デジタルでのニューロンチップ実現は高精度な演算を実現できるが, 大規模ニューラルネットワークを集積化するためには, シナプスがニューロン数の2乗に比例して増加するため, シナプスの構成要素で且つ回路規模の大きい乗算及び加算回路の小面積化が課題となる. しかし, 演算精度を保ったまま小面積化を計るのは難しい. そこで, デジタルではなくアナログで演算回路を構成することにより大規模ニューラルネットワークのチップ化を実現できる可能性がある. その際, 高精度のアナログ乗算回路が必要不可欠である. 今回試作したニューロンチップのテスト回路は, MOSの抵抗性領域を利用した差動型のアナログ乗算回路を用いた. また, 高機能化されたニューロンである非単調ニューロンを用いた. これらの回路構成を用いることにより, デジタル構成よりも大規模なニューラルネットワークの高集積化が可能となる.

**使用ツール:** Cadence社 Virtuoso, HSPICE, **試作日数:** 博士の学生1名で行い, 約1ヶ月, **トランジスタ数:** 約2000, **試作ラン:** モトローラ CMOS 1.2  $\mu$ m 4.8mm角, **チップ種別:** アナログ  
**参考文献:** [1] C・ミード: "アナログVLSIと神経システム", トッパン.

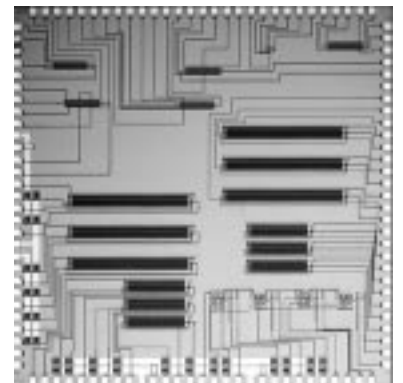


#### 隣接回路間の相互作用検証用VCOの設計

東北大学工学部 高柳 史一, 小谷 光司, 大見 忠弘

**チップ概要** 1つのチップ上に実装される回路が高密度になるに従って隣接する回路同士の相互作用が大きくなり, 回路動作の正確性を妨げる要因となっている. 相互作用の機構には, 重なった配線同士がキャパシタとして振る舞うことによるクロストークや, 基板効果によるしきい値電圧の揺らぎなどがあげられる. 今回我々は, 隣接回路による基板電位の揺らぎによって回路動作に及ぼされる影響を検証するために, 電圧制御方発信回路(VCO)を設計した. 試作したVCOは, 直列に接続されたインバータが39個のものと79個のものとの2種類である. それぞれ3つずつのVCOを, 設計ルールのゆるす限り最近接に, 平行に配置した. 各VCOは独立して動作できるようになっており, 近接するVCOが動作しているときとしていないときの発振波形の違いや, 近接したVCOが異なった周波数で発振するときの基板電位の揺らぎの違いを観測できる.

**使用ツール:** Cadence社 Analog Artist, HSPICE **試作日数:** 研究員1名で行い, 約1週間  
**試作ラン:** モトローラ CMOS 1.2  $\mu$ m 4.8mm角 **チップ種別:** アナログ



**トランジスタ数:** 約500

#### 集積型空間光変調器によるマルチレベル表示

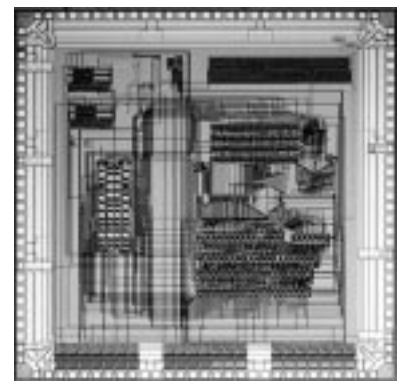
筑波大学物理工学系 有馬 宏幸, 谷田貝 豊彦

電子技術総合研究所 森 雅彦

**はじめに** 光変調器を持ち画像表示機能を有するVLSIデバイスは, その多機能性のため研究が盛んに行われている. しかし高速動作可能な光変調器はバイナリ表示であり, 中間値を表示出来なかった. そこで, 画素分割法[1]を用いてバイナリの投射画像を光学的にDA変換するシステムを提案し, そのための集積型空間光変調器を設計した.

**試作チップの機能と光変調器の作成** 試作したチップは集積型空間光変調器の基盤となるもので, 液晶駆動用の電極が中央部に複数配置されている. その電極は画素分割法に基づいたボタンを持つ. チップの機能は液晶駆動用のドライバ, アドレスデコーダとメモリで, 動作はデジタルである. このため表示はバイナリとなる. チップは液晶の配列を制御するために有機薄膜をコートされ, その後ラビング

処理される. 変調器は加工されたチップとガラス基盤で強誘電性液晶をはさむ構造となり, 反射型の変調器となる. 本チップはモトローラ1.2  $\mu$ mプロセスで博士の学生が設計した. **参考文献** [1]内田龍男: 次世代液晶ディスプレイ技術, p. 159 (工業調査会, 1994)





### 画像処理用アナログ MOSセルオートマトン回路 TEG の設計試作 ( 1 )

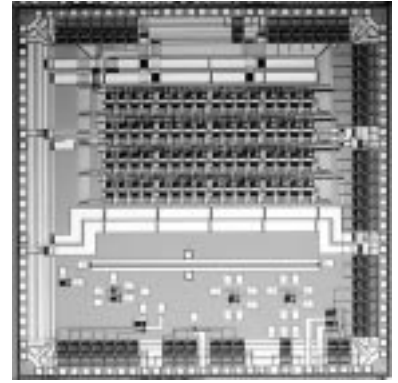
北海道大学工学研究科 黄 志雄, 池辺 将之, 雨宮 好仁

**チップ概要** 高速並列の画像処理用に適したセルオートマトン回路の研究を行っている . 低消費電力型の画像処理用セルオートマトンLSIの試作のための準備として単位演算セル回路 TEG の試作を行った . 単位演算セル回路として , アナログ形 MOS回路を用いている . コンパクトで低消費電力の回路である . セル8近傍の入力に対する演算を処理できる . 併せて , デジタル回路 , アナログ回路の基本的な回路も T E G として試作した .

**使用ツール** : SX9000, HSPICE , **試作日数** : 修士 2 年 1 名で行い , 約 1 ヶ月 ,

**トランジスタ数** : 約 500 , **試作ラン** : オンセミ CMOS 1.2  $\mu$  m 2.3mm 角 ,

**チップ種別** : アナログ



### PLL TEG ( PLL 特性の場所依存性の評価 )

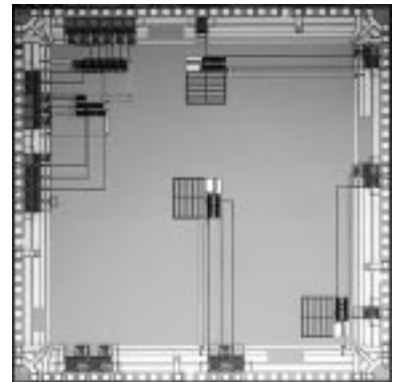
九州大学 大学院 システム情報科学研究科 吉澤 弘泰, エルハドリ アリ, 中司 賢一

**チップ概要** PLL はクロック生成 / 再生において重要な機能回路であり , 高速引き込みと低ジッタ特性が要求される . 低ジッタ化のためには , 回路の差動化等の耐雑音特性を向上する必要がある . 実際には , 電源雑音や基板雑音等の影響を受ける . PLL の配置場所によってはこれらの外乱による影響も受けやすいと考えられる . 今回の試作では , PLL の配置場所による PLL の特性の変化をしらべるために , PLL をチップ中心 , コーナー部 , 辺の中央部の 3 カ所に配置した . 使用した PLL は , 前回試作した 300MHz 1.2mm CMOS PLL[1] をベースにしたチャージポンプ式 PLL である . また , これら PLL TEG の他に耐雑音を検討するために差動形 VCO ( 電圧制御発振器 ) を設計し集積してある . この発振器は電源 , 基板雑音発生回路として使用できる . その他 , 基板雑音測定用の端子も付加してある .

**使用ツール** : SII 社 SX9000 Cadence 社 Dracula HSPICE , **試作日数** : 大学院生 1 名 ( 博士課程 ) で約 1 ヶ月 (PLL) , 大学院生 1 名 ( 修士課程 ) で約 2 ヶ月 (VCO) , **トランジスタ数** : 約 5 0 ( PLL 1 個あたり ) **試作ラン** : オンセミ CMOS 1.2  $\mu$  m 4.8mm 角 ,

**チップ種別** : アナログ ,

**参考文献** : [1] 吉澤 他 , 「 VDEC による高速・低消費電力 CMOS PLL の試作 」 , DA シンポジウム ' 99 , pp.165-170 , 1999



### 高分子ゲルのチップ上へのパターニング

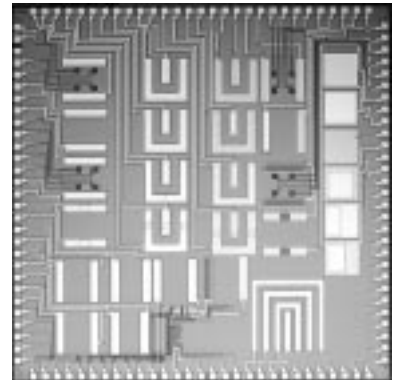
奈良先端科学技術大学院大学 物質創成科学研究科 赤澤 淳, 太田 淳

**チップ概要** 可変形状マイクロレンズを目指した高分子ゲルの基礎実験用 パターニングした高分子ゲルの電圧印加による形状変化を測定するため様々な形状の印加電極を形成した . またゲルの焦点距離変化を検出するためのフォトダイオードセルも設計した .

**使用ツール** : Magic , **試作日数** : 修士の学生 1 名で行い , 約 1 週間 ,

**トランジスタ数** : 約 3 , **試作ラン** : オンセミ CMOS 1.2  $\mu$  m 4.8mm 角 ,

**チップ種別** : 画像 & MEMS



### パルス幅変調信号ビジョンチップの試作

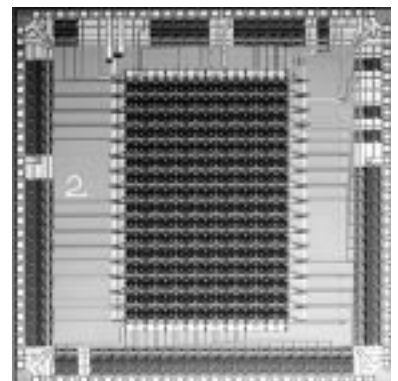
奈良先端科学技術大学院大学 物質創成科学研究科 上原 昭宏, 太田 淳

**チップ概要** ビジョンチップの問題点として , アナログ信号処理回路を用いることで , 処理機能が回路により固定されることがある . プログラム可能なアナログ信号処理として , パルス幅変調信号を用いる方式に注目し , パルス幅変調信号ビジョンチップを試作した . 3 V 動作時にダイナミックレンジ 50dB を得 , 消費電力は 300  $\mu$  W であった . 画素のパルス信号出力の評価から 2 値化 , ヒストグラム均等化処理などが実現できることを実証した . 画素数は 16  $\times$  16 , 画素サイズは 158  $\mu$  m  $\times$  103  $\mu$  m , 開口率は約 5% となった .

**使用ツール** : Cadence 社 Virtuoso, HSPICE , **試作日数** : 修士の学生 1 名で行い , 約 2 週間 ,

**トランジスタ数** : 約 12500 , **試作ラン** : オンセミ CMOS 1.2  $\mu$  m 4.8mm 角 ,

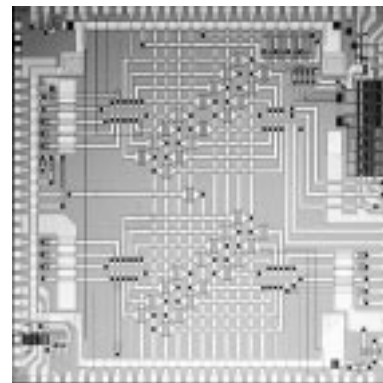
**チップ種別** : 画像 & MEMS



## カルコゲナイド不揮発性メモリのための下地基板

金沢大学工学部 早川 史人, 今井 豊

**チップ概要** 本試作チップは本研究室で従来物性的な研究を行ってきた不揮発性メモリ素子の集積化を行うための下地基板である。本メモリ素子はカルコゲナイド系アモルファス半導体の結晶相とアモルファス相間の相転移現象を基礎とするものであり、書き換えは電気的パルスを用いることにより行っている。この素子の構造はメモリ材料を電極で挟んだ単純なサンドイッチ構造となっており方向性がない。そのため集積化し単一セルへのアクセスを実現するためにはダイオード等の方向性のある素子を利用しマトリクスアレイ状に配置することが効率的であると考えられる。本チップはこれを実現するものである。今回試作したチップは左側と右側にそれぞれ4×4のアレイが存在し、右側の部分はそれを駆動するためのインバータと各ラインを選択するためのデコーダとの接続が可能となっている。またそれ以外のPADを用いて各素子の特性を測ることが可能となっており、また単一のメモリ素子についての特性評価ができるようにアレイ状に配置しないメモリ素子のための配線も用意されている。

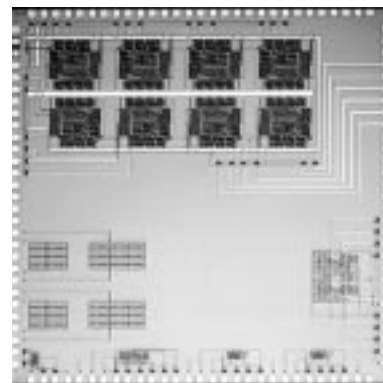


**使用ツール** : Cadence社 Virtuoso, HSPICE, **試作日数** : 修士の学生1名で行い, 約2ヵ月, **トランジスタ数** : 約100, **試作ラン** : オンセミ CMOS 1.2 μ m 4.8mm 角, **チップ種別** : メモリ

## 低電源電圧OTAの試作

東京工業大学工学部 和田 和千, 高木 茂孝, 藤井 信生

**チップ概要** デジタル回路の低電源電圧化に伴い、アナログ集積回路も低電源電圧で実現することが望まれている。このため、アナログ集積回路の基本構成要素である Operational Transconductance Amplifier (OTA) を低電源電圧下で実現することは実用上重要である。今回、飽和領域で動作するMOSFETを用いたOTAのための電圧設定回路と電源電圧と接地間にトランジスタを2段だけ縦積みとしたOTAの2回路を主として試作した。電圧設定回路とは非飽和領域でMOSFETを動作させるためのバイアス電圧を与えるとともに、そのドレイン電流を取り出す回路であり、基本的には6個のトランジスタで構成可能である。この電圧設定回路を用いてOTAを構成した。また、トランジスタ2段積みによるOTAはソースフォロワにより電圧の差を取り出すことができることに着目した構成になっている。いずれの回路も電源電圧3.0Vで動作可能であり、アスペクト比の最適化等により一層の低電源電圧化が期待される。



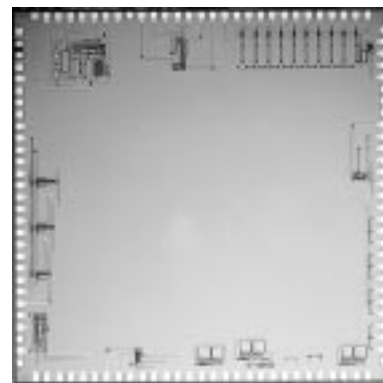
**使用ツール** : Cadence社 Virtuoso, HSPICE, **試作日数** : 修士の学生4名で行い, 約2週間, **トランジスタ数** : 約300, **試作ラン** : オンセミ CMOS 1.2 μ m 2.3mm 角, **チップ種別** : アナログ

**参考文献** : [1] 高木, 和田, 藤井: "線形電圧制御電流源として動作するMOSFET対", pp.29-34, ECT-99-7, 電気学会研究会資料(1999). [2] 高窪, 高木, 高窪, 藤井: "2段積みMOSFETで構成する低電源電圧OTA", pp.1-2, ECT99-1, 電気学会研究会資料(1999).

## センシングシステムLSIの設計

神奈川工科大学電気電子工学科 須田 隆也, 佐藤 敦雄, 平塚 崇, 大和 裕樹, 宝川 幸司

**チップ概要** 我々はセンシングシステムの小型化, 高性能化を目指すために, システム全体をひとつのLSI上で実現することを目指している。システムには, センサー駆動回路, センサーからの信号を検出するディテクタ, 信号をデジタル化するADコンバータ, センシングした情報を処理するDSP, またそれを外部へ送る通信回路などを搭載する。今回試作したチップは, まず上記の実現のためにアナログ回路を主体としての試作および評価を行なった, 具体的な試験回路はオペアンプ, 発振回路, AD/DAコンバータ, 電源である。また評価によって次回の試作のためのパラメータを抽出することができた。試作チップの中央部分が空いているのは, この部分にGaAsを用いた高速通信回路などの異種デバイスを搭載するための実験に利用する。



**使用ツール** : Cadence社 Virtuoso, HSPICE, **試作日数** : 修士1名・学部4年生3人, 約3ヶ月, **トランジスタ数** : 約200, **試作ラン** : オンセミ CMOS 1.2 μ m 4.8mm 角, **チップ種別** : アナログ

### アナログークロスバースイッチの設計

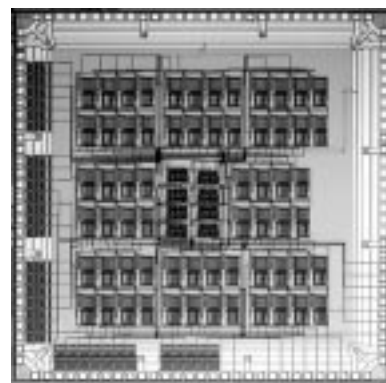
岩手大学工学部 吉田 正樹, 熱海 宏信

**チップ概要** アナログシステムの構成要素を複数個用意し,これをクロスバースイッチを介して特定の機能を持つように構成し,更に要素の故障や環境の変化を生じた場合はこれに適応して再構成し,一定の機能を維持させるため,マイクロクロスバースイッチの設計を試みている.今回試作したものは8行8列の構成で,スイッチの選択のためのデコーダ部も備えている.スイッチのオン抵抗を低くするために,縦横比:50のCMOSスイッチを8個並列に接続して1個のスイッチとしている.動作試験の結果,オン抵抗がkオーダーであり,設計方針を際検討中である.

**使用ツール:** Cadence社アナログCADツール,

**試作日数:** 修士の学生1名で行い,WSの使用法も含め4ヶ月,**トランジスタ数:** 約2400,

**試作ラン:** オンセミ CMOS 1.2  $\mu$  m 4.8mm角, **チップ種別:** アナログ



### リングアレイ前方視超音波イメージャ用集積回路の試作

東北大学大学院 工学研究科 機械電子専攻 西尾 真博, 江刺 正喜

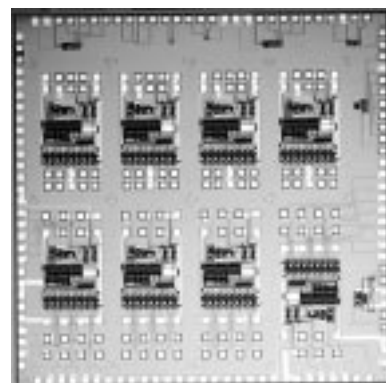
**はじめに** リングアレイ前方視超音波イメージャをカテーテルの先端に搭載し,前方の血管壁や狭窄部 異物などの情報をリアルタイムに取得してカテーテル操作に役立てることを目指している.また,画質の向上と省線化のために,超音波プローブ近くに信号増幅および信号切り替えのための集積回路を搭載する.

**試作チップ** 試作されたチップは,受信信号の増幅のためのアンプと,受信チャンネルの切り替え回路,それを制御するデジタル回路を搭載している.

**使用ツール:** Cadence社 Virtuoso, HSPICE, **試作日数:** 修士の学生1名で行い,約2ヶ月,

**トランジスタ数:** 約450, **試作ラン:** オンセミ CMOS 1.2  $\mu$  m 4.8mm角,

**チップ種別:** 画像 & MEMS



## 平成10年度 第4回 オンセミコンダクタ(旧日本モトローラ)チップ試作 (MOT984)

### 4ビット全加算器および7セグメントLED用デコーダの設計

東京大学工学部 小島 隆広

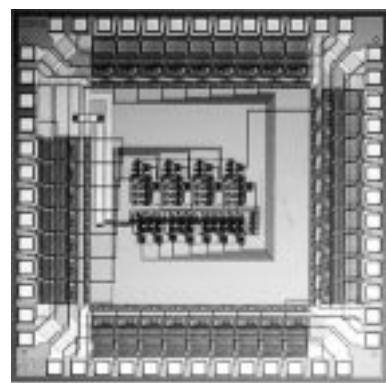
東京大学大規模集積システム設計教育研究センター 池田 誠, 浅田 邦博

**チップ概要** VLSIの設計のトレーニングとしてフルカスタムの設計を行った.今回は4ビット加算器および7セグメントLED用デコーダを作成した.4ビット加算器は,リップルキャリー型加算器を作成した.4ビット加算器および7セグメント用デコーダは,NAND-NAND論理によって実現している.

**使用ツール:** Cadence社 Virtuoso, HSPICE, **試作日数:** 学部4年の学生1名で行い,約2週間,

**トランジスタ数:** 約900, **試作ラン:** オンセミ CMOS 1.2  $\mu$  m 2.3mm角,

**チップ種別:** デジタル



### 可変分周器の設計

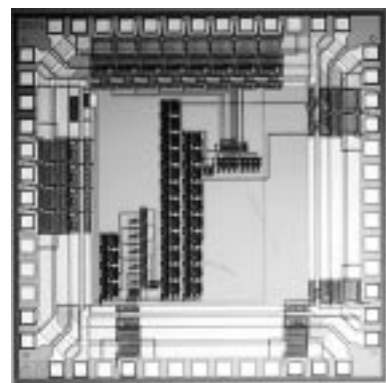
東京大学工学部 大池 祐輔

東京大学大規模集積システム設計教育研究センター 池田 誠, 浅田 邦博

**チップ概要** VLSIを設計する手順を学ぶためにフルカスタムによる回路の設計を行った.今回は入力されたクロックの2分周,4分周,8分周,16分周を切り替えられる可変分周器を作成した.分周はD-flipflopで2分周する回路をつくり,それを多段に接続することで各分周率を実現している.さらに分周率の変化を視覚的に認識できるように10MHz程度の入力を想定し220分周の回路を出力につけ,7セグメントLEDがそのクロックで8の字を描くような点灯をさせるためのデコーダを付加した.

**使用ツール:** Cadence社 Virtuoso, HSPICE, **試作日数:** 学部4年の学生1名で行い,約2週間,

**トランジスタ数:** 約1500, **試作ラン:** オンセミ CMOS 1.2  $\mu$  m 2.3mm角, **チップ種別:** デジタル



## 4ビット全加算器および7セグメントLED用デコーダの設計

東京大学工学部

吉田 浩章

東京大学大規模集積システム設計教育研究センター 池田 誠, 浅田 邦博

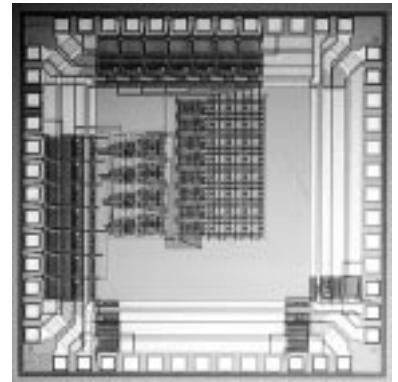
**チップ概要** VLSIの設計のトレーニングとしてフルカスタムの設計を行った。今回は4ビット全加算器および7セグメントLED用デコーダを作成した。4ビット全加算器はリップルキャリー加算器を伝送ゲート型によって実現している。またデコーダはNAND-NAND論理によって実現している。

**使用ツール**: Cadence社 Virtuoso, HSPICE,

**試作日数**: 学部4年の学生1名で行い, 約2週間,

**トランジスタ数**: 約900, **試作ラン**: オンセミ CMOS 1.2  $\mu$ m 2.3mm角,

**チップ種別**: デジタル



## マルチバイブレータを用いたカオス発振回路の相互結合による不規則発振回路(2)

東京大学工学系研究科, 新領域創成科学研究科 相原 祐一郎, 鳳 紘一郎

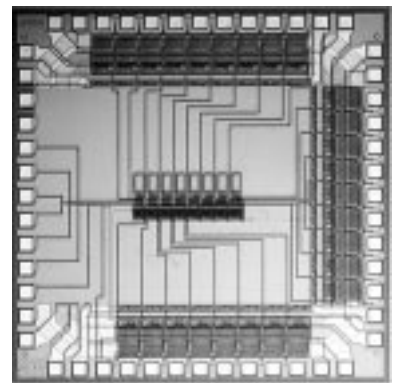
**目的** 非線型回路を相互接続した系の振る舞いについて, 従来, シミュレーションによる様々な計算がなされてきたが, 集積回路を用いると, リアルタイムの測定を通じてダイナミックな系の振る舞いを検討することが可能となる。

**試作チップ** マルチバイブレータを元にしたカオス発振回路をセルとして1次元的に配列し相互結合させた回路の試作を行った。この回路はセルを8個1次元的に配列したもので, 各々の回路の出力を同時に測定し, 数値計算のみでは分からない現象を調べることが可能である。

**使用ツール**: Cadence社 Virtuoso, HSPICE, **試作日数**: 修士の学生1名で行い, 約5日間,

**トランジスタ数**: 約150,

**試作ラン**: モトローラ CMOS 1.2  $\mu$ m 2.3mm角, **チップ種別**: ニューテクノロジー



## リングアレイ前方視超音波イメージャ用集積回路の試作

東北大学大学院 工学研究科 機械電子専攻 西尾 真博, 江刺 正喜

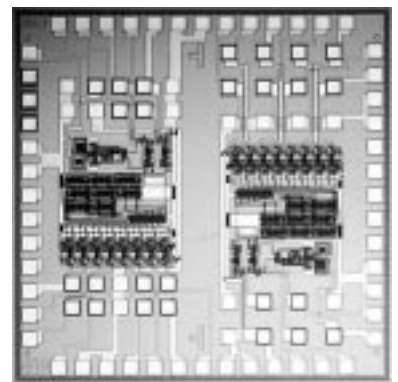
**はじめに** リングアレイ前方視超音波イメージャをカテーテルの先端に搭載し, 前方の血管壁や狭窄部, 異物などの情報をリアルタイムに取得してカテーテル操作に役立てることを目指している。また, 画質の向上と省線化のために, 超音波プローブ近くに信号増幅および信号切り替えのための集積回路を搭載する。

**試作チップ** 試作されたチップは, 受信信号の増幅のためのアンプと, 受信チャンネルの切り替え回路, それを制御するデジタル回路を搭載している。

**使用ツール**: Cadence社 Virtuoso, HSPICE, **試作日数**: 修士の学生1名で行い, 約2ヶ月,

**トランジスタ数**: 約450, **試作ラン**: オンセミ CMOS 1.2  $\mu$ m 2.3mm角,

**チップ種別**: 画像 & MEMS



## ニューロン MOS マクロモデル検証用の試作回路

静岡理科大学大学院理工学研究科材料科学専攻 落合 忠博, 波多 野裕

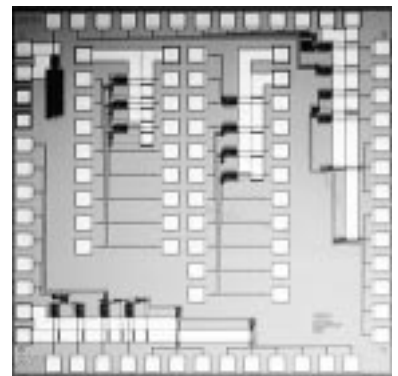
**チップ概要** ニューロン MOS マイクロモデル[1][2]の検証と低温動作実験[3]を目的として, ニューロン MOS トランジスタ, ニューロン MOS インバータ, ニューロン MOS 全加算器, ニューロン MOS インバータで設計した37段リングオシレータ, 外部からの制御信号によってハードウェアの機能をリアルタイムに変更できるやわらかいハードウェア論理回路 (flexware) を設計した。

**使用ツール**: HSPICE など, **試作日数**: 修士の学生1名で行い, 約1ヶ月,

**トランジスタ数**: 約500, **試作ラン**: オンセミ CMOS 1.2  $\mu$ m 2.3mm角,

**チップ種別**: ニューテクノロジー **測定結果**: 大部分のニューロン MOS 回路の機能動作に成

功し, 提案したニューロン MOS マクロモデルの妥当性を実証した。低温動作実験については今後行う予定である。



参考文献:[1] T. Ochiai and H. Hatano, " DC characteristic simulation for floating gate neuron MOS circuits", Electronics Letters, vol. 35, no. 18, pp. 1505-1507, Sep. 1999. [2] T. Ochiai and H. Hatano, " A proposition on floating gate neuron MOS macromodeling for device fabrications ", IEICE Trans. Fundamentals, vol. E82-A, no. 11, Nov. 1999. [3] T. Ochiai and H. Hatano, " A technique for floating gate neuron MOS simulation ", ECS Joint International Meeting, abs. no. A1-93, Oct. 1999.

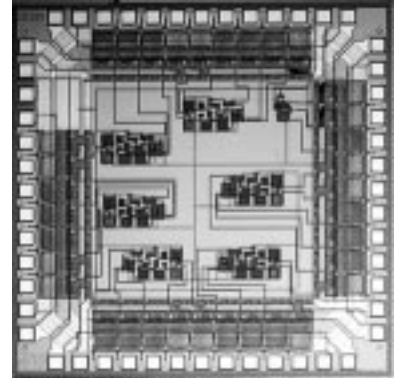
### CMOSカレント・コンペアの設計

静岡大学電子工学研究所 倉科 隆, 小川 覚美, 渡邊 健蔵

**チップ概要** カレント・コンペア(C C II)は,電流モードの演算増幅器として位置付けられ,電流モードの基本構成素子である.今回の設計ではシミュレーションにより得られたカレント・コンペアの性能が,実際のICでも得られるかどうかを確認する目的で設計し,電圧入力端子,電流入力端子,電流出力端子の三端子と,バイアス電流のための電流入力端子を外部入出力端子とした.またカレント・コンペア内で用いられる差動増幅器の試作も加えた.今回試作したカレント・コンペアは,シミュレーションでは優れたAC,DC特性が得られていたのだが,トランジスタを設計する際にPSELの使い方をPMOSのACTIVEと勘違いしたためPMOSの形成に失敗し,カレント・コンペアとしての動作は得られなかった.またTEGを作らなかったためにトランジスタの性能も評価することができなかった.

**使用ツール**: Cadence社 Virtuoso, HSPICE, **試作日数**: 修士の学生1名で行い,約2月間,  
**トランジスタ数**: 24, **試作ラン**: オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, **チップ種別**: アナログ

**参考文献**: [1] アナログ集積回路設計演習 レイアウト編 小谷光司 VDEC講習会資料 1998.12.16

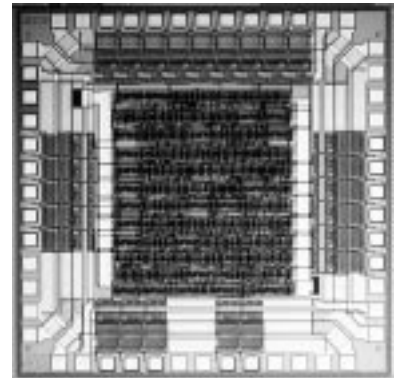


### 電卓チップの設計

京都大学情報学研究科 小林 和淑, 小野寺 秀俊

**チップ概要** VDECリフレッシュ教育で使用している電卓チップの一部をLSI化した.設計にはVerilog-HDLを用い,ライブラリはP2LIBを用いた.FIBとEBテストのトレーニング用に簡単に動くLSIを設計することを目的とした.Draculaを用いてLVSを行い,EBテスト上でネットリストとレイアウトの相互参照を行い,簡単にプロービングできることを確認した.

**使用ツール**: Cadence社 Verilog-XL, Cell Ensemble, Dracula, Synopsys社 Design Compiler,  
**試作日数**: スタッフ一人が行い,2週間程度,**トランジスタ数**: 約2400,  
**試作ラン**: オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, **チップ種別**: デジタル,  
**測定結果**: LSIテスト上での動作試験の結果25MHz程度で正常動作することを確認した.

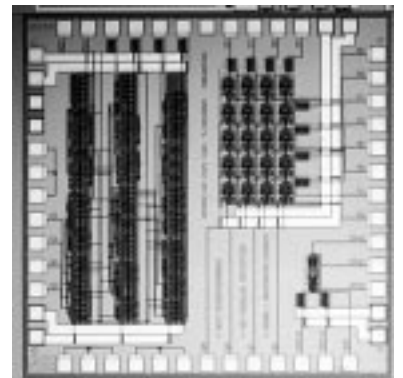


### マクロセルライブラリを用いた2ビットマイクロプロセッサの設計

静岡理科大学大学院理工学研究科材料科学専攻 石倉 康充, 波多野 裕

**チップ概要** 当研究室で開発したマクロセルライブラリを用いて,2ビットの加算を行うマイクロプロセッサを設計した.このマイクロプロセッサはノイマン・アーキテクチャで構成し,基本的な動作としてデータ入力,命令の解読・制御,演算,データ出力を行う.これらの処理を行うために,制御回路,演算回路,各種レジスタなどにより構成されている.さらに,また,4x4並列乗算器と加減算器をフルカスタム方式で設計した.4x4並列乗算器は4桁x4桁の乗算を行うことができる.加減算器はSETの値により加算または減算を行うことができる.

**使用ツール**: HSPICEなど, **試作日数**: 修士の学生1名で行い,約1ヶ月, **トランジスタ数**: 約1k,  
**試作ラン**: オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, **チップ種別**: デジタル



## 電圧設定回路の試作

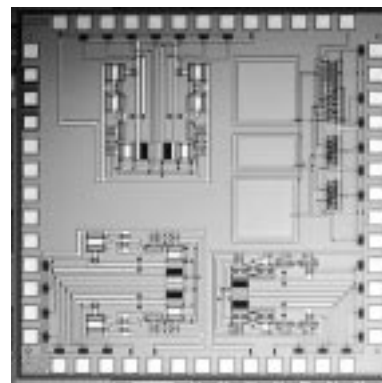
東京工業大学工学部 和田 和千, 高木 茂孝, 藤井 信生

**チップ概要** Operational Transconductance Amplifier(OTA)はアナログ集積回路の基本構成要素であり, その構成法が多数発表されている. その中で非飽和領域で動作する MOSFET を用いてOTAを実現する手法は低電源電圧動作に適していると考えられている. MOSFET を非飽和領域で動作させるためには電圧設定回路が必要であり, 今回は3種類の電圧設定回路を試作した. 3種類の電圧設定回路はそれぞれ Negative Impedance Converter, Caprio & Quad, インバータを基本として構成され, いずれも基本的にはトランジスタ5個で構成可能である. これらの電圧設定回路を用いてOTAを構成した. これらのOTA以外にもトランジスタ2段積み構成のOTAを用いてバイカッド型フィルタも構成した.

**使用ツール**: Cadence Virtuoso, HSPICE, **試作日数**: 助手と博士の学生の2名で行い, 約1週間, **トランジスタ数**: 約100,

**試作ラン**: オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, **チップ種別**: アナログ

**参考文献**: [1] 和田, 高木, 藤井: “低電源電圧で動作する OTA の簡単な構造”, pp.47-52, ECT-99-92, 電気学会研究会資料 (1999).



## ADCL 回路を用いた超低消費電力拡張型 4 ビット ALU ( 1 )

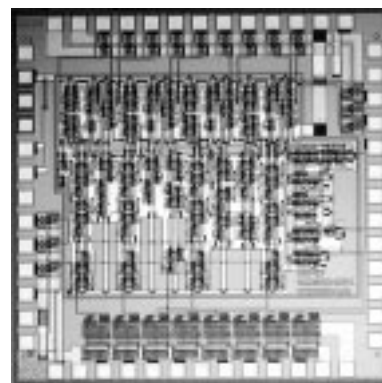
山形大学工学部 橋本 晋一, 水沼 充, 高橋 一清

**チップ概要** LSIの集積密度の増加に伴い従来のCMOS回路技術以上の超低消費電力動作が要望されており, それを実現する回路方式として当研究室では断熱的ダイナミックCMOS論理 ( ADCL ) 回路を提案している. 今回の試作ではADCL回路を用いてCMOS標準ロジックHC181と同機能を有する拡張型4ビットALUを設計, 集積化し[1], 全ての論理演算および算術演算機能について動作を確認した. また, シミュレーションと実際に試作したALUを評価した結果, 試作したALUはCMOS標準ロジックHC181よりも低消費電力であることも確認した.

**使用ツール**: SX-9000, PSpice, **試作日数**: 未経験の修士1年の学生1名で行い, 約2ヶ月,

**トランジスタ数**: 約1150, **試作ラン**: オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, **チップ種別**: ニューテクノロジー

**参考文献**: [1] 橋本, 水沼, 高橋: “断熱的ダイナミックCMOS論理回路を用いた拡張型4ビットALU集積回路の設計”, 信学技報, ICD99-28, pp.9-16, 1999.



## パルス幅変調型ビジョンチップの試作

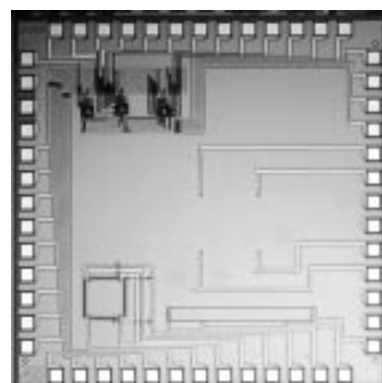
奈良先端科学技術大学院大学 物質創成科学研究科 上原 昭宏, 太田 淳

**チップ概要** 制御信号によりプログラム動作可能なアナログ信号処理回路として, パルス幅変調信号処理に注目し, その基本となる光強度 - パルス幅変換受光回路を試作した. パルス幅変調信号の立ち上がりタイミングで, アナログ制御信号を保持し, パルス幅をアナログ値に変換し信号処理を行なう. 3 V 動作時のダイナミックレンジは50dBであり, 画素あたりの消費電力は300  $\mu$  Wであった. 画素は49トランジスタで構成され, 画素サイズは158  $\mu$  m X 103  $\mu$  m, 開口率は5%となった.

**使用ツール**: Cadence 社 Virtuoso, HSPICE, **試作日数**: 修士の学生1名で行い, 約2週間

**トランジスタ数**: 約12500, **試作ラン**: オンセミ CMOS 1.2  $\mu$  m 2.3mm 角,

**チップ種別**: 画像 & MEMS



## アクティブピクセルセンサーの試作

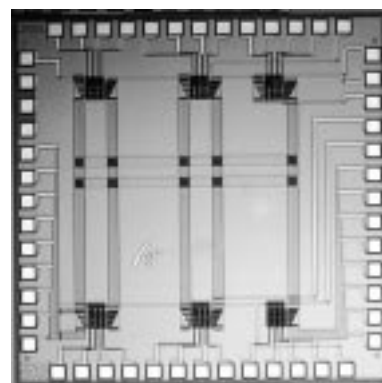
奈良先端科学技術大学院大学 物質創成科学研究科 上原 昭宏, 太田 淳

**チップ概要** ビジョンチップを設計するにあたり, 基本となる受光回路の性能を知ることは大切なことである. CMOSプロセスで試作可能な受光素子としてフォトダイオードおよびフォトゲートを取りあげ, 回路構成の異なる6種類の受光回路アレイを試作した. 画素数は4 x 4, 画素サイズは30  $\mu$  m x 30  $\mu$  m, 開口率は約30%となった.

**使用ツール**: Cadence 社 Virtuoso, HSPICE, **試作日数**: 修士の学生1名で行い, 約1週間,

**トランジスタ数**: 約300, **試作ラン**: オンセミ CMOS 1.2  $\mu$  m 2.3mm 角,

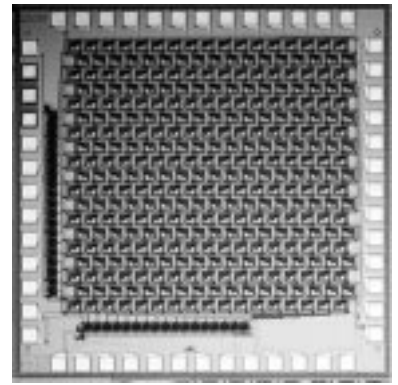
**チップ種別**: 画像 & MEMS



## 二次元エッジ検出網膜回路の設計

豊橋技術科学大学 宮下 貴重, 米津 宏雄

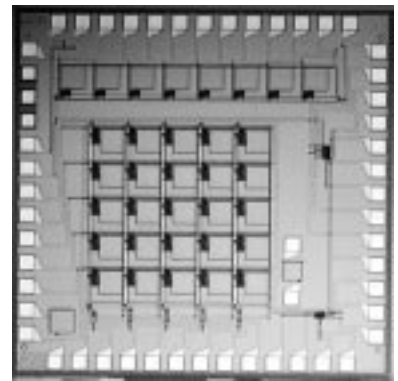
**チップ概要** 生体での視覚情報処理は、膨大な数の神経細胞のネットワークにより行われ、網膜から脳に至るまで並列に行われる。その結果、物体の認識や動き情報の知覚など従来の逐次演算型コンピュータが不得意とする画像処理を瞬時に行う。我々はこのような生体の優れた情報処理機構を集積回路化するための基礎技術を確立することを目的として、網膜の構造に学んだエッジ情報検出機構の集積回路化を行ってきた[1]。今回は、画素数  $17 \times 19$  の二次元エッジ検出網膜回路を設計・試作した。画素は視細胞に相当するフォトダイオードとその出力を空間的に平滑化するMOS型抵抗回路網、そしてそれらの差を出力するためのカレントミラー回路で構成される。MOS型抵抗回路網を用いた結果、画素間に実質的な配線の無い非常にシンプルな構造となっており、画素当たりのMOSトランジスタ数は8となった。画素サイズは  $85 \mu\text{m} \times 74 \mu\text{m}$  である。  
**使用ツール** : Cadence社 Virtuoso, HSPICE, **試作日数** : 修士の学生1名で行い、約1週間、**トランジスタ数** : 約2600, **試作ラン** : オンセミ CMOS  $1.2 \mu\text{m}$  2.3mm角, **チップ種別** : 画像 & MEMS  
**参考文献** : [1] H. Ikeda, K. Tsuji, T. Asai, H. Yonezu and J.-K. Shin: "A novel retina chip with simple wiring for edge extraction", IEEE Photon. Lett., Vol. 10, No. 2, pp.261-263, 1998.



## 二次元動き検出センサの基本回路設計

豊橋技術科学大学 大谷 真弘, 米津 宏雄

**チップ概要** 我々は生体の動き検出機構に学んだ一次元動き検出センサの試作を豊橋技術科学大学・固体機能デバイス研究施設で行い、その基本特性を確認してきた[1]。動き検出センサは、ある位置で検出された画像強度信号と隣接した位置で検出された画像強度の遅れ信号との相関を計算する局所的な検出器のアレイである。今回、この動き検出センサの大規模集積化にあたり、トランジスタの微細化に伴うセンサの動作確認を行うことを目的とし、試作を行った。チップには、画素数8の一次元動き検出センサと一次元動き検出センサを直交配置した画素数  $5 \times 5$  の二次元動き検出センサを集積化した。画素は、受光素子であるフォトダイオード、遅れ信号を発生するためのキャパシタとダイオード接続のnMOSトランジスタの並列回路、そして隣接する画素からの遅れ信号との相関を演算するためのOperational Transconductance Amplifier (OTA)から構成される。画素サイズは、 $180 \mu\text{m} \times 180 \mu\text{m}$  である。  
**使用ツール** : Cadence社 Virtuoso, HSPICE, **試作日数** : 博士の学生1名で行い、約1週間、**トランジスタ数** : 約600,  
**試作ラン** : オンセミ CMOS  $1.2 \mu\text{m}$  2.3mm角, **チップ種別** : 画像 & MEMS  
**参考文献** : [1] M.Ohtani, H. Yonezu and T. Asai: "Analog MOS IC Implementation of Motion-Detection Network Based on a Biological Correlation Model", Jpn. J. Appl. Phys., to be published.

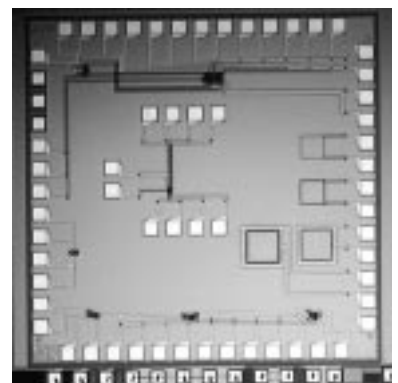


## 視覚対象を追従する運動モデルのアナログ電子回路化

豊橋技術科学大学 浅井 哲也 (現在、北海道大学工学部電子工学科に所属)

宮下 貴重, 米津 宏雄

**チップ概要** 視野上の視覚対象と背景画像を分離し、視覚対象を追従することは、工学的に非常に困難な問題である。その実現には、視野全体にわたる動き情報の検出と追従すべき視覚対象の選択をハードウェア化する必要がある。我々は、生体の視覚における選択的注意のモデルと動き検出モデルに基づき、より生体システムに近い追従運動モデルの提案とそのアナログ電子回路化を行ってきた[1]。提案したモデルは、視覚対象の局所速度を得るための速度検出層、最大の局所速度を示す位置を選択する競合層、そして追従するための運動信号を発生する運動制御層から構成されている。提案したモデルの大規模集積回路化にあたり、今回の試作ではその基本回路である速度検出回路、競合回路、そして運動制御回路のTEGを設計した。生体の情報処理機構に学んだ結果、これらの回路構成はきわめてシンプルになった。  
**使用ツール** : Cadence社 Virtuoso, HSPICE, **試作日数** : 博士の学生1名、修士の学生1名で行い、約1週間、**トランジスタ数** : 約100, **試作ラン** : オンセミ CMOS  $1.2 \mu\text{m}$  2.3mm角, **チップ種別** : 画像 & MEMS  
**参考文献** : [1] T. Asai, M. Ohtani and H. Yonezu: "Analog MOS circuit systems performing the visual tracking with bio-inspired simple networks", Proc. of 7th Int. Conf. on Microelectronics for Neural Networks, Evolutionary and Fuzzy Systems, pp.240-246, 1999.

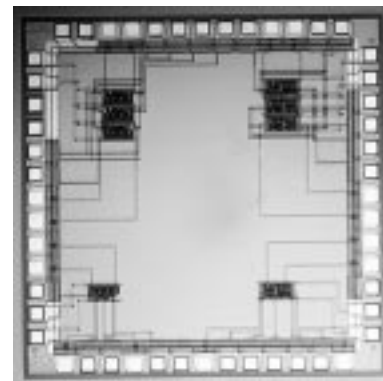


## 低電圧・広帯域OTAの設計

熊本大学工学部 タン ジューホア, 佐々木 守

**チップ概要** 信号処理や通信システムにおいて,高周波特性のよい連続時間フィルタの必要性が高まっている.それらの構成ブロックの一つであるOTAにも,低電圧・広帯域特性が要求されている.そこで,折り返し回路なしに十分な出力レンジを確保できる低電圧OTAを設計した.また,寄生極を相殺する零点を導入して,広帯域動作を可能にした.今回は,設計したOTAを用いてジャイレータを構成し,応用回路として,ジャイレータを用いた共振回路を設計した.共振回路では,設計したOTAを追加して正帰還ループを構成し,負性抵抗によって高Qを実現した.

**使用ツール:** Cadence社 Virtuoso, HSPICE, **試作日数:** 修士の学生1名で行い,回路設計を約3週間,レイアウト設計を約1週間 **トランジスタ数:** 約300, **試作ラン:** オンセミ CMOS 1.2  $\mu$ m 2.3mm 角, **チップ種別:** アナログ

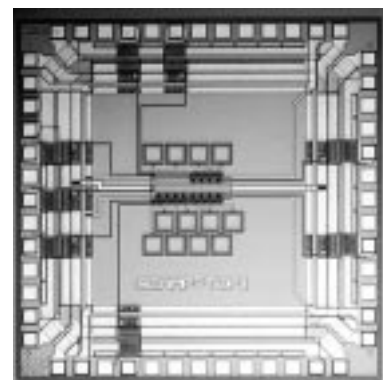


## 超低消費電力・電荷電圧変換回路の試作(1)

高エネルギー加速器研究機構 素粒子原子核研究所 池田 博一

**チップの概要** 容量素子の直並列の切り替えを定周期で行うことにより電圧増幅又は電荷・電圧変換を行うアナログ回路を試作した.信号の増幅はスイッチ素子の切り替えのみによって実現されるため低消費電力である.本回路は,具体的には放射線の電離効果により発生した電荷を電圧に変換する目的で用いることができる.試作(2)とともに容量素子の対サブストレート容量の効果を評価することを今回の試作の目的としている.特に,ボンディングパッドおよび容量のボトムプレート下部のサブストレートをN-wellとすることにより寄生容量の低減を図った.

**使用ツール:** HSPICE, SX9000, **試作日数:** 回路設計とレイアウトを含めて一ヶ月, **トランジスタ数:** 100, **試作ラン:** オンセミ 1.2  $\mu$ m 2.3mm 角, **チップ種別:** アナログ, **参考文献:** 池田:“超低消費電力・電荷電圧変換回路特性評価(1)”,1998年度VDEC年報(1999)

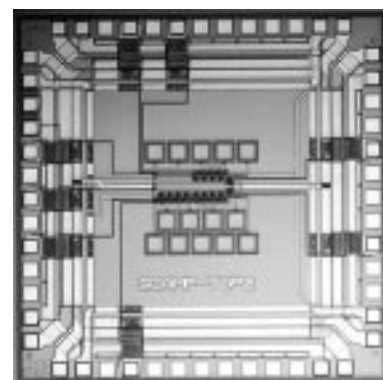


## 超低消費電力・電荷電圧変換回路の試作(2)

高エネルギー加速器研究機構 素粒子原子核研究所 池田 博一

**チップの概要** 容量素子の直並列の切り替えを定周期で行うことにより電圧増幅又は電荷・電圧変換を行うアナログ回路を試作した.信号の増幅はスイッチ素子の切り替えのみによって実現されるため低消費電力である.本回路は,具体的には放射線の電離効果により発生した電荷を電圧に変換する目的で用いることができる.試作(1)とともに容量素子の対サブストレート容量の効果を評価することを今回の試作の目的としている.特に,出力部に緩衝増幅器を配置することによりロードの影響を分離すること,さらには,ボンディングパッドおよび容量のボトムプレート下部のサブストレートをN-wellとすることにより寄生容量の低減を図った.

**使用ツール:** HSPICE, SX9000, **試作日数:** 回路設計とレイアウトを含めて一ヶ月, **トランジスタ数:** 100, **試作ラン:** オンセミ 1.2  $\mu$ m 2.3mm 角, **チップ種別:** アナログ, **参考文献:** 池田:“超低消費電力・電荷電圧変換回路特性評価(2)”,1998年度VDEC年報(1999)

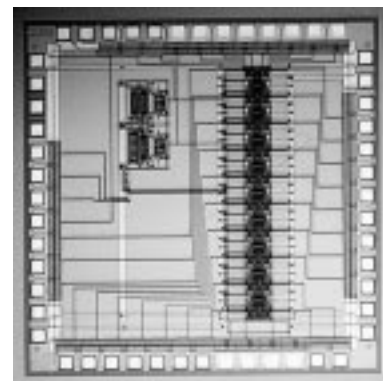


## 電流モード連続時間トランスバーサルフィルタの設計(1)

熊本大学工学部 宮長 晃一, 佐々木 守

**チップ概要** 磁気記憶装置などの高速ベースバンドデジタル伝送系の波形等化を目的に,電流モード連続時間トランスバーサルフィルタを設計した.その基本構成ブロックである定遅延回路を,3次伝達関数で近似して,電流モード積分器と電流ミラーで実現した.

今回試作した定遅延回路では,50Mb/sのビットレートの伝送波形を4倍でオーバーサンプリングするデジタル波形等化システムと同等にするため,遅延時間5ns,定遅延帯域50MHzの遅延回路を設計した.遅延回路単体の消費電力,チップ占有面積はそれぞれ,4.7mW,0.03mm<sup>2</sup>であった.この遅延回路を9個,すなわち9タップのトランスバーサルフィルタを集積した.





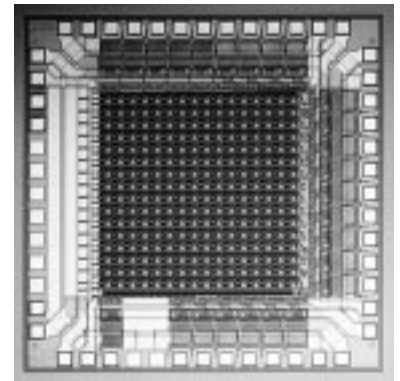
使用ツール : Cadence 社 Virtuoso, HSPICE, 試作日数 : 修士の学生 1 名で行い, 回路設計に約 3 週間, レイアウト設計に 2 週間  
トランジスタ数 : 約 650, 試作ラン : オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, チップ種別 : アナログ

### 2 値化機能を混載したイメージセンサの設計

熊本大学工学部 久松 康秋, 佐々木 守

チップ概要 2 値画像への変換操作では, しきい値を決定するプロセスが非常に重要であり, しきい値決定後の単純な比較操作に比して, 複雑である. そこで, 最小 2 乗規準によるしきい値決定アルゴリズムを実行する機能を混載して, 2 値画像を直接出力するイメージセンサを設計した. 今回試作したイメージセンサは, 画素数  $16 \times 16$  画像センサで, 画素はフォトダイオードとしきい値決定のための演算回路, 比較器, および 2 値画像データを読み出すためのシフトレジスタからなる. シフトレジスタを準備することで, 画像データの読み出しを列並列に行うことを可能にした. 画素サイズは  $82 \mu\text{m} \times 82 \mu\text{m}$  となった.

使用ツール : Cadence 社 Virtuoso, HSPICE, 試作日数 : 修士の学生 1 名で行い, 回路設計に約 3 週間, レイアウト設計に約 1 週間 トランジスタ数 : 約 8000, 試作ラン : オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, チップ種別 : 画像 & MEMS

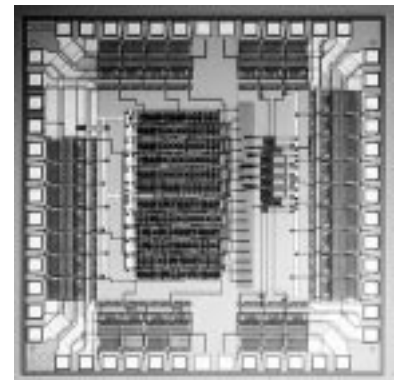


### 3 ステート電流メモリによる低電圧 A/D 変換器の設計

熊本大学工学部 山本 真也, 佐々木 守

チップ概要 離散時間アナログシステムでは, 低電圧になるとフローティングの CMOS アナログスイッチが動作しなくなる. そこで, フローティングのスイッチを使うことなしに, 離散時間アナログシステムを低電圧で実現できる 3 ステート電流メモリを設計した. さらに, その応用として, 電源電圧 1.5V, 10 ビット分解能を目標に循環型 A/D 変換器を 3 ステート電流ミラーを用いて設計した. 今回試作した A/D 変換器は, 4 つの 3 ステート電流メモリと比較器, および制御回路からなる. 制御回路は, タイミングパルスを発生するデジタル回路なので, P2lib を用いて自動配置, 配線させた. アナログ部での消費電力, チップ占有面積はそれぞれ, 0.14mW, 0.091mm<sup>2</sup> であった

使用ツール : Cadence 社 Virtuoso, HSPICE, 試作日数 : 修士の学生 1 名で行い, 回路設計に約 3 週間, レイアウト設計に 1 週間  
トランジスタ数 : 約 1100, 試作ラン : オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, チップ種別 : アナログ



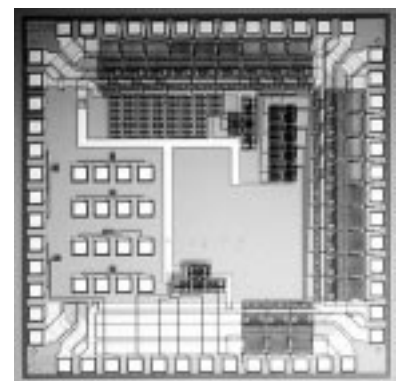
### 低温動作 CMOS アンプ設計へ向けたデバイスモデル作成用チップ

横浜国立大学工学部 小菅 一弘, 吉川 信行

チップ概要 我々は, 単一磁束量子論理回路 (RSFQ 論理回路) と CMOS 回路とのインターフェイスとなる CMOS アンプの設計を行なっている. CMOS アンプは低温で動作させることを想定しているので, 回路シミュレーションの際に低温用の MOS のデバイスモデルが必要となる. 低温用の MOS デバイスモデル作成のためには, 低温で MOS の特性を測定することが必要である. そこで, 今回は低温用のデバイスモデル作成のための MOS を NMOS, PMOS 3 種類ずつ設計した. その他, CMOS アンプ, リングオシレータ, 4 ビット加算器なども設計した. リングオシレータは, 段数を変えて 3 種類設計した.

設計した MOS の静特性を低温と室温で測定した. その結果, 低温ではドレイン電流値が移動度の上昇に伴い増加した. また, しきい値電圧も増加した. リングオシレータは, 低温の方が, 一段当たりの遅延時間が小さくなり, 高速動作した.

使用ツール : Cadence 社 Virtuoso, Analog-Artist, 試作日数 : 修士 1 年の学生 1 名が約 2 週間で設計  
トランジスタ数 : 約 390, 試作ラン : オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, チップ種別 : アナログ, デジタル

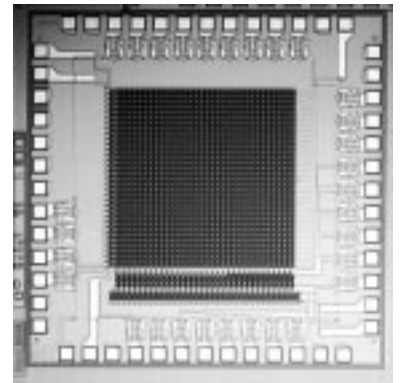


## ノイズ特性評価用増幅型 CMOS イメージセンサ

広島市立大学大学院 情報科学研究科 梅田 昌宏, 堀居 賢樹

**チップ概要** 画像情報が重要な位置を占めるマルチメディア機器において、ほとんどが CCD イメージセンサが用いられている。今後、デジタル画像、モバイルコンピューティングという時代に適合したイメージセンサが求められている。また、CMOS イメージセンサは低消費電力、多機能化に対応できるため注目されており、情報処理機能を持たせたビジョンチップの研究も活発である。しかし、ビジョンチップについては、ほとんど画像の根幹である画質を無視したものに終始している。一方、CMOS イメージセンサは画像部に信号を増幅させる機能を持たせることで、高感度化が計れるものの、画素毎の増幅率の違いによる固定パターンノイズが発生する。これを抑制回路を設けられ、こうした構成により CCD イメージセンサの感度に近づきつつある。しかし、このタイプのノイズ評価、抱える課題については不明確で、十分な評価がなされていないのが現状である。今回、こうした問題を明確にし、性能向上を計るための素子を設計した。提案されているノイズ抑制回路、新しく提案したノイズ抑制回路を領域分割して組み入れ、相対評価と数値評価を行えるようにしている。

**使用ツール**：Cadence 社 Virtuoso, HSPICE, **試作日数**：修士の学生 1 名で行い、約 2 週間, **トランジスタ数**：約 25000, **試作ラン**：オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, **チップ種別**：画像 & MEMS

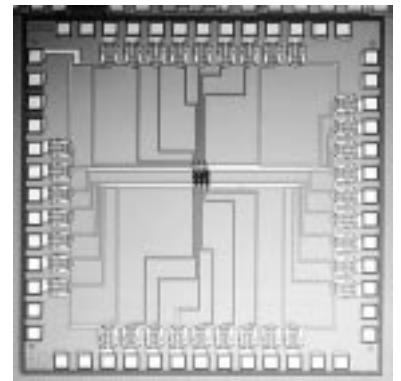


## ノイズ特性評価回路の設計

広島市立大学大学院 情報科学研究科 梅田 昌宏, 堀居 賢樹

**チップ概要** 画像情報が重要な位置を占めるマルチメディア機器において、ほとんどが CCD イメージセンサが用いられている。今後、デジタル画像、モバイルコンピューティングという時代に適合したイメージセンサが求められている。また、CMOS イメージセンサは低消費電力、多機能化に対応できるため注目されており、情報処理機能を持たせたビジョンチップの研究も活発である。しかし、ビジョンチップについては、ほとんど画像の根幹である画質を無視したものに終始している。一方、CMOS イメージセンサは画像部に信号を増幅させる機能を持たせることで、高感度化が計れるものの、画素毎の増幅率の違いによる固定パターンノイズが発生する。これを抑制回路を設けられ、こうした構成により CCD イメージセンサの感度に近づきつつある。しかし、このタイプのノイズ評価、抱える課題については不明確で、十分な評価がなされていないのが現状である。今回、こうした問題を明確にし、性能向上を計るため、提案されているノイズ抑制回路、新しく提案したノイズ抑制回路単体の設計を行った。

**使用ツール**：Cadence 社 Virtuoso, HSPICE, **試作日数**：修士の学生 1 名で行い、約 1 週間, **トランジスタ数**：約 30, **試作ラン**：オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, **チップ種別**：画像 & MEMS

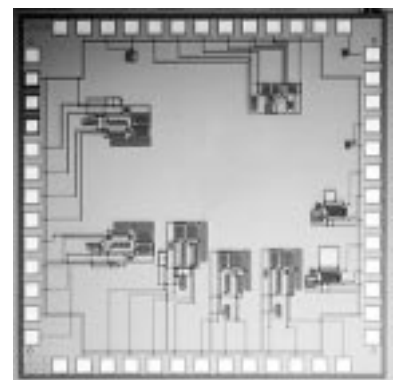


## パルス形ニューロンモデルの試作

日本大学理工学部 矢地 良洋, 佐伯 勝敏, 関根 好文

**チップ概要** 脳内に存在する神経回路網をモデル化する研究がなされており、アナログ回路方式でニューロンチップを実現するという試みが行われている。我々は、工学的な応用を目指して、4 端子の負性抵抗素子を用いたパルス形ニューロンモデルの IC 化について検討を行っている。このモデルは、MOSFET、コンデンサによって実現できるモデルであり、HSpice にて動作を確認している。今回、ケードンスのアナログ回路設計ツールを用いて、パルス形ニューロンモデルを試作した。本チップは修士 1 年生と助手により 3 週間で設計を行った。

**試作チップ**：オンセミ CMOS 1.2  $\mu$  m 2.3mm 角  
**チップ種別**：ニューテクノロジー：neural processors

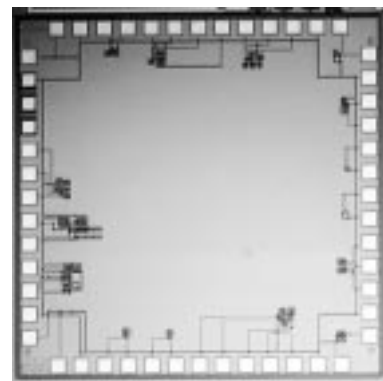


### パルス形ニューロンモデル用負性抵抗素子の試作

日本大学理工学部 隅山 正巳, 鳥田 季代子, 佐伯 勝敏, 関根 好文

チップ概要 脳内における情報の伝達はパルス信号により行われており, パルスを出力する神経回路をモデル化する研究がなされている. 我々は, 工学的な応用を目指して, 負性抵抗素子を用いたパルス形ニューロンモデルの IC 化について検討を行っている. この負性抵抗素子は, 二つの MOSFET で構成した回路であり PSpice にて動作を確認した. 今回, ケーデンスのアナログ回路設計ツールを用いて, パルス形ニューロンモデル用 TEG として MOSFET を用いた負性抵抗素子を試作した. 本チップは学部 4 年生と助手により 3 週間で設計を行った.

試作チップ: オンセミ CMOS 1.2  $\mu$  m 2.3mm 角 チップ種別: ニューテクノロジー: neural processors

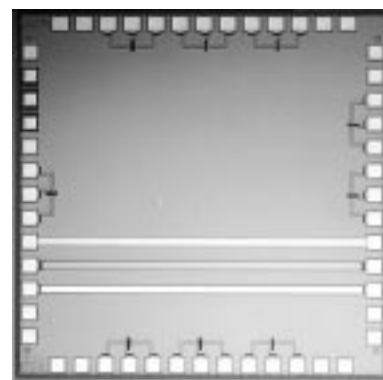


### MOSFET の TEG の試作

東京理科大学理工学部電気工学科 大熊 康介, 高重 英明, 兵庫 明, 関根 慶太郎

チップ概要 本研究室では平成 10 年度より VDEC に参加し, 今回初めてのチップ製作となった. アナログ集積回路設計において, 素子の特性を知ることには大変重要である. そのため, 今回の試作では MOSFET, ポリ抵抗, メタル抵抗の特性や誤差の測定を目的とし, それらの設計を行った.

使用ツール: Cadence 社 Virtuoso, HSPICE, 試作日数: 修士の学生 1 名, 学部の学生 1 名で行い, 約 1 ヶ月, トランジスタ数: 約 10, 試作ラン: オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, チップ種別: アナログ



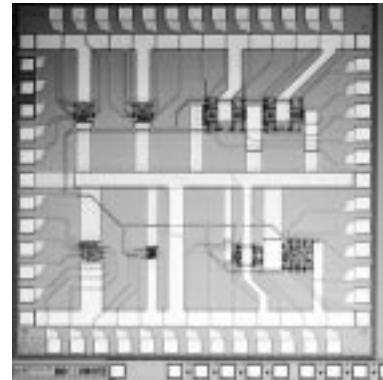
### フローティングゲート MOSFET を用いた電流モードアナログ基本回路の設計

熊本大学工学部 中根 秀夫, 井上 高宏, 二宮 達也, 浜田 大作

はじめに アナログ電流モード回路は電源電圧の低電圧化に適した回路である. 電流モード回路の基本回路には, 電流ミラー, 乗算回路, 積分回路等がある. 今回は VDEC のプロセスで作製したフローティングゲート MOSFET 回路の基本特性を評価する目的で, フローティングゲート MOSFET を用いた基本電流ミラー, 可変利得電流ミラー, 完全差動型電流モード積分回路の集積化を行った.

チップ概要 大きさの異なる基本電流ミラー回路 4 個, 可変利得電流ミラー回路 1 個, 大きさの異なる電流モード積分回路 3 個をそれぞれ集積化している. 全ての回路は電源電圧 1.5V で動作するように設計されている.

使用ツール: Cadence 社 HSPICE, MAGIC, 試作日数: 修士 2 年生 1 名, 学部 4 年生 2 名で行い, 約 3 ヶ月 トランジスタ数: 約 50, 試作ラン: オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, チップ種別: アナログ

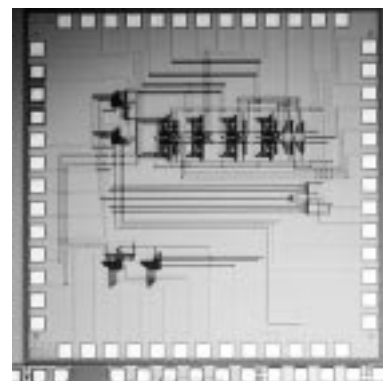


### ニューロン MOSFET を用いた 3 進 SD 数系全加算器の設計

関西大学工学部 今西 茂, 柴山 哲也, 三廻 浩太, 村中 徳明

チップ概要 微細加工技術の発展に伴い, 1 チップに収められる回路規模や, 機能はますます増大している. 多値情報処理システムは, 信号の多レベル化により入出力ピン数の減少や配線量の大幅な減少を可能とするものである.

電圧モードで動作が可能なニューロン MOSFET はしきい論理を扱う素子である. 本研究室においても, これまでにニューロン MOSFET を用いた 3 値全加算器や, 4 値全加算器の設計を行ってきた. しかし, それらは順次桁上げ方式の加算器であり, 最下位の桁から最上位の桁まで桁上げ信号が伝播する時間が演算時間となる. その解決策として多値システムに特化した性質を有する Sign-Digit(SD)数系に注目し, 完全並列演算器としての 3 進 SD 数系全加算器を設計した.



使用ツール : Cadence 社 Virtuoso, HSPICE, 試作日数 : 修士の学生 1 名で行い, 約 1 週間, トランジスタ数 : 約 200,

試作ラン : オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, チップ種別 : アナログ

参考文献 : [1] 柴山, 藤井, 村中, 今西 : "ニューロン MOSFET を用いた 3 値および 4 値全加算器の構成", 多値論理研究ノート, Vol.21, pp10.1-8 (1998-7) [2] 柴山, 藤井, 村中, 今西 : "ニューロン MOSFET の多値論理回路への応用", 1998 年電気関係学会関西支部連大, G-11-7 (1998-11).

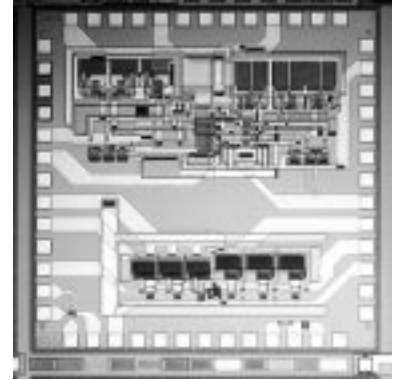
## ULSI デバイスにおける低消費電力化を指向した降圧回路

東北大学電気通信研究所 須永 和久, 遠藤 哲郎, 舛岡 富士雄

チップ概要 CMOS 論理 LSI はスケーリングに伴い, 年々, 消費電力が増え続けてきている. 高速かつ高集積化された集積回路にとって低消費電力化技術は非常に重要である. ここで CMOS 回路の消費電力は電源電圧 VDD を下げることによる効果が非常に高い. しかし, システム電源電圧には規格が存在するために, デバイスの動作電圧における最適値とは一般的に一致しない. この差を埋めるのが降圧回路である. 今回の試作チップはオンチップで構成可能なインダクタンスを含まない RC 回路で構成した降圧回路である.

使用ツール : Cadence 社 Virtuoso, HSPICE, Silvaco 社 SmartSPICE 試作日数 : 設計は 3 名 (教授, 助教授, 修士 2 年) で行い, 約 10 日間, トランジスタ数 : 50 程度,

試作ラン : オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, チップ種別 : アナログ

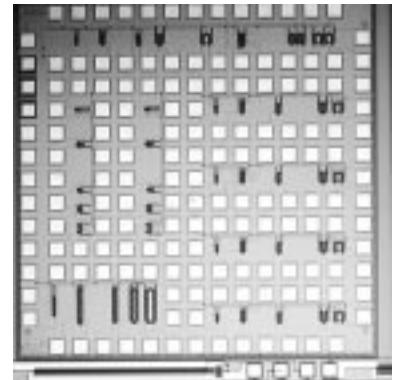


## パストラジスタの信号電圧の評価

東北大学電気通信研究所 船木 寿彦, 遠藤 哲郎, 舛岡 富士雄

チップ概要 近年, CMOS ロジックに比べて高速化, 低消費電力化, 小面積化が可能な論理回路であるパストラジスタロジックに関する研究が広く行われている. パストラジスタロジックが CMOS ロジックに比べて高速化, 低消費電力化, 小面積化が謀れるにもかかわらず CMOS に代わる汎用ロジックとしてなかなか用いられない理由の一つに次のような点が挙げられる. パストラジスタロジックはしきい値電圧による信号の電圧降下が生じ, さらにバックバイアス効果でしきい値電圧が上昇し, ノイズマージンが小さくなり, 降下した信号電圧を回復させるために回路の途中にバッファが必要になる. このような欠点もあるが, CMOS ロジックに比べて高速化, 低消費電力化, 小面積化できる可能性を秘めたパストラジスタロジックには大きな期待がかかっていると言える. そこで, 今回はこの問題点を克服するパストラジスタの信号電圧の評価に用いる回路を構成した.

使用ツール : Cadence 社 Virtuoso, SmartSpice, 試作日数 : 設計は 3 名 (教授, 助教授, 修士 2 年) で行い, 約 10 日間, トランジスタ数 : 約 60, 試作ラン : オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, チップ種別 : デジタル

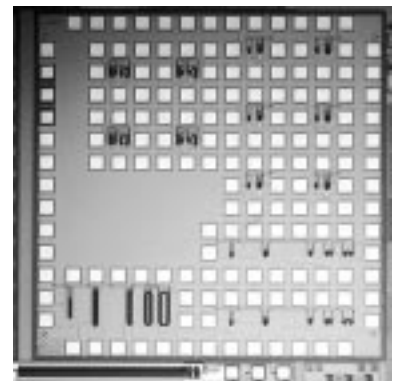


## パストラジスタの信号電圧の評価

東北大学電気通信研究所 船木 寿彦, 遠藤 哲郎, 舛岡 富士雄

チップ概要 近年, CMOS ロジックに比べて高速化, 低消費電力化, 小面積化が可能な論理回路であるパストラジスタロジックに関する研究が広く行われている. パストラジスタロジックが CMOS ロジックに比べて高速化, 低消費電力化, 小面積化が謀れるにもかかわらず CMOS に代わる汎用ロジックとしてなかなか用いられない理由の一つに次のような点が挙げられる. パストラジスタロジックはしきい値電圧による信号の電圧降下が生じ, さらにバックバイアス効果でしきい値電圧が上昇し, ノイズマージンが小さくなり, 降下した信号電圧を回復させるために回路の途中にバッファが必要になる. このような欠点もあるが, CMOS ロジックに比べて高速化, 低消費電力化, 小面積化できる可能性を秘めたパストラジスタロジックには大きな期待がかかっていると言える. そこで, 今回はこの問題点を克服するパストラジスタの信号電圧の評価に用いる回路を構成した.

使用ツール : Cadence 社 Virtuoso, SmartSpice, 試作日数 : 設計は 3 名 (教授, 助教授, 修士 2 年) で行い, 約 10 日間, トランジスタ数 : 約 50, 試作ラン : オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, チップ種別 : デジタル



## 8 ビット全加算器の試作

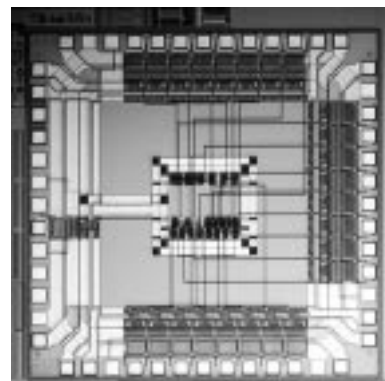
広島工業大学工学部 大村 道郎, 高田 勇, 田中 武

**チップ概要** 計算機を構成する基本的な回路の動作を理解することは重要なことである。広島工業大学電気工学科における電子計算機工学の授業では、それらの回路を学生にVHDL言語で記述させ、シミュレーション結果を確認させながら授業を行っている。今回の設計では、特に全加算器について、学生が記述した回路の1つを、実際に試作してみた。今回試作した全加算器はピン数の制約から8ビットとし、VHDLで記述、論理合成した後、スタンダードセル方式のレイアウトツールを用いてマスクパターンを作成した。なお、出来上がったチップはロジックアナライザーを使って動作を確認することができた。

**使用ツール**: Avant!社 Apollo, **試作日数**: 学部の学生1名で行い、約4週間,

**トランジスタ数**: 約1600, **試作ラン**: オンセミ CMOS 1.2  $\mu$ m 2.3mm 角, **チップ種別**: デジタル

**参考文献**: [1] 大村, 田中, 川畑: "VHDL言語を用いたLSI設計教育", p.368, 平成11年度電気・情報関連学会中国支部第50回連合大会 (1999). [2] 田中, 大村: "広島工業大学におけるVLSI設計・プロセス工学教育", pp.7-13, 広島工業大学研究紀要 第34巻 (2000). 228



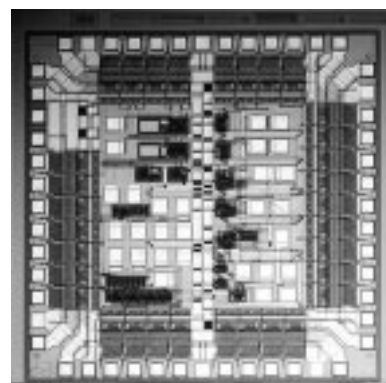
## 三次元セルラーニューラルネットワーク回路の設計

北海道大学 藤原 孝信, 赤澤 正道, 雨宮 好仁

**チップ概要** 三次元セルラーニューラルネットワーク(CNN)では、セル結合を近傍同士に限ったときでも、高度な時系列の情報処理を行うことができる。今回の設計では、重み係数は固定とし、Suttonの迷路の解を記憶させた三次元CNNを試作した。この三次元CNNは $4 \times 4 \times 4$ の構造をもち、全64個のニューロンからなる。各ニューロンは、七近傍(上下前後左右と自分)との結合をもち、その結合係数は $\pm 1$ , 0の3通りに設定した。ニューロンの積和演算部にはMOSを用いることで、各ニューロンのサイズを大幅に小さくすることができた。また、各ニューロンの結合を最近傍に限っていることからニューロン同士の配線も少なくできている。回路の駆動方式は4相クロックであり、離散時間で同期的に動作するデジタルニューロチップである。測定の結果、25MHzまでの正しい動作を確認した。

**使用ツール**: SX9000, HSPICE, **試作日数**: 修士1年生1名で行い、約1ヶ月,

**トランジスタ数**: 約1000, **試作ラン**: オンセミ CMOS 1.2  $\mu$ m 4.8mm 角, **チップ種別**: ニューテクノロジー



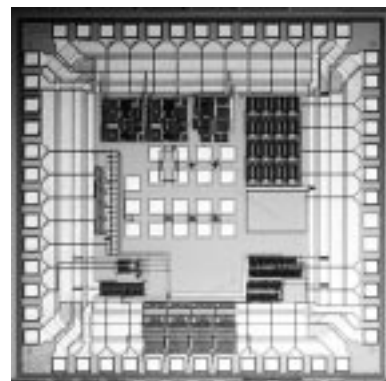
## 98年度学部学生・修士学生のフルカスタム設計演習

金沢大学工学部 小川 明宏, 高瀬 信二, 今井 豊, 数馬 晋吾, 藤田 隼人, 水野 浩樹,  
村上 崇, 渡辺 晃, 秋田 純一

**チップ概要** 卒業研究で集積回路の研究を主にトップダウンから行う学部学生にとって、小規模な回路をボトムアップでレイアウトレベルから設計する経験をもつことは、集積回路に対する理解を深めるために有効であると考えられる。本チップは、レイアウトレベルの設計経験のない学部学生6名と修士学生2名を対象とし、4本の共通入力ピンと1/2本の出力信号の組み合わせやTEG用のパッドを用意し、それぞれが独自に回路の設計・検証を行った。設計した回路は、リングオシレータ、差動増幅器、MOSダイオードアレイ、各種デジタル回路、単体MOSFETである。

**使用ツール**: Virtuoso HSPICE, **試作日数**: 学部学生6名と修士学生2名で行い、約2週間,

**トランジスタ数**: 737, **試作ラン**: オンセミ 1.2  $\mu$ m 2.3mm 角, **チップ種別**: デジタル・アナログ



### 埋め込み型機能的電気刺激装置のためのカスタム IC の試作

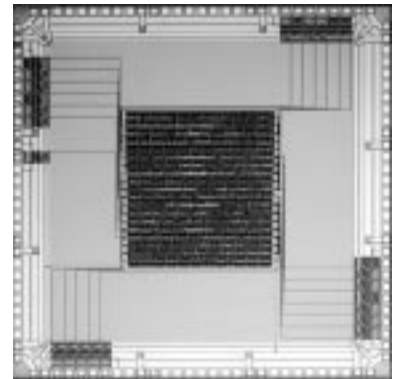
埼玉大学工学部 秋山 卓郎, 高橋 幸郎

はじめに 現在, 生体工学の分野で埋め込み型機能的電気刺激装置の開発が進められているが, 実用化のためには小型化が課題となっており, デジタル回路 / アナログ回路をワンチップに収めたカスタム IC の開発が望まれている. そこで, その第一段階として, デジタル回路部分についてカスタム IC の設計及び試作を行った.

試作チップ概要 設計した回路は機能的電気刺激装置の制御部回路で, 受信した刺激制御信号を復調し, クロックの生成, 誤り訂正, 返送信号の生成を行い, 適切なタイミングで刺激制御信号及び返送信号を出力する. 本チップはスタンダードセル方式で設計を行い, ライブラリには P2Lib を用いた. 具体的には, 論理回路を直接回路図入力し, CellEnsamble によってコア部分のみセルの自動配置配線を行い, コア部分と I/O バッファ部分との配線は手動で行った.

使用ツール: Cadence 社 Schematic Editor, Verilog-XL, CellEnsamble, Diva, Dracula 試作日数: 修士の学生 1 名で行い, 約 1 ヶ月

トランジスタ数: 約 5400 個 試作ラン: オンセミ CMOS 1.2  $\mu$  m 4.8mm 角 チップ種別: デジタル

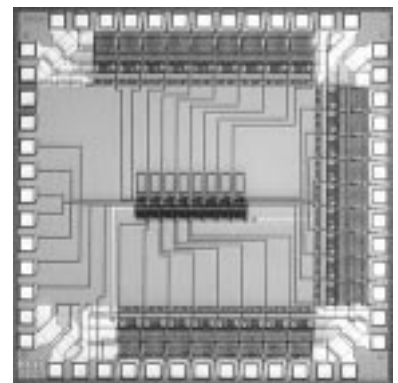


### マルチバイブレータを用いたカオス発振回路の相互結合による不規則発振回路 (3)

東京大学工学系研究科, 新領域創成科学研究科 相原 祐一郎, 鳳 紘一郎

試作チップ 集積化が容易なカオス発振回路を実現することは, カオスの工学的応用のために非常に有効な手段となる. そこで, マルチバイブレータを元にしたカオス発振回路を相互結合させた回路の試作を行った. この回路はカオス発振回路を 8 個 1 次元的に配列したもので, 各々の回路の出力を同時に測定し, 数値計算のみでは分からない現象を調べることが可能である.

使用ツール: Cadence 社 Virtuoso, HSPICE, 試作日数: 修士の学生 1 名で行い, 約 5 日間, トランジスタ数: 約 150, 試作ラン: モトローラ CMOS 1.2  $\mu$  m 2.3mm 角, チップ種別: ニューテクノロジー



### リングアレイ前方視超音波イメージャ用集積回路の試作

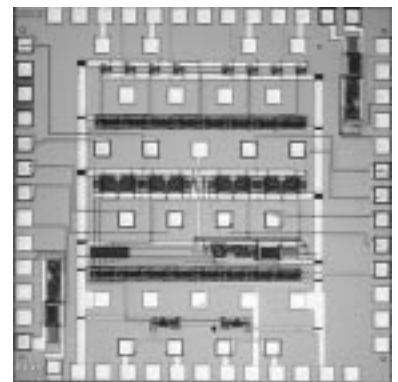
東北大学大学院 工学研究科 機械電子専攻 西尾 真博, 江刺 正喜

はじめに リングアレイ前方視超音波イメージャをカテーテルの先端に搭載し, 前方の血管壁や狭窄部, 異物などの情報をリアルタイムに取得してカテーテル操作に役立てることを目指している. また, 画質の向上と省線化のために, 超音波プローブ近くに信号増幅および信号切り替えのための集積回路と, 送信用パルスの切り替えのためのマイクロリレー (マイクロマシンングで作成) を搭載する.

試作チップ 試作されたチップは, 受信信号の増幅のためのアンプと, 受信チャンネルの切り替え回路, それを制御するデジタル回路, マイクロリレーのドライブ回路を搭載している. アンプは電流帰還型のアンプを設計し使用した. 本チップはプリアンプとして電圧帰還型アンプを使用したバージョンである. マイクロリレーはカレントミラーで定電流駆動を行う.

使用ツール: Cadence 社 Virtuoso, HSPICE, 試作日数: 修士の学生 1 名で行い, 約 1 ヶ月,

トランジスタ数: 約 1000, 試作ラン: オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, チップ種別: 画像 & MEMS



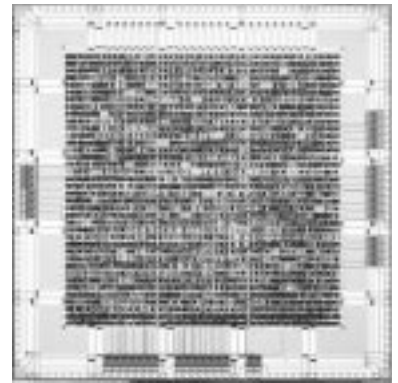
### リングアレイ前方視超音波イメージャ用集積回路の試作

東北大学大学院 工学研究科 機械電子専攻 西尾 真博, 江刺 正喜

はじめに リングアレイ前方視超音波イメージャをカテーテルの先端に搭載し, 前方の血管壁や狭窄部, 異物などの情報をリアルタイムに取得してカテーテル操作に役立てることを目指している. また, 画質の向上と省線化のために, 超音波プローブ近くに信号増幅および信号切り替えのための集積回路と, 送信用パルスの切り替えのためのマイクロリレー(マイクロマシンングで作成)を搭載する.

試作チップ 試作されたチップは, 受信信号の増幅のためのアンプと, 受信チャンネルの切り替え回路, それを制御するデジタル回路, マイクロリレーのドライブ回路を搭載している. アンプは電流帰還型のオペアンプを設計し使用した. 本チップはプリアンプとして電流帰還型オペアンプを使用したバージョンである. マイクロリレーはカレントミラーで定電流駆動を行う.

使用ツール: Cadence社 Virtuoso, HSPICE, 試作日数: 修士の学生1名で行い, 約1ヶ月, トランジスタ数: 約1000, 試作ラン: オンセミ CMOS 1.2  $\mu$ m 2.3mm角, チップ種別: 画像 & MEMS



### 共鳴エージェントによる連想回路の設計

東京大学工学部 山崎 俊彦, 柴田 直

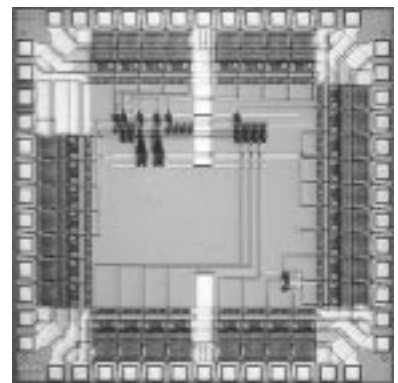
東京大学新領域創成科学研究科 三好 知之, 柴田 直, 研究員 岡田 敦彦

チップ概要 連想・認識などを行う際, 距離演算回路は必要不可欠である. 現在, 距離演算回路としてはフローティングゲートトランジスタを用いたマンハッタン距離演算回路, MOSトランジスタの飽和電流特性を利用したユークリッド距離演算回路などが主流である. しかし, これらの回路は当然のことながら設計の時点で演算の特性は固定されてしまう. 私たちの研究グループでは演算の特性がその時々で自由に変更できるとより柔軟な連想ができるのではないかと考え, 制御信号により演算特性が変えられる回路を設計した. 私たちはCMOSインバータの貫通電流に注目し, それと MOSを組み合わせることで自由に演算特性を変えられるようにした. また, 回路の特性が量子デバイスの共鳴トンネリング現象の特性に似ていることから「共鳴エージェント」と名付けた.

今回試作した共鳴エージェント回路は出力波形の peak position 変更型, sharpness 変更型, peak value 変更型など構成要素回路を単体で測定・評価できるもと実際の連想演算結果を電流で出力する回路が含まれている.

使用ツール: Cadence社 Virtuoso, HSPICE, 試作日数: 修士の学生1名, 研究員1名で行い, 約1週間,

トランジスタ数: 約160, 試作ラン: オンセミ CMOS 1.2  $\mu$ m 2.3mm角, チップ種別: アナログ analog processors and memories



### テスト測定, FIB 測定標準 LSI の設計

京都大学情報学研究科 小林 和淑, 小野寺 秀俊

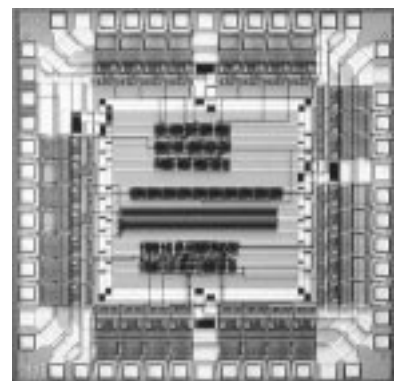
チップ概要: テスタ測定, EB 測定の教育に用いるための LSI の試作を行った. LSI 上には, 8ビットカウンタ, 10ビットシフトレジスタ, インバータチェイン, 4ビットALUが搭載されている. ライブラリはVDEC提供のものを用いた.

使用ツール: Cadence社 Verilog-XL, Dracula, Avat!社 Apollo, Synopsys社 Design Compiler,

試作日数 スタッフ一人が行い, 1週間程度, トランジスタ数: 2048,

試作ラン: オンセミ CMOS 1.2  $\mu$ m 2.3mm角,

チップ種別: デジタル, 測定結果: LSI テスタ上での正常動作を確認した. また, EB プローバによる内部波形の観測も行った.



## ニューロン MOS トランジスタを用いた電圧モード多値論理回路用チップの試作

宮崎大学工学部 沈 靖, 郭 宏, 真方 弘志, Ghada Mustafa,

垣内 慎一郎, 淡野 公一, 石塚 興彦

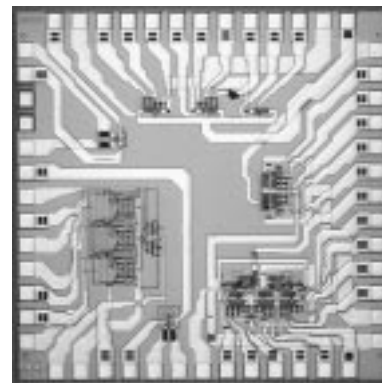
**チップ概要** ニューロン MOS( MOS)トランジスタを用いた電圧モード多値論理回路用チップの試作を行った。このチップは、本研究室で研究しているニューロン MOS トランジスタの基本回路である、MOS ダウンリテラル回路, C- MOS インバータ, MOS リテラル回路, MOS- T -gate などを中心に設計してある。更に、MOS 単体の測定用に、2 ゲート N- MOS と P- MOS も、設計してある。これらの回路は、今後の電圧モード多値論理回路の構成回路となる。

**使用ツール:** セイコー社 SX-9000, HSPICE, **試作日数:** 博士の学生 1 名, 修士の学生 3 名,

学部学生 1 名で行い, 約 4 週間, **トランジスタ数:** 約 100, **試作ラン:** オンセミ CMOS1.2  $\mu\text{m}$  2.3 mm 角,

**チップ種別:** アナログ

**参考文献:** [1] J. Shen: "Design and Analysis of Down Literal Circuit Using Neuron-MOS Transistor", IEEE Int. Symp. on Multiple-Valued Logic (ISMVL '99), pp.180-185, May 1999.



## 電流モード多値論理回路用チップの試作

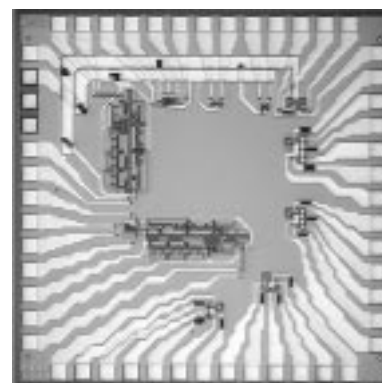
宮崎大学工学部 首藤 真, 唐玉 明, 永里 政嗣, 田中 寿, 淡野 公一, 石塚 興彦

**チップ概要** 電流モード多値論理回路用チップの試作を行った。このチップは、本研究室で研究している電流モード多値乗算器の基本回路である、4 値全加算器(Quaternary Full Adder, QFA)を中心とした回路を搭載している。設計した QFA は、電源電圧を実用的な値に下げて動作させることを目的として、シングルタイプカレントミラー回路を用いている。また、QFA の入力電流を電圧源によって制御することを目的として、V - I コンバータの設計も行った。この回路は、今後の電流モード多値論理回路の構成回路となる。

**使用ツール:** セイコー社 SX-9000, HSPICE, **試作日数:** 修士の学生 3 名, 学部学生 1 名で行い, 約 4 週間, **トランジスタ数:** 約 250, **試作ラン:** オンセミ CMOS1.2  $\mu\text{m}$  2.3 mm 角,

**チップ種別:** アナログ

**参考文献:** [1] 太田: "電流モード多値論理回路の VLSI 設計", 1998 年, 宮崎大学大学院修士論文。



## ニューロン MOS トランジスタ単体とそれを用いたダウンリテラル回路用チップの試作

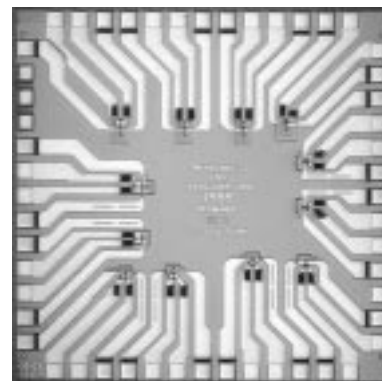
宮崎大学工学部 稲葉 基, 堤 貴彦, 小野 豊, 淡野 公一, 石塚 興彦

**チップ概要** ニューロン MOS( MOS)トランジスタ単体と, n 形, p 形 MOS トランジスタを 1 つずつ用いて構成されるダウンリテラル回路の試作を行った。MOS トランジスタは、フローティングゲートとそれに容量結合された複数の入力ゲートによって特徴付けられ、可変しきい値特性を有するため、多値論理回路に最適である。特に、この結合の容量は、小さければレイアウト面積を小さくでき、大きければ回路の特性が向上するため、この容量を変化させた回路を試作し、それらの LSI チップ上での振る舞いを調べることは、今後の多値論理回路の開発にとって重要なことである。

**使用ツール:** セイコー社 SX-9000, HSPICE, **試作日数:** 修士の学生 2 名で行い, 約 1 週間, **トランジスタ数:** 12,

**試作ラン:** オンセミ CMOS 1.2  $\mu\text{m}$  2.3 mm 角, **チップ種別:** アナログ

**参考文献:** [1] J. Shen: "Design and Analysis of Down Literal Circuit Using Neuron-MOS Transistor", IEEE Int. Symp. on Multiple-Valued Logic (ISMVL '99), pp.180-185, May 1999.





## ステレオ画像を用いた障害物検出 LSI の設計

芝浦工業大学システム工学部 吉良 堅太郎, 上田 和宏

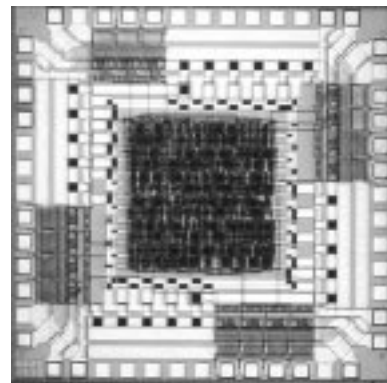
チップ概要 極地での作業ロボットの使用や工場でのロボットによる無人操業はもちろん, 今後は一般家庭等の身近な生活にも自律移動が可能なロボットの登場が予想される. そこで, 自律的に周囲の環境をとらえ実時間での障害物検出処理する本手法のチップ化を試みた[1]. 本チップは画像処理をされたデータを扱うことを想定したチップである. 撮影された画像はあらかじめ3bitの輝度値で表すものとし, それを入力データとする. 3clock 毎に入力されたデータを2つに振り分け, それぞれをステレオカメラでとられた一枚の画像のデータとして格納する. 1画素に与えられるデータ(3bit)を読み込み, 差分の検出, 閾値との大小比較を行った. 今回は画像を5×5の格子状領域として並列処理を行った.

使用ツール: Synopsys社 DesignAnalyzer, Dracula, Avant!社 ApolloXO,

試作日数: 学部学生1名で行い, 約二ヶ月間, トランジスタ数: 約3300, 試作ラン: モトローラ CMOS 1.2 μ m 2.3mm 角,

チップ種別: デジタル

参考文献: [1]吉良, 上田: “ステレオ画像を用いた障害物 LSI の設計とチップ試作”, pp.55, 平成11年度電子情報通信学会東京支部学生会研究発表会(2000)



## アナログオペアンプの設計

埼玉大学工学部 秋山 卓郎, 高橋 幸郎

はじめに デジタル回路/アナログ回路をワンチップに収めたカスタムICの開発を目指し, その第一段階として, アナログ回路設計のノウハウを習得するために, アナログオペアンプの設計及び試作を行った.

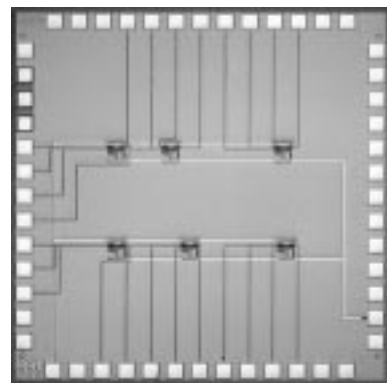
試作チップ概要 設計は, トランジスタのサイズをCadence社のAnalog Artistを用いたシミュレーションによって決定した後, Layout Editorでオペアンプのレイアウトを入力し, LVSにより検証を行った.

使用ツール: Cadence社 Schematic Editor, Layout Editor, Analog Artist, LVS, Diva, Dracula

試作日数: 修士の学生1名で行い, 約1ヶ月 トランジスタ数: 54個

試作ラン: オンセミ CMOS 1.2 μ m 2.3mm 角 チップ種別: アナログ

参考文献: [1] 吉村, 谷口: “アナログ基本回路(オペアンプ回路)の設計・試作”, p.55, 1997年VDEC年報(1997).



## マイクロプロセッサ回路の設計

静岡理科大学

河原崎 正吾, 伊藤 外憲己, 小松原 掌, 竹下 智之, 仲本 政樹(理工学部電子工学科)

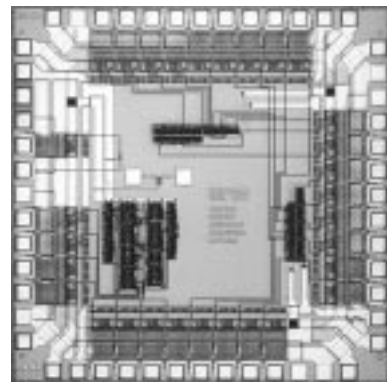
石倉 康充, 波多野 裕(大学院理工学研究科材料科学専攻)

チップ概要 今回の設計では汎用シフトレジスタおよび負符号付加減算器の設計を行なった. またフルカスタム設計による2ビットマイクロプロセッサの設計を行なった.

今回試作した汎用シフトレジスタは, 従来のシフトレジスタにデコーダおよびマルチプレクサを導入することで, 右シフト, 左シフト, 並列の入出力, データ保持といった4つの機能を行なうことができるようになった. 負符号付加減算器は大小比較器と加減算器を組み合わせることにより, 加減算器では表示することのできなかった負符号を表示できるようになった. フルカスタム設計の2ビットマイクロプロセッサはゲートアレイ方式に比べ面積を約30%にすることが可能となった.

使用ツール: HSPICEなど, 試作日数: 3年次にMOS IC試作を経験した1名を含む学部生5名で行い, 約1ヶ月間,

トランジスタ数: 約1k, 試作ラン: オンセミ CMOS 1.2 μ m 2.3mm 角, チップ種別: デジタル



## ニューロン MOS 回路の設計

静岡理科大学理工学部電子工学科 中西 学, 古橋 和弘, 山本 佳和, 波多野 裕

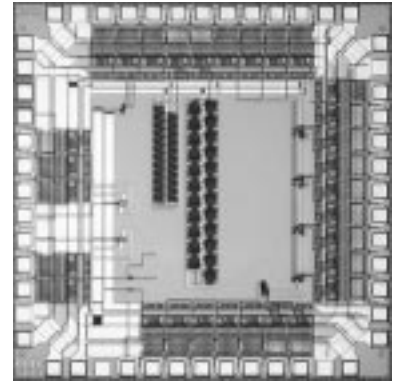
静岡理科大学大学院理工学研究科材料科学専攻 落合 忠博, 波多野 裕

**チップ概要** ニューロン MOSFET[1]は, 複数の信号入力端子がフローティングゲートと容量的に結合し, その重みつき線形和としてゲート電圧を決定する MOSFET である.

今回の試作では3種の回路を設計した. 1つは, ニューロン MOS 回路の回路性能の研究を目的に, ニューロン MOS 全加算器構成の23段リングオシレータを設計した. 2つ目は, 製造工程でフローティングゲートに蓄積する電荷をなくすスイッチを付けた, スイッチ付きニューロン MOS 全加算器を設計した. 3つ目は, ニューロン MOS 回路の VLSI 化に向け, 並列乗算器を構成する乗算セルをニューロン MOS で設計した.

**使用ツール:** HSPICE など, **試作日数:** 3年次に MOS IC 試作を経験した2名を含む学部生3名と修士の学生1名で行い, 約1ヶ月, **トランジスタ数:** 878, **試作ラン:** オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, **チップ種別:** ニューテクノロジー

**参考文献:** [1] T. Shibata and T. Ohmi: 'A Functional MOS Transistor Featuring Gate-Level Weighted Sum and Threshold Operations', IEEE TRANSACTION ON ELECTRON DEVICE, VOL.39, NO.6. pp.1444-1455, JUNE 1992.

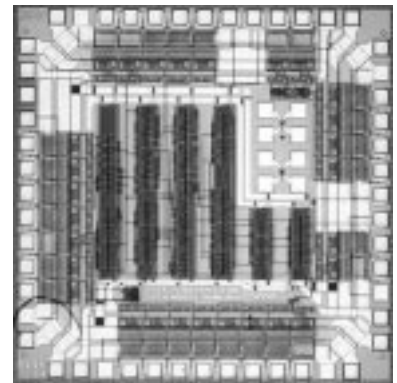


## 2 ビットマイクロプロセッサとニューロン MOS 回路の設計

静岡理科大学大学院理工学研究科材料科学専攻 石倉 康充, 落合 忠博, 波多野 裕

**チップ概要** 当研究室で開発したマクロセルライブラリを用いて, 2 ビットマイクロプロセッサを設計した. このマイクロプロセッサはノイマン・アーキテクチャで構成し, 基本的な動作としてデータ入力, 命令の解読・制御, 演算, データ出力を行う. これらの処理を行うために, 制御回路, 演算回路, 各種レジスタなどにより構成されている. また, 他のデジタル演算回路として, 4  $\times$  4 並列乗算器と加減算器を設計した. 4  $\times$  4 並列乗算器は4桁  $\times$  4桁の乗算を行うことができる. 加減算器はSETの値により加算または減算を行うことができる. また, ニューロン MOS 回路の基本動作を確認するため, ニューロン MOS インバータ, やわらかいハードウェア論理回路 (flexware) を設計した. さらに, 特殊構造トランジスタも設計した.

**使用ツール:** HSPICE など, **試作日数:** 修士の学生2名で行い, 約1ヶ月, **トランジスタ数:** 約1k, **試作ラン:** オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, **チップ種別:** デジタル

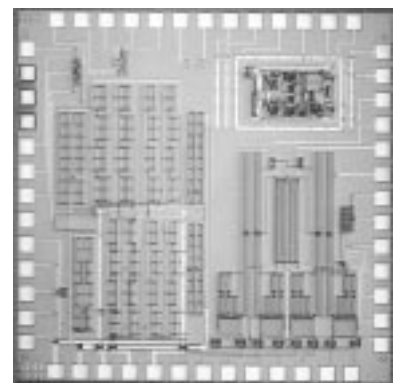


## 第2世代カレントコンベヤと低歪みOTAの試作

東京工業大学工学部 和田 和千, 高木 茂孝, 藤井 信生

**チップ概要** 第2世代カレントコンベヤ及びOTAはアナログ集積回路の基本構成要素である. 今回は, 低電源電圧第2世代カレントコンベヤと低歪みOTAの試作を行った. 差動増幅回路を基本としたカレントコンベヤでは, 差動増幅回路の利得が十分であればテール電流源が不要となる. また, 電流出力回路が出力電流を制限するという問題もある. そこで, 今回試作した第2世代カレントコンベヤでは, 差動増幅回路の利得が十分大きくなるように設計することでテール電流源を削除し, さらに電流出力回路を相補型のカレントミラー回路を用いることにより, 出力電流振幅の制限を取り除いた. 一方, OTAについては, その核をなす非飽和領域で動作する MOSFET のバックゲート端子に適切な電圧を加えることにより, 出力歪みを低減する構成法を用いた. 第2世代カレントコンベヤは1.5V電源電圧下で, OTAは3.0V電源電圧下で動作する.

**使用ツール:** Cadence 社 Virtuoso, HSPICE, **試作日数:** 修士の学生2名で行い, 約2週間, **トランジスタ数:** 約200, **試作ラン:** オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, **チップ種別:** アナログ



## OTA とアナログフィルタの試作

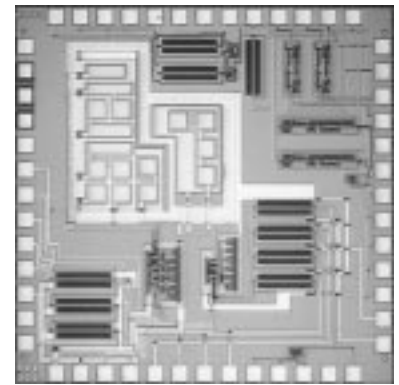
東京理科大学理工学部電気工学科

矢成 治夫 長沢 俊伸, 高重 英明, 兵庫 明, 関根 慶太郎

チップ概要 我々の研究室で提案した, アナログ回路ブロックの一種であるOTA(Operational Transconductance Amplifier)とアナログ電流モードフィルタの設計/試作を行った. OTAは有用なアナログ回路ブロックであり, 連続時間系フィルタやニューラルネットワークへの応用が盛んである. このOTAを実現するために必要な電圧設定電流伝達回路と呼ばれる回路を2種類とOTAのセルとなるMOS差動対を分けて試作した. また, アナログフィルタとして, カレントミラーを基本構成として用いた電流モード4次バターワース・ローパスフィルタと2次バンドパスフィルタの試作を行った. 両フィルタとも設計遮断周波数は30MHzとした.

使用ツール: Cadence社 Virtuoso, HSPICE, 試作日数: 修士の学生3名で行い, 約3週間, トランジスタ数: 約70, 試作ラン: オンセミ CMOS 1.2  $\mu$ m 2.3mm角, チップ種別: アナログ

参考文献: [1] H. Yanari, A. Hyogo, K. Sekine: " CMOS Controllable Voltage-Regulated Circuit with Wide Dynamic Range," ISPACS '99, pp.327-330, Dec. 1999. [2] T. Nagasawa, A. Hyogo, K. Sekine: " A 2V-500MHz CMOS Continuous-Time Current-Mode Filter Using the Gate-Source Capacitance of the MOSFET," ISPACS 99, pp.493-496, Dec. 1999



## フローティングゲート MOSFET を用いた電流モードアナログ乗除算回路の設計

熊本大学工学部 福寿 雄二, 工藤 孝平, 濱里 主己, 井上 高宏

はじめに レイアウト等の異なるフローティングゲートCMOS電流モード乗除算回路を試作した. 本回路はトランスリニア原理に基づいて設計されており, 3Vの電源の下で動作する. フローティングゲートについては残留電荷の放電用のパストランジスタ有りとし無しのものを用意し, それらの特性の違いについて評価できるようにした.

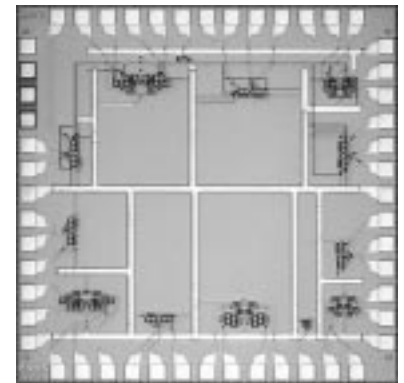
チップ概要 レイアウト等の異なるフローティングゲートCMOS電流モード乗除算回路5個レイアウト等の異なる CMOS V-I変換回路6個, CMOS I-V変換回路1個を集積化した.

使用ツール: Cadence社 HSPICE, MAGIC,

試作日数: 修士2年生1名, 学部4年生2名で行い約1ヶ月, トランジスタ数: 約80個,

試作ラン: オンセミ CMOS 1.2  $\mu$ m 2.3mm角,

チップ種別: アナログ



## フローティングゲートMOSFETを用いた電流モードアナログフィルタ用基本回路の設計

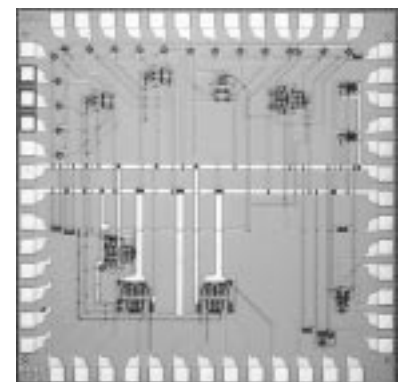
熊本大学工学部 中根 秀夫, 米村 洋幸, 井上 高宏

はじめに 近年携帯電子機器の普及により, アナログ回路の電源電圧の低電圧化がますます求められている. 今回は, 低電圧/低消費電力電流モードアナログフィルタの実現を目的として, 1.5V電源で動作するフローティングゲートMOSFETを使ったCMOS I-V/V-I変換回路および完全差動積分回路を試作した.

チップ概要 フィルタを構成するためのフローティングゲートCMOS積分回路2種類を計7個, 外部回路とのインターフェースとしてフローティングゲートCMOS V-I変換回路, I-V変換回路をそれぞれ2個を設けている.

使用ツール: Cadence社 HSPICE, MAGIC, 試作日数: 博士1年生1人と学部4年生1名で行い, 約1週間

トランジスタ数: 約150個, 試作ラン: オンセミ CMOS 1.2  $\mu$ m 2.3mm角, チップ種別: アナログ



## CMOS RS-FF 縦続接続回路の設計

熊本大学工学部 米村 洋幸 徳永 裕介 中根 秀夫, 井上 高宏

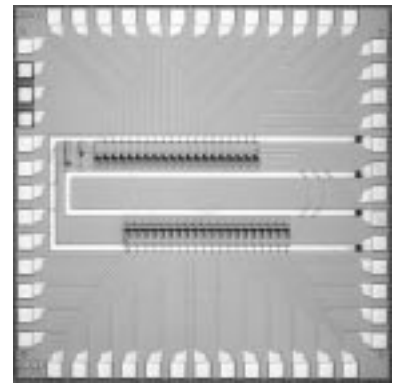
はじめに フィールドプログラマブルアナログレイの論理回路部の設計に資するデータを得るため, 1.2  $\mu\text{m}$  CMOS プロセスで作製した論理回路のゲート当たりの伝搬遅延時間の評価を行う目的で, 非同期式 RS-FF40 段で構成されたシフトレジスタを試作した.

チップ概要 5V 電源で動作する CMOS RS-FF を 40 個縦続接続している.

使用ツール: Cadence 社 HSPICE, MAGIC, 試作日数: 学部 4 年生 1 名で行い, 4 日間,

トランジスタ数: 約 320 個, 試作ラン: オンセミ CMOS 1.2  $\mu\text{m}$  2.3mm 角,

チップ種別: アナログ



## スイッチトキャパシタ変成器を用いた DC-DC コンバータの設計

福岡大学工学部 松尾 嘉洋, 末次 正

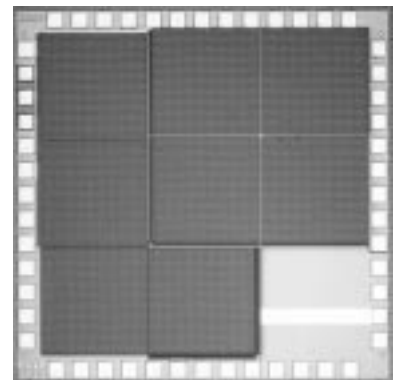
チップ概要 システムの小型化や低コスト化, 低消費電力を図るために, チップ集積型の DC-DC コンバータの設計が望まれている[1]. そこで我々はスイッチトキャパシタ変成器を用いた DC-DC コンバータ[2]の設計を行った. 今回, 設計した回路は 5[V] の入力電圧を 2.5[V] で出力する, 1/2 降圧型のコンバータである. スイッチング周波数 100[MHz] において HSPICE シミュレーションを行ったところ, 平均出力電力は 293 [ $\mu\text{W}$ ], 効率は 12% だった.

使用ツール: Cadence 社 Virtuoso, HSPICE, 試作日数: 修士の学生 1 名で行い, 約 1 週間,

トランジスタ数: 約 400, 試作ラン: オンセミ CMOS 1.2  $\mu\text{m}$  2.3mm 角,

チップ種別: アナログ

参考文献: [1] 崎山, 梶原, 木下: 『低電圧 LSI に必須のオンチップ電源を開発』, 『日経エレクトロニクス』, 1997 年 7 月 12 日号, no.747, pp.147-156. [2] 上野, 井上, 梅野: “スイッチとキャパシタ DC-DC コンバータの解析とそのハイブリッド IC 化 小型化・大容量化の実現”, 信学技報, PE89-52, (1989).



## スイッチトキャパシタ変成器を用いた昇圧型 DC-DC コンバータの設計

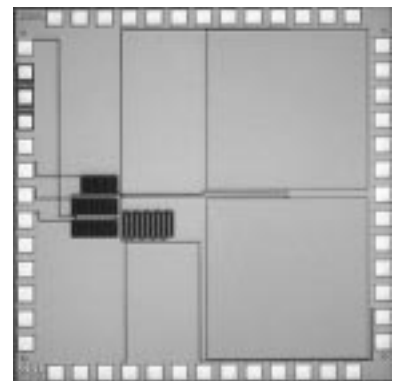
福岡大学工学部 七澤 威夫, 末次 正

チップ概要 今回の試作では, スwitchトキャパシタ変成器を用いて DC-DC コンバータ IC の設計を行った. この回路では, コイルなどの磁性部品を用いないため, 集積化, 高効率, 小型化の実現が期待できる. さらに, コイルを用いていないために磁束による障害も軽減できる. 今回試作した DC-DC コンバータ回路は, 入力電圧 5[V] を加えたとき, 出力電圧 10[V] を発生するように設計した. また, スイッチング周波数を 100MHz とし, HSPICE シミュレーションを行った結果, 平均出力電力 6.21[mW], 効率 5% という値を得た.

使用ツール: Cadence 社 Virtuoso, HSPICE, 試作日数: 学部の学生 1 名で行い, 約一ヶ月間,

トランジスタ数: 約 400, 試作ラン: オンセミ CMOS 1.2  $\mu\text{m}$  2.3mm 角, チップ種別: アナログ

参考文献: [1] 上野, 井上, 大田, 梅野: “スイッチトキャパシタ DC-DC コンバータの解析とそのハイブリッド IC 化 小型・大容量化の実現”, 信学技報, PE89-52 (1989).



## 8 ビット ALU の設計

九州大学大学院システム情報科学研究科 鉄川 龍也, 森永 博之

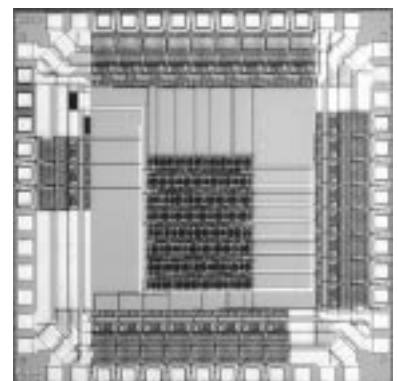
九州大学電子情報工学科 久門 亨, 松尾小百合

はじめに 本研究室では LSI 設計の教育の一環として VDEC のチップ試作に参加し, 8 ビット ALU を設計した.

チップ概要 今回設計した ALU は加算, 減算, 乗算, 論理演算 (AND, OR, NOT, XOR) の機能を持っている. 信号入出力がそれぞれ 8 ビットである. また, 制御信号用の入力が 3 ビットあり, これに応じて適宜演算を行う. 本チップの試作は, 修士 1 年の学生 2 名と学部 4 年の学生 2 名が約 2 ヶ月間かけて行った.

使用ツール: Cadence 社 Cellensemble, Synopsys 社 DesignAnalyzer,

試作ラン: モトローラ CMOS 1.2  $\mu\text{m}$  2.3mm 角, チップ種別: デジタル



## 10ビットFPUの試作

九州大学大学院システム情報科学研究科 鉄川 龍也, 森永 博之

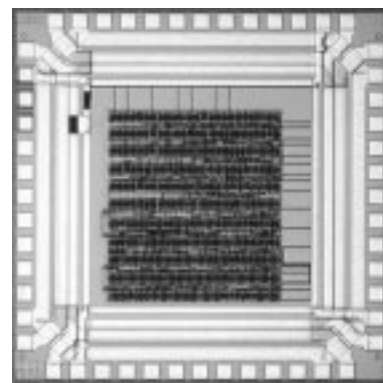
九州大学電子情報工学科 久門 亨, 松尾小百合

**チップ概要** LSI設計の教育の一環として10ビットFPUのチップ試作を行った。チップサイズに収めるために10ビットで浮動小数点をあらわし,設計をおこなった。最上位ビットが符号,指数部を4ビット,仮数部は5ビットで浮動小数点をあらわすことにした。

**使用ツール**: Cadence社 Cellensemble, Synopsys社 DesignAnalyzer,

**試作日数**: 設計内容の決定やデジタル回路の勉強を含め,修士の学生2名と学部学生2名で行い,約2ヶ月,

**試作ラン**: モトローラ CMOS 1.2  $\mu$  m 2.3mm角, **チップ種別**: デジタル



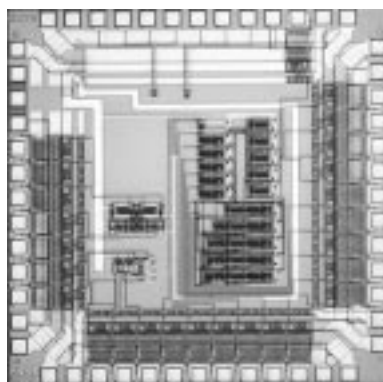
## 低温動作 CMOS アンプとデジタル回路の設計

横浜国立大学工学部 小菅 一弘, 阿部 高志, 本告 圭, 吉川 信行

**チップ概要** 超伝導RSFQ論理回路とCMOS回路間,ならびにSET論理回路とCMOS回路間のインターフェースとなるCMOSアンプを設計した。どちらのアンプも低温で動作させることを想定して設計を行なっている。RSFQ - CMOS間のアンプは速度を重視し,SET-CMOS間のアンプは感度を重視したものである。それぞれmVレベルの入力信号をCMOS電源レベルにまで増幅する。デジタル回路については最も簡単なCPUを試作することを目的として,その一部である5bit Counter, 5bit Register, 5bit Multiplexerの合成回路を作成した。この回路は5bit Counterと5bit Registerからの入力信号を5bit Multiplexerが選択し,出力する回路である。

**使用ツール**: Cadence社 Virtuoso, Anarog-Artist, **試作日数**: 修士の学生2名と学部生1名で行い,約2週間,

**トランジスタ数**: 約370, **試作ラン**: オンセミ CMOS 1.2  $\mu$  m 2.3mm角, **チップ種別**: アナログ, デジタル



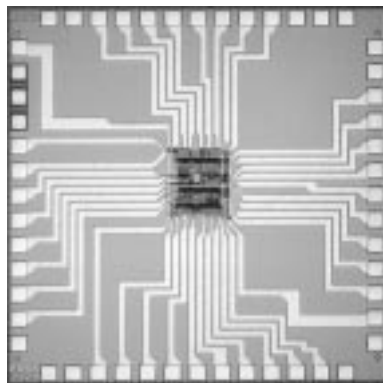
## プログラム可能なイメージセンサのための試験回路

広島市立大学大学院 佐伯 賢治, 堀居 賢樹

**チップ概要** 近年,CMOSイメージセンサが低消費電力,多機能化に対応が可能であるという特徴から非常に注目されている。多機能化を目指した研究が多く発表されているが,これまで成された研究の多くは,ある特定の機能を回路化したものであり,その特定の処理の高速化にしか有効でない。それに対して,簡単な演算ユニットと受光回路を1チップ化し,画像処理機能はプログラムによって与えるというタイプのイメージセンサでは,センサに柔軟性を与えることができ,様々な処理の高速化に利用できる。今回,我々はプログラム可能なイメージセンサのアーキテクチャの検討及び回路シミュレーション,VLSI設計工程の習得を目的とし試作を行った。試作した回路はイメージセンサの1画素分に相当し,受光回路と8個のレジスタで構成されている。レジスタ間を接続しているバスを用いたwired-NANDによるNAND演算が可能となっている。

**使用ツール**: Cadence社 Virtuoso, SPICE, **試作日数**: 修士の学生1名で行い,約1ヶ月, **トランジスタ数**: 97個,

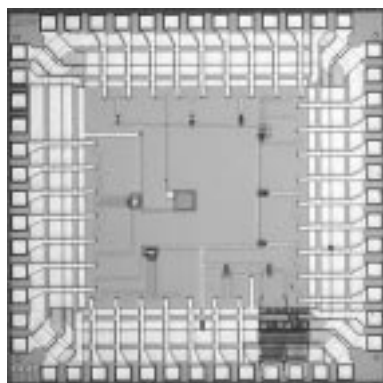
**試作ラン**: オンセミ CMOS 1.2  $\mu$  m 2.3mm角, **チップ種別**: 画像 & MEMS



## 相関型動き検出アナログネットワークの電子回路化

豊橋技術科学大学 大谷 真弘, 米津 宏雄

**チップ概要** 生体の神経系による情報処理の機能を解明するために,様々な神経回路網モデルが提案されてきた。しかし,神経系は多数の神経細胞の相互結合による並列演算回路である。このため,従来のデジタルコンピュータで神経回路網モデルを実現するには膨大な計算パワーと演算時間が必要となり,実時間動作は不可能視されている。したがって,そのような演算を可能とするハードウェアの実現が必須である。我々は昆虫の視覚系を模した相関型動き検出モデルに学んだ動き検出アナログネットワークの提案と集積回路化を試みてきた[1]。今回の試作にあたり,大規模集積回路化に伴うチャンネル長変調効果などによる影響を抑制することを目的として,ネットワークを構成する基本回路の再検討を行った。チップには,

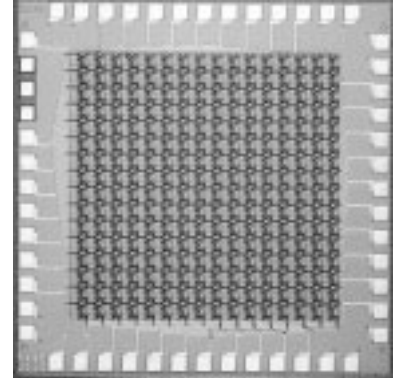


改良を施した数パターンの基本回路のTEGを集積化した。これらのTEGを用いてネットワークを構成し、その基本特性を測定する。  
使用ツール：Cadence社 icfb 9502, HSPICE, 試作日数：博士の学生1名で行い、約1週間, トランジスタ数：約200,  
試作ラン：オンセミ CMOS 1.2  $\mu\text{m}$  2.3mm角, チップ種別：画像 & MEMS  
参考文献：[1] M.Ohtani, H. Yonezu and T. Asai: "Analog MOS IC Implementation of Motion-Detection Network Based on a Biological Correlation Model", Jpn. J. Appl. Phys., to be published.

## 局所適応機能を有する二次元エッジ検出網膜チップ

豊橋技術科学大学 宮下 貴重, 米津 宏雄

チップ概要 我々は、網膜の視覚情報処理機構に学んで、そのアナログ集積回路化を試み、これまで実質的な配線の無い非常にシンプルなエッジ検出網膜チップを提案してきた。しかし、この網膜チップはダイナミックレンジが比較的狭く、広範囲にわたる光強度分布をもつ視覚対象のエッジ検出が困難であった。そこで、局所空間での光強度分布に従って、画素中の回路パラメータが自動的に適応する機構を有するエッジ検出網膜チップを提案し、豊橋技術科学大学・固体機能デバイス研究施設で試作を行ない、その基本的な動作を確認した[1]。今回の試作では、提案した網膜チップの大規模集積化にあたり、画素数  $16 \times 16$  と比較的小規模な二次元網膜チップを構成し、その動作を確認することを目的とした。画素は、1個のフォトダイオードと14個のMOSトランジスタから構成され、その画素サイズは  $105 \mu\text{m} \times 105 \mu\text{m}$  であった。試作した網膜チップは、上述した局所適応機能を有するにも関わらず、非常にシンプルな回路構成で実現できた。



使用ツール：Cadence社 icfb 9502, HSPICE, 試作日数：修士の学生1名で行い、約1週間, トランジスタ数：約3600,

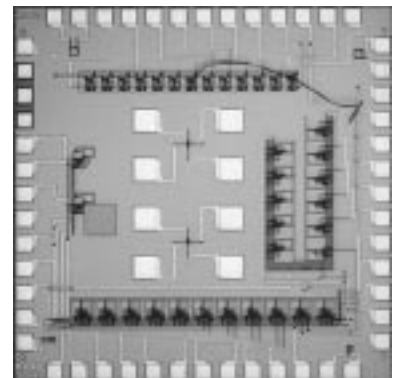
試作ラン：オンセミ CMOS 1.2  $\mu\text{m}$  2.3mm角, チップ種別：アナログ

参考文献：[1] 宮下, 大谷, 高崎, 山田, 西尾, 米津: "局所的な明暗順応機能を有するエッジ検出機構の集積回路化", pp.213-220, 信学技報, Vol. 99, No. 686 (2000).

## 内網膜機能に学んだ動き検出モデルのアナログ電子回路化

豊橋技術科学大学 山田 仁, 米津 宏雄

チップ概要 網膜は、光受容器である視細胞側の外網膜と脳へインパルス信号を送り出す神経節細胞側の内網膜の二つに大別される。外網膜では、視細胞、水平細胞、そして双極細胞により、視覚対象のエッジ情報を検出していると考えられている。これまで、我々はこのような外網膜の機能に学んだエッジ検出網膜チップを提案し、集積回路化してきた。現在、外網膜の情報を受け、更なる演算を行う内網膜の機能に注目し、そのモデル化とアナログ電子回路化を試みている[1]。その鍵となる細胞は受容野の大きさの異なる二つのアマクリン細胞である。近年、これらのアマクリン細胞の相互作用により、視覚対象の動き情報を生成できることが明らかになってきた。今回の試作では、上述した内網膜機能をアナログ電子回路化するため、その基本回路のTEGを設計した。チップには、13個の画素からなる一次元エッジ検出網膜回路と2種類の一次元内網膜回路を集積化した。



使用ツール：Cadence社 icfb 9502, HSPICE, 試作日数：博士の学生1名で行い、約1週間, トランジスタ数：約400,

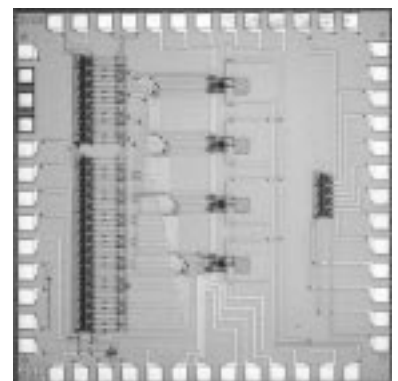
試作ラン：オンセミ CMOS 1.2  $\mu\text{m}$  2.3mm角, チップ種別：画像 & MEMS

参考文献：[1] 山田, 宮下, 大谷, 米津: "内網膜機能に学んだ動き情報の生成とその電子回路化", pp.149-155, 信学技報, Vol. 99, No. 684 (2000).

## 二次元網膜回路に用いる出力走査回路の設計

豊橋技術科学大学 西尾 公裕, 米津 宏雄

チップ概要 我々は、生体の網膜での情報処理機構に学んだ二次元網膜回路の提案と試作を行ってきた[1]。このような二次元アレイでは、各画素からの出力をチップ外に取り出すことが困難である。そこで、CMOSイメージセンサなどの出力方法に基づき、各画素を順次走査し、その出力を逐次信号としてチップ外に出力する走査回路の設計を行ってきた。また、得られた逐次信号は、パソコンに取り込み二次元に再構成することを考えている。その際、これまで提案してきた網膜チップの出力が電流であるため、電流・電圧変換も行う必要がある。今回の試作では、上述の出力走査回路を二次元網膜回路に実装するため、その基本要素とな



るシフトレジスタ，スイッチ回路，そしてキャパシタを用いた電流・電圧変換回路を設計した．また，チップには二次元網膜回路の TEG も含めた．試作チップの測定では，各基本要素の動作を確認するとともに，それらを組み合わせ，小規模な二次元網膜回路を構成し，走査回路の特性を評価する．

使用ツール：Cadence 社 icfb 9502, HSPICE，試作日数：修士の学生 1 名で行い，約 1 週間，トランジスタ数：約 300，

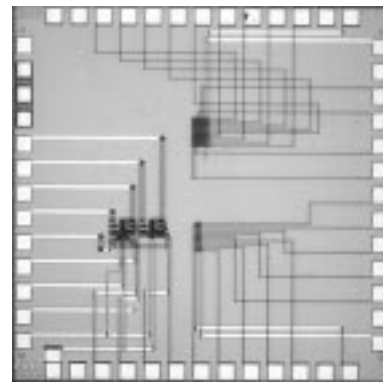
試作ラン：オンセミ CMOS 1.2  $\mu$  m 2.3mm 角，チップ種別：画像 & MEMS

参考文献：[1] 宮下，大谷，高崎，山田，西尾，米津：“局所的な明暗順応機能を有するエッジ検出機構の集積回路化”，pp.213-220, 信学技報，Vol. 99, No. 686 (2000).

### ニューロン MOSFET を用いた多値論理回路の設計

関西大学工学部 今西 茂，三迺 浩太，村中 徳明

チップ概要 電圧モードで動作が可能なニューロン MOSFET はしきい論理を扱う素子である．本研究室においても，これまでにニューロン MOSFET を用いた 3 値全加算器や，4 値全加算器の設計を行ってきた．しかし，それらは順次桁上げ方式の加算器であり，最下位の桁から最上位の桁まで桁上げ信号が伝播する時間が演算時間となる．その解決策として多値システムに特化した性質を有する Sign-Digit(SD)数系に注目し，3 進 SD 数系全加算器を設計した(M2460\_K98C3226)．今後は完全並列演算器(4 進 SD 数系全加算器)の設計を行う予定である．この回路を実現するためにはニューロン MOS インバータ等のより厳密な測定データが不可欠である．今回のチップ試作ではしきい値の異なるニューロン MOS インバータ等の素子を作成し，その素子の動作特性を検証することを目的とする．



使用ツール：Cadence 社 Virtuoso, HSPICE，試作日数：修士の学生 1 名で行い，約 1 週間，トランジスタ数：約 200，

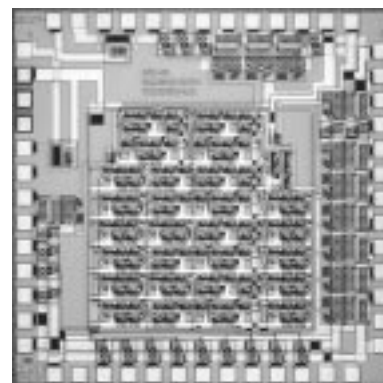
試作ラン：オンセミ CMOS 1.2  $\mu$  m 2.3mm 角，チップ種別：アナログ

参考文献：[1] 三迺，柴山，村中，今西：“ニューロン MOSFET を用いた 3 進符号付ディジット数全加算器の構成”，1999 電子情報通信学会総合大会，C-12-54(1999-3) [2] K.Mitsuya, N.Muranaka, S.Imanishi: “A Composition of Full Adder using Neuron MOSFETs by Ternary Signed Digit Number Representation”, Proc. of the First Korea-Japan Joint Symposium on Multiple-Valued Logic, pp78-96 (1999-8).

### ADCL 回路を用いた超低消費電力拡張型 4 ビット加算/減算器 (2)

山形大学工学部 石上 聡，水沼 充，高橋 一清

チップ概要 LSI の集積密度の増加に伴い従来の CMOS 回路技術以上の超低消費電力動作が要望されており，それを実現する回路方式として当研究室では断熱的ダイナミック CMOS 論理 (ADCL) 回路を提案している．前回の試作では ADCL 回路を用いて拡張型 4 ビット加算/減算器を設計，集積化し[1]，全ての加算および減算動作を確認している．消費電力において，試作した加算/減算器は従来の CMOS 回路を用いた場合とシミュレーション結果から比較すると約 1/10 であった．また，TEG 回路として ADCL-NOT，ADCL-NAND，ADCL 1 ビット全加算器，CMOS-NOT を入れている．今回の試作では駆動用電源回路である正弦波発振回路を入れた．ここでは，低消費電力正弦波発振回路として単純な構造を持つコルピッツ型発振回路を設計し，集積化した．



使用ツール：SX-9000, PSpice，試作日数：未経験の学部 4 年生の学生 1 名で行い，約 3 週間，

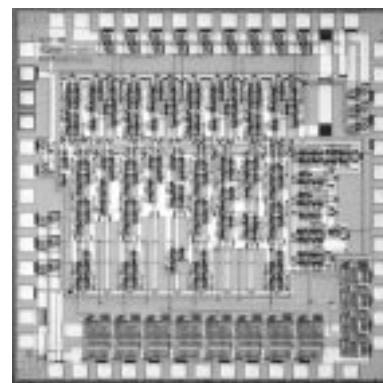
トランジスタ数：約 1300，試作ラン：オンセミ CMOS 1.2  $\mu$  m 2.3mm 角，チップ種別：ニューテクノロジー

参考文献：[1] 水沼，池田，高橋：“断熱的ダイナミック CMOS 論理回路を用いた拡張型 4 ビット加算/減算器集積回路”，信学技法，ICD99-27, pp.1-8, 1999.

### ADCL 回路を用いた超低消費電力拡張型 4 ビット ALU (2)

山形大学工学部 大久保 裕章，小松 久泰，橋本 晋一，水沼 充，高橋 一清

チップ概要 LSI の集積密度の増加に伴い従来の CMOS 回路技術以上の超低消費電力動作が要望されており，それを実現する回路方式として当研究室では断熱的ダイナミック CMOS 論理 (ADCL) 回路を提案している．前回の試作では ADCL 回路を用いて CMOS 標準ロジック HC181 と同機能を有する拡張型 4 ビット ALU を設計，集積化し[1]，全ての論理演算および算術演算機能について動作を確認している．また，シミュレーションと実際に試作した ALU を評価した結果，試作した ALU は CMOS 標準ロジック HC181 よりも低消費電力であ



ることも確認している。今回の試作では駆動用電源回路である正弦波発振回路として単純な構造を持つコルピッツ型発振回路を設計し、集積化した。同時に内部動作を確認するための端子を増やした。

使用ツール：SX-9000, PSpice, 試作日数：修士2年の学生1名と未経験の学部4年の学生2名で行い、約3週間、

トランジスタ数：約1200, 試作ラン：オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, チップ種別：ニューテクノロジー

参考文献:[1] 橋本, 水沼, 高橋: “断熱的ダイナミックCMOS論理回路を用いた拡張型4ビットALU集積回路の設計”, 信学技法, ICD99-28, pp.9-16, 1999.

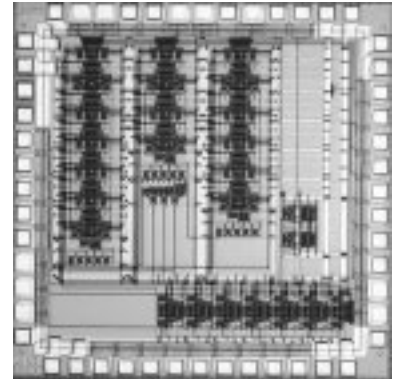
## 電流モード連続時間トランスバーサルフィルタの設計 (2)

熊本大学工学部 宮長 晃一, 佐々木 守

チップ概要 前回, 高速ベースバンドデジタル伝送系の波形等化を目的に, 電流モード連続時間トランスバーサルフィルタを設計した。その基本構成ブロックである定遅延回路を, 3次伝達関数で近似して, 電流モード積分器と電流ミラーで実現した。今回は, 定遅延回路への製造素子偏差や温度ドリフトの影響を補償するため, 遅延時間を正確にロックできる多重PLLを設計, 試作した。遅延回路は3次伝達関数で近似されるので, 3重のPLLで遅延時間をロックできる。PLLを構成する位相比較器やチャージポンプなどを設計した。PLLのループフィルタとしては, 簡単な1次遅れ特性とした。

使用ツール：Cadence社 Virtuoso, HSPICE, 試作日数：修士の学生1名で行い, 回路設計に約3週間, レイアウト設計に2週間

トランジスタ数：約2000, 試作ラン：オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, チップ種別：アナログ



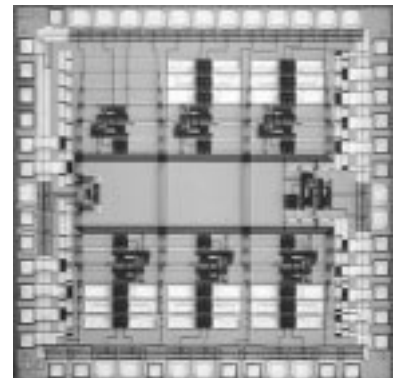
## 電流ミラーの伝達特性を利用した高周波フィルタの設計

熊本大学工学部 佐々木 守

チップ概要 電流モード回路は, 原理的に低電圧, 広帯域な動作が期待できる。しかし, 基本ブロックである電流ミラーを改良したゲート接地電流ミラーでは, 低インピーダンス化のため寄生極を生じ, 広帯域特性を犠牲にしている。そこで, 寄生極を含めたゲート接地電流ミラーの伝達特性を利用して, 高周波フィルタの設計を行った。今回試作したフィルタは, 6次ベッセル形・低域通過フィルタで, 遮断周波数を50MHzとした。ゲート接地電流ミラーは2次伝達特性を持つため, 3つの電流ミラーを縦続接続して6次伝達特性を実現した。伝達関数の係数は, 電流ミラーのバイアス電流で調整可能で, 素子偏差等を補償する。また, 同一チップ内での素子偏差の影響を調べるため, 同一の回路を5つ集積している。

使用ツール：Cadence社 Virtuoso, HSPICE, 試作日数：教官1名で行い, 回路設計に約3週間, レイアウト設計にや約1週間

トランジスタ数：約600, 試作ラン：オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, チップ種別：アナログ



## 断熱バストラジスタ論理回路(APL回路)の設計

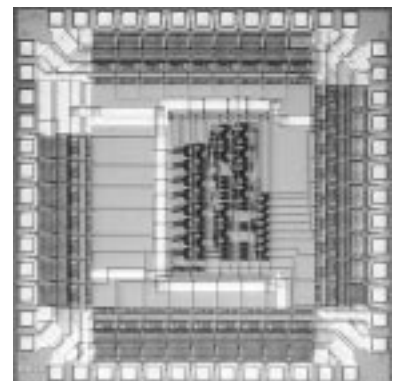
熊本大学工学部 原口 隆一, 黒木 慎司, 堺 昭一, 佐々木 守

チップ概要 低消費電力化に対する手法としてエネルギーリサイクル技術(断熱技術)に注目し, この技術を応用したデジタル論理回路を設計した。

APL回路とは, バストラジスタ論理回路の出力段に断熱技術を取り入れた回路である。バストラジスタ論理回路部はBDD(Binary Decision Diagram)を用いることで任意の論理を設計できる。断熱論理回路部では, ブートストラップ技術を利用することで, MOSFETのしきい電圧による非断熱動作の消費エネルギーへの影響を非常に小さくしている。今回, APL回路によって, Carry Lookahead Adderを設計した。本回路はCMOS論理回路に対し, 動作周波数5MHz時に約5%の消費エネルギーで動作することを, シミュレーションで確認した。

使用ツール：Cadence社 Virtuoso, HSPICE, 試作日数：修士学生1名, 学部学生2名で, 約1ヶ月, トランジスタ数：840,

試作ラン：オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, チップ種別：デジタル





## 2 ビット CPU の試作

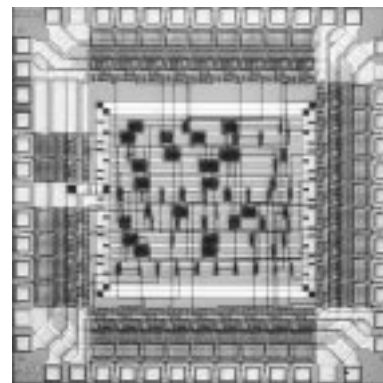
広島工業大学工学部 大村 道郎, 加藤 圭太, 田中 武

**チップ概要** 複雑なCPUの動作原理, および構造を理解するのは難しい. 今回の設計では, CPUの機能を最小限にまで簡略化することにより構造を分かりやすくした2ビットCPUについて, 試作を行った. このチップを用いて, CPUの基本的な動作原理や構造を学習することが可能となる.

今回試作したCPUは“LOAD A”, “LOAD B”, “ADD A,B”, “OUT A”の4つの命令を持つ. 2ビットなのであまり意味のあるプログラムを組むことはできないが, VHDLの記述は各機能ごとにシンプルで, 分かりやすくなっている. “01” + “10” = “11”などの計算を行わせることにより, CPU内部での動作を確認することができる.

**使用ツール**: Avant!社 Apollo, **試作日数**: 修士の学生1名で行い, 約4週間,

**トランジスタ数**: 約2500, **試作ラン**: オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, **チップ種別**: デジタル



## 3次元配線領域における迷路配線セルの試作

広島工業大学工学部 大村 道郎, 門田 亘弘

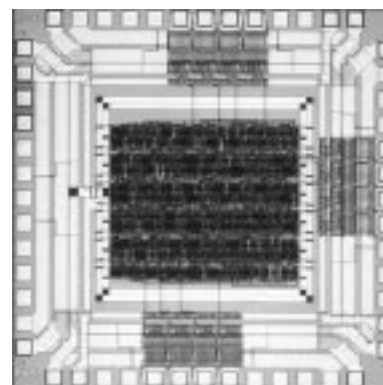
**チップ概要** 著者らは3次元VLSIのレイアウト設計に関して, 3次元詳細配線アルゴリズムを提案している. この手法では対応する3次元スイッチボックスルータが必要となる. 今回の設計では3次元配線領域において迷路配線手法を実現するセルの試作を行った.

対象とする3次元配線領域は立方格子に分けられており, 各立方格子に対し, セルを1つ割り当てる. スタート地点となったセルからは, 隣接する最大6つのセルに対し信号を伝播させ, 信号を受け取ったセルも, 同様にその信号を隣接するセルに伝播していく. このとき各セルはクロックに同期して動く. このチップには, 上述のセル4つと制御のための回路を組み込んだ.

**使用ツール**: Avant!社 Apollo, **試作日数**: 学部の学生1名で行い, 約4週間,

**トランジスタ数**: 約3800, **試作ラン**: オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, **チップ種別**: デジタル

**参考文献**: [1] 門田, 大村: “3次元配線領域における迷路配線セルの設計”, p.408, 平成11年度電気・情報関連学会中国支部第50回連合大会 (1999).

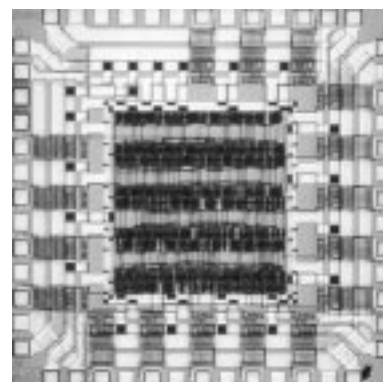


## VDECのCAD導入を目的としたタイマー回路

富山県立大学工学部 山本 真也, 松田 敏弘

**チップ概要** 今回はCADの導入を目的としているため身近でわかりやすいタイマー回路の設計を行った.

**使用ツール**: Cadence社 Verilog-XL, Synopsys社 Design Analyzer, Avant!社 Milkyway, Apollo, **試作日数**: 修士の学生1名, 博士の学生1名で行い, 約一ヶ月, **トランジスタ数**: 約2000, **試作ラン**: オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, **チップ種別**: デジタル



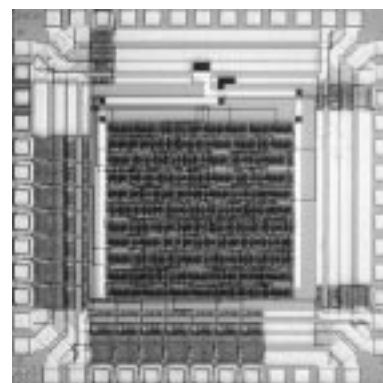
## VLSI工学設計演習(乱数発生回路)

九州大学 工学部 電気情報工学科 黒田 大介, 田上 暢頭

九州大学 大学院 システム情報科学研究科 中司 賢一

**チップ概要** 学部4年生向け講義「VLSI工学」(担当: 中司)の授業の一環として, LSIの設計・試作演習を行った. 3ヶ月間のVLSI工学の講義後, 夏期休暇期間中に学部生は約1ヶ月の設計期間を与えた. 学部学生は, HDL記述, 論理合成, 論理シミュレーション, 論理検証, レイアウトまでを行い, 最終的なチップのレイアウトは教官が行った.

与えたテーマはバイナリ乱数発生回路である. 設計した回路は8ビット出力で, 乱数発生には合同法一乗算式を利用した. これは,  $X_{i+1} = X_i \cdot X_n \pmod{p}$  で,  $p$  は定数である. ここで, 乱数の発生周期を  $(p, X_n)$  とすると, これは  $p$  を法とする  $X_n$  の指



数で,  $1i(\text{mod } p)$ となる最小の  $i$ となる. このアルゴリズムを Verilog-HDL で記述し, 論理合成はP2LIBライブラリをターゲットとした.

使用ツール: Cadence社 Virtuoso, Synopsys社 DesignCompiler, 試作日数: 学部学生2名で行い, 約1ヶ月(コア部の設計), 試作ラン: オンセミ CMOS 1.2  $\mu\text{m}$  2.3mm角, チップ種別: デジタル

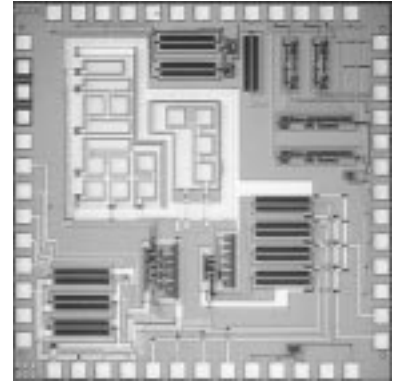
## パストランジスタ論理を用いたPLDの試作

京都大学情報学研究科 富田 明彦, 檜田 和浩, 永松 浩史  
境 和久, 泉 知論, 中村 行宏

チップ概要 論理関数をより少ない数のトランジスタで実現する方法の一つとしてパストランジスタ論理の適用が挙げられる. また, パストランジスタ論理をデバイスへマッピングする手法は, 特にBDD(Binary Decision Diagram)を用いる手法が知られている. 今回の試作では, このBDDを直接的にマッピング可能なPLD(Programmable Logic Device)を設計した. なお, PLDの主な部分は, CMOSではなくパストランジスタで構成する.

本PLDは, 基本となるブロックを複数並べることを前提とするため, まず基本ブロックのフルカスタム設計を行った. 一方PLDはプログラミングデータを蓄えるメモリを要するが, 今回はデコーダ回路を搭載し, その出力を基本ブロックに与えることで代用する. デコーダ回路はP2libを用い, 基本ブロックと併せて自動配置配線によりレイアウトを作成した.

使用ツール: Virtuoso, CellEnsamble, HSPICE, 試作日数: 修士2名, 学部生1名とで約3週間, トランジスタ数: 約1000, 試作ラン: オンセミ CMOS 1.2  $\mu\text{m}$  2.3mm角, チップ種別: デジタル

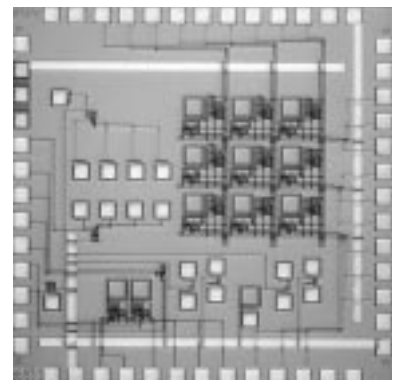


## 二次元動き方向選択性を持つ神経ネットワークのアナログ電子回路設計

北海道大学工学部 幸谷 真人, 浅井 哲也, 雨宮 好仁

チップ概要 初期視覚システムには, ノイズの除去や動きの検出機構等が含まれる. 特に動きの検出は, 生体の視覚情報処理の中心となっている. そこで, 生体から学んだ動き検出チップをアナログで比較的コンパクトに設計することを考えた. 提案する回路はサブスレッショルド領域で動作させるので, 低消費電力動作が期待できる. 今回試作した動き検出チップは, フォトダイオードを3x3のマトリクス状に配置した. フォトダイオードの周囲には, 遅延を生成するキャパシタと相関回路を配置した. x, y方向成分の各出力電流の重み付けスカラー和を取ることで, 配線コストを低減する工夫をした. 信号を遅延させるためのキャパシタンスには, ゲート・ドレイン容量とミラー効果を用いることでコンパクトな構成を実現している.

使用ツール: Cadence社 Virtuoso, HSPICE, 試作日数: 修士の学生1名で行い, 約1週間, トランジスタ数: 約500, 試作ラン: オンセミ CMOS 1.2  $\mu\text{m}$  2.3mm角, チップ種別: 画像 & MEMS

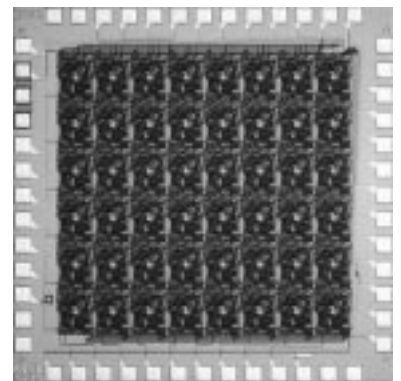


## アナログ・デジタル混載型動き検出ビジョンチップの設計

北海道大学工学部 浅井 哲也, 雨宮 好仁

チップ概要 投影画像の速度場を計算する「アナログ・デジタル混載型ビジョンチップ」の設計を行った. チップは, i) 画像の二値化およびエッジ検出を行う「電流モード非同期デジタル回路」および ii) 昆虫の視覚システムに学んだ「ミラー効果を利用した相関型アナログ動き検出回路」の二次元アレイから構成される. 二値化およびエッジ検出処理は, それぞれ「電流モード量子化回路」および「電流モード排他論理和回路」により並列に行われる(クロック信号が不要な非同期回路設計). 得られたエッジ画像が動き検出回路に与えられて, 速度場が「リアルタイム」かつ「並列」に計算される. 設計したビジョンチップの一画素あたりの専有面積は約220  $\mu\text{m}$  x 290  $\mu\text{m}$  (40  $\mu\text{m}$  x 40  $\mu\text{m}$ のフォトダイオード領域, TEG測定用オペアンプ四つを含む)であった.

使用ツール: Cadence社 Virtuoso, HSPICE, 試作日数: 約1週間, トランジスタ数: 約20000, 試作ラン: オンセミ CMOS 1.2  $\mu\text{m}$  2.3mm角, チップ種別: 画像, 信号処理



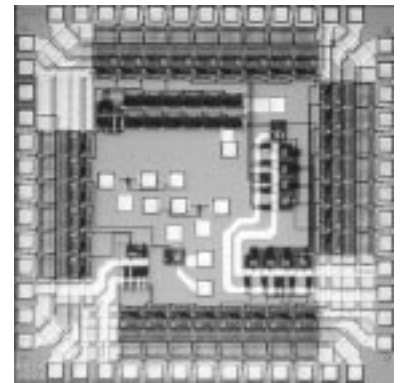
### 三次元 CNN 用の出力インターフェース回路の試作

北海道大学工学部 藤原 孝信, 赤澤 正道, 雨宮 好仁

**チップ概要** 平成 10 年度モトローラ 4 回目の試作で TEG を試作した, 三次元セルラーニューラルネットワーク(CNN)では, 出力層ニューロンの興奮パターンを多数決回路に通すことによって, 人間にわかりやすい出力を得ることができる. ここでは, このような回路として, WTA 回路をもとに多数決回路を設計した. CNN の出力層のニューロンは 4 種の属性を持ち, これについての多数決をとるために本回路を用いる. この回路は 4 種の属性のそれぞれについて用意された 4 つのニューロンからなる 多数決回路にランプ入力波形を印加することにより, 4 つのニューロンが活性化し, 出力層からの入力が最も多いものだけが “1” を出力する.

**使用ツール**: SX9000, HSPICE, **試作日数**: 修士 1 年生 1 人で行い, 約 1 ヶ月,

**トランジスタ数**: 約 100, **試作ラン**: オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, **チップ種別**: ニューテクノロジー



### 周波数出力イメージセンサーの試作

奈良先端科学技術大学院大学 物質創成科学研究科 上原 昭宏, 太田 淳

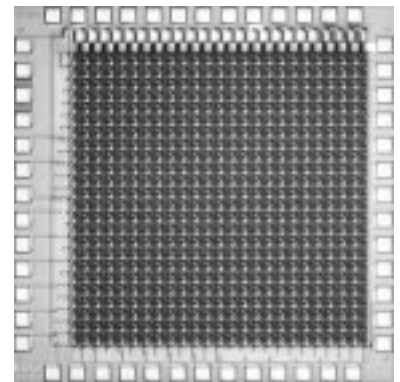
**チップ概要** 高解像度ビジョンチップの試作にはサブミクロンプロセスの適用が有効であるが, それには回路が低電源電圧動作, 低消費電力であることが必要である. 低動作電圧化によるダイナミックレンジ低下の問題について, 低電圧動作においても広ダイナミックレンジが得られる光強度 - 周波数変換受光回路に注目し, 試験画素回路を試作した. また周波数信号を入力とする隣接画素間の差分演算回路を用いたビジョンチップを試作した.

試作した周波数動作ビジョンチップは, 画素数 24X24 で, 画素は 19 トランジスタで構成される.

画素サイズは 18  $\mu$  m X 18  $\mu$  m, 開口率は 0.6% となった.

**使用ツール**: Cadence 社 Virtuoso, HSPICE, **試作日数**: 修士の学生 1 名で行い, 約 2 日

**トランジスタ数**: 約 10000, **試作ラン**: オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, **チップ種別**: 画像 & MEMS



### 感度補正回路の試作

奈良先端科学技術大学院大学 赤澤 淳, 太田 淳

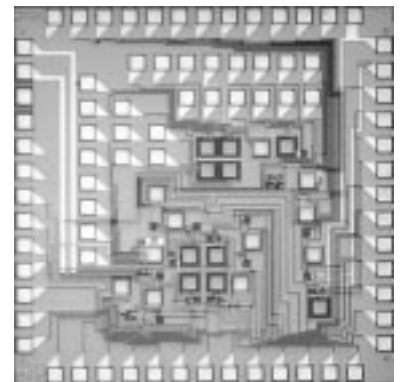
**チップ概要** 背景光の中に埋もれた微弱な変調光成分を高感度に検出し感度の補正を行う CMOS インテリジェントイメージセンサ実現を目指して, 感度補正回路 TEG を試作した.

**使用ツール**: Cadence 社 layout editor, HSPICE,

**試作日数**: 修士の学生 1 名で行い, 約 7 週間,

**トランジスタ数**: 約 30, **試作ラン**: オンセミ CMOS 1.2  $\mu$  m 2.3mm 角,

**チップ種別**: 画像 & MEMS



### 画像処理用アナログ MOS セルオートマトン回路 TEG の設計試作 (2)

北海道大学工学研究科 黄 志雄, 池辺将之, 雨宮 好仁

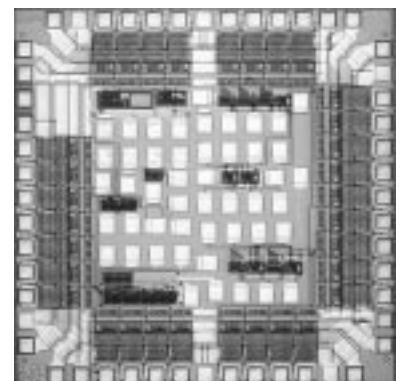
**チップ概要** 高速並列の画像処理用に適したセルオートマトン回路の研究を行っている. 低消費電力型の画像処理用セルオートマトン LSI の試作のための準備として単位演算セル回路 TEG の試作を行った. 前回の試作パターンに修正を加え, 新たに作製した.

単位演算セル回路には, アナログ形 MOS 回路を用いている. コンパクトな回路であり, セル 8 近傍の入力に対する演算を処理できる. デジタル回路とアナログ回路の基本的な回路も同時に試作した.

**使用ツール**: SX9000, HSPICE, **試作日数**: 修士 2 年 1 名で行い, 約 1 週間,

**トランジスタ数**: 約 500, **試作ラン**: オンセミ CMOS 1.2  $\mu$  m 2.3mm 角,

**チップ種別**: アナログ



## 電流モード MOSによるセルオートマトンの設計

北海道大学大学院 電子情報工学専攻 集積回路分野 山田 崇史, 池辺 将之, 雨宮 好仁

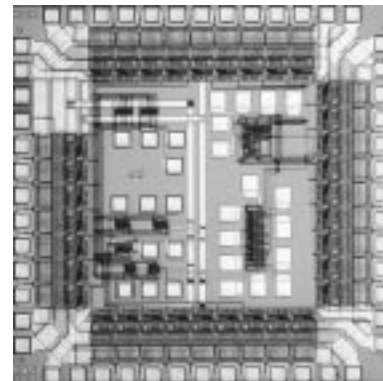
**チップ概要** セルオートマトンは高速画像処理を実現可能なアーキテクチャの一つである。本研究室ではこれまで、機能デバイスである MOSを用いた回路構成を提案してきた。今回はセルオートマトン画像処理LSIのために、従来型よりも消費電力の少ない電流モード MOSを用いた回路を設計した。

今回試作したセル回路は4種類、すなわち膨張・収縮を行なうセル、マジョリティブラック処理のセル、ライフゲームルールのセル、およびメディアンフィルタ処理のセルである。単体セルの動作を確認できるようにパッドを多数配置している。

**使用ツール**：Cadence社 Virtuoso, HSPICE, **試作日数**：約1週間、

**トランジスタ数**：約300, **試作ラン**：オンセミ CMOS 1.2  $\mu$ m 2.3mm角、

**チップ種別**：アナログ



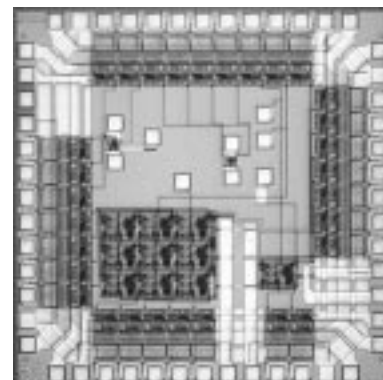
## Difference-of-Gaussian 処理を行う TEG 回路

北海道大学 砂山 辰彦, 池辺 将之, 雨宮 好仁

**チップ概要** Difference-of-Gaussian(DoG)処理とは、画像入力に対し、度合いの異なる平滑化を行い、それぞれの差分処理を行うものである。セルオートマトンは、1回の平滑化を並列に処理する。平滑化の度合いはこの処理を繰り返すことで調節することができる。今回 DoG処理用セルオートマトンLSI試作のための準備として単位セル回路と差分絶対値検出回路 TEG の試作を行った。単位セル回路の設計では、入力に MOSを用いて、コンパクトに設計することができた。今回は、単位セル回路を3×3配列した。他に差分絶対値検出回路と単利得アンプを搭載した。

**設計用ツール**：SX9000, HSPICE, **試作日数**：修士1年生1人で行い、約1ヶ月、

**トランジスタ数**：約200, **試作ラン**：オンセミ CMOS 1.2  $\mu$ m 2.3mm角, **チップ種別**：アナログ



## 画像処理用 MOSセルオートマトン回路 TEG の設計試作

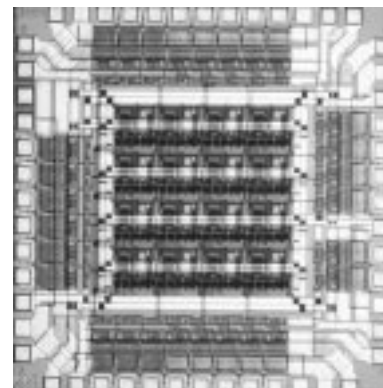
北海道大学工学研究科 池辺 将之, 赤澤 正道, 雨宮 好仁

**チップ概要** 当研究室では、高速並列の画像処理用に適したセルオートマトン回路の研究を行っている。今回、画像処理用セルオートマトンLSIの試作のための準備として雑音除去・輪郭抽出を行うセルオートマトンの単位演算セル回路 TEG の試作を行った。

単位演算セル回路は、シリコン機能デバイスの MOSを用いており、コンパクトな回路でセル8近傍の入力に対する演算を処理できる。また、各セル毎にフォトダイオード(PD)を組み込み、直接に光情報を取り込めるようにした。本チップにはこの回路を4×4配列し、すべてのセルから出力を見ることができるようにした。

**使用ツール**：SX9000, HSPICE, **試作日数**：博士3年1名で行い、約1ヶ月、

**トランジスタ数**：約800, **試作ラン**：オンセミ CMOS 1.2  $\mu$ m 2.3mm角, **チップ種別**：ニューテクノロジー



## 負性抵抗を実現する素子回路を用いた非線型写像回路の設計

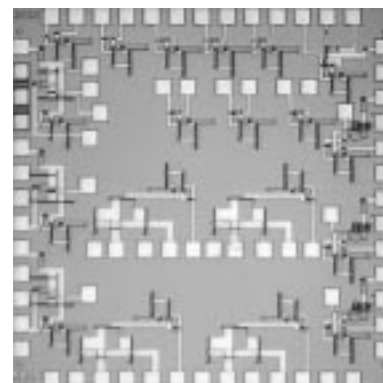
名古屋大学工学研究科量子工学専攻 上村 朋典, 前澤 宏一, 水谷 孝

**チップ概要** 本チップは、集積化に適したカオスジェネレータを作製するための非線型写像回路のテストを目的としている。

高速、小面積を実現するために、将来的には、最近注目されているSi負性抵抗素子の利用を考えている。そのため、トランジスタ4個と抵抗3個で構成される負性抵抗回路を設計し、Si負性抵抗素子のエミュレーションを行うこととした。さらに、これを用いて、カオス生成に適した非線型写像回路を設計し、トータルでも、トランジスタ5個と抵抗4個で構成することができた。

**使用ツール**：Cadence社 Virtuoso, HSPICE, **試作日数**：修士の学生1名で行い、約1カ月、

**トランジスタ数**：約 , **試作ラン**：オンセミ CMOS 1.2  $\mu$ m 2.3mm角, **チップ種別**：アナログ

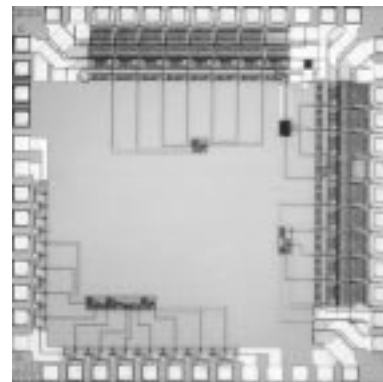


## CMOS による Fuzzy メンバシップ関数回路

玉川大学学術研究所 中村 眞次, 玉川大学工学部 小池 卓郎

**チップ概要** 本チップの試作は, サブ・スレショルドでの低電流 CMOS 回路によるファジー・メンバシップ関数の実現が主目的であるが, パソコンで使用可能な CAD ツール(以下「使用ツール」参照)への DRC (Design Rule Checker) 用テクノロジーファイルの合わせ込みを試みた。従ってレイアウト設計は全てパソコン上で行った。現在, チップの評価を終了していないので, 不測のバグに対する不安が残るが, DRC に関する合わせ込みはほぼ完了した。I/O パッド, パッド・フレーム等, 一部セルライブラリーの移植, アナログ用保護回路だけのベア・パッドの使用も同時に行った。回路のより詳細は, トランジスタ構成が異なる二種類の MAX 回路, より複雑な非線型回路, 及びセル・ライブラリーよりフル・アダーの計 4 つである。

**使用ツール**: RealVision(Tanner) 社 L-Edit, **試作日数**: 教員 1 名で行い約 2 週間, (DRC の合わせ込みには約 6 週間), **トランジスタ数**: 67, **試作ラン**: オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, **チップ種別**: アナログ/デジタル

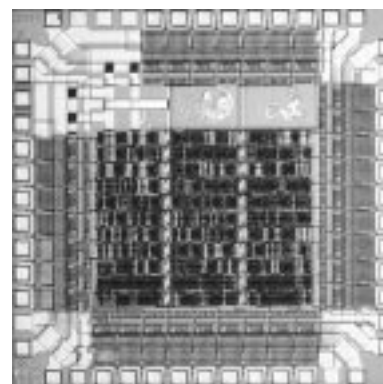


## ハミング距離に基づく時系列カラービデオ信号の実時間色抽出回路

金沢大学工学部 秋田 純一

**チップ概要** カラー画像に対する色抽出処理は各種画像処理の前処理として重要であるが, ビデオ信号のような時系列データに対しては, 単位時間ごとに各画素に対して対象色であるかどうかの判断をすることにより, 大規模なフレームメモリを用いずに色抽出処理を実現することができる。本チップでは, 以前に試作した単純な R・G・B の範囲検出のみによる色抽出処理よりも色抽出精度を高めるため, 色空間中の対象色を参照点とし, そこからの各画素データの色のハミング距離を求め, それがある値以下であることにより, より精度の高い色抽出処理を行うことができる。入力は R・G・B 各 6 ビットのデジタルデータで, 参照点はあらかじめ 6 ビットのデータバスから設定する。出力は, その参照点から充分近い対象色であるか, そうでないかの 1 ビットである。

**使用ツール**: VerilogXL・DesignAnalyzer・Apollo **試作日数**: 助手 1 名で行い, 約 1 週間, **トランジスタ数**: 4,671, **試作ラン**: オンセミ 1.2  $\mu$  m 2.3mm 角, **チップ種別**: デジタル

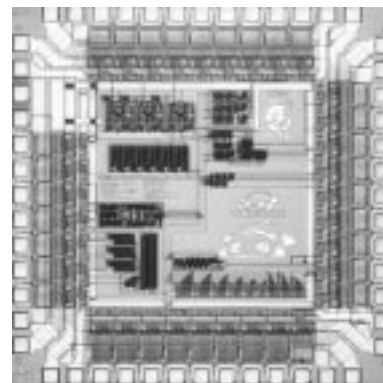


## 99 年度学部学生のフルカスタム設計演習

金沢大学工学部 笠井 稔彦, 佐々木勝光, 大門 慎二, 高松 直樹, 辻川 隆俊  
遠山 治, 中村 公亮, 蓮 達弘, 水木 誠, 秋田 純一

**チップ概要** 学部学生が卒業研究で集積回路の研究をするにあたり, 小規模な回路をボトムアップでレイアウトレベルから設計する経験をもつことで, 集積回路に対する理解を深めることを目的として本チップの設計を行った。本チップは, 4 本の入力ピンを共通に用意し, 9 人の学部学生に 1 本または 2 本の出力ピンを割り当て, 4 入力 1 / 2 出力の独自回路の設計・検証を行った。設計した回路は, 同期式カウンタ 3 種, エンコーダ 2 種, リングオシレータ 1 種, マルチプレクサ 3 種である。

**使用ツール**: Virtuoso, HSPICE, **試作日数**: 学部学生 9 名で行い, 約 2 週間, **トランジスタ数**: 1,242, **試作ラン**: オンセミ 1.2  $\mu$  m 2.3mm 角, **チップ種別**: デジタル



## 電流モード CMOS 演算回路 TEG

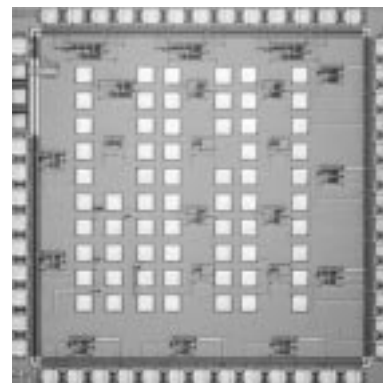
上智大学理工学部 石塚 淳, 越坂 亮介, 和保 孝夫

**チップ概要** 冗長数系, アナログ・デジットなど多値論理の考え方を取り入れた新しい高速演算方式が提案されている。これを実現するためには, 結線により線形加算が可能な電流モード CMOS 演算回路が適していると考えられる。今回はその基本的な構成要素であるカレント・ミラー回路と加算器を設計した。加算器は, 結線により線形加算した電流値を複製するカレントミラー回路, 桁上げ信号発生回路, および, 桁上げ時に線形加算値から基数分を差し引く和信号発生回路からなる。素子特性変動の影響を把握する目的で, 異なるデバイス・パラメタを有するトランジスタを用いた 5 種類の加算器を設計し, 搭載した。

**使用ツール**: Cadence 社 Virtuoso, Dracula, HSPICE,

**試作日数**: 学部の学生 2 名で行い, 約 1ヶ月,

**トランジスタ数**: 約 100, **試作ラン**: オンセミ CMOS 1.2  $\mu$  m 2.3mm 角, **チップ種別**: アナログ



## サンプル・ホールド回路 TEG

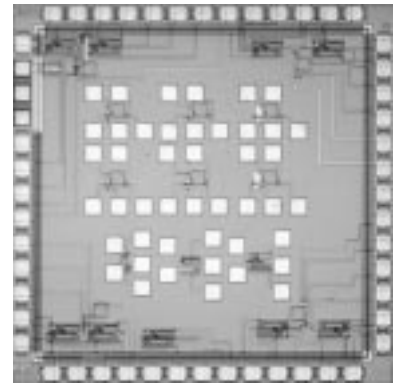
上智大学理工学部 寺島 洋和, 越坂 亮介, 和保 孝夫

**チップ概要** サンプル・ホールド(S/H)回路は, 逐次比較型のA/D変換器に必須であるほか, D/A変換におけるグリッチ除去にも利用される基本回路である。今回は, その構成に必要なMOSFETスイッチ, サンプリング用コンデンサ, バッファ用オペアンプの特性を評価できるTEGを設計した。また, オープン・ループ方式と簡単なクローズド・ループ方式のS/H回路も設計した。今回は基本動作確認を主目的としたが, 高速化への指針を得る目的で, デバイス・パラメタの異なる数種類の回路を設計した。また, オペアンプについては, 回路動作解析を容易にする目的で, 増幅段毎に分解した要素回路ブロックも搭載した。

**使用ツール**: Cadence社 Virtuoso, Dracula, HSPICE,

**試作日数**: 学部の学生2名で行い, 約1ヶ月,

**トランジスタ数**: 約100, **試作ラン**: オンセミ CMOS 1.2  $\mu$ m 2.3mm角, **チップ種別**: アナログ



## 負性微分抵抗回路 TEG

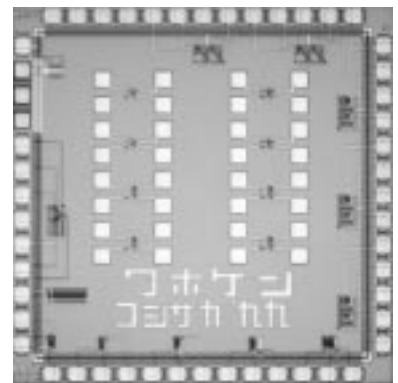
上智大学理工学部 越坂 亮介, 和保 孝夫

**チップ概要** 共鳴トンネルダイオードなどの量子効果デバイスで顕著に見られる負性微分抵抗特性(NDR)を利用して, 新しい動作モードに基づく多値回路が提案されている[1]。もし, 標準的なCMOSプロセスを用いてNDR特性が実現できれば, この種の回路の大規模化が可能になる。我々はダイオードにヒントを得て, エンハンスメント型CMOSを用いたNDR回路の基本検討を行ったが, その検討結果を実証する目的で本チップを設計した。今回設計したNDR回路は, 基本的には3個のエンハンスメント型トランジスタからなり, HSPICEシミュレーションによりダイオードと同様のNDR特性が得られることを確認した。チップ上には将来これらの回路と組み合わせて使用するCMOS基本ゲートも搭載した。

**使用ツール**: Cadence社 Virtuoso, Dracula, HSPICE, **試作日数**: 学部の学生1名で行い, 約1ヶ月,

**トランジスタ数**: 約100, **試作ラン**: オンセミ CMOS 1.2  $\mu$ m 2.3mm角, **チップ種別**: アナログ

**参考文献**: [1] 和保, 伊藤“超高速共鳴トンネル多値回路”, 信学会論文, Vol. J82-C-II, No. 8, pp.421-431, 1999年。



## MOS構成に適したアナログ形PLLの試作

秋田大学工学資源学部 大栗 強, 伊藤 文人, 井上 浩

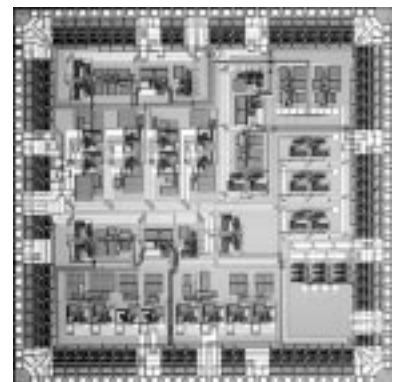
**チップ概要** デジタル形として製作されることが多いPLLをアナログ形PLLとすることで, 大幅な回路の簡素化が可能と考えられる[1]。本研究では, CMOSプッシュプル回路を応用した回路と, 分周器やチャージポンプ回路等を用いないアナログ形PLLを提案し, 動作検証を目的にLSIを設計・試作した。回路は, MOSの非線形性に着目し, 相補形で動作させることで, プッシュプル動作の出力に乗算効果と位相合成効果とを含ませる回路である。これを用いると, 従来必要とされてきた回路ブロックを用いないPLL回路を構成でき, 回路規模の縮小と回路全体のLSI化が容易となる。

試作したのは, アナログ形PLLの全体回路と各ブロックであり, 前年度の修正版である。数MHz程度の周波数帯域を想定したため容量が大きくなったが, 高周波化で縮小可能である。

**使用ツール**: Cadence社 Virtuoso, HSPICE, **試作日数**: 修士の学生1名で行い, 約2週間,

**トランジスタ数**: 約400, **試作ラン**: オンセミ CMOS 1.2  $\mu$ m 4.8mm角, **チップ種別**: 通信, アナログ

**参考文献**: [1] 伊藤, 井上: “CMOS LSIアナログPLLの一設計”, 1999年電子情報通信学会総合大会, 基礎・境界, p.51.



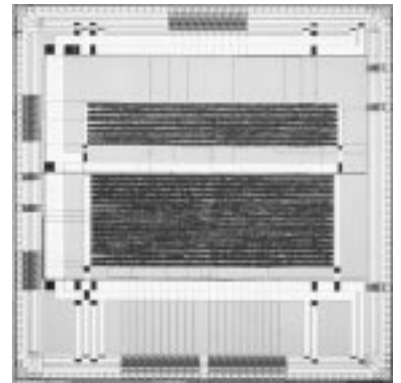
## Viterbi 復号回路の差分演算による簡略化

九州大学 大学院 システム情報科学研究科 吉澤 弘泰, 前田文雄, 秀島 功介, 中司 賢一

**チップ概要** Viterbi 復号回路は, 磁気ディスク装置のリードチャンネルや有線/無線通信において再生データの誤りが最小となるようにするために必須である。符号間の距離を計算し, 過去のデータ系列から最も確からしいデータ系列を求める。したがって, 符号間距離の計算はユークリッド距離を計算することになる。通常, この計算は乗算器を用いるが, これでは回路規模, 消費電力の増加につながる。今回, ユークリッド距離の計算アルゴリズムを改良し, 乗算器の代わりに加算器だけでこの計算を行えるようにした。これにより面積を半分まで削減できた。

2 状態 Viterbi 復号回路を設計した。学生は, HDL 記述, 論理合成, 論理シミュレーション, 論理検証までを行い, 最終的なチップのレイアウトは教官が行った。アルゴリズムを Verilog-HDL で記述し, 論理合成は P2LIB ライブラリをターゲットとした。

**使用ツール:** Cadence 社 Virtuoso, Synopsys 社 Design Compiler, **試作日数:** 大学院生 2 名, 学部生 1 名で約 2 ヶ月 (論理検証), 教官 1 名, 約 1 ヶ月 (LSI 再設計), **試作ラン:** オンセミ CMOS 1.2  $\mu$  m 7.3mm 角, **チップ種別:** デジタル, **参考文献:** 前田 他, 「差分演算を用いたビタビ復号回路の集積化」, 電気関係学会九州支部大会, 626, 1998



## 16bit マイクロプロセッサの設計

名古屋工業大学工学研究科

中野 浩嗣, 木下 秀昭, 伊藤 暁一, ズハディ ズルキフリ, 小柳 匡

**チップ概要** 今回試作したマイクロプロセッサの主な特徴は, ロード・ストア型アーキテクチャで, 基本的には 16bit の命令幅(オペコード部 8bit)であるが, ロード・ストア命令ではさらに 16bit をアドレス値として読み込む。また, 16bit の汎用レジスタを 16 本, 演算格納用レジスタ, 条件フラグレジスタの各種レジスタをもつ。命令セットは論理演算, 算術演算, 分岐命令をサポートし, 算術演算では掛け算回路も含んでいる。

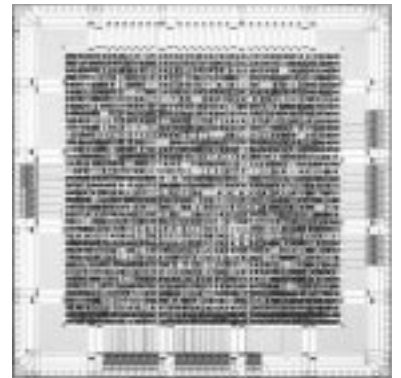
試作工程は, VHDL にて各モジュールのコードを記述。Design Compiler で論理合成 (ライブラリは EXD 版のものを使用している)。Apollo による配置・配線, その後 Dracula により検証および, 修正を加えた。

**使用ツール:** Synopsys 社 Design Compiler, Avant! 社 Apollo, Cadence 社 Dracula

**試作日数:** 修士の学生 2 名, 学部生 2 名で行い, 作業期間約 1 ヶ月

**トランジスタ数:** 約 7000 ゲート(NAND2 換算), **試作ラン:** オンセミ 1.2  $\mu$  m 7.3mm 角

**チップ種別:** デジタル



## 平成 11 年度 第 1 回 日立北海セミコンダクタ チップ試作 (HHS991)

### 化合物半導体量子効果素子との集積化チェック用基板の設計

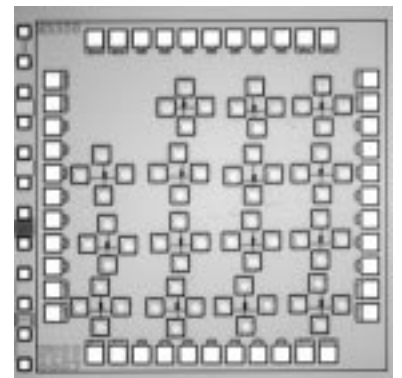
名古屋大学工学研究科量子工学専攻 上村 朋典, 前澤 宏一, 水谷 孝

**チップ概要** このチップは, CMOS と化合物半導体量子効果素子の集積テスト用に設計された。具体的には, CMOS と共鳴トンネルダイオード (RTD) を集積化し, 従来, HEMT と RTD で形成されていた単安定 双安定転移論理素子 (MOBILE) を作製・評価することを目的としている。評価する MOBILE は, 本チップ上に化合物半導体の RTD をボンディングし, 作製する。

**使用ツール:** Cadence 社 Virtuoso, **試作日数:** 修士の学生 1 名で行い, 約 1 週間,

**トランジスタ数:** , **試作ラン:** 日立北海セミコンダクター CMOS 0.5  $\mu$  m 2.3mm 角,

**チップ種別:** アナログ



## VDEC チップ開発フローの習得演習

東京大学工学部 長澤 純人, 山口 真奈美, 下山 勲

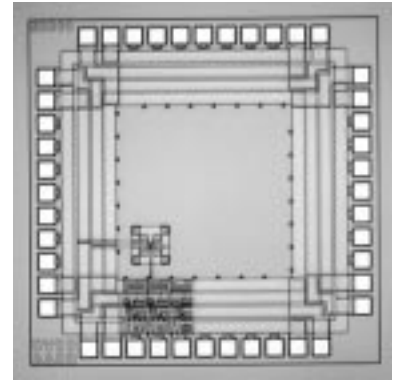
**チップ概要** ロボットの制御系を構成する場合, 従来サイズのロボットならば小型PCを搭載し, 自由に制御することも可能である。しかしマイクロロボットに制御系を搭載するためには, スペース上の制約からカスタムチップを開発して搭載することが望まれる。本来ロボットのファブ리케이션や行動計画手法を研究する研究者にとって, カスタムチップの開発は分野外であり, その開発フローの習得にはかなりの労力を要する。短期間で実践的な習得を目指し, 実際の試作演習としてランに参加した。今回試作した内容は2入力AND回路である。今回の目的は開発フローの習得であるため, 題材としては最も簡潔で, 生成された回路も実際のパターンからある程度考察できるものを選択した。実際の試作では, 鳳・藤島研究室にお世話になり, 一つ一つの工程で解説を受けながら進めていった。

VelilogXL で記述したHDL ファイルを検証し, Synopsisの Design Analyzer で論理合成した。その後 ApolloXO で配置配線を行い, DRCチェックで見つかった箇所を Cadence社 Virtuosoで修正した。今回の試作において, 大筋で開発フローは理解できたものと考えている。次回のランでは実際に研究に用いるチップを試作し, 開発フロー細部の理解と研究室内部での開発環境の整備を進めたい。

**使用ツール:** Cadence社 VelilogXL, Virtuoso, Dracula, Synopsis社 Design Analyzer, Avanti!社 Milkyway, ApolloXO

**試作日数:** 技官と学生2名で行い, 約1週間, **試作ラン:** 日立北海セミコンダクター CMOS 0.5  $\mu$  m 2.3mm 角,

**チップ種別:** デジタル



## 階層構造型マルチポートメモリ (第1階層) の設計

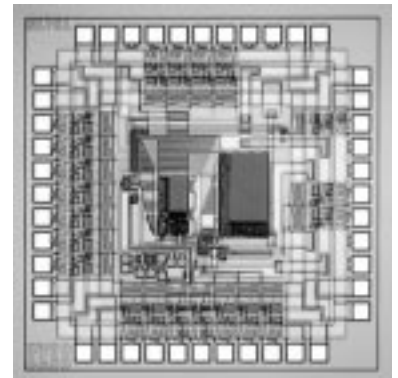
広島大学ナノデバイス・システム研究センター

岸 浩二, 行天 隆幸, 龍見 善之, 金 宗是, H.J.Mattausch

**チップ概要** 既に我々が提案している1ポートSRAMセルをベースにした階層構造型マルチポートメモリ[1]の第1階層部分を, ポート数4, メモリ容量256bit及び1kbitの場合について試作した。本チップには, 二つのメモリブロックと, ピン数の制約を満足するためのセレクタやデコーダが含まれている。本マルチポートメモリを用いることにより, 高面積効率マルチポートメモリの実現が期待できる。本チップは, 階層構造型マルチポートメモリの動作確認を第1の目標とし, ロジックアナライザにより動作確認済みである。

**使用ツール:** Cadence社 Composer及び Virtuoso, HSPICE, **試作日数:** 修士の学生1名で行い, 約2ヶ月, **トランジスタ数:** 約11000, **試作ラン:** 日立北海セミコンダクター CMOS 0.5  $\mu$  m 2.3mm 角, **チップ種別:** メモリ

**参考文献:** [1] H.J.Mattausch, " Hierarchical architecture for area-efficient integrated N-port memories with latency-free multi-gigabit per second access bandwidth ", ELECTRONICS LETTERS, Vol.35, pp.1441-1443, Aug. 1999.



## イメージセンサ受光部の定量測定

奈良先端科学技術大学院大学物質創成科学研究科 赤澤 淳, 太田 淳

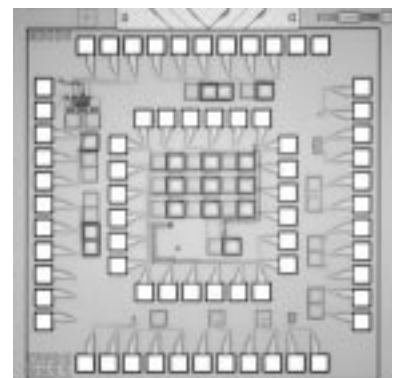
**チップ概要** 非蓄積型イメージセンサ受光部としてゲインを有するフォトトランジスタは有用である。今回の設計では様々な構造のフォトトランジスタ及び比較用フォトダイオードのTEGを設計し, その基本特性が評価できるようにした。

**使用ツール:** Cadence社 layout editor, HSPICE,

**試作日数:** 修士の学生1名で行い, 約7週間,

**トランジスタ数:** 約30, **試作ラン:** オンセミ CMOS 1.2  $\mu$  m 2.3mm 角,

**チップ種別:** 画像& MEMS





## 特性ばらつき評価回路

広島市立大学 情報科学部 寺田 和夫

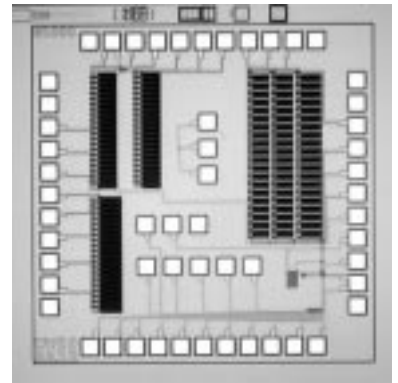
**チップ概要** MOSFTE のコンダクタンスとしきい値電圧のばらつきを、簡単な電流電圧特性を測定するだけで求めることができるテスト回路。20 × 20 MOSFTE アレイに制御用のスイッチを入れてあり、スイッチを切り替えながらアレイ全体の電流電圧特性を測定する。そのデータから全 MOSFTE のコンダクタンスとしきい値電圧の平均値と標準偏差を計算できる。測定原理は参考文献に説明してある。しきい値電圧については、単体 MOSFTE を個別に測定した場合について確認してある。

アレイは 3 種類のチャンネル長のものが 2 種類、計 6 つある。その他に単体の MOSFTE を独立に測定できるように、パッドを加えて入れてある。

**使用ツール** : Cadence 社 Virtuoso, **試作日数** : 約 1 か月, **トランジスタ数** : 約 10000,

**試作ラン** : 日立北海セミコンダクター CMOS 0.5  $\mu$  m 2.3mm 角, **チップ種別** : ニューテクノロジー

**参考文献** : [1] 大野 特願昭 59-277332, [2] 寺田他 電子情報通信学会論文誌, Vol.J79-C-II, p.691, (1996)



## Rail-to-Rail OP アンプとスイッチトカレント ( S I ) 回路の試作

東京理科大学理工学部電気工学科 丹羽 智, 渡辺 章人, 高重 英明, 兵庫 明

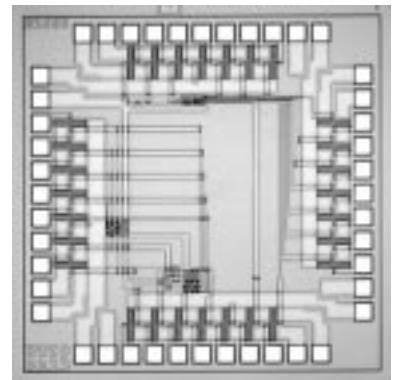
関根 慶太郎

**チップ概要** 本研究室で研究しているアナログ集積回路ブロックの一例として Rail-to-Rail OP アンプとスイッチトカレント回路の試作を行った。Rail-to-Rail OP アンプは近年の電源電圧の低下によるダイナミックレンジの減少を抑え、入力電圧範囲が電源電圧と等しくなる OP アンプである。今回設計した回路は、Rail-to-Rail OP アンプの問題点である同相入力電圧に対するトランスコンダクタンスの変動を抑える回路構成となっている。また、スイッチトカレント(SI)回路は、電流モードの離散時間系アナログ信号処理技術と知られおり、従来のスイッチトキャパシタ回路と比較して、高速化、高集積化が望める。今回、設計した回路は CCII(Second Generation Current Conveyor)の出力段のカレントミラーを構成する MOSFET のゲート間に、MOS スイッチを設け、S/H を行うものである。

**使用ツール** : Cadence 社 Virtuoso, HSPICE, **試作日数** : 修士の学生 3 名で行い、約 3ヶ月,

**トランジスタ数** : 約 100, **試作ラン** : 日立北海セミコンダクター CMOS 0.5  $\mu$  m 2.3mm 角, **チップ種別** : アナログ

**参考文献** : [1] D. John, K. Martin, " Analog Integrated Circuit Design, " John Wiley and Sons, 1997



## 階層構造型マルチポートメモリ ( 第 2 階層 ) の設計

広島大学ナノデバイス・システム研究センター

行天 隆幸, 岸 浩二, 龍見 嘉之, 金 宗是, H.J.Mattausch

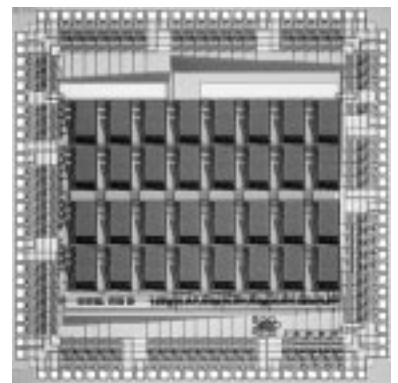
**チップ概要** 我々は、高集積化に適したマルチポートメモリとして階層構造型マルチポートメモリを提案している[1]。本マルチポートメモリは、メモリセルに 1 ポートメモリセルを用い、また衝突処理回路などの周辺回路を単純な構造にすることによって高集積化・高速化を同時に実現することができる。

今回試作したチップは、メモリ容量 1kbit のメモリブロック ( 第 1 階層 ) を 32(8 × 4)個並べた構造をしたメモリ容量 32kbit の階層構造型 4 ポートメモリ ( 第 2 階層 ) である。レイアウト設計はフルカスタムで行い、完成したレイアウトから回路を抽出し HSPICE を用いて動作の検証を行った。

**使用ツール** : Cadence 社 Composer 及び Virtuoso, HSPICE, **試作日数** : 修士の学生 1 名で行い、約 2ヶ月

**トランジスタ数** : 約 253k, **試作ラン** : 日立北海セミコンダクター CMOS 0.5  $\mu$  m 4.8mm 角, **チップ種別** : メモリ

**参考文献** : [1] H.J.Mattausch, " Hierarchical architecture for area-efficient integrated N-port memories with latency-free multi-gigabit per second access bandwidth ", ELECTRONICS, Vol.35, pp.1441-1443, Aug.1999.



## EXD セルライブラリ検証用 TEG チップの設計

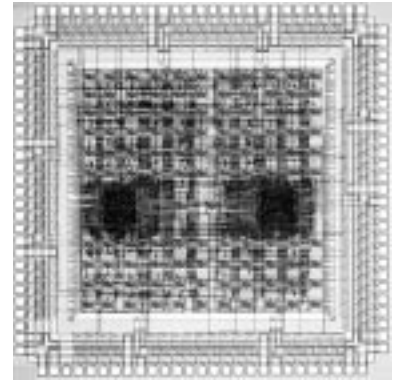
九州大学大学院システム情報科学研究科 石原 亨, 安浦 寛人

**チップ概要** 九州大学安浦研究室では平成9年度4月にNEL社のCMOS0.5 $\mu$ mプロセス向けに約310種類のセルを含むスタンダードセルライブラリを開発した。本年度の初めから前述のプロセスがNEL社からHHS社(日立北海セミコンダクター社)に移行したことに伴い、当初の約310種類から360種類までセルの種類を拡張し新たにHHS社プロセス対応のスタンダードセルライブラリを開発した。試作したTEGチップには、361種類のスタンダードセルライブラリと112個のリングオシレータを搭載した。スタンダードセルライブラリはエクセレントデザイン社のScaleとSynspecを利用し設計した。リングオシレータの直列段数は51段である。スタンダードセルに関してはすべてのセルに対して機能テストを行い、すべてのセルが正常に動作することを確認した。

**使用ツール**: SYNOPSIS, Avant!, HSPICE, **試作日数**: 博士の学生1名で行い, 約二日間, **トランジスタ数**: 約 22,754,

**試作ラン**: HHS CMOS 0.5  $\mu$  m 4.8mm 角, **チップ種別**: デジタル

**参考文献**: [1] 石原 亨 “VDECにおけるスタンダードセルライブラリ開発の現状”, pp.18-19, 1999年VDEC LSIデザイナーズフォーラム講演論文集 (1999).



## 遅延ばらつき測定用乗算器の設計

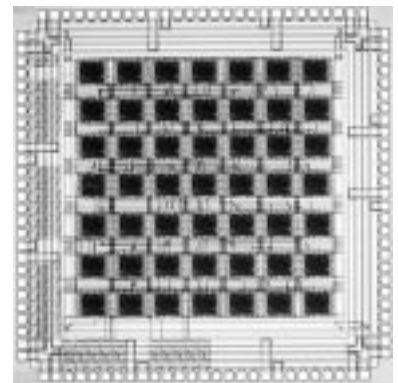
九州大学大学院 システム情報科学研究科 溝口 大介, 安浦 寛人

**チップ概要** 従来のデジタル回路の遅延見積もりは、遅延の値が一定値をとると仮定するなど、製造時のばらつきを十分考慮した見積もりではない。そこでばらつきを考慮した遅延見積もり手法として、回路中の各基本ゲートに遅延分布を仮定した見積もり手法を提案している。この手法の正当性を実測により確かめる目的で本チップを設計した。設計したのは、組み合わせ回路の配列型4ビット乗算器で、これを1チップに48個並べた。各乗算器の入力側と出力側にはレジスタを配置し、このレジスタに供給するクロックを早めていくことにより四ビット乗算器1つの速度性能を測定する。

**使用ツール**: Avant!社 Apollo, **試作日数**: 修士の学生2名で行い, 約1週間,

**トランジスタ数**: 約 70000, **試作ラン**: 日立北海セミコンダクター CMOS 0.5  $\mu$  m 4.8mm 角, **チップ種別**: デジタル

**参考文献**: 松永英人, 澤田直, 安浦寛人. “LSIテストを用いたLSIの信号遅延の測定”, 第55回情報処理学会全国大会講演論文集(第1冊文), 1997年9月.



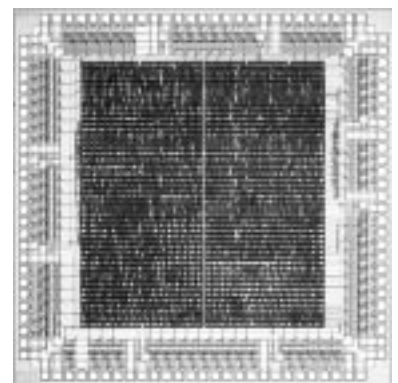
## 匂い認識チップの研究

東京工業大学工学部 中本 高道, 河村 聡, 森泉 豊栄

**チップ概要** 新しいデジタルニューラルネット回路の方式として1ビット演算方式による方法を提案し、LVQ(Learning Vector Quantization)方式の学習回路を実現した。この回路とセンサ用計測回路を同一チップに組み込んで、匂いの種類を識別するシステムを設計試作した。評価ボードを試作し、あらかじめ測定したセンサデータをRAMに格納してテストした結果、LVQ回路の動作を確認した。しかし、一部の回路が正常に動作しなかった。

**使用ツール**: Cadence社 Virtuoso P2LIB使用 **設計日数**: 修士1名が2.5か月かけて設計 **トランジスタ数**: 24,000 **試作ラン名**: 日立北海セミコンダクター CMOS 0.5  $\mu$  m 4.8mm 角 **チップ種別**: デジタル

**参考文献**: T.Nakamoto, S.Kawamura, T.Moriizumi, Proc.IJCNN99, 1999, 526.



## 平成 10 年度 第 2 回 ローム チップ試作 ( ROHM982 )

### 自動並列化コンパイラの静的予測を支援する浮動小数点演算ユニット

慶應義塾大学理工学部 川口 貴裕, 天野 英晴

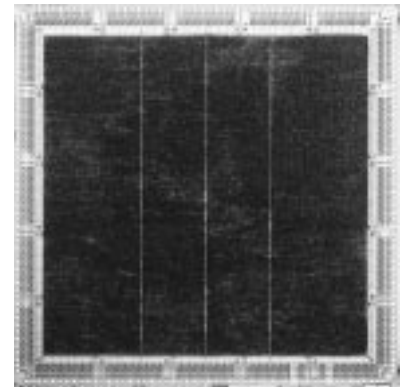
**チップ概要** マルチプロセッサシステムにおいて自動並列化コンパイラはますます重要なものとなっている。本浮動小数点演算ユニットはコンパイラの静的予測をハードウェアが全面的にサポートするマルチプロセッサシステムの構成要素として用いられる。このユニットは IEEE 754 規格に準拠した四則演算を行い、デノーマルのような複雑な処理にもハードウェアで対応する。また、静的に動作が予測できるよう、各演算は入力値に依存せず一定のサイクルで終了する。除算を除く全演算は完全にパイプライン化されており、それらは1サイクル毎に演算命令が投入可能であり、倍精度の加減算を3サイクル、乗算を4サイクル、除算を21サイクルで完了することができる。

**使用ツール** : Mentor graphics QuickHDL, Synopsys Design compiler, Avant! Milkyway, Apollo,

**試作日数** : 修士の学生1名で行い, Verilog 記述6ヶ月, 合成・配置配線1ヶ月, **ゲート数** : 約 120,000,

**試作ラン** : ローム CMOS 0.6  $\mu$  m 9.0mm 角, **チップ種別** : デジタル

**参考文献** : [1] T.Kawaguchi, T.Suzuki, H.Amano, " Floating Point Arithmetic Unit for a Static Scheduling and Compiler Oriented Multi-processor System ASCA", ASP-DAC 2000 University LSI Design Contest, pp.31-32, Jan., 2000.



### 交差手法の動的選択機能を組み込んだ適応的遺伝的アルゴリズムの専用 LSI 化

広島大学工学部

若林 真一

東京大学大規模集積システム設計教育研究センター 小出 哲士

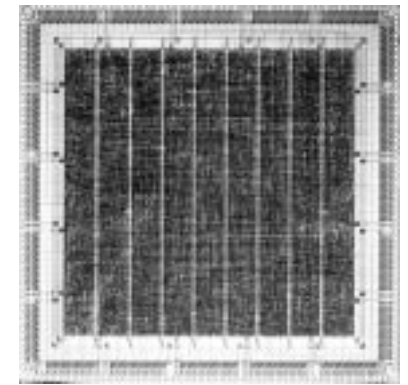
**チップ概要** 我々は遺伝的アルゴリズム (GA) のパフォーマンスの向上を目的として, GA のハードウェア化について研究を行っている。平成9年度において, 交差手法の動的選択機能を持つ GA ハードウェア GAA-I (Genetic Algorithm Accelerator) を開発し, VDEC において試作し, GA のハードウェア化の有効性を示した。しかしながら, GAA-I はチップ面積の制約のために機能上の制約が大きく, 実用的な問題を解くのは困難だった。そこで, GAA-I の機能を拡張し, 大規模最適化問題にも適用可能な GA ハードウェア GAA-II を開発した。GAA-II は個体のビット長が最大 2048 ビット, 256 個体までの個体集合に対応できる。また, 並列 GA としての機能も持つ。実チップのパフォーマンスは現在検証中であるが, ゲートレベルシミュレーションではクロック周波数 50MHz での動作が可能である。

**使用ツール** : Cadence 社 Verilog-XL, Dracula, Synopsys 社 Design Compiler, Avanti 社 Apollo.

**試作日数** : 教官1名, 学部学生2名で, 約3ヶ月。トランジスタ数 : 約 23 万, **試作ラン** : ローム CMOS 0.6  $\mu$  m 9mm 角,

**チップ種別** : デジタル。

**参考文献** : [1] 若林, 他, " 遺伝的アルゴリズムアクセラレータ GAA-II の設計 ", pp.143-148, DA シンポジウム '99 論文集 (1999).



### 可変ブロックアクセス機能を有するイメージセンサ

東京大学工学系研究科

星野 将史

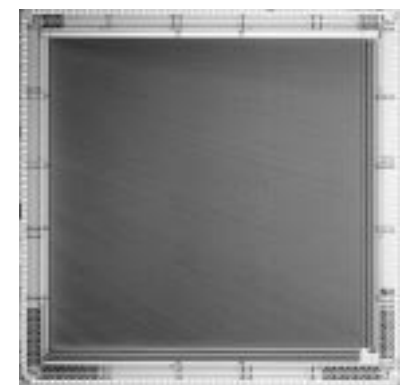
東京大学大規模集積システム設計教育研究センター 池田 誠, 浅田 邦博

**チップ概要** CCD などに代表される従来のイメージセンサでは, 走査方式がラスタ走査であり必要な画像データが局所的な部分であってもそれを読み出すには全ての画像データを読み出さなければならない。そこで本試作では, 任意の矩形領域の画素に対してアクセスし読み出すことができる可変ブロックアクセス機能を有するイメージセンサを設計した。試作したイメージセンサは, 画素数 256  $\times$  256 の 2 値画像センサで, 外部からアドレス指定した画素ブロックにおける画素値の論理和を出力する機能を有する。アクセスする領域の指定は, 画素平面の行方向, 列方向それぞれの座標に対して, アクセスしたい領域の始点と終点の座標を指定することで範囲, 位置共に自由にブロックアクセスできるようになっている。

イメージセンサの構成は, 主として画素平面, 列方向に取られた画素値の論理和を行方向に論理和を取る周辺回路, そしてアクセスする領域を指定する外部からの信号をデコードするアドレスデコード回路から構成される。また画素平面を構成する画素回路はフォトダイオード, 画素値を記憶し列方向に指定された画素の画素値の論理和をとる回路から構成される。

**使用ツール** : Cadence 社 Virtuoso, HSPICE, **試作日数** : 修士課程の学生1名で行い, 約1ヶ月, **トランジスタ数** : 約 8 7 0 k,

**試作ラン** : ローム CMOS 0.6  $\mu$  m 9.0mm 角, **チップ種別** : 画像 & MEMS



## 空間可変サンプリングを行うスマートイメージセンサの設計

東京大学大学院工学系研究科 大塚 康弘

東京大学 新領域創成科学研究科 相澤 清晴

**チップ概要** センサ面上で任意にサンプリング密度を変化させることができるスマートイメージセンサのプロトタイプを試作を行った。本イメージセンサは、画素回路に対応したメモリ回路を有しており、メモリには対応する画素値を読み出すか否かの情報を0/1で記憶する。メモリアレイをSRAM方式で設計したので、回路規模を小さくすることができ、画素数が $384 \times 180$ 画素になった。

**使用ツール**：Cadence社 Virtuoso, HSPICE,

**試作日数**：博士の学生1名で行い、約3週間、**トランジスタ数**：約760k,

**試作ラン**：ローム CMOS 0.6  $\mu$ m 9.0mm角, **チップ種別**：アナログ **参考文献**：なし



## 2次元アナログ人工網膜チップの設計

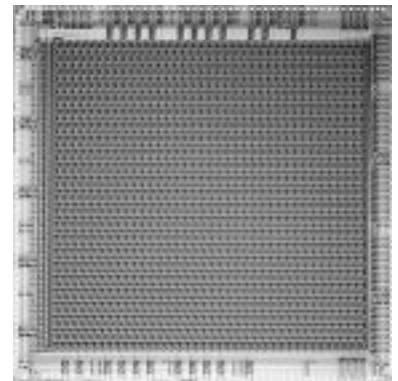
九州工業大学情報工学部 亀田 成司, 八木 哲也

**チップ概要** 人工網膜は、生体視覚系の並列画像処理機構をアナログCMOS集積回路により実現したもので、実時間画像処理、小規模ハードウェア、低消費電力といった特徴を持つ。今回の設計では、自然照明下における実時間画像処理を基本視座とし、アナログ人工網膜チップを製作した。各画素は六角格子状に配置され、チップは2次元ラプラシアン ガウシアン型のフィルタ特性を持つ。今回試作した人工網膜チップは、網膜初段の外網膜の回路構造を模擬したものである。集積回路の素子のばらつきを補償する機構を付加し、光センサ部にはアクティブピクセルセンサを用いた。水平、垂直シフトレジスタによって選択された画素の出力を電圧値として読み出す。また、水平シフトレジスタで列を選択することで、画像データの読み出しを列並列に行うことができる。画素数は $40 \times 46$ で、画素サイズは $179 \mu\text{m} \times 155 \mu\text{m}$ 、開口率は3.14%となった。

**使用ツール**：Cadence社 Virtuoso, HSPICE, **試作日数**：博士の学生1名で行い、約1ヶ月、**トランジスタ数**：約154000,

**試作ラン**：ローム CMOS 0.6  $\mu$ m 9.0mm角, **チップ種別**：画像 & MEMS

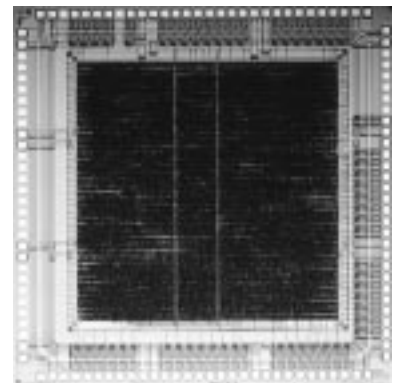
**参考文献**：[1] 八木, 亀田, 飯塚“可変受容野を備えた超並列アナログ知能視覚センサ”, pp.104-113, 信学論 D-II, J81-D-1, 2, (1998)



## マイクロ生体モニタのための可変データパスプロセッサ

東京大学工学系研究科, 新領域創成科学研究科 木庭 優治, 藤島 実, 鳳 紘一郎

**はじめに** 我々は、心電図や体温等の生体情報を長時間収集して病気の早期発見や健康管理に役立てるため、シリコンチップ上にセンサ・A/D・処理回路・メモリ等を集積したマイクロ生体モニタを研究中である。低消費電力での処理が必要なため、目的の処理にあわせてデータパスを変更することにより、効率的な処理を行なうことを検討した。試作したチップデータパスを変更できるプロセッサを試作した。試作ランはローム CMOS 0.6  $\mu$ m 4.6mm角, チップ種別は信号処理である。設計は修士1年の学生1名が約1ヶ月で行ない、設計・検証にはVerilog-XL, Design Compiler, ApolloXOの各ツールを使用した。回路規模は12万トランジスタとなった。



## X線光電子スペクトル解析用複素数演算ユニットおよび汎用演算ユニットの設計

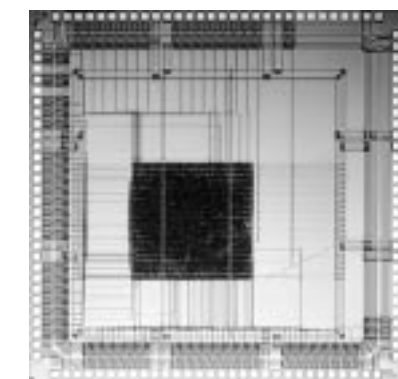
武蔵工業大学工学部電気電子工学科

行本 伸介, 小林 孝文, 野平 博司, 森木 一紀, 服部 健雄

**チップ概要** X線光電子スペクトル解析用演算ユニットとして、冗長複素数系(RCNS)(1)に基づいて実部、虚部それぞれ8bitの複素数乗算器を設計した。また、集積回路設計の学習などを目的とした汎用モジュールとして8bitの4則演算ユニット(ALU)を設計した。本チップは8bitの四則演算ユニットと8bitの複素数乗算ユニットの二つから構成されている。

**使用ツール**：SYNOPSIS社 Design Compiler, Avant!社 Apollo, **試作セルライブラリ** EXD 東大版ライブラリ, **試作日数**：修士の学生一人と学部生一人で行い、約2ヶ月、**トランジスタ数**：約3000, **試作ラン**：ローム CMOS 0.6  $\mu$ m 4.5mm角, **チップ種別**：信号処理

**参考文献**：T. Aoki, H. Amada and T. Higuchi: Proc. 13th Symp. on Computer Arithmetic.



## X線光電子スペクトル解析用高速フーリエ変換ユニットの試作

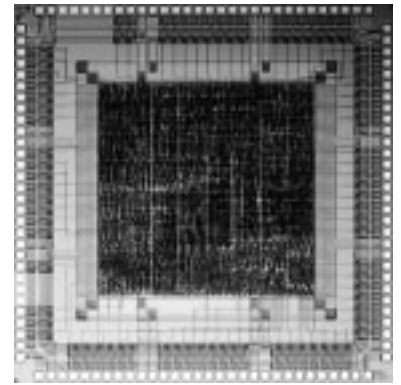
武蔵工業大学電気電子工学科 齋藤 豊, 野平 博司, 森木 一紀, 服部 健雄

**チップ概要** 専用ハードウェアを用いた光電子スペクトル解析の高速化によるリアルタイムの表面分析を目指して,今回,スペクトル解析に用いる高速フーリエ変換(FFT)ユニットを,複素数演算ユニットを冗長複素数系(RCNS X1)に基づいて設計した.光電子スペクトル解析には36bit程度のデータ長が必要である.しかし,その目的に用いるFFTユニットを1チップ内に収めることは不可能であるため,実際には8ビット複素数乗算器を並列にならべて演算を行うこととした.そこで,このチップ内に並列乗算を制御するためのユニットとFFT(バタフライ演算)を制御するユニットを内蔵した.

**使用ツール**: SYNOPSIS社 Design Compiler, Avant!社 Apollo, 試作セルライブラリ EXD 東大版ライブラリ,

**試作日数**: 修士の学生1名で行い,約三ヶ月間, **トランジスタ数**: 約3200, **試作ラン**: ローム CMOS 0.6  $\mu$ m 4.5mm角,

**チップ種別**: 信号処理 **参考文献**: T. Aoki, H. Amada and T. Higuchi: Proc. 13th Symp. on Computer Arithmetic.

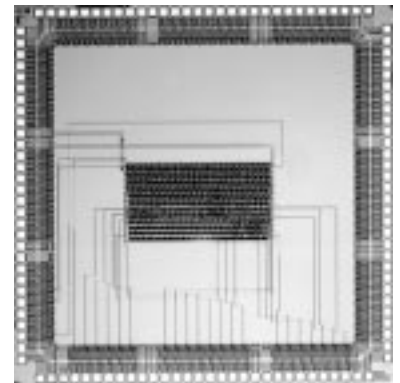


## 変調 A/D 変換用くし形デジタルフィルタ

静岡大学電子工学研究所 川人 祥二, 仙台電波高専 中林 撰

**はじめに** 変調 A/D 変換器は,オーディオ用をはじめ,最近ではセンサインターフェースとしても用いられつつある.これはアナログ部である.変調器とデジタルフィルタを組み合わせることで高い分解能を得るものであるが,今回,その中で,デジタルフィルタの一部として用いるくし形デジタルフィルタを設計した.これは,豊橋技術科学大学において,ローム社 0.6  $\mu$ m CMOSでのCadence用スタンダードセルライブラリを構築したが,そのテストを兼ねて試作を行うものである.

**試作チップ** 設計したくし形デジタルフィルタは,変調 A/D 変換器のデジタルフィルタの初段に用いるもので,今回は,32次3段と64次3段を切り替えて使用できるようにした.ローム社 0.6  $\mu$ m ルール,4.5mm角のチップとして実現した.VerilogHDLで記述し,豊橋技術科学大学で作成したCadence用スタンダードセルライブラリを用い,論理合成にはSynopsys社のDesign Compilerを用い,配置・配線は,Cadence社のCell Ensembleを用いて行った.設計は1名で約1ヶ月程度を要した.

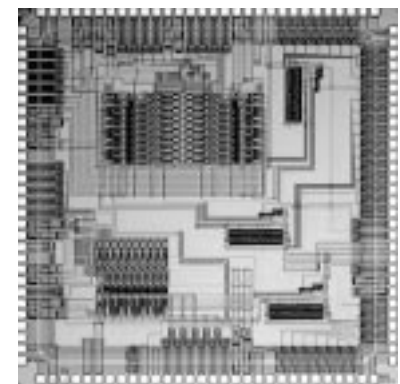


## 低消費電力パイプライン A/D 変換器

静岡大学電子科学研究科・電子工学研究所 宮崎 大輔, 川人 祥二

**はじめに** CMOSパイプライン A/D 変換器において,ビデオ信号帯での高速動作と低消費電力特性を実現するため,シングルエンド構成に基づく新しい基本演算アルゴリズムと回路構成を提案している.本方式では,キャパシタミスマッチに対する感度を比較的小さくできる基本演算回路と,直流バイアス電流を小さくできる高ゲインのカスコード型増幅器,そしてシングルエンド構成においてデジタル領域で比較器のオフセット誤差を補正できる回路構成の3つの特徴をもつ.この特徴により,従来の A/D 変換器と比べて大幅に低消費電力化が実現でき20Msps,10ビットにおいて,10mW程度の消費電力で構成できることを見積もっている.

**試作したチップ** 今回試作したのは,アナログ回路であるパイプライン A/D 変換器コアと,デジタル補正処理回路である.ローム社 0.6  $\mu$ m ルール,4.5mm角のチップとして実現した.デジタル回路に関しては,豊橋技術科学大学で作成したCadence用スタンダードセルライブラリを用い,論理合成にはSynopsysのDesign Compilerを用いた.チップ面積は,A/D 変換器コアで0.8mm x 0.9mmでデジタル部は0.6mm x 0.8mmであった.実際には上記の A/D 変換器を3セット実装した.設計は筆者(修士課程)1名で行った.A/D 変換器コアは約4ヶ月程度の設計期間,また補正回路はスタンダードセルライブラリを用いることで約1週間の設計期間であった.



## 高速 PLL 回路評価 TEG

京都大学情報学研究科 安田 岳雄, 藤田 浩章, 小野寺 秀俊

はじめに PLLはシステムLSIを実現する上で必要不可欠な回路であり, LSIの高性能化が進むにつれ, PLLの高速化は最も重要な要求項目の1つとなってきた。今回のLSIの試作目的は, 高速PLLを実現するための回路を評価することにある。

チップ概要 本チップには

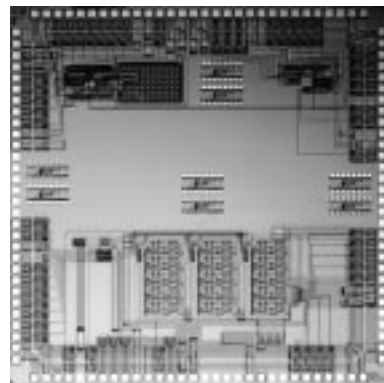
- ・PLLのロック性能に影響するループのディレイを制御する回路
- ・プロセッサ用クロック発生用PLL
- ・素子ばらつきデータ収集用TEG

が載せてある。レイアウトは基本的にはCadence社のVirtuosoで行い, デジタル回路部分

に関してはSynopsys社のDesignCompilerで論理合成を行い, Avant!社のApolloを用いて配置配線を行っている。

合計トランジスタ数は5k個程度である。なお本チップの設計には博士1名, 修士1名があたった。合計工数は約200人時であった。

測定を行い, 正常動作を確認した。試作ラン ロームCMOS 0.6  $\mu$  m 4.5mm角 チップ種別 アナログ



## 基板雑音定量評価テストチップ(1)

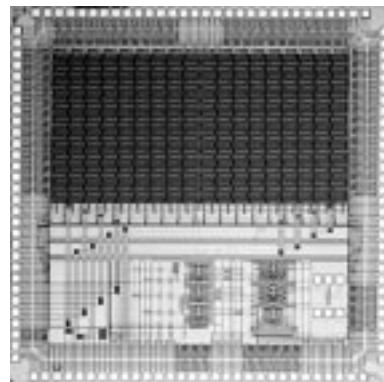
広島大学工学部 永田 真, 森江 隆, 岩田 穆

チップ概要 信頼性の高いアナログ・デジタル混載LSI設計には, デジタル回路のスイッチング動作時に発生する基板クロストーク雑音を精度良く予測し, 低減する手法の開発が必要になっている。本チップは, 動作回路規模/遅延時間/スイッチング方向を制御可能なCMOS基板雑音発生回路と, 基板雑音の定量測定が可能な検出回路を搭載しており, 基板雑音の発生・伝搬過程の解明とモデル化に有効なデータ取得が可能である[1]。本チップは, 助手1名が約1ヶ月でフルカスタム設計した。試作チップは, HP9494 ミックストシグナルLSI テスタ上に構築した100ps-100  $\mu$  V分解能の基板雑音測定システムにより評価している。

使用ツール: Composer, Diva(Cadence), HSPICE(Avant!), SX9000(SII),

トランジスタ数: 約75k, 試作ラン: ロームCMOS 0.6  $\mu$  m 4.5mm角, チップ種別: アナログ, ニューテクノロジー

参考文献: [1] M. Nagata et al., "Measurements and Analyses of Substrate Noise Waveform in Mixed Signal IC Environment," in Proceedings Of IEEE 1999 Custom IC Conf., pp. 575-578, May 1999.



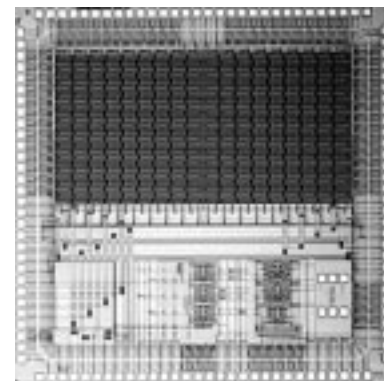
## 基板雑音定量評価テストチップ(2)

広島大学工学部 永田 真, 森江 隆, 岩田 穆

チップ概要 信頼性の高いアナログ・デジタル混載LSI設計には, デジタル回路のスイッチング動作時に発生する基板クロストーク雑音を精度良く予測し, 低減する手法の開発が必要になっている。本チップの構成は基板雑音定量評価テストチップ(1)と同じであるが, 基板雑音発生回路においてグラウンド配線と基板電位固定配線を分離したKelvin-Ground型CMOS回路を用いており, 高性能AD混載LSIのための基板雑音低減化デジタル回路設計としての有効性を確認できる。本チップは, 助手1名が約1ヶ月でフルカスタム設計した。試作チップは, HP9494 ミックストシグナルLSI テスタ上に構築した100ps-100  $\mu$  V分解能の基板雑音測定システムにより評価している。

使用ツール: Composer, Diva(cadence), HSPICE(Avant!), SX9000(SII), トランジスタ数: 約75k,

試作ラン: ロームCMOS 0.6  $\mu$  m 4.5mm角, チップ種別: アナログ, ニューテクノロジー



## 低スイッチング雑音 CMOS 論理回路を用いた 8Bit 加算器(2)

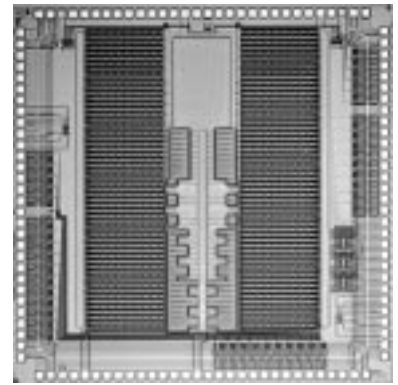
広島大学工学部 土方 克昌, 永田 真, 岩田 穆

**チップ概要** 昨年度に, AD 混載 LSI におけるアナログ回路の性能劣化の原因となるデジタル回路からの基板クロストーク雑音を低減する低スイッチング雑音 CMOS 論理回路を提案し, その実証のためのテストチップを試作した[1]. 本チップは, 先のチップに基板雑音の定量測定が可能な検出回路を追加することで, 通常の CMOS 論理回路との基板雑音発生量の高精度比較, 複雑な論理回路動作時の基板雑音波形取得, 等を可能にしている[2]. 修士 2 年の学生・助手各 1 名, 約 2 週間で設計した. 試作チップは, HP9494 ミックスシグナル LSI テスタ上に構築した 100ps-100  $\mu$  V 分解能の基板雑音測定システムにより評価している.

**使用ツール**: Composer, Diva(cadence), HSPICE(Avant!), SX9000(SII),

**トランジスタ数**: 約 60k, **試作ラン**: ローム CMOS 0.6  $\mu$  m 4.5mm 角, **チップ種別**: デジタル, ニューテクノロジー

**参考文献**: [1] 土方, 他“低スイッチング雑音 CMOS 論理回路を用いた 8Bit 加算器”, pp.88, 1998 年 VDEC 年報 (1998). [2] M. Nagata et al., “Reduced Substrate Noise Digital Design for Improving Embedded Analog Performance,” in IEEE International Solid-State Circuit Conference 2000 Digest of Technical Papers, pp. 224-225, Feb. 2000.



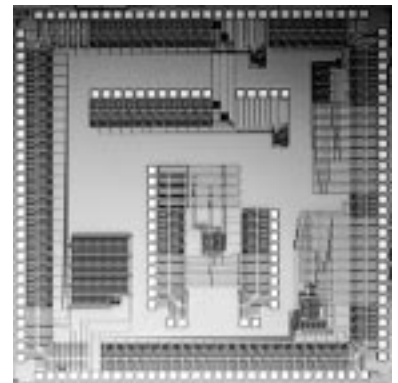
## PWM 信号を用いた動きベクトル検出回路部分回路及び重み加算精度評価チップ

広島大学工学部 番本 吉則, 中村 恒博, 永田 真, 森江 隆, 岩田 穆

**チップ概要** 動画像符号化において, 動きベクトル検出は演算量が極めて膨大であり, 消費電力の大部分を占めている. そこで, パルス幅変調(PWM)信号を用いた AD 融合回路アーキテクチャにより低消費電力の動きベクトル検出回路を考案した. 今回試作したチップは部分回路の評価を目的としているニューラルネットワークにおいて, 重み加算結果が 0 近傍になるときの精度が非常に重要になってくる. 本研究室で設計された従来の重み加算回路は, スイッチ電流源を用いて実現されているが, 電流源のスイッチをオフにしても電流が流れてしまう問題があった. その問題を解決するために, スイッチ電流源に素子を付加し, 高精度に重み加算を行う回路を考案した. 本チップは, 重み加算精度を評価するために 1 ニューロン, 106 シナプスを搭載している. ピン数制限と測定の自由度向上のために 40, 30, 20, 10, 5, 1 シナプスの 6 ブロックに分けている.

**使用ツール**: Composer, Diva (Cadence), HSPICE(Avant!), SX9000(SII), **設計日数**: 修士の学生 2 名で約 2 ヶ月.

**トランジスタ数**: 約 4k, **試作ラン**: ローム CMOS 0.6  $\mu$  m 4.5mm 角, **チップ種別**: 信号処理, アナログ



## 基板モデル作成のための評価 TEG

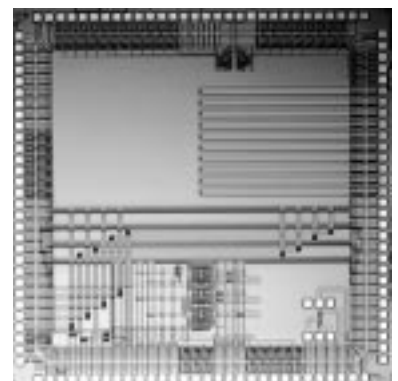
広島大学工学部 村坂 佳隆, 永田 真, 岩田 穆

**チップ概要** AD 混載 LSI における, 基板雑音のチップレベル予測, 及び検証手法の確立のためには, 実測データに基づく定量的な基板雑音の評価, それに基づく雑音源モデル, 基板モデルが必要である. 今回, 基板のモデル化のための評価 TEG を試作した. 計十個の基板コンタクトアレイを基板上に配置しており, それらのコンタクトに電圧を与える, 又は電流を流し, 他のコンタクトの電圧値を読み取ることで, 基板上の電流の流れを観測することができる.

**使用ツール**: Composer(Cadence), HSPICE(Avant!), SX9000(SII), Diva(Cadence),

**設計日数**: 修士 1 年の学生 1 名で約 1 週間

**試作ラン**: ローム CMOS 0.6  $\mu$  m 4.6mm 角, **チップ種別**: ニューテクノロジー



## 確率連想処理回路と PWM 方式不揮発性アナログメモリ制御回路

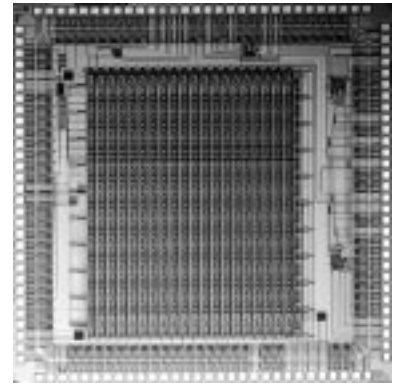
広島大学工学部 山中 登志夫, 村越 健一, 木下 茂雄, 森江 隆, 永田 真, 岩田 穆

**チップ概要** 確率連想処理回路[1]は, 入力デジタルパターンに類似した(ハミング距離の近い)記憶パターンを類似度に依存した確率で連想する回路である。これにより, 人の連想処理に近いあいまいな処理を実現できる。本設計では確率的動作を行うために, PWM カオス発生回路を擬似的な乱数発生源として用いた。設計したテストチップは, 20bitのデジタル参照パターンを, 20個並列に演算する。一方, PWM 方式不揮発性アナログメモリ制御回路[2]は, PWM信号により高速・高精度に浮遊ゲートデバイスの書き込みを制御する回路である。

**使用ツール**: Composer(Cadence), HSPICE(Avant!), SX9000(SII) **試作日数**: 修士2名, 学部生1名, 約2ヶ月 **トランジスタ数**: 約45,000,

**試作ラン**: ローム CMOS 0.6  $\mu\text{m}$  4.5mm角, **チップ種別**: ニューテクノロジー

**参考文献**: [1] T. Yamanaka, et al., SSDM99, p. 100, 1999. [2] S. Kinoshita, et al., IEICE Trans. Electron., vol.E82-C, pp.1655-1661, 1999



## 画像分割用非線形振動子ネットワーク回路

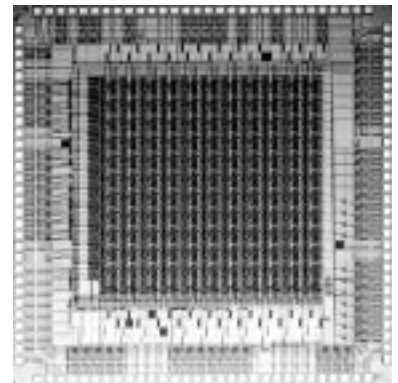
広島大学工学部 安藤 博士, 森江 隆, 永田 真, 岩田 穆

**チップ概要** 自然画像認識において重要な画像分割処理を実行するモデルとして, 非線形振動子ネットワークが提案されている[1]。このモデルを用いてリアルタイム画像処理を実現するために, 我々が提案している任意の非線形ダイナミカルシステムのためのパルス変調回路アーキテクチャ[2]により VLSI 化を行った。今回試作した振動子ネットワークは, 前回試作の修正版であり, その仕様は前回と同様である。このチップは主に振動子回路・荷重係数演算回路からなる。振動子回路は, 任意非線形変換回路と電荷積分による積和演算回路を用いて, 振動子のアナログダイナミクスを実現する。荷重係数演算回路はパルス変調方式により画像強度の絶対値差分および除算を実行し, 荷重係数を求める。画素数は  $11 \times 11$ , 画素サイズは  $210 \mu\text{m} \times 230 \mu\text{m}$  である。

**使用ツール**: HSPICE(Avant!), SX9000(SII), Diva(Cadence), **試作日数**: 修士1名, 約1週間 **トランジスタ数**: 約53kTr,

**試作ラン**: ローム CMOS 0.6  $\mu\text{m}$  4.6mm角, **チップ種別**: ニューテクノロジー

**参考文献**: [1] D. L. Wang, et al., Neural Computation, vol.9, pp.805-836, 1997. [2] T. Morie, et al., NOLTA '98, pp.447-450, 1998.



## 有線 CDMA によるニューラルネットワーク LSI の設計

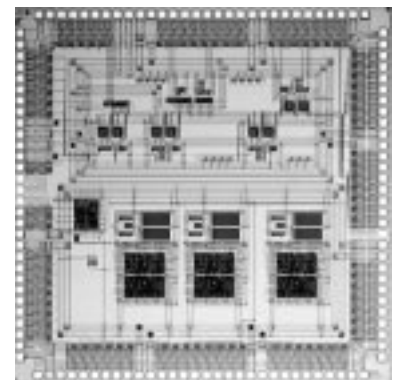
大学大学院工学研究科 桐原正治, 吉村隆治, Tan Boon Keat, 谷口研二

**チップ概要** ニューロン間にはりめぐらされる多数の信号線一本化した有線CDMA方式によりニューラルネットワーク LSI を設計した。試作したニューラルネットワーク LSI は8つのニューロンからなり, 各ニューロンは, 重みの記憶部, 積算部, 和算部, しきい値関数部から構成されるニューロン本体と, CDMA 送信部, CDMA 受信部, 各ニューロンが固有に持つスペクトル拡散符号の記憶部, そしてコントロール信号処理部からなる。各ニューロン間は CDMA 信号線とその同期クロック線, コントロール信号線の3本からなり, この本数はニューロン数の増加に関係なく一定である。シナプスの接続元のニューロンはそのシナプスが持つ拡散符号により特定され, それは外部により自由に変更できるため, ネットワークの変更は容易である。また, コントロール信号により任意時刻に重みが変わるので, 高機能の処理が期待される。

**使用ツール**: Apollo, VerilogXL, HSPICE, Virtuoso, **試作日数**: 博士課程学生1名で行い, 約1ヶ月間, **トランジスタ数**: 約25000,

**試作ラン**: ローム CMOS 0.6  $\mu\text{m}$  4.5mm角, **チップ種別**: アナログ・デジタル混在

**参考文献**:





## ダイナミック位相周波数検出型 PLL 周波数シンセサイザの設計

大阪大学大学院工学研究科電子情報エネルギー工学専攻

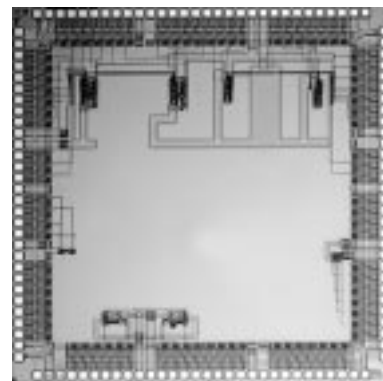
Yew Lim Guan, 佐野 智弘, 谷口 研二

**チップ概要** 従来の PLL に用いられている位相周波数検出回路 (PFD) の問題点として, 不感帯の存在が挙げられる。本設計では従来の論理構成を変更し, ダイナミック論理回路を用いることで, より高速で, 不感帯の存在しない PFD を設計した。また, それを組み込んだ PLL を設計した。入力周波数 10MHz, 出力周波数 40 ~ 600MHz で, ロック時間は 12 msec である。また, 差動型 VCO を用いた低ジッタの PLL [1], 及び低消費電力 PLL も設計した。

**使用ツール**: Cadence 社 Virtuoso, HSPICE, **試作日数**: 学部の学生 2 名で行い, 約 4 週間。

**トランジスタ数**: 約 6000, **試作ラン**: ローム CMOS 0.6  $\mu$  m 4.5mm 角, **チップ種別**: アナログ

**参考文献**: [1] M. Mizuno, et al., "A 0.18- $\mu$ m CMOS Hot-Standby PLL Using a Noise-Immune Adaptive-Gain VCO," IEICE Trans. Electron., vol. E80-C, pp. 1560-1571, Dec. 1997.



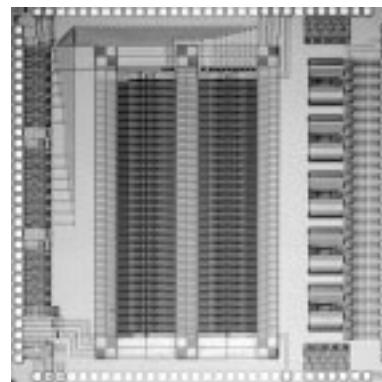
## 8bit 50Mhz Flash A/D コンバータの設計(1)

大阪大学大学院工学研究科 小川 徹, 谷口 研二

近年, DSP 等のデジタル信号処理が非常に重要な役割を果たしている。しかしデジタル信号処理を行う際, 処理対象である信号源はアナログ信号であることが多く, その場合 A/D コンバータが必要となる。

**チップ概要** 今回の試作では, デジタル信号処理のアプリケーションとして画像信号処理を念頭に置き, 8bit 50MHz, 電源電圧 5V, 入力電圧幅 1V-4V というスペックでの A/D コンバータの設計を行った。Flash A/D コンバータの設計の際, 最も重要となるコンパレータに, 低消費電力かつ高速動作可能なものを新たに設計して使用した。また, チップサイズとの兼ね合いから参照電圧生成用の抵抗を, 並列に用意し, 4 段ごとにターミネートを行うことにより 4 列構成を実現した。

**使用ツール**: Cadence 社 Virtuoso, HSPICE, **試作日数**: 修士の学生 1 名で行い, 約 2ヶ月間, **トランジスタ数**: 約 10000, **試作ラン**: ローム CMOS 0.6  $\mu$  m 4.5mm 角, **チップ種別**: アナログ



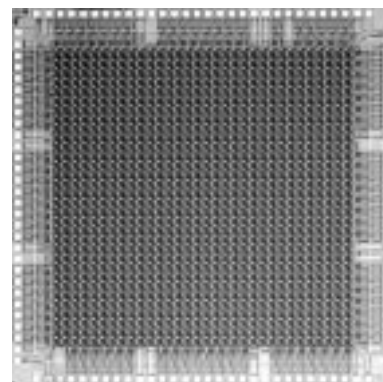
103

## 瞳孔中心検出チップの設計

東北大学大学院工学研究科 河江 大輔, 栗野 浩之, 小柳 光正

**チップ概要** 医療目的でのサッケード現象の解析や, コンピュータインターフェースのためのポインティングデバイスへの応用を念頭に置き, 人間の瞳孔の中心を検出するチップを設計した。本チップでは, 画像処理の基本的機能を有するプロセッシングユニット (PU) をアレイ状に配置し二次元メッシュ型で相互接続しており, これらに対して SIMD 型制御を行なう。PU は PD, ADC, メモリ, ALU で構成され, 光電変換, AD 変換後の画素データに対して完全並列処理を行なう。各 PU が持つローカルメモリの一部は隣接 PU との共有メモリとしての機能も果たし, メモリ容量の低減に貢献している。また, PU の回路構成について最適化をはかり, パスゲートを採用することで専有面積を低減した結果, PU 単体のサイズは約 110  $\mu$  m  $\times$  110  $\mu$  m となり, 4.5mm 角チップの領域に周辺回路も含め 32  $\times$  32 個の PU が搭載可能となった。演算後の出力は列並列で読み出す。25MHz での正常動作を確認している。

**使用ツール**: Mentor 社 ICStation, HSPICE, **試作日数**: 修士の学生 1 名で行い, 約 4ヶ月, **トランジスタ数**: 約 128000, **試作ラン**: ローム CMOS 0.6  $\mu$  m 4.5mm 角, **チップ種別**: 画像 & MEMS

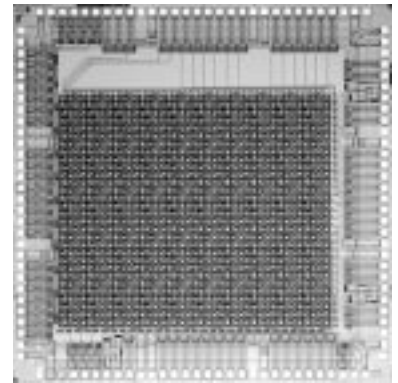


## 人工網膜チップの設計

東北大学工学研究科 中川 源洋, 阿部 豊, 佐久間 克之, 栗野 浩之, 小柳 光正

**チップ概要** 脳機能解明の手法の1つとしてLSIによるハードウェア化がある。今回の設計では、視覚情報処理の中の、光受容細胞（杆体、錐体）、水平細胞、双極細胞、そして神経節細胞の機能を盛り込んだチップを試作した。それぞれの機能は、フォトダイオード、水平抵抗回路網、作動増幅器の各アナログ回路を利用して実現した。今回試作したチップの単位 cell 数は、 $30 \times 30$  cell で、単位 cell のトランジスタ数は、25、cell サイズは  $50 \mu\text{m} \times 110 \mu\text{m}$  となった。またフォトダイオードサイズは  $50 \mu\text{m} \times 50 \mu\text{m}$  で、開口率は45%である。信号処理は、各単位 cell が完全並列で行われ、読み出しは電圧モードで行われ、列並列での読み出しが可能である。

**使用ツール**: Mentor 社 ICStation, HSPICE, **試作日数**: 学部, 修士の学生計3名で行い, 約3ヶ月,  
**トランジスタ数**: 約25000, **試作ラン**: ローム CMOS 0.6  $\mu\text{m}$  4.5mm 角, **チップ種別**: アナログ, 画像  
**参考文献**: John E Dowling: "The Retina."

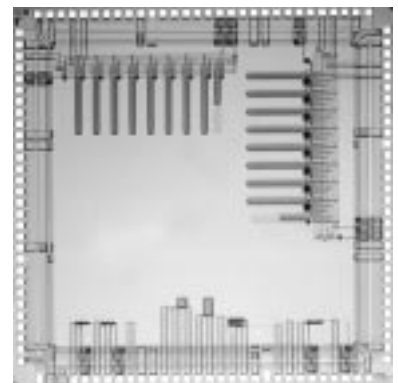


## チャージポンプ型DC-DCコンバータと動的リーク電流カットオフ回路の設計

東京大学生産技術研究所 野瀬 浩一, 川口 博, 桜井 貴康

**チップ概要** CMOS LSIの低消費電力化のために最も有効な手段は低電源電圧化である。消費電力は電源電圧の2乗に比例するからである。電力効率を上げるため、最近ではチップ内部にDC-DCコンバータを内蔵し、処理負荷の大きさに応じて自らの電源電圧を制御するLSIが発表された。このようにDC-DCコンバータは将来有望なIPになると考えられている。今回はチャージポンプ型で設計した。また、低電源電圧時に顕著に現れるリーク電流による消費電力を削減するために、動的リーク電流カットオフ回路を設計した。

**使用ツール**: Cadence 社 Virtuoso, HSPICE, **試作日数**: 修士の学生1名と技官1名で行い, 約1週間, **トランジスタ数**: 約2500, **試作ラン**: ローム CMOS 0.6  $\mu\text{m}$  4.5mm 角,  
**チップ種別**: ニューテクノロジー, デジタル, **参考文献**: 特になし。

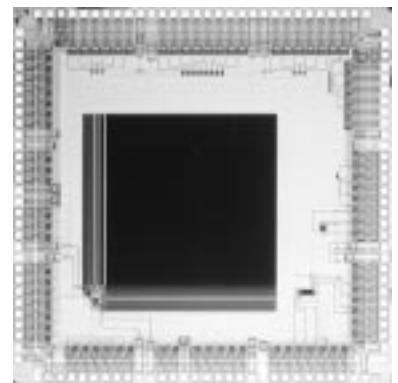


## 任意画素読み出し機能を有するイメージセンサ

東京理科大学 工学部 浜本 隆之

**チップ概要** センサ外部より読み出す画素位置を制御するイメージセンサの試作を行なった。垂直走査用シフトレジスタおよび水平走査用シフトレジスタに、読み飛ばし機能を統合することで、1画素単位で読み出し動作を制御する。画素数は横200×縦200画素である。画素サイズは  $9.975 \times 9.975 \mu\text{m}$ 、開口率は27%となった。

**使用ツール**: Cadence 社 C a d e n c e, HSPICE, **試作日数**: 助手1名で行い, 約1週間,  
**トランジスタ数**: 約10k, **試作ラン**: ローム CMOS 0.6  $\mu\text{m}$  4.5mm 角,  
**チップ種別**: アナログ, **参考文献**: なし

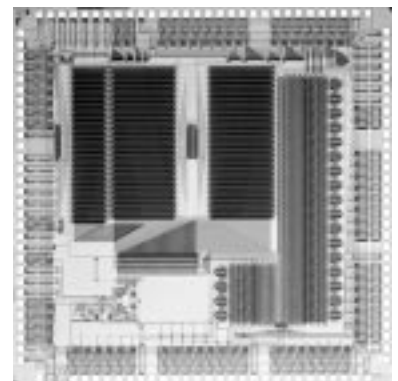


## 多数決回路を用いたパリティ演算回路の設計

東北大学電気通信研究所 鈴木 康介, 片山 康弘, 佐藤 茂雄, 中島 康治

**チップ概要** 多数決回路はフォールトトレラントシステムやニューラルネットワークなどにおける基本原理であり、様々な情報処理に効率よく用いることにより諸性能の向上を期待することができる。今回の設計では多数決回路を組み合わせ、入力層、中間層、出力層の3層構造とし、それぞれの結合荷重値を設定することによりパリティ演算を行うことができるようにした。今回試作したパリティ演算回路は65入力であり、中間層に65入力の多数決回路を65個、出力層に65入力の多数決回路1個を用いた。また、荷重値を可変とした中間層17個、出力層4個の回路の設計も行った。

**使用ツール**: Cadence 社 Layout, HSPICE, **試作日数**: 修士の学生1名で行い, 約1ヶ月,  
**トランジスタ数**: 約5万, **試作ラン**: ローム CMOS 0.6  $\mu\text{m}$  4.5mm 角, **チップ種別**: アナログ, デジタル

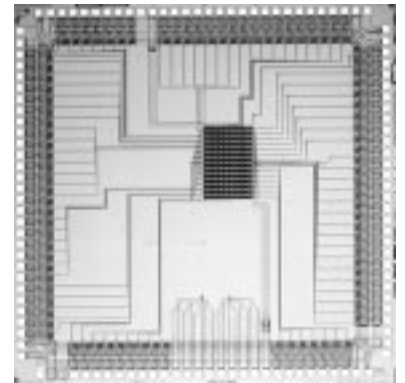


## 大規模アナログ連想記憶システムの集積化

東北大学 電気通信研究所 原田 知親, 佐藤 茂雄, 中島 康治

**チップ概要** 画像や音声といった情報はアナログ量であり, 集積化の際にはほぼ同等の精度をだすのに, デジタル信号技術では回路規模の大規模化・計算時間の膨大さという欠点がある。そこで, これらの欠点を改善し, 直接アナログで高速・並列に連想処理ができ, かつ未知情報を記憶・選別可能なアナログ連想記憶システムを提案し[1], そのシステム構成の一部として集積化を行なった。本試作では, アナログ値で構成される入力ベクトルに対して, 直接アナログで高速かつ並列に連想処理を行なえるシステムを試作した。この連想記憶システムはすべてアナログ回路で構成され, 9入力7出力のアナログ連想記憶システムを2つ設計した。アナログメモリの搭載については, 外部から接続する方式をとっているため, 本試作では搭載していない。

**使用ツール:** Cadence社 Virtuoso, HSPICE, **試作日数:** 修士の学生1名で行い, 約1ヶ月, **トランジスタ数:** 約7000, **試作ラン:** ローム CMOS 0.6  $\mu$  m 4.5mm角, **チップ種別:** 信号処理 **参考文献:** [1] T.Harada, S.Sato, and K.Nakajima, "A Content-Addressable Memory using Switched Diffusion Analog Memory with Feedback Circuit", IEICE TRANS. Fundamentals. Vol.E82-A, No.2, Feb. 1999



## 逐次電荷積分 LSI の 1 次試作

長崎総合科学大学工学部 酒井 雅司, 福富 雅彦, 田中 義人

**チップ概要** テレスコープアレイ実験計画では, 1ステーションあたり約1万本の光電子増倍管からの信号を5MHzで連続的に電荷積分する必要がある。我々は, ROHM プロセスを用いて逐次電荷積分 LSI の試作をおこなった。回路構成は, 3個の積分器を1組とした積分回路部, シフトレジスタ, 可変増幅器から構成されている。設計は, Cadence社のLayout Editorを用いてすべて手作業で行った。この試作で逐次積分部単体の動作は確認することができたが, 抵抗の使い方の間違いで可変増幅器は動作しなかった。

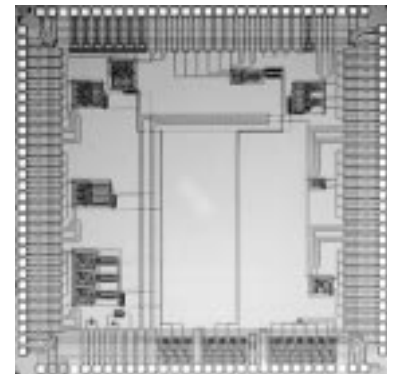
**使用ツール:** Cadence社 Layout Editor, HSPICE,

**試作日数:** 修士と学部生の2名で行い, 約1ヶ月,

**トランジスタ数:** 約7000, **試作ラン:** ローム CMOS 0.6  $\mu$  m 4.5mm角, **チップ種別:** アナログ

**参考文献:** [1]福富雅彦: 高分解能電荷逐次積分 LIS の開発, 1999年度電気関係学会九州支部連合大会講演論文集。

[2]酒井雅司: 逐次電荷積分 LSI の試作・評価, 1999年度電子情報通信学会九州支部学生会講演論文集



## 容量結合型 DTMOS インバータ

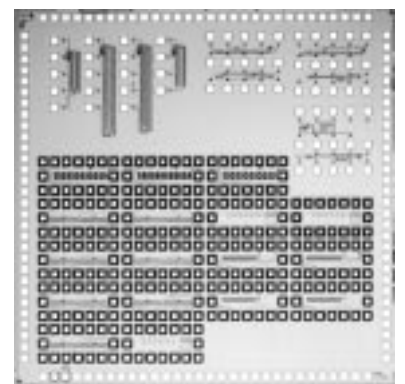
広島市立大学情報科学部 寺田 和夫, 寺内 衛, 木島 毅彦

**チップ概要** MOSFETの基板電圧を動的に制御して, オフ時にはしきい値電圧を高く, オン時にはしきい値電圧を低くできるDT(Dynamic Threshold)MOS回路が複数提案されている。それらの回路が持つ欠点を改良するため, 容量結合を用いてウエル電位を制御する方式の新しいDTMOS回路構造を提案し, それを従来のCMOS技術を用いて試作した。単体のMOSFET, 基本的なインバータ, それを用いたリングオシレータを, 容量結合の度合いを変化させて設計した。また, 比較用に通常のCMOS回路も設計した。本DTMOS回路は, ノーマリオン型も含め複数のしきい値電圧を持つMOSFETを用いないと実現できない。ここで利用した試作ランではそのようなしきい値電圧設定ができなかったため, ウエル端子を独立に設けて, しきい値電圧を制御する予定であった。しかし, 設計ミスのため予定した評価ができなかった。ただ僅かではあるが, 予想通りの容量結合動作が確認でき, シミュレーションモデルのフィッティングデータを得ることができ, シミュレーションで性能予測ができた。

**使用ツール:** Cadence社 Virtuoso, **試作日数:** 教員と修士の学生計2名で行い, 約1ヶ月, **トランジスタ数:** 約700,

**試作ラン:** ローム CMOS 0.6  $\mu$  m 4.5mm角, **チップ種別:** ニューテクノロジー,

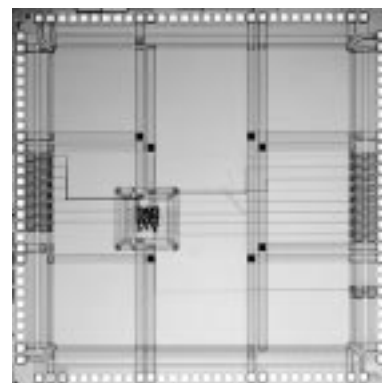
**参考文献** 電子情報通信学会 全国大会 2000年春 講演番号 C-11-16



## アナログメモリー用制御回路の試作

高エネルギー加速器研究機構 藤田 陽一, 新井 康夫

**チップ概要** 高エネルギー物理実験では検出器からの信号チャンネル数の増大に伴い, 検出器の側にフロントエンド LSI を置き, アナログ-デジタル変換まで行うようになってきた. この為, 検出器の外ではデジタル信号しか観測できないため, 検出器や前置増幅器等に不具合が起こった際に故障診断を行うことが難しくなっている. 我々はフロントエンド LSI 内部にアナログメモリーとアナログ JTAG 回路を置き, 必要な際に信号波形を得られるようにすることを考えている. 今回のチップはそのためのアナログメモリー回路の制御回路の試作で, シフトレジスタや読み出し/書き込み制御等の回路よりなっている.



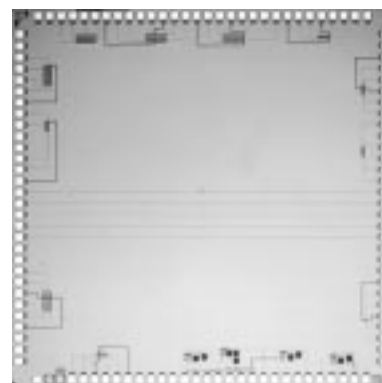
**使用ツール**: Cadence 社 Verilog-XL, Synopsys 社 Design Compiler, Avant! 社 MilkyWay, **試作日数**: 技官 1 名で行い, 約 1 ヶ月, **トランジスタ数**: 約 1000, **試作ラン**: ローム CMOS 0.6  $\mu$  m 4.5mm 角, **チップ種別**: デジタル  
**参考文献**: [1] 新井: “高エネルギー実験用 LSI の試作”, p.83, 1998 年 VDEC 年報 (1999).

## 過渡電源電流試験法検証用回路の設計

東北大学工学部 高柳 史一, 小谷 光司, 大見 忠弘

**チップ概要** CMOS 集積回路の高速化に伴って, 遅延故障を生じる断線故障が問題となっている. われわれは, 集積回路の過渡電源電流をもちいて断線故障を効率的に検出できる試験法 (IDDT 試験法) について研究している. 今回の設計では, エレクトロマイグレーションによる断線実験および IDDT 試験法の検証実験のためのテスト回路を設計した.

断線実験用の配線回路は, Poly のステップを Metal が横断する構造で, 大電流でエレクトロマイグレーションを起こすことにより, ステップ位置に極微細な断線を生成することを目的とする [1]. また, 検証用テスト回路は, 抵抗性の断線故障をモデル化したトランスミッションゲート (TG [2]) をもつインバータチェーン回路 (インバータ数: 20) である. 外部端子から TG の抵抗値を自由に設定できるため, 断線故障の抵抗変化による過渡電源電流の変化を観測できる.



**使用ツール**: Cadence 社 Analog Artist, Avant! 社 HSPICE.

**試作日数**: 研究員 1 名で行い, 約 1 週間,

**トランジスタ数**: 約 500, **試作ラン**: ローム CMOS 0.6  $\mu$  m 4.6 mm 角, **チップ種別**: デジタル

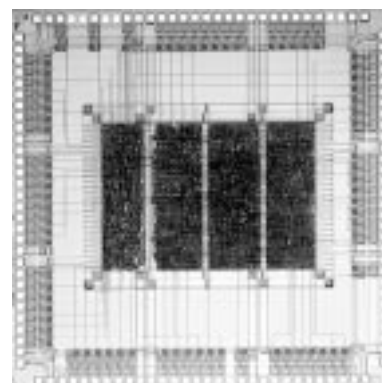
**参考文献**: [1] C. Henderson, et al., “The Behavior and Testing Implications of CMOS IC Logic Gate Open Circuits,” ITC91, pp. 302-310.  
 [2] Weste and Eshraghian, Principles of CMOS VLSI Design, 2nd Edition, Addison-Wesley Publishing Co., pp. 86-90, 1993.

## 上位桁先行シリアル演算方式による除算回路・ベクトル量子化プロセッサ

東北大学大学院工学研究科 野沢 俊之, 望月 健司, 大見 忠弘

東京大学大規模集積システム設計教育研究センター 小谷 光司

**チップ概要** コンピュータは与えられた数値の上位桁だけで結果が決まってしまうような演算・比較処理でも, 数値に対して厳密な演算を行ってしまう. 上位桁から比較を行うことで, 判断がついた時点でそれ以降の低位桁の無駄な演算を省略することができる. このように無駄な演算を省くための処理を行うには, 上位桁からの演算が必要である. そこで今回, 上位桁からシリアルで演算を行う除算回路と, ベクトル量子化プロセッサを設計・試作した. ベクトル量子化プロセッサは前回の試作において測定した結果動作しなかったため, 今回の試作で再設計した.



**試作日数** 修士 2 年・学部 4 年の学生各 1 名により約 2 ヶ月で行われた.

**測定結果** 最高動作周波数 37MHz@5.0V, コアの消費電力 52mW@5.0V, 25MHz

**使用ツール** Synopsys 社 Design Compiler, Cadence 社 Verilog-XL, Avant! 社 Milkyway, Apollo **トランジスタ数** 約 18k,

**試作ラン** ローム CMOS 0.6  $\mu$  m 4.5mm 角, **チップ種別** デジタル

**参考文献** [1] 高木直史, “除算回路のアルゴリズム”, 情報処理 Vol37 No.3 (Mar, 1996)

## 電流モード多値フィールドプログラマブルデジタルフィルタの設計

東北大学大学院情報科学研究科 遠藤 昌克, 青木 孝文, 樋口 龍雄

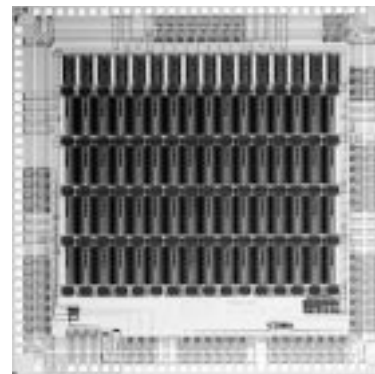
**チップ概要** 近年 FPGA に代表されるプログラマブルデバイスの重要性が高まっているが ASIC に匹敵する高速性とコンパクト性を両立するのは困難であった。我々は 2 進 SD 数算術演算アルゴリズムと電流モード多値集積回路技術を用いた FIR フィルタリング用 FPGA - Filed-Programmable Digital Filter (FPDF) の研究を行っている。これは内部データ表現に 2 進 SD 数系を用い高速な演算を可能とするとともに、深刻な配線量増大の問題を電流モード多値集積回路技術により大幅に改善できる。

本試作の FPDF は最大 16 次の FIR フィルタを任意にマッピング可能で、2 値論理回路によって構成される FPDF に比べ約 3 倍の集積度を実現。HSPICE シミュレーションでは最大 40MHz で動作、消費電力も 2 値論理回路のものに比べ 25% 削減できた。LSI テスタにより実際の動作も確認している。

**使用ツール** : Cadence 社 Virtuoso, HSPICE, **試作日数** : 修士の学生 1 名で行い、約 1 ヶ月、

**トランジスタ数** : 約 13 万, **試作ラン** : ローム CMOS 0.6  $\mu$  m 4.5mm 角, **チップ種別** : ニューテクノロジー

**参考文献** : [1] 遠藤, 青木, 樋口: “電流モード多値フィールドプログラマブルデジタルフィルタの構成”, 電子情報通信学会技術研究報告, VLD99--54, August 1999.



## 教育用マイクロプロセッサの設計と試作

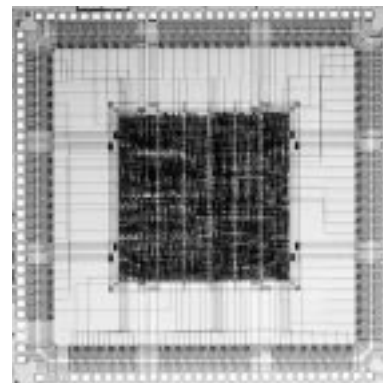
立命館大学理工学部 上平 祥嗣, 田中 義久, 山崎 勝弘

**チップ概要** LSI 設計ツールの操作習得と、チップ試作の一連の流れを理解することを目標とし、16bit CPU の KITE-I の LSI 化を行った。基本的には、FPGA 用に作成した KITE CPU の VHDL 記述をそのまま利用したが、IO ピン数が FPGA と LSI とで異なるため、レジスタ観測用信号をいくつか削除することで対応した。また、修士学生 2 人がそれぞれ独立に 1 つの KITE CPU を設計したため、2 人分の KITE CPU を結合して、動作させる CPU をマルチプレクサにより選択できるようにした。本試作では LSI 以外の周辺回路(メモリなどの)ボードは作成せず、KITE ボードをそのまま利用することにした。具体的には KITE ボード上の FPGA を抜き取り、FPGA のソケット(PGA224)と LSI のパッケージ(QFP160)を変換するドータボードを作成し、本ボード上で動作検証を行った。

**使用ツール** : Synopsys 社 DesignCompiler, Avant! 社 Apollo, Cadence 社 Dracula, **試作日数** : 修士の学生 2 名で行い、約 1 ヶ月、

**トランジスタ数** : 2178 セル, **試作ラン** : ローム CMOS 0.6  $\mu$  m 4.6mm 角、

**チップ種別** : デジタル



## MWPC 読出 IC の設計

東京都立大学理学研究科 狩野 博之, 福永 力

東京大学素粒子センター 佐藤 耕二

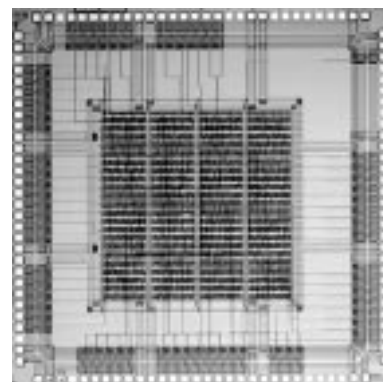
高エネルギー加速器研究機構 池野正弘, 佐々木 修

**チップ概要** この ASIC は MWPC 検出器 (Multi Wire Proportional Chamber) からの信号を約 40MHz で読出を行うロジックの動作検証用に設計を行った。主な動作は、LVDS レシーバ、同期-非同期ブロック、100 段シフトレジスタ、ゲートコントロールブロックである。入力は 16bit 幅、ゲートは 0 ~ 15clock 幅の間でコントロールできる。40MHz 以上の動作を想定して各部の設計を行った。

**測定結果** 測定では、200MHz 程度まで動作可能であった。LVDS も規格を満たす動作が確認された。しかしながら同期-非同期変換ブロックに動作不完全な部分があった。

**使用ツール** : Cadence 社 Virtuoso, **試作日数** : 博士の学生 1 名で約 2 週間, **トランジスタ数** : 約 1 万、

**試作ラン** : ローム CMOS 0.6  $\mu$  m 4.6mm 角, **チップ種別** : デジタル



## サブナノ精度可変遅延回路とLVDSレシーバの試作

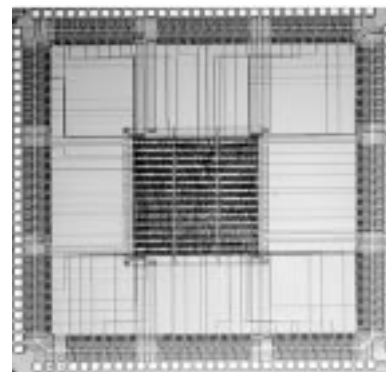
東京大学理学系研究科 松浦 聡  
高エネルギー加速器研究機構 佐々木 修

**チップ概要** サブナノ精度可変遅延回路とLVDSレシーバを実装した。サブナノ精度可変遅延回路は、DLL (Delay Locked Loop) を用いて実現した。DLL は電圧制御可変遅延回路と位相検出器から成るフィードバック回路で構成され、40MHz クロックを用いて 25ns の基準遅延回路を作る。電圧制御可変遅延回路は、インバータ構造をした 32 段の遅延セルから構成される。位相検出器は二つの入力クロックの位相差を検出し、位相差に応じて信号を出力する。サブナノ精度可変遅延を得るためには DLL とは別に電圧制御可変遅延回路を用意し、DLL 内の位相検出器からの出力電圧を与える。電圧制御可変遅延回路は 32 段の遅延セルから構成されているので、各段からの出力を選択することによりサブナノ精度可変遅延を得ることができる。LVDS レシーバは、LVDS (Low Voltage Differential Signaling) 信号を TTL 信号に変換するものである。LVDS 入力信号は差動アンプにより同相成分が除去された後、インバータを通り波形整形され TTL レベルで出力される。

**使用ツール** : Cadence 社 HSPICE, Virtuoso Avant社 AUtil, Apollo

**試作日数** : 修士二年の学生 1 名で行ない、約 2 カ月、約 1 週間、**トランジスタ数** : 約 2000,

**試作ラン** : ローム CMOS 0.6  $\mu$  m 4.6mm 角、**チップ種別** : アナログ



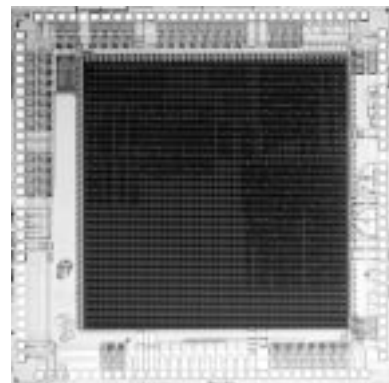
## 画素並列処理による画素平面中の領域の高速検出回路

金沢大学工学部 秋田 純一

**チップ概要** 超高速な物体認識処理のために、画素並列処理は有効であるが、処理回路の規模によっては十分な回路規模を集積できない場合が多い。そこで単機能なオートマトンを平面状に配置し、その状態遷移によって画素平面中の各領域の中心位置と大きさを知ることができる機能をもつ画素並列画像処理系の試作を行った。画素数は  $64 \times 57$  で、外部からシフトレジスタにより入力された二値の画像データに対して、オートマトンの状態遷移による一種の細線化によって中心検出を行い、その位置の画素平面に対する 4 進木探索により高速に座標を生成する。また検出までの時間によって領域のおおまかな大きさも検出することができる。シミュレーションにより、およそ 1 画面あたり 10  $\mu$  s で中心検出が完了することが確認された。

**使用ツール** : Virtuoso, HSPICE, **試作日数** : 助手 1 名で行い、約 4 週間、**トランジスタ数** : 182,946,

**試作ラン** : ローム CMOS 0.6  $\mu$  m 4.5mm 角、**チップ種別** : デジタル



## 境界探索法による二値画像ラベリングの実時間処理回路

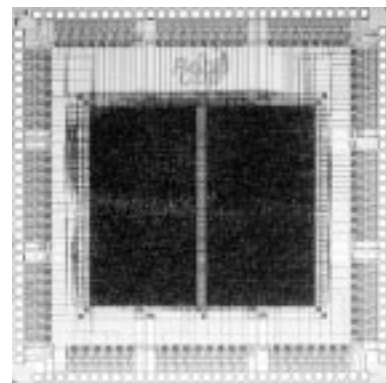
金沢大学工学部電気・情報工学科 渡辺 晃, 秋田 純一

**チップ概要** 二値画像情報に対して有意画素のつくる連結領域を認識し、各領域の重心や面積を計算するといった処理にはラベリングという手法が用いられる。これは物体認識処理を行う際に用いられるが、一般に画像は情報量が大きいため計算機を用いたソフトウェアによる処理ではしばしば処理時間がネックとなる。そこでロボットビジョンをターゲットとし、実時間でラベリングを行う専用処理回路を設計した。今回試作した回路は、ラベリングのアルゴリズムに境界探索法を用いている。これは有意領域の境界を探索しながらラベル付けを行うものである。また、求めた物体の重心、面積は外部メモリに書き込むようになっている。画素数  $256 \times 256$  で、4 色まで識別可能である。本試作では Verilog-HDL を用いたトップダウン設計を行った。測定の結果、約 16MHz での動作を確認した。

**使用ツール** : Cadence 社 Verilog-XL, Virtuoso, Synopsys社 Design Compiler, Avant社 Milkyway, Apollo,

**試作日数** : 学部の学生 1 名で行い、約 2 ヶ月、**トランジスタ数** : 87,528、**試作ラン** : ローム CMOS 0.6  $\mu$  m 4.5mm 角、

**チップ種別** : 信号処理



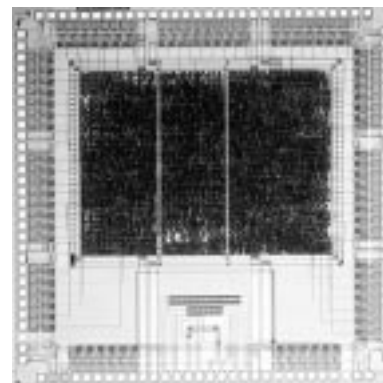
## ワンチップマイコンの設計

金沢大学工学部 数馬 晋吾, 秋田 純一, 北川 章夫, 鈴木 正國

**チップ概要** プロセスの縮小による集積度の増加に伴って,一つのチップ上に搭載できる回路の規模は年々大きさを増してきている.それに従い,今まで別々のチップ上で実現されてきた回路を集積し,一つのチップにすることが盛んに行われている.また,ワンチップマイコンにおいて,プログラミングを容易にするためのアセンブラやコンパイラを用意することが一般的に行われているので,そのようなソフトウェアからCPUやタイマのようなハードウェアまでを一貫して設計することを試みた.今回試作したワンチップマイコンは,命令長12ビット,メモリは1024×12ビット(外部),内部レジスタとして64×8ビットを持ち,割り込み処理を発生させるタイマとPWMをそれぞれ4つずつ搭載している.すべての命令は1クロックで処理され,サブルーチン呼び出しによるプロセスの切り替えも1クロックで行われる.

**使用ツール**: Cadence社 VerilogXL, Synopsys社 Design Analyzer,Avant!社 Milkyway,Apollo

**試作日数**: 学部の学生1名で行い,約4ヵ月, **トランジスタ数**: 64726, **試作ラン**: ローム CMOS 0.6 μ m 4.5mm 角, **チップ種別**: デジタル



## 2次元アナログ人工網膜チップの設計

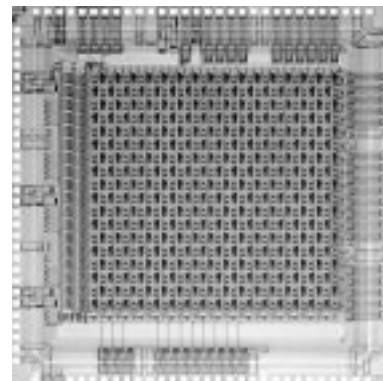
九州工業大学情報工学部 亀田 成司, 八木 哲也

**チップ概要** 人工網膜は,生体視覚系の並列画像処理機構をアナログCMOS集積回路により実現したもので,実時間画像処理,小規模ハードウェア,低消費電力といった特徴を持つ.今回の設計では,自然照明下における実時間画像処理を基本視座とし,アナログ人工網膜チップを製作した.各画素は六角格子状に配置され,チップは2次元ラプラシアン ガウシアン型のフィルタ特性を持つ.今回試作した人工網膜チップは,網膜初段の外網膜の回路構造を模擬したものである.集積回路の素子のばらつきを補償する機構を付加し,光センサ部にはアクティブピクセルセンサを用いた.水平,垂直シフトレジスタによって選択された画素の出力を電圧値として読み出す.また,水平シフトレジスタで列を選択することで,画像データの読み出しを列並列に行うことができる.画素数は12×14で,画素サイズは179 μ m × 155 μ m,開口率は3.14%となった.

**使用ツール**: Cadence社 Virtuoso, HSPICE, **試作日数**: 博士の学生1名で行い,約1ヶ月,

**トランジスタ数**: 約23000, **試作ラン**: ローム CMOS 0.6 μ m 4.6mm 角, **チップ種別**: 画像 & MEMS

**参考文献**: [1] 八木, 亀田, 飯塚: "可変受容野を備えた超並列アナログ知能視覚センサ", pp.104-113, 信学論 D-II, J81-D-1, 2, (1998).



## 2次元アナログ人工網膜チップの設計

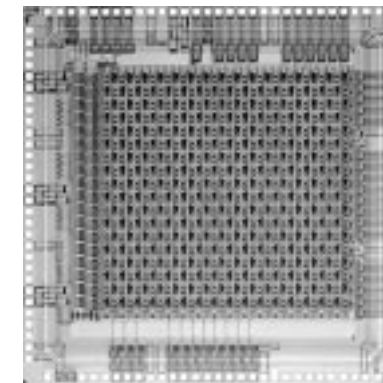
九州工業大学情報工学部 亀田 成司, 八木 哲也

**チップ概要** 人工網膜は,生体視覚系の並列画像処理機構をアナログCMOS集積回路により実現したもので,実時間画像処理,小規模ハードウェア,低消費電力といった特徴を持つ.今回の設計では,自然照明下における実時間画像処理を基本視座とし,アナログ人工網膜チップを製作した.各画素は六角格子状に配置され,チップは2次元ラプラシアン ガウシアン型のフィルタ特性を持つ.今回試作した人工網膜チップは,網膜初段の外網膜の回路構造を模擬したものである.集積回路の素子のばらつきを補償する機構を付加し,光センサ部にはアクティブピクセルセンサを用いた.水平,垂直シフトレジスタによって選択された画素の出力を電圧値として読み出す.また,水平シフトレジスタで列を選択することで,画像データの読み出しを列並列に行うことができる.画素数は12×14で,画素サイズは179 μ m × 155 μ m,開口率は3.14%となった.

**使用ツール**: Cadence社 Virtuoso, HSPICE, **試作日数**: 博士の学生1名で行い,約1ヶ月,

**トランジスタ数**: 約23000, **試作ラン**: ローム CMOS 0.6 μ m 4.6mm 角, **チップ種別**: 画像 & MEMS

**参考文献**: [1] 八木, 亀田, 飯塚: "可変受容野を備えた超並列アナログ知能視覚センサ", pp.104-113, 信学論 D-II, J81-D-1, 2, (1998).



## BISC-1: BISC型アーキテクチャのプロセッサ

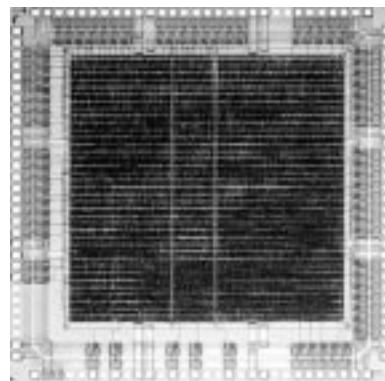
東京工業大学大学院理工学研究科 丸子 健一, 山下 幸彦

**はじめに** BISC(Bus Instruction Set Computer)型プロセッサとは、次世代のプロセッサのアーキテクチャとして筆者らが提案しているものである[1]。現在のプロセッサは、パイプラインやスーパー scalerなどの機能を取り入れているため、構造が非常に複雑になり、設計に時間を要するものになっている。そのため、容易に機能の追加・変更することが困難になっている。この問題を解決するためにBISC型プロセッサでは、命令を内部レジスタ間のデータ転送だけに限っている。このように命令を限ることによって、内部構造が単純で、機能の追加・変更が容易なプロセッサを実現することができる。

**試作したチップ** 今回試作したものは、現在のテクノロジーで実現可能なBISC型プロセッサ

「BISC-1」の評価用チップであり、64の内部レジスタと2重化された内部バスを持つ、整数論理演算が可能なプロセッサである。ローム社0.6 μmルール、4.5mm角のチップとして実現した。回路規模は133kトランジスタとなった。残念ながら、回路規模の制約により、汎用レジスタの一部を省略した。設計は当時修士2年生であった丸子健一が行った。論理設計に約6ヶ月を要した。レイアウトは途中で設計ツールが使えなくなるなどの特殊事情から開始より提出まで約4ヶ月を要したが、正味は2ヶ月程度と思われる。与えられたチップサイズになかなか入り切らず、レイアウトに時間を取られた。

**参考文献** [1] 丸子, 山下:「Bus Instruction Set Computer型プロセッサ BISC-1」, 信学技報, no.CPSY98-22, pp.85-92, (April 1998)



## 平成11年度 第1回 ローム チップ試作 (ROHM991)

疑似2次元型アナログ人工網膜チップの設計

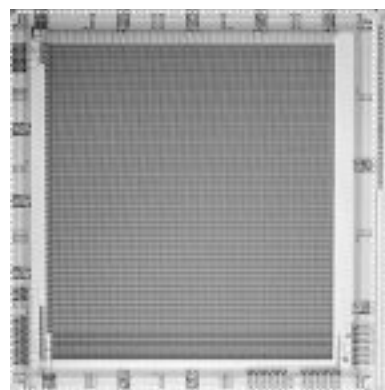
九州工業大学情報工学部 亀田 成司, 八木 哲也

**チップ概要** 人工網膜チップは、生体視覚系の並列画像処理機構をアナログCMOS集積回路により実現したもので、実時間画像処理、小規模ハードウェア、低消費電力といった利点を持つ。今回の設計では、自然照明下における実時間画像処理を基本視座とし、疑似2次元型アナログ人工網膜チップを製作した。今回試作した人工網膜チップは、144 × 63画素の光センサ部と144 × 1画素の処理部から構成される。水平方向について1列ずつ並列に1次元ラプラシアン ガウシアン型のフィルタ処理が行われ、処理結果が1画素ずつ順に読み出される。また、十分な出力精度を得るために、光センサ部にアクティブピクセルセンサを用い、回路の特性のばらつきを補償する機構を付加している。画素サイズは光センサ部46.5 μm × 103.7 μm, 処理部46.5 μm × 610.9 μm, 開口率は10.2%となった。

**使用ツール**: Cadence社 Virtuoso, HSPICE, **試作日数**: 博士の学生1名で行い、約1ヶ月, **トランジスタ数**: 約82000,

**試作ラン**: ローム CMOS 0.6 μm 9.0mm角, **チップ種別**: 画像 & MEMS

**参考文献**: [1] 亀田, 石村, 八木:「アナログ人工網膜の衝突時間予測システムへの応用」, pp.121-125, 信学技報 NC99-166 (2000)



CPU作成学生実験におけるLSI設計事例

大阪大学大学院基礎工学研究科 檜垣 茂明, 小林 真輔, 北嶋 暁, 武内 良典, 今井 正治

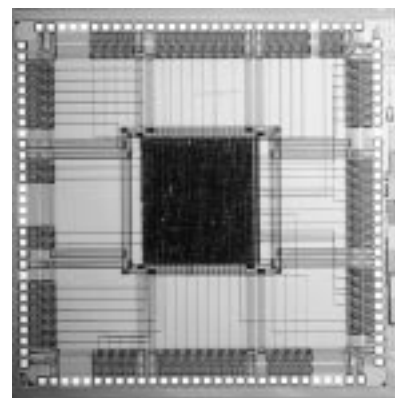
**チップ概要** 大阪大学基礎工学部情報科学科では、学部3年生がCPを作成する実験を行っている。従来、設計したCPUはFPGA上に実装するが、今回、希望者3名に対しスタンダードセルによるLSI設計を試行した。3名それぞれが設計したCPUをマクロセルとして実現し、外部からのCPU選択信号で動作させるCPUを選択するという形式で3個のCPUを1チップ上に実装している。設計したCPUは、いずれも8bitの非パイプラインCPUであり、指定の31命令以上からなる命令セットをもち、制御部はジョンソンカウンタによる複数状態機械群から構成される。ポストレイアウトシミュレーションにより、動作周波数は100 MHzであることが確認されている。

**使用ツール**: RTLシミュレーションにSynopsys社のVSS Simulator, 論理合成にSynopsys社のDesign Compiler, 配置配線にAvant!社のMilkywayとApollo, LVSおよびDRCにCadence社のDracula, ゲートレベルシミュレーションおよびポストレイアウトシミュレーションにCadence社のVerilog-XLをそれぞれ用いた。

**試作日数**: 学部3年生3名がそれぞれ行い、通常の講義時間(週3時間 × 12週) + 約8週間, **トランジスタ数**: 約30,000,

**試作ラン**: ローム CMOS 0.6 μm 4.5mm角, **チップ種別**: デジタル,

**参考文献**: [1] 檜垣, 小林, 北嶋, 武内, 今井:「CPU作成学生実験におけるLSI設計事例」, 第3回システムLSI琵琶湖ワークショップポスター資料集 pp.271-274, 1999年





## VCOを用いた AD変換器及び全差動型 AD変換器の設計

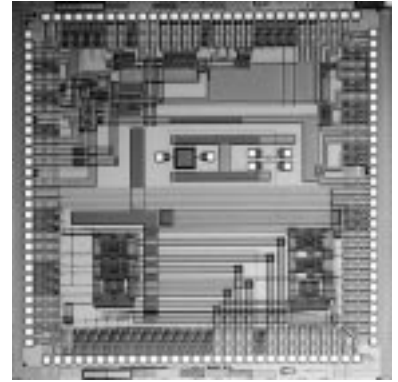
広島大学 工学部 児玉 浩志, 若木 謙, 永田 真, 岩田 穆

**チップ概要** AD変換器によるビデオ帯程度の高周波域の変換は難しい。そこで、広帯域化可能な「VCOを用いた AD変換器」を電源電圧3.3Vで設計し、オーバサンプリング周波数500MHz, 信号帯域5MHzのとき変換精度8ビット以上の性能を得た。測定結果は、オーバサンプリング周波数250MHz, 信号帯域2.5MHzのとき, S/(N+D)比は30dB, S/N比は47dB(約7.5ビット精度)となった。また、本チップにはオーバサンプリング周波数5MHzとして設計した、標準的な全差動型構成の1ビット量子化2次 AD変換回路を搭載している。

**使用ツール:** Composer(Cadence), HSPICE(Avant!), SX9000(SII), Diva(Cadence)

**設計日数:** 修士1年生, 学部4年生と教官各1名で, 約2ヶ月 **トランジスタ数:** 約1900

**試作ラン:** ローム CMOS 0.6  $\mu$ m 4.6mm角 **チップ種別:** アナログ



## 低消費電力・低ジッタ PLL クロック発生回路の設計

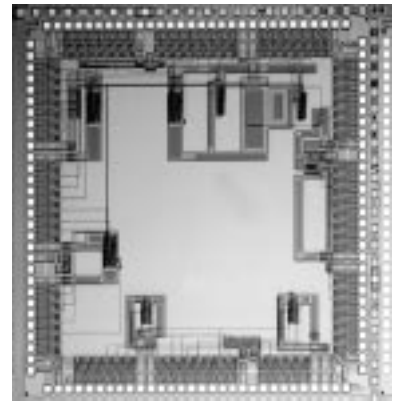
大阪大学大学院工学研究科電子情報エネルギー工学専攻 松岡 俊匡, 谷口 研二

**チップ概要** PLL クロック生成回路における分周回路は, VCOに次いで消費電力が大きいだけでなく, 基板を介してVCOとノイズ・カップリングし, ジッタの増大を引き起こす。今回, 文献[1]にあるアパーチャー位相検出方式を用いて, 分周回路の動作を止めた状態で, ロック維持可能なPLL クロック発生回路を設計した。設計した回路のサイズは, 200 $\mu$ m  $\times$  400 $\mu$ mとなった。電源電圧3V, 発振クロック周波数360MHzでの消費電流は, アパーチャー位相検出モードでのロック時で4.5mA以下であり, 通常のロック時の消費電流より20%低減できることをシミュレーションで確認した。

**使用ツール:** Cadence社 Virtuoso, HSPICE, **試作日数:** 研究生1名で行い, 約4週間。

**トランジスタ数:** 約6000, **試作ラン:** ローム CMOS 0.6  $\mu$ m 4.5mm角, **チップ種別:** アナログ

**参考文献:** [1] A.R.Shahani, et al., "Low-Power Dividerless Frequency Synthesis Using Aperture Phase Detection," IEEE J. Solid-State Circuits, vol. 33, pp. 2232-2239, Dec. 1998.



## DS-CDMA 有線バスの設計

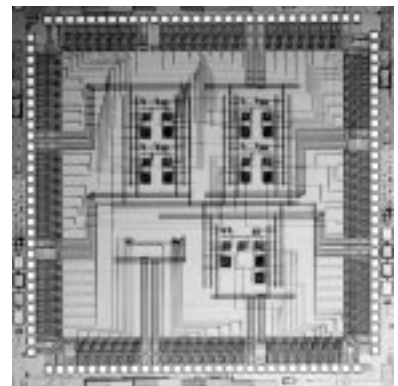
大阪大学大学院工学研究科電子情報エネルギー工学専攻

吉村 隆治, Tan Boon Keat, 畠中 信伍, 小川 徹, 松岡 俊匡, 谷口 研二

**チップ概要** 本設計では, DS-CDMA有線バスの実現に向けたテスト用回路の実装を行なった。DS-CDMA有線バスは, CDMA方式を用い複数の通信を同時に有線バスラインを介して行なうことを可能とする技術である。現段階ではより正確な動作に向け最適化を行なっている。今回試作したチップには, 5対の送受信回路を設けそれぞれにテスト用回路を設けた。具体的にはバスの電位を間接的に観測できるコンパレータ, 送信回路の最終段を外側から操作する入力, 符号生成器の発生する符号の出力などを設けた。チップの評価からデータの送受信は正確に行なわれることが確認されたが, 受信回路の一部の動作に不具合が発見された。

**使用ツール:** Cadence社 Virtuoso, HSPICE, **試作日数:** 博士後期課程の学生2名で行い, 約1週間,

**トランジスタ数:** 約10000, **試作ラン:** ローム CMOS 0.6  $\mu$ m 4.5mm角, **チップ種別:** ニューテクノロジー



## Dynamically Programmable Arithmetic Array

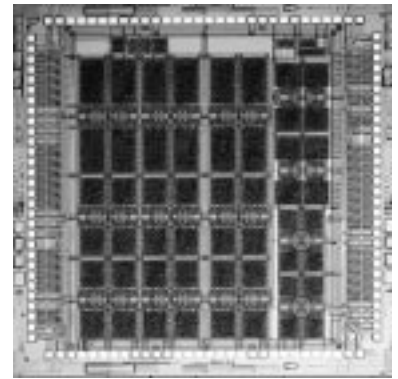
大阪大学大学院工学研究科 Tan Boon Keat, 吉村 隆治, 松岡 俊匡, 谷口 研二

**チップ概要** プログラム可能なデバイスの配線自由度が高める目的で DS-CDMA 有線バス [1]を使用した DPAA(Dynamically Programmable Arithmetic Array)を設計した。固定な機能を有するすべての演算素子が多重通信可能なDS-CDMA有線バスに接続されているため,すべての素子が同時に動作するパラレルコンピューティングに向いているデバイスである。本チップには10個の乗算器のほか,加算器,減算器,遅延回路,シフト回路などを含む40個の演算素子が実装される。本提案回路の特徴は,高集積度,高使用率のほか,プログラムしやすいことなどあげられる。

**使用ツール:** Apollo, Cadence社 Virtuoso, HSPICE, VerilogXL, **試作日数:** 博士後期課程の学生1名で行い,約3週間, **トランジスタ数:** 約3000, **試作ラン:** ローム CMOS 0.6  $\mu$ m 4.5mm角,

**チップ種別:** ニューテクノロジー

**参考文献:** [1] R.Yoshimura et al. "DS-CDMA Wired Bus with Simple Interconnection Topology for Parallel Processing System LSI", IEEE International Solid-State Circuit Conference, pp.370-371



## 高周波 PLL 周波数シンセサイザの設計

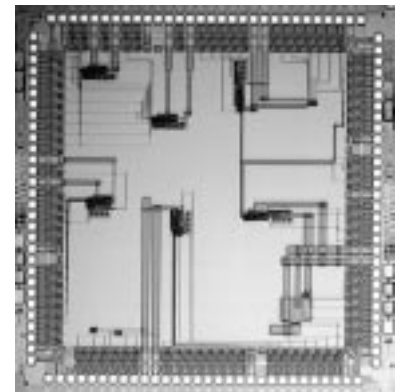
大阪大学 大学院 工学研究科 佐野 智弘, Yew Lim Guan, 谷口 研二

大阪大学大学院 工学研究科 電子情報エネルギー工学専攻 谷口研究室

**チップ概要** 今回の設計は, PLL (Phase Locked Loops) を設計した。PLL はその使用目的として,クロック生成,同期,周波数シンセサイザが挙げられる。その中でも,今回は基本の周波数を過倍し,同期して出力するPLL周波数シンセサイザを設計した。PFD(位相比較器),CP(チャージポンプ),LPF(ローパスフィルタ),VCO(電圧制御発振器),プログラムカウンタを用いて構成されている。VCOの出力発振周波数は40MHz ~ 800MHzとなっており,I/Oの近くに駆動力を高めるためにバッファを用いている。プログラマブル分周器はリセット方式の7Bit( $N < 128$ )で設計した。今回の分周器は最高動作周波数が300MHzなので,その分周器の前にプリスケラ分周器( $N=2$ )を用いることで,VCOが最高周波数で発振している時でも使用することが出来る。今回のPLLを用いてロック時間は25  $\mu$ 秒となっている。

**使用ツール:** Cadence社 Virtuoso, HSPICE, **試作日数:** 修士の学生1名で行い,約3週間である。

**トランジスタ数:** 約700, **試作ラン:** ローム CMOS 0.6  $\mu$ m 4.5mm角, **チップ種別:** RF アナログ



## 線分抽出機能を有する人工網膜チップの設計

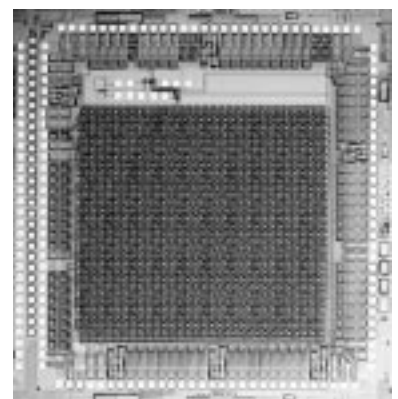
東北大学工学研究科 中川 源洋, 阿部 豊, 栗野 浩之, 小柳 光正

**チップ概要** 以前(rohm0.6  $\mu$ m 4.5mm角98\_2)設計した人工網膜チップは網膜までの機能であったが,今回はそれに加えて,大脳皮質視覚野の複雑細胞の特徴抽出機能を,ハードウェア化した。複雑細胞の機能である線分抽出機能を実現するために,カントミラーを通して,抵抗結合させ電流加算回路を用いた。今回のチップでは抽出する線分の方位を0°/60°/120°の3方向のみとした。今回試作したチップの単位cell数は,30  $\times$  30 cell,単位cellのトランジスタ数は,140,cellサイズは110  $\mu$ m  $\times$  110  $\mu$ mとなった。またフォトダイオードサイズは50  $\mu$ m  $\times$  50  $\mu$ mで,光センサーの開口率は20%である。信号処理は,各单位cellが完全並列で行う。

**使用ツール:** Mentor社 ICStation, HSPICE, **試作日数:** 修士の学生計2名で行い,約3ヶ月,

**トランジスタ数:** 約95000, **試作ラン:** ローム CMOS 0.6  $\mu$ m 4.5mm角, **チップ種別:** アナログ, デジタル混在, 画像,

**参考文献:** John E Dowling: "The Retina."



### 平衡型3次リープフログフィルタの試作

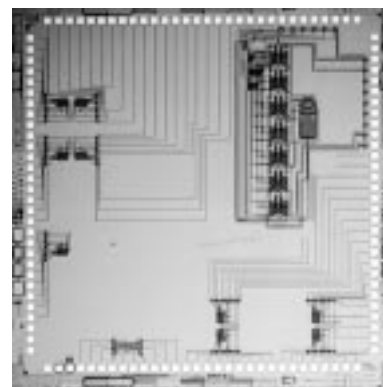
東京工業大学工学部 和田 和千, 高木 茂孝, 藤井 信生

**チップ概要** 平衡型回路構成は, 差動成分のみを信号として用いるため, 同相成分として加わったノイズには不感となり, アナログ・デジタル混載集積回路や低電源電圧下での回路構成に適していると考えられている. 今回は, 非飽和領域で動作する MOSFET を核とした OTA を設計し, 同相帰還回路を付加するの無い平衡型回路構成手法に基づき, 設計した OTA による平衡型3次低域通過型リープフログフィルタを試作した. 試作したフィルタは, 携帯電話用7次チャンネル選択フィルタの一部に相当し, 電源電圧 3.0V で動作する.

**使用ツール**: Cadence 社 Virtuoso, HSPICE,

**試作日数**: 博士の学生1名と修士の学生2名で行い, 約2週間,

**トランジスタ数**: 約300, **試作ラン**: ローム CMOS 0.6  $\mu$  m 4.6mm 角, **チップ種別**: アナログ



### On-chip 学習可能な量子化結合ニューラルネットワークの集積化

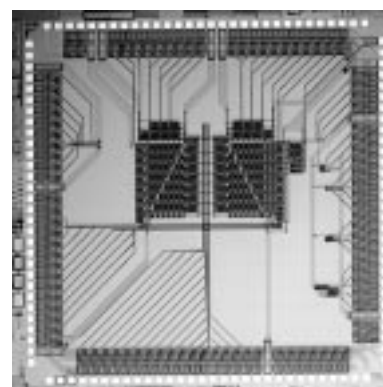
東北大学電気通信研究所 片山 康弘, 佐藤 茂雄, 中島 康治

**チップ概要** 工学分野におけるニューラルネットワークの応用には, その独自アーキテクチャを有効にするため専用ハードウェア化が必須であり, 特に VLSI による高集積化が期待されている. 高集積化を実現する方法として, 結合荷重値を量子化(低bit化)することで, 大きな面積を占めるシナプス回路を簡略化することは非常に有効な手段である. しかし, 結合荷重の量子化はニューラルネットワークの集積化を容易にする一方で 学習を困難にすることが大きな問題となる. 本研究では, 量子化結合ニューラルネットワークの学習を可能にすることで, on-chip 学習可能なニューラルネットワークの高集積化を試みた. 本チップでは on-chip 学習可能な3値( $\pm 1$  or 0)の荷重値を持つ7ニューロン DBM ネットワークを試作した.

**使用ツール**: Cadence 社 Virtuoso, HSPICE, **試作日数**: 修士の学生1名で行い, 約10日,

**トランジスタ数**: 約4000, **試作ラン**: ローム CMOS 0.6  $\mu$  m 4.5mm 角, **チップ種別**: ニューテクノロジー

**参考文献**: [1] 片山, 佐藤, 中島“量子化結合ニューラルネットワークの学習とその集積回路による実現”, 2000年電子情報通信学会総合大会講演論文集, D-2-3, (2000).



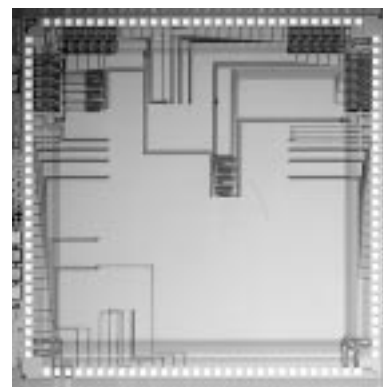
### 低温動作 CMOS アンプ設計へ向けたデバイスモデル作成用チップ

横浜国立大学工学部 小菅 一弘, 吉川 信行

**チップ概要** 我々は, 単一磁束量子論理回路(RSFQ論理回路)とCMOS回路とのインターフェイスとなる CMOS アンプの設計を行なっている. CMOS アンプは低温で動作させることを想定しているので, 回路シミュレーションの際に低温用の MOS のモデルが必要となる. 低温用の MOS デバイスモデルを作成するためには, 低温で MOS の特性を測定することが必要である. そこで, 今回は大きさの異なる NMOS と PMOS をそれぞれ3種類ずつ設計した. また, リングオシレータも段数を変えて5種類設計した. 設計した MOS の静特性を低温と室温で測定した. その結果, 低温ではドレイン電流値が移動度の上昇に伴い増加した. また, しきい値電圧も増加した. リングオシレータは, 低温の方が, 一段当たりの遅延時間が小さくなり, 高速動作した.

**使用ツール**: Cadence 社 Virtuoso, Analog-Artist, **試作日数**: 修士1年の学生1名が約1週間で設計

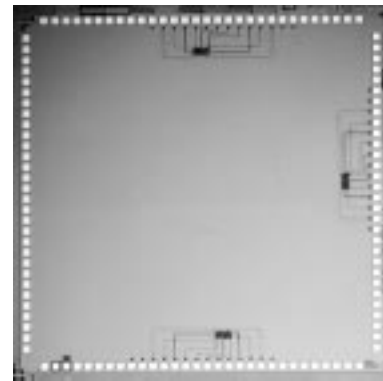
**トランジスタ数**: 約350, **試作ラン**: ローム CMOS 0.6  $\mu$  m 4.5mm 角, **チップ種別**: アナログ, デジタル



## 非線形な輝度変化に対応した動きベクトル検出回路の設計

広島市立大学大学院 情報科学研究科 梅田 昌宏, 堀居 賢樹

**チップ概要** 動物体の動きベクトルを検出するには多くの計算量を要求される。そのため、CCDカメラと画像処理プロセッサを用いた従来の画像処理システムでは、リアルタイムに動きベクトルを検出することは困難である。センサ上に処理用回路を集積することにより並列処理を行い、リアルタイムで動きベクトルを検出することが可能となる。動きベクトルは、速度拘束式と呼ばれる画像の輝度勾配をもとにした式により検出する。この式は輝度が線形に変化すると仮定した場合に導かれる式であるが、動きベクトルを検出するときに必要となる画像のエッジ部分での輝度変化は非線形である。そこで、非線形な輝度変化に対応した速度拘束式を新たに定義し、この式をもとに回路設計を行った。動きベクトル検出回路は、フォトダイオードと乗算回路、また現フレームの画像と前フレーム、後フレームの画像をそれぞれ重み付けした画像を加算するための回路から構成されている。



**使用ツール**: Cadence社 Virtuoso, HSPICE, **試作日数**: 修士の学生1名で行い、約2週間, **トランジスタ数**: 約200,

**試作ラン**: ローム CMOS 0.6 μm 4.6mm角, **チップ種別**: 画像 & MEMS

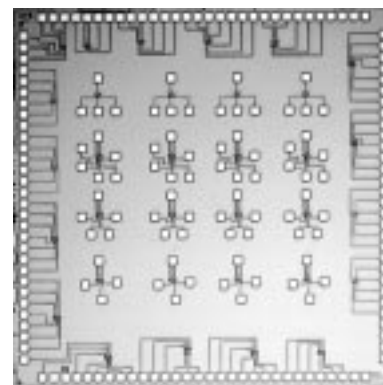
## MOSセルオートマトン用回路 TEG の設計試作

北海道大学工学研究科 藤原 孝信, 赤澤 正道

**チップ概要** 当研究室では、セルオートマトン、およびセルラーニューラルネットワーク回路の研究を行っている。そのセル回路は、MOSを用いることでコンパクトな回路となる。本チップでは、その心臓部となる積和演算部についてTEGの試作を行った。MOS回路をもとにした積和演算回路を、ガードリング、入力キャパシタ等のパターンを変えて配置し、手動プローブによる動作試験の簡単化のため、パッドを多数用意した。

**使用ツール**: SX9000, HSPICE, **試作日数**: 約1週間, **トランジスタ数**: 約100,

**試作ラン**: ローム CMOS 0.6 μm 4.6mm角, **チップ種別**: ニューテクノロジー



## 平成11年度 第2回 ローム チップ試作 (ROHM992)

### 画素並列 A/D 変換回路を内蔵したイメージセンサ

東京大学大学院 工学系研究科 杉浦 和英

東京大学 新領域創成科学研究科 相澤 清晴

**チップ概要** 画素並列に A/D 変換回路を内蔵したイメージセンサである。内蔵した A/D 変換回路は電流モードの逐次比較型で、変換ビット数は4ビットである。1画素の大きさは 250 μm X 250 μm, 画素数は 24 X 24 である。

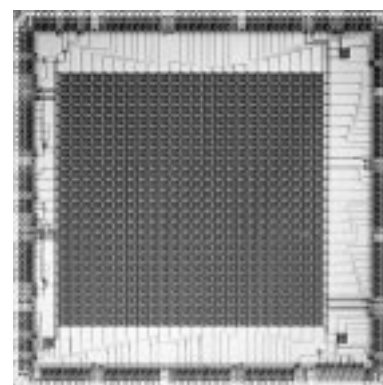
**使用ツール**: Cadence社 Cadence, HSPICE,

**試作日数**: 修士の学生1名で行い、約2ヶ月, **トランジスタ数**: 約130k,

**試作ラン**: ローム CMOS 0.6 μm 9.0mm角,

**チップ種別**: アナログ

**参考文献**: なし



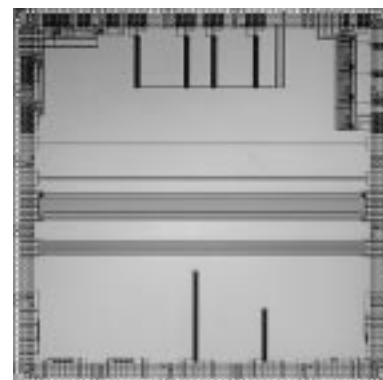
### サブスレッショルドロジック, カットオフ回路, 配線特性測定用 TEG の設計

東京大学生産技術研究所 野瀬 浩一, 稲垣 賢一, 川口 博, 桜井 貴康

**チップ概要** 超低消費電力を指向した論理回路にサブスレッショルドロジックがある。これは高しきい値電圧回路をそのしきい値電圧より低い電源電圧, すなわちサブスレッショルド領域で動作させる論理回路である。このためしきい値電圧のバラツキに敏感な回路であるが、これを補正, 制御する回路も TEG として設計している。しきい値電圧の 0.6V より低い 0.5V の電源電圧下での動作を確認した。また, MTCMOS や SCCMOS などのリーク削減回路においてカットオフ回路の大きさ依存性を調べる回路を設計し, 最適設計の指針を検討した。また, 配線パラメータを測定するために 7 mm の直線の配線を 3 本並行に配置し, 太さの違いを 4 パターン用意した。高周波プローブをパッドに当て, TDR 法を用いることにより信号波形を観測し, パラメータを測定した。

**使用ツール**: Cadence社 Virtuoso, HSPICE, **試作日数**: 博士の学生1名と技官2名で行い、約1週間, **トランジスタ数**: 約2300,

**試作ラン**: ローム CMOS 0.6 μm 9.0mm角, **チップ種別**: デジタル, ニューテクノロジー, **参考文献**: 特になし。



## 画像分割用非線形振動子ネットワーク回路

広島大学工学部 安藤 博士, 木下 茂雄, 山中 登志夫, 森 江隆, 永田 真, 岩田 穆  
チップ概要 非線形振動子ネットワークによる画像分割[1]の実時間処理を目的とし,我々が提案している任意の非線形ダイナミカルシステムのためのパルス変調回路アーキテクチャ[2]によりモデルのVLSI化を行った。

今回試作した振動子ネットワークは,振動子回路・荷重係数演算回路およびメモリー(SRAM)からなる。振動子回路は,任意非線形変換回路と電荷積分による積和演算回路を用いて,振動子のアナログダイナミクスを実現する。荷重係数演算回路はデジタル論理回路で構成されており,SRAMに保存された画像強度の絶対値差および除算を実行し,荷重係数を求める。画素数は $32 \times 32$ ,画素サイズは $100 \mu\text{m} \times 110 \mu\text{m}$ である。

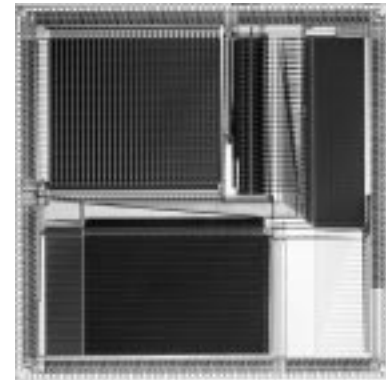
使用ツール: Composer(Cadence), HSPICE(Avant!), SX9000(SII), Diva(Cadence)

試作日数: 博士1名, 修士2名, 約3ヶ月

トランジスタ数: 約300kTr, 試作ラン: ローム CMOS  $0.6 \mu\text{m}$  9.0mm 角, チップ種別: ニューテクノロジー

参考文献: [1]H. Ando, et al., IEICE trans. Fundamentals, vol. E83-A, No.2, pp.329-336, 2000.

[2] T. Morie, et al., NOLTA '98, pp.447-450, 1998.



## 2次元アナログ人工網膜チップの設計

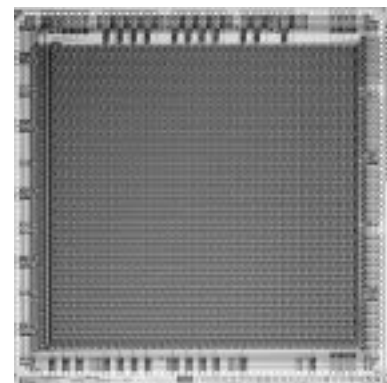
九州工業大学情報工学部 亀田 成司, 八木 哲也

チップ概要 人工網膜は, 生体視覚系の並列画像処理機構をアナログ CMOS 集積回路により実現したもので, 実時間画像処理, 小規模ハードウェア, 低消費電力といった特徴を持つ。今回の設計では, 自然照明下における実時間画像処理を基本視座とし, アナログ人工網膜チップを製作した。各画素は六角格子状に配置され, チップは2次元ラプラシアン ガウシアン型のフィルタ特性を持つ。今回試作した人工網膜チップは, 網膜初段の外網膜の回路構造を模擬したものである。集積回路の素子のばらつきを補償する機構を付加し, 光センサ部にはアクティブピクセルセンサを用いた。水平, 垂直シフトレジスタによって選択された画素の出力を電圧値として読み出す。また, 水平シフトレジスタで列を選択することで, 画像データの読み出しを列並列に行うことができる。画素数は $40 \times 46$ で, 画素サイズは $179 \mu\text{m} \times 155 \mu\text{m}$ , 開口率は3.14%となった。

使用ツール: Cadence社 Virtuoso, HSPICE, 試作日数: 博士の学生1名で行い, 約1ヶ月, トランジスタ数: 約154000,

試作ラン: ローム CMOS  $0.6 \mu\text{m}$  9.0mm 角, チップ種別: 像 & MEMS

参考文献: [1] 八木, 亀田, 飯塚“ 可変受容野を備えた超並列アナログ知能視覚センサ”, pp.104-113, 信学論 D-II, J81-D-1, 2, (1998)



## CSPL 加算器, オンチップ電源線ノイズ測定回路, 四進木走査制御回路の設計

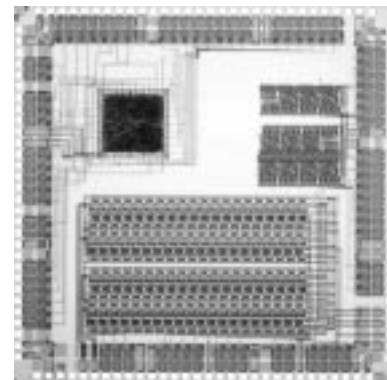
東京大学工学系研究科

山下 高広, 青木 秀行, 星野 将史

東京大学大規模集積システム設計教育研究センター 池田 誠, 浅田 邦博

チップ概要 CSPL (Capacitor-Separated Pass-transistor Logic) 加算器の設計では, パストランジスタ回路の信号振幅回復回路としてセンスアンプを用いた回路(CSPL)を使った16bit加算器と32bit加算器を試作した。加算器の入力値は固定とし, 最大遅延のみ測定可能な回路とした。オンチップ電源線ノイズ測定回路の設計では, トランジスタのスイッチングに伴い発生する電流によりLSIの電源配線に生じる電圧変動ノイズを測定する回路を設計した。サンプリング型電圧比較回路を用いることで出力をデジタル値とし, 測定に際してノイズに強いデジタル測定機器で済むようにしている。四進木走査制御回路の設計では, イメージセンサの走査方式である四進木走査法を行うための制御回路の試作を行った。この回路は比較的簡単な順序回路で構成でき, チップ面積が少なくて済むため, センサ面上に集積が可能である。

使用ツール: Cadence社 Virtuoso, HSPICE, Synopsys社 Design Compiler, Avant!社 Apollo 試作日数: 博士課程の学生1名, 修士課程の学生2名で行い, 約1ヶ月, トランジスタ数: 約10k, 試作ラン: ローム CMOS  $0.6 \mu\text{m}$  4.6mm 角, チップ種別: デジタル



## 可変基数CORDICプロセッサの設計

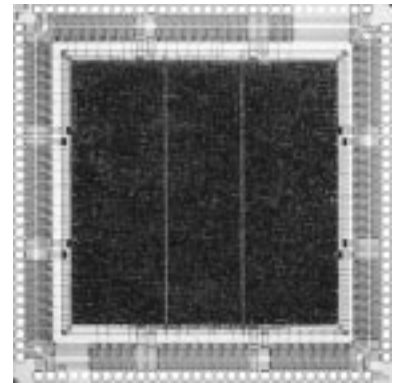
東北大学大学院情報科学研究科 北折 一郎, 青木 孝文, 樋口 龍雄

**チップ概要** 初等関数演算のためのハードウェア向きアルゴリズムとして, CORDIC (Coordinate Rotation Digital Computer)アルゴリズムが知られている. 本研究グループでは, 演算の基数を徐々に増加させることにより, 高速な座標回転演算を実現する基数2-4-8 CORDICアルゴリズムを提案している. 本チップは, 基数2-4-8 CORDICアルゴリズムを実装することで64ビット精度の座標回転演算を高速に実行できる. 本チップの動作周波数は91.7MHz (10.7ns)であった.

**使用ツール**: Cadence社 Verilog-XL, Synopsys社 Design Compiler, AVANT!社 Apollo,

**試作日数**: 修士の学生1名で行い, 約1ヶ月間,

**トランジスタ数**: 約56,000, **試作ラン**: ロームCMOS 0.6  $\mu$ m 4.6mm角, **チップ種別**: デジタル



## マイクロ生体モニタのための低消費電力データ圧縮回路

東京大学工学 木庭 優治, 藤島 実, 鳳 紘一郎

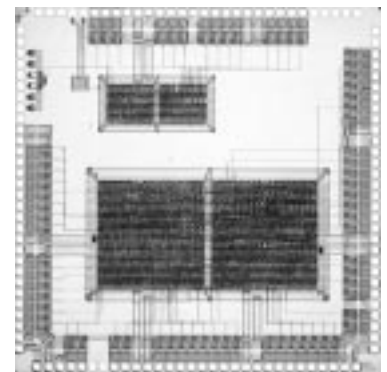
**はじめに** 我々は, 心電図や体温等の生体情報を長時間収集して病気の早期発見や健康管理に役立てるため, シリコンチップ上にセンサ・A/D・処理回路・メモリ等を集積したマイクロ生体モニタを研究中である. メモリ容量や電池容量は大きく制限されるため, 収集したデータの高効率かつ低消費電力での圧縮が必要である. そこで, 主に心拍数や体温等のデータの圧縮を目的として Band Runlength(BRL)符号化と呼ぶアルゴリズムを考案した.

**試作したチップ** 消費電力などの評価のため, BRL符号化を行なうチップを試作した[1].

**試作ラン**はロームCMOS 0.6  $\mu$ m 4.6mm角, **チップ種別**は信号処理である.

設計は修士1年の学生1名が約1ヶ月で行ない, 設計・検証には Verilog-XL, Design Compiler, ApolloXOの各ツールを使用した. 回路規模は38kトランジスタとなった. 回路の消費電力はスループット1kサンプル/秒で約4  $\mu$ Wであった.

**参考文献** [1] 木庭, 藤島, 鳳:「低消費電力バンドランレングスコーディングLSI」, 1999年電子情報通信学会ソサイエティ大会, C-12-23, 1999



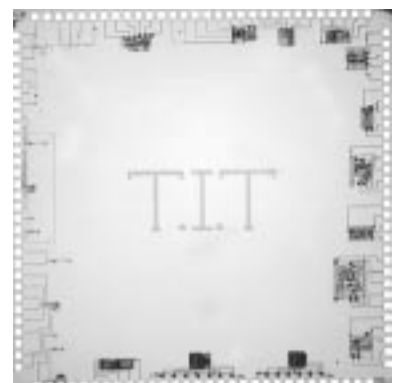
## アナログ基本回路の試作

東京工業大学工学系研究科, 新領域創成科学研究科 和田 和千, 高木 茂孝, 藤井 信生

**チップ概要** アナログ集積回路の基本構成要素であるOTA, 積分器, スイッチトカレントサンプルホールド回路, 演算増幅器を試作した. OTAは, 弱反転領域で動作するMOSFETを主として用いた電圧設定回路に基づいており, 電源電圧1.5Vで動作する. 積分器として, 内部信号を非線形処理することで低電源電圧下で大きな信号振幅を扱える電流モードコンパニディング積分器を試作した. また, スイッチトカレント回路は, 入力信号に応じてそのバイアス電流を制御し, 低消費電力化を計り, 1.5V電源電圧で動作する. さらに, 演算増幅器については, 学部学生の集積回路試作体験を目的として, 11名の学部学生が教科書等にある回路構造や独自に工夫をこらした回路に基づき, 各自が設計した演算増幅器を試作した.

**使用ツール**: Cadence社 Virtuoso, HSPICE, **試作日数**: 修士の学生3名と学部4年生11名で行い, 約2週間,

**トランジスタ数**: 約500, **試作ラン**: ロームCMOS 0.6  $\mu$ m 4.6mm角, **チップ種別**: アナログ



## X線光電子スペクトル解析用背景信号除去ユニットの試作

武蔵工業大学電気電子工学科電子物性研究室

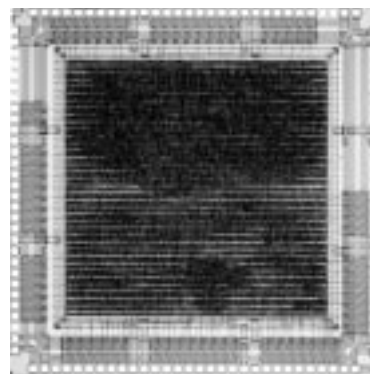
齋藤 豊, 野平 博司, 森木 一紀, 服部 健雄

**チップ概要** X線光電子分光法(XPS)は,物質表面の組成や結合状態を評価できるため,表面分析法として広く用いられている.この表面分析をリアルタイムで行うために,光電子スペクトルの解析を専用のハードウェアを用いて高速に行うことを目指している.今回,我々はスペクトルより背景信号を除去する工程をハードウェア化することを目的とした.試作したユニットは,データ形式を32bit浮動小数点形式とし,測定データより背景信号を生成した後に背景信号を除去するための演算を3段階で行なうモジュールとこれら3段階の演算の順序をクロックにより時系列で制御するモジュールより構成される.

**使用ツール**: SYNOPSIS社 Design Compiler, Avant!社 Apollo, 試作セルライブラリ EXD 東大版ライブラリ,

**試作日数**: 修士の学生1名で行い,約2ヶ月間, **トランジスタ数**: 約10800, **試作ラン**: ローム CMOS 0.6  $\mu$ m 4.5mm角,

**チップ種別**: 信号処理



## 高速フーリエ変換を用いたX線光電子スペクトル解析用並列乗算制御モジュールの試作

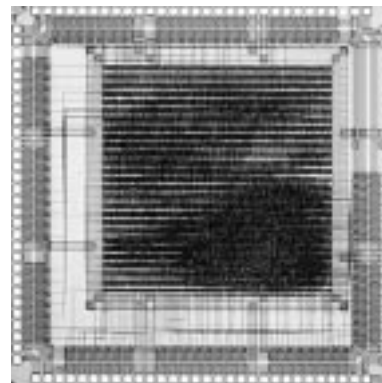
武蔵工業大学電気電子工学科電子物性研究室 齋藤 豊,野平 博司,森木 一紀,服部 健雄

**チップ概要** X線光電子分光法による表面分析をリアルタイムで行うために,光電子スペクトルの解析を専用のハードウェアを用いて高速に行うことを目指している.今回,我々は前回試作したフーリエ変換ユニットを他の処理を行なうユニットと組み合わせて動作させることを念頭において再設計した.すなわち,浮動小数点と固定小数点の間の変換および逆変換モジュールを搭載した.その結果,高速複素演算という冗長複素数系(1)の長所が生かされるとともに,一般的なIEEE規格浮動小数点のデータ形式でデータの受け渡しができるようになった.

**使用ツール**: SYNOPSIS社 Design Compiler, Avant!社 Apollo, 試作セルライブラリ EXD 東大版ライブラリ,

**試作日数**: 修士の学生1名で行い,約2ヶ月間, **トランジスタ数**: 約5500, **試作ラン**: ローム CMOS 0.6  $\mu$ m 4.5mm角,

**チップ種別**: 信号処理 **参考文献**: T. Aoki, H. Amada and T. Higuchi: Proc. 13th Symp. on Computer Arithmetic.



## 高速フーリエ変換を用いたX線光電子スペクトル解析用制御モジュールの試作

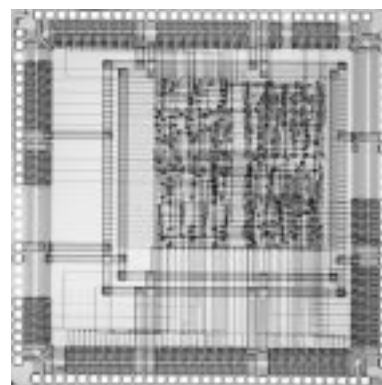
武蔵工業大学電気電子工学科電子物性研究室

齋藤 豊, 野平 博司, 森木 一紀, 服部 健雄

**チップ概要** X線光電子分光法(XPS)は,物質表面の組成や結合状態を評価できるため,表面分析法として広く用いられている.この表面分析をリアルタイムで行うために,光電子スペクトルの解析を専用のハードウェアを用いて高速に行うことを目指している.今回,我々は前回試作したフーリエ変換ユニットを他の処理を行なうユニットと組み合わせて動作させることを念頭において再設計した.前回設計したフーリエ変換制御モジュールとの違いは,36bit固定小数点から32bit浮動小数点にデータ長を変更した点と,並列乗算制御モジュールを搭載したチップと組み合わせて動作させるために必要な信号を追加した点である.

**使用ツール**: SYNOPSIS社 Design Compiler, Avant!社 Apollo, 試作セルライブラリ EXD 東大版ライブラリ, **試作日数**: 修士の学生1名で行い,約2ヶ月間, **トランジスタ数**: 約700,

**試作ラン**: ローム CMOS 0.6  $\mu$ m 4.5mm角, **チップ種別**: 信号処理



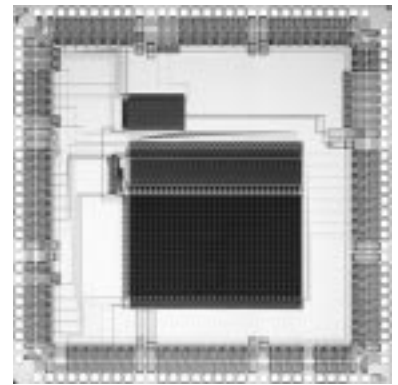
## 列並列 ADC 機能を有するスマートイメージセンサの設計

東京理科大学 工学部 伊野 義一, 浜本 隆之  
 東京大学 新領域創成科学研究科 相澤 清晴

**チップ概要** 小規模な 1 bit A/D 変換器を列並列に配置したスマートイメージセンサを提案し, そのプロトタイプを試作を行った. 本イメージセンサは, 蓄積中間画像に対し時分割で繰り返し A/D 変換処理を行い, 最終的に 8bit の結果を出力する. 本センサは, 各画素毎に 8bit のデジタルメモリを有している. 今回試作したイメージセンサは, APS(Active Pixel Sensor) を使用し, 画素数は横 32 × 縦 16 画素である. 画素サイズは 20 × 20 μm, 開口率は 41% となった. 処理部 (A/D 変換) 1 列分のサイズは 63 × 615 μm となり, トランジスタ数は 266 個となった. アナログの出力画像を NTSC 信号として読みだし, 映像を確認した. デジタル出力画像は現在評価中である.

**使用ツール:** Cadence 社 Cadence, HSPICE, **試作日数:** 修士の学生 1 名で行い, 約 3 週間, **トランジスタ数:** 約 50k, **試作ラン:** ローム CMOS 0.6 μm 4.5mm 角, **チップ種別:** アナログ

**参考文献:** [1] 伊野, 浜本, 相澤, 赤池: “蓄積中間画像を用いたイメージセンサ上での A/D 変換”, pp.297(163)-300(166), Vol.54 No.2 2000 映像情報メディア学会誌

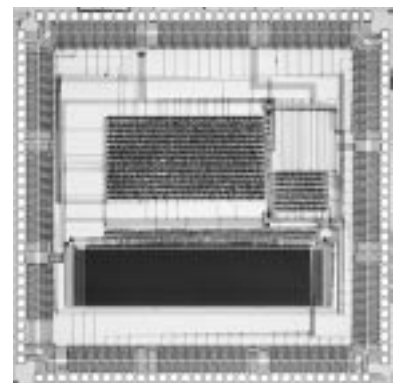


## オーバーサンプリング ADC 用簡易 DSP

豊橋技術科学大学 河合信宏, 枝元正和  
 静岡大学電子工学研究所 川人 祥二  
 仙台電波高専 中林 撰, 佐藤 剛, 佐々木 正明

**はじめに** オーバーサンプリング A/D 変換器は, オーディオ用を始め, 通信用, センサインタフェース等広く用いられている. 今回, オーバーサンプリング ADC に使用する簡易なディシメーションデジタルフィルタのマクロを設計した. 現在, ROHM 社 0.6 μm CMOS 用のスタンダードセルライブラリを開発しており, そのライブラリの検証も兼ねている.

**試作したチップ** 試作したデジタルフィルタは, くし形フィルタと FIR デジタルフィルタの 2 段構成としており, くし形フィルタ部は, 最大 64 次, 3 段の構成とっており, 32 次と, 64 次が選択できるようになっている. FIR フィルタ部は, プログラム制御式で, 係数精度は 16 ビット, 最大 128 次まで可能で, 24 ビット精度で出力する. 乗算器は, 24 ビット精度で, キャリセーブアレイ並列乗算器に拡張 Booth を利用した. プログラム用の RAM は外付けとした. 128 段のシフトレジスタは, ハードマクロとしてフルカスタム設計により構成した. その他は, Verilog-HDL で記述し, CSI を用いて Synopsys, Design Compiler で論理合成を行い, Cell Ensemble (Cadence) により, 自動配置配線でレイアウトを合成した. 開発したスタンダードセルライブラリにより, Verilog-HDL 記述から始め, CSI 経由での論理合成, 合成前後のシミュレーション (Verilog-XL), 自動配置配線, フルカスタム設計したマクロの組み込みまでの一連の設計を行うことができた.

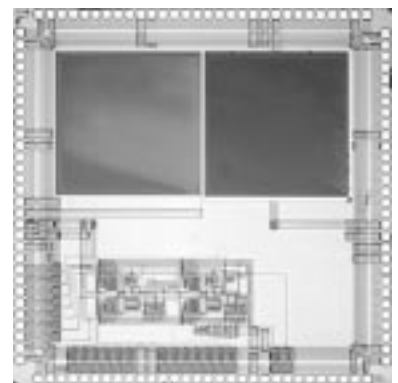


## 変調器及び湿度センサ用くし形電極

鈴鹿高専 北村 登, 伊藤 八十四  
 静岡大学電子工学研究所 川人 祥二

**はじめに** オーバーサンプリング A/D 変換器は, オーディオ用をはじめ, 通信用, センサインタフェース等広く用いられている. 今回, センサインタフェースへの応用を目的とした 2 次変調器及び, 湿度センサに用いる容量検出用くし形電極を試作した.

**試作したチップ** 試作した 2 次変調器は, 全差動型の SC 回路で設計されている. 変調器初段の積分器の入力電圧サンプル用の容量を, センサ容量にすることによって, 容量変化を直接デジタル値に変換する A/D 変換形センサインタフェースが構成できる. 容量検出センサは, 感度が高く, 加速度センサなどの機械量センサをはじめ, 感応性ポリマと組合せて化学センサ, 湿度センサなど幅広い用途がある. 今回, 金属性感応膜と組合わせた高速応答の湿度センサを実現することを目的として, そのくし形電極部を試作した. 感応膜を堆積する部分は, パッドオープニングの層を入れて, パッシベーション膜を薄くし, 感度の向上を図った. 変調器は, アナログ LSI 設計の基礎を学ぶことも目的として設計し, 2 名で約 3 ヶ月を要した. くし形電極によるセンサと組合せて, デジタル出力 (ビットストリーム) の湿度センサを実現することもできる.



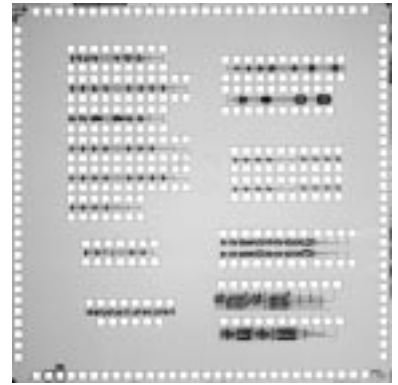


### MOSFET モデル評価用テスト回路の設計

広島大学ナノデバイスシステム研究センター     マタウシュ   ハンス   ユルゲン  
広島大学先端物質科学研究科                    龍見 嘉之  
広島大学工学部                                    奈良真治

**チップ概要** 回路シミュレーション用MOSFETモデルを評価できるテスト回路の研究において、シミュレーション結果と実測値との比較は重要である。今回の設計では開発しているテスト回路を測定し、シミュレーション結果と比較することを目的としている。テスト回路の性質より、小規模な回路を多数設計する必要があるため、測定装置にはプローバを用い、ベアチップを測定する。そのため、チップ内に多数のパッドを作成し、チップ外部のパッドは用いていない。現在、広く用いられている回路シミュレーション用モデルではアナログ回路などでは実測値を満足できる程度に再現できていない。また、モデル精度の評価方法としてMOS単体を用いているが不十分である。今回設計したテスト回路でより正確なモデル精度の評価を行うことができる。

**使用ツール**：Cadence社 Virtuoso, HSPICE, **試作日数**：修士の学生1名, 学部4年生1名で行い, 約2ヶ月, **トランジスタ数**：約800, **試作ラン**：ローム CMOS 0.6  $\mu$ m 4.5mm 角, **チップ種別**：その他



### 過渡電源電流試験法検証用テスト回路の設計

東北大学工学部     石田 雅裕, 小谷 光司, 大見 忠弘

**チップ概要** CMOS集積回路内の短絡故障を効率的に検出できる試験法として、定常状態における電源電流をもちいた静止電源電流 (IDDQ) 試験法が知られている。しかし、IDDQ試験法は、回路の過渡情報をもたないため、遅延故障や断線故障を検出することができない。これにたいしわれわれは、過渡状態の電源電流をもちいた過渡電源電流 (IDDT) 試験法を提案した。今回の設計では、IDDT試験法を検証するためのテスト回路を設計した。

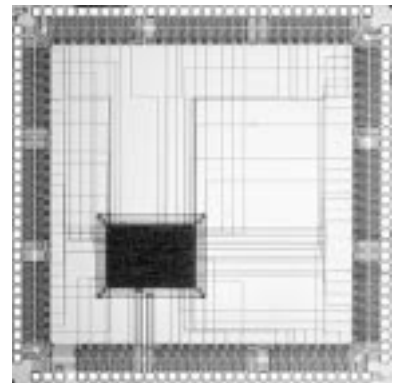
今回試作したテスト回路は、16ビットの乗算器で、回路内部に抵抗性の断線故障をモデル化したトランスマッションゲート (TG [1])をもつ。TGの制御入力外部ピンに接続した。これにより、断線故障モデルであるTGの抵抗性を外部から自由に設定できる。TGは、NAND2のスタンダードセル(東大作成)をもとにセルライブラリを作成し、自動配置配線できるようにした。また、電源電流測定の都合上、電源およびグランドは単一のピンから供給することにした。

**使用ツール**：Synopsys社 Design Compiler, Avant!社 Milkyway, Apollo, HSPICE。

**試作日数**：研究員1名でおこない, 約1週間。

**トランジスタ数**：約10,000。 **試作ラン**：ローム CMOS 0.6  $\mu$ m 4.6 mm角。 **チップ種別**：デジタル。

**参考文献**： [1] N. Weste and K. Eshraghian, Principles of CMOS VLSI Design, 2nd Edition, Addison-Wesley Publishing Co., pp. 86-90, 1993.



### 電流制御発振器を用いた AD変換器の設計

広島大学工学部     吉川 泰正, 永田 真, 岩田 穆

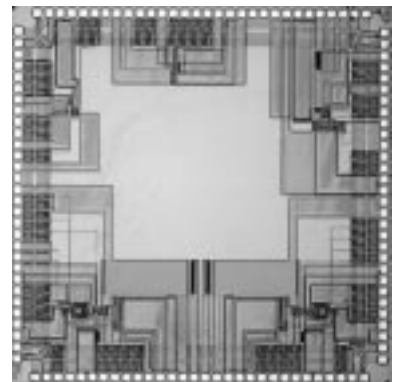
**チップ概要** ビデオ帯への広帯域化を目的として、VCOを用いた AD変換器が設計されている。しかし、このAD変換方式ではVCOの電圧-発振周波数変換誤差によりS/Nの低下を招く。そこで今回、VCOに高い線形性が期待できるマルチバイブレータ型の電流制御発振器を適用して設計した。電源電圧は3.3Vとし、オーバーサンプリング周波数62.5MHz、信号帯域250kHzで変換精度12ビット(S/N=73dB)を得た。電流制御発振回路の電流-周波数の非線形性誤差は $\pm 0.6\%$ (7~62.5MHz)であり、発振器の非線形によるS/N劣化を低減できた。また、積分器には電流モード回路を用いて設計した。

**測定結果** オーバサンプリング周波数31.25MHz、信号帯域125kHzにおいて、S/N=52.8dBを得た。re de,, he wowo

**使用ツール**：Composer(Cadence), HSPICE(Avant!), SX9000(SII), Diva(Cadence),

**設計日数**：修士の学生1名で行い, 約1ヶ月, **トランジスタ数**：評価回路を含めて約700,

**試作ラン**：ローム CMOS 0.6  $\mu$ m 4.6mm 角, **チップ種別**：アナログ



## PWM信号を用いた動きベクトル検出回路

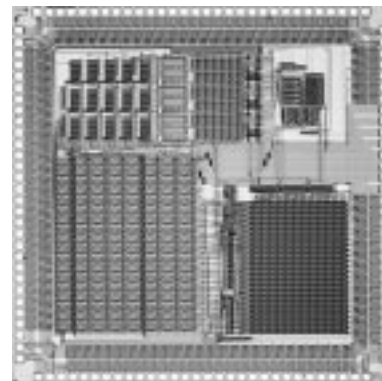
広島大学工学部 番本 吉則, 永田 真, 森江 隆, 岩田 穆

**チップ概要** 動画像符号化において,動きベクトル検出は演算量が極めて膨大であり,消費電力の大部分を占めている.そこで,パルス幅変調(PWM)信号を用いたAD融合回路アーキテクチャにより低消費電力の動きベクトル検出回路を考案した.通常のデジタル回路に比べ,消費電力を約45%に削減できることを回路シミュレーションにより確認した.今回試作した動きベクトル検出回路は,画素数 $24 \times 24$ ,探索範囲 $\pm 2$ で,参照画像を記憶するフレームメモリ,ブロックマッチングを行う距離演算回路,最小値検出回路,並列距離演算を可能にするPWM信号シフト回路等で構成される.測定の結果,単純な動画像の動きベクトル検出を確認した.

**使用ツール**: Composer(Cadence),HSPICE(Avant!),SX9000(SII)

**設計日数**: 修士の学生1名で約2ヶ月, **トランジスタ数**: 約45k,

**試作ラン**: ローム CMOS  $0.6 \mu\text{m}$   $4.5\text{mm}$ 角, **チップ種別**: 信号処理



## 基板雑音評価チップ

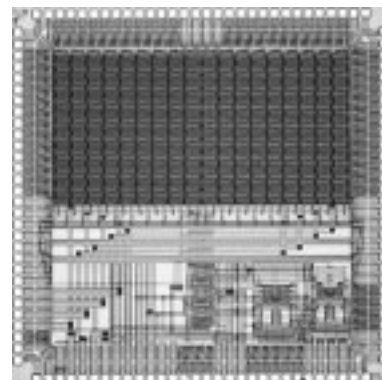
広島大学工学部 村坂 佳隆, 若木 謙, 永田 真, 岩田 穆

**チップ概要** AD混載LSIにおける,基板雑音のチップレベル予測,及び検証手法の確立のためには,実測データに基づく定量的な基板雑音の評価が必要である.今回設計した基板雑音評価チップには,雑音源として,遷移方向,動作遅延時間,動作規模をブロック単位で制御できる遷移制御雑音源を,基板雑音の検出回路として,ソースフォロウ+ラッチコンパレータ型の検出回路を搭載している.これらの回路は前回試作したものを使用している.また,雑音源と基板雑音検出回路間には,P+タイプとN-wellタイプの種類の違うガードバンドを距離を変えて配置しており,ガードバンドの種類,距離の違いによる基板雑音の減衰量を評価できるようになっている. re de,,he wowo

**使用ツール**: Composer(Cadence), HSPICE(Avant!), SX9000(SII), Diva(Cadence),

**設計日数**: 修士二名,教官一名で約一週間 **トランジスタ数**: 約88kTr,

**試作ラン**: ローム CMOS  $0.6 \mu\text{m}$   $4.6\text{mm}$ 角, **チップ種別**: アナログ,ニューテクノロジー



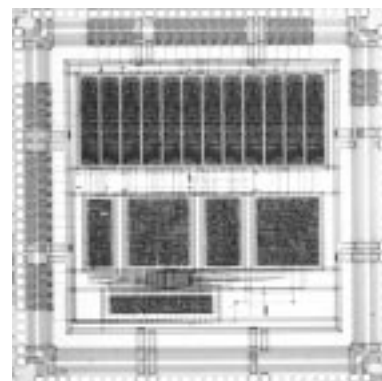
## 画像の特徴抽出回路の設計

東京大学工学部電子情報専攻 足立 真賢, 柴田 直

**はじめに** 画像のロバストな認識を可能とするために,画像の特徴を捉え,それをベクトルとして表現する研究を行っている.しかし,画像処理は膨大な計算量を必要とするためにソフトウェアによる演算ではたいへん時間がかかり,実時間での画像認識は不可能となる.そこで,実時間での画像認識を可能とするために,このベクトル化に特化したハードウェアを試作した.

**チップ概要** 今回試作したのは, $16 \times 16$ ピクセルの2値画像をパラレルに読み込み,画像の特徴を64次元のベクトルに圧縮して出力するものである.主に3つの部分から成り,画像の部分的な特徴を表すPicletを抽出する部分,ベクトル生成部,出力部に分かれていて,入力部では並列な画像入力を可能にするためPiclet抽出器を並列に並べ,パラレルにPiclet抽出を行う.得られた画像のPiclet成分情報からパイプライン方式で64次元のベクトルに圧縮していく.出力部は出力信号を受け取って外部にベクトルを出力する.

**使用ツール**: Avanti社 Apollo, Cadence社 Virtuoso, HSPICE, **試作日数**: 修士1名で,約1ヶ月程度, **トランジスタ数**: 約60000, **試作ラン**: ローム CMOS  $0.6 \mu\text{m}$   $4.6\text{mm}$ 角, **チップ種別**: 画像&MEMS



### 特徴抽出データ生成モジュールの実装

東京大学工学部 八木 雅和, 柴田 直

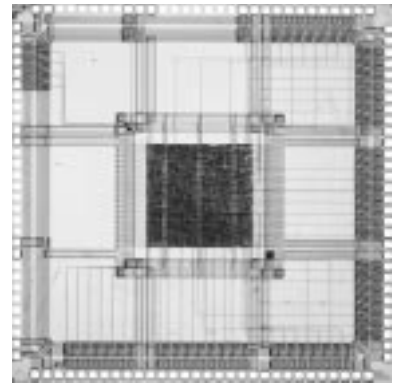
**チップ概要** リアルタイムで柔軟に画像を認識するには、対象画像の特徴を抽出して高速かつ効率的にベクトル化を行うことは非常に重要でありさまざまな手法が試みられている。我々の研究室では、MOSなどの機能デバイスを用いた超並列マッチング回路を想定してアルゴリズム開発を行った。そして、本チップにおいてはこのアルゴリズムをサブモジュール化して実装した。

本チップで実装した特徴抽出アルゴリズムサブモジュールは、特徴抽出データ生成部分である。入力は8 Bitの画像データと閾値データであり、出力は特徴抽出データである。特徴抽出データに関してはスループット1クロックで出力する。

**使用ツール** : Cadence社 Verilog-XL, Dracula, Synopsys社 Design Compiler, Avant!社 ApolloXO,

**試作日数** : 修士の学生1名で行い、約1週間、

**トランジスタ数** : 約25000, **試作ラン** : ローム CMOS 0.6  $\mu$  m 4.6mm角, **チップ種別** : 画像 & MEMS



### 特徴抽出アルゴリズム閾値演算モジュールの実装

東京大学工学部 八木 雅和, 柴田 直

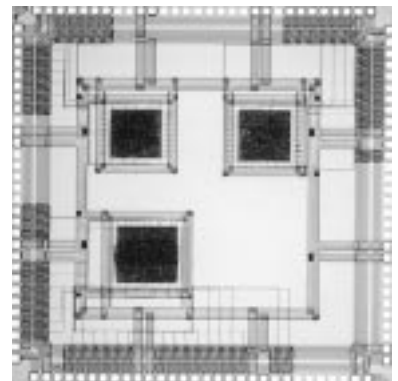
**チップ概要** リアルタイムで柔軟に画像を認識するには、対象画像の特徴を抽出して高速かつ効率的にベクトル化を行うことは非常に重要でありさまざまな手法が試みられている。我々の研究室では、MOSなどの機能デバイスを用いた超並列マッチング回路を想定してアルゴリズム開発を行った。そして、本チップにおいてはこのアルゴリズムをサブモジュール化して実装した。

本チップで実装した特徴抽出アルゴリズムサブモジュールは、特徴抽出の際に必要な閾値データの演算部である。この演算機能を縦横差分絶対値演算回路、ヒストグラム生成回路、閾値決定回路という3つのモジュールに分割して実装している。縦横差分絶対値演算回路は、入力は画像データであり、縦横差分絶対値を出力する。ヒストグラム生成回路は、入力が縦横差分絶対値でヒストグラムを出力する。閾値決定回路は、入力がヒストグラムでそこからメディアン値を演算する。このように閾値演算モジュールを実装した。

**使用ツール** : Cadence社 Verilog-XL, Dracula, Synopsys社 Design Compiler, Avant!社 ApolloXO,

**試作日数** : 修士の学生1名で行い約1週間、

**トランジスタ数** : 約25000, **試作ラン** : ローム CMOS 0.6  $\mu$  m 4.6mm角, **チップ種別** : 画像 & MEMS



### 拡散符号生成回路及びインダクタ・レス発振回路の設計

大阪大学大学院工学研究科電子情報エネルギー工学専攻

Tan Boon Keat, 松岡, 俊匡, 谷口 研二

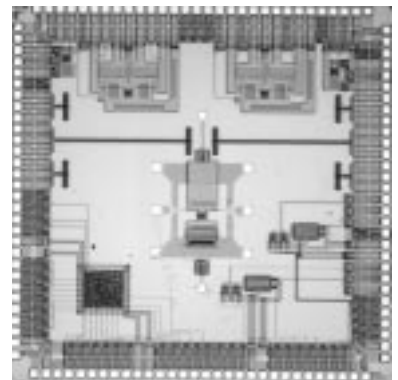
**チップ概要** 拡散符号生成回路には、一般にLFSR (Linear Feedback Shift Register) が用いられる。しかし、通常のシフトレジスタの面積は大きい。そこで、今回ダイナミック・ロジックを用いて拡散符号生成回路をトップダウン設計で設計した。これにより、チップ面積は1/2以下になった。これにより、文献[1]の有線CDMAデータ通信回路の小面積が可能となる。

また、今回インダクタを用いない正弦波発振回路を設計した。発振周波数は1 GHz程度にした。インダクタがないので、LC発振回路よりも小面積の発振器が設計できた。

**使用ツール** : Cadence社 Virtuoso, HSPICE, **試作日数** : 博士の学生1名, 研究生1名で約3週間

**トランジスタ数** : 約7000, **試作ラン** : ローム CMOS 0.6  $\mu$  m 4.5mm角, **チップ種別** : デジタル, アナログ

**参考文献** : [1] 吉村隆治, Tan Boon Keat, 小川徹, 谷口研二「CDMA方式を用いた有線通信インタフェース」電子情報通信学会論文誌C-II, Vol. J82-C-II, No. 11, pp. 631-636, 1999年11月



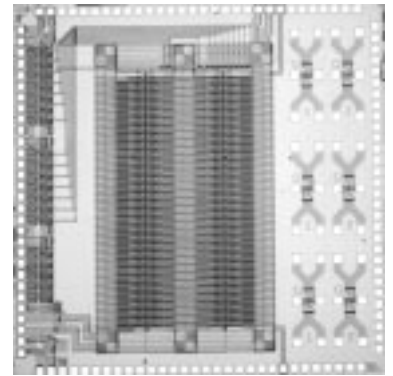
## 8bit 50MHz Flash A/D コンバータの設計(2)

大阪大学大学院工学研究科 小川 徹, 谷口 研二

近年, DSP等のデジタル信号処理が非常に重要な役割を果たしている. しかしデジタル信号処理を行う際, 処理対象である信号源はアナログ信号であることが多く, その場合 A/D コンバータが必要となる.

**チップ概要** 今回の試作では, デジタル信号処理のアプリケーションとして画像信号処理を念頭に置き, 8bit 50MHz, 電源電圧 5V, 入力電圧幅 1V-4V というスペックでの A/D コンバータの設計を行った. Flash A/D コンバータの設計の際, 最も重要となるコンパレータに対しオフセット電圧を減少させるべく, 前回設計した A/D コンバータに対しレイアウト的な改良修正を行った.

**使用ツール**: Cadence 社 Virtuoso, HSPICE, **試作日数**: 修士の学生 1 名で行い, 約 1ヶ月, **トランジスタ数**: 約 10000, **試作ラン**: ローム CMOS 0.6  $\mu$  m 4.5mm 角, **チップ種別**: アナログ



## 高周波 LC 発振回路の設計

大阪大学大学院工学研究科電子情報エネルギー工学専攻

Yew Lim Guan, 佐野 智弘, 谷口 研二

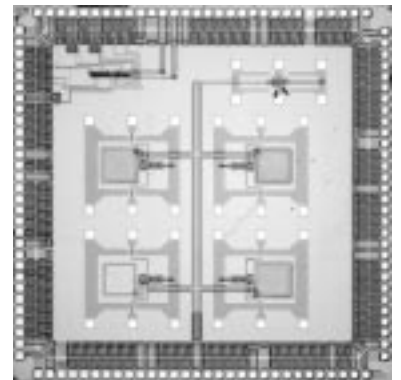
**チップ概要** CMOS技術を用いた発振回路は1チップ無線トランシーバにおいて重要な回路の1つであり, その位相雑音特性は特に重要である.

今回設計したのは, 1.8GHz程度で発振する CMOSの LC 発振回路である. インダクタは3層メタルでのスパイラル・インダクタで実現した. 低い位相雑音を実現するために, 高いQの受動共振器を用いる必要がある. スパイラル・インダクタのQは基板との容量性結合を介した基板損失で制限される. 今回の設計では, インダクタの下のグラウンド・シールドの影響を見るため, グラウンド・シールドの構造が異なる4種類のインダクタをもつ発振回路を設計した.

また, 可変分周器(4-128)を用いて, 発振周波数 200MHzのクロックを発生する PLLも設計した.

**使用ツール**: Cadence 社 Virtuoso, HSPICE, **試作日数**: 修士の学生 2 名で行い, 約 3週間である.

**トランジスタ数**: 約 1000, **試作ラン**: ローム CMOS 0.6  $\mu$  m 4.5mm 角, **チップ種別**: 通信



## MOSFET の回路特性のばらつきを測定するための回路

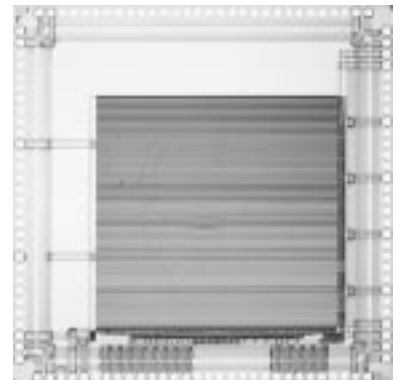
大阪大学工学部 清水 由幸, 谷口 研二

**チップ概要** 回路作製プロセスの影響により, 同一チップ上の MOSFETでも特性のばらつきが現れる. しきい値のばらつきの偏差は MOSFETのゲート面積に反比例する. その比例係数を求めるのが, 本回路を設計した目的である. 多数の, 異なるゲート面積の MOSFETについて, しきい値を統計的に測定することにより, 比例係数を求めることができる.

今回試作したチップには, 同一ゲート寸法の n型 MOSFETを約 1000個, それを 32通りのゲート寸法について作成した. 各 MOSFETのソースは接地されており, ドレインは出力から電圧を加えることが出来る. デジタル回路部により, ゲートとドレインをバイアスする MOSFETを4つに選ぶことができる. これにより各 MOSFETのしきい値を測定し, そのばらつきを調べる.

**使用ツール**: Cadence 社 Virtuoso, HSPICE, **試作日数**: 学部 4 年生が 1 名で行い, 約 1ヶ月

**トランジスタ数**: 約 40000, **試作ラン**: ローム CMOS 0.6  $\mu$  m 4.5mm 角, **チップ種別**: アナログ



### 8bitSRAM+D/A 変換器つきアナログ連想記憶システムの設計

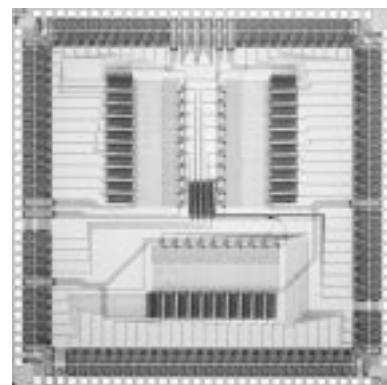
東北大学電気通信研究所 原田 知親, 佐藤 茂雄, 中島 康治

**チップ概要** 画像や音声といった情報はアナログ量であり, 集積化の際にはほぼ同等の精度をだすのに, デジタル信号技術では回路規模の大規模化・計算時間の膨大さという欠点がある. そこで, これらの欠点を改善し, 直接アナログで高速・並列に連想処理ができ, かつ未知情報を記憶・選別可能なアナログ連想記憶システムを提案し[1], そのシステム構成の一部として集積化を行なった. 今回は, アナログ値で構成される入力ベクトルに対して, 直接アナログで高速かつ並列に連想処理を行なえるシステムを試作した. システム構成としては, 5 入力 4 出力のアナログ連想記憶システムで, 5 要素のアナログベクトルを 4 個記憶かつ連想処理が可能である. アナログメモリの搭載については, 8bitSRAM と D/A 変換器を組み合わせることで実現した. 本試作で搭載しているアナログメモリは連想記憶システムのアナログベクトル記憶用に 20 個搭載しているが, それとは別にアナログメモリのみで動作させることが可能にしており, それについては 10 個搭載している.

**使用ツール:** Cadence 社 Virtuoso, HSPICE, **試作日数:** 博士の学生 1 名で行い, 約 1ヶ月,

**トランジスタ数:** 約 1 000, **試作ラン:** ローム CMOS 0.6  $\mu$  m 4.5mm 角, **チップ種別:** 信号処理

**参考文献:**[1] T.Harada, S.Sato, and K.Nakajima, " A Content-Addressable Memoery using Switched Diffusion Analog Memory with Feed-back Circuit ", IEICE TRANS. Fundamentals. Vol.E82-A, No.2, Feb. 1999



### ニューロンチップのためのアナログ長期記憶回路の試作

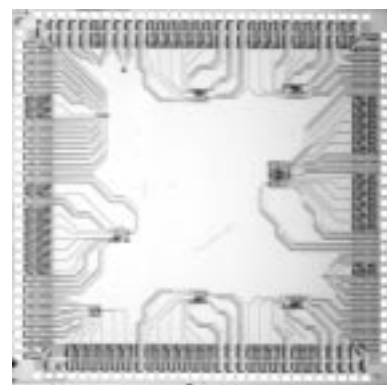
東北大学電気通信研究所 金城 光永, 佐藤 茂雄, 中島 康治

**チップ概要** デジタルでのニューロンチップ実現は, シナプスでの演算精度と記憶回路面積が比例の関係にあるため大規模ニューラルネットワークの構成は回路規模も大規模になってしまい集積化に不向きである. そこで, アナログ技術を回路構成に適用すれば高密度のニューロンチップを実現できる. ここで, アナログ情報を記憶するため既存のデジタルメモリを利用するには, A/D 及び D/A 回路が必要となり, 回路面積・動作速度の点であまり実用的でない. 従って, スタンダード CMOS プロセスにおいて, 高精度で且つ長期記憶が可能なアナログメモリを実現する必要がある. 今回試作した回路はキャパシタをメインにしたアナログメモリのテスト回路であり, ミラー容量を利用したタイプ, 差動アンプを利用したタイプ, 及び比較のためのキャパシタのみのタイプの 3 種類である. ミラー容量を利用したタイプは小面積でキャパシタンスを稼げるため長期保存は可能だが動作レンジが狭い. 差動アンプを利用したタイプは動作レンジが広い反面, 回路規模は大きい.

**使用ツール:** Cadence 社 Virtuoso, HSPICE, **試作日数:** 博士の学生 1 名で行い, 約 3 ヶ月,

**トランジスタ数:** 約 1000, **試作ラン:** ローム CMOS 0.6  $\mu$  m 4.5mm 角, **チップ種別:** アナログ

**参考文献:**[1] C・モード, " アナログ VLSI と神経システム ", トッパン.

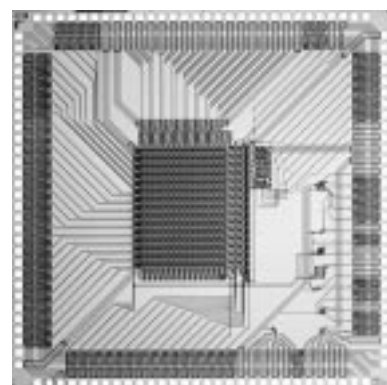


### On-chip 学習可能な量子化結合ニューラルネットワークの集積化

東北大学電気通信研究所 片山 康弘, 佐藤 茂雄, 中島 康治

**チップ概要** 工学分野におけるニューラルネットワークの応用には, その独自アーキテクチャを有効にするため専用ハードウェア化が必須であり, 特に VLSI による高集積化が期待されている. 高集積化を実現する方法として, 結合荷重値を量子化(低 bit 化)することで, 大きな面積を占めるシナプス回路を簡略化することは非常に有効な手段である. しかし, 結合荷重の量子化はニューラルネットワークの集積化を容易にする一方で, 学習を困難にすることが大きな問題となる. 本研究では, 量子化結合ニューラルネットワークの学習を可能にすることで, on-chip 学習可能なニューラルネットワークの高集積化を試みた. 本チップでは on-chip 学習可能な 3 値 ( $\pm 1$  or 0) の荷重値を持つ 15 ニューロン (225 シナプス) の DBM ネットワークを試作した.

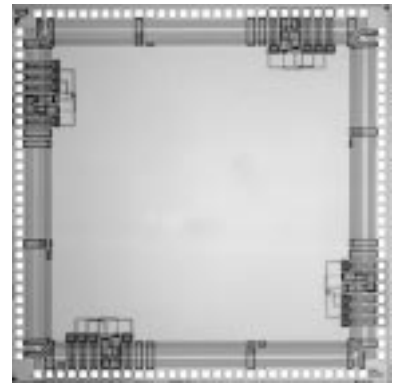
**使用ツール:** Cadence 社 Virtuoso, HSPICE, **試作日数:** 修士の学生 1 名で行い, 約 3 週間, **トランジスタ数:** 約 15000, **試作ラン:** ローム CMOS 0.6  $\mu$  m 4.5mm 角, **チップ種別:** ニューテクノロジー, **参考文献:**[1] 片山, 佐藤, 中島, " 量子化結合ニューラルネットワークの学習とその集積回路による実現 ", 2000 年電子情報通信学会総合大会講演論文集, D-2-3, (2000).



## アナログ回路（差動増幅アンプ）の設計

東京大学大学院工学系研究科 岩瀬 英二，中井 亮仁，長澤 純人，下山 勲

**チップ概要** 今回の試作はアナログ回路の製作を目標としていたが、過去の技術の蓄積がなかったため、VDEC主催の『夏の学校』に参加し、また関連文献を読むなどして事前に勉強を重ねた。その演習として、基本的なアナログ回路である差動増幅回路を製作し、その過程を文章化して研究室用のマニュアルを作成した。試作した差動増幅回路は5つのCMOSトランジスタから成り、1つは回路図的な配置で設計し、もう1つは対称性を意識した配置とした。これは『夏の学校』の講義にあった対称的な配置の重要性を検証するためである。  
**使用ツール**：Cadence社 Virtuoso, Dracula, **試作日数**：学部4年生2名で行い、約1週間、**トランジスタ数**：5、**試作ラン**：ローム CMOS 0.6  $\mu$  m 4.5mm 角、**チップ種別**：アナログ  
**参考文献**：[1] Carver Mead: “ Analog VLSI and Neural Systems“, pp. 67-79, Addison-Wesley Publishing Company (1989).



## 冗長二進CORDIC演算器等を有する16ビットパイプラインプロセッサ

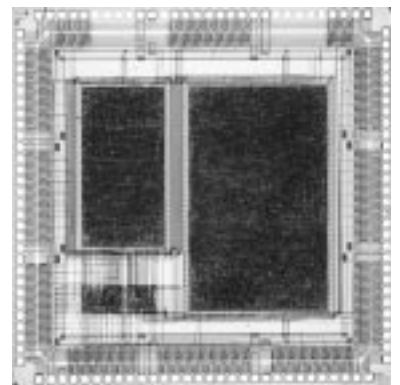
奈良先端科学技術大学院大学情報科学研究科 堀山 貴史，尾辻 崇，木村 晋二

**チップ概要** 画像処理やロボットの制御等の処理では、2次元ユークリッドノルムや三角関数の計算を頻繁に用いる。これらの演算を高速に処理するために、冗長二進CORDIC (COordinate Rotation DIgital Computer)演算器を持つ16ビットパイプラインプロセッサの設計を行った。CORDIC法はシフトと加減算、ROMからの定数の読み出しという単純な演算の繰り返しによる計算法であり、演算の組合せ方や定数を格納するROMを切り替えることで三角関数計算、2次元ユークリッドノルム計算、積和演算、除算を実行することが可能である。また、各繰り返し中の加減算を冗長二進法で計算することで、桁上げのない高速な演算が可能である。さらに、本チップには教育用16ビットパイプラインプロセッサが含まれている。このプロセッサはDLXアーキテクチャに基づいており、シンプルながらもストール処理、データフォワードリング、ロード/ストアパイパス等の基本的な機能を有している。以上2つのプロセッサはクロック、リセット、命令/データバス等の入出力端子を共有し、制御回路により選択的に動作させることが可能となっている。

**使用ツール**：Synopsys Design Compiler, Avant! Apollo,

**試作日数**：修士の学生、助手各1名で行い、ツール使用方法の習得を含めて約2ヶ月、

**トランジスタ数**：約80k、**試作ラン**：ローム CMOS 0.6  $\mu$  m 4.5mm 角、**チップ種別**：デジタル



## 論理回路設計実習における16ビットパイプラインプロセッサの設計

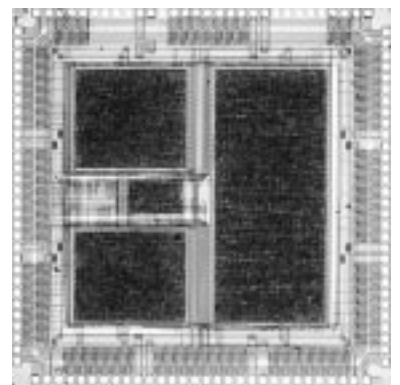
奈良先端科学技術大学院大学情報科学研究科

堀山 貴史，河村 透，鈴木 和博，木村 晋二

**チップ概要** 本研究科ではハードウェア記述言語を用いた論理回路設計実習を行っている。設計課題はDLXアーキテクチャを基本とするパイプライン制御のプロセッサとした。クロック、リセット、命令/データバス等の入出力端子を共通仕様とした。また、動作の可視化のため、プログラムカウンタ、汎用レジスタなどの内部状態を観測するための端子を持つこととした。これら以外については、命令セットを含めて各自が自由に設計を行った。

VHDLによる設計および各プロセッサのマクロセルのレイアウトは修士1年生2名と助教授1名が各々行い、助手1名が3個のプロセッサの外部に制御回路を付加して全体を1チップにまとめた。修士1年生1名の設計したプロセッサには、乗算器が含まれている。助教授の設計したプロセッサには冗長二進演算部が含まれており、また、**トランジスタ数**の増加を抑えるためにレジスタアレイは冗長四進でデータの格納を行い、ALUとの間に変換部を設けている。

**使用ツール**：Synopsys Design Compiler, Avant! Apollo, **試作日数**：修士の学生2名と助教授1名で行い、ツール使用方法の習得を含めて約2ヶ月、**トランジスタ数**：約90k、**試作ラン**：ローム CMOS 0.6  $\mu$  m 4.5mm 角、**チップ種別**：デジタル



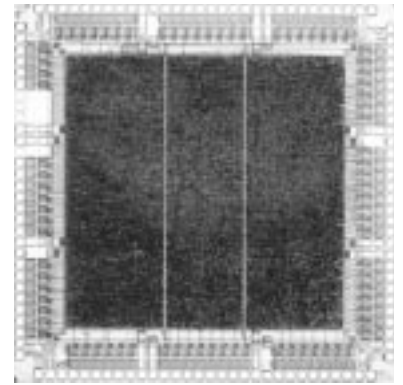
## 不特定話者音韻レベル音声認識回路

奈良先端科学技術大学院大学情報科学研究科

中村 一博, 朱 強, 丸岡 新治, 堀山 貴史, 木村 晋二, 渡邊 勝正

**チップ概要** 情報機器の一般家庭への普及に伴ってユーザ親和性に優れた音声によるインターフェースが注目され、パーソナルコンピュータ上の音声認識ソフトや音声認識機能付きの携帯電話等が開発されている。我々は、外部学習回路インターフェース付き音声認識回路の設計を行った。今回試作した回路は、デジタル化された音声(22.05kHz, 16ビットサンプリング)を入力として、不特定話者の揺らぎに強いHMM(隠れマルコフモデル)に基づき、リアルタイムに音韻単位の認識を行う。回路は、1フレーム(11.6msに相当)分の音声データから24次元の特徴ベクトルを求めるLPC(線形予測分析)部、特徴ベクトルを8ビットのシンボルに写像するVQ(ベクトル量子化)部、16フレーム分のシンボル系列から認識を行うHMM認識部で構成される。LPC・VQ部とHMM認識部は並列に動作する。また、誤認識に対応するために、FPGAによる外部学習回路とリンクすることにより、ソフトウェアのみでは実現困難なリアルタイムでの音声認識・学習が可能となっている。

**使用ツール**: Synopsys Design Compiler, Avant! Apollo, **試作日数**: 修士の学生3名で行い、約2ヶ月, **トランジスタ数**: 約110k, **試作ラン**: ローム CMOS 0.6  $\mu$ m 4.5mm 角, **チップ種別**: 信号処理

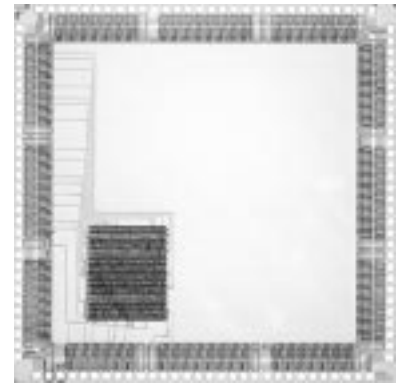


## パイプライン離散相関器の設計

大阪大学大学院工学研究科 仁田 功一, 谷田 純, 一岡 芳樹

**チップ概要** 離散相関演算は、二次元離散デジタル情報の近傍画素間演算を定義し、エッジ抽出や細線化などデジタル画像処理における基本演算である。また、入力情報に対する符号化により論理演算への拡張が可能であり、汎用処理のための基本演算として重要である。今回は、離散相関演算の実現形態の一つとして、データサイズ $8 \times 8$ 近傍画素間の積和演算をパイプライン処理で実行する離散相関器を設計した。設計には豊橋技術科学大学のライブラリを使用し、スタンダードセル設計を行った。テストデータによりチップの正常な動作を確認した。本研究では、相関器を高性能化するため、パイプライン相関器と光入出力ポートをLSI上に集積する光・電子融合型離散相関器についての検討も行っている[1]。

**使用ツール**: Cadence 社 Cell Ensemble, Diva, **試作日数**: 修士の学生1名で行い、約2ヵ月, **トランジスタ数**: 約10000, **試作ラン**: ローム CMOS 0.6  $\mu$ m 4.6mm 角, **チップ種別**: デジタル  
**参考文献**: [1]仁田他: "光電子融合型離散相関器の設計", p129, Optics Japan '99 講演予稿集(1999).



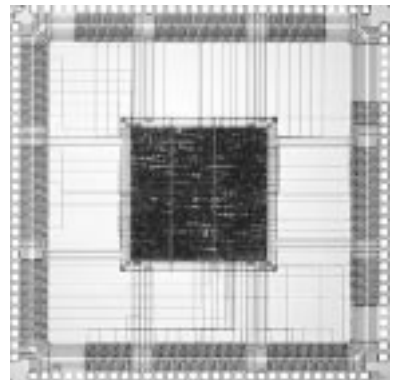
## ATLAS トリガーシステム用読出 IC の設計

東京都立大学理学研究科 狩野博之, 福永 力

高エネルギー加速器研究機構 池野正弘, 佐々木修

**チップ概要**: ATLAS 実験では、測定されるデータ量が膨大な為、3段階のトリガーシステムとを採用する。ここで初段のトリガーは、有意と考えられるデータもしくはノイズかどうかを高速で判断し、トリガーをかけなければならない。今回は実際の予定しているASICのサブセット設計し、実際にテストを行うことで、ロジックが妥当であるか、十分な動作周波数が得られるか等の情報を得る事を主な目的としている。

**使用ツール**: Cadence 社 Virtuoso, **試作日数**: 博士の学生1名で行い、約2週間, **トランジスタ数**: 約10000, **試作ラン**: ローム CMOS 0.6  $\mu$ m 4.5mm 角, **チップ種別**: デジタル



## ATLAS 実験におけるミュオン検出器用回路の試作

東大理学系研究科 戸谷 大介

京大理学研究科 西田 昌平

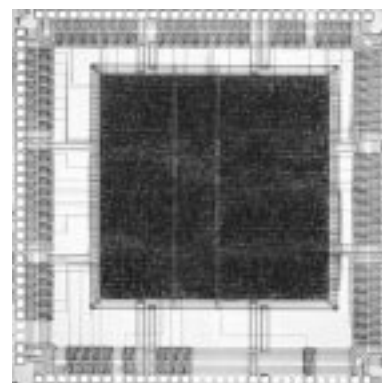
**チップ概要** 欧州素粒子物理学研究所で行なわれる ATLAS 実験のミュオン検出器用のデータの読み出し用の回路とミュオンによる信号を選別する回路を含むチップを作成した。前者の回路はミュオン検出器からのデータを保持し、読みだし要求があったものについて、イベント番号をつけた上、シリアルに変換して送信する回路である。後者の回路は2組の検出器でのミュオンの通過位置を入力とするマトリクス状になっている。この回路では複数の検出器から出力があることを要求して偽信号を除いている。また磁場による通過位置の変化から求めた運動量が最も大きいミュオンを選択する。

**使用ツール** : Verilog-XL, DesignCompiler, Appollo, Dracula

**試作日数** : 修士の学生2名で行い、約一ヶ月

**トランジスタ数** : 約 21000 ゲート, **試作ラン** : ローム CMOS 0.6  $\mu$  m 4.6mm 角, **チップ種別** : デジタル

**参考文献** :



## PWM 方式抵抗ヒューズ回路・ガボール型フィルタ回路・任意カオス生成回路

広島大学工学部 三宅 誠, 西島 誠一, 村越 健一, 森江 隆, 永田 真, 岩田 穆

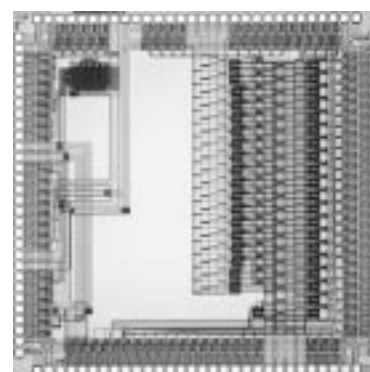
**チップ概要** 我々が提案している任意の非線形ダイナミカルシステムのためのパルス変調回路アーキテクチャ[1]により、画像の平滑化・エッジ強調を行う抵抗ヒューズネットワーク回路[2]および画像の局所的特徴抽出を行うガボール型フィルタ回路[3]を設計した。また、非線形アナログ電圧時間波形を PWM/PPM 信号を用いて入出力関数に変換することにより、任意のカオスを生成する回路[4]を設計した。

**使用ツール** : HSPICE(Avant!), SX9000(SII), Diva(Cadence), **試作日数** : 修士3名, 約3ヶ月

**トランジスタ数** : 約 10,000, **試作ラン** : ローム CMOS 0.6  $\mu$  m 4.5mm 角,

**チップ種別** : ニューテクノロジー

**参考文献** : [1] T. Morie, et al., NOLTA '98, pp.447-450, 1998. [2] 三宅他, 信学総大, A-1-46, 2000. [3] 西島他, 信学総大, A-1-51, 2000. [4] 村越他, 信学総大, A-1-19, 2000.



## カオスニューラルネットワーク回路(2)

広島大学工学部 中村 恒博, 森江 隆, 永田 真, 岩田 穆

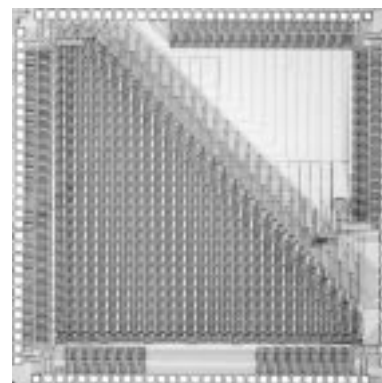
**チップ概要** 我々が提案している任意の非線形ダイナミカルシステムのためのパルス変調回路アーキテクチャ[1]により、任意の非線形活性化関数を有し、カオスダイナミクスを実現する相互結合型ニューラルネットワーク回路を設計した[2]。25ニューロンを組み込み、信号の伝送に PWM 信号を、ニューロン内部の処理に PPM 信号を用いている。このチップは98年に設計したチップの修正版である。

**使用ツール** : HSPICE(Avant!), SX9000(SII), Diva(Cadence),

**試作日数** : 修士1名, 約1ヶ月

**トランジスタ数** : 約 49K, **試作ラン** : ローム CMOS 0.6  $\mu$  m 4.5mm 角, **チップ種別** : ニューテクノロジー

**参考文献** : [1] T. Morie, et al., NOLTA '98, pp.447-450, 1998. [2] 中村他, 信学ソサイエティ大会, SA-1-1, 1999.





## 260 × 260 画素イメージセンサーの試作

奈良先端科学技術大学院大学 物質創成科学研究科 阪田 裕彦, 時田 直幸, 太田 淳

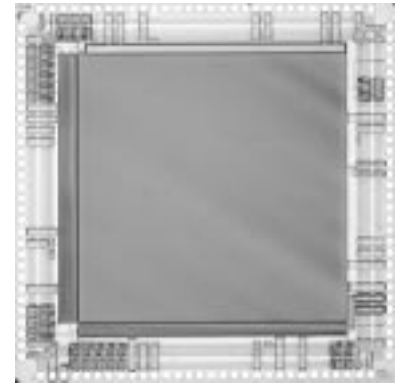
**チップ概要** 今回試作したイメージセンサーは260 × 260の画像を出力することを目的に設計した。試作したイメージセンサーは、画素数260 × 260で、画素はフォトダイオードとリセット用、選択用のトランジスタ3個からなり、出力として画素アレイの行、列それぞれにスキヤナーを配置し、選択された画素の光電流が出力されるように設計した。

画素サイズは12 μ m × 12 μ m、開口率は20%となった。

**使用ツール**：Cadence社 Virtuoso, HSPICE, **試作日数**：修士の学生2名で行い、約1週間

**トランジスタ数**：約200000, **試作ラン**：ローム CMOS 0.6 μ m 4.6mm 角,

**チップ種別**：画像 & MEMS



## カルコゲナイド薄膜を用いた不揮発性メモリのための下地基板

金沢大学工学部 今井 豊, 早川 史人, 秋田 純一

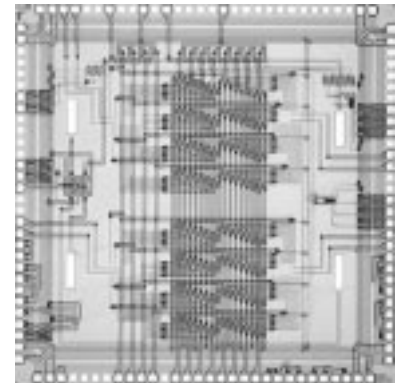
**チップ概要** 本試作チップはカルコゲナイド薄膜を用いた不揮発性メモリの集積化を検討するための下地基板である。メモリ素子はFIB装置により素子領域を形成し、カルコゲナイド薄膜及び上部電極を蒸着することにより作製される。この素子はカルコゲナイド半導体の相転移現象を用いており、電気的パルスによって書き換えが可能である。しかし、素子に方向性が無いためランダムアクセスを可能にするためにはダイオードなどの方向性を持った素子がトランジスタのようなスイッチング素子が必要となる。

過去にマトリクスアレイ状の配置を実現するためダイオードを用いたチップを試作したが、本チップにおいてはダイオードに加えて、トランジスタを用いての実現も試みた。

本チップにはトランジスタを用いた8 × 8のアレイとダイオードを用いた4 × 4のアレイが存在する。左右にはトランジスタを駆動するためのインバータ、各ラインを選択するためのデコーダが配置されている。また単一のメモリ素子についての特性評価ができるようにアレイ状に配置しないメモリ素子のための配線も用意されている。

**使用ツール**：Cadence社 Virtuoso, HSPICE, **試作日数**：修士の学生1名で行い、約2週間,

**トランジスタ数**：約300, **試作ラン**：ローム CMOS 0.6 μ m 4.6mm 角, **チップ種別**：メモリ



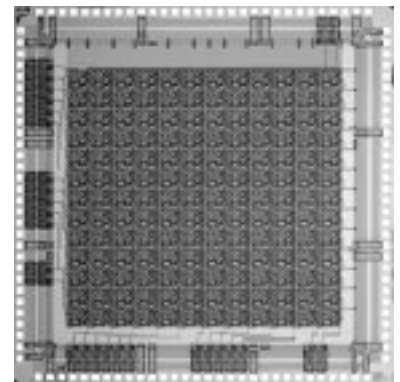
## 光電流集約機構を持つ重心検出画像センサの設計

金沢大学工学部 高瀬 信二, 渡辺 晃, 遠山 治, 秋田 純一

**チップ概要** 近年の集積回路技術により、スマートセンサといわれる受光系と処理系の一部を同一チップ上に組み込んだ、画像センサの研究が広く行われているが、その研究の多くは通常の画像処理において前処理部分となる、エッジ検出といった機能を持つ回路を組み込んだものである。そこで本研究では画像処理の中で領域の重心検出に着目し、それを実現するための比較的簡単な回路を検討し受光系と共に組み込むことで、スマートセンサの実現を試みた。今回検討した重心の検出方法として、マトリクス状に配置した二次元抵抗網を用い、感知した領域の重心となるノードに受光系から発生した光電流を集約させる機構を提案した。試作したスマートセンサは、画素サイズが約300 μ m × 300 μ m、集積できた画素数が12 × 13、開口率は4.5%となった。また、3層目の金属を用いて受光部分以外に光シールドを施している。HSPICEによるシミュレーションの結果では、13nsでの動作が確認された。

**使用ツール**：Cadence社 Virtuoso, HSPICE, **試作日数**：修士の学生2名、学部生1名で行い、約1ヶ月, **トランジスタ数**：11,232,

**試作ラン**：ローム CMOS 0.6 μ m 4.5mm 角, **チップ種別**：アナログ



## 多数決回路を用いたニューロンチップ

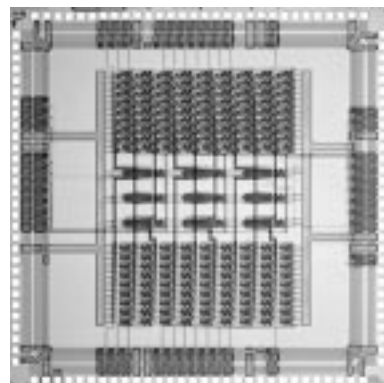
東北大学電気通信研究所 山名 智尋, 早川 吉弘, 中島 康治, 澤田 康次

はじめに 多数決論理はフォールトトレラントシステムやニューラルネットワークにおける基本原理であり, その機能を情報処理に効率よく用いることにより情報処理能力の性能の向上を期待することができる.

電流制御を施した複数のCMOSインバーターの出力を接続した多数決回路が提案されているが[1] 本試作ではそれをニューラルネットワークとして応用するために可変シナプスの実現方法を提案し集積化ニューラルネットワークを構成した.

試作したチップ 今回試作したのは, 9ニューロン 81シナプスからなる集積化ニューラルネットワークである. 回路規模はおよそ7kトランジスタであり, ローム社0.6  $\mu$ mルール, 4.5mm角のチップとして実現した. 設計ツールはCADENCEのlayoutを用いてフルカスタム設計をした. また設計は筆者(博士後期課程の学生)1名で行い約2ヶ月の期間を要した.

参考文献[1] 鈴木康介 片山康弘 佐藤茂雄 中島康治 「高速CMOS多数決回路とその応用」, 電子情報通信学会 信学技報 NLP99-114 (1999-11) pp.25--30



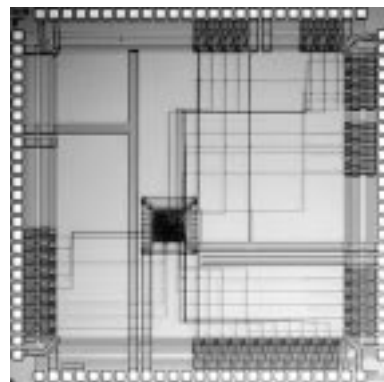
## ALU基本回路の試作(2)

武蔵工業大学工学部 中野 淳一, 大内 康行, 城 茂治, 秋谷 昌宏

はじめに マイクロプロセッサの構成要素である4ビットALU基本回路をVerilog-HDL, Synopsis, Apolloを用いてトップダウンで一連の設計を行った. ALU基本回路は日本モトローラのプロセスで設計したものと同一のものを使用し, 特性が相互に比較できるようにした.

### 試作チップ

AND, OR, XORの基本論理演算命令の他, 加減算命令, 比較命令等16の命令セットを用意した. 又, 基本特性確認用のNAND, NORの基本素子も空スペースに配置した. 設計は修士2年の学生1名と学部学生2名が担当し, パタン修正, エラーチェックまで約1ヶ月を要した.



## EB テスティング手法検証・EBプローバ特性測定用チップの設計

大阪大学大学院工学研究科 三浦 克介, 中前 幸治, 藤岡 弘

チップ概要 電子ビーム(EB)プローバを用いてVLSIの故障診断・解析を行う手法であるEB テスティング手法の検証, ならびにEBプローバの特性測定に用いるチップを設計した. 右図下半分がEB テスティング手法検証用マイクロプロセッサ, 上半分がEBプローバ特性測定用配線群である.

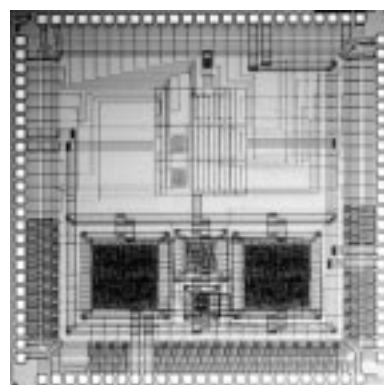
マイクロプロセッサは, 遅延故障のEB自動追跡手法を検証するため, 意図的に遅延故障を組み込んである. 一部の配線にキャパシタを付加し, 外部信号により, キャパシタの容量を8段階に変更できるようにしてある. これにより, この配線の遅延を変更し, 遅延故障を発生させることができる. EBプローバ特性測定用配線群は, 様々な配線幅, 配線間隔で配線が配置されており, これらがEBプローバでの信号波形測定の際に与える影響を評価できるようになっている.

使用ツール: Synopsys社 DesignCompiler, Avant!社 Apollo, HSPICE, Cadence社 Dracula,

試作日数: 助手が設計を行い, 約1ヶ月, トランジスタ数: 約8600,

試作ラン: ロームCMOS 0.6  $\mu$ m 3.9mm角, チップ種別: デジタル,

測定結果: LSI テスタでの機能テスト, EBプローバでの内部配線測定を行い, 僅かなタイミング誤差を除き, 設計通り動作していることを確認した.



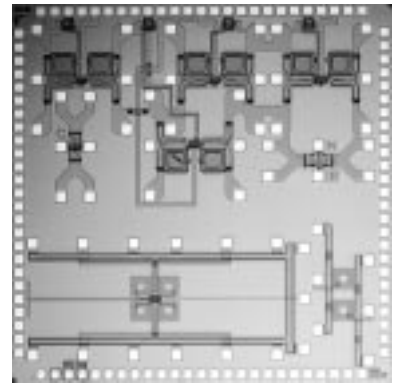
## 高周波発振器の設計

大阪大学大学院工学研究科電子情報エネルギー工学専攻 桜 俊幸, 谷口 研二

**チップ概要** トランシーバの構成要素をLSI上に集積する研究が盛んに行われている。今回の試作ではメタル配線を用いたスパイラルインダクタを用いてモノリシックLC発振器を試作した。スパイラルインダクタのインダクタンスは解析式[1]を用いて導出した。電源電圧は2.5Vである。発振器の構成はネガティブgmを採用し、発振周波数は1.5GHzをねらって試作している。ネガティブgm発振器を組み合わせることによりQuadrature発振器を試作した。また、離れたスパイラルインダクタの相互インダクタンスを測定するためのTEGも試作した。高周波信号をI/Oパッドから取り出す場合、寄生成分により正確な測定が行えない。そこで、高周波測定用のプローブを用いて測定できるようにパッドを配置した。

**使用ツール**: Cadence社 Virtuoso, HSPICE, **試作日数**: 修士の学生1名で行い、約2週間、**トランジスタ数** 約100個, **試作ラン**: ローム CMOS 0.6  $\mu$ m 4.5mm角, **チップ種別**: アナログ

**参考文献** [1] T. H. Lee, "The design of CMOS radio frequency integrated circuits", Cambridge university press, Cambridge (1998)



## 4bitDA コンバータの設計

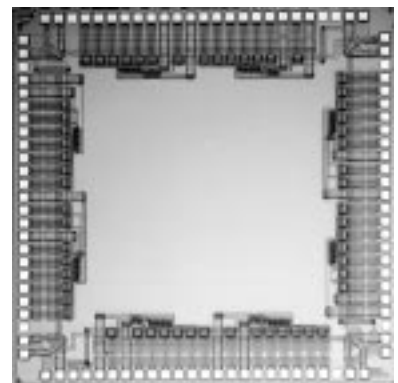
大阪大学大学院工学研究科 岩村 宏, 谷口 研二

**チップ概要** 一連の設計フローを体験することを目的として4bitDAコンバータを設計した。DAコンバータにはR-2Rラダーを用い、その他、ポジティブエッジトリガDフリップフロップ、オペアンプの設計を行なった。

R-2Rラダーを用いる場合、抵抗に関するマッチングはとりやすくなるが、一方でスイッチのon抵抗があるため、結局、DA変換後の信号の線形性は悪くなる。これを改善するために、スイッチ自体も抵抗とみなしてR-2Rラダーの構成にした。また、スイッチどうしのマッチングをとるために、同じスイッチを複数個もちいてR-2Rラダー構成のスイッチのマッチングをとった。これにより、HSPICEを用いたシミュレーション結果で非常に良い線形性を得ることができた。

なお、この回路は電源電圧5Vを用いており、1MHzで動作する。

**使用ツール**: Cadence社 Virtuoso, HSPICE, **試作日数**: 学部4年生1名で行い、約3ヶ月、**トランジスタ数**: 約200, **試作ラン**: ローム CMOS 0.6  $\mu$ m 3.9mm角, **チップ種別**: アナログ



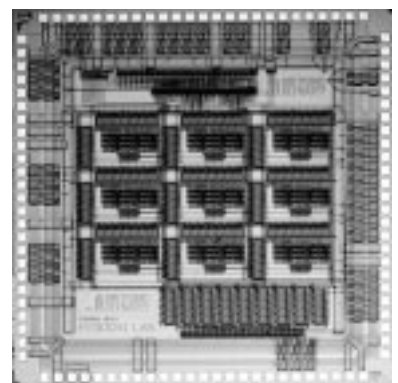
## 符号分割多重通信を用いた完全並列画像処理用プレートマッチング回路の設計

東北大学大学院情報科学研究科 藤田 晋, 青木 孝文, 樋口 龍雄

**チップ概要** 近年の集積回路技術における微細化技術の急速な発展により、1チップに搭載可能な回路規模および機能はますます増大・複雑化あり、デバイスの増加による内部配線の激増が、深刻な問題を引き起こす要因となりつつある。そこで今回の設計では、配線量の多いアーキテクチャの一例として完全並列画像処理用プレートマッチング回路を取り上げ、この配線問題に対処するためにモジュール間配線に多重化・変調の技術の導入を試みた。本回路においては、多重化キャリアとしてM系列を用いており、電流モード回路技術により構成されている。

今回試作した完全並列画像処理用プレートマッチング回路は、画素数 $9 \times 9$ の画像を完全並列に処理可能な回路であり、マッチング回路は従来の2値論理により構成されている。各マッチング回路への入出力信号はそれぞれマッチング回路の前後に付加される回路により分解・多重化される。本回路技術により、2値論理のみによる構成と比較してモジュール間配線を20%から7%へと削減可能となった。

**使用ツール**: Cadence社 Virtuoso, HSPICE, **試作日数**: 修士の学生1名で行い、約1ヶ月、**トランジスタ数**: 32,838, **試作ラン**: ローム CMOS 0.6  $\mu$ m 3.9mm角, **チップ種別**: ニューテクノロジー



## 電流モード2進SD数全加算器の設計

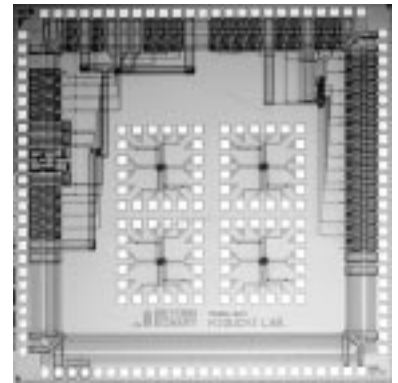
東北大学大学院情報科学研究科 遠藤 昌克, 青木 孝文, 樋口 龍雄

**チップ概要** 電流モード多値集積回路を設計するにあたり, その基本回路となる電流モード2進SD数全加算器(SDFA)が実際のチップではどのような誤差を出力に含むのかを知ることは重要である. 今回の設計では電流モード2進SDFAの実際の動作確認と誤差を測定する目的で設計し, チップには電流信号を入出力できるようにした. また2進SDFAにラッチの機能を組み込んだ Latched SDFA も設計した.

今回試作したチップは, 周辺のパッドへ接続する電流モード2進SDFAを2つとLatched SDFAを1つ, 中心にプロービングカードでの測定用に並べたパッドへ接続した電流モード2進SDFAを4つ設計した. 実際にチップに $-20\mu\text{A}$ から $+20\mu\text{A}$ の電流信号を入出力させ, その動作を確認した. トランジスタの製造誤差による影響が心配されたが, ほぼシミュレーション通りの結果を得られた.

**使用ツール:** Cadence社 Virtuoso, HSPICE, **試作日数:** 修士の学生1名で行い, 約1週間,

**トランジスタ数:** 約400, **試作ラン:** ローム CMOS  $0.6\mu\text{m}$   $3.9\text{mm}$ 角, **チップ種別:** ニューテクノロジー



## 4ビット演算回路の設計試作

千葉大学工学部 内山 啓介, 小林 芳樹, 大豆生田 利章, 伊藤秀男

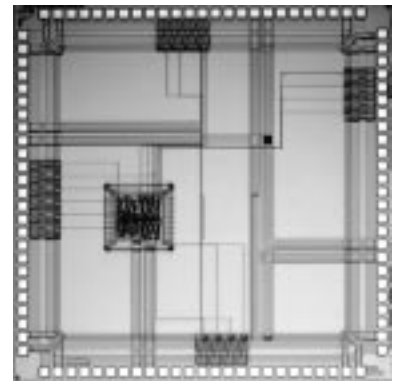
**チップ概要** 本研究室ではVLSIのテスト容易化設計に関する研究を実際のチップを用いて検証することを計画している. この計画の一環として, VLSIの設計手順およびCADツールの使用法に習熟するためにALUと2つのレジスタからなる4ビット演算回路の設計試作を行った.

ALUは4ビットのものである. データバスも4ビットである. ALUは基本的な8種類の演算(インクリメント, デクリメント, レジスタ間の算術演算, 論理演算, など)を行う. レジスタは4ビットの汎用レジスタ2つと, NZVCフラグレジスタを用意した.

**使用ツール:** Design Compiler, Avant!, **試作日数:** 修士の学生2名, 助手1名で行い, 約3ヶ月,

**トランジスタ数:** 135セル, **試作ラン:** ローム CMOS  $0.6\mu\text{m}$   $3.9\text{mm}$ 角, **チップ種別:** デジタル

**参考文献:**



## CLBの設計試作

千葉大学工学部 楊 石, 大豆生田 利章, 伊藤 秀男

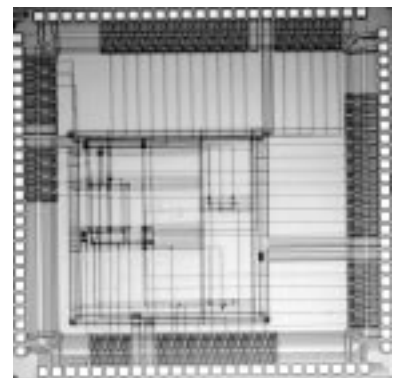
**チップ概要** 本研究室では, シフト手法を用いてFPGAにおける欠陥回避の研究を行っている. また, その有効性を実証するために, FPGAチップを設計して動作確認をする計画を立てている. 今回は, この計画の一環として, VLSIの設計手順およびCADツールの使用法に習熟するために, FPGAの中心部となるCLB(configurable logic block)の設計試作を行った.

チップは4入力LUT(look up table), FF(flip flop)を2つずつ持ったものであり, 4変数関数を2つ, または8変数関数を1つ実現することができる. また, マルチプレクサの選択で, 組合せ回路か, 順序回路を実現することができる.

**使用ツール:** Design Compiler, Avant!, **試作日数:** 修士の学生1名, 助手1名で行い, 約3ヶ月,

**トランジスタ数:** , **試作ラン:** ローム CMOS  $0.6\mu\text{m}$   $3.9\text{mm}$ 角, **チップ種別:** デジタル

**参考文献:**



### ニューロン MOS 回路群と 2 ビットマイクロプロセッサの試作

静岡理科大学大学院理工学研究科材料科学専攻 落合 忠博, 石倉 康充, 波多野 裕  
理工学部電子工学科 伊藤外 憲己, 河原崎 正吾, 竹下 智之, 仲本 政樹, 波多野 裕

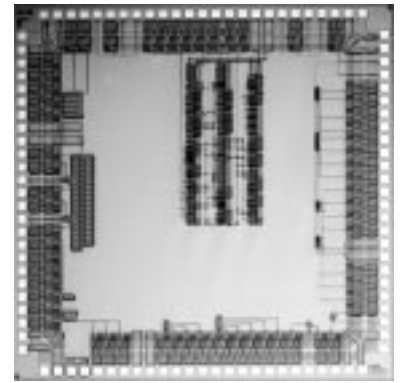
**チップ概要** ニューロン MOS マクロモデル[1]-[3]の有効性を実証するため, ニューロン MOS 回路群を  $0.6 \mu\text{m}$  CMOS プロセスを用いて設計した. さらに, 当研究室で開発したマクロセルライブラリを用いて, 2 ビットマイクロプロセッサを設計した. また, 提供のライブラリを用いて加算回路, 減算回路, プログラムカウンタ, シフトレジスタを設計した.

**使用ツール**: HSPICE など, **試作日数**: 修士の学生 2 名と学部学生 4 名で行い, 約 1 ヶ月,

**トランジスタ数**: 約 1k, **試作ラン**: ローム CMOS  $0.6 \mu\text{m}$  3.6mm 角,

**チップ種別**: デジタル

**参考文献**: [1] T. Ochiai and H. Hatano, " DC characteristic simulation for floating gate neuron MOS circuits ", Electronics Letters, vol. 35, no. 18, pp. 1505-1507, Sep. 1999. [2] T. Ochiai and H. Hatano, " A proposition on floating gate neuron MOS macromodeling for device fabrications ", IEICE Trans. Fundamentals, vol. E82-A, no. 11, pp. 2485-2491, Nov. 1999. [3] T. Ochiai and H. Hatano, " A technique for floating gate neuron MOS simulation ", ECS Joint International Meeting, abs. no. A1-93, Oct. 1999.



### 再構成可能なマルチスレッドプロセッサの設計

長崎総合科学大学 後田 司, 田中 一成, 田中 義人

**チップ概要** マルチスレッドアーキテクチャを用いた再構成可能なプロセッサ試作のための, プロセッサのスレッドエレメントとなるスレッドコア, メモリ, スイッチマトリックスの TEG を目的としている. メモリとスイッチマトリックスは Cadence のレイアウトエディタ, スレッドコアは Synopsys の Design Compiler で論理合成したあと Avant! の Apollo で EXD ライブラリを利用して設計した. これらは, Cadence 上で接続した.

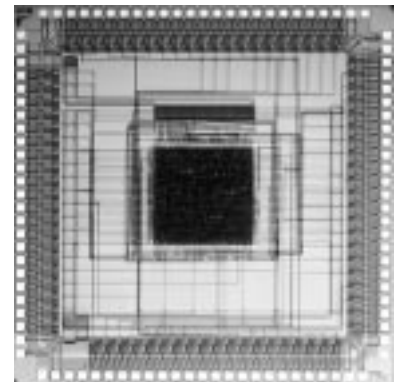
メモリの書き込みテスト, 簡単な動作テストをした結果, 期待どおりの動作が確認された.

**使用ツール**: Synopsys, Cadence, Avant!

**試作日数**: 修士の学生 1 名, 学部の学生 1 名で行い, 約 1 ヶ月間, ゲート数: 20K

**試作ラン**: ローム CMOS  $0.6 \mu\text{m}$  4.5mm 角, **チップ種別**: デジタル

**参考文献**: [1] 後田 司: リコンフィギャラブルマルチスレッドプロセッサの試作, 平成 11 年度(第 5 2 回)電気関係学会九州支部連合大会講演論文集



### パイプライン ADC の試作

長崎総合科学大学工学部 清山 浩司, 福富 雅彦, 田中 義人

**チップ概要** パイプライン 1 ビット A/D 変換回路の試作を行った. 今回の試作では, パイプライン 1 ビット A/D 変換回路に使用する部品, サンプル&ホールド回路, コンパレータ, 2 倍増幅器の TEG の設計・評価を目的とする. 設計は, Cadence のレイアウトエディタですべて手作業で行った. Cadence の Composer で回路設計後, レイアウトから Diva で抽出後, それぞれ HSpice でシミュレーションを行った.

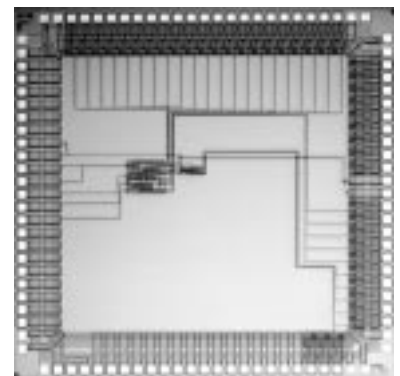
**使用ツール**: Cadence 社 Layout Editor, HSPICE,

**試作日数**: 修士, 学部の学生各 1 名で行い, 約 2 ヶ月,

**トランジスタ数**: 約 200 個 **試作ラン**: ローム CMOS  $0.6 \mu\text{m}$  3.9mm 角,

**チップ種別**: アナログ

**参考文献**: [1] 清山浩司: パイプライン ADC の試作, 第 7 回電子情報通信学会九州支部学生会講演論文集(1999 年 10 月 4 日)



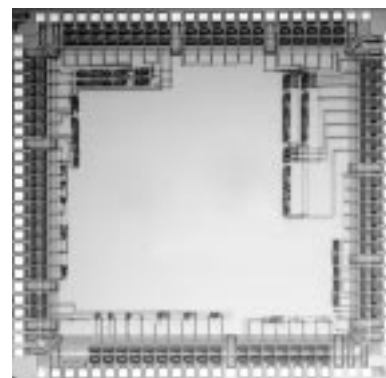
## 階層型アナログニューラルネット回路の試作

静岡大学工学部システム工学科 高崎 努, 浅井 秀樹

**チップ概要** 従来のノイマン型アーキテクチャでは解決が困難な問題を扱えるという理由などからニューロチップの可能性に期待が集まっている。我々の研究室では画像処理を目的としたアナログニューロチップの応用を考えている。ニューラルネットのモデルとして階層型を採用し、そのモデルを構成するための回路としてOTA, 乗算器, フローティング抵抗等の回路の試作を行った。また, これらを用いた小規模な階層型ネットワークを構成した回路も実装した。設計には研究員1名が2ヶ月ほど要した。

**使用ツール**: Cadence社 Virtuoso, Dracula, HSPICE **トランジスタ数**: 約1000個

**試作ラン**: ローム CMOS 0.6  $\mu$ m 3.9mm角, **チップ種別**: アナログ



## アナログニューラルネットワーク回路の試作

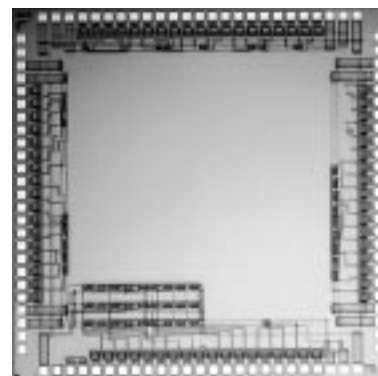
静岡大学工学部 米山 輝, 高崎 努, 東藤 良奈, 浅井 秀樹

**チップ概要** ニューラルネットワークは新しい情報処理能力を持つシステムであり, そのモデルや学習法に関して盛んに研究が行なわれています。ニューラルネットワークの特徴として, アナログ・非線形・高並列処理性があげられます。このようなニューロダイナミクスのメカニズムの解明および性能評価を正確に行なうためにも, アナログ回路による実装が必要であると考えられます。今回我々はアナログニューラルネットワークの基本素子の設計を行いました。

今回設計した回路は, ニューロンの基本素子であるOTA, オペアンプ, 及びシナプス荷重として用いるフローティングレジスタにより構成されています。シナプス荷重として用いるフローティングレジスタは, バイアス電圧を変化させることにより抵抗値を変化させることができます。また, 3ニューロン, 9シナプスからなるリミットサイクル発生器の設計も行いました。

**使用ツール**: Cadence社 Virtuoso, Dracula, HSPICE, **試作日数**: 博士の学生1名及び研究員2名で行い, 約2ヶ月間,

**トランジスタ数**: 約1000, **試作ラン**: ローム CMOS 0.6  $\mu$ m 4.5mm角, **チップ種別**: アナログ



## 4 x 4 ビット乗算回路と非対称誤り記憶素子の設計

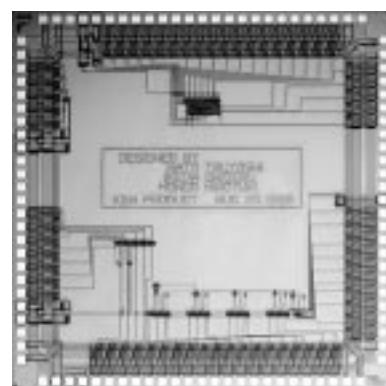
仙台電波高専 中林 撰, 鹿股 昭雄, 佐藤 剛, 本郷 裕行, 池田 茂

**チップ概要** 本チップには, 大きく分けて2種類の回路を実装した。

一つは4 x 4ビット乗算回路である。乗算回路はBoothのアルゴリズムを使用したものであり, 設計技術の習得のほか, 回路の実効面積の測定や演算速度などの性能評価を目的として設計を行った。もう一つは, 非対称誤り記憶素子である。マスタスレーブ型Dタイプフリップフロップを構成する対のNANDゲートの一方の入力に抵抗とコンデンサーからなる充放電回路を付加し, 電源雑音によって, たとえ誤ったとしてもフリップフロップの出力が論理“0”に非対称に誤る記憶素子を試作した。抵抗にはNウェルを用い, コンデンサにはMOSキャパシタを用いた。

**使用ツール**: Cadence社 Virtuoso, HSPICE, **試作日数**: 専攻科学生1名, 5年生2名で行い, 約1ヶ月。

**トランジスタ数**: 約4,000, **試作ラン**: ローム CMOS 0.6  $\mu$ m 3.9mm角, **チップ種別**: デジタル



## アナログ JTAG 回路の試作

東京農工大学工学部 水野 裕

高エネルギー加速器研究機構 新井 康夫

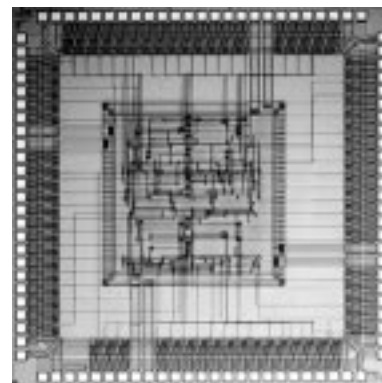
**チップ概要** 高エネルギー物理実験では検出器からの信号チャンネル数の増大に伴い 検出器の側に LSI を置き、高度なアナログ-デジタル処理を行うようになってきた。この為、検出器の外から故障診断を行うことが難しくなっている。我々はフロントエンド LSI 内部にデジタル JTAG 回路に加えて、アナログ JTAG 回路を置き、必要なアナログ情報を得られるようにすることを計画している。今回のチップはそのためのアナログ JTAG 回路の試作で、ABM(Analog Boundary Module)や TBIC(Test Bus Interface Circuit)等の回路よりなっている。

**使用ツール** : Cadence 社 Verilog-XL , Virtuoso, Synopsys社 Design Compiler, Avant!社 MilkyWay ,

**試作日数** : M2 学生 1 名で行い、約 2 ヶ月、**トランジスタ数** : 約 2000 ,

**試作ラン** : ローム CMOS 0.6  $\mu\text{m}$  3.9mm 角、**チップ種別** : アナログ、デジタル

**参考文献** : [1] 新井“ アナログメモリー用制御回路の試作 “ , 1999 年 VDEC 年報 (2000).



## ループ定数可変制御による高速引き込み PLL

九州大学 大学院 システム情報科学研究科 中司 賢一、吉澤 弘泰

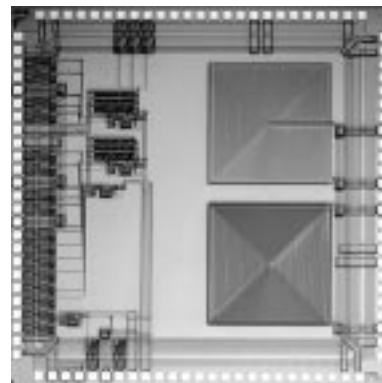
**チップ概要** PLL はクロック生成 / 再生において重要な機能回路である。高速引き込みと低ジッタ特性が要求されるが、設計上これらは相反する設計パラメータである。従来では、ループパラメータは固定かあるいは 2 - 3 段階の可変であった。今回、入力信号と VCO 信号との周波数差を検出し、その情報により LPF の容量値を制御しループ定数可変を連続的に制御する高速引き込み PLL を実現した。これにより PLL の動作状態に応じて最適なループ定数が設定され、高速引き込みと低ジッタ特性を同時に満たすことが可能となった。

試作チップには、PLL 3 種類とディスクリフトインダクタ T E G を集積している。周波数差検出器は Verilog-HDL による設計で、PLL はフルマニュアルである。シミュレーション結果によれば、引き込み時間は約 1.2msec であり、これは従来型と比較して約 2 倍高速である。また、最高動作周波数は 4 5 0 M H z であった。

**使用ツール** : Cadence 社 Virtuoso, Synopsys社 Design Compiler, HSPICE ,

**試作日数** : 教官 1 名で行い、約 1 ヶ月、**トランジスタ数** : 2210 , **試作ラン** : ローム CMOS 0.6  $\mu\text{m}$  3.9mm 角、**チップ種別** : アナログ

**参考文献** : K.Nakashii, et al., “ A PLL with Variable Loop Gain for Fast Lock-in ” , Proc. ISIC99, pp.263-266, 1999.



## 2次元アナログ人工網膜チップの設計

九州工業大学情報工学部 亀田 成司、八木 哲也

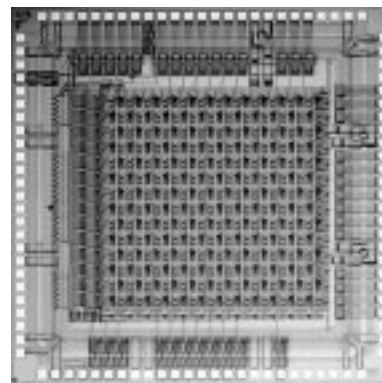
**チップ概要** 人工網膜は、生体視覚系の並列画像処理機構をアナログ CMOS 集積回路により実現したもので、実時間画像処理、小規模ハードウェア、低消費電力といった特徴を持つ。今回の設計では、自然照明下における実時間画像処理を基本視座とし、アナログ人工網膜チップを製作した。各画素は六角格子状に配置され、チップは 2 次元ラプラシアン ガウシアン型のフィルタ特性を持つ。

今回試作した人工網膜チップは、網膜初段の外網膜の回路構造を模擬したものである。集積回路の素子のばらつきを補償する機構を付加し、光センサ部にはアクティブピクセルセンサを用いた。水平、垂直シフトレジスタによって選択された画素の出力を電圧値として読み出す。また、水平シフトレジスタで列を選択することで、画像データの読み出しを列並列に行うことができる。画素数は 12  $\times$  14 で、画素サイズは 179  $\mu\text{m}$   $\times$  155  $\mu\text{m}$ 、開口率は 3.14% となった。

**使用ツール** : Cadence 社 Virtuoso, HSPICE , **試作日数** : 博士の学生 1 名で行い、約 1 ヶ月、

**トランジスタ数** : 約 23000 , **試作ラン** : ローム CMOS 0.6  $\mu\text{m}$  3.9mm 角、**チップ種別** : 画像 & MEMS

**参考文献** : [1] 八木、亀田、飯塚“ 可変受容野を備えた超並列アナログ知能視覚センサ “ , pp.104-113, 信学論 D-II, J81-D-1 , 2 , (1998)



## 画像転写型人工網膜チップの設計

九州工業大学情報工学部 亀田 成司, 鶴殿 直嗣, 下ノ村 和弘, 八木 哲也

**チップ概要** 人工網膜は, 生体視覚系の並列画像処理機構をアナログ CMOS 集積回路により実現したもので, 実時間画像処理, 小規模ハードウェア, 低消費電力といった利点を持つ。今回の設計では, 自然照明下における実時間画像処理を基本視座とし, アナログ人工網膜チップを試作した。各画素は六角格子状に配置され, チップは2次元ラプラシアン ガウシアン型のフィルタ特性を持つ。

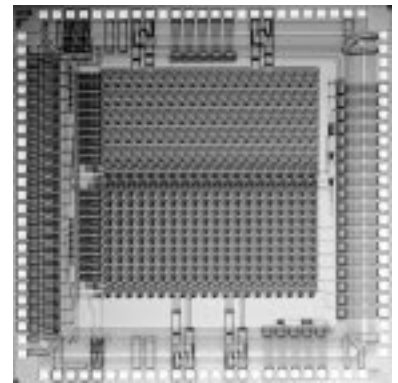
今回試作した人工網膜チップは, 網膜初段の外網膜の回路構造を模擬し, 2層の抵抗回路網を有する。その2層の回路構造を分離し, 1層目の画像出力を2層目に転写し処理することで, 光センサを含む1層目の回路構造が簡略化され開口率を向上させることができた。画素サイズは1層目  $107 \mu\text{m} \times 92.8 \mu\text{m}$ , 2層目  $107 \mu\text{m} \times 93.4 \mu\text{m}$ , 開口率は5.94%となった。

**使用ツール**: Cadence 社 Virtuoso, HSPICE,

**試作日数**: 博士の学生1名, 修士の学生2名で行い, 約1ヶ月,

**トランジスタ数**: 約19000, **試作ラン**: ローム CMOS  $0.6 \mu\text{m}$   $3.9\text{mm}$  角, **チップ種別**: 画像 & MEMS

**参考文献**: [1] 八木, 亀田, 飯塚: “可変受容野を備えた超並列アナログ知能視覚センサ”, pp.104-113, 信学論 D-II, J81-D-1, 2, (1998)



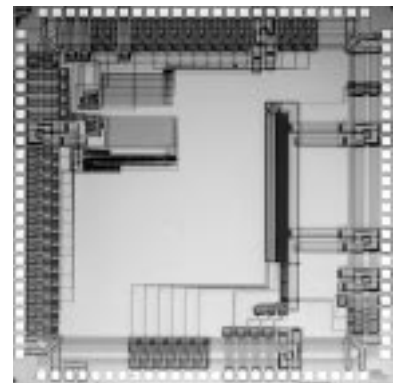
## AD変換器および対数圧縮形 CMOS イメージセンサテスト回路

仙台電波工業高等専門学校 三五 邦央, 高橋 和彦, 佐藤 泰一, 佐々木 正明, 浅見 誠治

**チップ概要** イメージセンサにおいて, 光ダイナミックレンジ拡大の要求が高まり, 対数圧縮形イメージセンサがその一方式として期待されている。今回の設計では, 光電変換回路に対数圧縮形イメージセンサを採用した CMOS イメージセンサのテスト回路として, ラインセンサを設計した。テスト回路はセンサ上で CDS を行い, 固定パターン雑音を低減出来る回路構成となっている。なお画素数は128画素, 画素回路は3Tr, 画素サイズは  $11.55 \mu\text{m} \times 11.55 \mu\text{m}$ , 開口率26.2%である。また本校の設計試作の可能分野の拡大を図ることを目的として, 8ビットの AD-DA 変換器の設計を行った。AD 変換器の設計にあたっては, 豊橋技術科学大学から提供されたオペアンプを用いた。

**使用ツール**: Cadence 社 Virtuoso, HSPICE, **試作日数**: , 5年生3名で約3週間

**トランジスタ数**: 約4000, **試作ラン**: ローム CMOS  $0.6 \mu\text{m}$   $3.9\text{mm}$  角, **チップ種別**: アナログ



## シストリックアレイを用いた行列演算回路の試作

名古屋大学大学院工学研究科電子工学専攻 和田 竜次, 平田 富夫

中京大学情報科学部 磯 直行

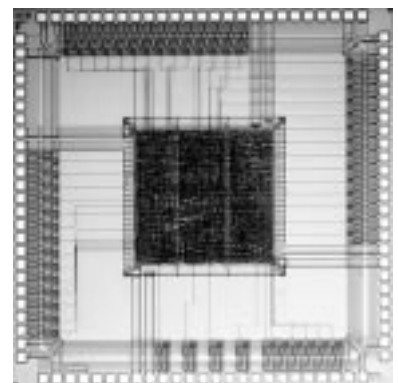
**チップ概要** 本チップは 本研究室においてハードウェアアルゴリズムの研究をするために, VLSI チップの開発環境を整備することを目的として設計, 試作したものである。

実現したハードウェアアルゴリズムは, 行列演算を行うシストリックアレイである。配列型乗算器を5つ用いることで,  $3 \times 3$  の行列とベクトルの積を高速に実行する。回路の記述は Verilog-HDL を用い, トップダウン設計を行った。現在, チップの動作を確認するために周辺回路の設計および製作を行っている。

**使用ツール**: Cadence 社 Verilog-XL, Dracula, Synopsys 社 Design Compiler, Avant!社 Apollo,

**試作日数**: 修士の学生1名で行い, 約2ヶ月, **トランジスタ数**: 約22,000 トランジスタ,

**試作ラン**: ローム CMOS  $0.6 \mu\text{m}$   $3.9\text{mm}$  角, **チップ種別**: デジタル





## 平成 11 年度 ローム CMOS 0.35 $\mu\text{m}$ テストラン (RO35)

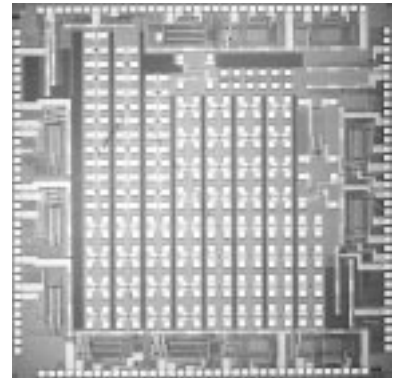
### ULSI デバイスにおける低消費電力化を指向した降圧回路

東北大学電気通信研究所 須永 和久, 遠藤 哲郎, 舛岡 富士雄

**チップ概要** CMOS 論理 LSI はスケーリングに伴い, 年々, 消費電力が増え続けてきている. 高速かつ高集積化された集積回路にとって低消費電力化技術は非常に重要である. ここで CMOS 回路の消費電力は電源電圧 VDD を下げることによる効果が非常に高い. しかし, システム電源電圧には規格が存在するために, デバイスの動作電圧における最適値とは一般的に一致しない. この差を埋めるのが降圧回路である. 今回の試作チップはオンチップで構成可能なインダクタンスを含まない RC 回路で構成した降圧回路である.

**使用ツール:** Cadence 社 Virtuoso, HSPICE, **試作日数:** 設計は 3 名 (教授, 助教授, 修士 2 年) で行い, 約 1 ヶ月間, **トランジスタ数:** 30Tr 程度, **試作ラン:** ローム CMOS 0.35  $\mu\text{m}$  4.9mm 角,

**チップ種別:** アナログ



### 32 ビット信号処理用プロセッサの試作

九州大学大学院 システム情報科学研究科

兵頭 章彦, 山下 源, 林田 隆則, 戸川 勝巳

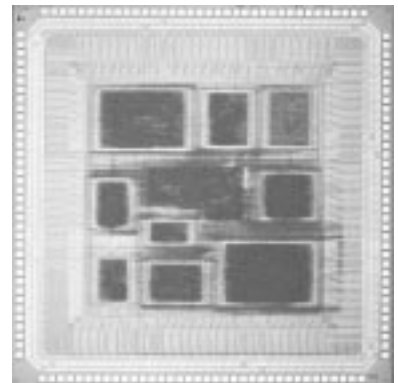
柴田 真, ビクトル M.G. フェレイラ, 安浦 寛人

**チップ概要** 本研究科のハードウェア設計に関する講義のまとめとして 32 ビット浮動小数点 DSP の設計を行なった. アーキテクチャは TI の TMS320C30 を基本とし, 回路規模の制限からオンチップにする部分や命令セットの種類などを検討した. 本チップはレジスタベースのアーキテクチャを採用しており, CPU は, 浮動小数点 / 整数乗算器, 整数演算・論理演算用 ALU, 32 ビットバレルシフタ, 内部バス, 補助レジスタ演算ユニット, CPU レジスタファイル, から構成されている. 設計は, それぞれが割り当てられた各ブロックについて HDL 記述, 機能シミュレーション, 論理合成, レイアウトまでの全作業を行なった. 今回はチップ試作経験のない者がほとんどであったので, HDL や CAD ツールの習得など本質的でない部分に多くの時間を費やすことになったが, 最終的には設計に 6 人全員がレイアウトまで行なえるようになった.

**使用ツール:** Cadence 社 Verilog-XL, dracula, Synopsys 社 Design Compiler, RTL Analyzer, Avant! 社 Planet-PL, Apollo

**試作日数:** 修士 1 年の学生 6 名で行い, 約 2 週間, **トランジスタ数:** 201,300, **試作ラン:** ローム CMOS 0.35  $\mu\text{m}$  4.9mm 角,

**チップ種別:** デジタル, 信号処理.



### 商選択テーブルを用いない基数 4 並列 VLSI 除算器の試作

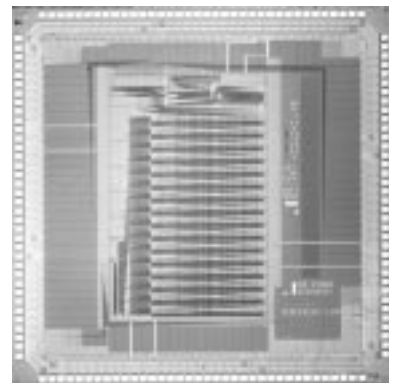
東北大学大学院情報科学研究科 中澤 公彦, 青木 孝文, 樋口 龍雄

**チップ概要** 近年 科学技術計算やデジタル信号処理などの分野に要求される演算能力は増加の一途をたどっており, VLSI 技術に基づく高速かつ高精度な算術演算プロセッサの開発が強く求められている. 本研究グループでは除算を高速に行うアルゴリズムとして商選択テーブルを用いない高基数除算アルゴリズムを提案している. 本提案のアルゴリズムはスケーリング処理, 部分被除数の非冗長化を行うことにより, 従来の高基数除算器のボトルネックとなる商選択用の ROM テーブルを削除することが可能である. 今回試作した基数 4 除算器は, 前処理部のスケーリング回路, 部分被除数の値から商を決定する商選択回路, 商の値から倍数を生成する倍数生成回路, 加減算を実行する 2 進 SD 数加算器からなる. データ長は 32 ビットである. 回路遅延は HSPICE による回路シミュレーションにおいて 42.0 ns となることを確認した.

**使用ツール:** Cadence 社 Virtuoso, HSPICE, **試作日数:** 修士の学生 1 名で行い, 約 1 ヶ月半, **トランジスタ数:** 64,288,

**試作ラン:** ローム CMOS 0.35  $\mu\text{m}$  4.9mm 角, **チップ種別:** デジタル

**参考文献:** [1] 青木, 常世, 樋口, “商選択テーブルを用いない高基数除算器の構成”, 電子情報通信学会論文誌, Vol.J79-D-1, No.7, pp.416-424, July 1996.



## ベクタパイプラインプロセッサ VP-DSP の設計

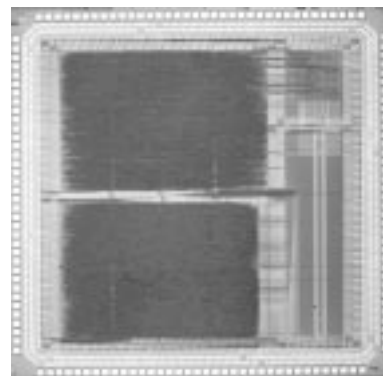
京都大学情報学研究所 小林 和淑, 橋本 昌宜, 江口 真, 橋本 鉄太郎, 岩橋 卓也  
柴山 武英, 李 翔, 坂口 知靖, 高井 幸輔, 小野寺 秀俊

**チップ概要** 本LSIは、ベクトル量子化を用いた動画画像圧縮伸長を行うために開発したDSPである。内部レジスタの一部を16要素10ビットの160ビット構成として、差分絶対値和、累算等を16並列に実行する。LSIは、ライブラリ検証のために、VDEC提供のライブラリと我々の研究グループで作成したオンデマンドライブラリの2種類で、DSPコアを作成した。また、Allianceを用いて512ワード×24ビットのSRAMマクロも作成し、チップ上に搭載した。試作にはライブラリ開発等も含めて7人で行い2ヶ月を要した。

**使用ツール**： Summit社 Visual HDL, Cadence社 Verilog-XL, Virtuoso, Dracula, Avant!社 Apollo, Hspice, Synopsys社 Design Compiler, Powermill, **試作日数**：2ヶ月(7名), **トランジスタ数**：約260000,

**試作ラン**：ロームCMOS 0.35  $\mu$  m 4.9mm角, **チップ種別**：デジタル, 信号処理 **測定結果**：チップ納品後間もないので詳細なテストは行ってないが、50MHzでの正常動作をテスト上で確認した。

**参考文献**：[1] 2000年, 小林和淑, 江口真, 岩橋卓也, 柴山武英, 李翔, 小野寺秀俊, 信学技法, Vol.99 No.658, pp23-30



## オプティカルフロー抽出 LSI の設計

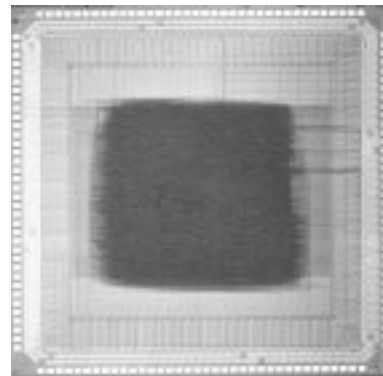
芝浦工業大学システム工学部 佐々木 慶太, 吉田 暁, 上田 和宏

**チップ概要** 従来の画像処理システムでは、画像入力部から画像解析・処理部へとデータを1次元的なものとして処理しているため、画像処理システムの速度限界がシステム全体の速度限界となってしまうことが多い。実環境下でのロボット制御や個人認証など、外界の状況を即時的に認識するシステムを実現するためには、速度面のボトルネックを取り除き、各処理の汎用性に高いハードウェアでの実現が求められている[1]。

今回試作したオプティカルフロー抽出LSIは、画素数18×18画像中のオプティカルフローの抽出を行うLSIで、抽出には勾配法、拘束式にはローカル法を用いている。入力及び抽出・拘束処理を画素平面の各列方向を対象として処理されるように設計したため、列並列に処理することが可能である。機能検証シミュレーションにて、対象物体の平行移動、拡大・縮小、回転におけるオプティカルフロー抽出が行えていることを確認している。

**使用ツール**： Synopsys社 DesignAnalyzer, Dracula, Avant!社 ApolloXO, Cadence社 Virtuoso, **試作日数**：学部の学生1名で行い、約2ヶ月間, **トランジスタ数**：約20万, **試作ラン**：ロームCMOS 0.35  $\mu$  m 4.9mm角, **チップ種別**：デジタル,

**参考文献**：[1] 佐々木, 吉田, 上田“ 動画画像中移動物体抽出LSIの設計とチップ試作”, pp.47, 平成11年度電子情報通信学会東京支部学生会研究発表会(2000).



## 2次Gm-CバンドパスフィルタとVCOを用いた AD変換器の設計

広島大学工学部 児玉 浩志, 花嶋 直之, 岩田 穆

**チップ概要**： 現在, IF回路において, IFフィルタは主にSAWフィルタや誘電体フィルタが使われている。そのため, IF回路をワンチップ化するために, IFフィルタをLSI化する必要がある。IFフィルタの帯域は狭いため, 高QのBPFの実現が必要である。今回Gm-C回路によって, Q値20,50,100の2次BPFを設計した。プロセスバラツキ等により容量Cの絶対値はずれるため, 今回制御電圧によって中心周波数, Q値を制御できる設計をした。

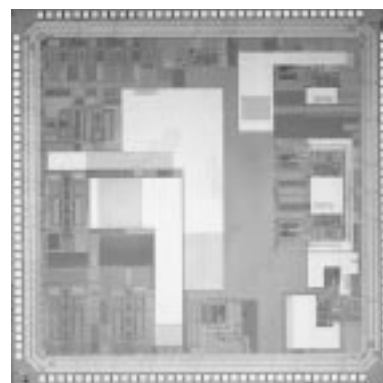
従来のVCOを用いたAD変換器では, 信号帯域5MHz, 変換精度8ビット以上の性能を得るためには500MHz程度の高いオーバーサンプリング周波数が必要であり, クロックジッタによる精度劣化が問題となる。そこで, 量子化ビット数を従来の1ビットから2ビットに増やして設計し, オーバーサンプリング周波数を350MHzに下げた。

**測定結果**：Q値20,50,100のものに関して, ほぼ設計通りに動作した。また, Q値20,50のQ値制御電圧を調節することでQ値100のBPFが実現できることが確認できた。

**使用ツール**： Composer, Diva(cadence), HSPICE(Avant!), SX9000(SII),

**設計日数**：修士2年1人, 研究員1人で半月, **トランジスタ数**：約3500, **試作ラン**：ロームCMOS 0.35  $\mu$  m 4.9mm角,

**チップ種別**：アナログ



## MOSFETのしきい値のばらつきを測定するための回路

大阪大学工学部

清水 由幸, 岩村 宏, 桜 俊幸, Tan Boon Keat, 松岡 俊匡, 谷口 研二

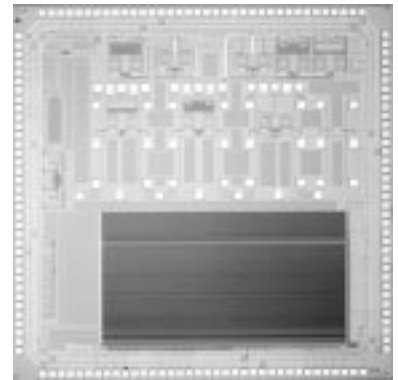
**チップ概要** 回路作製プロセスの影響により, 同一チップ上の MOSFET でも特性のばらつきが現れる. しきい値のばらつきの偏差は MOSFET のゲート面積に反比例する. その比例係数を求めるのが, 本回路を設計した目的である. 多数の, 異なるゲート面積の MOSFET について, しきい値を統計的に測定することにより, 比例係数を求めることができる.

今回試作したチップには, 同一ゲート寸法の n 型 MOSFET を約 1000 個, それを 32 通りのゲート寸法について作成した. 各 MOSFET のソースは接地されており, ドレインは出力から電圧を加えることができる. デジタル回路部により, ゲートとドレインをバイアスする MOSFET を 4 つに選ぶことができる. これにより各 MOSFET のしきい値を測定し, そのばらつきを調べる.

このチップ上には他に, フィールドトランジスタを用いた保護回路の評価素子, ダイナミックロジックをに基いた拡散符号生成器等を搭載している.

**使用ツール**: Cadence 社 Virtuoso, HSPICE, **試作日数**: 学部 4 年 2 名, 修士 2 年 1 名, 博士 1 年 1 名, 研究員 1 名で約 1 ヶ月,

**トランジスタ数**: 約 40000, **試作ラン**: ローム CMOS 0.35  $\mu$  m 4.5mm 角, **チップ種別**: アナログ



## リアルタイム EZW (埋め込みゼロツリーウェーブレット) 符号化器の設計

大阪大学大学院 工学研究科 大巻 裕治, 董 宇, 三木祐介, 古家 眞, 山田昇平

樽家昌也, 滝 大輔, 藤田 玄, 尾上孝雄, 白川 功

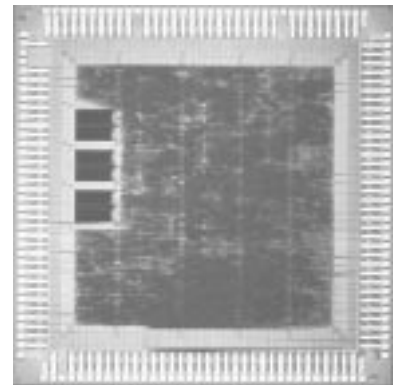
**チップ概要**: 近年離散ウェーブレット変換は様々な応用分野において注目. 近年離散ウェーブレット変換 (DWT) は様々な分野において応用が検討されているが, 特に画像符号化におけるその利用は広く研究されている. 本チップでは埋め込みゼロツリーウェーブレット (EZW) アルゴリズムによるリアルタイムビデオエンコーダを集積化した. 本符号化器は 2 次元 DWT フィルタ, EZW 符号化器, 算術符号化器および外部 SDRAM メモリインターフェイスにより構成されており, メモリバンド幅削減のため DWT フィルタ部では従来と異なる 2 次元サブバンド分割方式が採用されている [1]. 設計されたチップは NTSC 解像度 (720  $\times$  480 ピクセル) 4 : 2 : 0 YC b Cr カラー解像度を 30 フレーム / 秒のレートで処理することができる (33MHz 動作時).

**使用ツール**: Synopsis 社 Design Compiler, Avanti 社 Apollo, **試作日数**: 約 3 ヶ月,

**トランジスタ数**: 約 341,000 (内蔵 SRAM 512K  $\times$  24 ビットワードを含む), **試作ラン**: ローム CMOS 0.35  $\mu$  m 4.9mm 角,

**チップ種別**: デジタル

**参考文献**: [1] R. Y. Omaki, G. Fujita, T. Onoyo, and I. Shirakawa: " Architecture of Embedded Zerotree Wavelet Based Real-time Video Coder, " in Proc. 12th IEEE ASIC/SOC Conference, pp.137-141 (Oct. 1999).



## 多重解像度出力型スマートイメージセンサのテグ回路設計

東京大学大学院工学系研究科 大塚 康弘

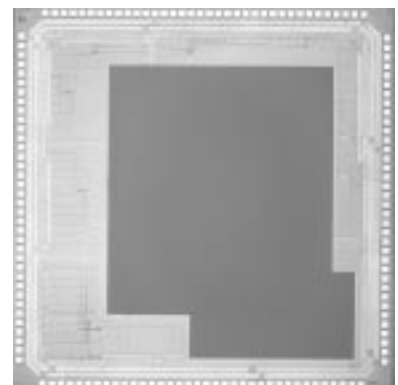
東京大学 新領域創成科学研究科 相澤 清晴

**チップ概要**: 注目画素を中心に所定のブロックサイズを指定して平滑化処理を行うイメージセンサのための基本回路として, 1 画素回路, 平滑化回路, 解像度データを蓄積するためのメモリ回路のテグ回路の設計を行った. 本回路は, ブロックのオーバーラップを可能とし, 各画素単位で平滑化ブロックのサイズを任意に選択することができる.

**使用ツール**: Cadence 社 Cadence, HSPICE,

**試作日数**: 博士の学生 1 名で行い, 1 週間, **トランジスタ数**: 約 1 k,

**試作ラン**: ローム CMOS 0.35  $\mu$  m 4.9mm 角, **チップ種別**: アナログ, **参考文献**: なし



## 上位桁先行処理方式に基づく初等関数演算回路

東北大学大学院工学研究科電子工学専攻 藤林 正典, 小谷 光司

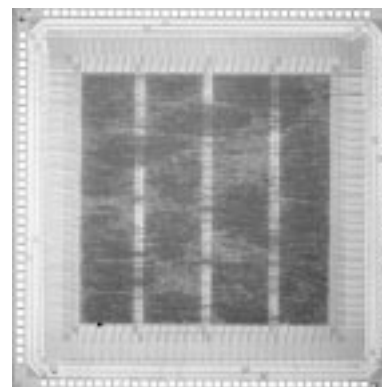
東北大学未来科学技術共同研究センター 大見 忠弘

**チップ概要** 新しい演算アーキテクチャである, 上位桁先行処理方式に基づく初等関数演算回路を作成した. 用いたアルゴリズムはCORDIC法である. CORDIC法は, 演算が比較演算と加減算の組み合わせであるため, 上位桁先行処理方式の相性が非常に良く, ベストケースにおいて, バイナリ方式で作成した回路と比べて半分程度の演算サイクルで演算可能であることを確認した.

**使用ツール**: Cadence社 Verilog-XL, Dracula, synopsys社 Design Compiler, Avant!社 Apollo

**試作日数**: 修士の学生1名で行い, 約4週間, **トランジスタ数**: 約380000,

**試作ラン**: ローム CMOS 0.35  $\mu$  m 4.7mm角, **チップ種別**: デジタル



## 再構成可能な浮動小数点演算器アレイ FPAccA model 2.0 チップの開発

広島市立大学情報科学部 河野 陽一, 越智 裕之, 津田 孝夫

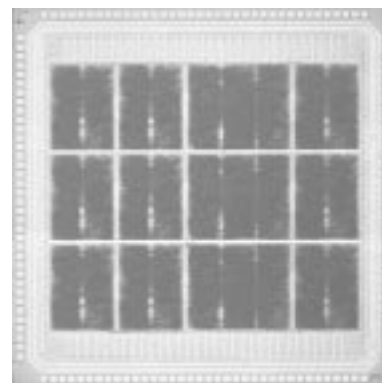
**チップ概要** 再構成可能なFPGAは, ラビットプロトタイピング, ハードウェアエンジン等, 様々な応用が試みられつつあるが, FPGAチップの大規模化に伴い, 配置配線等, 構成情報の生成に要する時間が増大しつつある. これを解決する一法として, FPGAの基本セルの粒度を粗くして構成情報生成時間の短縮を狙ったField Programmable Accumulator Array (FPAccA) が提案されている[1]. 今回試作したFPAccA model 2.0チップは, 基本セルとしてIEEE規格754に準拠した単精度浮動小数点加減算セル9個と, 同乗算セル3個を有するものであり, 動作周波数100MHzにおいて300MFLOPSの理論最大性能が見込まれる[2]. 設計フロー等は文献[3]が詳しい.

**使用ツール**: Cadence社 Verilog-XL, Virtuoso, Dracula, Synopsys社 Design Compiler, PowerMill, Avant!社 Apollo, HSPICE,

**試作日数**: 若手(?)教員1名と学部4年生1名で行い, 約6人月, **トランジスタ数**: 約62万,

**試作ラン**: ローム CMOS 0.35  $\mu$  m 4.9mm角, **チップ種別**: デジタル

**参考文献**: [1] 越智“ FPAccA: フィールドプログラマブルアキュムレータアレイ FPAccA model 1.0 チップの設計と評価 ” 情報処理学会論文誌, vol.40, no.4, pp.1717-1725, (1999). [2] 河野, 越智, 津田“ FPAccA model 2.0 チップの設計 再構成可能な浮動小数点演算器アレイ ”, 信学技報, vol.99, no.530, pp.45-52, (2000). [3] 越智, 河野, 津田“ ローム社 0.35  $\mu$  m テストランにおけるセルベース設計事例 単精度浮動小数点演算器アレイ ”, 1999年VDEC LSIデザイナーフォーラム講演論文集, pp.110-118, (1999).



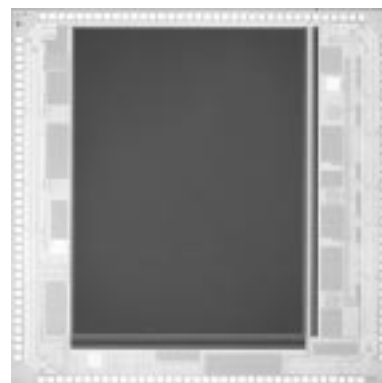
## CMOS アクティブピクセルセンサアレイの設計

奈良先端科学技術大学院大学 物質創成科学研究科 上原 昭宏, 太田 淳

**チップ概要** 高機能ビジョンチップ試作において, 開口率が一定でより画素あたりのトランジスタ数を大きくするには, ディープサブミクロンプロセスの適用が有効である. ディープサブミクロンプロセスでのビジョンチップ設計の基礎データを得るために, CMOSアクティブピクセルセンサアレイおよびフォトダイオードを試作した. 今回試作したイメージセンサーは, 画素数650X390で, 画素はフォトダイオードと3トランジスタで構成される. スキャナにより行を選択し, 列方向に画素から信号を読み出す. 画素サイズは5.5  $\mu$  m X 5.5  $\mu$  m, 開口率は30%となった.

**使用ツール**: Cadence社 Virtuoso, HSPICE, **試作日数**: 修士の学生1名で行い, 約3週間

**トランジスタ数**: 約970000, **試作ラン**: ローム CMOS 0.35  $\mu$  m 4.9mm角, **チップ種別**: 画像 & MEMS



## 適応的遺伝的アルゴリズムアクセラレータ GAA-III の開発

広島大学工学部 若林 真一

東京大学大規模集積システム設計教育研究センター 小出 哲士

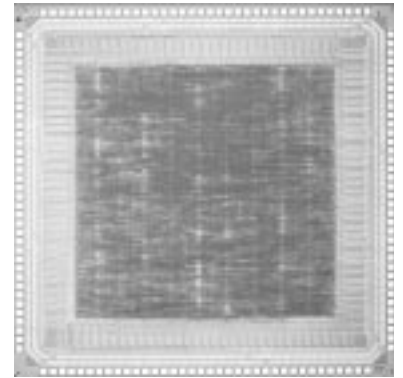
**チップ概要** 我々は遺伝的アルゴリズム(GA)のパフォーマンスの向上を目的として、GAのハードウェア化について研究を行っている。平成11年度においては、大規模最適化問題にも適用可能なGAハードウェアGAA-IIを開発している。GAA-IIIではGAA-IIの入出力バスを64bit化することで、高速なメモリアクセスを実現するとともに、Verilog-HDLによる回路記述を見直しクリティカルパスの遅延を減少した。また、交差手法として従来までの交差手法に加えて巡回セールスマンなどの問題に対応できるように検討した。GAA-IIIは個体のビット長が最大2048ビット、256個体までの個体集合に対応できる。また、並列GAとしての機能も持つ。実チップのパフォーマンスは現在検証中であるが、ゲートレベルシミュレーションではクロック周波数55MHzでの動作が可能である。

**使用ツール**：Cadence社 Verilog-XL, Dracula, Synopsys社 Design Compiler, Avanti社 Apollo.

**試作日数**：教官1名，修士1年の学生1名，学部学生1名で，約1ヶ月。

**セル数**：20560セル(東大版EXDライブラリ)，**試作ラン**：ロームCMOS 0.35  $\mu$ m 4.9mm角，**チップ種別**：デジタル。

**参考文献**：[1]若林，他“ 遺伝的アルゴリズムアクセラレータGAA-IIの設計”，pp.143-148, DAシンポジウム'99論文集(1999)。



## 平成11年度 日立製作所 CMOS 0.35 $\mu$ mゲートアレイテストラン (HITGA991)

### 実時間画像圧縮システム TEG

東京大学工学部 八木 雅和，柴田 直

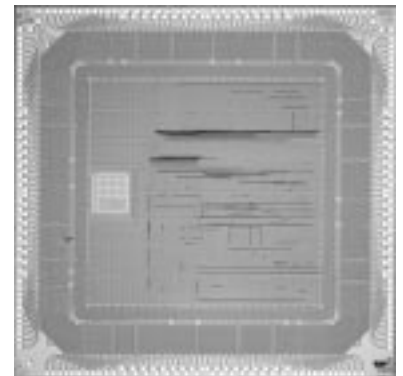
**チップ概要** リアルタイムで柔軟に画像を認識するには、対象画像の特徴を抽出して高速かつ効率的にベクトル化を行うことは非常に重要でありさまざまな手法が試みられている。我々の研究室では、MOSなどの機能デバイスを用いた超並列マッチング回路を想定してアルゴリズム開発を行った。そして、本チップはこのアルゴリズムをサブモジュール化してモジュールごと別々に実装した。

本チップは外部に入力4bit出力4bitの256kメモリを想定しており、特徴抽出モジュール、ベクトル化モジュール、アドレス自動生成回路、外部メモリコントローラを設計し、それぞれ別々に実装している。

**使用ツール**：Cadence社 Verilog-XL, Dracula, Synopsys社 Design Compiler, Avanti社 ApolloGA，

**試作日数**：修士の学生1名で行い，約1週間，

**ゲート数**：約21000，**試作ラン**：日立製作所CMOS 0.35  $\mu$ mゲートアレイ 5.9mm角，**チップ種別**：画像 & MEMS。



### 実時間画像圧縮システム

東京大学工学部 八木 雅和，柴田 直

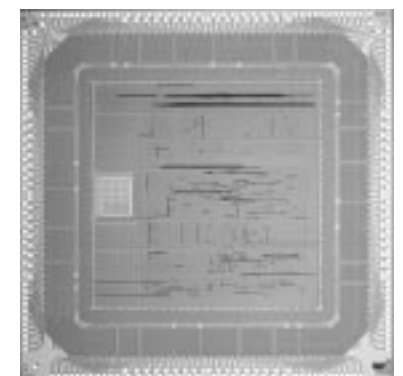
**チップ概要** リアルタイムで柔軟に画像を認識するには、対象画像の特徴を抽出して高速かつ効率的にベクトル化を行うことは非常に重要でありさまざまな手法が試みられている。我々の研究室では、MOSなどの機能デバイスを用いた超並列マッチング回路を想定してアルゴリズム開発を行った。そして、本チップはこのアルゴリズムをサブモジュール化して実現し、これらのサブモジュール群を構成して一つのシステムとして実装した。

本チップは外部に入力4bit出力4bitの256kメモリを想定しており、特徴抽出モジュール、ベクトル化モジュール、アドレス自動生成回路、外部メモリコントローラを設計し一つのシステムとして実装している。

**使用ツール**：Cadence社 Verilog-XL, Dracula, Synopsys社 Design Compiler, Avanti社 ApolloGA，

**試作日数**：修士の学生1名で行い，約1週間，

**ゲート数**：約21000，**試作ラン**：日立製作所CMOS 0.35  $\mu$ mゲートアレイ 5.9mm角，**チップ種別**：画像 & MEMS。



## 画像の特徴抽出回路の設計

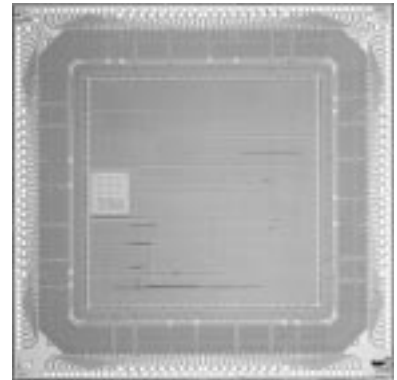
東京大学工学部電子情報専攻 足立 真賢  
 東京大学新領域創成科学研究科 柴田 直

はじめに 画像のロバストな認識を可能とするために、画像の特徴を捉え、それをベクトルとして表現する研究を行っている。しかし、画像処理は膨大な計算量を必要とするためにソフトウェアによる演算ではたいへん時間がかかり、実時間での画像認識は不可能となる。そこで、実時間での画像認識を可能とするために、このベクトル化に特化したハードウェアを試作した。

**チップ概要** 256 × 256 ピクセルのバイナリイメージを読み込み、画像の特徴を 64 次元のベクトルに圧縮して出力するものであるが、4 つの多重解像度に対応していて、初期位置を入力することで画像のあらゆる位置から 4 つの解像度に応じたベクトルを出力できるところが特徴である。また、メモリを内蔵しているので何回でもベクトルを抽出できる。

**使用ツール** : Avanti 社 Apollo, Cadence 社 Virtuoso, HSPICE,

**試作日数** : 修士 1 名で、約 1 ヶ月程度、**トランジスタ数** : 約 60000、**試作ラン** : 日立 0.35 μ m ゲートアレイ 5.9mm 角、**チップ種別** : 画像 & MEMS



## 相変化型不揮発性メモリセル用パルスジェネレータ

金沢大学工学部 秋田 純一  
 東京大学大規模集積システム設計教育研究センター 北川 章夫

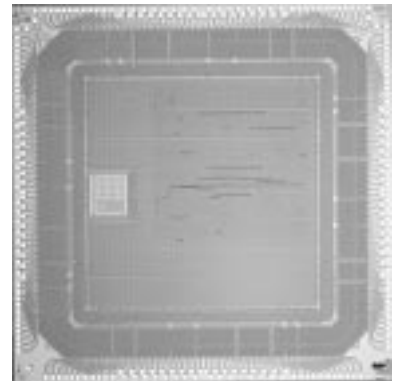
**チップ概要** カルコゲナイド半導体の電圧パルスによる非晶質-結晶相転移現象を利用した大容量不揮発性メモリデバイス開発の一環として、セット、リセット、読み出し用のパルスを生成し、メモリセルの動作をテストするための専用パルスジェネレータを試作した。出力パルスのタイミングパターン用に 24bit × 28 のバッファメモリを持ち、特定アドレスにビットを書き込むことにより、パルスシーケンスが開始されるようになっている。外付けの 16bit ADC を通じて読み出されたセルの抵抗値は、16bit × 2 (リファレンスおよび電圧降下分) × 4 (バンク) のレジスタへと自動的に読み込まれる。

**使用ツール** : Cadence 社 Verilog-XL, Synopsys 社 Design Compiler, Avanti 社 ApolloGA,

**試作日数** : 仕様設計と HDL 記述に教官一人で約 0.5 日、論理合成、自動配置配線 ~ 設計規則チェックに教官一人で約 2 日

**セル数** : 約 12,000BC、**試作ラン** : 日立 CMOS 0.35 μ m 5.9mm 角、**チップ種別** : メモリ、

**参考文献** : [1] 今井豊他“不揮発性メモリデバイス用の基板の試作”, pp.50-52, 1999年VDEC LSIデザイナーフォーラム講演論文集 (2000)



## 32 ビット RISC マイクロプロセッサ DLX のゲートアレイによる実装

熊本大学工学部数理情報システム工学科 久我 守弘, 末吉 敏則  
 熊本大学大学院自然科学研究科 数理科学・情報システム専攻 木庭 秀樹, 高木 健樹

**チップ概要** DLX は、米国の教育機関において計算機アーキテクチャの教科書として広く利用されている文献[1]で紹介されている RISC 型のマイクロプロセッサである。DLX の構成は 5 段の命令パイプラインを持ち、RISC プロセッサの入門教育に適したものとなっている。今回の設計は、学生実験においてゲートアレイによる DLX を設計する際に必要な期間や人数および回路規模の調査を目的としている。

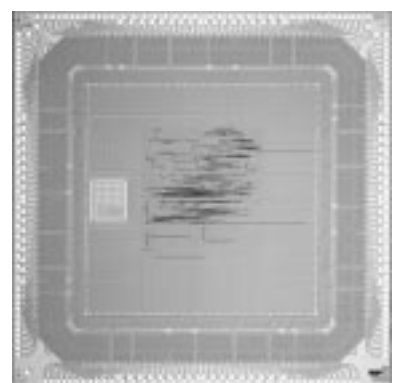
今回試作した DLX は、FPGA をターゲットデバイスとしてあらかじめ設計していた Verilog - HDL のソースを基に設計した[2]。また、日立ゲートアレイチップ試作におけるメモリ設計テストランを兼ねているため、整数用レジスタファイルとして 18 ビット × 32 ワード、3 ポート (1 write/2 read) エッジトリガタイプのメモリマクロ 2 個を使用した。この際に未使用となる 4 ビットのデータはパリティチェック用として利用した。ポストレイアウトシミュレーションによる動作周波数は 33.3MHz であった。

**使用ツール** : Avanti 社 ApolloGA, AVANTI 社 ApolloGA, CADENCE 社 Verilog-XL, DRACULA, SYNOPSYS 社 Design-Compiler,

**試作日数** : 修士の学生 2 名で行い、約 1 ヶ月、**ゲート数** : 18,619BC (内メモリ 5,280BC)

**ゲート数** : 約 18,619BC (内メモリ 5,280BC)、**試作ラン** : 日立製作所 CMOS 0.35 μ m 5.9mm 角、**チップ種別** : デジタル

**参考文献** : [1] Hennessy, J.L., and Patterson, D.A., Computer Architecture: A Quantitative Approach, Morgan Kaufmann Publishers, Inc., 1990. [2] 井上弘士, 飯田全広, 大内正英, 久我守弘, 末吉敏則: “32 ビット RISC マイクロプロセッサ DLX-FPGA の設計教育フィジビリティ・スタディ,” 情処研報 95-ARC-115-18 & 95-DA-78-18, pp.109-114, 1995.



## ベクトル量子化を用いた動画像圧縮伸張用システム LSI の設計

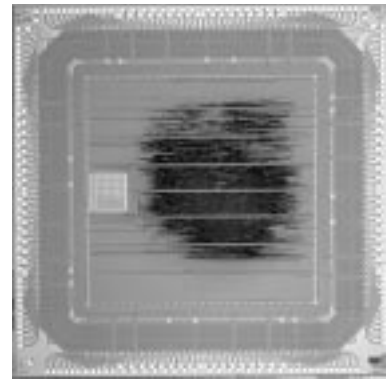
京都大学情報学研究科

小林 和淑, 江口 真, 岩橋卓也, 柴山武英, 李 翔, 坂口 知靖, 高井 幸輔, 小野寺秀俊  
チップ概要 Rohm0.35  $\mu$  m プロセスにより試作を行った DSP に, 画像入力, 出力の周辺回路を加えてシステム LSI 化した. この LSI はビデオデコードボード, ビデオエンコードボード, メモリボードを加えるだけで, ベクトル量子化を用いた動画像圧縮伸張システムを構成することができる. 使用ツール: Summit 社 Visual HDL, Cadence 社 Verilog-XL, Avant! 社 ApolloGA, 試作日数: 修士の学生 3 名とスタッフ 1 名で行い, 約 2ヶ月.

ゲート数: 39620, 試作ラン: 日立製作所 CMOS 0.35  $\mu$  m ゲートアレイ 5.9mm 角,

チップ種別: デジタル, 信号処理

参考文献: [1] ベクトル DSP を用いた携帯端末におけるテレビ電話システム, 江口, 岩橋, 柴山, 小林, 小野寺, 通信学会全国大会 C12-27, 2000 年 3 月



## 組み込み用途向け 16 ビットパイプラインプロセッサの試作

九州大学大学院 システム情報科学研究科 兵頭 章彦, 安浦 寛人

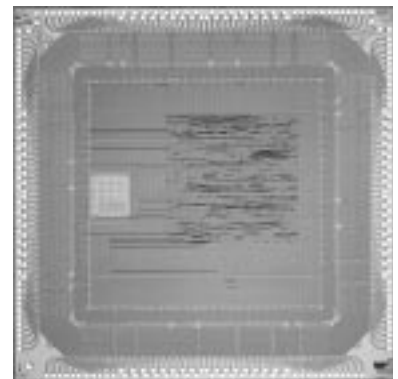
チップ概要 本チップは 100MHz 動作を目標に設計した 16 ビットの RISC プロセッサである. CPU の実行処理は, 1) 命令フェッチ, 2) 命令解読前処理, 3) 命令解読, 4) 命令実行, 5) レジスタ書き込み, の 5 段のフェーズで行なわれる. バスはデータバスとアドレスバスを分離したハーバードアーキテクチャを採用し, レジスタファイルには 240 バイトの RAM を用いた. 命令セットは基本的な命令に絞って 40 種類程度用意した.

ゲートアレイでのチップ試作は初めてのことであったが, セルベースでの設計に比べレイアウト作業におけるトラブルの発生が少なく, 設計作業は順調に進んだため HDL の記述からチップのレイアウトまで 1 週間程しかかからなかった. また, メモリマクロの利用に関しても全く問題無く回路に組み込むことができた.

使用ツール: Cadence 社 Verilog-XL, dracula, Synopsys 社 Design Compiler, Avant! 社 Apollo-GA,

試作日数: 修士 1 年の学生 1 名で行い, 約 1 週間, トランジスタ数: 16004, 試作ラン: 日立 CMOS 0.35  $\mu$  m 5.9mm 角,

チップ種別: デジタル,



## 適応的遺伝的アルゴリズムアクセラレータ GAA-I のゲートアレイへの実装

広島大学工学部

若林 真一

東京大学大規模集積システム設計教育研究センター 小出 哲士

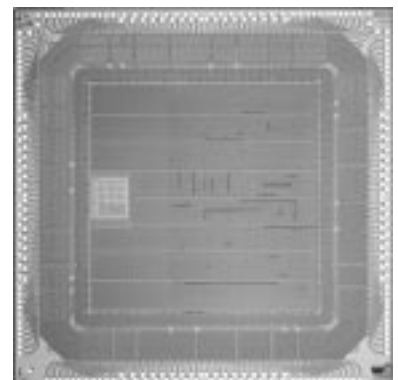
チップ概要 我々は遺伝的アルゴリズム (GA) のパフォーマンスの向上を目的として, GA のハードウェア化について研究を行っている. 平成 9 年度において, 交差手法の動的選択機能を持つ GA ハードウェア GAA-I (Genetic Algorithm Accelerator) を開発し, VDEC において NEL 製 CMOS 0.5  $\mu$  m 4.5mm 角チップ上に試作し, GA のハードウェア化の有効性を示した. 今回はゲートアレイチップでの試作フローを確立する目的として, 既に動作が確認されている GAA-I の Verilog-HDL 記述をゲートアレイライブラリを用いて, 様々な条件で論理合成・レイアウト設計を行い, スクリプトの作成やゲートアレイチップの性能と搭載可能ゲート数の調査をおこなった. 実チップのパフォーマンスは現在検証中であるが, ゲートレベルシミュレーションではクロック周波数 50MHz での動作が可能である.

使用ツール: Cadence 社 Verilog-XL, Dracula, Synopsys 社 Design Compiler, Avant! 社 ApolloGA,

試作日数: 教官 1 名, 約 3 日, セル数: 9795 セル, 試作ラン: 日立製作所 CMOS 0.35 ゲートアレイ 5.9mm 角,

チップ種別: デジタル.

参考文献: [1] S. Wakabayashi et al. "An LSI implementation of an adaptive genetic algorithm with on-the-fly crossover operator selection", Proc. of Asia and South Pacific Design Automation Conference '99, pp.37-40, (1999).



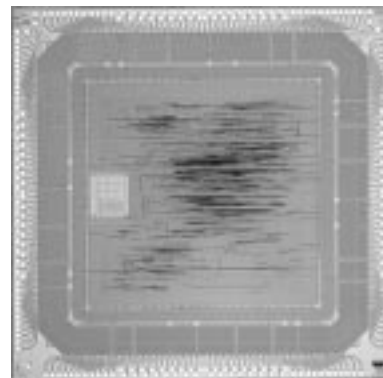
## マイクロプログラム制御交差突然変異回路を持つ遺伝的アルゴリズムプロセッサ MP-GAA の開発

広島大学工学部

若林 真一

東京大学大規模集積システム設計教育研究センター 小出 哲士

**チップ概要** 組合せ最適化問題に対するヒューリスティック手法の1つである遺伝的アルゴリズム(Genetic Algorithm, GA)の計算時間の短縮と効率的探索の実現を目的として、平成10年度に、エリート度に基づいた交差手法の動的選択を組み込んだGAハードウェアGAA-II(GA Accelerator-II)を試作した。GAA-IIの動作検証により、交差手法の動的選択による解空間の効率的探索と、局所解の点在する問題に対する並列GAの有用性、及びソフトウェアGAを上回る高速実行が確認されている。しかし、GAA-IIは選択できる交差、突然変異手法が限られており、他の手法が有効な問題に対してGAA-IIを適応できないという問題点があった。本研究ではGAA-IIの交差突然変異回路にマイクロプログラム制御を導入した新しい遺伝的アルゴリズムプロセッサ MP-GAA を提案する。MP-GAA では、GAA-IIの交差突然変異回路にマイクロプログラム制御を導入することによって交差、突然変異のアルゴリズムをマイクロプログラムとして記述可能とすることにより任意の交差、突然変異を行うことが可能である。また、適応的交差についてもエリート個体に適用する交差手法と、非エリート個体に適用する交差手法を任意に組み合わせることができる。今回はゲートアレイチップ面積の都合から、マイクロプログラム部のメモリモジュール(73bit/128words)を含んだ全回路をチップ上に実装することができなかつたため、メモリモジュール以外の部分を実装した場合を想定して設計を行った。論理合成後のメモリを含んだ場合のシミュレーションから MP-GAA は40MHz実行で動作が可能であり、GAA-IIとほぼ同等の解探索能力を持ち、マイクロプログラム制御による汎用性の向上が確認できた。実チップのパフォーマンスは現在検証中である。



本研究ではGAA-IIの交差突然変異回路にマイクロプログラム制御を導入することによって交差、突然変異のアルゴリズムをマイクロプログラムとして記述可能とすることにより任意の交差、突然変異を行うことが可能である。また、適応的交差についてもエリート個体に適用する交差手法と、非エリート個体に適用する交差手法を任意に組み合わせることができる。今回はゲートアレイチップ面積の都合から、マイクロプログラム部のメモリモジュール(73bit/128words)を含んだ全回路をチップ上に実装することができなかつたため、メモリモジュール以外の部分を実装した場合を想定して設計を行った。論理合成後のメモリを含んだ場合のシミュレーションから MP-GAA は40MHz実行で動作が可能であり、GAA-IIとほぼ同等の解探索能力を持ち、マイクロプログラム制御による汎用性の向上が確認できた。実チップのパフォーマンスは現在検証中である。

**使用ツール** : Cadence社 Vellilog-XL, Dracula, Synopsys社 Design Compiler, Avanti社 ApolloGA, **試作日数** : 教官2名, 修士1年1名, 学部学生1名で, 約2ヶ月, セル数 : 30122+20340(メモリ), **試作ラン** : 日立製作所 CMOS 0.35ゲートアレイ 5.9mm角,

**チップ種別** : デジタル.

**参考文献** : [1]中塚裕康“マイクロプログラム制御交差突然回路を持つ遺伝的アルゴリズムプロセッサの開発“,平成11年度広島大学工学部卒業論文,2000年2月.





## 5.2 .チップ試作者の発表文献リスト

- (1) 砂山辰彦, 池辺将之, 雨宮好仁 (北海道大学),  
「Differential-of-Gaussian 処理を行う MOS セルオートマトン回路」,  
1999年電子情報通信学会ソサイエティ大会, 1999年9月, 日本大学 (千葉県).
- (2) 幸谷真人, 浅井哲也, 雨宮好仁 (北海道大学),  
「二次元動き方向選択性を持つ神経ネットワークのアナログ電子回路設計」,  
1999年電子情報通信学会ソサイエティ大会, 1999年9月, 日本大学 (千葉県).
- (3) 藤原孝信, 赤澤正道, 雨宮好仁 (北海道大学),  
「MOSを用いた三次元セルラーニューラルネットワーク回路」,  
1999年電子情報通信学会ソサイエティ大会, 1999年9月, 日本大学 (千葉県).
- (4) 砂山辰彦, 池辺将之, 浅井哲也, 雨宮好仁 (北海道大学),  
「MOS 画像処理システムによる移動物体の検出」,  
2000年電子情報通信学会総合大会 2000年3月, 広島大学 (広島県).
- (5) 藤原孝信, 赤澤正道, 雨宮好仁 (北海道大学),  
「機能変更の可能な三次元セルラーニューラルネットワーク回路」,  
2000年電子情報通信学会総合大会 2000年3月, 広島大学 (広島県).
- (6) 幸谷真人, 浅井哲也, 雨宮好仁 (北海道大学),  
「アナログ-デジタル混載型CMOS回路による二次元動き検出」,  
2000年電子情報通信学会総合大会 2000年3月, 広島大学 (広島県).
- (7) 藤原孝信, 赤澤正道, 雨宮好仁 (北海道大学),  
「ニューロンMOSを用いた3次元セルラーニューラルネットワーク回路の設計」,  
信学技報 CAS99-26, VLD99-26, DSP99-42, pp.109-116, 1999.
- (8) T. Morie\* and Y. Amemiya\*\* (Hiroshima University, Hokkaido University),  
“Analog LSI implementation of self-learning neural networks,”  
Computers and Electrical Engineering, Vol. 25, No.5, pp.339-355, 1999.
- (9) T. Sunayama, M. Ikebe, and Y. Amemiya (Hokkaido University),  
“A neuMOS cellular-automaton device for differential-of-Gaussian Filtering,”  
Extended Abstracts of the 1999 International Conference on Solid State Devices and Materials (SSDM'99), pp.110-111, Tokyo, Japan, Sept. 1999.
- (10) Z.S. Wong, M. Ikebe, and Y. Amemiya (Hokkaido University),  
“A neuMOS cellular-automaton device for picture processing,”  
Proceedings of the 8th International Symposium on Integrated Circuits, Devices & Systems (ISIC'99),  
pp.331-334, Singapore, Sept. 1999.
- (11) T. Yamada, M. Ikebe, and Y. Amemiya (Hokkaido University),  
“A current-mode neuMOS circuit for cellular automaton devices,”  
Proceedings of the International Symposium on Future of Intellectual Integrated Electronics,  
pp.383-388, Sendai, Japan, March, 1999.
- (12) M. Ikebe and Y. Amemiya (Hokkaido University),  
“A neuMOS cellular-automaton circuit for picture processing,”  
Proceedings of the International Symposium on Future of Intellectual Integrated Electronics,  
pp.377-382, Sendai, Japan, March, 1999.
- (13) 水沼 充, 高橋一清 (山形大学),  
「単純な電荷回収電源を持つ断熱的ダイナミックCMOS論理回路」,  
1999年電子情報通信学会総合大会, C-12-18, 1999年3月, 慶応大学 (神奈川県).
- (14) 水沼 充, 池田鋼司, 高橋一清 (山形大学),  
「断熱的ダイナミックCMOS論理回路を用いた拡張型4ビット加算/減算器集積回路」,  
電子情報通信学会 技術研究報告, ICD99-27, pp. 1-8, 1999.
- (15) 橋本晋一, 水沼 充, 高橋一清 (山形大学),  
「断熱的ダイナミックCMOS論理回路を用いた拡張型4ビットALU集積回路」,  
電子情報通信学会 技術研究報告, ICD99-28, pp. 9-16, 1999.
- (16) K.Takahashi, M.Mizunuma (Yamagata University),  
“Adiabatic and Dynamic CMOS Logic Integrated Circuit with a Simple Charge Recovery Power Supply,”  
Proceeding of the ITC-CSCC'99, pp. 158-161, July. 1999.
- (17) K.Takahashi, K.Ikeda, M.Mizunuma (Yamagata University),  
“An Ultra-Low Power Expandable 4-bit Adder/Subtractor IC Using Adiabatic Dynamic CMOS Technology,”  
Extended Abstracts of the SSDM'99, pp. 266-267, July. 1999.
- (18) 田中英俊, 佐藤茂雄, 中島康治 (東北大学),  
「時系列信号を発生する神経回路モデルへのカオス系列の印加の影響」,  
電子情報通信学会非線形問題研究会, 信学技報 NLP99-118, 1999年11月, 石巻専修大学.

- (19) 田中英俊, 佐藤茂雄, 中島康治 (東北大学),  
「環状結合型ニューラルネットワークへのカオス系列の影響」,  
2000年電子情報通信学会総合大会, A-2-13, 2000年3月, 広島大学.
- (20) 片山康弘, 鈴木康介, 佐藤茂雄, 中島康治, (東北大学),  
「大きな fan-in を実現する高速 CMOS 多数決回路」,  
1999年電子情報通信学会エレクトロニクスソサイエティ大会,  
C-12-28, 1999年9月, 日本大学.
- (21) 片山康弘, 鈴木康介, 佐藤茂雄, 中島康治, (東北大学),  
「大きな fan-in を実現する高速 CMOS 多数決集積回路」,  
第3回システム LSI 琵琶湖ワークショップ ポスターセッション,  
1999年11月, ラフォーレ琵琶湖.
- (22) 片山康弘, 佐藤茂雄, 中島康治, (東北大学),  
「量子化結合ニューラルネットワークの学習とその集積回路による実現」,  
2000年電子情報通信学会総合大会, D-2-3, 2000年3月, 広島大学.
- (23) 鈴木康介, 片山康弘, 佐藤茂雄, 中島康治 (東北大学),  
「高速 CMOS 多数決回路の構成とその応用」,  
電子情報通信学会非線形問題研究会, 信学技報 NLP99-114,  
1999年11月, 石巻専修大学.
- (24) T. Aoki, K. Hoshi and T. Higuchi (Tohoku University),  
“ Redundant Complex Arithmetic and Its Application to Complex Multiplier Design, “  
The 29th IEEE International Symposium on Multiple-Valued Logic, pp. 200-207, May 1999, Freiburg.
- (25) I. Kitaori, T. Aoki and T. Higuchi (Tohoku University),  
“ Radix-2-4-8 CORDIC for Fast Sine and Cosine Computation,”  
The 1999 International Technical Conference on Circuits/Systems, Computers and Communications, pp. 462-465, July 1999, Sado.
- (26) Y. Yuminaka, K. Itoh, Y. Sasaki, T. Aoki and T. Higuchi (Tohoku University),  
“ A Code-Division Multiplexing Technique for Efficient Data Transmission in VLSI Systems,”  
IEICE Transactions on Electronics, Vol. E82-C, No. 9, pp. 1669-1677, September 1999.
- (27) T. Aoki, Y. Sawada and T. Higuchi (Tohoku University),  
“ Signed-Weight Arithmetic and Its Application to a Field-Programmable Digital Filter Architecture, ”  
IEICE Transactions on Electronics, Vol. E82-C, No. 9, pp. 1687-1698, September 1999.
- (28) 須永和久, 遠藤哲郎, 桜庭 弘, 舛岡富士雄 (東北大学),  
「超低消費電力を指向した ULSI 用降圧回路の試作」,  
1999年電子情報通信学会エレクトロニクスソサイエティ大会,  
C-12-26, 1999年9月, 日本大学(千葉県).
- (29) 須永和久, 遠藤哲郎, 桜庭弘, 舛岡富士雄 (東北大学),  
「超低消費電力を指向した ULSI 用降圧回路」,  
2000年電子情報通信学会総合大会, C-12-20, 2000年3月, 広島大学(広島県).
- (30) 秋山卓郎\*, 高橋幸郎\*, 星宮望\*\*, 松木英敏\*\*, 半田康延\*\* (\*埼玉大学, \*\*東北大学),  
「埋込み型機能的電気刺激装置のためのカスタム集積回路の設計」,  
第38回日本ME学会大会 254, 1999年4月, 仙台.
- (31) 高橋幸郎\*, 星宮望\*\*, 松木英敏\*\*, 半田康延\*\* (\*埼玉大学, \*\*東北大学),  
「運動機能再建のための埋め込み型機能的電気刺激装置」,  
第13回日本ME学会大会秋期大会, 147, 1999年10月, 大阪.
- (32) 鳥田季代子, 関根好文 (日本大学),  
「八木のモデルの IC 化に対する一検討」,  
1999年電子情報通信学会基礎・境界ソサイエティ大会, SA-1-2, 1999年9月, 日本大学(千葉県).
- (33) 隅山正巳, 佐伯勝敏, 関根好文 (日本大学),  
「型ニューロンモデルの IC 化に対する一検討」,  
1999年電子情報通信学会基礎・境界ソサイエティ大会, SA-1-3, 1999年9月, 日本大学(千葉県).
- (34) K.Saeki, Y.Sekine, K.Aihara (Nihon University),  
“ A Study on a Pulse-Type Hardware Neuron Model using CMOS, Proceedings of the 1999 International Symposium on Nonlinear Theory and Its Applications, pp. 835-838, Nov, 1999, Hawaii, U.S.A.
- (35) 鳥田季代子, 松岡 淳, 関根好文 (日本大学),  
「 IC 化を目的としたパルス形ハードウェアニューロンモデルの低電圧化に対する一検討」,  
電気学会電子回路研究会, ECT-00-22, 2000年3月, 中央大学(東京都).
- (36) 鳥田季代子, 松岡 淳, 関根好文 (日本大学),  
「八木型ニューロンモデル用負性抵抗回路に対する一検討」,  
2000年電子情報通信学会総合大会, A-1-13, 2000年3月, 広島大学(広島県).
- (37) 佐伯勝敏, 隅山正巳, 関根好文 (日本大学),  
「 CMOS で構成した 形ニューロンモデルに対する一検討」,  
2000年電子情報通信学会総合大会, A-1-14, 2000年3月, 広島大学(広島県).

- (38) 鳥田季代子, 松岡 淳, 関根好文 (日本大学),  
「等価インダクタ回路に対する一検討」,  
2000年電子情報通信学会総合大会, A-1-37, 2000年3月, 広島大学(広島県).
- (39) 若林真一\*, 小出哲士\*, \*\*, 山根正孝\*, 上野初\*, 利根直佳\* (\*広島大学, \*\*東京大学),  
「遺伝的アルゴリズムアクセラレータ GAA-II の設計」,  
情報処理学会 DA シンポジウム '99, pp.143-148, 1999年7月.
- (40) 小出哲士\*, \*\*, 若林真一\* (\*広島大学, \*\*東京大学),  
「適応的遺伝的アルゴリズムアクセラレータ GAA の開発と評価」,  
1999年 VDEC LSI デザイナーフォーラム講演論文集, pp.70-83, 1999年9月.
- (41) S. Wakabayashi\*, T. Koide\*, \*\*, N. Toshine\*, M. Yamane\*, H. Ueno\* (\* Hiroshima University, \*\* University of Tokyo),  
“ Genetic algorithm accelerator GAA-II, ”  
Proc. of Asia and South Pacific Design Automation Conference 2000, pp.9-10, Jan. 2000.
- (42) 戸川 望, 柳澤 政生, 大附 辰夫 (早稲田大学),  
「2種類のレジスタファイルを持ったデジタル信号処理向けプロセッサのハードウェア/ソフトウェア協調合成システム」,  
電子情報通信学会回路とシステム(軽井沢)ワークショップ論文集, pp.115-120, 1999年4月, 軽井沢プリンス (長野県).
- (43) 戸川 望, 柳澤 政生, 大附 辰夫 (早稲田大学),  
「制御処理を主体としたハードウェアを対象とする高位合成システムとその適用」,  
情報処理学会 DA シンポジウム '99 論文集, pp.189-194, 1999年7月.
- (44) 横山 正幸, 戸川 望, 柳澤 政生, 大附 辰夫 (早稲田大学),  
「制御処理を主体としたハードウェア記述生成手法」,  
情報処理学会 DA シンポジウム '99 論文集, pp.195-200, 1999年7月.
- (45) 家長 真行, 戸川 望, 柳澤 政生, 大附 辰夫 (早稲田大学),  
「制御処理ハードウェアの高位合成システムのための面積/時間最適化アルゴリズム」,  
電子情報通信学会 VLSI 設計技術研究会技術報告, No.VLD99-66, pp.15-22, 1999年9月.
- (46) 片岡 義治, 吉澤 大, 戸川 望, 柳澤 政生, 大附 辰夫 (早稲田大学),  
「デジタル信号処理向けプロセッサコアの面積/遅延見積り手法」,  
電子情報通信学会 VLSI 設計技術研究会技術報告, No.VLD99-75, pp.1-8, 1999年11月.
- (47) 桜井 崇志, 戸川 望, 柳澤 政生, 大附 辰夫 (早稲田大学),  
「2種類のレジスタファイルを持つデジタル信号処理向けプロセッサのハードウェア/ソフトウェア分割手法」,  
電子情報通信学会 VLSI 設計技術研究会技術報告, No.VLD99-76, pp.9-16, 1999年11月.
- (48) N. Togawa, M. Yanagisawa, and T. Ohtsuki (Waseda University),  
“ A Hardware/Software Cosynthesis System for Digital Signal Processor Cores, ”  
IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E82-A, No.11, pp.2325-2337, November 1999.
- (49) N. Togawa, M. Ienaga, M. Yanagisawa, and T. Ohtsuki (Waseda University),  
“ An Area/Time Optimizing Algorithm in High-Level Synthesis for Control-Based Hardware, ”  
Proc. of ASP-DAC 2000, pp.309-312, January 2000, Japan.
- (50) 伊澤 義貴, 濱 未希子, 戸川 望, 柳澤 政生, 大附 辰夫 (早稲田大学),  
「歩行者を対象とした地図データ配信システムにおける専用プロセッサの設計と評価」,  
電子情報通信学会 VLSI 設計技術研究会技術報告, No.VLD99-267, pp.15-22, 2000年3月.
- (51) N. Togawa, M. Yanagisawa, and T. Ohtsuki (Waseda University),  
“ A Hardware/Software Cosynthesis System for Digital Signal Processor Cores with Two Types of Register Files, ”  
IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E83-A, No.3, March 2000.
- (52) 佐々木慶太, 吉田 暁, 上田和宏 (芝浦工業大学),  
「動画像中移動物体抽出 L S I の設計とチップ試作」,  
平成 11 年度電子情報通信学会東京支部学生会研究発表会, 47, p.47, 2000年3月, 機械振興会館.
- (53) 吉良堅太郎, 上田和宏 (芝浦工業大学),  
「ステレオ画像を用いた障害物 L S I の設計とチップ試作」,  
平成 11 年度電子情報通信学会東京支部学生会研究発表会, 50, p.50, 2000年3月, 機械振興会館.
- (54) T. Nakamoto, S. Kawamura and T. Moriizumi (Tokyo Institute of Technology),  
“ Study of digital learning circuit for odor sensing system using 1bit-data stream signal processing circuit ”,  
Proc. IJCNN, 1999, 526, Washington DC, USA.
- (55) 河村 聡, 中本高道, 森泉豊栄 (東京工業大学),  
「1ビットデジタル演算方式を用いた匂いセンサ用学習・識別 LSI 回路の研究」,  
電気学会化学センサシステム研究会, 1999, CS99-31, 慶応大学 (神奈川県).
- (56) 中本高道 (東京工業大学),  
「匂いセンシングシステムの研究動向」,  
応用物理学会 M&BE 講習会, 1999, p.77, 機械振興会館 (東京都).

- (57) 河村 聡, 松山健吾, 中本高道, 森泉豊栄 (東京工業大学), 「1ビットデジタル演算方式を用いた匂いセンサ用学習・識別LSI回路の研究」, 電気学会全国大会 2000年3月, 発表予定, 東京工業大学(東京都).
- (58) 河村 聡, 中本高道, 森泉豊栄 (東京工業大学), 「1ビットデジタル演算方式を用いた匂いセンサ用学習・識別LSI回路の研究」, 電気学会論文誌, 掲載予定.
- (59) 小菅一弘, 吉川信行 (横浜国立大学), 「超伝導/CMOSハイブリッドシステム用低温動作CMOS回路の検討I」, 第60回応用物理学学術講演会, 2p-ZS-13, 1999年9月, 甲南大学(兵庫県).
- (60) 阿部高志, 小菅一弘, 吉川信行 (横浜国立大学), 「超伝導/CMOSハイブリッドシステム用低温動作CMOS回路の検討II」, 第47回応用物理学関連連合講演会, 28a-G-25, 2000年3月, 青山学院大学(東京都).
- (61) T.Ochiai and H.Hatano (Shizuoka Institute of Science and Technology), "A Technique for Floating Gate Neuron MOS Simulation", Abst. ECS Joint International Meeting, abs.no.91, Oct.1999, USA.
- (62) T.Ochiai and H.Hatano (Shizuoka Institute of Science and Technology), "A Proposition on Floating Gate Neuron MOS Macromodelling for Devide Fabrications," IEICE Trans. Fundamentals, vol.E82-A, no.11, pp.2485-2491, Nov.1999.
- (63) T. Asai, M. Ohtani and H. Yonezu (Toyohashi University of Technology), "Analog MOS Circuits for Motion Detection Based on Correlation Neural Networks," Jpn. J. Appl. Phys., Vol. 38, No. 4B, pp. 2256-2261(1999).
- (64) M. Ohtani, H. Yonezu, and T. Asai (Toyohashi University of Technology), "Analog MOS IC Implementation of Motion-Detection Network Based on a Biological Correlation Model," Jpn. J. Appl. Phys., to be published.
- (65) T. Asai, M. Ohtani, H. Yonezu and N. Ohshima (Toyohashi University of Technology), "Analog MOS Circuit Systems Performing the Visual Tracking with Bio-Inspired Simple Networks," Proc. of the 7th Int. Conf. on Microelectronics for Neural, Fuzzy, and Bio-Inspired Systems, pp. 240-246, 1999.
- (66) M. Ohtani, T. Asai, H. Yonezu and N. Ohshima (Toyohashi University of Technology), "Analog Velocity Sensing Circuits Based on Bio-Inspired Correlation Networks," Proc. of the 7th Int. Conf. on Microelectronics for Neural, Fuzzy, and Bio-Inspired Systems, pp. 366-373, 1999.
- (67) 宮下貴重, 大谷真弘, 西尾公裕, 米津宏雄 (豊橋技術科学大学), 「局所適応機能を有するエッジ検出機構の集積回路化」, 日本神経回路学会第9回全国大会 P1-26 (32), 1999年11月, 北海道大学(北海道).
- (68) 宮下貴重, 大谷真弘, 高崎 哲, 山田 仁, 西尾公裕, 米津宏雄 (豊橋技術科学大学), 「局所的な明暗順応機能を有するエッジ検出機構の集積回路化」, 電子情報通信学会 ニューロコンピューティング研究会, NC99-178 2000年3月, 玉川大学(東京都).
- (69) 山田 仁, 宮下貴重, 大谷真弘, 米津宏雄 (豊橋技術科学大学), 「内網膜機能に学んだ動き情報の生成とその電子回路化」, 電子情報通信学会 ニューロコンピューティング研究会, NC99-112 2000年3月, 玉川大学(東京都).
- (70) J.Akita\*, K.Maeda\*, A.Kitagawa\*\*, M.Suzuki\* (\* Kanazawa University, \*\* University of Tokyo), "Fast Square-Area Detection Algorithm Using Automata for VLSI Implementation," 1999 IEEE Workshop on CCD & Advanced Image Sensors, June 1999, Japan.
- (71) 秋田純一\*, 高瀬信二\*, 渡辺晃\*, 北川章夫\*\*, 鈴木正國\* (\*金沢大学, \*\*東京大学), 「画像情報の実時間処理のための回路アーキテクチャと試作例」, DA シンポジウム'99, 1999年7月, 遠鉄エンパイアホテル(静岡県).
- (72) J.Akita (Kanazawa University), "Real-time Color Detection System using Custom LSI for High-Speed Machine Vision," RoboCup Workshop in IJCAI'99, Aug. 1999, Sweden.
- (73) 秋田純一, 高瀬信二 (金沢大学), 「専用LSIを用いたカラービデオ画像の高速色抽出回路」, 第9回インテリジェントシステムシンポジウム, 1-305, pp.159-162, 1999年10月, 福井フェニックスプラザ(福井県).
- (74) 秋田純一 (金沢大学), 「専用LSIによる高速画像フィードバックに基づく単純機構ロボットを用いたRoboCup小型機チーム」, AI チャレンジ研究会, 1999年10月, 奈良先端科学技術大学院大学(奈良県).

- (75) S.Takase, A.Watanabe, O.Tooyama, J.Akita (Kanazawa University),  
 “Centroid Detection Image Sensor Employing Current Condensing Mechanism using Resistive Network,”  
 1999 IEEE International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS'99), pp.323-326, Dec. 1999, Thailand.
- (76) K.Maeda, J.Akita (Kanazawa University),  
 “Fast Square-area Detection Algorithm using Automata for VLSI Implementation,”  
 情報メディア学会論文誌, pp.248-251, 2000年2月.
- (77) 高瀬信二, 渡辺晃, 遠山治, 秋田純一(金沢大学),  
 「抵抗網中の電位分布の局所性を用いた高速重心検出回路」,  
 2000年電子情報通信学会総合大会, C12-36, 2000年3月, 広島大学(広島県).
- (78) 上平祥嗣, 田中義久, 山崎勝弘(立命館大学),  
 「VHDLによるKITEマイクロプロセッサの設計と試作」,  
 情報処理学会第59回全国大会論文集, 1H-8, 1999年9月.
- (79) 境和久\*, 深津元\*\*, 泉知論\*, 中村行宏\*(京都大学, \*\*松下電気産業),  
 「PCAデバイスの設計と試作」,  
 第14回パルテノン研究会, pp.29-36, 1999年5月.
- (80) K. Sakai\*, G. Fukatsu\*\*, T. Izumi\* and Y. Nakamura\* (\* Kyoto University, \*\* Matsushita Electric Corporation),  
 “A design and trial manufacture of Plastic Cell Architecture device”,  
 14th Workshop of PARTHENON Technical Society, pp.29-36, May 1999.
- (81) 小林和淑, 江口真, 岩橋卓也, 柴山武英, 李翔, 小野寺秀俊(京都大学),  
 「ベクトル並列信号処理プロセッサ(VP-DSP)における設計環境」,  
 信学技法, Vol. 99, No. 658, pp. 23-30, 2000年3月, 金沢.
- (82) 橋本昌宜, 橋本鉄太郎, 西川亮太, 福田大輔, 黒田慎介, 菅俊介, 神原弘之, 小野寺秀俊(京都大学),  
 「オンデマンドライブラリを用いたシステムLSI詳細設計手法」,  
 信学技法, Vol. 99, No. 660, pp. 31-38, 2000年3月, 金沢.
- (83) 橋本昌宜, 橋本鉄太郎, 西川亮太, 福田大輔, 黒田慎介, 菅俊介, 神原弘之, 小野寺秀俊(京都大学),  
 「オンデマンドライブラリを用いたシステムLSI詳細設計手法」,  
 第3回システムLSI琵琶湖ワークショップ予稿集, pp. 279-281, 1999年11月, 滋賀.
- (84) 岩橋卓也, 江口真, 柴山武英, 李翔, 坂口知靖, 高井幸輔, 小林和淑, 小野寺秀俊(京都大学),  
 「実時間動画像圧縮伸長用ベクトル並列信号処理プロセッサVP-DSPの開発」,  
 第3回システムLSI琵琶湖ワークショップ予稿集, pp. 275-278, 1999年11月, 滋賀.
- (85) 柴山武英, 江口真, 岩橋卓也, 小林和淑, 小野寺秀俊(京都大学),  
 「携帯TV電話に適した16並列パイプラインDSPの設計」,  
 電子情報通信学会総合大会論文集, C-12-26, 2000年3月, 広島.
- (86) 江口真, 柴山武英, 岩橋卓也, 小林和淑, 小野寺秀俊(京都大学),  
 「ベクトルDSPを用いた携帯端末におけるテレビ電話システム」,  
 電子情報通信学会総合大会論文集, C-12-27, 2000年3月, 広島.
- (87) 小野寺秀俊, 平田昭夫, 北村晃男, 小林和淑, 田丸啓吉(京都大学),  
 「P2Lib: スタンダードセルライブラリ自動生成システム」,  
 情報処理学会論文誌, Vol. 40, No. 4, pp. 1660-1669, 1999年4月.
- (88) 平田昭夫, 近藤友一, 小野寺秀俊, 田丸啓吉(京都大学),  
 「抵抗分を含む負荷を駆動するCMOS論理回路のゲート遅延時間計算手法」,  
 情報処理学会論文誌, Vol. 40, No. 4, pp. 1679-1686, 1999年4月.
- (89) S. Kimura, H. Kida, K. Takagi, T. Abematsu, K. Watanabe (Nara Institute of Science and Technology),  
 “An Application Specific Java Processor with Reconfigurabilities,”  
 Proc. ASP-DAC 2000, pp.25-26, Jan. 2000.
- (90) 上原昭宏, 太田淳, 布下正宏(奈良先端科学技術大学院大学),  
 「ネットワーク回路を組み込んだアクティブピクセルセンサー」  
 1999年映像情報メディア学会年次大会, 17-5, 1999年8月, 工学院大学(東京).
- (91) 上原昭宏, 徳田崇, 太田淳, 布下正宏(奈良先端科学技術大学院大学),  
 「パルス動作ビジョンチップの試作」,  
 映像情報メディア学会技術報告, Vol. 24, No.3, pp.19-24, Jan. 2000.
- (92) B.K. Tan, R. Yoshimura and K. Taniguchi(Osaka University),  
 “A Reconfigurable Digital Signal Processor,”  
 1999 International Workshop on Advanced LSI's and Devices, 3.3, pp. 37-43, July. 1999, Korea.
- (93) S. Hatanaka, T. Ogawa, R. Yoshimura and K. Taniguchi (Osaka University),  
 “CMOS Rail-to-Rail Opamp,”  
 1999 International Workshop on Advanced LSI's and Devices, 9.3, pp. 159-165, July. 1999, Korea.

- (94) 吉村隆治, Tan Boon Keat, 小川徹, 谷口研二 (大阪大学), 「CDMA 方式を用いた有線通信インタフェース」, 電子情報通信学会 論文誌 C-II, Vol. J82-C-II, No. 11, pp. 631-636, 1999年11月.
- (95) R. Yoshimura, B.K. Tan, T.Ogawa, S.Hatanaka, T.Matsuoka and K. Taniguchi (Osaka University), "DS-CDMA Wired Bus with Simple Interconnection Topology for Parallel Processing System LSIs," 2000 IEEE International Solid State Circuits Conference, WP22.5, pp. 370-371, Feb. 2000, USA.
- (96) 檜垣茂明, 小林真輔, 北嶋 暁, 武内良典, 今井正治 (大阪大学), 「CPU 作成学生実験における LSI 設計事例」, 第3回システム LSI 琵琶湖ワークショップ ,ポスター資料集, pp. 271-274, 1999年11月.
- (97) 仁田功一, 谷田 純, 一岡芳樹 (大阪大学), 「光電子融合型離散相関器の設計」, Optics Japan '99, 23pA5, 1999年11月, 大阪大学(大阪府).
- (98) 仁田功一, 谷田 純, 一岡芳樹 (大阪大学), 「光電子融合型離散相関器の評価」, 第47回応用物理学関連連合講演会, 29p-S-14, 2000年3月, 青山学院大学(東京都).
- (99) 浅香 篤, 徳丸正孝, 村中徳明, 今西 茂 (関西大学), 「ニューロン MOSFET を用いた Signed-Digit 数加算回路の設計」, 2000 電子情報通信学会関西支部学生研究発表会 ,C-7(2000-3), (立命館大, 滋賀県).
- (100) K.Mitsuya, N.Muranaka, S.Imanishi (Kansai University), "A Composition of Full Adder using Neuron MOSFETs by Ternary Signed Digit Number Representation", Proc. of the First Korea-Japan Joint Symposium on Multiple Valued Logic, pp.89-96(Aug. 1999) (Koria, Kyongju).
- (101) 龍見嘉之, Hans Juergen Mattausch (広島大学), 「Tbit/sハンド幅実現のための多数ポートメモリセルの面積増加を改善する必要性について」, 1999年電子情報通信学会総合大会, C- 1 2 - 8 0, 1999年3月, 慶応大学(神奈川県).
- (102) 岸 浩二, 行天隆幸, 龍見嘉之, 山田耕太郎, Hans Juergen Mattausch (広島大学), 「新しい階層構造型アーキテクチャによる小面積マルチポートメモリの開発 (第1階層)」, 1999年電子情報通信学会総合大会, C- 1 2 - 8 1, 1999年3月, 慶応大学(神奈川県).
- (103) 行天隆幸, 岸浩二, 龍見嘉之, 山田耕太郎, Hans Juergen Mattausch (広島大学), 「新しい階層構造型アーキテクチャによる小面積マルチポートメモリの開発 (第2階層)」, 1999年電子情報通信学会総合大会, C- 1 2 - 8 2, 1999年3月, 慶応大学(神奈川県).
- (104) H.J. Mattausch, Y. Tatsumi, K. Kishi, T. Gyoten, and K. Yamada (Hiroshima University), "Aera-Efficient Multiport Memories for the Tb/s Bandwidth Era" Proceedings of the 25th European Solid-State Circuits Conference, pp. 126-129, Sept. 1999, Germany.
- (105) H.J. Mattausch (Hiroshima University), "Hierarchical architecture for area-efficient integrated N-port memories with latency-free multi-gigabit per second access bandwidth" Electronics Letters Vol. 35, No.17, pp. 1441-1443, Aug. 1999.
- (106) Y. Tatsumi and H.J. Mattausch (Hiroshima University), "Fast quadratic increase of multiport-storage-cell area with port number" Electronics Letters Vol. 35, No.25, pp. 2185-2187, Dec. 1999.
- (107) S. Kinoshita, T. Morie, M. Nagata and A. Iwata(Hiroshima University), "New Non-Volatile Analog Memory Circuits Using PWM Methods," IEICE Trans. Electron., Vol. E82-C, No. 9, pp. 1655-1661, 1999.
- (108) H. Ando, M. Miyake, T. Morie, M. Nagata and A. Iwata (Hiroshima University), "A Nonlinear Oscillator Network for Gray-level Image Segmentation and PWM/PPM Circuits for Its VLSI Implementation," IEICE Trans. Fundamentals, Vol. E83-A, No. 2, pp. 329-336, 2000.
- (109) T. Yamanaka, T. Morie, M. Nagata and A. Iwata(Hiroshima University), "A Stochastic Association Circuit Using PWM Chaotic Signals," 1999 Int. Conf. Solid State Devices and Materials (SSDM'99), pp. 100-101, Sept. 1999, Tokyo.
- (110) K. Murakoshi, T. Morie, M. Nagata and A. Iwata(Hiroshima University), "An Arbitrary Chaos Generator Core Circuit Using PWM/PPM Signals," Asia and South Pacific Design Automation Conference (ASP-DAC2000), A1.12, Jan. 2000, Yokohama.
- (111) 中村恒博, 酒林聡太, 森江 隆, 永田 真, 岩田 穆 (広島大学),

- 「任意非線形活性化関数を有するパルス変調方式ニューラルネットワーク回路」,  
1999年電子情報通信学会基礎・境界ソサイエティ大会, SA-1-1, 1999年9月, 日本大学(千葉県).
- (112) 木下茂雄, 森江隆, 永田真, 岩田穆 (広島大学),  
「PWM方式不揮発性アナログメモリ回路」,  
1999年電子情報通信学会エレクトロニクスソサイエティ大会,  
C-12-32, 1999年9月, 日本大学(千葉県).
- (113) 木下茂雄, 森江隆, 永田真, 岩田穆 (広島大学),  
「PWM方式不揮発性アナログメモリ回路」,  
第3回システムLSI琵琶湖ワークショップ講演資料集, pp.  
199-202, 1999年11月, 滋賀県.
- (114) 安藤博士, 森江隆, 永田真, 岩田穆 (広島大学),  
「画像分割用ネットワークのための非線形振動子回路の試作」,  
2000年電子情報通信学会総合大会, A-1-4, 2000年3月, 広島  
大学(広島県).
- (115) 村越健一, 森江隆, 永田真, 岩田穆 (広島大学),  
「PWM/PPM方式任意カオス発生回路の試作」,  
2000年電子情報通信学会総合大会, A-1-19, 2000年3月, 広島  
大学(広島県).
- (116) 三宅誠, 森江隆, 永田真, 岩田穆 (広島大学),  
「パルス変調方式による抵抗ヒューズネットワーク回路」,  
2000年電子情報通信学会総合大会, A-1-46, 2000年3月, 広島  
大学(広島県).
- (117) 西島誠一, 森江隆, 永田真, 岩田穆 (広島大学),  
「PWM方式によるガボール型フィルタ回路」,  
2000年電子情報通信学会総合大会, A-1-51, 2000年3月, 広島  
大学(広島県).
- (118) 大村道郎, 田中武, 川畑敬志 (広島工業大学),  
「VHDL言語を用いたLSI設計教育」,  
平成11年度電気・情報関連学会中国支部第5回連合大会,  
広島市立大学, p.368, 1999年10月.
- (119) 門田亘弘, 大村道郎 (広島工業大学),  
「3次元配線領域における迷路配線セルの設計」,  
平成11年度電気・情報関連学会中国支部第5回連合大会,  
広島市立大学, p.408, 1999年10月.
- (120) 田中武, 大村道郎 (広島工業大学),  
「広島工業大学におけるVLSI設計・プロセス工学教育」,  
広島工業大学研究紀要, 第34巻, pp.7-13, 2000年2月.
- (121) 木島毅彦, 関根聡子, 寺田和夫 (広島市立大学),  
「新しいDTMOS回路の動作評価」,  
2000年電子情報通信学会総合大会, C-11-16, 2000年3月, 広島  
大学(広島県).
- (122) 越智裕之 (広島市立大学),  
「FPAccA: フィールドプログラマブルアキュムレータレイ  
FPAccA model 1.0 チップの設計と評価」,  
情報処理学会論文誌, Vol. 40, No. 4, pp. 1717-1725, 1999年4  
月
- (123) 河野陽一, 越智裕之, 津田孝夫 (広島市立大学),  
「FPAccA model 2.0チップの設計 再構成可能な浮動小数点  
演算器アレイ」,  
信学技報, Vol. 99, No. 530 (VLSI設計技術研究会), pp. 45-52,  
2000年1月, 熊本大学(熊本県)
- (124) 松尾嘉洋, 末次正 (福岡大学),  
「スイッチトキャパシタ変成器を用いたDC-DCコンバータの  
IC化」,  
2000年電子情報通信学会総合大会, C-12-50, 2000年3月, 広島  
大学(広島県).
- (125) 吉澤弘泰\*, 中司賢一\*, 谷口研二\*\* (\*九州大学, \*\*久留米工  
業大学),  
「VDECによる1.2mm 300MHz PLLの試作」,  
1999年電子情報通信学会総合大会, SA - 2 - 8 1999年3月,  
慶応義塾大学(横浜市).
- (126) 吉澤弘泰\*, 中司賢一\*, 古瀬康介\*, 谷口研二\*\* (九州大学,  
\*\*久留米工業大学),  
「VDECによる高速・低消費電力CMOS PLLの試作」,  
DAシンポジウム'99, 1999年7月, 遠鉄ホテルエンパイア  
(浜松市).
- (127) K. Nakashi\*, H. Yoshizawa\*, N. Komeie\* and K. Taniguchi  
\*\* (\* Kyushu University, Kurume Institute of Technology),  
“ A PLL WITH VARIABLE LOOP GAIN FOR FAST LOCK-  
IN ”,  
8th International Symposium on Integrated Circuits, Devices &  
Systems, A3/A4-2, Sep. 1999, Singapore.
- (128) 山田利幸\*, 吉澤弘泰\*, 古瀬康介\*, 中司賢一\*, 谷口研二\*\*  
(\*九州大学, \*\*久留米工業大学),  
「オンチップPLL用VCOの線形性の改善」,  
平成11年度電気関係学会九州支部連合大会, 1999年10月, 九  
州工業大学(北九州市).
- (129) 米家信行\*, 吉澤弘泰\*, 八山和弘\*, 中司賢一\*, 谷口研二\*\*  
(\*九州大学, \*\*久留米工業大学),  
「チャージポンプ電流可変による高速引き込みPLL」,  
平成11年度電気関係学会九州支部連合大会, 1999年10月, 九  
州工業大学(北九州市).



- (130) 谷口研二\*, 光山弘\*, 中司賢一\*\*, 吉澤弘泰\*\* (\*九州大学, \*\*久留米工業大学),  
「回路図入力による SPICE シミュレーションの検討と PLL への応用」,  
平成 11 年度電気関係学会九州支部連合大会, 1999 年 10 月, 九州工業大学 (北九州市).
- (131) 吉澤弘泰\*, 中司賢一\*, 谷口研二\*\* (\*九州大学, \*\*久留米工業大学),  
「オンチップクロック生成用 PLL の低ジッタ・小面積化設計」,  
九州大学大学院システム情報科学研究科報告, 第 4 巻, 第 1 号, pp.93-98, 1999 年 3 月.
- (132) 八山和弘, 吉澤弘泰, 中司賢一, 谷口研二 (九州大学\*\*久留米工業大学),  
「ループパラメータ可変制御による高速引き込み PLL の設計」,  
九州大学大学院システム情報科学研究科報告, 第 5 巻, 第 1 号, 印刷中, 2000 年 3 月.
- (133) 鉄川龍也, 黒木幸令 (九州大学),  
「VDEC アナログ MOS ライブラリー開発」,  
1999 年電気関係学会九州支部連合大会 講演論文集 No.743 pp.349, (平成 11 年度 第 52 回連合大会 1999 年 10 月).
- (134) 中元経史朗, 岩村鉄郎, 田中浩治, 中司賢一, 黒木幸令 (九州大学),  
「高耐圧 LDMOS の SPICE パラメータ抽出」,  
1999 年電気関係学会九州支部連合大会, 講演論文集 No.419, pp. 165, (平成 11 年度 第 52 回連合大会 1999 年 10 月).
- (135) S. Kameda, A. Honda and T. Yagi (Kyushu Institute of Technology),  
“ Real time image processing with an analog vision chip systems”  
International Journal of Neural Systems, vol. 9, pp.423-428, 1999.
- (136) T. Yagi, S. Kameda and K. Iizuka (Kyushu Institute of Technology)  
“ A parallel analog intelligent vision sensor with a variable receptive field ”  
Systems and Computers in Japan, vol.30, No.1, pp. 60-69, 1999.
- (137) Y. Arai, T. Aoki, M. Fukutomi, K. Hashimoto, K. Honda, F. Ishikawa, N. Manago, M. Sasaki, K. Satake, M. Takeda, Y. Tanaka (Nagasaki Institute of Applied Science),  
“ Development of Front-End Electronics for the Telescope Array Project ”,  
26th International Cosmic Ray Conference, Salt Lake City, Utah, August, 1999.
- (138) 後田 司, 田中一成, 田中義人 (長崎総合科学大学),  
「リコンフィギャラブルマルチスレッドプロセッサの試作」,  
平成 11 年度電気関係学会第 52 回九州支部連合大会論文集, pp.752.
- (139) 福富雅彦, 田中義人 (長崎総合科学大学),  
「高分解能電荷逐次積分 LSI の開発」,  
平成 11 年度電気関係学会第 52 回九州支部連合大会論文集, pp.348.
- (140) 酒井雅司, 福富雅彦, 田中義人 (長崎総合科学大学),  
「逐次電荷積分 LSI の試作・評価」,  
平成 11 年度第 7 回電子情報通信学会九州支部学生大会論文集, pp.50.
- (141) 清山浩司, 田中義人 (長崎総合科学大学),  
「パイプライン ADC の試作」,  
平成 11 年度第 7 回電子情報通信学会九州支部学生大会論文集, p.51.
- (142) T. Inoue, H. Nakane, Y. Fukuju and E. Sanchez-Sinencio (Kumamoto University),  
“ A Design of a Low-Voltage Current-Mode Fully-Differential Analog CMOS Integrator Using FG-MOSFETs and Its Implementation, ”  
1999 International Analog VLSI Workshop, pp.161-166, May, 1999, Taiwan.
- (143) 中根秀夫, 二宮竜也, 井上高宏 (熊本大学),  
「FG-MOSFET を用いた可変利得電流ミラーの一構成」,  
電気学会電子回路研究会資料, ECT-99-102, 1999 年 6 月, 熊本大学.
- (144) 小野 豊, 沈 靖, 淡野公一, 唐 政, 石塚興彦 (宮崎大学),  
「VDEC 試作によるニューロン MOS トランジスタの評価」,  
電気関係学会九州支部連合大会大会講演論文集, p.350, 1999 年 10 月, 九州工業大学(福岡県).
- (145) 堤 貴彦, 小野 豊, 淡野公一, 石塚興彦 (宮崎大学),  
「電流モード CMOS 多値基本回路の AC 特性とその測定」,  
電子情報通信学会九州支部学生会講演会, p.41, 1999 年 10 月, 九州工業大学(福岡県).
- (146) 堤 貴彦, 稲葉 基, 小野 豊, 淡野公一, 石塚興彦 (宮崎大学),  
「標準 CMOS プロセスによる FG-MOS の特性について」,  
電子情報通信学会非線形問題研究会論文集, 2000 年 2 月, 宮崎大学(宮崎県).

# 第6章 付録

## 6.1. 利用規定

### 【VDECアカウント】

1. VLSI チップ試作申し込みを前提とし, チップ試作申し込み時に同時にホスト計算機利用申請をする必要がある。
2. 計算機利用の目的は主としてセンターが提供するCADソフトウェアを利用した設計・検証のほか, チップ設計・評価に関係する大学に所属する研究者独自のプログラムの開発と実行とし, 一般のVLSI教育と関係のない計算には原則として用いないことを前提に申込を受け付ける。
3. 申込者はVLSIチップ試作申し込み単位である各大学・高専教官とし, 学生毎には利用者アカウントの発行は行わない。
4. 利用期間は利用承認時期から該当試作チップの納品時期までとする。 利用期間終了後はユーザファイル等が消去されることがあるため, ユーザの責任で利用期間内にバックアップするものとする。

### 【チップ試作】

1. 試作日程はVDEC運営委員会で各大学の学部授業日程ならびに大学院教育に配慮して決める。
2. チップ試作申し込み期間は, 設計締め切りの6ヶ月前から3ヶ月前までの期間とする。
3. チップ試作申込者は各大学・高専の教官とし, 学生からのチップ試作受付はおこなわない。
4. 申し込みはセンターWebのホームページで行い, 別途書面による秘密保持規約において正式確認する。
5. チップ試作費は試作チップ納品時に送付される請求書類等に応じ, ユーザ毎に遅滞なくチップ試作会社に支払う。

6. チップ試作費用ならびに納品チップ数は, 別途これを定め, センターWebページその他のセンター情報誌等に掲載する。
7. チップ試作申し込みの取り消しは設計締め切りの1ヶ月前までとし, それ以降は基本的に試作費の支払い義務を負う。
8. チップの品質検査は同一チップ上に作られるテスト回路で行い, センターおよびチップ試作会社は基本的に試作チップの動作, 性能等についてそれ以上の責任を負わない。
9. チップ試作申し込みでは同時に別途規定するホスト計算機利用申請を行う必要がある。

### 【CAD利用】

1. CAD利用は, 演習・授業でも必要であり, VLSIチップ試作申し込みを条件とはしない。
2. ユーザが必要なライセンス数を把握するため, CAD項目単位で申し込みを受け付ける。
3. CAD利用申込者は, 各大学・高専の教官とし, 学生からの利用申し込み受付は行わない。

### 【CAD項目とサポートされるOS】

#### CAD項目

- ・ Verilog HDL 論理設計ツール
- ・ VHDL 論理設計ツール
- ・ 自動配置配線ツール
- ・ 会話型回路・レイアウト設計ツール
- ・ アナログ回路・レイアウト設計ツール
- ・ アナログ回路シミュレータ ( チップ試作申込者のみ利用可能)

#### サポートされるOS (平成11年4月現在)

- ・ SUN Sparc: SunOS 4.1.X (今後サポート打ち切りとなっていく予定)
- ・ SUN Sparc: SunOS 5.5.1 以降
- ・ HP9000: hpux 10.20 以降

## 6.2. 申し込みガイド

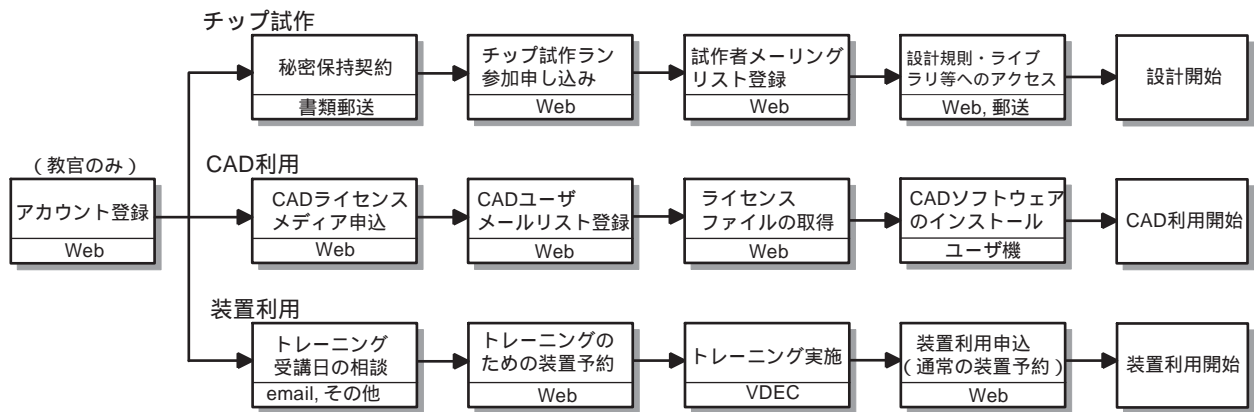


図 6.1 VDEC 利用申込の流れ

### 【VDEC 利用方法の概要】

1. VDEC の利用までの手順をまとめると図 6.1 のようになる。VDEC 計算機アカウントは、大学・高専の教官にのみ発行され、チップ試作費用は、アカウント所有者宛てに請求される。
2. VDEC における利用申請およびユーザへの案内は主に VDEC ホームページ( <http://www.vdec.u-tokyo.ac.jp/> ) 上で行われる。VDEC のホームページを正常に表示するためには日本語が表示できる Web ブラウザが必要である。Netscape Communicator, Microsoft Internet Explorer, SUN HotJava などのブラウザでの動作を確認済みである。VDEC ホームページの上部にインデックスフレーム(図 6.2)が表示されるので、これを用いて、アカウント申込、チップ試作申込、CAD 利用申込、公開装置の利用申込のためのページ等を表示することができる。

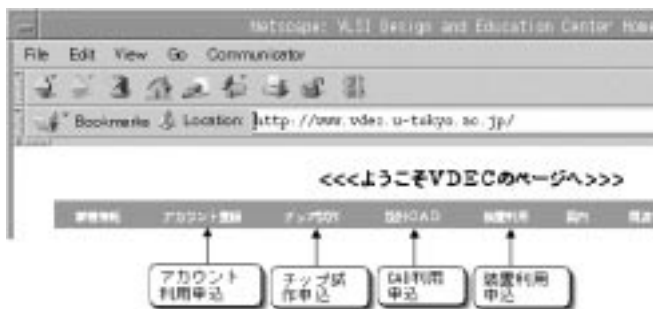


図 6.2 VDEC ホームページのインデックスフレーム



図 6.3 アカウント登録・変更ページの入口

### 【アカウント利用申込】

1. はじめて VDEC を利用する場合は、まずアカウント登録のページに入り(図 6.3)、アカウントを取得する必要がある。ここから新規アカウントを申請する場合は「新規登録」のページへ、登録内容の変更またはアクセスホストの追加・変更の場合は「登録内容の変更」のページへと進む。
2. 「新規登録」のページでは、フォームを全て埋めて内容を確認してから“Submit” ボタンをクリックする。特に email アドレスに間違いがあると、パスワードその他の情報が送付されない。また、間違った IP アドレスまたは後述の「登録する IP アドレスに関する要件」を満たさない IP アドレスを登録すると、アカウントが発行されたとしても、アクセス制限を行っているページへのアクセスができないので、申請情報を送信する前によく確認すること。

- ここで登録するIPアドレスは、各種サービスの申し込み、アクセス制限を行っているwebページ(機密情報等)へのアクセスを必要とするコンピュータ、および試作チップ設計データ提出に用いるコンピュータのIPアドレスである。

入力に関する注意点(図6.4):

- 全ての入力項目について半角カタカナは使用しないこと
- emailアドレスは、半角文字のみを使用すること
- IPアドレスは、半角文字のみを使用すること
- IPアドレスやドメイン名の区切りを表す.(ピリオド)と、複数のアドレスの区切りを表す,(コンマ)を間違えないように注意すること
- 名前の前後に不要なスペースが混入されないよう注意すること

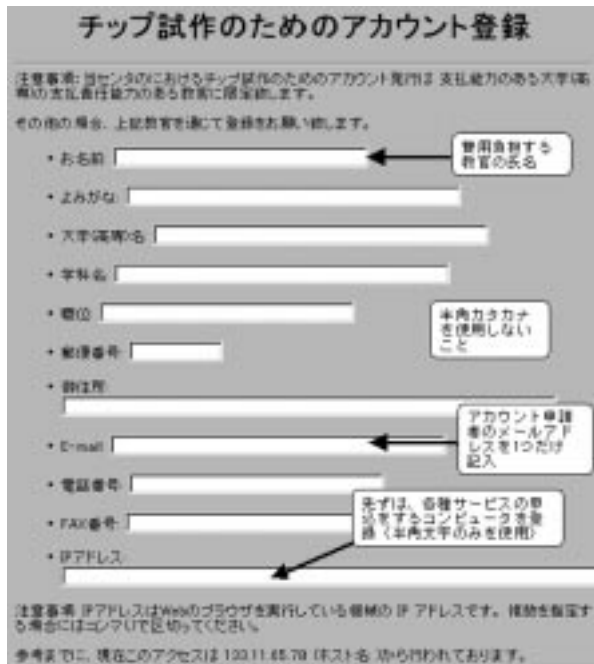


図 6.4 アカウントの新規登録の注意点

登録するIPアドレスに関する要件

- アクセス制限を行わないページのみを参照するコンピュータのIPアドレスを登録する必要はない
- IPアドレスの登録数には制限を設けないが、管理の行き届いたコンピュータのみに限定すること
- DHCPサーバにより動的に割当られたIPアドレスやローカルアドレスなどは登録できない(しても意味が無い)

- Proxyサーバ等を介さないアドレスを指定すること。これは、設計規則等の機密情報がProxyサーバに残ってしまい、機密漏洩につながることを防ぐためであるので守っていただきたい。但し、ファイアウォールが設置されているなど学内の事情により直接のアクセスが行えない場合にはその限りではない

- 「登録内容の変更」のページでは、変更したい項目のみ、チェックボックスチェックの上、新しい内容を記入し、「登録」ボタンをクリックする。この際も、アクセスホストのIPアドレスの指定には十分注意すること。(図6.5)

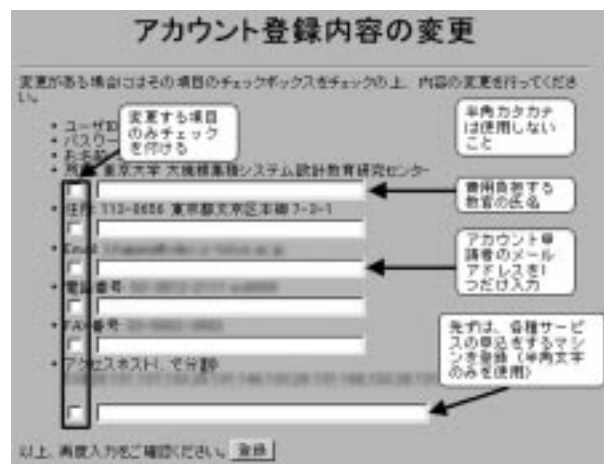


図 6.5 アカウントの登録内容変更の注意点

【チップ試作申込】

- チップ試作申込には前項アカウント利用申込を行い発行されたアカウントが必要である。また、アカウント利用申込の際に登録したIPアドレスを割り当てたコンピュータからアクセスする必要がある。
- 「チップ試作(チップサービスの案内)」のページで申込条件、試作チップの種類、試作日程、試作料金を見て試作するチップの品種が決まったら「チップ試作申込」の箇所へ移動し「受付中」の文字をクリックする。この時、ユーザIDとパスワードが要求されるので半角文字で入力すると、「チップ申込」のページが表示される。必要事項を記入して「申込」ボタンをクリックする。

チップ申込フォームの入力に関する注意点

(図6.6)

- 希望チップ寸法の項目のチェックボックスを必

ずチェックした上で希望チップ数を入力すること。チェックを行わないと入力した数字は無効となる

- ・チップ数入力は、半角数字のみを用いること

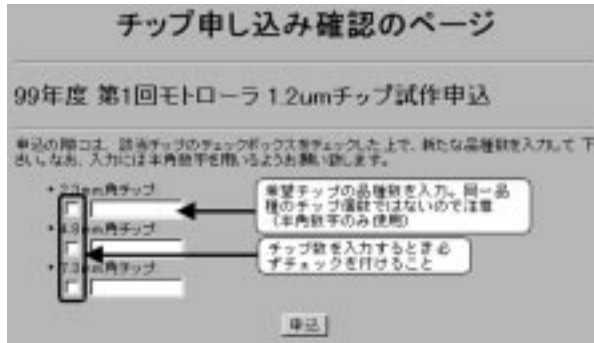


図6.6 チップ申込ページでの注意点

3. 「チップ試作申込確認のページ」(チップ試作申込の下方にリンクがある)を開いて、チップ寸法、品種数等が正しく申し込まれていることを確認する。
4. 「チップ試作(チップサービスの案内)」または「チップ試作申込」ページの左側のフレームに表示されている“チップ試作者のメーリングリスト”をクリックして、「設計者のメールリスト登録ページ」を表示させ、試作を行う予定の試作ランをクリックして実際に設計を行う設計者のメールアドレスをメーリングリストに登録する。

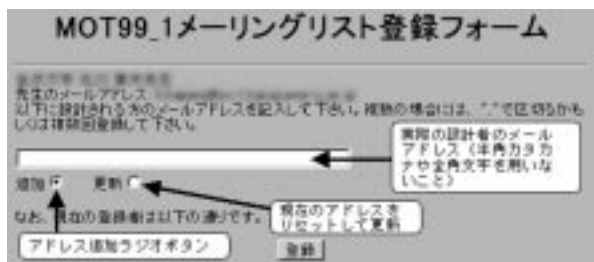


図6.7 チップ試作メーリングリスト登録ページでの注意点

### メーリングリスト登録での入力に関する注意点 (図6.7)

- ・全角文字や半角カタカナを決して用いないこと
- ・入力フォームの文字数には制限があるので、多数の試作者が参加する場合には、一度に多くのメールアドレスを入力しないで後で追加するとよい。追加する場合には、ラジオボタンを“追加”にしてから“登録”ボタンをクリックする

- ・ . (ピリオッド) と , (コンマ) を間違えないように注意する (Web上ではこの見分けが困難である！)
- ・ .ac.jp で終わるアドレス以外は、登録できない

### チップ試作メーリングリストの利用に関する注意

- ・チップ試作の技術的な質問に関しては全てメーリングリストに流すようにすること。また、チップ試作を申し込むとチップ試作者のためのメーリングリストの過去の記事が参照できるようになっているので、一度目を通されたい
- ・メーリングリストに登録したメールアドレスのアカウントについては各ユーザまたは管理者で厳重な管理をお願いしたい。学生が卒業後も登録メールアドレスを使用することのないように注意して頂きたい
- ・メーリングリストに登録されたメールアドレスからネットワークプロバイダ等へのメールの転送を行わないこと
- 5. 当該プロセスにて始めて試作を行う場合、各ファウンダリー毎に秘密保持契約が必要となる。秘密保持契約書面は、「チップ試作申込完了」のページから迎れるようになっているので、ページをプリントアウトした上で内容を確認し書名の上VDEC宛てに送付すること。この手続きが完了するまで、設計規則等の機密情報にはアクセスできない。尚、秘密保持契約内容は、以降の同一プロセスによるチップ試作全てにおいて有効である。

### 【CAD 利用申込】

1. CADの利用申込には、アカウント登録申請を行い発行されたアカウントが必要である。また、アカウント利用申込の際に登録したIPアドレスを持つコンピュータからアクセスする必要がある。
2. VDECホームページ上部のインデックスフレームで“設計CAD”をクリックすると「CAD利用登録の案内」のページ(図6.8)が現れるので“CAD利用申込”を選ぶと「申込用フォーム」が表示される。ライセンス数は、原則として最大同時利用者数分を申し込むこと。これは次回のCADソフトウェア入札の際の基礎データ収集の意味をかねている。

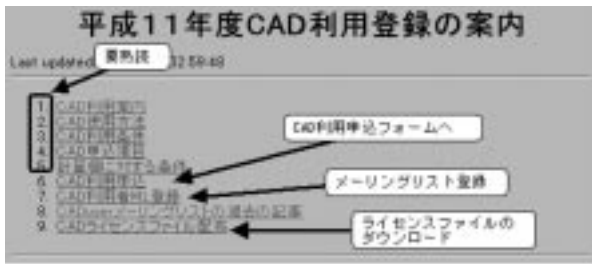


図 6.8 CAD 利用登録案内のページ



図 6.9 CAD 利用申込フォームの「ライセンス数の登録」パート記入における注意点

CAD ライセンス数入力に関する注意点 (図 6.9)

- ・ 希望するCAD項目のチェックボックスをチェックした上で必要なライセンス数を入力すること。チェックを行わないと入力した数字は無効となる
- ・ ライセンス数の入力には、半角数字のみを使用すること
- ・ 必要に応じてCADのインストールの際に必要なメディアのチェックを行うこと。これを忘れるとメディアは送付されず、ライセンスのみが発行される

3. 「計算機アドレスの登録」のパート(図 6.10)では、本CADソフトウェアの利用を考えている全てのコンピュータのアドレスを入力する必要がある。なお、登録するコンピュータのアドレスは、不正アクセスを防止するため、DNSによるホスト名の照合を行うため、DNSの逆引きが行えないコンピュータ、大学機関外に設置されているコンピュータなどは登録しても利用できないので注意すること。

計算機アドレス入力に関する注意点 (図 6.10)

- ・ アドレスの指定はフルドメイン形式で行うこと
- ・ 全角文字は用いないこと

- ・ 入力フォームの文字数には制限があるので、多数の計算機アドレスを登録する場合には、一度に多くのメールアドレスを入力しないで後で追加するとよい。追加する場合には、ラジオボタンを“追加”にしてから“登録”ボタンをクリックする
- ・ . (ピリオッド) と、(コンマ) を間違えないように注意する (Web 上ではこの見分けが困難である)

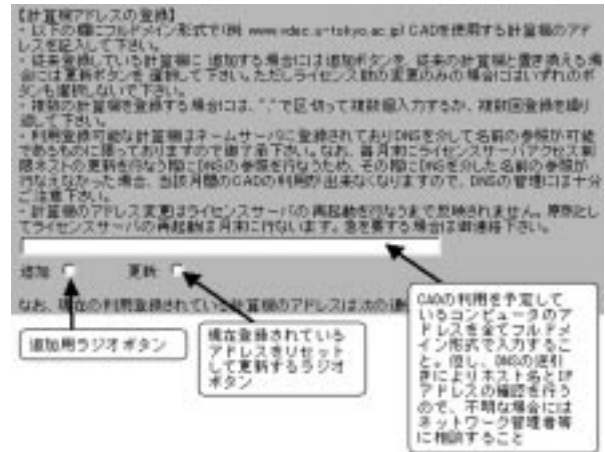


図 6.10 CAD 利用申込フォームの「計算機アドレスの登録」パート記入における注意点

4. フォームの記入後、“申込”ボタンをクリックすると送信確認画面が現れるので、表示された情報が正しいことを確認して“確認”ボタンをクリックする。ただし、CADライセンスサーバのアクセス制限の更新およびメディアの送付は原則として毎月月末に行うため、月の途中での申し込みの場合即応ができないので注意すること。どうしても急遽必要な場合には別途連絡頂きたい。
5. 申込完了後に必ず申込のページをリロードしてライセンス数、計算機アドレスなどが正しく申し込まれていることを確認すること。
6. CAD ツールのメディアに関しては、周囲で既に所有している教官から借りてインストールすることは一向に差し支えない。また、メディアは当該年度に標準と考えるバージョンのみとなっているが、それ以前のバージョンに関しても希望があれば送付するので、別途ご連絡されたい。
7. CAD ライセンスサーバに関する情報、その他 CAD 関係の情報はすべて CAD 利用者メール

グリスト (CADuser@vdec.u-tokyo.ac.jp) 上で行うので、CADツールを利用する方と管理者を登録すること。但し、CADツールの利用申請をしないと登録が出来ないようになっている。「CAD利用者メーリングリストの登録」のページは、「CAD利用登録の案内」ページから迎れる。

## メーリングリスト登録フォームの入力に関する注意点 (図6.11)

- ・ 全角文字や半角カタカナを用いないこと
- ・ 入力フォームの文字数には制限があるので、多数の試作者が参加する場合には、一度に多くのメールアドレスを入力しないで後で追加するとよい。追加する場合には、ラジオボタンを“追加”にしてから“登録”ボタンをクリックする
- ・ . (ピリオッド) と, (コンマ) を間違えないように注意する
- ・ .ac.jp で終わるアドレス以外は、登録できない

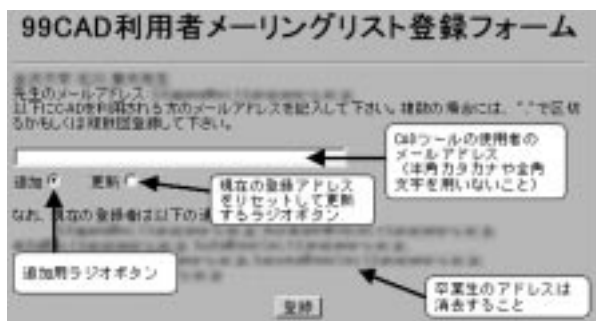


図6.11 CAD利用者メーリングリスト登録における注意点

## CAD利用者メーリングリストの利用に関する注意

- ・ CAD のインストール、その他の質問はすべてメーリングリスト上で行うこと。また、過去のメールが参照できるようになっているので、一度目を通されたい。
- ・ CAD 利用申請を行ったVDECアカウント管理者には、時々「CAD利用者メーリングリストフォーム」のページをチェックし、卒業生のメールアドレスをメーリングリストから除くなどアカウントのメンテナンスにご協力頂きたい。
- ・ メーリングリストのセキュリティのため、登録者が登録アドレスからプロバイダー他のメールの転送を行わないように注意して頂きたい。

## [参考]

CAD ツールを実行するためには、ユーザ機へのライセンスファイルのインストールとCADツールの実行時におけるVDECまたは地域拠点校のライセンスサーバによる認証が必要である(図6.12)。ライセンスファイルの変更により認証を行うライセンスサーバを切り替えることが出来るので、VDECまたは地域拠点校のどちらかのライセンスサーバがメンテナンス等の事情により停止している場合でも、稼働中のもう一方のライセンスサーバを選択することによりCADソフトウェアを実行することが可能である。また、ライセンスサーバの認証は、CADツール起動後も定期的に行われるので、CADツールを実行中は常時ライセンスサーバとの通信が可能な状態しておかなければならない。ファイアウォールを使用しているネットワーク環境では、VDECのWebサーバとVDECおよび地域拠点校のライセンスサーバへのアクセスを可能にするための特別な設定が必要である(図6.13)。この場合、各大学・高専のネットワーク管理者と相談すること。

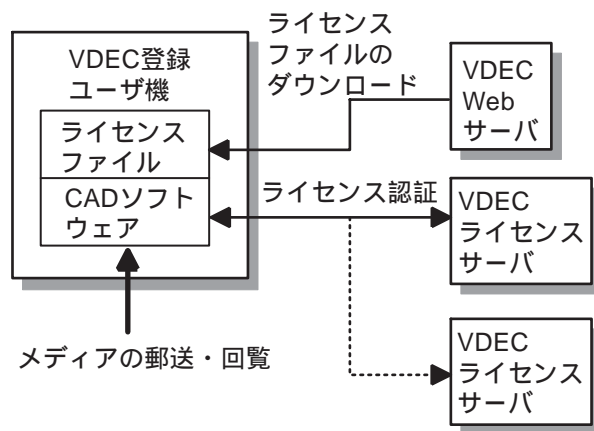


図6.12 CADライセンスの方法

## 1 ライセンスサーバーとして東京大学VDEC最寄りの地域拠点校を選択可能

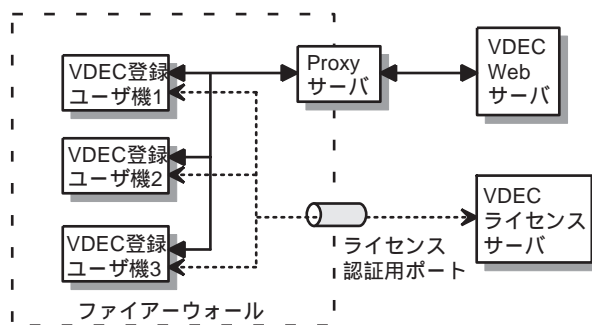


図6.13 ファイアウォールを通したVDECへのアクセス方法

