

VDEC だより

2011年
1月15日
第7号

- ◆ 平成23年度チップ試作スケジュール
- ◆ 春のCAD講習会のお知らせ
- ◆ VDECデザイナーズフォーラムのお知らせ
- ◆ VDECデザインアワード募集について
- ◆ VDEC D2Tシンポジウム2011を開催します
- ◆ VDECサーバー入れ替えに伴うサービス停止期間について
- ◆ 年報のデータ登録と来年度のCAD利用申し込みについて

VDEC からの大事なお知らせです。

同じ内容は

<http://www.vdec.u-tokyo.ac.jp/Tayori/>
にも掲載されています。



◆平成23年度チップ試作スケジュール

<http://www.vdec.u-tokyo.ac.jp/CHIP/ChipSchedule.html>

平成23年度のチップ試作スケジュールは下表のとおりとなっております。
試作申込、設計締切などぜひ計画的に期限を守って御活用いただきますようお願いいたします。
なお、試作申込締切後でも試作枠に余裕があります場合には試作の追加申込みを受け付ける場合も
ございますが、試作の運用上、申込期間中のお申込みにご協力いただきますようお願いいたします。
なお、eShuttle 65nmCMOS/ルネサス 40nmCMOS試作につきましては、経産省のプロジェクトが
実施される試作につきましては実施を見送る可能性がありますことをご了承ください。
詳細・最新情報はVDECのWEBを参照ください。(池田 誠)

申込締切	設計締切	試作ラン
2011/1/11	2011/2/2	eShuttle 65nm
2011/1/14	2011/3/14	ローム 0.18um
2011/2/23	2011/4/4	オンセミ 1.2um
2011/3/7	2011/4月	eShuttle 65nm
2011/4月	2011/5/30	ローム 0.18um
2011/5/2	2011/6月	eShuttle 65nm
2011/6月	2011/7/25	ローム 0.18um
2011/6/20	2011/8月	eShuttle 65nm
2011/7/11	2011/9/12	ローム 0.18um
2011/8月	2011/10/3	オンセミ 1.2um
2011/8/29	2011/10月	eShuttle 65nm
2011/10月	2011/11/2	ローム 0.18um
2011/11/2	2011/11月	eShuttle 65nm
2011/12月	2012/2/13	ローム 0.18um
2012/1/10	2012/2月	eShuttle 65nm
	2012/4/2	オンセミ 1.2um

◆春の CAD 講習会のお知らせ

<http://www.vdec.u-tokyo.ac.jp/CAD/CADTraining.html>

今年も3月に入ってから春のCAD講習会を開催いたします。好評いただいておりますVDEC拠点校(北大・東北大・金沢大・東工大・名大・京大・阪大・広大・九大)へのストリーミング配信を今回も実施し、拠点校での受講が可能となっております。

講習内容はCadence: Assura-DRC/ERC/LVS/QRC, SoC-E, Synopsys: DesignCompiler+PowerCompiler, Agilent: EMPro(FEM)を予定しております。ぜひCAD講習会を有効にご活用いただき、学生諸君の設計力向上にご利用いただければ幸いです。(名倉 徹)

◆VDEC デザイナーズフォーラムのお知らせ

<http://www.vdec.u-tokyo.ac.jp/DesignersForum/Forum11.html>

5/27(金)-5/29(日) 東大の武田ホールにおいてVDECデザイナーズフォーラムを開催いたします。今回はVDEC創立15周年の記念イベントとしてVDECセンター長の基調講演なども計画しております。また、今年からの新企画であるVDECデザインアワ

ードの選考会および表彰も行います。また、29(日)には従来通りのフォーラムとしてPh.D企画セッションやショート講演も予定しており、VDECユーザの交流にも役立つ内容となっております。

今年もたくさんの教員・学生の参加をよろしくお願いいたします。(名倉 徹)

VDEC デザインアワード募集開始

<http://www.vdec.u-tokyo.ac.jp/designAward/welcome.html>

今年から、VDEC を通じて試作したチップの中から特に優秀なチップを選定し、1 年間に数件程度を「優秀賞」および「奨励賞」として表彰することになりました。

応募は主に指導教員による推薦とし、試作チップの技術内容を A4 1 ページ程度でまとめたものを提出いただきます。既発表/未発表は問いません。また、試作の時期も問いません。

VDEC 協力教員が選考委員となり、1 次審査として 5 件程度の候補を選択します。1 次選考通過者は 5/28(土) 開催のデザイナーズフォーラムにてプレゼンしていただき、フォーラム参加者全員および選考委員による重み付き投票によって優秀賞 1 件と奨励賞 4 件程度を決定し、デザイナーズフォーラムで表彰いたします。

多数の応募をお待ちしております。(名倉 徹)

VDEC D2Tシンポジウム2011を開催します

<http://www.vdec.u-tokyo.ac.jp/d2t/D2Tsymposium2011.html>

3月9日(水)に東京大学武田ホールにおいて、D2Tシンポジウム2011を開催致します。今回で5回目となるシンポジウム開催で、朝10時から夜の懇親会まで、招待講演、パネルディスカッションなどを中心に活発な議論を行えればと思いますので、皆様の御参加をお待ちしております。

D2T寄附研究部門の活動報告に加え、Kwang-Ting(Tim) Cheng先生(UCSB)、Chung-Kuang Cheng先生(UCSD)、S. Mitra先生(Stanford University)、Goerschwin Fey先生(Bremen大学)

によるLSIのテスト/検証関連の講演/パネルディスカッションを行います。

また、昨年10月より「アドバンテストD2T寄附研究部門」が新たに3年間活動を継続することになりました。今回のシンポジウムは、その新たな活動のスタート地点となっておりますので、奮って御参加頂けますよう、よろしく御願います。皆様の研究・教育活動の一助となるよう、今後も活動を行ってまいりますので、よろしくお願い致します。(小松 聡)

VDECサーバー入れ替えに伴うサービス停止期間について

VDECでは、今年度末に計算機システムの入替を行います。これに伴うテスト・切替作業のため、CADライセンス提供・WEB・メーリングリストの各サービスを停止させて頂く日があります。

現時点で決定しているシステム停止日程は、

2/18(金) 2/22(火) 2/25(金)です。停止時間が確定しましたら、CADuserメーリングリストとWEBページでご案内申し上げます。各大学での卒論審査の時期と重なり、大変にご迷惑をお掛け致しますが、ご理解を頂けますようお願い申し上げます。(松本 剛史)

年報のデータ登録と来年度のCAD利用申し込みについて

2011年度のCADツール利用登録は以下の日程で行う予定です。前述の計算機システム入替のため、新システムへの移行期間中は利用登録ができません。

4月からのCADツール利用を予定されている場合には、必ず3月11日(金)までのご登録をお願いします。

今後の日程：

- 2010年度利用者リスト提出 (～3月末)
フォーム：http://www.vdec.u-tokyo.ac.jp/CAD/10/cad_list2010.pdf
- CAD利用アンケート・VDEC利用成果論文等の登録・チップ試作アンケート

2/7(月)～3/11(金)

提出ページ・提出方法は別途CADuser MLにてご案内致します。

- 2011年度CAD利用登録

第1期：2/14(月)～3/11(金)

第2期：新システムへの移行作業完了後～4/20(水)

登録ページ：<http://www.vdec.u-tokyo.ac.jp/CAD/announce.html>

(注1) **4月からCADツールをご利用になるためには、第1期での登録が必要です!!**

(注2) 継続利用の場合、CAD利用アンケートへのご回答が必要です

(注3) WEBでの登録に加え、CAD利用覚書も忘れずにご提出ください

フォーム：http://www.vdec.u-tokyo.ac.jp/CAD/11/cad_memorandum2011.pdf (準備中)

なお、「2010年度利用者リスト」と「2011年度CAD利用覚書」は同じ封筒で送って頂いて構いません。

今後、登録開始・予定変更の連絡は、CADuserメーリングリストにて行います。CADuser MLに送付されるメールはご一読頂けますようお願い致します。(松本 剛史)



VDEC ユーザの研究室をご紹介しますコーナーです。

京都工芸繊維大学 小林研究室

京都工芸繊維大学 大学院工芸科学研究科 電子システム工学専攻
電子回路工学講座

<http://www-vlsi.es.kit.ac.jp>

小林研究室では、主に集積回路の信頼性についての研究を行っています。微細化にともない、ソフトエラーなどの一時故障、NBTIなどの経年劣化が大きな問題となっています。ソフトエラーに関する研究では、65nmや180nmプロセスにてLSIを試作し、そのエラー耐性を大阪大学核物理研究センター(RCNP)の中性子ビームにより実測評価を行っています。当研究室で提案したBCDMR FFは、従来の耐ソフトエラーFFと比べて高いクロック周波数での耐性が強く、2010年のVLSI回路シンポジウムでその成果を発表しました。現在は、耐ソフトエラーFFをASIC設計に組み込むべく、そのライブラリ化も行っています。NBTIに関する研究では、主にFPGAの経年劣化を調べており、回路シミュレーションと商用FPGA上での劣化の実測の2面から研究を進めています。微細化から来る試作費の高騰、設計ルールの複雑さが徐々に大学での設計を難しくしていますが、年に数チップのテープアウトとその評価は欠かさず続けていきたいと考えています。2年前に本学に着任し、0からのスタートでしたが、写真にもある通り、10名の学生を数えるまでに大きくなりました。今後もアクティブかつ楽しく、研究を続けていく所存です。



VDECスタッフより…

VDECの小松です。

皆様、こんにちは。VDECの小松です。2001年4月にVDECに着任して以来、助手、助教、特任准教授としてこの3月で10年を迎えます。十年一昔とも言いますが、当然、この10年間でVDECユーザの皆様の興味も移り変わってきていると思います。VDECという組織が、そのような要望に応え続けられるような存在であり続けられればと考えています。

研究面では、「アドバンテストD2T寄附研究部門」で「テスト」というキーワードのもとに、デジタル/アナログ回路のテストからオンチップ測定などまで、幅広く手を出しております。

私生活では4歳の娘中心の生活となっていて、親馬鹿街道まっしぐらですが、VDECでは皆様のお役に立てるように尽力したいと考えております。

ので、よろしくお願いいたします。

ちなみに、VDEC所有のLSIテスタ(T2000, HP93000)を利用希望の際には、私まで御一報下さい。(小松 聡)

