

VDEC だより

2011年
7月15日
第9号

- ◆ VDEC 創立15周年記念デザイナーズフォーラムを開催いたしました
- ◆ 夏のCAD講習会を開催いたします
- ◆ VDEC デザインアワード最終審査会および授賞式報告
- ◆ VDEC-MOSIS試作プログラムのご案内

VDEC からの大事なお知らせです。

同じ内容は
<http://www.vdec.u-tokyo.ac.jp/Tayori/>
にも掲載されています。



◆VDEC 創立 15 周年記念デザイナーズフォーラムを開催いたしました

5/27(金)-29(日)、東大の武田ホールにおいてVDEC創立 15 周年記念デザイナーズフォーラムが開催され、65 人の参加者が集まりました。27日はフォーラムの前座として VDEC スタッフによるWorkshop「CAD インストール講習会」を開催しました。28 日にはVDECデザインアワードの最終審査および表彰式を行い、また、VDEC 創立 15 周年を記念したセンター長浅田先生による「VDEC 15 年の歩み」と題した基調講演をいただきました。池田先生による「VDECの活動報告」や、武田先端知ビル見学ツアー、その後の懇親会も含め、盛りだくさんの一日となりました。29日は Ph.D セッションやショート講演などを行い、気やかな雰囲気の

中で交流をはかりました。学会とは一味違った、有意義で刺激的なフォーラムだったと思います。来年もたくさんの教員・学生の参加をよろしくお願いたします。(名倉 徹)



◆夏の CAD 講習会を開催いたします

<http://www.vdec.u-tokyo.ac.jp/CAD/CADTraining.html>

今年も夏の VDEC CAD 講習会を開催いたします。好評を得ております VDEC 拠点校へのストーリーミング配信を今回も実施いたします。

今回のメニューは Cadence 社: IC6 1 Front-End (Schematic Editor, Analog Artist), IC6 1 BackEnd (Layout Editor), Synopsys 社: Design Compiler + Power Compiler, IC Compiler, XA (高速 SPICE), Agilent 社: Golden Gate を予定しております。また、東大のみでの開催になりますが、VDEC 環境におけるトランジスタレベル設計講習会も開催いたします。

ぜひ CAD 講習会を有効活用し、設計力の向上にお役立てください。(名倉 徹)



VDEC デザインアワード最終審査会および授賞式報告

<http://www.vdec.u-tokyo.ac.jp/designAward/welcome.html>

VDEC を通じて試作したチップの中から特に優秀なチップを設計した設計者を選出し、最優秀者を IEEE SSCS Japan Chapter VDEC Design Award として表彰しております。

VDEC 協力教員で審査委員を構成し、3月締切の応募の中から1次審査で5名のファイナリストを選出し、5/28のデザイナーズフォーラムの中で最終審査を行いました。最終審査では5名のファイナリストが30分ずつの発表およびQ&Aを行い、フォーラム参加者の投票と審査委員によって最優秀者を決定しました。

今年度は立命館大学の古橋康太さんによる「コネク性を改善したRG-DTM PUF」が受賞しました。また、ファイナリストの東北大学 徐祖

楽さん、京都大学 古田潤さん、広島大学 安田雅浩さん、神戸大学 水野孝祐さんにもVDEC デザインアワードを授与しました。受賞者のみなさん、おめでとうございます。(名倉 徹)



VDEC-MOSIS試作プログラムのご案内

<http://www.vdec.u-tokyo.ac.jp/CHIP/ChipSchedule.html>

今年度も、VDECを通して米国MOSIS社の試作サービスをユーザの皆様提供準備が整いました。現在、申込み受付中です。今年度の試作日程・価格は、ホームページの「チップ試作日程」からご覧になれます。

今年度は、昨年度に比べ、提供品種数は減りましたが、非常に低価格での試作が可能となっております。本試作プログラムへの申込み・問合せは、メールで松本(matsumoto@cad.t.u-tokyo.ac.jp)宛てにお願い致します。多くの皆様のご利用をお待ちしております。(松本 剛史)

これからのチップ試作スケジュール

申込締切

2011/5/2
2011/6月
2011/6/20
2011/7/11
2011/8月
2011/8/29
2011/10月
2011/11/2
2011/12月
2012/1/10

設計締切

2011/7/25
2011/8月
2011/9/12
2011/10/3
2011/10月
2011/11/2
2011/11月
2012/2/13
2012/2月
2012/4/2

試作ラン

ローム 0.18um
eShuttle 65nm
ローム 0.18um
オンセミ 1.2um
eShuttle 65nm
ローム 0.18um
eShuttle 65nm
ローム 0.18um
eShuttle 65nm
オンセミ 1.2um
平成23年度 第2回
平成23年 8月シャトル
平成23年度 第3回
平成23年度 第1回
平成23年 10月シャトル
平成23年度 第4回
平成23年 12月シャトル
平成23年度 第5回
平成24年 2月シャトル
平成23年度 第2回



研究室便り

VDEC ユーザの研究室をご紹介しますコーナーです。

京都大学 小野寺研究室

京都大学大学院情報学研究科 通信情報システム専攻
大規模集積回路分野

<http://www-lab13.kuee.kyoto-u.ac.jp/>

小野寺研究室ではシリコンの限界に挑む集積回路設計技術について研究を行なっています。教授、准教授、助教各一名(2011年4月現在)の体制の下、低消費電力技術、製造ばらつきや信頼性、そしてアナログRF回路の設計技術など多岐に渡る研究を行なっています。

これらの研究に非常に重要な点は実際にチップを作って測ることです。自分たちの設計が正しいことを実証するという目的はもちろん、ばらつきや信頼性に関する研究ではまだ誰もモデル化していないような現象を捉えるために工夫をこらしたチップを何度も試作し、測定を行ないます。そのためVDECのチップ試作サービスやEDAツールはなくてはならない存在で、さまざまなサービスを利用させて頂くとともに京大VDECサブセンターとしてライセンスサーバの運用など、微力ながらお手伝いをさせて頂いています。

これからもVDECを大いに活用しつつ研究を発展させていきたいと考えています。



VDECスタッフより…

本年度4月に着任の落合です

2011年3月に東京大学大学院・情報理工学系研究科・電子情報学専攻にて博士を取得し、4月よりVDECの助教に就任した落合でございます。院生時代には、江崎研究室にて、グリーンICTのための基盤技術を研究開発してまいりました。具体的には、センサ・ネットワークのシステム設計・実装、無線ネットワークテストベッドの開発・運用、ビルなどの計測制御システムのIEEE1888通信プロトコル標準化、が主な仕事でした。現在は、VDECスタッフの一員となり、これらの技術を普及させるべく、引き続き研究開発に没頭する毎日を送っております。なお、昔から電子工作、組み込みマイコン開発、アマチュア無線を趣味にしています。

情報系出身という一面を味方につけつつ、精一杯頑張る所存です。よろしく願いいたします。
(落合 秀也)

