

# VDEC だより

2013年  
1月15日  
第15号

- ◆ 平成25年度チップ試作スケジュール
- ◆ 第7回 VDEC D2Tシンポジウムを開催しました
- ◆ VDEC デザインアワード募集のお知らせ
- ◆ 春の CAD 講習会のお知らせ
- ◆ 年度末のアンケート・レポート提出に関するお願い
- ◆ 2013年度 CAD ツール利用登録について

## VDEC からの大事なお知らせです。

同じ内容は  
<http://www.vdec.u-tokyo.ac.jp/Tayori/>  
にも掲載されています。



### ◆平成25年度チップ試作スケジュール

<http://www.vdec.u-tokyo.ac.jp/CHIP/ChipSchedule.html>

平成25年度のチップ試作スケジュールは以下のとおりとなっております。

1.2umCMOS の代替プロセスとして、Onsemi-三洋において、0.8umCMOS の試作を定常化いたします。試作申込、設計締切などぜひ計画的に期限を守って御活用いただきますようお願いいたします。なお、試作申込締切後でも試作枠に余裕があります場合には試作の追加申込みを受け付ける場合もございますが、試作の運用上、申込期間中のお申込みにご協力いただきますようお願いいたします。詳細・最新情報は VDEC の WEB を参照ください。 (池田 誠)

申込締切	設計締切	試作ラン	
	2013/2/12	ローム0.18um	平成24年度第5回
2013/3/25	2013/6/17	ローム0.18um	平成25年度第1回
2013/4/10	2013/5/22	eShuttle65nm	平成25年6月シャトル
2013/5/1	2013/7/24	ローム0.18um	平成25年度第2回
2013/6/3	2013/8/26	Onsemi-三洋*	平成25年度第1回
2013/6/12	2013/7/24	eShuttle65nm	平成25年8月シャトル
2013/6/19	2013/9/11	ローム0.18um	平成25年度第3回
2013/7/29	2013/10/2	ローム0.18um	平成25年度第4回
2013/8/14	2013/9/25	eShuttle65nm	平成25年10月シャトル
2013/10/16	2013/11/2	eShuttle65nm	平成25年12月シャトル
2013/11/4	2014/1/27	ローム0.18um	平成25年度第5回
2014/1/10	2014/3/24	Onsemi-三洋*	平成25年度第2回
2014/1/29	2014/3/12	eShuttle65nm	平成26年2月シャトル

\*「Onsemi-三洋」は0.8umCMOSの試作ランです

### ◆第7回 VDEC D2Tシンポジウムを開催しました

12月11日(火)に東京大学武田ホールにおいて、第7回 VDEC D2T シンポジウムを開催致しました。今回で7回目となるシンポジウムですが、大学関連、産業界、などから100名を超える方々に御参加頂き、朝10時から夜の懇親会まで、招待講演、D2T 寄附研究部門の成果報告などを中心に活発な議論を行いました。

特に今回は、「Post-Silicon Validation and Test in Huge Variance Era」と題したパネルディスカッションを行いました。非常にアクティブな議論が繰り広げられました。

今回参加された方も参加されなかった方も、引き続き D2T シンポジウムに参加を期待しています。 (小松 聡)



## VDEC デザインアワード募集のお知らせ

<http://www.vdec.u-tokyo.ac.jp/designAward/welcome.html>

2年前から、VDEC デザインアワードを創設し、VDEC を通じて試作したチップの中から特に優秀なチップを選定して1年間に数件程度を「優秀賞」および「奨励賞」として表彰しております。

これまでは「VDEC を通じて試作したチップ」が対象でしたが、今年からは「VDEC CAD を使って試作したチップ」まで応募対象を広げました。応募は主に指導教員による推薦とし、試作チップの技術内容をA4 1ページ程度でまとめたものを提出いただきます。既発表 / 未発表は問いません。また、試

作の時期も問いません。

VDEC 協力教員が選考委員となり、1次審査として5件程度の候補を選択します。1次選考通過者は8月頃開催予定のデザイナーズフォーラムにてプレゼンしていただき、フォーラム参加者全員および選考委員による重み付き投票によって優秀賞1件と奨励賞を決定し、フォーラム内で表彰いたします。

3月末締切を予定しております。多数の応募をお待ちしております。 (名倉 徹)

## 春の CAD 講習会のお知らせ

<http://www.vdec.u-tokyo.ac.jp/CAD/CADTraining.html>

今年も3月に入ってから春のCAD講習会を開催いたします。好評いただいておりますVDEC拠点校(北大・東北大・金沢大・東工大・名大・京大・阪大・広大・九大)へのストリーミング配信を今回も実施し、拠点校での受講が可能となっております。

講習内容はCadence: Spectre 基礎、Spectre-RF

/APS-RF、Virtuoso Workshop FrontEnd、Virtuoso Wrokshop BackEnd、AMSDesigner ; Synopsys: HSPICE Basic、HSPICE Advance、Sentaurus Basic、NanoTime ; Agilent: EMpro を予定しております。

ぜひCAD講習会を有効にご活用いただき、設計力向上にご利用いただければ幸いです。 (名倉 徹)

## CADツール利用状況アンケート・VDEC利用成果論文等の登録・チップ試作レポートに関するお願い

毎年度末、ユーザの皆様には、年報に掲載する論文リストや試作レポート、また、CADツールの利用状況アンケートのご提出をお願いしております。今年度も、2月4日に登録ページをオープンし、募集を開始させて

頂きます。ご提出頂いたデータは、VDECの活動に協力して頂いているチップメーカーやCADベンダに対する重要なフィードバックとなります。皆様のご協力をお願い申し上げます。 (松本 剛史)

### ● 期間：2/4(月)～3/15(金)

登録ページ： CADツール利用状況アンケート <http://www.vdec.u-tokyo.ac.jp/cadenq.html>

VDEC関連論文リスト <http://www.vdec.u-tokyo.ac.jp/ronbun.html>

VDECチップ試作レポート <http://www.vdec.u-tokyo.ac.jp/nenpo.html>

## 2013年度CADツール利用登録について

2月18日(月)より、来年度のCADツール利用登録を開始致します。今年度の利用登録に関わらず、登録手続きが必要となりますので、下記ページより登録を

お願い致します。新年度の利用登録がされない場合、5月1日以降、CADツールの利用ができなくなりますので、ご注意ください。 (松本 剛史)

登録ページ： <http://www.vdec.u-tokyo.ac.jp/CAD/announce.html>

### <注意事項>

- ・詳細は、CADuser MLならびに上記ホームページにてご案内致します
- ・今年度CADツールをご利用の場合、「使用者リスト」のご提出が必要です
- ・新年度の利用登録には「覚書」の郵送も必要です(今年度の「使用者リスト」と同封可)

## 横浜国立大学 吉川研究室

横浜国立大学 大学院工学府 物理情報工学専攻

<http://www.yoshilab.dnj.ynu.ac.jp>

吉川研では、新しい物理現象を利用した高性能な集積回路や情報処理システムの実現を目標に研究を行っています。そのため CMOS 回路だけでなく、超伝導回路や量子回路なども研究の対象にしています。例えば磁束量子1つの有無を1ビットの情報に対応させれば、高速で超低消費電力な集積回路を実現できます。また、断熱的に回路を動かし、エネルギーを回収することで、無限小のエネルギーで動作する回路を実現できます。吉川研ではこれら新デバイスを用いた回路を、デバイスレベルからアーキテクチャレベルで眺め検討しています。VDEC では、CAD ツール群を利用させて頂き、超伝導回路用の独自のセルライブラリを開発し、マイクロプロセッサ等の試作と動作実証を行なっています。また、CMOS 試作を利用させて頂き、超伝導回路と低温動作 CMOS メモリを組み合わせた高速メモリや高感度増幅器の開発を行っています。

研究室は、教員2名、学生22名、秘書2名の総勢26名で活動しています。VDEC をご利用の皆様には、横浜国大にいらっしゃる機会がありましたら是非、見学にいらしてください。



### VDECスタッフより…

#### 武田先端知ビルの地下から

はじめまして、澤村です。「ナノテクノロジープラットフォーム 東京大学超微細リソグラフィ・ナノ計測拠点」にて主に電子線描画の技術支援を担当しています。

電子線描画はLSIではお馴染みのフォトマスク作成に用いられる他、ナノテク方面では半導体のみに限らず、「え、そんな用途もありなのか」というものまで様々な微細構造の形成に用いられています。武田先端知ビルの地下2階、スーパークリーンルームに設置されているアドバンテストの電子線描画装置は、その高速性でナノテク分野の研究に絶大な威力を発揮しています。

基本的になんでも屋（特に電気電子関係）を自負しております。趣味が高じてこの道に踏み入れ

てから20年以上、VDECに赴任して6年目になりましたが、学習し続けることがいかに重要かを改めて思い知らされます。

VLSIとは少し違った世界ですがこちらもVDECです。よろしくお願いいたします。

猫の毛はクリーンルームの大敵です。

（澤村 智紀）

