

VDEC だより

2013年
4月 15日
第 16 号

- ◆ STマイクロFD-SOI 28nm CMOSチップ試作のご案内
- ◆ VDEC デザイナーズフォーラムのご案内
- ◆ LSI 設計常識講座のご案内

VDEC からの大事なお知らせです。

同じ内容は
<http://www.vdec.u-tokyo.ac.jp/Tayori/>
にも掲載されています。



◆STマイクロ FD-SOI 28nm CMOSチップ試作のご案内

平成24年度で終了した経済産業省-STARC プロジェクト「次世代半導体回路構成実用化支援事業」に替わる最先端試作プログラムとして、平成25年度において STARC プロジェクト「28nm設計環境立ち上げプロジェクト」が実施されます。詳細はSTARCのページ：

<http://www.starc.jp>

を参照ください。なお、テスト試作により得られたノウハウも基づき平成26年度以降VDECの最先端の試作メニューとして実施していく予定となっておりますので、ぜひ多数の皆様にご参加いただき、多くのノウハウを蓄積いただきますようお願いいたします。(池田 誠)

プロジェクトの概要：

応募締切：**2013年5月27日**

採択決定：2013年6月10日

設計者の設計締切：**2013年10月18日**

費用：チップ試作費は全額STARCが支援、組立はVDECが負担

プロセス概要：ゲート長: 28nm(drawn), 3ウエル, FD-SOI, 2閾値(低閾値, 通常閾値)
2種類のゲート酸化膜厚トランジスタ (1.0V, 1.8V(IO)用)

配線層10層(0.1umピッチ)

メモリ(Single Port RAM, ROM, Double Port RAM)

MIM CAP(option)

設計環境：PDK(Virtuoso)、Spiceパラメータ: HSPICE, ELDO

DRC/LVS: Calibre

StdCell: SoC Encounter/Design-Compiler/Physical Compiler

(ゲート密度 1,800-2,000kgate/mm²)

設計インターフェース: GDSII

ユーザ領域：1.4mm角程度(今後のユーロレートにより変化する可能性あり)

ピン数：40ピン程度

平成25年度を迎えて VDECセンター長より



VDECセンター長 浅田 邦博

VDECの発足から17年を経過しましたが、昨年度は外部評価、それに引き続く学内審査があり、おかげさまで高い評価でセンターの継続が認められました。この間、多くの方々からサポートレーター等の応援を頂き、改めて感謝申し上げます。本年度はかようなわけでVDECの新たな出発の年です。先端試作技術についてはSTARCのご支援を受けCMOS28nm / FDSOIのテストランを行う予定で、また集積化 MEMS 向けの大面積 CMOS試作も標準試作メニューに加えしました。スタッフ一同、今後とも皆様のご期待に応えるよう努めてまいります。引き続きVDEC活動に対し全国からのご支援をお願い申し上げます。

VDEC デザイナーズフォーラムのご案内

<http://www.vdec.u-tokyo.ac.jp/DesignersForum/Forum13.html>

今年のデザイナーズフォーラムは 8/24 (土), 25(日) に東大の武田ホールにて開催いたします。デザイナーズフォーラムでは、毎年 100 名近い参加者が集まり、気軽な雰囲気の中で VDEC ユーザの交流をはかっています。今年も VDEC デザインアワードの発表・表彰式を中心に、ポスターセッション、大学院学生の立案による Ph.D. 企画セッションなど、試作経験やノウハウ、失敗談なども含めて、研究発表だけではなく普通の学会では聞けないような話も聞くことができますでしょう。(名倉 徹)



(写真は去年のデザイナーズフォーラムでとったものである)

LSI 設計常識講座のご案内

<http://www.vdec.u-tokyo.ac.jp/CKforLSIDesign/index.html>

LSI の回路設計や測定を進める上で、常識となるような知識ありますよね? LVS とか DRC とか MIM とかシリサイドプロテクションとか ESD とか。もっと言うと SPICE シミュレータや配線 RC 抽出の原理とか。設計後、VDEC でチップを作ったら次は測定です。オシロスコープの基本的な使い方は学部実験で学んでいると思いますが、終端抵抗って? オシロに 50 オーム入力と 1M オーム入力とあるけどどう使い分けるの? 伝送線路と特性

インピーダンス? SMA と 3.5mm と 2.4mm ? そういうのまとめて知りたいけど授業もやってないし適当な教科書もなくて困ってるんだよね、と思っているキミ。以前 VDEC で「LSI 設計常識講座」として全部まとめて講義をしました。講義ビデオとスライドを VDEC の WEB にアップしていますので、各自で視聴してみてください。もちろん無料です。(名倉 徹)

これからのチップ試作スケジュール

申込締切

2013/5/12
2013/5/1
2013/6/3
2013/6/12
2013/6/19
2013/7/29
2013/11/4
2014/1/10

設計締切

2013/5/22
2013/6/17
2013/7/24
2013/8/26
2013/7/24
2013/9/11
2013/10/21
2014/1/27
2014/3/24

試作ラン

eShuttle65nm
ローム0.18um
ローム0.18um
Onsemi-三洋*
eShuttle65nm
ローム0.18um
ローム0.18um
ローム0.18um
ローム0.18um
Onsemi-三洋*

平成 25 年 6 月 シャトル
平成 25 年度 第 1 回
平成 25 年度 第 2 回
平成 25 年度 第 1 回
平成 25 年 8 月 シャトル
平成 25 年度 第 3 回
平成 25 年度 第 4 回
平成 25 年度 第 5 回
平成 25 年度 第 2 回

*「Onsemi-三洋」は 0.8um CMOS の試作ランです

北海道大学 本村研究室

北海道大学 大学院情報科学研究科 機能システム学研究室

<http://lalsie.ist.hokudai.ac.jp>

機能システム学研究室は、本村真人教授、浅井哲也准教授および学生 16 名（2013 年 4 月現在）という体制で、ハードウェアとソフトウェアの境界領域において、それら領域を横断するような SoC(システムオンチップ)技術の研究開発を進めています。具体的には、リコンフィギュラブルハードウェアのストリーム処理応用（筑波大学・NEC との共同研究）、低電力化を目指した新しいプロセッサアーキテクチャの研究（ルネサスエレクトロニクスとの共同研究）、イメージセンサチップとプロセッサチップ間で高速データ転送を行う三次元集積化システム（学内・慶応大学・STARC との共同研究）、超解像プロセッサ（学内共同研究）、新デバイスのための新しい情報処理アーキテクチャ及び回路の研究（学内共同研究）などに取り組んでいます。近未来の社会ニーズに即した実践的な研究活動を主体として、産学連携や大学連携を積極的に進めておりますので、北大へお寄りの際は是非、当研究室にもお立ち寄りください。

上記研究を遂行する上で、VDEC の CAD ツールは必要不可欠です。北大 VDEC サブセンターの管理運営を含め、今後も VDEC の活動に積極的に参加協力していく所存です。



VDECスタッフより…

VDECの池田です。

さて、この写真顔を真っ赤にしての熱血講演？いえいえ、単にとある学会のバンケットの説明をしている写真で、顔が赤いのはアルコールのなす業です。さて、VDEC に奉職してはや 17 年になり、敢えて素行を紹介するまでもないのかもしれませんが、VDEC を離れた等身大の池田とはこんな人物です。「西に国際会議があれば飛んでゆき、東に花があれば飲みゆき、北に雪山あれば滑りに行き、南に海があれば泳ぎに行く。」そんな理想を追いかけたいと常日頃妄想を膨らませています。原文とは大分かけ離れた内容がありますが、もちろんどのような状況においてもネットへの接続に燃え、何事もなかったかのようにメールのやり取りをするので、皆様にはきっとこのような所業はばれていないはず。とはいえ、VDEC は使い

にくい、メールを出しても返事が来ないのではないか、等噂が聞こえてきたりもしますが、それは VDEC の望むことではありません。使いにくいと思われるような点は皆様の協力を得ながら改善し、今後とも皆様の VDEC であり続けられるよう常々望んでいます。（池田 誠）



(Photo taken by Prof. T. Koide of Hiroshima Univ.)