

VDEC だより

2013年
7月 15日
第 17 号

- ◆ 集積化 MEMS はじめました
- ◆ 第8回 VDEC D2Tシンポジウムを開催します
- ◆ VDEC デザイナーズフォーラム開催のお知らせ
- ◆ 夏の CAD 講習会を開催いたします

VDEC からの大事なお知らせです。

同じ内容は

<http://www.vdec.u-tokyo.ac.jp/Tayori/>
にも掲載されています。



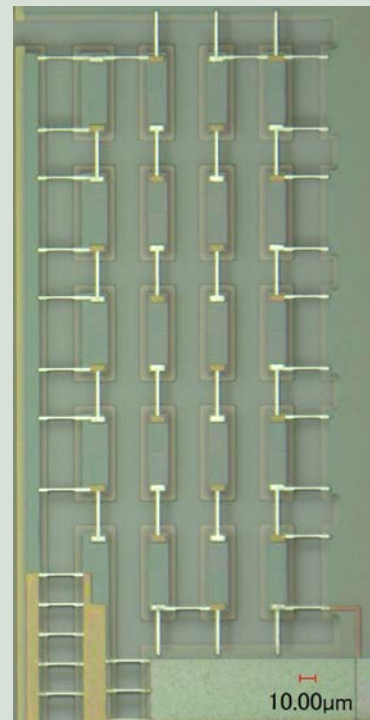
◆集積化 MEMS はじめました

VDEC では、文部科学省「ナノテクノロジー・プラットフォーム」事業を受託し、武田先端知スーパークリーンルームとその装置を微細加工拠点として提供しています。VDEC 独自の取り組みとして、ウエーハ渡しのできる CMOS 試作メニューを開拓いたしました。特に、フェニテックセミコンダクター社の $0.6\mu\text{m}$ CMOS テクノロジは、利用者からのリクエストにできるかぎり対応する柔軟性を特徴としています。

例えば、

- ・厚膜($9, 25, 50\mu\text{m}$ 実験済) SOI 基板上に CMOS 回路を作り供給、のち深掘りエッチング後加工にて MEMS と融合
- ・利用者が供給する特殊仕様のシリコンウエーハ上に CMOS 回路を途中まで作り供給、のち成膜等後加工で電子デバイスを作製

といった、いわゆる「More-than-Moore」と呼ばれている、新機能融合型の電子素子の試作が可能となります。希望研究室と「勉強会」を開催し、設計キットの利用から設計ライブラリの紹介など、共に学んで知恵をつけましょうという形で進めています(初心者歓迎)。



(写真: 直列接続したP-N接合に深掘りMEMS加工を行なって作った高電圧発生太陽電池)

プロセスの概要:

テクノロジー: $0.6\mu\text{m}$ 1P2M (3Mも追加コストにて可) CMOS

料金: 「利用者数でコストを割る」という独特の利用形態を取っています。例えば6研究室が参加するときの固定費は61万円(6インチウエーハ1/2枚頒布)、ウエーハ追加も21万円/6インチ1枚で可能です。

設計メ切: 当面年に2回、5月末と10月末の2回メ切 (卒論に間にあうように)

標準工程期間: 2ヶ月~2ヶ月半

基板: 標準バルクSi、9、25、 $50\mu\text{m}$ SOI (絶縁層 $1\mu\text{m}$ 、ハンドリング層 $625\mu\text{m}$)

VDEC ではこの他に、NTT-AT との協力による $0.18\mu\text{m}$ 高耐圧 CMOS 回路試作の仲介をしているほか、利用者の関心が高そうなテクノロジーを、「プロジェクト形式」にて試行利用することがあります。興味のある方はお気軽にナノテク受付:

nanotech@sogo.t.u-tokyo.ac.jp

まで、御一報&ご相談くださいませ。

(三田 吉郎 ナノテクノロジー・プラットフォーム微細加工東大VDEC拠点マネージャ)

第8回 VDEC D2Tシンポジウムを開催します

<http://www.vdec.u-tokyo.ac.jp/d2t/D2Tsymposium2013.html>

10月24日(木)に東京大学武田ホールにおいて、第8回 VDEC D2T シンポジウムを開催致します。

今回のD2Tシンポジウムでは、招待講演として、スイス連邦工科大学ローザンヌ校の Giovanni De Micheli 教授によるサイバーフィジカルシステムに関する講演、PDF Solutions Inc. の Chief Technologist で、米国カーネギーメロン大学の Andrzej Strojwas 教授による歩留り向上のためのテスト・設計方法論に関する講演、米国ワシン

トン大学の Mani Soma 教授による、ミクストシグナルデバイスのテスト技術に関する講演を予定しています。

また、"Challenges and Solutions for Future LSI Systems and Testing" と題したパネルディスカッションを企画しています。

朝10時から夜の懇親会まで、招待講演・パネルディスカッションなどを中心に活発な議論を行いたいと考えています。皆様の御参加をお待ちしております。(小松 聡)

VDEC デザイナーズフォーラム開催のお知らせ

<http://www.vdec.u-tokyo.ac.jp/DesignersForum/Forum13.html>

8/24(土), 25(日) 東大の武田ホールにおいて VDEC デザイナーズフォーラムを開催いたします。今年の基調講演は、富士通研究所の清水剛様に話をさせていただきます。また、今年で3回目になる VDEC デザインアワードの発表会も行います。今年は1次審査通過者が10名となり、VDEC で試作したチップのうち、最高峰のチップに関する発表を聞くことができます。さらに、毎年好評の

懇親会と一体化した Ph.D セッションもありまして、VDEC ユーザ交流にも役立つ内容となっております。

2日目のワークショップでは、「Linux 入門から CAD のインストール/環境設定まで」を演習を交えて行います。今年もたくさんの教員・学生の参加をよろしくお願いいたします。(名倉 徹)

夏の CAD 講習会を開催いたします

<http://www.vdec.u-tokyo.ac.jp/CAD/CADTraining.html>

今年も夏の VDEC CAD 講習会を開催いたします。好評を得ております VDEC 拠点校へのストリーミング配信を今回も実施いたします。

今回のメニューは Cadence 社: IC61x Virtuoso ADE(Analog Design Environment)/Simulation 講習会および IC61x Virtuoso Layout 講習会、Synopsys 社: DesignCompiler+PowerCompiler、

Milkyway+ICCompiler および VCS-AMX (XA)+Mixed signal sim、Agilent 社: Golden Gate を予定しております。また、東大のみでの開催になりますが、VDEC 環境におけるトランジスタレベル設計講習会、デジタル設計講習会も開催いたします。ぜひ CAD 講習会を有効活用し、設計力の向上にお役立てください。(名倉 徹)

静岡大学 川人研究室

静岡大学 電子工学研究所 ナノビジョン研究部門
イメージングデバイス研究室

<http://www.idl.rie.shizuoka.ac.jp/>

イメージングデバイス研究室は、川人祥二教授、香川景一郎准教授、安富助教が共同運営しており、新機能 CMOS イメージセンサと応用システムが研究テーマです。スタッフ 12 人、客員教員 2 名、学生 25 名、合計 39 名の大所帯で、そのうち外国人が 12 名という国際色豊かな研究室です。イメージセンサ用高速・高分解能カラム ADC 技術、低ノイズ・広ダイナミックレンジ撮像技術、数ピコ秒～サブナノ秒の分解能をもつ高時間分解撮像技術が、研究室でいま最も注力しているテーマです。これらの特徴的な技術をもとに Time-Of-Flight 法による 3 次元計測や、蛍光寿命顕微鏡などの様々な応用にも展開しています。また、高性能 CMOS イメージセンサの応用として、超低ノイズ高感度カメラ、自家蛍光内視鏡、デジタルデンタルミラーなどのマルチアパーチャ（複眼）カメラの研究も行なっています。

ご存知のようにイメージセンサは日本が世界をリードしている分野です。日本の半導体産業に少しでも貢献できるように、研究と学生の育成に努めています。今年度からイメージセンサ開発のパイオニアである元パナソニックの寺西信一氏を特任教授に迎え、ますます研究の厚みとスピードを増して行けると思っています。静岡大学（浜松です。お間違えのないよう）にお越しの際は、是非お立ち寄り下さい。



VDECスタッフより…

フランスから来たエリックと申します。

名字はルブラッスールですが、長くて発音が難しいのでエリックのほうが便利です。ちなみにフランス語で「ルブラッスール」の意味は「ビール醸造業者」です。ビールが好きですが、最近はノンアルコールビールにしています。

昨年十月から「ナノテクノロジープラットフォーム 東京大学超微細リソグラフィ・ナノ計測拠点」にて技術支援を担当しています。その前は日本とフランスでいろいろな施設でマイクロシステム関係の仕事をしました。

日本語はまだ不自由ですが、皆様と楽に話せるように毎日勉強します。日本人の奥さんに手伝ってもらいます。家では、一週間ごとに日本語とフランス語を話します。

趣味はランニングです。特に山道で長い距離を走るトレイルランニングが好きです。日本の山は険しいですがきれいです。奥さんも同じ趣味なので二人で日本の自然を楽しめます。たまに良い出会いができます（写真）。

（ルブラッスール・エリック）

