

VDEC だより

2018年
2月15日
第34号

- ◆ 平成30 年度チップ試作日程予定
- ◆ VDEC デザインアワードについて
- ◆ 春の CAD 講習会のお知らせ

同じ内容は

<http://www.vdec.u-tokyo.ac.jp/Tayori/>
にも掲載されています。



VDECからの大事なお知らせです。

◆ 平成30 年度チップ試作日程予定

<http://www.vdec.u-tokyo.ac.jp/CHIP/ChipApply.html>

設計締切	試作完了	試作ラン
2018/2/20	2018/6/16	Rohm 0.18um
2018/2/23	2018/7/??	Renesas 65nm SOTB
2018/3/24	2018/6/20	OnsemiSanyo 0.8um
2018/6/25	2018/10/12	Rohm 0.18um: 第1回
2018/?/??	????/??/??	Renesas 65nm SOTB
2018/9/10	2018/12/28	Rohm 0.18um: 第2回
2018/10/1	2018/12/24	OnsemiSanyo 0.8um
2018/11/5	2019/2/22	Rohm 0.18um: 第3回**
2018/2/25	2019/6/14	Rohm 0.18um: 第4回**
2019/3/25	2019/6/24	OnsemiSanyo 0.8um

日程は仮のもので、変更となる場合がありますことをご了承下さい。

**Rohm 0.18um: 第3回、第4回の実施は
第1回、第2回後に決定

平成29年度分の各種報告書のお願いについて

皆様におかれましては益々ご清栄のこととお慶び申し上げます。例年、CAD 利用状況アンケート、チップ試作レポート、論文リストの提出を年度末にお願いして頂いておりますが、今年度分について WEB での提出受付を開始しております。詳細については以下のページをご参照ください。

☆ 2017 年度 CAD 利用状況アンケート提出ページ

<http://www.vdec.u-tokyo.ac.jp/cadenq.html>

☆ 2017 年度チップ試作レポート提出ページ

<http://www.vdec.u-tokyo.ac.jp/nenpo.html>

☆ 2017 年度 VDEC 関連論文リスト提出ページ

<http://www.vdec.u-tokyo.ac.jp/ronbun.html>

提出期限： 2018 年 4 月 23 日(月)

◆ VDEC デザインアワードについて

<http://www.vdec.u-tokyo.ac.jp/designAward/welcome.html>

毎年好評の VDEC デザインアワードですが、今年も「デザインアワード部門」と「アイデアコンテスト部門」の 2 部門制で継続いたします。

「デザインアワード」は、VDEC を通じて優秀なチップを設計した学生を表彰します。「アイデアコンテスト部門」では、IP のシミュレーション等、実際にチップを設計していなくても応募が可能です。また、昨年同様、「デザインアワード」では賞金を授与、「アイデアコンテスト部門」では、ローム 0.18 μ m 2.5mm x 2.5mm の無料試作権を賞品として授与する予定です。

各部門ともに応募は主に指導教員による推薦とし、内容を A4 1 ページ程度でまとめたもの

を提出いただきます。既発表 / 未発表は問いません。また、試作の時期も問いません。VDEC 協力教員が選考委員となって 1 次審査を行い、かつ、今年も 1 次選考通過者は 8 or 9 月に開催予定（詳細は追って連絡いたします）のデザイナーズフォーラムにてポスターセッションもしくは口頭で発表していただき、フォーラム参加者および選考委員による投票によって優秀賞、奨励賞を決定し、そのままフォーラム内で表彰いたします。

多数の応募をお待ちしております。

（名倉 徹）



デザインアワード・アイデアコンテスト部門授賞式

◆ 春の CAD 講習会のお知らせ

<http://www.vdec.u-tokyo.ac.jp/CAD/CADTraining.html>

今年も 3 月に入ってから春の CAD 講習会を開催いたします。好評いただいております VDEC 拠点校（北大・東北大・金沢大・東工大・名大・京大・阪大・広大・九大）へのストリーミング配信を今回も実施し、拠点校での受講が可能となっております。

今回の開催項目は Cadence は Allegro PCB と Innovus, Synopsys は Synplify

Premier (FPGA 設計向け), XA+VCS, Milkyway となっております。開催日程は以下となっております。

ぜひ CAD 講習会を有効にご活用いただき、設計力向上にご利用いただければ幸いです。

（名倉 徹）

3月 8日(木), 3月 9日(金)

3月13日(火)

3月14日(水)

3月19日(月), 3月20日(火)

Cadence Innovus 講習会

Synopsys XA+VCS 講習会

Synopsys Synplify Premier 講習会

Cadence Allegro PCB Editor Basic Techniques 抜粋
+ Sigrity のインピーダンス解析 講習会



東京電機大学 小松研究室

工学部電子システム工学科 集積回路研究室

<http://www.epi.dendai.ac.jp/04.html>

小松研究室（集積回路研究室）では集積回路設計とその設計自動化技術やテスト技術を中心に研究に取り組んでいます。特に、自動合成を意識したデジタル・アナログ混載システムの回路設計と設計自動化に力を入れています。

研究室の構成は、教員 1 名、修士 2 年 3 名、修士 1 年 5 名、学部 4 年 11 名、学部 3 年 8 名と大所帯となっていますが、和気あいあいと回路設計や研究活動に勤しんでいます。2014 年に研究室を立ち上げてから今年で 4 年目となり、ようやく研究室としても軌道に乗ってきたと感じています。当初は研究室の設計環境、測定環境ともにゼロからの構築でしたが、そのようなハード面だけでなく設計ノウハウなどのソフト面も充実してきたため、学生だけで問題を解決できる場面も増えてきています。また、最近では回路だけではなく武田先端知ビルにおじゃまして MEMS センサの作製も行っており、近い将来には集積化 MEMS システムの研究にも力を入れていこうと考えています。

VDEC では教員として 13 年間お世話になりましたが、現在は VDEC のサービスを利用させて頂き、また、ユーザの立場から VDEC の活動を盛り上げていけるように、よりアクティブに活動を行っていききたいと思います。



VDECスタッフより…

「ばらつき」を切り口に

1 月から研究支援職員に採用されました山口です。「ばらつき」や「雑音」を切り口として、みなさまとコミュニケーションしたいとおもいます。アドバンテスト研究所における研究活動を紹介します。

理論. 解析信号理論をタイミングゆらぎ測定に適用することにより、位相雑音とタイミングジッタと周期ジッタ間の関係を定式化できることを示した [T-CAS, pp.288-298, 2003].

アルゴリズムが先行. 解析信号処理を高速 Fourier 変換で実現し、オシロスコープで離散化した波形からそのタイミング揺らぎを測定できるようにした。米国の有名な測定器メーカーと直接ベンチマーキングした。彼らは、解析信号法が高速・高精度であることを認めた。

ハードウェアがつづく. 解析信号処理をハードウェアにマッピングした。2 年かけて、自己遅延方式の測定回路を再発見した。従来のオンチップの測定回路ができなかったリアルタイムのタイミングジッタ測定を可能とした [M. Ishida, ISSCC2005,

K. Ichiyama T-MTTS2008, pp. 1278 - 1285]. ひとつの回路でも、遅延時間を変えることにより、タイミングジッタと周期ジッタを測定できることを明らかにした [K. Niitsu, JSSC, pp. 2701- 2710, 2012].

(山口 隆弘)

