

VDEC だより

2018年
10月15日
第 37 号

- ◆ 第13回 VDEC D2Tシンポジウムを開催いたしました
- ◆ VDEC デザイナーズフォーラムを開催いたしました
- ◆ VDEC デザインアワード最終審査会を開催いたしました

同じ内容は

<http://www.vdec.u-tokyo.ac.jp/Tayori/>

にも掲載されています。

VDECからの大事なお知らせです



◆ 第13回 VDEC D2Tシンポジウムを開催いたしました

<http://www.vdec.u-tokyo.ac.jp/d2t/D2Tsymposium2018-j.html>

去る9月26日(水)に、東京大学武田ホールにおいて第13回D2Tシンポジウムを開催し、たくさんの皆様にご参加頂きました。

今回のシンポジウムでは、海外から5名を招待講演者として米国よりSule Ozev教授、Abhijit Chatterjee教授、Adit Singh教授、香港よりK.-T. Tim Cheng教授、フランスよりGilgueng Hwang准教授をお招きし、IoT、Biosystems、RF及び機械学習をキーワードに、最新の研究について貴重なご講演を頂きました。また、東京大学の小関泰之先生、Agnes Tixier-Mita先生にはバイオフィotonics・バイオエレクトロニクスの最新の研究についての特別講演を頂きました。

閉会後の懇親会まで多くの方にご参加いただき、大変盛況な会となりましたことを改めて御礼申し上げますとともに、今後開催される第14回シンポジウムへのご参加を心よりお待ちしております。

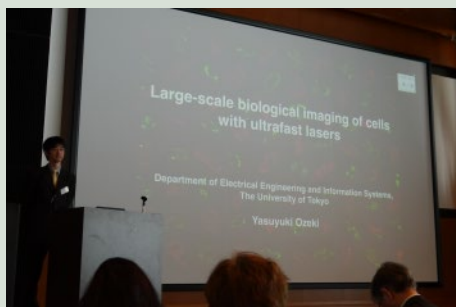
(肥後 昭男)



VDEC 藤田センター長による開会のご挨拶



株式会社アドバンテスト 岡安様によるご挨拶



シンポジウム会場の武田ホール

招待講演セッション

◆VDEC デザイナーズフォーラムを開催いたしました

<http://www.vdec.u-tokyo.ac.jp/DesignersForum/Forum18.html>

9/28(金)、29(土)に北海道登別温泉 第一滝本館にてVDECデザイナーズフォーラムが開催され、29名の参加者が集まりました。

初日にはVDECデザインアワード発表会、2日目にはアイディアコンテスト部門発表会がとり行われ、多様性に富んだ発表が多く集まりました。2日目には、毎年の恒例となっている博士課程の学生によるPh.D企画セッションも開催され、「ハカセの実情とその将来とは?」というタイトルでディスカッションを行い、不透明感を増す世

の中における将来設計について議論を交わしました。

また、フォーラムの最後には、NECの細見様より「AIを支えるコンピューティング技術」というタイトルで講演頂き、企業が抱えるリアルな課題を共有していただきました。

学会とは一味違った、有意義で刺激的なフォーラムになったと思います。来年もたくさんの教員・学生の参加をよろしくお願いいたします。

(徐 祖楽)



デザイナーズフォーラム基調講演



Ph.D.企画セッションの様子

◆VDEC デザインアワード最終審査会を開催いたしました

<http://www.vdec.u-tokyo.ac.jp/designAward/welcome.html>

VDECを通じて試作したチップの中から特に優秀なチップを設計した設計者を選出し、最優秀者をIEEE SSCS Japan Chapter VDEC Design Awardとして表彰しており、また、VDECデザインアワード優秀賞 / 奨励賞も授与しています。また、チップ試作を伴わなくても参加可能なアイディアコンテスト部門も継続しております。

今年はVDECデザインアワード部門で12名、アイディアコンテスト部門で6名が1次審査を通過し、デザイナーズフォーラムにおいて最終審査を兼ねた発表を行いました。

今年度のVDECデザインアワードは北海道大

学の金澤悠里さんによる「テラヘルツピクセル回路の広帯域化と可視光ピクセルの同時集積」が受賞しました。優秀賞には静岡大学の藤森卓巳さん、東北大学の銭正陽さんが、奨励賞には奈良先端科学技術大学院大学の亀山愛樹さん、北海道大学の横山紗由里さん、東京工業大学のLiu Hanliさんが受賞しました。さらに、アイディアコンテスト嘱望賞は北海道大学大学の池上高広さん、早稲田大学の田島咲季さん、静岡大学の河内勇人さんが、それぞれ受賞しました。受賞者の皆様、おめでとうございます。

(徐 祖楽)



デザインアワード受賞者の皆様



アイディアコンテスト嘱望賞受賞者の皆様

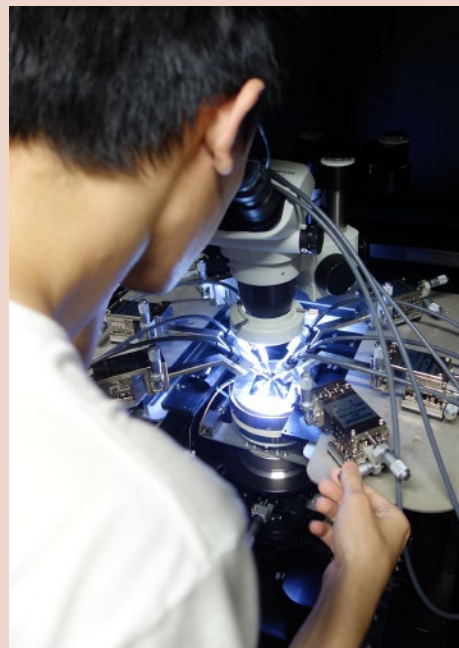
京都大学 佐藤高史研究室

情報学研究科 通信情報システム専攻

<http://www.pass.cce.i.kyoto-u.ac.jp/>

佐藤研究室のメンバーは現在、教員2名、博士課程学生1名、修士課程学生10名、学部生5名からなっています。研究室では、集積回路を構成するトランジスタのモデリングから、集積回路を用いて構成する応用システムのアーキテクチャまで、広く研究に取り組んでいます。近年の研究テーマとしては、トランジスタの高精度モデリングに関する研究、トランジスタの特性劣化のモデル化と劣化に強い回路設計に関する研究、ハードウェアセキュリティに関する研究、新概念に基づくコンピューティングに関する研究などがあります。

本研究室では、VDECより提供頂いている回路設計ツールを活用して、日々、アイデアの効果確認や検証を行うことで、最先端の回路設計についての課題をより具体的にイメージできるように努めています。企業が行う設計と同様の環境で各人の着想について利点や欠点を検討することで、世界に通用する研究成果をあげたいと考えています。また何より、自分で設計・試作した回路が意図通りに動作したときには、何物にも代えがたい達成感や嬉しさがあり、その充実した気持ちを味わうべく日々研究に取り組んでいます。



VDECスタッフより…

やっぱり食欲の秋です

VDECユーザーの皆様、はじめまして。今年6月にセンター長室の事務補佐員として仲間入りさせていただいた藤野です。

4月にセンター長に就任された藤田教授のもと、先輩の吉田さんと同期の鈴木さんと3人で業務に当たっています。各研究室の秘書の皆様や事務室の皆様の協力体制を見習って私もスムーズなお問い合わせ対応とスマートなお茶出しを目指し、VDECを支える一員として努めて参ります。

今年の夏は酷暑続きで自然災害も各地で起こり、被災された皆様の日も早い日常生活の回復を願うばかりです。そして折角訪れた秋を五感で味わい元気をチャージしたいものです。東大キャンパスの銀杏の紅葉は本当に美しく、ここVDECの武田ビル前の銀杏も今から楽しみ

です。茶碗蒸しも食べたくなりました。
今後ともよろしくお願いいたします。

(藤野祐子)

