

VDEC だより

2019年
3月15日
第38号

- ◆ 2019 年度チップ試作日程予定
- ◆ 2018 年度分の各種報告書のお願いについて
- ◆ VDEC デザインアワードについて
- ◆ VDEC リフレッシュセミナーのご案内

同じ内容は

<http://www.vdec.u-tokyo.ac.jp/Tayori/>
にも掲載されています。



VDECからの大事なお知らせです。

◆ 2019 年度チップ試作日程予定

<http://www.vdec.u-tokyo.ac.jp/CHIP/ChipApply.html>

設計締切	試作完了	試作ラン
2019/2/22	2019/8/21	Renesas 65nm SOTB
2019/2/25	2019/6/14	Rohm 0.18um
2019/3/25	2019/6/24	OnsemiSanyo 0.8um
2019/6/24	2019/10/11	Rohm 0.18um
2019/7/29	2020/2/1	Renesas 65nm SOTB
2019/9/9	2019/12/27	Rohm 0.18um
2019/9/30	2019/12/23	OnsemiSanyo 0.8um
2019/10/2	2020/2/14	Rohm 0.18um
2020/2/24	2020/6/12	Rohm 0.18um
2020/3/9	2020/9/5	Renesas 65nm SOTB
2020/3/30	2020/6/29	OnsemiSanyo 0.8um

日程は仮のもので、変更となる場合がありますことをご了承下さい。

2018 年度分の各種報告書のお願いについて

皆様におかれましては益々ご清栄のこととお慶び申し上げます。例年、CAD 利用状況アンケート、チップ試作レポート、論文リストの提出をお願いさせて頂いておりますが、2018 年度分について WEB での提出受付を開始いたします。詳細については以下のページをご参照ください。

☆ 2018 年度 CAD 利用状況アンケート提出ページ

<http://www.vdec.u-tokyo.ac.jp/cadenq.html>

☆ 2018 年度チップ試作レポート提出ページ

<http://www.vdec.u-tokyo.ac.jp/nenpo.html>

☆ 2018 年度 VDEC 関連論文リスト提出ページ

<http://www.vdec.u-tokyo.ac.jp/ronbun.html>

提出期限： 2019 年 5 月 8 日(水)

◆ VDEC デザインアワードについて

<http://www.vdec.u-tokyo.ac.jp/designAward/welcome.html>

毎年好評の VDEC デザインアワードですが、今年も引き続き「デザインアワード部門」「アイデアコンテスト部門」の 2 部門制で継続いたします。「デザインアワード」は、VDEC を通じて優秀なチップを設計した学生を表彰します。「アイデアコンテスト部門」では、IP のシミュレーション等、実際にチップを設計していなくても応募が可能です。また、昨年同様、「デザインアワード」では賞金を授与、「アイデアコンテスト部門」では、ローム 0.18 μ m 2.5mm x 2.5mm の無料試作権を賞品として授与する予定です。

各部門ともに応募は主に指導教員による推薦とし、内容を A4 1 ページ程度でまとめたも

のを提出いただきます。既発表 / 未発表は問いません。また、試作の時期も問いません。VDEC 協力教員が選考委員となって 1 次審査を行い、かつ、今年も 1 次選考通過者は 8 or 9 月に開催予定（詳細は追って連絡いたします）のデザイナーズフォーラムにてポスターセッションもしくは口頭で発表していただき、フォーラム参加者および選考委員による投票によって優秀賞、奨励賞を決定し、そのままフォーラム内で表彰いたします。なお、VDEC デザインアワードの応募締切は 4 月 30 日を予定しております。多数の応募をお待ちしております。

（徐 祖楽）



昨年度のデザイナーズフォーラムの様子



昨年度の開催場所(北海道 登別温泉)

◆ VDEC リフレッシュセミナーのご案内

<http://www.vdec.u-tokyo.ac.jp/Refresh/announce.html>

今年もリフレッシュセミナーを開催いたします。RF コース、MEMS 演習コース MEMS 実習コース、アナログコースに加え、これまで VDEC CAD 講習会で開催していた「VDEC EDA 環境におけるデジタル設計手法講習会」と「VDEC EDA 環境におけるトランジスタレベル設計手法講習会」もリフレッシュセミナーの一環として開催いたします。

これら一部の講義は、ストリーミング配信してお手元の PC (Windows Media Player) で受講できるようにします。スライドやラボデータなどは事前に電子メール等で配布し、各自の CAD 環境を使って演習していただきます。質

問は会場への電話または Twitter を利用する予定です。これらの講習会は VLSI 設計に関する基礎と最新の知識・技術の習得を目的とし、この分野で活躍する著名な先生方を講師陣としてお招きして実施しています。また、これらの講義では、話を聞くだけではなく VDEC 演習室にて実際に CAD を動作させながらの演習も含まれます。産業界だけでなく、教育機関に在籍する教員・学生の方の参加も可能ですので、みなさまぜひご参加ください。WEB ページよりお申込み頂けます。

（徐 祖楽）



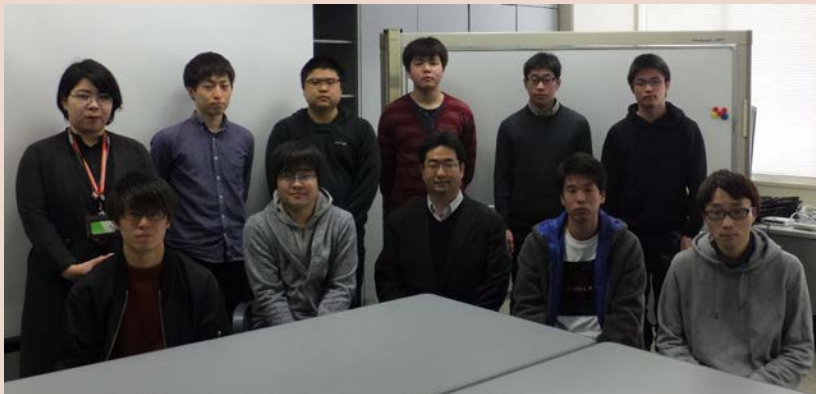
会津大学 小平研究室

コンピュータ理工学科 LSI設計学講座

<http://www.u-aizu.ac.jp/~kohira/>

小平研究室は、教員 1 名、修士 2 年 1 名、修士 1 年 3 名、学部 4 年 3 名、学部 3 年 3 名の計 11 名で構成されています。LSI の自動設計に関する研究を行っており、特に最先端のプロセスでの製造ばらつきに対応するために、クロック同期回路の設計手法やマスク設計手法に関する研究に注力しております。開発・検討する設計手法を VDEC より提供頂いているツールに組み込み、そのツールを用いて評価することで、実用的な設計技術の確立に向けて研究を進めております。今後は、VDEC のチップ試作支援を通じて、チップの試作・評価にも力を入れていこうと考えております。また最近では、同大学の齋藤寛先生と富岡洋一先生とともに、ICT を用いて地方特有の問題を解決するための研究も進めております。

学会活動も積極的に行っており、現在、電子情報通信学会 VLSI 設計技術 (VLD) 研究会の幹事を拝命しております。電子情報通信学会主催の大会や VLD 研究会において、研究の発表・議論の場や興味深い講演などを提供し、集積回路設計分野の発展に貢献できればと思っております。



VDECスタッフより…

はじめまして

はじめまして。VDEC 事務補佐員の鈴木と申します。昨年 6 月からセンター長室で週3日勤務しております。どうぞよろしくお願いいたします。長く仕事をしていなかったのが戸惑うことばかりで、ベテランの先輩方に助けていただきながら日々精進中です。ご迷惑をかけながらも、こうして社会に関わっていられることが幸せで、楽しくお仕事させていただいています。

写真は VDEC が入っている武田先端地ビルです。ガラス張りの近代的な美しい建物です。吹き抜けには一直線に4階まで続く階段があります。私は帰宅するとき、エレベーターは使わずこの階段を下りるのですが、宙に浮いているような不思議な解放感があります。

VDEC にお越し下さる皆さま、是非一度は階段をお試しくださいます。あ、登りより下りがオススメです。

(鈴木 聡子)

