

A-SSCC 2012 Tokyo Press Conference - Asian Solid-State Circuits Conference -

第八回アジア固体回路会議

2012年 9月3日	日本記者会見(東京/東京大学)
2012年 9月4日	韓国記者会見(TBD)
2012年 9月6日	台湾記者会見(TBD)
2012年 9月7日	中国記者会見(TBD)

本日の電子データは以下のサイトにあります
<http://www.vdec.u-tokyo.ac.jp/a-sscc2012/>

開会のご挨拶

A-SSCC2012実行委員会より

A-SSCC概要のご説明

招待講演・パネルのご説明

教育セッションのご説明

桜井 貴康(東大) A-SSCC組織委員会委員長

清水 徹(ルネサス) A-SSCC 2012実行委員会委員長

池田 誠(東大)

黒田 忠弘 A-SSCC招待プログラム委員長

各技術分野のご説明

- ・インダストリープログラム
- ・アナログ
- ・データコンバータ
- ・デジタル
- ・SoC
- ・RF
- ・Wireline
- ・新技術・応用
- ・メモリ

質疑応答

黒田 忠弘(慶応大学)

杉本 泰博(中央大学)

吉田 毅(広島大学)

島崎 靖久(ルネサスエレクトロニクス)

角 博文(ソニー)

岸本 修也(NEC)

寺田 純(NTT)

平田 雅規(立命館大学)

川澄 篤(東芝)

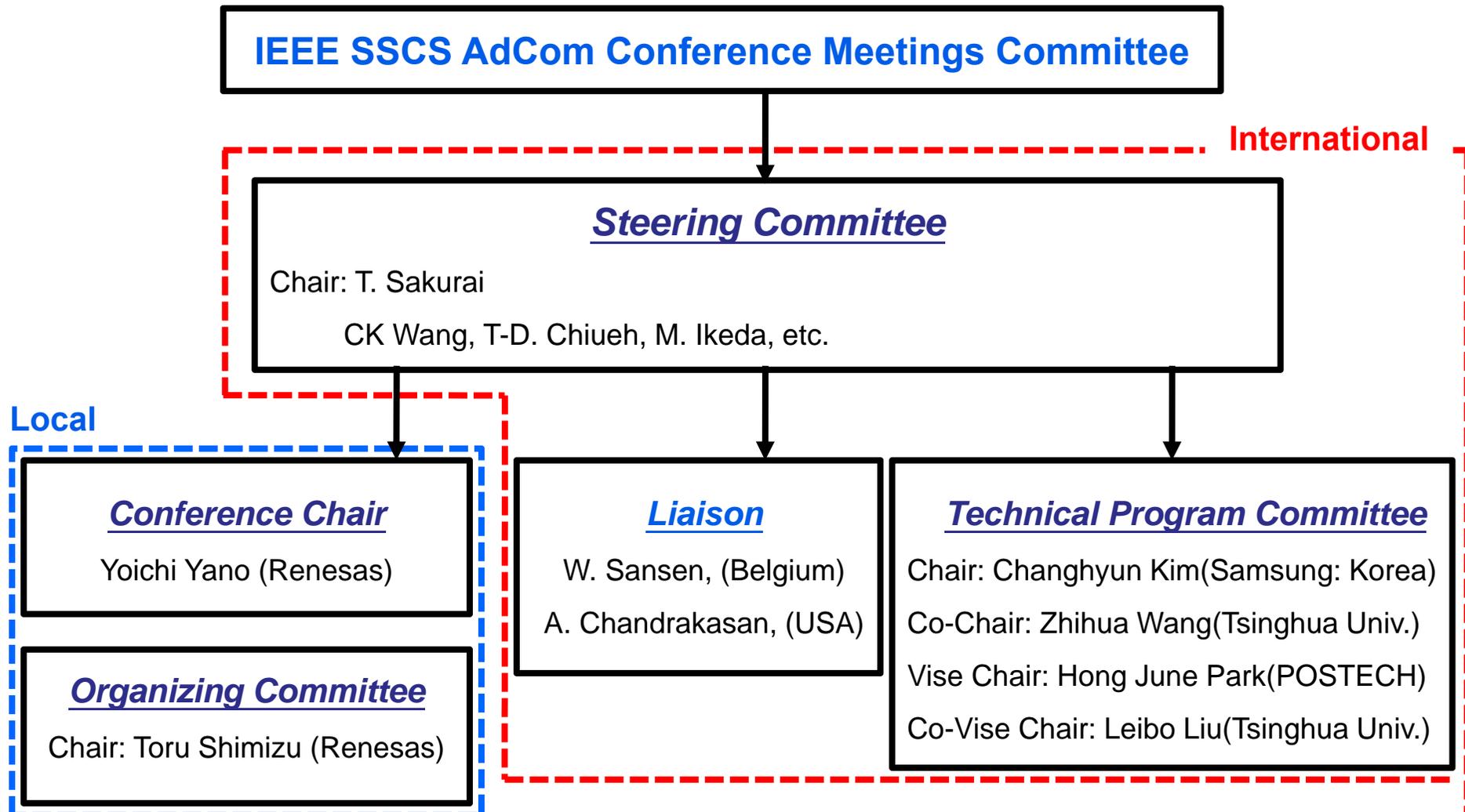
A-SSCCとは

- IEEE Solid-State Circuits Society (SSCS)主催の4番目※の学会として、Asian Solid-State Circuits Conference (A-SSCC)が誕生。

アジアに集積回路設計の新しい風を。
毎年11月頃アジア地区で開催。

※ 2004年までは2月のISSCC (International Solid-State Circuit Conference)、6月のVLSI回路シンポジウム、9月のCICC(Custom Integrated Circuits Conference)の3つ

- なぜ、今アジアか
 - 急速に発展するアジア
 - アジアの学生、研究者、技術者の啓蒙と技術交流の場
 - アジアの技術論文の掘り起こし



A-SSCC 2012

(IEEE Asian Solid-State Circuits Conference)

今回、注目のポイント

開催期間：2012年11月12日～14日

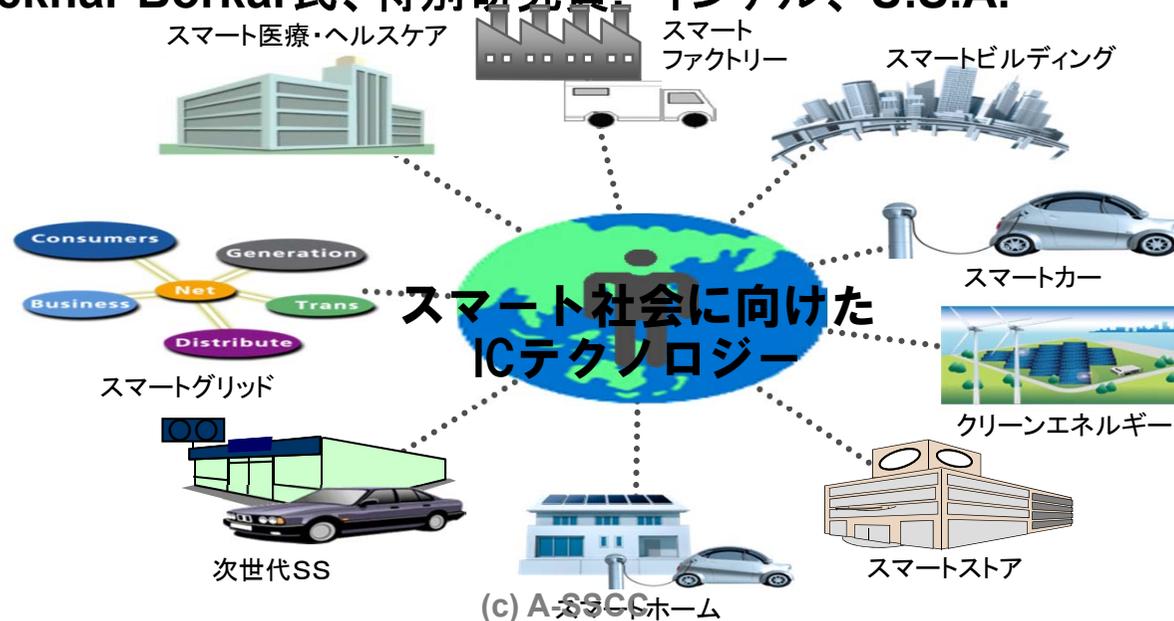
開催場所：神戸国際会議場

<http://www.a-sscc2012.org/>

実行委員長：清水 徹（ルネサスエレクトロニクス）

テーマは「スマート社会に向けたICテクノロジー」

- スマートでグリーンな社会を実現するための最先端の研究成果を報告
 - 学界・産業界を主導するキーパーソンによる基調講演（11月13日, 14日）
- (1) 「電気自動車(EV)やハイブリッド車(HV)に適用される半導体技術への期待」
佐々木 正一 教授、慶応義塾大学
 - (2) 「半導体メモリのスケールアップとその先」
Sungjoo Hong氏、SVP, SK hynix Inc.、韓国
 - (3) 「スマートでユビキタスな患者主体の医療機器に向かう集積回路とシステム」
Ming-Fong Chen氏、最高責任者、NTU病院、台湾
 - (4) 「ユビキタス・コンピューティングに向けた技術的チャレンジとチャンス」
Shekhar Borkar氏、特別研究員、インテル、U.S.A.



■ 今、ホットなテーマでのパネル討論 (11月13日):

(1) 「3Dデバイス/FinFET 以降に向けた革新的設計:我々はどのように 設計すべきか？」

テーマ: 限られた時間内で最適設計するためのアナログ、デジタル設計の挑戦。

パネリスト: Cadence, 富士通, IMEC, サムソン, ソウル国立大, SOITEC, TSMC, 東京大学

(2) 「ゼロ待機電力管理への挑戦 - “ノーマリーオフComputing”へのロードマップ -」

テーマ: 待機電力ゼロに向けたデバイス・回路、アーキテクチャ、ソフトウェア、システムからの挑戦課題は何か。

パネリスト: 東芝, KAIST, ルネサス, 名古屋大学, TI, IMEC, NTU, 東京大学

■ 最新技術のチュートリアル (11月12日):

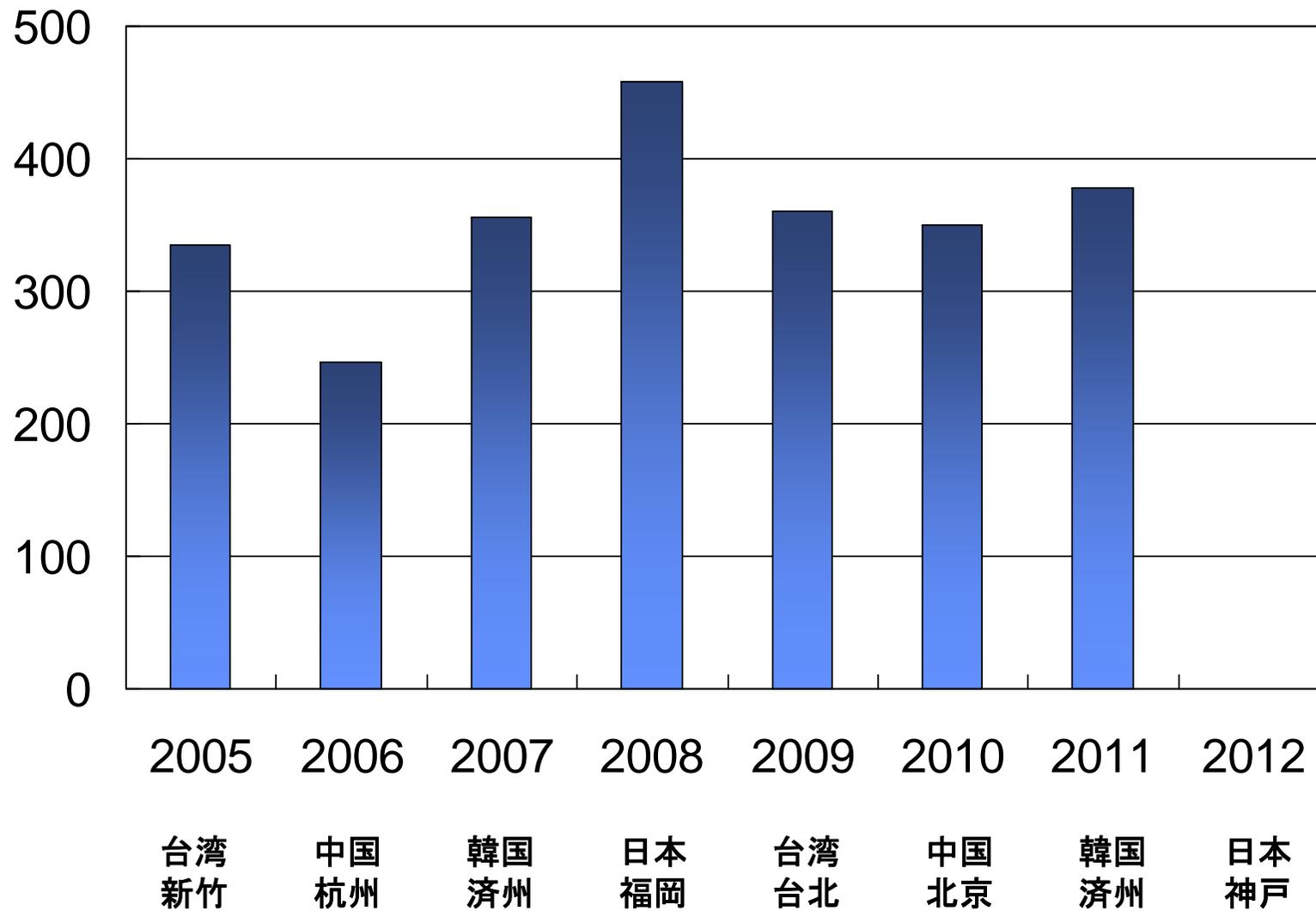
(1) 「SoCの消費電力削減と管理技術」インテル

(2) 「CMOS無線LANシステムオンチップの設計」Qualcomm

(3) 「ディープ・ナノメータ半導体技術における高性能SRAM設計」IBM

(4) 「標準CMOSでのスマートセンサ設計」Delft Univ. of Technology

- **日本の採択論文数:**
22件採択、その内10件は重要・注目論文に選出(国別で最多)。
- **日本からの重要・注目論文:**
 - (1) WCDMA送信機と共存する、内蔵アンテナフィルタを持つ65nm CMOS 1.5 mm² Bluetoothトランシーバ
 - (2) 機能的な注入同期技術を用いた0.38 mm², 10MHz-6.6 GHz 直交周波数合成器
 - (3) 40nm CMOSで実現したRSA暗号用自己同期モンゴメリ乗算器の性能と、サイドチャネル攻撃解析
 - (4) 3D-ReRAMとNANDフラッシュのハイブリッドSSD(フラッシュメモリドライブ)用の、ブーストの無駄時間のないVset/ResetとVpgm生成器
 - (5) 40nm CMOSで実現した0.5V 10MHz-100MHz 0.47 fÊW/MHz の電力可変Ad-PLL
 - (6) P/Nセンシティブなデジタルモニター回路を使用した、適応基板バイアスを持つ内蔵自己適合スキーム
 - (7) 電池と太陽電池で動作する携帯機器用の、0.5V 起動0.77mm² 二重駆動モードのオンチップ、単インダクタ&二重出力 (SIDO)の DC-DCブースト変換器
 - (8) オフセット・キャンセリング & チャージ・ステアリング アンプを使った1-GHz, 17.5-mW, 8-Bit Subranging ADC
 - (9) 適応電圧スケールリングシステムの最小電圧を検出するための、オンチップ、二重リング発信器ベースのランダム揺動計測手法
 - (10) 超低電力オンチップ、電荷再利用電源回路とシステムを用いたグリーン半導体技術
- **産業界からのサポート・連携:**
Embedded Technology 2012 / 組込み総合技術展(11月14~16日、横浜) 招待券
EDS Fair 2012 (11月14~16日、横浜) 招待券
サポート展示多数



- 第8回である今年は、
「Integrated Circuits toward Smarter Society」
というテーマのもと 11月12日～14日 神戸国際会議場にて開催
- アジアへの情報発信、アジアからの情報収集の場
- 産業界のトレンドがわかるインダストリー・プログラム
- チュートリアル
- アジアならではの4つの基調講演
- 高倍率の選別を受けたテクニカル論文
- ISSCC、IEEE Journal of Solid-State Circuitsとも連携企画
- 2005年から毎回、開催翌年11月号のJSSCに16件程度の論文が掲載 -



2012 Conference Theme



Integrated Circuits toward Smarter Society

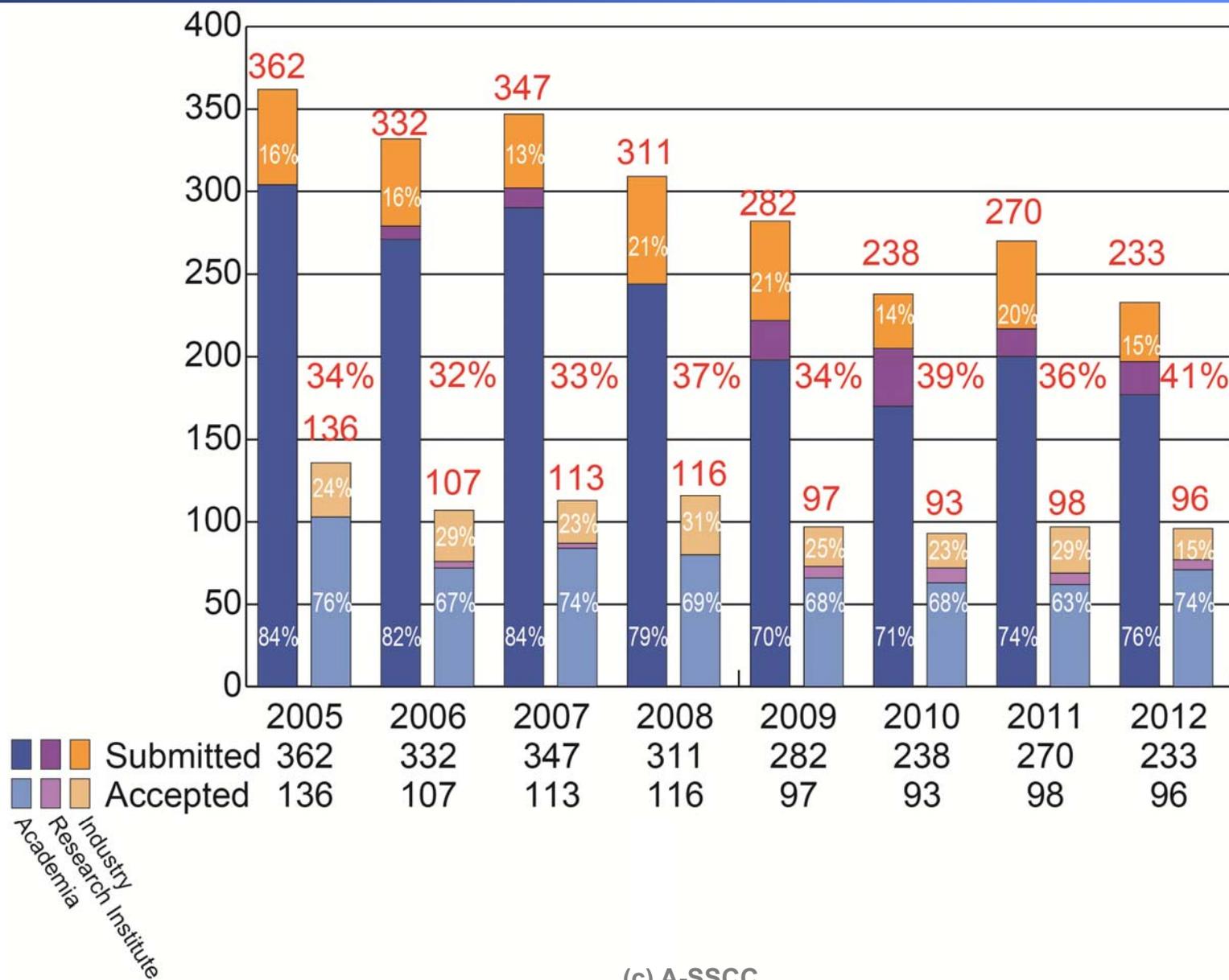
Integrated circuits improved the quality of human life in evolutionary and revolutionary ways by providing smart devices with internet access and electronic equipment with huge computing power. One of the emerging trends of integrated circuits is to apply the technology toward the smarter society, which drastically improves the quality of life of people with the aid of mass-producible electronic devices equipped with high performance & low power integrated circuits. Sensors, RF and analog circuits, data converters, and digital signal processing circuits will be required to implement the smart mobile devices which enable high-quality human life. Papers focused in this area will be encouraged for submission.

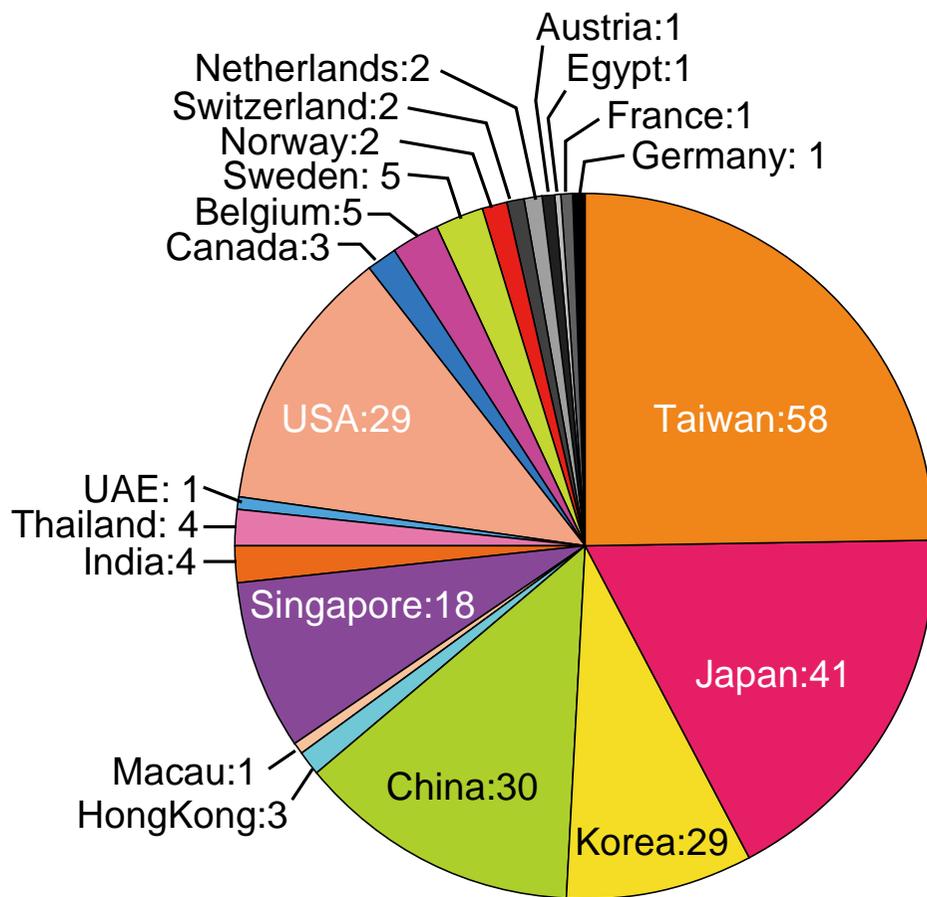
神戸 国際会議場



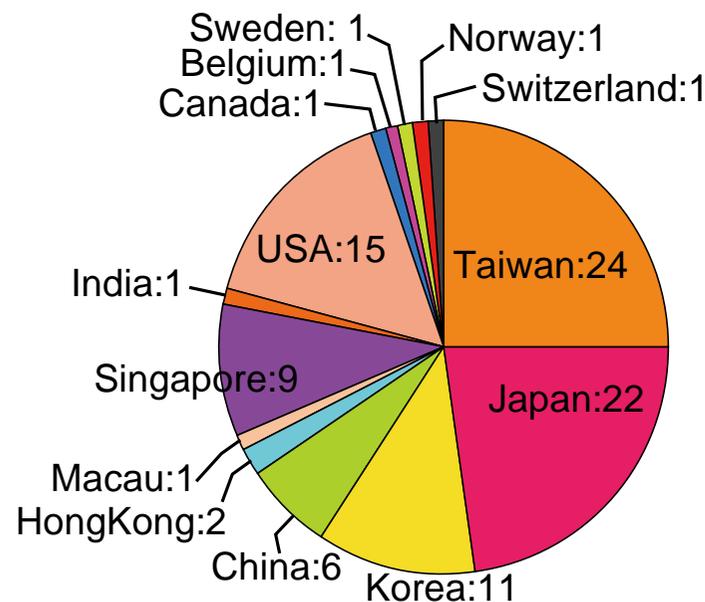
技術プログラム概況のご説明

論文投稿数・採択数の推移





投稿



採択

論文投稿数: 233

投稿国 : 21(2011: 25)

採択率(採択数): 41% (96/233)

採択された国 : 16(2011: 12)

スケジュール

- **11月12日(月) 1日目**
 - チュートリアル
 - 学生デザインコンテスト
 - ウェルカム・レセプション

- **11月13日(火) 2日目**
 - 基調講演(2件)
 - パネルディスカッション
 - 一般講演(インダストリーセッション含む)
 - バンケット

- **11月14日(水) 3日目**
 - 基調講演(2件)
 - 一般講演

招待講演・パネルのご説明

“Integrated Circuits toward Smarter Society”

11/13 (火)

- **Dr. Shoichi Sasaki**
Professor, Keio Univ.
Japan

“Expectations for the
Semiconductor
Technologies in EVs and
HVVs”



11/14 (水)

- **Dr. Ming-Fong Chen**
Superintendent, NTU
Hospital, Taiwan,

“Integrated Circuits and
Systems toward
Smart Ubiquitous Patient-
Centered Medical
Environment”



- **Dr. Sungjoo Hong**
SVP, SK hynix Inc.
Korea

“Semiconductor Memory
Scaling and Beyond”



- **Dr. Shekhar Borkar**
Intel Fellow, Intel Corp.
U.S.A.

“Technology Challenges
and Opportunities for
Ubiquitous Computing”



佐々木正一 博士

慶應義塾大学、教授、日本

「電気自動車・ハイブリッドカーからの半導体技術への期待」



略歴:

1949年生まれ。東京大学大学院電気工学専攻修士課程修了。

トヨタ自動車入社。電気自動車とハイブリッドカーの開発に従事。

電力工学の自動車応用を研究。

トヨタプリウスの開発とそれに関連する数々のイノベーションに対して、

平成16年度全国発明表彰経済産業大臣受賞、日本機械学会賞(1998)、

IEEE 2010 Daniel E. Noble Award、IEEE 2011 Medal for Environmental and

Safety Technologiesなどを受賞。

現在の研究テーマは、未来の自動車システムの設計。

現在、慶應義塾大学大学院 システムデザイン・マネジメント研究科教授。

「電気自動車・ハイブリッドカーからの半導体技術への期待」

概要:

電気自動車やハイブリッドカーはやがて一定の市場シェアを持つようになるだろう。その普及には、半導体技術が中心的な役割を担い、品質に大きな影響を与える。まずは、電気自動車やハイブリッドカーに用いられる**インバータのサイズと損失を小さくすることが**、コスト低減と電力低減の観点から重要である。更に普及させるためには、コスト低減が最優先課題となる。バッテリーがインバータやモータよりもコストが高い。そこで、**バッテリーの低コスト化が重要課題**である。そのためいくつかの技術開発が始まっている。一つは、トラクション駆動システムの回路を見直し、比較的安いバッテリーセルを使えるようにすることである。あるいは、車道から車に非接触で電力供給する技術も研究が始まっている。本講演では、こうした技術の紹介と半導体技術に対する期待を述べる。

Sungjoo Hong 博士
SKハイニックス、上席副社長・研究所所長、韓国
「半導体メモリのスケーリングとその先」



略歴:

1949年生まれ。ソウル国立大学物理学科卒業(1985年)、KAIST大学院物理学専攻修士課程修了(1987年)、博士課程修了(1992年)。現代電子産業(現在のSKハイニックス)に入社。2004年に研究開発部のデバイス・プロセス統合グループ長に就任。512Mb DDR2 DRAMの開発で2006年に韓国半導体技術賞を大統領より受賞。2010年に研究所長に就任。DRAM、NANDフラッシュ、PCRAMやPRAMやRRAMなどの新型メモリ技術の研究開発を指揮。

「半導体メモリのスケーリングとその先」

概要:

半導体メモリは、スケーリングを積極的に進め、メモリ容量を年率2倍で増やしてきた。NANDフラッシュメモリは、20年前には容量が2MBで値段が\$50/Mbであったが、現在は128GBで\$1/GBである。しかし、スケーリングが物理的限界に近づいている。1xnm世代になると、NANDフラッシュメモリが制御する電子の数はわずか16個程度になる。DRAMの立体キャパシタの高さは底辺の60倍にもなる。スケーリングの限界の先にあるものは何なのか？本講演では、**スケーリングの先に期待される新メモリ**について紹介する。特に、モバイル時代に求められる大容量、低電力、高速動作を兼ね備えた**STT-RAM, ReRAM, and PCRAM**などについて展望する。

Ming-Fong Chen 博士

国立台湾大学病院、院長、台湾

「スマートでユビキタスで患者中心の医療環境を実現する
集積回路システム」



略歴:

国立台湾大学医学部で1975年に学士（医学）、1990年に博士（医学）を取得。2002年にNTUビジネススクールでエグゼクティブMBA取得。1977年から1981年まで国立台湾大学病院内科でレジデントと心臓病専門医を勤める。1991年から1992年まで、アメリカのワシントンのジョージタウン大学メディカルセンターで生理学と生物物理学の研究者。国立台湾大学医学部内科で1989年に講師、1990年に准教授、1995年に教授就任。2002年に副院長、2007年に学部長、2008年に病院長就任。FACC (Fellow of the American College of Cardiologists) やFACP(Fellow of the American College of Physicians) などのフェロー・メンバー。学術誌に多数の論文発表。

「スマートでユビキタスで患者中心の医療環境を実現する集積回路システム」

概要:

患者を中心にした家庭医療モデルを実現しヘルスケアを行うために、集積回路システムの担う役割は大変重要である。国立台湾大学病院ではこうした家庭医療モデルに取り組んできた。ワイヤレス心電計で心拍数をモニターし、GPSで居場所を捕捉することにより、心臓病専門医は患者の急変にも対処できる。マルチモードの信号処理プロセッサを集積することで、ACS急性冠症候群、虚血発作、くも膜下出血などの早期発見が可能になる。大学病院は、生体計測と通話と緊急判断を一体化した遠隔ケアサービスを提供している。生体計測用MEMSをICに集積して携帯電話に搭載することにより、生理信号や生命兆候をいついかなる場所でもモニターできる。携帯電話を個人の医療情報ハブに用いることで、生体計測情報をクラウドに上げてリアルタイムに監視・分析することができる。

Shekhar Borkar 博士
インテル、フェロー、アメリカ
「ユビキタスコンピューティングのための技術課題と可能性」



略歴:

1979年にボンベイ大学の物理工学科卒業、1981年にノートルダム大学の修士課程修了。インテル入社。現在はインテルフェローおよびIEEEフェローであり、インテルのExtreme-scale technologiesのディレクターである。8051マイクロコントローラの開発、スーパーコンピュータや高性能低電力デジタル回路の研究に従事し、DARPAのUHPCプロジェクトの研究代表を務めた。83編の国際会議論文と、31編のジャーナル論文、56件の招待講演、4編の書籍(章)を著し、50件以上の特許を有する。VLSI回路シンポジウムのプログラム委員長(2002年)とシンポジウム委員長(2004年)を勤める。オレゴン科学技術大学院大学でVLSI設計の授業を10年以上担当。研究領域は、低電力・高性能デジタル回路、高速通信、システムレベル最適化。

「ユビキタスコンピューティングのための技術課題と可能性」

概要:

集積回路のスケーリングは今後も続き、ありあまる程のトランジスタを使って様々な機能を集積し、未曾有の計算能力を備えて我々の生活をより豊かなものにするのに役立つだろう。データセンタにはエクサ(10^{18})級、組み込みシステムにはテラ級 (10^{12})、民生機器にはギガ級 (10^9)、センサにはメガ級 (10^6) の性能が備わり、地球を覆い尽くす。しかし、ここまで技術を進展させてきた物理が、今度は壁となって立ちはだかる。これまでのようには行かない。多くの困難にこれまでも立ち向かってきたが、**これからの挑戦はエネルギー問題である。単に電力ではない。エネルギー問題に立ち向かうためには、システムレベルの取り組みが重要である。例えば、柔軟性の追究であったり、自己管理やきめ細かなエネルギー管理ができる自律的システムソフトウェアが課題である。新しいシステム設計のアプローチが必要である。例えば、システムスタックの全層が調和的にエネルギー効率を追究するハード・ソフト協調設計技術が求められる。**本講演では、データセンタの高性能コンピュータから、ハンドヘルドの携帯端末、民生機器の埋め込み応用まで、コンピュータを真にユビキタスにするための技術課題と可能性について議論する。

3次元デバイス/FinFETとその後の新技術に対する 設計はどうあるべきか？

**Disruptive design for emerging technology after 3D
Devices/FinFET and beyond; How we can make it?**

概要:

28nm世代以前はスケーリングに基づいて設計も連続性があったが、その先は不連続な技術の展開が予想される。FinFETなどの3次元デバイスの先にあるものは、複雑で不連続な技術になるだろう。プロセスや設計手法の改良以外に、設計技術で出来ることはあるのだろうか？新しいデバイス技術に対応した新しい設計技術をタイムリーに準備することが課題である。例えばデジタル支援のアナログ設計がいいのだろうか、あるいはアナログ支援のデジタル3D集積がいいのだろうか？本パネルでは、各分野の研究者をお招きしてビジョンを語っていただき、更にプロセス・デバイス、設計手法、協調設計に求められるブレークスルーを議論する。

オーガナイザ: Yung-Chow Peng博士 (TSMC:台湾)
Youngmin Shih博士 (Samsung:韓国)

司会: 平本 俊郎 教授 (東大、日本)

パネリスト:

1. Vinod Kariat 博士 (Cadence、米国): カスタムICおよびシミュレーション
2. 山口 清一郎 博士 (富士通、日本): IPおよびプロセス技術開発
3. Aaron Thean 博士 (IMEC、ベルギー): デバイス・プロセス
4. Jae Cheol Son 博士 (Samsung、韓国): SoC/プロセッサ開発
5. Jong-Ho Lee 教授 (ソウル大学、韓国): デバイス・プロセス
6. Philippe Magarshack 博士 (STM、): 設計支援
7. Sally Liu 博士 (TSMC、台湾): RF/ミックスシグナルデバイスモデリング

待機電力ゼロを目指して - 「ノーマリオフコンピューティング」のロードマップ - Challenge for Zero Stand-by Power Management - Road-map to the "Normally-Off Computing" -

概要:

グリーンイノベーションにより、医療・ヘルスケア、スマートシティ、スマートカー、スマートハウスなど、快適で質の高い生活の実現が期待されるが、そのためにはより一層のエネルギー効率改善が追究されなければならない。「ノーマリオフコンピューティング」に寄せられる期待は高い。不要なときは電源を細かく切ることにより待機電力をゼロにできるからである。しかしそのためには、回路設計のみならず、デバイス、アーキテクチャ、ソフトウェア、アプリケーションの緊密な連携が必要になる。本パネルでは、各分野で活躍する世界的リーダをお招きして、「ノーマリオフコンピューティング」に対する期待や課題についてビジョンを語っていただく。

オーガナイザ: 有本和民 教授(岡山県立大、日本)
清水 徹 博士(ルネサス、日本)

司会: 中村 宏 教授(東大、日本)

パネリスト / 立場:

1. 藤田 忍 博士(東芝、日本): 不揮発性メモリデバイス
2. Hoi-Jun Yoo教授 (KAIST、韓国): モバイル/ネットワークSoC
3. 林越 正紀 博士(ルネサス、日本): コンピュータアーキテクチャ
4. 高田 広章 教授(名大、日本): ソフトウェア
5. Steven Bartling博士 (TI、アメリカ): バイオ/医療/ヘルスケア アプリケーション
6. Bert Gyselinckx博士(IMEC、ヨーロッパ): センサーネットワーク
7. Shey-shi Lu教授 (国立台湾大、台湾): 医療応用

チュートリアルのご説明

2012年11月12日(月曜)

Tutorial 1: 9:30 – 12:25

- **Dr. Stefan Rusu**
Intel, USA

“SoC Power Reduction and Management Techniques”



Tutorial 3: 13:25 – 16:20

- **Dr. Jente B. Kuang**
IBM, USA

“High Performance SRAM Design in Deep Nanometer Technologies”



Tutorial 2: 9:30 – 12:25

- **Dr. Srenik Mehta**
Qualcomm, USA

“Designing CMOS Wireless LAN System-on-a-Chip”



Tutorial 4: 13:25 – 16:20

- **Prof. Kofi Makinwa**
Delft University of Technology, Netherland

“Smart Sensor Design in Standard CMOS”

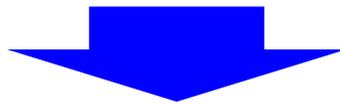


学生デザインコンテストのご説明

【目的】

学生のモチベーション向上および教育

論文としての質、プレゼン能力以外にディスカッション能力、
チップの完成度を評価



次世代を担う**優秀な技術者の育成**

【方法】

- ・採択された学生論文からSDC委員が候補を選択
(本年は各分野のハイライト論文から14件をノミネート)
- ・学会期間中に、**口頭発表** + **ポスター** + **デモ**を実施
- ・SDC委員によりベストデザインの選定

その他、産業界からの参加者との密な交流も期待

各技術分野のご説明

・インダストリープログラム

- ・アナログ
- ・データコンバータ
- ・デジタル
- ・SoC
- ・RF
- ・Wireline
- ・新技術・応用
- ・メモリ

A-SSCC 2012

Industry Sessions

インダストリー・セッション

Industry Session #1:

Leading Edge SoCs and Memory
(4 papers x 25 min = 100 min)

Industry Session #2:

Energy-Efficient Circuits for Emerging Applications
(4 papers x 25 min = 100 min)

2012年9月3日

セッション名：最先端のSoCとメモリの技術
Leading Edge SoCs and Memory

- **The First 22nm IA System-on-Chip Using Tri-Gate Transistors (Intel)**
トランジスタの集積度を2倍に向上し、超低電圧で動作する22nm、Tri-GateトランジスタのIAのSoC。DirectX 11をサポートし3画面同時出力可能。
- **A 1.94mm², 38.17mW Dual VP8/H.264 Full-HD Encoder/Decoder LSI for Social Network Services (SNS) Over Smart-Phones (Mediatek)**
VP8対応フルHDのコーデックLSI。H.264/AVCのコーデックと回路をマージすることで面積を43.6%削減。
- **A High Performance 64Gb MLC NAND Flash Memory in 20nm CMOS Technology (Hynix)**
25MB/sの書き込み速度と400MB/sの高速インタフェースを持つNANDフラッシュメモリ。
- **The Next Generation 64b S3 Core in a SPARC T4 Processor (Oracle)**
8コア、128KBのL2キャッシュ、4MBのL3共有キャッシュ、PCI Gen2.0、10Gbイーサネット対応、2.4Tb/sの高速I/Oを備えるSPARCプロセッサ。

セッション名：新たなアプリケーション向けのエネルギー効率の高い回路技術
Energy-Efficient Circuits for Emerging Applications

- **0.5v Start-up 0.77mm² Dual Drive Mode On-Chip Single-Inductor Dual-Output DC-DC Boost Converter for Battery and Solar Cell Operation Portable Equipment(Renesas)**
内部トランジスタで30mAまで、外部のバッテリーや太陽電池を使うことで100mA以上を出力し、それぞれの効率が85%、84%のDC-DCコンバータ。
- **Circuit Design Challenges and Solutions for Optical Ring Modulators(Oracle)**
外気温と自らのデータ通信に起因する温度変化を、モジュレータの出力特性を保つための補正に用いる機能を持つ光通信リングモジュレータ。
- **A 0.5v 10MHz-to-100MHz 0.47uWatt/MHz Power Scalable AD-PLL in 40nm CMOS(STARC & Keio Univ.)**
組込み向けでオールデジタルの超低消費電力PLL技術。
0.5V、45.5uWで10-100MHzの出力が可能。
- **"A low-power 6.6-Gb/s Wireline Transceiver for Low-Cost FPGAs in 28nm CMOS(Xilinx)**
0.5から6.6Gb/sで動作する高速IOインタフェース。6.6Gb/s通信時の性能はBER < 10⁻¹⁵、最大チャネル損失18dB、1V,1.2Vで消費電力129mW。

各技術分野のご説明

- ・インダストリープログラム

- ・アナログ

- ・データコンバータ

- ・デジタル

- ・SoC

- ・RF

- ・Wireline

- ・新技術・応用

- ・メモリ

SoC設計に欠かせないアナログ回路や電源回路などに関する卓越した研究成果を採択

- 投稿33(昨年:41), 採択13(昨年:15), 採択率39%(昨年:37%)

国名	日本	台湾	中国	韓国	タイ	インド	USA	香港	シンガポール	ベルギー	スウェーデン	オーストリア
投稿数	1	9	3	1	3	2	7	2	1	1	2	1
採択数	0	4	1	1	0	0	3	2	1	1	0	0
採択率(%)	0	44	33	100	0	0	43	100	100	100	0	0

- 増幅器や回路技術分野から1セッション
 - -Session 1: Analog Interfaces and Amplifiers
- 電源回路分野から1セッション
 - -Session 9: Power Management ICs
- メモリー と共同で1セッション
 - -Session 13: SSD Memory and High Frequency Analog

An Energy-Efficient BBPLL-based Force-Balanced Wheatstone Bridge Sensor-to-Digital Interface in 130nm CMOS

- 論文番号[1-*] KU Leuvenからの発表。
- PSRRの非常に良好な抵抗性のセンサーを、ホイートストーン・ブリッジ構成で実現。従来のブリッジに比し26 dBの改善。抵抗センサーの実用化に貢献。
- センス抵抗が変化した場合に、ブリッジのバランスがくずれないように、DACにより基準抵抗側の抵抗も変化させる帰還方式。本帰還制御にはVCO、2値のPD、カウンタなどのデジタル機能を適用したPLLを使用する。センサー出力が平均的にカウンタの内容と一致するので、そのままデジタル出力が得られる。
- 動作電源電圧 1 V、消費電力 120 μ W、変換時間 0.05 ms、ビット精度(ENOB)9 ビットなど、低電圧、低消費電力で良好な特性を実現。
- 0.13 μ m CMOSプロセスで実証。

A Package Bondwire Based 80% Efficiency 80MHz Fully-Integrated Buck Converter with Precise DCM Operation and Enhanced Light-load Efficiency

- 論文番号[9-*] 香港科技大学からの発表。
- ICチップとパッケージ間にボンディングしたワイアを、降圧型DC-DCコンバータのインダクタとして使う方式を提案。
- ボンディングワイアの値は3 nH~9 nH 程度。コンバータは 80 MHz で動作。
- 軽負荷のDCMモード(不連続動作モード)では、高速な制御が間に合わずインダクタの逆流電流が生じて電力効率が落ちる。NMOSとPMOSパワートランジスタを別個に制御できるようにし、出力端子の電圧を観測してこの電圧が平衡状態となるよう、NMOSのオン時間を調整する帰還ループを設けたことが特長。
- NMOSとPMOSが同時にオフとなる時間も帰還ループで調整(ADT機能)。AS(サイズ調整機能)もあわせて約80%の電力効率を実現。
- 0.13 μm CMOSプロセスで実証。

A 5.8GHz Digital Arbitrary Phase-setting Type II PLL in 65nm CMOS with 2.25° Resolution

- 論文番号[13-*] ミシガン大学とIBMの共同発表。
- 位相を2.25°の精度でデジタルデータにより変化できる、5.8 GHzのデジタルPLLを、発振周波数近傍のノイズ特性が良いとされるType IIの構成で実現。
- 位相の制御は、位相周波数比較器の後段でデジタル的に行うので、またDACおよびVCOを除いて全体がデジタルで構成されるので、アナログ構成と異なり素子特性などのマッチングを考慮する必要は無い。
- 位相周波数比較器には、2入力の位相関係を調節する機能を持つ1ビットTDCを用いる事でデジタル的な位相調整を可能とした。
- 位相周波数比較器へのディザの入力、フィルタ部での極と零点の導入、分周器やDACにおけるΣΔ変調器の導入などの、デジタル信号処理技術を使用。
- 65 nm CMOSプロセスで試作。1 V動作。消費電力は 11 mW。

各技術分野のご説明

- ・インダストリープログラム
- ・アナログ
- ・データコンバータ
- ・デジタル
- ・SoC
- ・RF
- ・Wireline
- ・新技術・応用
- ・メモリ

SoCに不可欠なADC, DACを支える卓越した研究成果を採択

論文数推移

	投稿数	採択数	採択率
2010	33	12	36.4%
2011	50	17	34.0%
2012	35	11	31.4%

国別論文数

国名	中国		台湾	日本	米国	ベルギー	スウェーデン	韓国	ノルウェー	オランダ
		内マカオ								
投稿数	10	2	7	6	5	2	2	1	1	1
採択数	0	2	4	2	2	0	1	0	0	0

データ・コンバータ回路分野は2セッション構成

-Session 6: **Nyquist Rate ADCs**

-Session 10: **Oversampling ADCs**

Session 6

A 12-Bit 8.47-fJ/Conversion-Step 1-Ms/S SAR ADC Using Capacitor-Swapping Technique

- 論文番号[6-3] MediaTek Inc (台湾)の発表
- SAR(逐次比較型)ADCの中間コードにおける遷移エラーを抑制し、線形性を改善するキャパシタスワップ技術を提案
- サンプリング容量を増加させることなく高精度化を実現
- 110nm CMOSで製造し、コア面積は0.092mm²
- 1MS/s でENOB(有効ビット数)は10.9bit、消費電力は16.5 μ W(電源電圧0.9V)であり、FoM(変換効率)は8.47fJ/convと極めて高い

Session 10

A 1.2V 64fJ/Conversion-Step Continuous-Time Sigma-Delta Modulator Using Asynchronous SAR Quantizer and Digital Delta-Sigma Truncator

- 論文番号[10-1] MediaTek Inc (台湾)の発表
- WCDMA/GSM/EDGE用途(信号帯域1.92MHz)の連続時間デルタシグマADC
- 65MHzでオーバーサンプリング
- 消費電力, チップ面積を削減できる非同期型SAR量子化器とデルタシグマ型デジタル切捨器が特徴
- 40nm CMOSで製造し、コア面積 0.05mm²、消費電力 1.91mW(電源電圧1.2V)、ENOB(有効ビット数)12.9bit、FoM(変換効率)64fJ/convを達成

各技術分野のご説明

- ・インダストリープログラム
- ・アナログ
- ・データコンバータ
- ・デジタル
- ・SoC
- ・RF
- ・Wireline
- ・新技術・応用
- ・メモリ



A-SSCC

2012 Asian SoC/State Circuits Conference

Digital Circuits and Systems (DCS)



- デジタルLSIの消費エネルギー低減と性能向上を同時に実現する上で欠かせない要素回路/システムに関する卓越した研究成果を採択

- 投稿18(27@'11)、採択7(7@'11)、採択率39%(26%@'11)
 - 国別投稿数 : 日本 9、中国 2、台湾 2、シンガポール 2、
米国 2、オランダ 1
 - 国別採択数 : 日本 5、台湾 1、シンガポール 1

- DCS分野は2セッション構成、Session16はSoC&SPとのジョイント
 - Session 4 : Energy Efficient Circuits and Techniques
 - Session 16 : Lowpower SoCs and Circuits

- **A Built-in Self-adjustment Scheme with Adaptive Body Bias using P/N-sensitive Digital Monitor Circuits (京都大学、日本)[4.1]**
- **Green Semiconductor Technology with Ultra-Low Power On-chip Charge-recycling Power Circuit and System (ルネサス、日本)[4.2]**
- **On-chip Dual-Ring-Oscillator-Based Random-Fluctuation-Measurement Method for Detecting Lowest Voltage in Adaptive Voltage Scaling Systems (日立、日本)[4.3]**

A Built-in Self-adjustment Scheme with Adaptive Body Bias using P/N-sensitive Digital Monitor Circuits

- 京都大学(日本)の論文 [4.1]
- pMOS/nMOSそれぞれのデバイスばらつきにセンシティブなモニター回路を用い、Nウェル/Pウェルの基板バイアス電圧を個別に制御することで回路速度とリーク電流を最適化
- pMOS/nMOSの閾値電圧(V_{th})に強い依存性を持つ遅延回路
- V_{th} 仕上がりアンバランスさを解消する基板バイアス発生回路
- 0.7V動作時の回路遅延を従来比50%改善、リーク電流を60%削減

Green Semiconductor Technology with Ultra-Low Power On-chip Charge-recycling Power Circuit and System

- ルネサスエレクトロニクス(日本)の論文 [4.2]
- スタック型電源システムにおけるチャージリサイクル回路の提案
- LSI内部をupperモジュール、lowerモジュールに分割し、upperモジュールの動作に使用した電荷をタンクキャパシタに貯めておき、lowerモジュールの動作に再利用する
- 中間電位ノードを7個のレギュレータで制御して安定化
- 従来50-85%であった電力効率が、本技術では常時87%に向上

On-chip Dual-Ring-Oscillator-Based Random-Fluctuation-Measurement Method for Detecting Lowest Voltage in Adaptive Voltage Scaling Systems

- 日立製作所(日本)の論文 [4.3]
- デバイスの閾値電圧(V_{th})ばらつきを1mVの精度で計測する回路技術
- チップ毎に異なるランダムばらつき量を高精度に測定することにより、各チップの最低動作電圧を決めることが出来るようになる
- 二個一組のリングオシレータを用いて発振カウント数の差を多数収集した後、チップ上の論理回路で統計処理して V_{th} ばらつきを算出

各技術分野のご説明

- ・インダストリープログラム
- ・アナログ
- ・データコンバータ
- ・デジタル

・SoC

- ・RF
- ・Wireline
- ・新技術・応用
- ・メモリ

Greenシステム指向を一層明確にしたアルゴリズム、回路の協調設計をベースにした、コミュニケーション・マルチメディア・メディカルアプリケーション向けの高エネルギー効率の信号処理技術論文を採択

・投稿19(昨年:25), 採択9(昨年:10), 採択率47%(昨年:40%)

(台湾4, 日本1, 韓国1, 中国1, シンガポール1, フランス1)

・高性能と低消費電力を両立させるワイヤレスコミュニケーションでのコーディング技術や、画像認識、セキュリティー応用技術、インテリジェントなパワーマネジメント回路技術等が発表され、半導体技術のスマートシステムアプリケーションへの適用が広がり続ける。

- デジタルコミュニケーションとマルチメディアSoCで1セッション

- Session 8: Low Power Digital Communication and Multimedia SoCs

- デジタル回路との共同で1セッション

- Session 16: Low Power SoCs and Circuits

注目論文3件を紹介

- **8.1** A 40nm 535 Mbps Multiple Code-Rate Turbo Decoder Chip Using Reciprocal Dual Trellis.

National Chiao Tung Univ. (台湾)

- **8.4** Crisp-II: Coarse-Grained Reconfigurable Image Stream Processor for Image-Processing and Intelligent Operations in QFHD Video Cameras

National Taiwan Univ. (台湾)

- **16.3** Performance and Side-channel Attack Analysis of a Self Synchronous Montgomery Multiplier Processing Element for RSA in 40nm CMOS

東京大学, ルネサスエレクトロニクス, (日本)

8.1 A 40nm 535 Mbps Multiple Code-Rate Turbo Decoder Chip Using Reciprocal Dual Trellis (Taiwan: National Chiao Tung Univ.)

- 40nm CMOSプロセスで、535Mbpsのマルチコードレートのターボデコーダを試作。
- High code rateとthroughの両立を実現。
(Reciprocal dual trellis方式)
- 実測値でも、エネルギー効率、エリア効率は非常に優れている。
(0.068nJ/bit/iteration、 8/9コードレート at 0.9V)
- Reciprocal dual trellisを2つのSISOで実装していて、SIOSの並列処理により、高性能化を実現している。

8.4 Crisp-II: Coarse-Grained Reconfigurable Image Stream Processor for Image-Processing and Intelligent Operations in QFHD Video Cameras (Taiwan: National Taiwan Univ.)

- CMOS 90nm LPプロセスで試作した、QFHD(3840 x 2160)、リコンフィギャラブルイメージプロセッサ。
- リングバスに、各ハードウェアモジュールを接続するアーキテクチャ構成。
- 階層リングコネクションにより、フレキシビリティを持たせた。リコンフィギャラブルブリッジがシンプルに構成可能。
- イメージプロセッシングの処理速度向上への時分割、並列割り付けを採用
- 33M-ピクセルイメージにて、9.42 fps、1080p ビデオレコーディング において150.7 fpsの高性能を実現。

16.3 Performance and Side-channel Attack Analysis of a Self Synchronous Montgomery Multiplier Processing Element for RSA in 40nm CMOS (Japan: University of Tokyo, Renesas Electronics)

- Self synchronous 方式のPE(Processing Elements)により、RSA向けの Montgomery multiplierを、従来の同期式に比べ、ワイド電圧動作、高速・低消費電力を実現。(既存のRSAに対し、2倍の処理速度を実現。)
- RSA等でのサイドチャネルアタックに対しても、SS-PEの耐タンパ優位性を実証した。
- 40nmテスト試作チップにおいて、0.4V to 1.3V のワイドレンジ動作をチューニングなしで、2.1Gb/sのデータ処理性能を実現。
- エネルギー効率としては、322fJ/op (at 1.1V)、1.40fJ/op (at 0.4V)。

各技術分野のご説明

- ・インダストリープログラム
- ・アナログ
- ・データコンバータ
- ・デジタル
- ・SoC
- ・RF
- ・Wireline
- ・新技術・応用
- ・メモリ

RF回路技術に関する最新研究成果を採択

- 昨年、一昨年同様投稿論文中のほとんどが実チップ評価であり、投稿論文全体の質が継続して向上。チップ特性のみならずシステム評価に踏み込んだ発表もあった。
- 投稿48(昨年:57), 採択18(昨年:18), 採択率37.5%(昨年:32%)

採択内訳:レギュラー 12、ショート 6

国別採択件数: 日本7件、中国1件、台湾3件、韓国2件、シンガポール1件、米国2件、カナダ1件、インド1件

- 送受信回路
 - Session3: TX/RX Architecture and Building Blocks
- ミリ波向け回路とシステム
 - Session11: Millimeter-Wave Circuits and Systems
- VCO,PLL技術
 - Session15: VCO & PLL

- **注目論文3件を紹介**
- **A 65nm CMOS, 1.5-mm² Bluetooth Transceiver with Integrated Antenna Filter for Co-Existence with a WCDMA Transmitter**
(日本: 東芝)
- **A 245 GHz, 2.6mW/pixel Antenna-less CMOS Imager with 0.7fW/Hz NEP and 3.5m Backscattered Range**
(米国: UCLA)
- **A 0.38 mm², 10MHz-6.6 GHz Quadrature Frequency Synthesizer using Fractional-N Injection-Locked Technique**
(日本、東京工業大学)

A 65nm CMOS, 1.5-mm² Bluetooth Transceiver with Integrated Antenna Filter for Co-Existence with a WCDMA Transmitter

- [3-2]日本、東芝
- 65-nm CMOSを適用した、1.5mm²の小型Bluetooth用トランシーバの発表
- 同一端末に実装されるGSM, WCDMA等のブロッカ信号を除去するアンテナフィルタを内蔵。-40°C~80°Cの範囲で温度特性を補正する機能も内蔵し、ブロッカを30dB減衰可能とした。
- 1.2V動作で送信時(+4dBm出力時)65.3mA, 受信時(受信感度-89.1 dBm)53.1mAでの動作を実現

A 245 GHz, 2.6mW/pixel Antenna-less CMOS Imager with 0.7fW/Hz NEP and 3.5m Backscattered Range

- [11-1]米国、UCLA
- 空港などで適用する身体検査むけイメージャに用いる245GHz帯のアンテナ搭載、超再生型受信回路の発表。
- 3.5mの距離で30度の角度まで対応可能。
- 40nmCMOSを適用し、0.036mm²のサイズで実現し、画素あたり2.6mWで動作可能

A 0.38 mm², 10MHz-6.6 GHz Quadrature Frequency Synthesizer using Fractional-N Injection-Locked Technique

- [15-1] 日本:東京工業大学
- 65nCMOSを適用した、0.38 mm², 10MHz-6.6 GHz動作の超広帯域シンセサイザの発表
- 全動作帯域での消費電力は16-26mWであり、広帯域ながら低い消費電力を実現
- 温度特性変動、電源電圧変動、プロセス変動をデジタルキャリブレーションで回避する機能を搭載
- 1.7GHz動作時での3MHzオフセット周波数での位相雑音は-135.3 dBc/Hz, 10kHzオフセットのインバンド雑音は-95.1dBc/Hzと実用的な性能を確認

各技術分野のご説明

- ・インダストリープログラム
- ・アナログ
- ・データコンバータ
- ・デジタル
- ・SoC
- ・RF
- ・Wireline
- ・新技術・応用
- ・メモリ

高速通信技術を支える卓越した研究成果を採択

投稿28(昨年:21), 採択11(昨年:9), 採択率39.29%(昨年:42.86%)

国名	韓国	台湾	中国	タイ	カナダ	アメリカ	日本
投稿数	5	8	2	1	2	5	5
採択数	3	4	1	0	0	2	1
採択率(%)	60	50	50	0	0	40	20

■ 有線通信・ミクストシグナル回路分野から2セッション

□-Session 5: High-Speed Transceivers and Building Blocks

□-Session 12: Clock Generation and Timing Circuits

- **注目論文3件を紹介**
- **A 20Gb/S Adaptive Duobinary Transceiver
(国立台湾大学)**
- **A 2.3-mW, 5-Gb/S Decision-Feedback Equalizing Receiver Front-End with Static-Power-Free Signal Summation and CDR-Based Precursor ISI Reduction
(ソウル大学)**
- **A Spread Spectrum Clock Generator Using Phase/Frequency Boosting with a Peak Power Reduction 14.6dB, RMS Jitter 1.45ps and Power 4.8mW/GHz for USB 3.0
(POSTECH)**

A 20Gb/s Adaptive Duobinary Transceiver

- 論文番号[5-1] 国立台湾大学の発表
- 送信機側に適応等化回路を搭載し、受信機側に判定帰還等化回路とほぼ同等の回路を搭載することにより、一般的に用いられるデュオバイナリ用のプリコーダ、デコーダを削除可能とし、低消費電力化を実現.
- 90nm CMOS テクノロジにて試作, 消費電力は送受信機で約120mW (電力効率:6mW/Gbps). 本伝送方式の送受信回路として, 最良の電力効率を実現.

A 2.3-mW, 5-Gb/s Decision-Feedback Equalizing Receiver Front-End with Static-Power-Free Signal Summation and CDR-Based Precursor ISI Reduction

- 論文番号[5-3] ソウル大学の発表
- 等化回路に、直接帰還方式とIIR (Infinite Impulse Response)フィルタによる判定帰還方式を組合せた信号加算方式と、オフセット補償を実行する、クロック動作の比較器を採用することにより、定電流を消費せず、低消費電力化を実現.
- 受信終端におけるインダクティブピーキングと、クロック再生回路のタイミング調整により、従来の連続時間線形等化(CTLE)回路も除去.
- 65nm CMOS LP テクノロジにて試作. 受信回路は、5 Gbps動作時で-15 dBの伝送損失まで補償でき、消費電力は2.3mW (電力効率:0.46mW/Gbps)を実現.

A Spread Spectrum Clock Generator Using Phase/Frequency Boosting with a Peak Power Reduction 14.6dB, RMS Jitter 1.45ps and Power 4.8mW/GHz for USB 3.0

- 論文番号[12-1] POSTECHの発表
- スペクトラム拡散を用いてEMIを低減するクロック生成回路において、リファレンスクロックと変調波形を理想的な三角波に近づける“phase/frequency booster”回路を提案.
- リファレンスクロックと変調後クロックの位相ズレが所定の範囲に収まるように制御することで波形歪を低減.
- 0.13 μ m CMOSテクノロジーにて試作. Boosterにより電力密度を1.5dB低減を達成. 周波数2.5GHzにおいて消費電力12mW, rmsジッタ1.45ps, 電力スペクトル14.6dB低減を実現.

各技術分野のご説明

- ・インダストリープログラム
- ・アナログ
- ・データコンバータ
- ・デジタル
- ・SoC
- ・RF
- ・Wireline
- ・新技術・応用
- ・メモリ

新デバイス・回路からシステム集積化技術,
さらには応用分野までの新しい技術を紹介

国名	シンガポール	韓国	台湾	日本	中国	合計	昨年(2011)
投稿数	7	4	5	2	2	26 (10ヶ国)	30 (17ヶ国)
採択数	4	3	2	1	0	12 (6ヶ国)	11 (9ヶ国)
採択率(%)	57.1	75	40	50	0	46.2	36.7

■ 2セッションを構成

□ Session 7: Emerging Biomedical Circuits and Systems

- Chairs: Prof. Reiji Hattori and Prof. Koji Kotani

□ Session 14: Ultra Low-Power Circuits for Emerging Communication Systems

- Chairs: Prof. Jerald Yoo and Prof. Seungjun Lee

- **メディカル・バイオ関連の論文が急増（採択全12件中9件）**
- **シンガポールの大躍進（7件投稿, 4件採択）**
- **注目論文4件を紹介**
 - **Ultrasonic Imaging Front-End Design for CMUT: a 3-Level 30Vpp Pulse-Shaping Pulser with Improved Efficiency and a Noise-Optimized Receiver（米国MIT）**
 - **An Inductively Powered CMOS Multichannel Bionic Neural Link for Peripheral Nerve Function Restoration（シンガポール国立大）**
 - **A 45uW Injection-Locked FSK Wake-Up Receiver for Crystal-Less Wireless Body-Area-Network（韓国KAIST）**
 - **Photovoltaic-Assisted CMOS Rectifier Circuit for Synergistic Energy Harvesting from Ambient Radio Wave（東北大）**

Ultrasonic Imaging Front-End Design for CMUT: a 3-Level 30Vpp Pulse-Shaping Pulser with Improved Efficiency and a Noise-Optimized Receiver

- 論文番号[7-1] 米国MITの発表
- 容量性マイクロマシニングトランスデューサ(CMUT)による超音波診断向け, 4チャンネルアナログフロントエンド
- 3レベルパルスシェーピングにより, 超音波発生効率が従来技術より50%向上
- 雑音・バンド幅・消費電力面で最適化されたTIAベースのLNAによる受信回路
- 収束ビーム形成や反射パルス測定を通してシステム動作を実証

An Inductively Powered CMOS Multichannel Bionic Neural Link for Peripheral Nerve Function Restoration

- 論文番号[7-3] シンガポール国立大学の発表
- 損傷を受けた末梢神経部位を電氣的に接続するための多チャンネル生体神経信号伝送(Bionic Neural Link)用SoC
- 8チャンネル神経信号記録と4チャンネル神経刺激回路を集積化
- 誘導結合により3V, 1.5mAのチップ消費電力をワイヤレス供給
- 動物実験により完全動作を実証

A 45uW Injection-Locked FSK Wake-Up Receiver for Crystal-Less Wireless Body-Area-Network

- 論文番号[14-2] 韓国科学技術院(KAIST)の発表
- ワイヤレス身体通信向けの超低消費電力ウェイクアップ受信機
- 受信信号を用いる注入同期デジタル制御発振回路と逐次比較アルゴリズムによる周波数自動補正により高効率動作を実現
- 0.18umCMOS技術により試作した回路は, 0.7Vの電源電圧で45uWの消費電力で動作
- データレート312kb/s, 0.25%(@80MHz)の周波数安定性を実証

Photovoltaic-Assisted CMOS Rectifier Circuit for Synergistic Energy Harvesting from Ambient Radio Wave

- 論文番号[14-1] 東北大学の発表
- 環境電波発電向け整流回路
- 一般的な動作環境において環境電波と共に同時に存在する光(室内光程度)を利用して整流回路の電力変換効率を改善
- pn接合を光電変換素子(太陽電池)として用い, 光起電圧により整流回路のMOSFETのしきい値電圧を補正
- 920MHz, -20dBmの高周波入力, 47k Ω の出力負荷条件下で, 従来技術の2倍に相当する20%以上の電力変換効率を実現

各技術分野のご説明

- ・インダストリープログラム
- ・アナログ
- ・データコンバータ
- ・デジタル
- ・SoC
- ・RF
- ・Wireline
- ・新技術・応用
- ・メモリ

- 投稿17本(企業6、大学11)、採択7本(企業2、大学5)
採択率41%。
 - 投稿数は前年と比較して微増
 - 1.5セッションを構成
 - Advanced Memory (1セッション)
 - SSD Memory and High Frequency Analog (0.5セッション)
- 多彩なNANDフラッシュとSRAMの論文を採択
 - SRAM パワーモニター、CAM、極低電圧動作
 - NANDフラッシュ SSD(2)、信頼性向上、エラー訂正
- 国別投稿数: 台湾6、日本5、シンガポール2、韓国1、中国1、米国1、スウェーデン1
- 国別採択数: 日本3、台湾1、シンガポール1、韓国1、米国1
- 大学の採択率が向上(採択率:45%、2011年は11%)

An Embedded Energy Monitoring Circuit for a128kbit SRAM with Body-biased Sense-Amplifiers

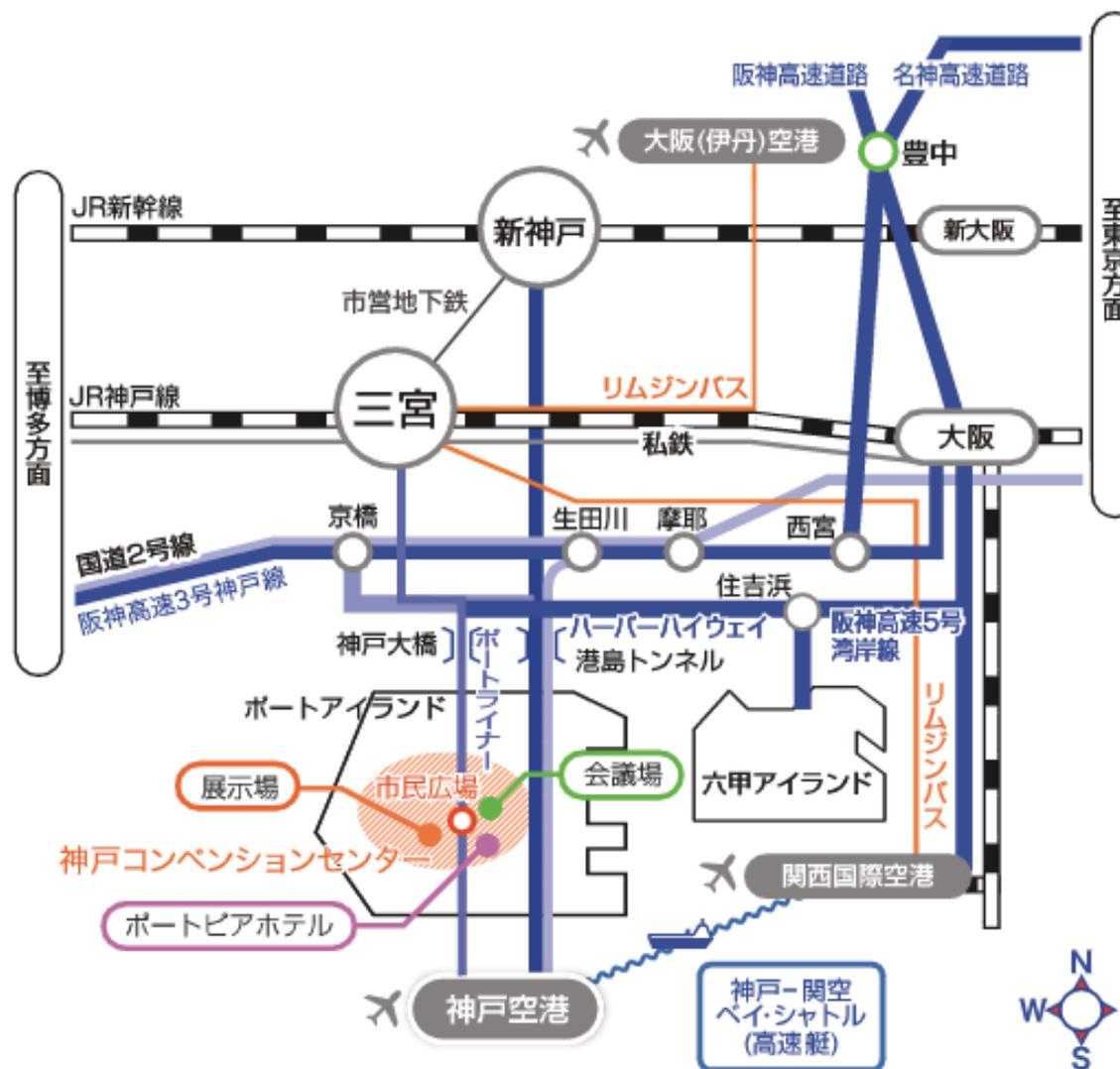
- MIT
- SRAMの消費エネルギーモニター回路
- Off-Chipのキャパシタの電位をモニターすることにより消費エネルギーを算出
- 65nmプロセス動作を実証

Adaptive Program Verify Scheme for Improving NAND Flash Memory Performance and Lifespan

- Samsung Electronics
- Verify電圧を製品の使用頻度に応じて変えることにより、プログラムスピードと製品寿命を向上させるコンセプト
- プログラムスピードを平均11%、製品寿命を約10%改善できることを確認

VSET/RESET and VPGM Generator without Boosting Dead Time for 3D-ReRAM and NAND Flash Hybrid Solid-State Drives

- 中央大学
- 3D-ReRAMとNAND flashを利用したハイブリッドSSDで利用する昇圧回路
- ReRAMに使用する3V、NAND flashに使用する20Vをシングルコイルで、同時に出力可能
- ダブルコイルのジェネレータと比較して15%の面積低減を実現



■ コンタクトは事務局まで:

a-sscc2012@semiconportal.com
(c) A-SSCC



A-SSCC 2012



- Asian Solid-State Circuits Conference 2012 - A-SSCC 2012 のご案内

会 期: 2012年11月12日～14日

場 所: 神戸国際会議場(神戸市ポートアイランド)

Web: <http://www.a-sscc.org/>

本日の電子データは以下のサイトにあります

<http://www.vdec.u-tokyo.ac.jp/a-sscc2012/>