

# SEUとMCU、SETパルス幅を同時に測定可能なソフトエラー評価回路

推薦者: 京都大学大学院 情報学研究科 小野寺秀俊

Email: onodera@i.kyoto-u.ac.jp, TEL: 075-753-5314

学生氏名: 古田 潤

概要 近年 LSI の微細化によりソフトエラーによる信頼性の低下が問題となっている。本稿ではフリップフロップの SEU(Single Event Upset) と MCU(Multiple Cell Upset) の発生率と、バッファチェーンにおける SET パルスのパルス幅を同時に測定可能な回路構造を提案する。提案回路に白色中性子ビームを照射することで加速試験を行い、SEU と MCU の発生率、SET パルス幅を測定し、ソフトエラーが信頼性に与える影響を定量的に測定した。その結果、MCU 発生率は SEU の約 8% 程度であり、三重化フリップフロップのエラー耐性を通常のフリップフロップの 12 倍程度に低下させることが分かった。SET パルス幅はパルス幅が小さいほど発生率が高く、タップセルを密に配置することで SET パルス幅を低減できることが判明した。

## 1 はじめに

プロセスの微細化に伴い LSI の信頼性は悪化し、ソフトエラーに代表される一過性のエラーや、NBTI(Negative Bias Temperature Instability) に代表される経年劣化による LSI の誤動作が問題となりつつある。一過性のエラーを引き起こすソフトエラーは粒子線が LSI 基板に衝突する事で生じる。粒子線の衝突により電子正孔対が生じ、その内の少数キャリアがドリフトや拡散によってトランジスタのドレイン領域に集められる。それによりトランジスタの出力が反転し、LSI が一時的に誤動作する。ソフトエラーは 1 つの記憶素子のデータを反転する SEU (Single Event Upset)、複数の記憶素子のデータを反転する MCU(Multiple Cell Upset)、論理回路の出力に一過性のパルスが発生する SET(Single Event Transient) の 3 つに分類される。

ソフトエラー率の測定には粒子線をチップに照射する加速試験が一般的に用いられる。SRAM における SEU、MCU 発生率の測定結果は非常に多く報告されている。一方、フリップフロップにおける SEU と MCU 発生率、組み合わせ回路の SET パルスの測定結果は少なく、特に MCU 発生率に関しては全く報告されていない。また SET パルスの測定結果ではパルス幅の測定精度に関して問題があることが指摘されており、正確なパルス幅測定が求められている。

本稿ではバッファで生じた SET のパルス幅分布を高い精度で測定すると同時にフリップフロップの SEU、MCU 発生率も測定可能な新しい回路構造を提案する。大阪大学核物理研究センターの白色中性子ビームを用いた加速試験によるソフトエラーの測定結果について報告し、SEU と MCU、SET が FF のエラー率に与える影響を定量的に示す。

## 2 ソフトエラー評価回路

### 2.1 従来回路と提案回路の概要

FF での SEU の測定には一般的にシフトレジスタ構造が用いられる [1, 2]。粒子線照射中はクロック信号を High または Low に固定することで FF のデータを保持し、照射後にクロック信号を適用することで SEU の発生した FF を取得することができる。一方で SET パルス幅の測定回路では図 1 の上のようにインバータ等の論理ゲートのチェーン出構成される被測定回路と、パルス幅を測定する回路が直列に接続された回路が用いられる [3, 4]。しかし SET パルスがチェーンを通過する間にそのパルス幅が線形に変化することが報告されている [5, 6, 7]。SET パルスの発生個所によってチェーンの通過段数が変化するため、SET の発生個所によってチェーン通過によるパルス幅の変動量が異なる。測定結果のパルス幅は SET パルスの発生個所に強く依存する結果となり、従来回路では SET パルス幅が正確に測定できない。

SET パルス幅を正確に測定するために図 1 下の回路を提案する。提案回路では被測定回路であるバッファチェーンに平行して測定回路を接続している。従来回路の問題点であるチェーン通過によるパルス幅の変動を SET パルスの測定に用いており、SET パルスのパルス幅がバッファチェーン通過によって線形減少するように設計している。SET が消滅するまでに通過するバッファ段数がパルス幅に比例するため、通過した段数を測定することでパルス幅が測定できる。測定回路はフリップフロップで構成されており、SET パルスが通過したバッファ段数を測定して SET パルス幅を測定するだけでなく、フリップフロップで生じる SEU や MCU も同時に測定可能である。

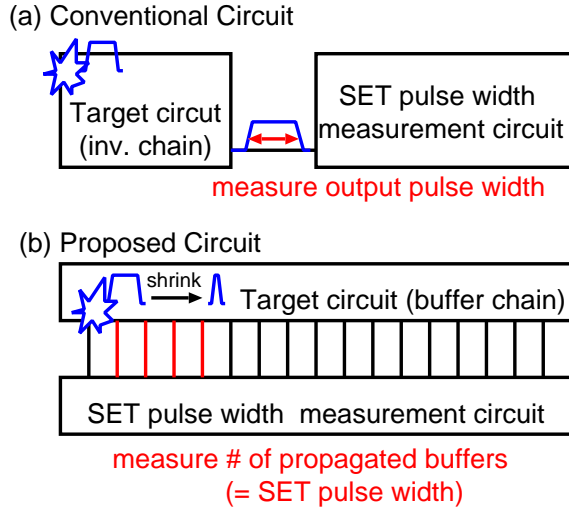


図 1: 従来の SET パルス幅測定回路 [3]。

## 2.2 チェイン通過によるパルス幅変動現象

図 2 に示すようにバッファチェーン通過によるパルス幅の変動  $\Delta W$  は立ち下がり遅延時間  $d_{fall}$  と立ち上がり遅延時間  $d_{rise}$  の違いによって生じる。バッファ 1 段当たりの  $d_{fall}$  と  $d_{rise}$  は以下のように近似できる。

$$d_{fall} \approx k \left( \frac{C_g}{0.5g_{mp}} + \frac{0.5C_g}{g_{mn}} \right) \quad (1)$$

$$d_{rise} \approx k \left( \frac{C_g}{0.5g_{mn}} + \frac{0.5C_g}{g_{mp}} \right) \quad (2)$$

$g_{mp}$ ,  $g_{mn}$  はそれぞれ pMOS と nMOS のトランスコンダクタンスであり、 $C_g$  は駆動力 1x インバータのゲート容量である。式 (1) と式 (2) により  $\Delta W$  は式 (3) のように計算できる。

$$\Delta W = d_{fall} - d_{rise} = \frac{3}{2} k C_g \left( \frac{1}{g_{mp}} - \frac{1}{g_{mn}} \right) \quad (3)$$

チェイン通過によるパルス幅の変動は pMOS と nMOS のトランスコンダクタンスの差によって決定される。よってバッファの pMOS と nMOS のサイズ比を変更することで 1 段当たりのパルス幅の変動量を調節することができる。

## 2.3 提案ソフトウェア評価回路

提案ソフトウェア測定回路の回路構造を図 3 に示す。測定回路にはシフトレジスタ構造を用い、各バッファの出力をフリップフロップのクロック入力に接続している。SET パルスがバッファチェーンで生じると、SET が生じたバッファ以降の FF は SET パルスによって値がシフトする。生じた SET パルスはパ

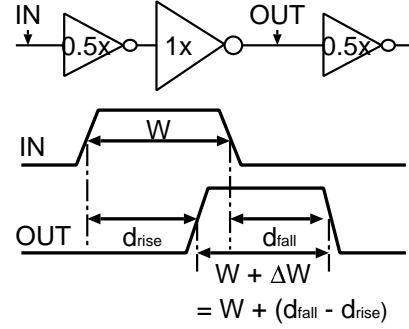


図 2: チェイン通過によるパルス幅変動。

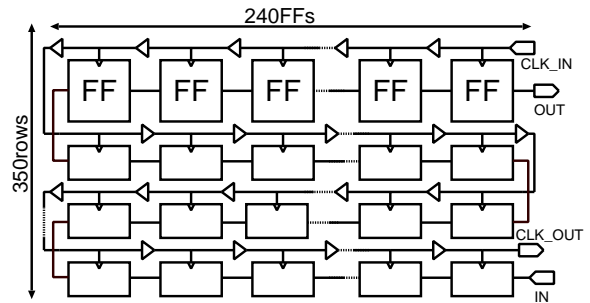


図 3: 提案する SET パルス幅測定回路。

ルス幅縮小現象によって線形減少するため、生じた SET パルスの幅によってシフトする FF の個数が決定される。図 4 に示すような縦縞模様で FF の保持データを初期化すると、SET パルスによってシフトした FF の個数は容易に判定可能であるため、提案回路によって SET パルス幅を高い精度で測定する事が可能となる。測定回路はシフトレジスタ構造であるため、SEU と MCU も同時に測定することができる。バッファチェーン上の SET パルスが SEU と同時に生じた場合でも、SET パルスは FF の保持データを書き換えずにシフトさせるだけであるため、SEU が消滅することがなく、SET と SEU の両方を測定できる。

以下に提案回路の特徴をまとめる。

1. パルス幅伸縮現象による測定結果の誤差がなく、高精度な測定が可能。
2. 遅延時間ではなく、パルス幅縮小現象を用いてパルス幅を測定するため、1ps 以下の測定分解能が実現可能。
3. 測定分解能をフリップフロップの初期化方法によって任意の値に変更できる。
4. 10ns を越える SET パルスも測定が可能であるため、実測による分解能の評価が容易。
5. SET パルス幅と同時にフリップフロップでの SEU、MCU 発生率も測定。

提案回路の欠点として回路の面積が大きいことが挙げられるが、提案回路ではフリップフロップの SEU、



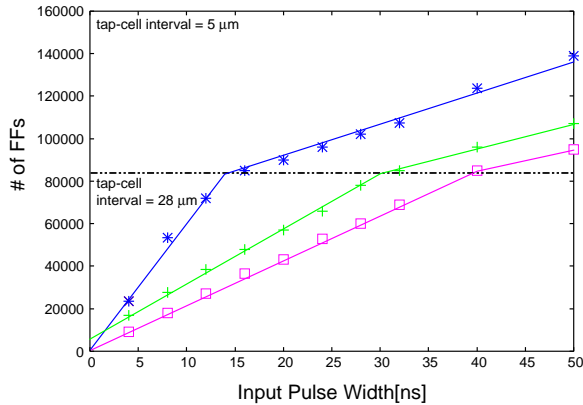


図 8: バッファチェーンにおけるパルス幅縮小現象の測定結果。

ルス幅測定回路の測定分解能を評価した結果について示す。評価方法は以下に示す方法で行った。

- 全ての FF を縦縞模様になるように各行の FF の保持データを 20 段ごとに変更して初期化する。
- 図 3 の CLK\_IN に外部から任意の幅の矩形波を入力する。
- FF の保持データを読み出し、入力したパルスによって値がシフトした FF の段数を取得する。

この測定により各入力パルス幅が、バッファチェーンにおけるパルス幅の縮小現象によって消滅する段数を実測によって評価できる。

図 8 に 3 チップの測定結果を示す。入力パルス幅とシフトした FF の個数は比例の関係にあり、バッファチェーンにおけるパルス幅の縮小現象を利用した図 3 の SET パルス幅測定回路は正しく SET パルスが測定できると言える。しかしパルス幅の変動量はチップ毎に傾きが大きく異なり、またタップセルの挿入間隔によっても異なる。1 段のバッファを通過するごとに減少するパルス幅は 0.16–1.0 ps/buffer となった。この縮小両の違いはチップ間ばらつきによって pMOS と nMOS のトランスコンダクタンスがチップ毎に異なるためと推測される。

#### 4.2 各ソフトエラーの発生率

図 9 に提案回路でソフトエラーを測定した結果の例を示す。SET によるフリップフロップの反転と、SEU による反転が容易に区別できることが分かる。また SEU と MCU、SET の発生率を表 1 に示す。フリップフロップでも MCU の発生を確認し、その発生率は SEU の約 8% となった。MCU の対策なしでは三重化フリップフロップのソフトエラー耐性は通常のフリップフロップのわずか 13 倍程度となる。フリップフロップでも MCU の対策は必須となると言える。

表 1: フリップフロップの SEU と MCU、バッファにおける SET の発生率。単位は [n/Mbit/h]。

SEU	MCU	SET
342	26.8	18.0

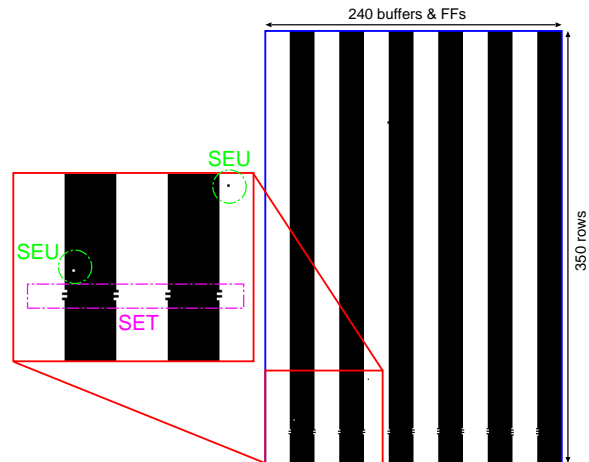


図 9: ソフトエラーの測定結果例。

#### 4.3 SET パルス幅測定結果

図 10 に加速試験によって測定した SET パルス幅の分布を示す。図 8 から求めたチップ毎の縮小量と SET パルスによってシフトしたフリップフロップの段数を乗算して求めた。SET パルスが終端の CLK\_OUT まで到達した場合には SET パルス幅が測定不能であるため、図 10 では除いている。SET パルスのパルス幅分布はパルス幅が小さいほど発生率が高く、指数関数敵に減少していることが分かる。タップセルを密に配置することでパルス幅の大きい SET パルスが減少し、350ps 以上の SET パルスの発生数は 22 から 2 と大きく減少している。粒子線の衝突による基板電位の上昇によって寄生パイボラが ON となり、電荷が供給されることで SET パルスのパルス幅が増加していることが推測される。SET パルスによるエラーを低減するためにはタップセル密度を高くすることが効果的である。

#### 4.4 フリップフロップの SEU、MCU 発生率

保持データの値とクロック信号の値による SEU、MCU 発生率の違いを表 2 に示す。保持データは図 6 のノード QM、QS の値とした。保持データの値により大きく SEU の発生数が異なり、MCU に関しては保持データが 0 の場合では全く発生していない。SEU の発生数が多いのは QM、QS が 1 の場合であり、この場合ではどちらもトライステートインバータの出力が 1 となっている。トライステートインバータは

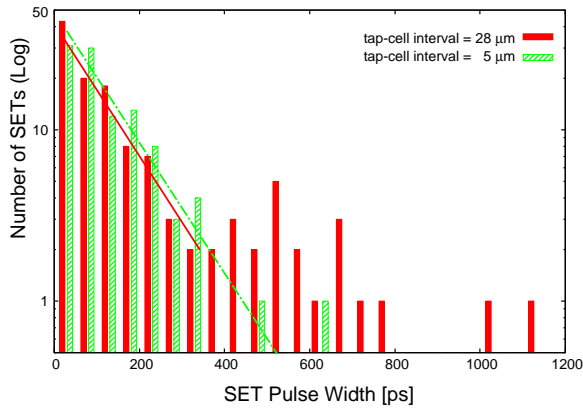


図 10: SET パルスのパルス幅分布。

表 2: 保持データによる SEU、MCU 発生率の違い。QM と QS は図 6 のノード電位を示す。

クロック	保持データ	SEU (n/Mb/h)	MCU (n/Mb/h)
CLK = 1 (Master)	QM = 0	541	88
	QM = 1	222	0
CLK = 0 (Slave)	QS = 0	493	19
	QS = 1	112	0

駆動力が非常に弱いため容易に反転する。一方で反転した値が駆動力の強いインバータによって即座にトライステートインバータの入力に伝播し、フリップフロップが完全に反転するのに必要な時間が短い。そのため QM、QS が 1 の場合には SEU、MCU が発生しやすいと推測される。MCU の発生率ではクロックによっても大きく異なり、4 倍程度の差がある。フリップフロップのマスターラッチ間の距離とスレイブラッチ間の距離がそれぞれ  $0.73 \mu\text{m}$ 、 $1.06 \mu\text{m}$  となっている。スレイブラッチ間の方が離れて配置されているため、粒子線の衝突が 2 つのスレイブラッチに影響を与える確率が低くなり、MCU 発生率が低下したと推測される。

## 5 まとめ

本稿ではバッファチェーンにおけるパルス幅の縮小現象を利用して SET パルスのパルス幅を測定し、かつフリップフロップの SEU と MCU 発生率も同時に測定可能なソフトエラー評価回路を提案した。従来回路ではチェーン通過によるパルス幅の変動によって測定精度が低下していたが、提案回路ではパルス幅の変動を測定に利用することで 1ps 以下の構文皆納を実現した。

提案回路に白色中性子ビームを照射する加速試験

を用いて、SEU と SET の発生率と SET パルス幅の測定を行った。SET パルスはパルス幅が小さいほど発生率が高く、パルス幅が増加に伴い指数関数で発生率が減少する結果となった。タップセルを密に配置することで SET パルス幅を低減でき、350 ps 以上のパルス幅の SET は 22 から 2 と約 9% となった。また MCU 発生率は SEU の約 8% 程度であり、三重化フリップフロップのエラー耐性を通常のフリップフロップの 12 倍程度に低下させることが分かった。三重化フリップフロップのような冗長化回路を設計する場合には MCU を考慮した設計が重要となる。

## 6 謝辞

本研究の一部は、経済産業省から STARC に委託された「次世代回路アーキテクチャ技術開発事業」により実施した。チップ試作は東京大学大規模集積システム設計教育研究センターを通し 株式会社半導体理工学研究センター、(株)イー・シャトルおよび富士通株式会社の協力で行われた。

## 発表文献

- [1] J. Furuta et al., *IRPS2011*, 2011/04.
- [2] J. Furuta et al., *ASP-DAC2011*, 2011/01.
- [3] 古田 潤 他, DA シンポジウム, 2010/09.
- [4] J. Furuta et al., *SELSE6*, 2010/03.

## 参考文献

- [1] T. Heijmen et. al. In *IEEE International Reliability Physics Symposium Proceedings*, pp. 204 –211, march 2006.
- [2] H. Fukui et. al. In *Symposium on VLSI Technology*, pp. 222 – 223, 14-16 2005.
- [3] B. Narasimham et. al. *IEEE Transactions on Device and Materials Reliability*, Vol. 9, No. 2, pp. 325 –333, june 2009.
- [4] Y. Yanagawa et. al. *IEEE Transactions on Nuclear Science*, Vol. 53, No. 6, pp. 3575 –3578, dec. 2006.
- [5] V. Ferlet-Cavrois et. al. *IEEE Transactions on Nuclear Science*, Vol. 54, No. 6, pp. 2338 –2346, dec. 2007.
- [6] M.J. Gadlage et. al. *IEEE Transactions on Device and Materials Reliability*, Vol. 10, No. 1, pp. 157 –163, march 2010.
- [7] L.W. Massengill et. al. *IEEE Transactions on Nuclear Science*, Vol. 55, No. 6, pp. 2861 –2871, dec. 2008.