Systems Design Lab

2026
Systems Design Lab, School of Engineering,
The University of Tokyo
Annual Report

令和８年度
ISSN 2436-6552

東京大学大学院工学系研究科
附属システムデザイン研究センター
先端設計研究部門・先端デバイス研究部門
（旧VDEC）基盤設計研究部門・基盤デバイス研究部門

年　報



Systems Design Lab, School of Engineering
The University of Tokyo 2026



Message from the Director of d.lab

東京大学大学院工学系研究科附属システムデザイン研究センター（d.lab）

池田 誠

東京大学大規模集積システム設計教育研究センター（VDEC）は，我が国の大学等における半導体集積回路の設計・試作・教育を支える基盤として，1996年5月に発足しました．2019年10月には，学内改組に伴い，東京大学大学院工学系研究科附属システムデザイン研究センター（d.lab）基盤設計研究部門にその機能が継承され，以後，VDEC機能として活動を継続しています．この間，VDECは，半導体集積回路の設計環境，試作機会および研究教育基盤を全国の大学等に提供し，我が国における半導体集積回路分野の研究・教育と人材育成を支えてまいりました．

そして2026年5月，VDECは発足30周年という大きな節目を迎えました．これを記念し，2026年5月11日に「10年後の日本の半導体集積回路の研究教育を考える会 ～VDEC活動30周年を機に～」を開催しました．当日は，産学官をはじめ各界から多くの皆様にご参加いただき，それぞれのお立場からご挨拶と貴重なご意見を頂戴しました．VDECの30年にわたる歩みを振り返るとともに，今後10年を見据えた日本の半導体集積回路分野における研究・教育のあり方について議論を深め，VDECがこれまで果たしてきた役割と，その活動を将来にわたって継続・発展させていくことの重要性を改めて認識する機会となりました．

現在，世界各国において，先端半導体の製造基盤に対する大規模な投資が一層拡大しています．また，生成AIをはじめとするAI技術の急速な普及に伴い，AIアクセラレータのみならず，高帯域メモリをはじめとする各種メモリや先端パッケージングへの需要も急増し，半導体の市場価値と戦略的重要性はこれまで以上に高まっています．こうした状況のもと，先端製造技術を生かし，用途に応じて性能，消費電力，信頼性およびコストを最適化する集積回路設計の重要性は，今後ますます増大すると考えられます．さらに，微細化だけでなく，チップレット，三次元集積，先端パッケージングなどを含め，デバイスから回路，アーキテクチャ，システムまでを一体的に捉える設計力が，半導体の競争力を左右する時代を迎えています．

同時に，集積回路設計の複雑化と大規模化が急速に進むなか，AIを設計プロセスそのものに活用することの重要性も一段と高まっています．回路構成やシステムアーキテクチャの探索，論理設計，検証，レイアウト，性能・消費電力・面積の最適化など，設計工程のさまざまな段階でAIを活用することにより，設計期間の短縮と設計品質の向上を図るとともに，従来の手法だけでは探索が困難であった新たな設計解を創出することが期待されています．今後は，AIのための半導体を設計するだけでなく，AIを活用して半導体を設計するという両面から，研究・教育および設計環境を発展させていくことが重要です．

文部科学省「次世代X-nics半導体創生拠点形成事業」に採択された「Agile-X ～革新的半導体技術の民主化拠点」においても，設計・試作環境の高度化を進めてきました．その成果として，設計完了後，半日以内にチップを完成させるプロセスの構築を完了し，実際の研究開発に活用できる段階を迎えています．この迅速な試作基盤は，集積回路の設計から実チップによる検証までのサイクルを大幅に短縮し，多様な設計アイデアを速やかに具体化するものです．さらに，AIを活用した設計技術と組み合わせることにより，設計，試作，評価，改良のサイクル全体を一層高速化し，革新的な半導体技術の創出と，集積回路設計への参入機会の拡大に貢献することが期待されます．

このような認識のもと，d.labおよびVDECは，これまで培ってきた設計・試作・評価の基盤をさらに発展させるとともに，AIを活用した次世代の集積回路設計手法と設計環境の研究・教育にも積極的に取り組んでまいります．

また，Agile-Xで構築した迅速なチップ試作基盤を活用し，設計から実証までを一体的かつ機動的に進められる環境を充実させてまいります．さらに，これらを担う研究者・技術者の育成に一層注力し，今後10年の日本の半導体集積回路分野における研究・教育の発展に貢献してまいります．

池田 誠

Systems Design Lab

2026
Systems Design Lab, School of Engineering,
(VLSI Design and Education Center),
The University of Tokyo
Annual Report

C O N T E N T S

ご挨拶 ……1

第1章　d.labの紹介 …… 4

第2章　d.lab事業の紹介と2025年度事業報告…… 5

2.1　先端設計研究部門 ……5
2.2　先端デバイス研究部門 ……11
2.3　基盤設計研究部門 ……12
2.4　基盤デバイス研究部門……15
2.5　「アドバンテストD2T寄附講座」活動報告……19

第3章　d.lab概要 …… 22

3.1　組織概要……22
3.2　人事報告……23
3.3　新任・退任ご挨拶……27
3.4　決算報告……29

第4章　研究報告 －各研究室－ …… 32

4.1　全体概況……32
4.2　研究室構成員（2025年度）……33
4.3　研究概要……38
4.4　研究発表……57
4.5　特許，受賞等……102

付録（Appendix） …… 106

A. 旧VDEC事業関連……106
　A.1　CADソフトウェアの整備……106
　A.2　基盤設計研究部門におけるチップ試作支援の実施状況……107
　A.3　セミナー ……109
　A.4　VDEC発ベンチャー……112
B. チップ試作結果報告……113
　B.1　試作ラン別一覧……114
　B.2　チップ種別一覧……117
　B.3　各チップの詳細……120
C. Publication list（VDEC利用者に関する発表文献リスト）……153
D. VDECの利用規程・申し込みガイド……181
E. IPデータベースの整備……186

第1章　d.labの紹介

1996年5月，東京大学に全国共同利用施設として大規模集積システム設計教育研究センター（VDEC）が設置されました．ほぼ世界に先駆けて，日本国内の国公私立大学・高専をカバーするEDAツールライセンスを導入するとともに，当時，世界中のアカデミアがアクセス可能なプロセスの中でもフロントランナーを走り，ツール講習会，設計法の講習会，リフレッシュセミナー，テスター利用の講習会などを実施し，日本全体で多くの優秀な人材を半導体産業に輩出してきました．当初，0.5 μm CMOS，1.2 μm CMOSから始まった試作メニューも，0.35 μm，0.18 μm，90 nm，65 nm，40 nmと順調にスケーリングを追いかけながら，設計環境の高度化に資してきました．しかし，その後，日本国内における先端プロセスのファブの進化が止まったことに伴い，先端の試作はすべて海外のファブを使用するという状況に至っています．

一方，世界では，半導体メーカーが供給する汎用チップでは競争に勝てないとの判断のもと，米国の大手IT企業（俗にGAFA）などが専用ロジック（アクセラレータ）チップを自社開発する時代が到来しました．

東京大学では，基盤的活動だけでなく，半導体研究の強化を目指し，2019年10月に工学系研究科内の附属センターとしてシステムデザイン研究センター（d.lab）を設置しました．d.labは，先端研究を担う先端設計研究部門および先端デバイス研究部門に加え，VDECが合流し，その活動を担う基盤設計研究部門，武田クリーンルームを核とするデバイス研究共用設備を担う基盤デバイス研究部門の4部門で運営しています．2019年11月にはTSMCと戦略提携を結び，共同研究などを開始し，2025年4月にはTSMC東大ラボを開設しました．同ラボでは，従来の共同研究に加え，半導体分野の人材育成の強化などを目指す社会連携講座（Advanced Semiconductor Creation（ASC）Program）をd.labに設置しています．また，2007年10月に設置されたアドバンテストD2T寄附研究部門は，2019年10月からアドバンテストD2T寄附講座となり，2025年10月に第7期を迎えました．複雑化し，社会的重要性が増しつつある大規模集積システムの高信頼化を目指し，新たな設計フロー，検証フロー，試験・診断フローの研究・開発を行っています．

2020年10月からd.lab協賛事業を開始し，協賛会員は現在40社程度となっています．加えて，2020年8月に先端システム技術研究組合（RaaS）を設立し，産学官連携の体制を整えました．d.labとRaaSのオープン・クローズ戦略を両輪として，学術・社会連携と産学協創を推進しています．2018年8月から2023年3月まで，経済産業省・NEDO（新エネルギー・産業技術総合開発機構）によるプロジェクト「AIチップ開発加速のためのイノベーション推進事業／研究開発項目②：AIチップ開発を加速する共通基盤技術の開発」をAIST（産総研）とともに受託し，「AIDC（AIチップ設計拠点）」の活動を開始しました．この活動は，従来，完全にアカデミア向けであったVDECの機能を，中小企業・ベンチャー・大学における開発型プロジェクトにも拡張するものです．NEDOのプロジェクト終了後の2023年4月以降も，有料化することで活動をさらに活性化させています．

人材育成面では，従来のVDEC活動におけるセミナーに加え，2024年4月から東京大学学部横断型教育プログラム「半導体教育プログラム（SPIRIT: Semiconductor education Program for Interdisciplinary Research and InnovaTion）」を開始し，従来の学部・学科の枠を超えた半導体分野の人材育成プログラムとして実施しています．さらに，2024年11月から「ポスト5G情報通信システム基盤強化研究開発事業／人材育成／最先端デジタルSoC設計人材育成」においても，テンストレント社やEDAベンダーとともに，EDAツールの利用やSoC設計に関するハンズオントレーニングを含む教育，さらには米国テンストレント社におけるOJTを通じた先端SoC設計人材の育成にも取り組んでいます．

第2章　d.lab事業の紹介と2025年度事業報告

2.1　先端設計研究部門

2.1.1　先端設計研究部門の事業概要紹介

先端設計部門は，教授3名，准教授1名，特任教授1名，上席研究員2名（兼務含）で構成されており，エネルギー効率と設計効率の高い半導体集積回路の設計を目指しています(2026年3月現在).

各研究室での研究とは別に，組織として大きく2つの活動を行っています．1つ目は，d.lab協賛事業です．これはd.lab内の他部門の方々にもご協力いただいているものです．2つ目は，先端システム技術研究組合への参画です．本節では，これら2つの2025年度の活動について報告いたします.

2.1.2　d.lab協賛事業

システムデザイナーと半導体関連事業者が集い，情報・意見交換を行い，学術・社会連携をオープンに議論する 国際知価センター を目指してd.lab協賛事業を2020年度に開設しました．IoT，AI，5G，自動運転・制御，ヘルスケアなどのシステムデザイナーのアイデアと，先端CMOSや3D集積などの先進半導体技術と，それを支える素材や製造装置を結びつけるハブを目指しています．2025年度は，最終的に38社にご参加いただきました．表2.1.1が2025年度の協賛会員企業一覧です．ご参加賜りました各社の皆様にここに改めて厚く御礼申し上げます.

2025年度は，d.labの研究成果の報告にとどまらず，東京大学の著名教授や学生との交流，世界の大学や研究機関との交流，国際会議の情報提供，産業界のトップレベルの交流，見学ツアーなどをWebinar形式に加え複数回のリアルイベントというプログラムを構成しました．以下2025年度の協賛事業の活動を報告いたします．2025年度も6月から3月のほぼ1年間にわたり活動を行いました．表2.1.2に2025年度に開催したイベント及びセミナーの一覧を示します.

2025年6月4日に2025年度第1回イベントとして，d.lab協賛事業キックオフ特別講演会および懇談会を行いました．18世紀半ばに英国に始まった産業革命は，蒸気機関をドライビングフォースとして1人あたりのGDPを増加させました．蒸気と鉄が，膨大な量の炭鉱から溢れる水を汲み，衣服の糸を紡ぎ，機関車を走らせ，人々の暮らしを豊かにしたのです．そして今，我々はIoT，AI，ビッグデータなどの技術革新によってもたらされる第4次産業革命の入り口に立っています．電気とシリコンが，膨大な量の画像，音声，温度など様々な情報を処理し，自動運転や生成AIなどの新たなサービスを産みつつあります．これらの技術革新はすべて半導体が，いわばドライビングフォースなのです.

d.lab協賛事業2025年度キックオフ特別講演会では，AIと半導体を大括りのテーマとし，日本で行われているさまざまな取り組みを紹介しました．最初に，株式会社Preferred Networks共同創業者 代表取締役 最高技術責任者 最高研究責任者，株式会社Preferred Computational Chemistry 代表取締役社長である岡野原大輔様から「AI×半導体で世界はどう変わるのか」と題して，基調講演をしていただきました．その後，株式会社ABEJA CEO室/Labs ラボ長である藤本敬介様から「ミッションクリティカル業務を支援する ABEJA Platformのご紹介」，株式会社EQUES代表取締役である岸尚希様から「東大松尾研発スタートアップによるAIの現場活用までの道筋とその事例」と，3社のAIの社会実装例をご紹介いただきました．その後，d.labの近藤翔午学術専門職員が「日米半導体協定後の半導体業界の対応と動向」と題し半導体業界の歴史を振り返る講演を行いました．引き続いて，東北大学教授／Tokyo Artisan Intelligence株式会社代表取締役/CEO, CTOである中原啓貴 様から「ビジョンAI用途向け再構成可能LSIチップ開発と社会実装について」と題してご講演いただき，その後2つめの基調講演を理化学研究所R-CCSチームリーダー／慶應義塾大学教授である近藤正章様から「富岳NEXTプロジェクトの始動：AIとHPC融合のためのシステム構築に向けて」と題して行っていただきました．セミナーの結びには，d.lab特任教授の濱田基嗣から，「2025年度の協賛事業イベントについて」と題し，25年度のイベント計画案について広報しました．本講演会は，東京大学武田先端知ビル武田ホールにてオンサイト形式で行われ，講演会後には参加していただいた皆様と懇談会を行い，名刺交換等の情報交換を行いました.

7月2日には，2025 IEEE 75th Electronic Components and Technology Conference（ECTC 2025）の報告会を行いました．本会議は，IEEE Electronics Packaging Society

が主催するパッケージ，部品，マイクロエレクトロニクスシステムについての科学・技術について幅広く議論する，今年で75回目の開催となる伝統のある世界有数の国際会議です．今回は米国テキサス州ダラスにて開催されました．技術プログラムは，パッケージング技術全般にわたる最先端の開発成果と革新技術をカバーし，チップレット，ハイブリッド接合，モデリングとシミュレーション，インターコネクション，材料とプロセス，信頼性，製造技術などが主なトピックスとして構成されています．本報告会では，ハイブリッド接合，ファンアウトパッケージ，光電融合，チップレット等の先端実装技術，材料・評価技術，高速伝送技術の最新技術成果について，その技術動向とトピックスについて報告しました．

7月30日には6月8日～12日に京都にて開催されたVLSI シ ン ポ ジ ウ ム (The 2025 Symposium on VLSI Technology & Circuits) の報告会を行いました．本会議は，1987年以来，IEEE Electron Device Society/Solid State Circuits Societyと応用物理学会（協賛：電子情報通信学会）が主催する最先端の半導体デバイス・プロセス技術，半導体回路技術に関するマイクロエレクトロニクス業界のプレミア国際会議です．毎年，日米（京都/ホノルル）交互で開催され，2025年は京都開催となりました．今年のテーマである「Cultivating the VLSI Garden: From Seeds of Innovation to Thriving Growth」に基づいて，先端ロジックCMOS，メモリー，イメージセンサー，フォトニクス，機械学習，AI，デジタル，通信，アナログなどの最先端技術のプログラムが組まれました．報告会では，先端回路・通信システム，先端CMOS，先端メモリー，先端3D集積，配線プロセスにフォーカスし，その技術動向とトピックスについて報告しました．

9月3日には，「光電融合技術」のチュートリアル講演会を開催しました．NTTのIOWNやNVIDIAやTSMCがCPO技術として実用化されつつある光電融合技術のデバイス・プロセスについて，当該分野の専門家にご講演頂きました．最初にd.lab最上徹特任研究員から講演会の趣旨説明を行ったのちに，東京大学 竹中充教授から「光電融合に向けた異種材料集積 シリコンフォトニクス」，東京科学大学 堀川剛特任教授から「ウエハーレベル光集積デバイス評価技術と特性ばらつき解析」，産業技術総合研究所 天野建センター長から「ポリマー光回路を用いた光電融合半導体パッケージ」と題したご講演をしていただきました．

10月27日には東京大学武田先端知ビル武田ホールにおいて，d.lab協賛会員企業技術交流会を行いました．8社の皆様にご講演いただいたあと，11社の皆様にホワイエにて展示発表をしていただきました．また今年度初の試みとしてOB座談会を開催し，5社の皆様に参加していただきました．会員の皆さんに交流いただくとともに，教職員や学生も議論に参加させていただき，大きな盛り上がりを見せたイベントとなりました．

11月12日は，Softbank Dayを開催しました．d.lab天野英晴特任研究員が「エッジコンピューティングの動向」と題して技術動向を概観したのちに，「ソフトバンクがリードするAI-RANのEdge AIユースケース」と題して，ソフトバンク株式会社先端技術研究所先端無線統括部PF&AI部オーケストレータ開発課課長代行の森権次郎様にご講演いただきました．

同公演では，通信インフラとAI処理基盤の統合により，低遅延かつ高性能なAIサービスを提供することが可能となること，またソフトバンクが提唱するAI-RANのコンセプトを実現した「AITRAS」において，AIユースケースの展開と計算リソース最適化を担うオーケストレータ技術をご紹介いただきました．

11月25日から26日には，d.lab協賛事業としては恒例となりつつある，1泊2日のツアーに出かけました．目的地は，Rapidus社の工場進出とともに半導体関連産業が盛り上がりを見せる北海道です．1日目は，株式会社FJコンポジット，ユニマイクロン株式会社，さくらインターネット石狩データセンターを見学させていただきました．2日目には，新装されたばかりの北海道庁旧本庁舎赤レンガホールにて講演会を開催しました．見学ツアーの結びには，千歳市のご厚意によりRapidus社千歳工場を間近にて見学させていただきました．あらためてその工場の大きさを実感しました．本ツアーの企画段階から相談に乗っていただいた北海道庁および千歳市の皆様，また見学先企業の皆様にあらためてこの場でお礼申し上げます．北海道の皆様の半導体関連産業への熱い取組みを肌で感じた2日間でした．

12月22日には，「高電力効率コンピューティング技術」と題したセミナーを開催しました．東京大学大学院情報理工学系研究科創造情報学専攻准教授の塩谷亮太様には，「高性能CPUの研究・開発動向」と題し，CPUの大型化の背景と，現代の高性能CPUの基本構造である out-of-orderスーパスカラプロセッサについて，その基本から最先端の研究までをご紹介いただきました．SiFive Japan株式会社代表取締役社長である近藤芳人様には，「RISC-VとSiFive社を取り巻く最新情報」と題し，RISC-Vがどうして注目されているのか，また，

どのような業態に期待され，活用されているのかをRISC-Vの視点とSiFive社の視点からご紹介いただきました．株式会社フィックスターズ ソリューション第二事業部 ディレクターである窪田貴文様には，「DNNアクセラレータにおけるHW/SW協調設計の動向とIR活用アプローチ」と題し，SW開発者の視点からHW/SW開発者間に生じる「セマンティックギャップ」の問題を解決するためのアプローチについてご説明いただきました．既存の手法を概観しつつ，特にMLIR等のコンパイラ中間表現（IR）を「共通言語」として活用する手法に焦点を当てて解説していただきました．

年が明けて2026年1月28日には，IEDM2025報告会を行いました．IEDM (International Electron Devices Meeting) はIEEEが主催するデバイス技術に関する世界最高峰の国際会議で，12月6日~10日にIn-personおよびOn-demandのハイブリッド形式で開催されました．IEDM会議全体概要の報告と先端CMOSデバイス技術・材料技術，メモリデバイス技術，コンピューティング技術，シリコンフォトニクス技術，3D集積・実装技術にフォーカスした最新テクノロジーの動向についてd.lab教授陣が解説を行いました．

2月25日には，材料系セミナーを行いました．AI応用が先端半導体パッケージの研究開発を牽引しており，高密度大型化，複数ダイ化等が進み，現状の有機基板では限界といわれています．これに対し，ガラス基板やガラス材料，ガラスに対するレーザー加工等のプロセス開発が進んでいます．本セミナーでは，当該分野の専門家をお招きし，多層ガラスコア基板，深紫外レーザー微細加工，絶縁膜材料についてご講演頂きました．新光電気工業株式会社開発統括部プロセス開発部部長である松木隆一様からは，「多層ビルドアップガラスコア基板の開発状況」と題し，同社におけるガラスコア基板開発の取り組みをご紹介いただきました．東京大学物性研究所小林研究室特任研究員である乙津聡夫様からは，「データを活用した半導体材料の深紫外レーザー微細加工」と題して，ABF およびガラスへの穴あけ加工を対象に，深紫外レーザー微細加工におけるパラメータ探索にデータ活用を導入した取り組みについてご紹介いただきました．富士フイルム株式会社エレクトロニクスマテリアルズ事業エレクトロニクスマテリアルズ開発センター統括マネージャーである白川三千紘様には，「先端半導体パッケージでの課題解決に向けた絶縁膜材料開発」と題し，同社が開発を進める先端パッケージ材料のうち，特に RDL 用高性能絶縁膜に焦点を当て，その技術的特徴と開発アプローチをご紹介いただきました．

2025年度のセミナーシリーズは，3月16日の2026 International Solid-State Circuits Conference(ISSCC2026)の報告会で結びました．2月15日から19日に，米国サンフランシスコにおいて開催された，2026 IEEE International Solid-State Circuits Conference (ISSCC)の学会報告を行いました．今年度も厳しい審査を勝ち抜いた論文が発表されました．会議概要，基調講演，イメージャ，セキュリティ，メモリ，機械学習，RF，ワイヤレス，データコンバータ，デジタルアーキテクチャ，デジタル回路，パワーマネジメント/アナログ，ワイヤライン，テクノロジーディレクションの分野について，d.lab教授陣が解説しました．

2025年度の活動は，ポストコロナ時代に合わせ，参加者の利便性の高いリモートセミナーとより深く交流できるリアルイベントを織り交ぜた開催としました．一昨年度の九州ツアー，昨年度の宮城県へのツアーに続いて，北海道への泊りがけの見学ツアーも組み込むことができました．引き続き2026年度も，会員と大学人，あるいは会員間の知的交流を活性化できるイベントの企画を行っていきたいと考えています．

2.1.3 先端システム技術研究組合

先端システム技術研究組合(RaaS: Research Association for Advanced Systems)は2020年8月17日に開設されました．RaaSは，データ駆動型社会を支えるシステムに必要な専用チップのデザインプラットフォームを構築し，オープンアーキテクチャを展開することで，専用チップの開発効率を10倍高めることを目標に掲げています．さらに，3次元集積技術を研究開発し，最新の7nm CMOSテクノロジーで製造したチップを同一パッケージ内に積層実装することで，エネルギー効率を10倍高めることが目標です．

我々は半導体ビジネスの主役が，汎用チップから専用チップに再びスイングすると考えています．その背景にはデータ社会特有の「エネルギー危機」があります．データが急増し，AI処理が高度化して，エネルギー危機に拍車がかかっています．このままいくと，2030年には現在の総電力の倍近い電力をIT関連機器だけで消費し，2050年にはそれが約200倍になると予想されています．デジタルトランスフォーメーションに莫大なエネルギーを費やして地球環境を破壊することになるのなら，サステイナブルな未来は望めません．

こうした状況下では，エネルギー効率を10倍高めた者だけが，コンピュータを10倍高性能にでき，スマー

トフォンを10倍長く使えます．あらゆるタスクをこなせる汎用チップに比べて，無駄な回路をそぎ落とした専用チップはエネルギー効率を桁違いに改善できます．専用チップが求められる理由がここにあります．さらに，AI処理に用いられる神経回路網はデータを並列処理するので，逐次処理をするフォン・ノイマン・アーキテクチャでは性能を引き出せません．AIアクセラレータのための専用チップが世界中で開発されています．また，ムーアの法則が減速していることも専用チップの時代の追い風になっています．

ところが，専用チップの開発は誰にでも簡単にできるものではありません．チップに集積されるトランジスタ数は世界人口を超えようとしています．開発費は近年急増して100億円にも達する勢いです．数100人の設計者を配しても開発に数年を要します．技術進歩が早い現代においては全く間に合いません．

ソフトウェアは，バグがあっても後でパッチを当てて修復できます．しかし，ハードウェアは完璧に仕上げなければなりません．ハードウェアはソフトウェアより設計が難しくて開発リスクが高く，“hard”です．

もし，ソフトウェアの開発に用いられるコンパイラーのような技術がチップの開発にも用いられたならば，すなわちシリコンコンパイラーができたならば，ハードウェアの開発費が下がりリスクも下がるでしょう．ハードウェア設計者の人口も増えます．やがてオープンソースの文化が根付き，エコシステムのネットワークが重層的に拡大発展すれば，マスコラボレーションも可能になるでしょう．そうなれば，まさにソフトウェアを書くようにチップを作ることができます．

かつてアラン・ケイが「ソフトウェアを本気で考える人たちは，自分でハードウェアを作ることになる」と言いました．システム開発には，ハードウェアとソフトウェアの両方が必要です．

私たちの目標は，シリコン技術の民主化（democratize access to silicon technology）です．シリコンコンパイラーをイノベーションし（design chips as writing software），短時間でプロトタイプを作れる開発プラットフォームを創出します（agile authentic prototyping）．

技術目標は，開発効率10倍かつエネルギー効率10倍です．開発効率を高めるために，アジャイル設計プラットフォームを創出し，オープンアーキテクチャを展開します．また，エネルギー効率を高めるために，チップを先端CMOS技術で製造し，3次元実装します．

半導体を製品として売るのではなく，サービスとして提供する．そのための技術をRaaS(ラース)は研究開発します．

2021年度には，国立研究開発法人新エネルギー・産業技術総合開発機構（以下「NEDO」という．）の，「ポスト5G情報通信システム基盤強化研究開発事業／先端半導体製造技術の開発（b）先端半導体の後工程技術（More than Moore技術）の開発 」に係る公募にRaaSとして応募し採択されました．開発テーマは，「(b2) エッジコンピューティング向け実装技術」です．

2025年度は，システム系研究開発においては，3か年計画の第3年度として，システムプラットフォームチップの設計と試作を進めました．テクノロジー系研究開発においては，前述のNEDOプロジェクトを柱に，ダイレクト接合3D積層技術開発（WoWおよびCoW向け装置・プロセス開発）としてCu-Cu の低温ハイブリッド接合によるWoW（Wafer on Wafer）接合技術及びCoW（Chip on Wafer）接合技術の構築とその実装化に取り組んでおります．

表2.1.1　2025年度d.lab協賛会員（50音順）

アオハ株式会社	TOPPANホールディングス株式会社（RaaS）
株式会社アドバンテスト(RaaS)	株式会社ニコン
ウシオ電機株式会社	日本ケイデンス・デザイン・システムズ社
オルガノ株式会社	日本シノプシス合同会社
キオクシア株式会社	日本電子株式会社
株式会社神戸製鋼所	株式会社ネクスティ エレクトロニクス
一般財団法人 材料科学技術振興財団	パナソニック コネクト株式会社(RaaS)
日本サムスン株式会社	株式会社半導体エネルギー研究所
シーメンスEDAジャパン株式会社	株式会社日立製作所（RaaS）
JSR株式会社	富士通株式会社
株式会社JCU	富士フイルム株式会社(RaaS)
信越化学工業株式会社	マイクロンメモリ ジャパン株式会社
株式会社SCREENホールディングス(RaaS)	三菱電機株式会社
住友商事株式会社	株式会社ミライズテクノロジーズ（RaaS）
株式会社ソシオネクスト	株式会社村田製作所
ソニーグループ株式会社	国立研究開発法人 理化学研究所(RaaS)
ダイキン工業株式会社(RaaS)	ルネサス エレクトロニクス株式会社
東京エレクトロン株式会社	株式会社レゾナック
東京応化工業株式会社	ローム株式会社

表2.1.2　2025年度d.lab協賛事業セミナー

開催日	タイトル	講師
2025/6/4	2025年度 d.lab協賛事業キックオフ特別講演会	d.lab 池田 誠 教授 株式会社Preferred Networks 共同創業者 代表取締役 最高技術責任者 最高研究責任者, 株式会社Preferred Computational Chemistry 代表取締役社長 岡野原 大輔 様 株式会社ABEJA CEO室/Labs ラボ長 藤本敬介 様 株式会社EQUES 代表取締役 岸 尚希 様 d.lab近藤 翔午 学術専門職員 東北大学 教授／Tokyo Artisan Intelligence 株式会社 代表取締役/CEO, CTO 中原 啓貴 様 理化学研究所 R-CCSチームリーダー／慶應義塾大学 教授 近藤 正章 様 d.lab濱田 基嗣 特任教授
2025/7/2	ECTC2025報告会	d.lab 川野 連也 特任研究員 横浜国立大学 井上 史大 准教授 d.lab 高木 剛 主幹研究員 d.lab 池田 謙一 学術専門職員
2025/7/30	VLSIシンポジウム2025報告会	d.lab濱田 基嗣 特任教授 d.lab平本 俊郎 教授 d.lab小林 正治 准教授 d.lab丹羽 正昭 上席研究員
2025/9/3	光電融合技術	d.lab 最上 徹 特任研究員 東京大学大学院工学系研究科 竹中 充 教授 東京科学大学工学院電気電子系堀川 剛 特任教授 産業技術総合研究所光電融合研究センター長 天野 建 様

開催日	タイトル	講師
2025/10/27	企業技術交流会 ～半導体に全集中～	株式会社神戸製鋼所 株式会社ミライズテクノロジーズ 株式会社ソシオネクスト ＪＳＲ株式会社 住友商事株式会社 キオクシア株式会社 ルネサス エレクトロニクス株式会社 富士通株式会社 日本ケイデンス・デザイン・システムズ社 ソニーグループ株式会社, TOPPANホールディングス株式会社 一般財団法人 材料科学技術振興財団
2025/11/12	SoftBank day	d.lab天野 英晴 上席研究員 ソフトバンク株式会社 先端技術研究所先端無線統括部 PF&AI部オーケストレータ開発課 課長代行　森 権次郎 様
2025/11/25-26	北海道ツアー	株式会社FJコンポジット ユニマイクロン株式会社 さくらインターネット 北海道庁経済部ＡＩ・ＤＸ推進局次世代半導体戦略室 主幹 臼杵 誠 様 imec Japan Representative Director, Head of Strategic Partnership伊藤 慶太 様 北海道大学大学院医学研究院 画像診断学教室 教授 工藤　與亮 様 Rapidus株式会社 常務執行役員 オペレーション本部 副本部長 赤堀　浩史 様 千歳市次世代半導体拠点推進室総務課長 塚田 啓介 様
2025/12/22	高電力効率コンピューティング技術	東京大学大学院情報理工学系研究科創造情報学専攻准教授 塩谷 亮太 様 SiFive Japan株式会社 代表取締役社長　近藤 芳人 様 株式会社フィックスターズ ソリューション第二事業部 ディレクター　窪田 貴文 様
2026/1/28	IEDM2025報告会	d.lab 平本 俊郎 教授 d.lab 小林 正治 教授 d.lab 竹内 健 教授 d.lab 竹中 充 教授 d.lab 高木 剛 主幹研究員
2026/2/26	材料系セミナー	d.lab池田　謙一 学術専門職員 新光電気工業株式会社開発統括部プロセス開発部 部長 松木 隆一 様 東京大学物性研究所小林研究室　特任研究員 乙津 聡夫 様 富士フイルム株式会社エレクトロニクスマテリアルズ事業エレクトロニクスマテリアルズ開発センター 統括マネージャー 白川 三千紘 様
2026/3/31	ISSCC2026報告会	d.lab 池田 誠 教授 d.lab 竹内 健 教授 d.lab 飯塚 哲也 教授 d.lab 濱田 基嗣 特任教授 d.lab 小菅 敦丈 准教授

2.2　先端デバイス研究部門

先端デバイス部門では，データ駆動型システムを実現するため半導体システムのエネルギー効率を10倍改善することを目指し，3次元集積技術と先端デバイス技術の研究を行っている．

2.2.1　構成

教授	平本　俊郎（部門長）
教授	染谷　隆夫
教授	内田　建
准教授	小林　正治
上席研究員	丹羽　正昭
主幹研究員	高木　剛
特任研究員	最上　徹
特任研究員	川野　連也
特任研究員	二宮　健生
特任研究員	王　俊沙

2.2.2　事業報告

データ駆動型社会の実現を目指して，エネルギー効率10倍を可能とする次世代3D集積技術のコアとなるプロジェクトを行っている．AIをはじめ大量のデータ処理を必要とするコンピューティング技術において，メモリとプロセッサとの間の大量で頻繁なデータ移動に伴うエネルギー消費が大きな課題となっている．そのような課題を解決する技術として，チップレベルもしくはウェハレベルで直接接合を形成して，データの移動距離を短縮しエネルギー効率を高めるダイレクト接合3D積層技術に注目し研究を行っている．

2021年度に採択されたNEDO事業「ポスト5G情報通信システム基盤強化研究開発事業／先端半導体製造技術の開発（助成）」において，d.labが組合本部となり運営している3D集積技術に関する技術研究組合である先端システム技術研究組合（Research Association for Advanced Systems：RaaS）が，『ダイレクト接合3D積層技術開発（WoWおよびCoW向け装置・プロセス開発）』というテーマにRaaS組合員企業とともに取り組んでいる．Cu-Cuの低温ハイブリッド接合によるWoW（Wafer on Wafer）接合技術及びCoW（Chip on Wafer）接合技術に関するチョークポイント技術の開発とその実装化を目指したプロジェクトである．

2024年1月の中間ゲート審査を通過し，2025年度は，2026年6月の最終目標を達成するべく，開発品の完成度を向上させるとともに，RaaS/産総研で作製したTEGを用いた実証実験，および顧客とのサンプルワークを通じた実用化に注力し，2026年6月の最終目標をほぼ達成見込みを得た．今年度は，最終目標を確実に達成し，最終報告書を取りまとめ，事業を終了する予定である．

また，2023年に採択されたJST ALCA-Next“フォノンエンジニアリングに立脚した3DIC放熱技術開発”について生産技術研究所，マテリアル工学専攻と共同で研究を行っている．2024年は，高熱伝導絶縁体であるAlNを用いた3DICの放熱のコンセプトおよび実験検討状況をVLSI Symposiumで発表した．2025年度は，AlNを配線層絶縁膜に用いたCu/AlN配線構造の試作に初めて成功し，IITC2024で口頭発表した．また，データセンター向け3D AI Chip（HBM on GPU）をモデルとしてAlNの導入によるCO_2削減効果を見積もった．今年度は，2026年度末に予定されているステージゲート通過に向けて，TEGを用いた放熱効果の実証を行う予定である．

2.3 基盤設計研究部門(旧VDEC部門)2025年度事業報告および2026年度事業計画

2.3.1 基盤設計研究部門概要

東京大学大規模集積システム設計教育研究センター（VDEC）は，1996年の発足以来，「LSI教育情報の発信拠点形成」，「VLSI設計支援教育用CADの整備」および「VLSIチップ試作支援」を三つの柱として事業を展開してきた．2019年10月1日には，東京大学における半導体集積回路関連分野の強化を目的とした組織改編により，東京大学大規模集積システム設計教育研究センターは東京大学大学院工学系研究科附属システムデザイン研究センター（d.lab）へ改組された．その後も基盤設計研究部門が従来のVDECの機能を継承し，シームレスに活動を継続している．本節では，d.lab基盤設計研究部門の活動に基づき，2024年度の概要を報告する．

VDECの使命は，全国の国公私立大学および高等専門学校におけるLSI設計研究・教育を高度化するとともに，産業界に対して優秀なLSI設計技術者を継続的に輩出することである．発足から28年が経過し，各大学におけるCADソフトウェアの利用技術教育やLSI設計，設計フローに関する教育の充実が図られている．一方で，先端LSI設計技術およびそれに対応するCADソフトウェアはますます複雑化しており，高度な支援体制が不可欠となっている．

そのため，CADツールの導入に際しては，CADベンダから講師を招いた技術セミナーを継続的に開催している．また，受講者の利便性向上のため，2009年度より東京会場での開催と同時に，映像配信による遠隔受講環境を提供している．VDECでは，各研究室における技術伝承を促進し，セミナーを契機としてCAD利用技術が全国へ広がることを期待している．

2024年度のセミナーはオンラインを基本とし，一部の講座についてはオンデマンド配信とライブQ&Aを組み合わせた形式で実施した．また，各社のツールチェーンが高度化・複雑化している現状を踏まえ，EDAベンダが推奨する設計フローやツールチェーンに関する講演会も併せて開催した．

さらに，2019年度末からのCOVID-19感染拡大への対応として，各EDAベンダからEDAツールの自宅利用に関する特別許諾を受け，2025年度においても国内の集積回路設計研究・教育に支障が生じないよう運用を継続した．ポストコロナ期においても，当面は同様の運用を継続している．

2.3.2 基盤設計研究部門における教育の実施状況

LSI設計フローセミナーは，LSI設計の基本概念に関する教育と，複数のCADツールを連携して利用する実践的な設計事例の体験教育を目的として実施している．これらのセミナーに加え，VDECでは年1回，若手教員および学生を中心としたVDECデザイナー・フォーラムを開催している．本フォーラムはワークショップ形式の会合であり，企業および大学からの招待講演に加え，参加者が設計事例を持ち寄り，成功事例や失敗事例に関する情報交換を行っている．これから設計を始めようとする学生や教員にとっても，さまざまなノウハウを学ぶ機会となっている．

2025年度のVDECデザイナー・フォーラムは，9月26日から27日にかけて福島県芦ノ牧温泉地区において開催した．また，2011年度よりVDEC活動における表彰制度として「IEEE SSCS Japan Chapter VDEC Design Award」の最終審査および表彰を同フォーラム内で実施している．2025年度は，東北大学の本郷天氏にVDECデザインアワード優秀賞を授与した．また，VDECデザインアワード奨励賞として王錫明氏（東京大学）および北島直氏（立命館大学）の2名を表彰した．さらに，VDECデザインアワードアイディアコンテスト部門嘱望賞として岡田虹輝氏（立命館大学）およびジョーンズ智郎氏（九州工業大学）の2名を表彰した．加えて，Dang Tuan Kiet氏（電気通信大学）およびTran Thai-Ha氏（電気通信大学）の2名をVDECデザインアワード・ファイナリストとして認定した．

このようなセミナーやフォーラムを通じた教育システムにより，LSI設計の基本的事項を学習できる環境を提供している．しかしながら，実際のLSI設計においては，さまざまな技術的課題に直面することも多い．とりわけ初心者にとっては，CAD環境の構築が大きな障壁となる．また，セットアップ後もCADツールが出力する難解なエラーメッセージへの対応に苦慮することが少なくない．

このような場合に有効な支援手段としてVDECメールグループを運営している．VDEC利用者はホームページからCAD関連メールグループや試作技術関連ユーザグループへ登録することができ，疑問点や問題点を投稿して支援を求めることが可能である．登録ユーザに回答義務はないものの，多くの場合，数時間から数日以内に経験豊富な利用者から有益な助言や支援を得ることができる．

2.3.3　基盤設計研究部門における発表文献の推移

図2.3.1および図2.3.2に，VDECに関連する発表文献数およびVDECファシリティ利用状況を示す．これらの結果から，論文執筆に際してCAD環境が幅広く活用されていることが確認できる．

CADツールはチップ設計そのものだけでなく，チップ試作に向けた設計準備段階においても活用されることが多い．そのため，研究成果の創出に直接寄与するだけでなく，研究の基本アイディアを検証・実証するための基盤技術としても大きな役割を果たしている．VDECが提供する設計環境は，全国の大学および高等専門学校における研究活動を支える重要な研究インフラとなっている．

2.3.4　基盤設計研究部門におけるAIチップ設計拠点活動概況

2018年度より，東京大学VDECおよび国立研究開発法人産業技術総合研究所は，NEDOから受託した「AIチップ開発加速のためのイノベーション推進事業／研究開発項目②：AIチップ開発を加速する共通基盤技術の開発」に基づき，国内のベンチャー企業および中小企業向けEDA利用環境および設計環境の整備を進め，AIチップ設計拠点として活動してきた．

当該プロジェクトは2023年3月をもって終了したが，同年4月以降は国立研究開発法人産業技術総合研究所の共用研究開発施設の枠組みへ移行し，「産総研・東大AIチップデザインオープンイノベーションラボラトリ（AIDL）」を主体として活動を継続している．

本活動では，ベンチャー企業および中小企業がエンジニアリングサンプル段階まで試作可能なEDAツールライセンスを整備するとともに，40nm，28nmおよび12nmプロセス向けIPを提供している．また，経済産業省の補助金により導入されたハードウェアエミュレータを活用し，大規模かつ高速な設計検証環境を提供している．

2020年度には，NoC，PCIe，DDR4等を搭載し，複数の機能IPコアを実装可能なSoCプラットフォーム「AI-One」を設計した．利用者が開発した複数のAI IPコアを統合したSoCとしてテープアウトを実施し，製造工程の都合により納品は2022年1月となったものの，納品後短期間でSoCの基本機能および搭載IPコアの基本動作確認を完了する成果を得た．

さらに，2022年には12nmプロセスを用いた「AI-Two」の設計試作を実施し，4種類のAI IPコアを搭載したチップの開発を行った．2023年3月までに，すべてのIPコアについてデモ動作を実現している．

また，本活動のさらなる強化を目的として，2019年9月1日に東京大学浅野キャンパス武田先端知ビル内へ「産総研・東大AIチップデザインオープンイノベーションラボラトリ（AIDL）」を設置し，研究開発活動を推進している．

2.3.5　基盤設計研究部門の2026年度の活動計画

2026年度においても，従来どおりアカデミックユーザ向けサービスを継続して実施する．

【設計情報発信・セミナー開催】

1997年度より継続しているCADツール利用技術セミナー，1998年度から継続している社会人向けリフレッシュセミナー，および1996年度から継続している若手

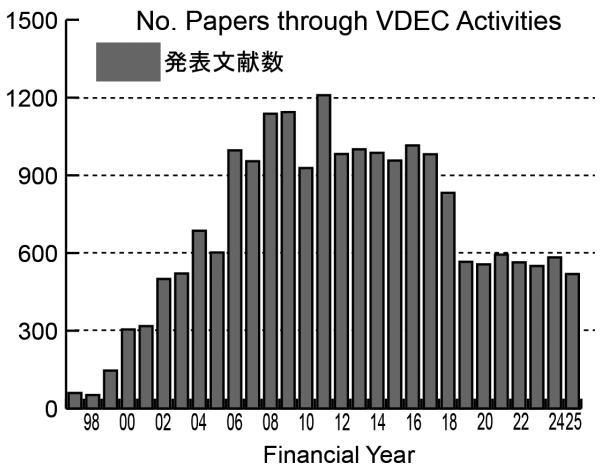


図2.3.1　VDECを利用した発表文献数の推移

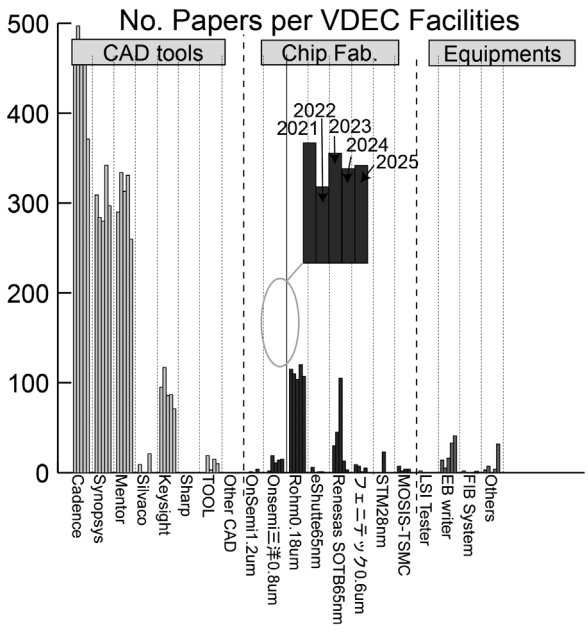


図2.3.2　VDECファシリティー利用状況

研究者向けデザイナーズフォーラムを引き続き開催する予定である．また，教科書および教材の整備・充実を進める．

【CADツール提供】

上流設計用ツール（Cadence，Synopsys），中流設計用ツール（Synopsys，Cadence），および下流設計用ツール（Cadence）の基本環境について，2026年度も継続して提供する．これに加え，2002年度から導入している設計検証環境（Siemens EDAのCalibre，ModelSim，Catapult等）についても継続して提供する．

一方，2004年度より提供してきたアナログ・RF設計ツール（Keysight Technologies：ADS，EMPro，GoldenGate）については，契約上の理由により提供を終了する．また，2008年度より提供しているレイアウト表示プラットフォームLavisについては，利用実績を踏まえ継続提供する予定である．

【チップ試作支援】

2026年度は，2025年度に引き続き，ローム株式会社の0.18μm CMOSプロセスを用いた定常試作サービスを継続する．なお，一部の試作案件については申込み件数が所定数に達しない場合，試作を中止することがある．

【そのほか】

経済産業省およびNEDOによる「AIチップ開発加速のためのイノベーション推進事業」のうち，「AIチップ開発を加速する共通基盤技術の開発」は2023年3月に終了した．これを受けて，活動の自立的継続を目的として，「産総研・東大AIチップデザインオープンイノベーションラボラトリ（AIDL）」第2期を東京大学浅野キャンパス武田先端知ビル内に設置し，AIチップの設計，評価および検証環境をベンチャー企業・中小企業へ提供する活動を継続している．

表2.3.1　VDECチップ試作スケジュール（2026年度）
【CMOS 0.18μm 1P5M（+MiM）】 ローム株式会社

	試作申込締切	設計締切	納品・試作完了
2026年度第1回（2025年7月試作）	2026/5/15	2026/6/1	2026/9/18
2026年度第2回（2025年9月試作）	2026/7/20	2026/8/24	2026/12/4
2026年度第3回（2025年11月試作）	2026/8/3	2026/10/26	2027/2/15
2026年度第4回（2025年3月試作）	2026/12/14	2027/3/1	2027/6/18

2.4 基盤デバイス研究部門

2.4.1 基盤デバイス研究部門のミッション

d.lab基盤デバイス研究部門は，自らも現役研究者としてクリーンルームにおいて実験研究を牽引する三田吉郎教授を部門長とし，関連専攻ならびにセンター（総合研究機構，電気系工学専攻，機械系工学専攻・ナノシステム集積センター等）と人的・予算的協力を行いながら，高度微細デバイス研究の必須3要素（後述）を整備・運営・研究する35名規模のチームである．集積回路に代表される半導体エレクトロニクス素子，センサ・マイクロシステムなど新規分野の研究には，①加工・計測装置への膨大な設備投資と，②学問に裏付けられた微細加工技術の厚い蓄積，そして③最先端の加工技術を開拓する研究開発力が必須である．上記高度微細デバイス研究の必須3要素は個々の研究室で開発され，個々の研究室に知見が蓄積されるのが20世紀後半の我が国の大学における基本形態であった．しかしながら加工・計測装置は年々高度化・大型化し，21世紀の第2四半世紀に至り，潤沢に資金を持つ研究室であっても一流装置の調達そして維持が不可能な時代が到来した．もとより大学高専，企業や国研，NPOにおける全ての研究室が潤沢に巨額の資金と潤沢な人的リソースを個々に「独占所有」することは不可能であるが，1996年のVDEC設立時に整備した「集積回路設計研究におけるシェアードエコノミーモデル（ファウンドリ）」を微細加工・計測研究分野に対して水平展開し，何人に対しても開かれた「オープンプラットフォーム」を整備し運用する「互助」の仕組みを成立させられれば，恵まれた環境を「等価的に所有（共有）」でき，全国津々浦々で最先端研究を実施することができる．

上記目的を達成するためにd.lab基盤部門では，2001年に武田郁夫氏（現アドバンテスト創業者）による工学系研究科（小宮山宏工学部長）及び大規模集積システム設計教育研究センター（浅田邦博センター長）に対して行われた巨額の寄付により，2003年12月に竣工した「武田先端知ビル」地下スーパークリーンルーム（ISOクラス3，実測クラス1を含む600㎡），及び上層階スペースの固有面積および借室面積を利用，価値総額84億円を超える一流の微細加工・計測装置を戦略的に展開，共用授業を展開している（図1）．

管理する公開装置は，アドバンテスト株式会社大浦会長御英断の寄付による「世界最速」高速電子線描画装置F5112+VD01（2005年2月-2025年3月運用終了）に始まり，平成24年度補正予算（アベノミクス「第一の矢」）によって導入された高精細電子線描画装置F7000S-VD02，シリコン高速深掘りエッチング装置SPTS MUC-21 ASE-Pegasus，研究室レベルで導入できる最も高精細なクラスの走査型電子顕微鏡Hitachi Regulus SU8230等約100台であり，洗浄，製膜，リソグラフィ，エッチング，組み立て，評価プロセスの大半をカバーしている．現時点でカバーできていない技術分野の装置は，ナノテクノロジープラットフォームを受け継いだマテリアル先端リサーチインフラ事業全国14拠点のネットワークによって提供している．



図1　武田先端知スーパークリーンルーム沿革

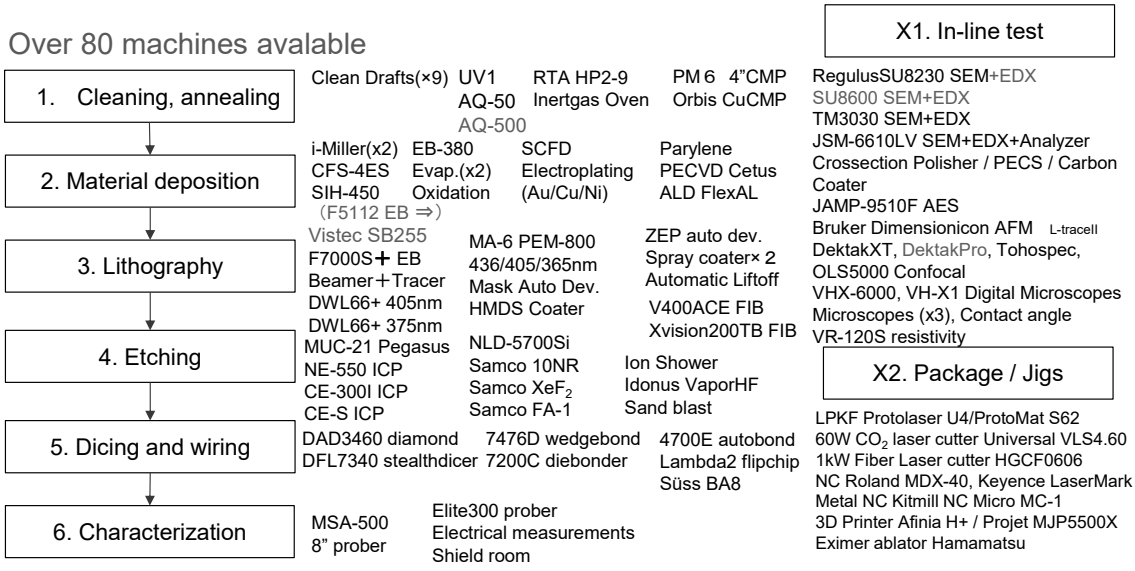


図2　d.lab基盤デバイス部門が管理公開する共同利用装置（薄灰色文字は増強分）

2.4.2　基盤デバイス研究部門が運営する「武田先端知クリーンルーム」共有環境

拠点は，文部科学省事業（2020-2031）「マテリアル先端リサーチインフラ事業東京大学ハブ微細加工拠点」または「武田先端知クリーンルーム」と呼ばれ，「装置共用という価値観を共有する者」に対して広く開かれている．単なる試作の外注先ではないと利用者一人一人が自覚することが非常に大切であり，利用開始に先立ち「自助・共助・公助」という価値観を理解し共有する．このことによって研究室運営者としての自分が当然支払うべきコスト（人的，金銭的，時間的）を最低限に抑えながら直ちに最先端の研究が展開できる．価値観の共有による利益は，例えば建物も含め100億円を超える施設整備費，年間3.5億円の運転経費，これらを整備し先端プロセスの知見を蓄積していた20年という時間の短縮効果である．このように絶大な効果のため多数の研究室の賛同を得ている．25年度登録者は217研究室年間1121名となった．

運用は「自助・公助・共助」を旨とし，利用者負担金（内規に基づく），d.lab運営費交付金，文部科学省マテリアル先端リサーチインフラ事業，関連研究室（武田先端知ビルおよびクリーンルームの借室研究室）やd.labと直接共同研究関係のある企業等からの研究資金を収入とし，それぞれの予算使途を厳密に区分して各種法規規則や命令を完全に遵守して公正に運用している．運転資金年間3.5億円の内訳は大分類として整備費，電気代・修理費・人件費からなる（昨今電気代の負担増が厳しい）．法人化以降，中期計画に基づいた弾力的な運用が可能であり，突発的故障を想定した安全係数の運用を行い，年度で節約できた運営費を原資として職員の安定雇用や小・中規模装置の更新，増強に割り当てている．

基盤デバイス研究部門では，多数の利用者が抱える微細加工への期待に日夜接することで，技術動向の「空気感」を持っている．需要が高く，分野を超えた普遍性が見込まれる基幹技術については自らのチームで技術開発を行い，積極的に論文発表して公共財とするように努めている．

さらに，d.labの一部門であるという「地の利」を活かし，集積回路素子（LSI）と新規MEMS構造の集積化，所謂「集積化MEMS」の研究開発を10年以上にわたって実践している．詳細は原著論文[1]にまとめているとおり，「LSIファウンドリ」機能によって，特定用途向け電子デバイスの搭載されたシリコンウエーハを協力会社（例：フェニテックセミコンダクター社）で試作し，取得したウエーハに対して武田先端知ビルスーパークリーンルームを始めとするオープンプラットフォームにおいて微細後加工を施し，センサ・アクチュエータ素子とする仕組みである．この仕組みによれば，信頼性が必要であるトランジスタ回路部分は全く苦労することなく入手できる上，（新規機能であるために）外注の引受先が存在しないMEMS部分は自前で試作できる．まさに「世界初の機能を」「世界最高の性能で」実現することが可能な，世界的にもユニークな仕組みといえる．企業も含む共同研究ベースで年1回の共同試作（固定枠方式）を行っている．

[1] Y. Mita *et al.*, *Japanese Journal of Applied Physics*, 56, p. 06GA03, 2017（2017）DOI: 10.7567/JJAP.56.06GA03

2.4.3　基盤デバイス研究部門2024活動報告

【KPI】2025年度は，217研究室（昨年比＋15，以下括弧内は前年度からの差分）からの利用があった．内訳は企業：外部公的機関：東大工学部以外：工学部＝1：1：1：1であり，1221名（＋73）の登録があった．

集計装置台の稼働率は53%（＋2%，延べ8649日中4554日使用），外部共用率59.6%（－4.9%，4554日中2714日が外部利用：ただし，ARIM事業の計算指針に従い一装置につき1日がカウントの単位で，同一日に外部と内部の利用が複数あった場合は「外部1日」とカウントした）となった．これは，ARIM事業で課されている目標（外部共用率30%）を大きく上回る実績であり本年度も「世界で最も民主的なオープンプラットフォーム」の面目躍如たる結果であった．これらの活動が認められることになり，文部科学省が複数部局および経済産業省と連携して進める新規施策「半導体基盤プラットフォーム」の中核機関に選定され，令和6年度補正予算（半導体基盤プラットフォームARIM-SETI）で23億7000万円（一般管理費込み）が措置され，運用を停止したF5112+VD01の入れ替えとしてVISTEC SB255と付帯装置，ならびに新型SEM Hitachi SU8600が整備された．

【秀でた成果7年で7回受賞】文部科学省ARIMプロジェクトでは，年間3000件を超える利用報告書の中から，①優れた科学技術，②イノベーションの高い可能性，③拠点が多大な貢献をした研究を顕彰している．2025年度は武田SCR利用者最優秀賞を受賞という快挙を成し遂げた．2026年1月28日 東京ビッグサイトで開催された第25回国際ナノテクノロジー総合展・技術会議に於いて受賞8件の発表会が行われ，発表内容に基づき最優秀賞が2件（加工分野と解析分野と1件ずつ）選定表彰された．図3国際ナノテクノロジー総合展での記念撮影．

《最優秀賞》

「X線光学素子開発のための新たな微細加工プロセスの検討　微細加工を活用したX線イメージング技術の高度化」

ユーザー：木村 隆志[1,2]，竹尾 陽子[1,2,3]，島村 勇徳[1,2,3]，櫻井 快[1,2,3]，吉永 享太[1,2,3]，中田 勇宇[1,2]，永山 裕一[1,2]（[1]東京大学，[2]理化学研究所，[3]高輝度光科学研究センター）

実施機関担当者：三田 吉郎，藤原 誠，澤村 智紀，水島 彩子，太田 悦子，肥後 昭男，落合 幸徳，Eric Lebrasseur，三角 啓，島本 直伸，坪井 伸二（東京大学）

【世界の一流クリーンルームプラットフォームとの高水準技術交流】オープンイノベーション拠点としてのクリーンルームプラットフォームは，米国NSFによるNNCIや，フランス共和国国立科学研究センター（CNRS）が運営するRTB-RENATECH，オーストラリアANFFなど，特に西側先進国において広く整備されている．基盤デバイス部門は，三田拠点長の25年来のネットワークによって，仏RENATECHとそれが主導するEuroNanoLabと密接な協力関係にある．具体的な協業プロジェクトとして，EuroNanoLabが主催するENRIS国際会議へのエンジニア派遣と発表による技術交流 [2-5] を行ったほか，2022年度末より開始しているRENATECH五大拠点の一つであるCNRS-LAAS研究所とエンジニア東大拠点と共同で技術開発を行い成果を査読付き国際会議で発表した [6,7]．さらに2025年10月にARIMエンジニア2名ならびに三田教授をLAAS研究



図3　秀でた利用成果　最優秀賞　木村研究室の皆様と受賞記念撮影

所に1週間派遣し，高アスペクト比ディープサブミクロンメッキの追加実験を行った．東京大学の有する高速大面積電子線描画技術と，LAAS研究所が日本の装置メーカー（山本鍍金試験器）と協力して開発した大面積高信頼メッキ技術とを融合する試みであり，武田先端知SCRの標準微細加工寸法を一桁微細化できる重要な技術である．現在は幅280nm，高さ1800nm（アスペクト比1:6），長さ125μmまでの微細構造をNi,Cu,Au材料で作製することができるようになっている．同技術はd.labが研究組織として受託している次世代X-nics研究開発拠点形成事業「Agile-X」の短TATパッケージング手法など多くの波及効果を持っている．

[2] Etsuko Ota, David Bourrier, Eric Imbernon, Amel Beghersa, Hugues Granier, Ayako Mizushima, Noriko Kawai, Naonobu Shimamoto, Yukinori Ochiai, Yoshio Mita, “Quantitative Contamination Evaluation Framework Demonstrated for International Open Platform Process Cascading,” *4th European Nanofabrication Research Infrastructure Symposium (ENRIS 2025)*, Session 2.3, Bologna, Italy (2025.05.13)

[3] Noriko Kawai, Ayako Mizushima, David Bourrier, Mathieu Arribat, Yurie Inoue, Makoto Fujiwara, Amel Beghersa, Hugues Granier, Yukinori Ochiai, Yoshio Mita, “Opportunities and Challenges towards Portable Nanotechnology Processes over Open Facilities,” *4th European Nanofabrication Research Infrastructure Symposium (ENRIS 2025)*, Session 3.3, Bologna, Italy (2025.05.14)

[4] David Bourrier, Amel Beghersa, Noriko Kawai, Ayako Mizushima, Shun Yasunaga, Etsuko Ota, Naonobu Shimamoto, Yoshio Mita, Hugues Granier, “Electroplating deposition from sub-millimetric to sub-micronic scale using the same tool and bath while maintaining good plating distribution,” *4th European Nanofabrication Research Infrastructure Symposium (ENRIS 2025)*, Session P13, Bologna, Italy (2025.05.14)

[5] Amel Beghersa, Noriko Kawai, Ayako Mizushima, David Bourrier, Etsuko Ota, Yoshio Mita, Hugues Granier, “How an international engineers exchange brings to a successful process/project,” *4th European Nanofabrication Research Infrastructure Symposium (ENRIS 2025)*, Session 3.4, Bologna, Italy (2025.05.14)

[6] Noriko Kawai, Tomoya Nakamura, Etsuko Ohta, and Yoshio Mita, “Hat and Skirt dual sacrificial layers for damageless Metal High Aspect Ratio Nano Structure,” *2025 Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP)*, Split, Croatia (2025.06.02) doi: 10.1109/DTIP66728.2025.11099320

[7] Yoshio Mita, Ayako Mizushima, Noriko Kawai, Naonobu Shimamoto, “Micro Mushroom Plug and Receptacles for Reliable Chiplet Connection with Passive Alignment,” *2025 Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP)*, Split, Croatia (2025.06.03) doi: 10.1109/DTIP66728.2025.11099116

2.5 「アドバンテストD2T寄附講座」活動報告

2.5.1 アドバンテストD2T寄附講座」の紹介

2.5.1.1 アドバンテストD2T寄附講座設立の趣旨

これまでのVDECの活動を通じ，多くの大学・高専でVLSI設計・試作文化が根付き，活発な設計研究・教育活動が行われています．このような状況の中，株式会社アドバンテストからの寄附金により，「アドバンテストD2T寄附研究部門」が2007年10月に VDEC内に設立されました．「アドバンテストD2T寄附研究部門」は，全国の学生にVLSIの設計からテストまで一貫した研究・教育環境を提供することで，テスト設計の専門家となりえる人材を育成するとともに，SoCの設計に関する研究を支援することを目的としております．従来，VDECではVLSIの「設計・試作」という面からの活動を重点的に行ってまいりましたが，「設計」だけでなく「テスト」の観点からも研究・教育の中心拠点となるべく“Design to Test（D2T）”の理念のもと，国内の大学・高専における「テスト研究・教育」の拠点としての活動を行っています．

当部門はこれまで2007年10月～2010年9月（第1期），2010年10月～2013年9月（第2期），2013年10月～2016年9月（第3期），2016年10月～2019年9月（第4期）の計12年間に渡るプロジェクトを遂行してきました．東京大学大学院工学系研究科附属システムデザイン研究センター（d.lab）が2019年10月に発足後，D2T寄附研究部門は研究のさらなる発展，D2T教育により重心を置いた「アドバンテストD2T寄附講座」としてセンター内に設置されました．2019年10月から株式会社アドバンテストのご厚意により新たに開始した第6期（2022年10月～2025年9月）の3年目，2024年10月～2025年9月の活動報告となります．2025年10月より第7期1年目がはじまりました．D2Tに関する研究とともに，教育活動の充実図っていく予定であります．当寄附講座の活動の詳細については，続く各章においてそれぞれ報告いたします．

2.5.1.2 アドバンテストD2T寄附講座構成員

特任教授	池田　誠
特任講師	肥後　昭男
共同研究員	石田　雅裕
	（株式会社アドバンテスト）
共同研究員	木村　安希
	（株式会社アドバンテスト）
学術支援職員	山口　隆弘
事務補佐員	岡崎　真紀子

2.5.2 「第20回D2Tシンポジウム」開催報告

2025年9月2日（火），武田ホールにて第20回D2Tシンポジウムを開催し，大変多くの皆様にご聴講いただきました．近年，半導体・LSI分野への期待がますます高まる中，武田ホールでの講演の臨場感や活発な議論の様子を，皆様に感じていただけましたら幸いです．「半導体から日本を，そして世界を元気に」というメッセージを発信するため，今回のシンポジウムでは，国内外から著名な研究者を招待講演者としてお招きしました．University of California, Los AngelesのAsad Abidi先生，University of California, San DiegoのAlex Orailoglu先生，The Hong Kong University of Science and TechnologyのTim Cheng先生，University of CaliforniaのAlbert Wang先生，富士通株式会社の才田大輔先生より，最新の研究成果について貴重なご講演をいただきました．多くの皆様にご参加いただき，大変盛況のうちに開催することができましたことに，改めて心より御礼申し上げます．

次回の「第21回D2Tシンポジウム」は，2026年7月6日（月）に開催を予定しております．半導体設計やテスト技術をはじめとするさまざまな分野において，今後もさらなる活性化を目指してまいりますので，引き続きご支援，ご協力のほど，何卒よろしくお願い申し上げます．



20th D2T Symposium Program Hybrid September 2, 2025

10:00	**Opening Remarks** **Makoto Ikeda** (Director, d.lab, School of Engineering, the University of Tokyo) **Daisuke Watanabe** (ADVANTEST Executive Officer Leader, Technology Development Group, Technology & Research Unit)
10:15	**Session 1** (Chairperson: Tetsuya Iizuka, d.lab, the University of Tokyo) *Listen: ESD Protection is about Circuit Design* **Albert Wang**, Professor (University of California, Riverside) *Systematic Design of LC Oscillators for Low Phase Noise and Jitter* **Asad Abidi**, Professor (University of California, Los Angeles)
11:45	**Free coffee and Tea break (KESCO supported)**
13:30	**Session 2** *Design, fab and evaluation coordination in quantum computer "* **Daisuke Saita**, Ph.D. (Fujitsu Ltd.) *Chip Design for AI, and AI for Chip Design*
14:15	**K.-T. Tim Cheng,** Professor (U-Tokyo Fellow, Hong Kong University of Science and Technology)
15:00	**15min break**
15:15	**Session 3** *Exploring System-level Test (SLT) Chasing the Elusive Test Escape: A Journey Beyond Boundaries* **Ilia Polian**, Professor (University of Stuttgart) *Cutting the Gordian Knot of Logic Obfuscation through Intrinsic Design Properties* **Alex Orailoglu**, Professor (University of San Diego) *Why Variability Aware Testing is Essential for Low Nanometer Technologies* **Adit Singh**, Professor (Auburn University) **Session 4** *Recent D2T research department progress* **Akio Higo**, Lecturer (d.lab, the University of Tokyo)
17:45	**Closing Remarks**

2.5.3　研究活動報告

■高精度波形測定技術

山口 隆弘，肥後 昭男，飯塚 哲也，池田 誠

確率的アナログ-デジタル変換器（Stochastic Analog to Digital Converter; ADC）の研究をおこなっている．とくに，耐不規則性をより向上させるための，確率の中央値をもちいたレベル交叉（LC）時刻検出方式について研究している．

2つの入力端の電圧差を論理値・判定に変換するから，コンパレータはベルヌイ確率変数とみなせる．ベルヌイ確率変数の和は，Neyman-Fisher factorization theoremより，最小分散不偏推定量をあたえる．よって，コンパレータ列をもちいると，LCを高精度に検出できる可能性が存在する．さらに，Cariolaro（IEEE IT-14, no. 4, 1968）の単発トリガ・イベント発生条件を，LCイベント検出条件と再解釈し，LC推定のための密度関数を収集するための理論を開発した．理論は，MC（モンテカルロ）実験により検証した．

■ATE向け高速・高精度な多ピン信号品質CAL技術

白幡 一樹，石田 雅裕，飯塚 哲也，肥後 昭男，
名倉 徹，池田 誠

半導体試験装置（ATE）では数千から数万ピンの信号入出力チャンネルをもち，被試験デバイス（DUT）との間で入出力される試験信号の品質をそれぞれ一致させる信号品質キャリブレーション（CAL）が必要である．本研究テーマでは，ATEに適用可能な高速かつ高精度な多ピン信号品質CAL方式の研究をおこなっている．本年度は，メモリテスタのドライバ（DR）とコンパレータ（CP）をもちいたTDR（Time Domain Reflectometry）測定による伝送線路特性およびCAL点波形を推定する技術について，伝送線路内で生じる不要反射の影響を除去するため，ネットワークアナライザで使われているSOL（Short，Open，Load）法を応用した新しいCAL理論を構築した．理論解析の結果を論文にまとめ，12月に東京で開催されるATS（Asian Test Symposium）2025に論文投稿し採択された．信号品質CAL理論のまとめをもって成果とし，本研究テーマを完了した．

■セキュリティ考慮テスト駆動半導体設計技術研究開発

田中 玄一，正田 薫，羽鳥 智裕，長谷川 宏太郎，
木村 学，肥後 昭男，池田 誠

半導体サプライチェーンにおいて，半導体テスタを活用することにより半導体製品のセキュリティ担保，主に半導体製品の真正性を保証する技術を開発している．セキュリティ担保のためのシステムおよびHW, SW双方を含むアーキテクチャを検討した．さらに実現する回路方式を検討し，必要計算量の削減および効率改善を進めている．2025年4月からは処理速度に加え，スループット最大化も考慮した設計方式を開発している．また，実証実験の前準備としてのテストチップ設計および製作も完了した．

■超広帯域信号計測用高周波回路技術の研究

歌丸 剛，中村 雅之，齋藤 純，石田 雅裕，
浅見 幸司，Yunjie Chen，湯浅 太蔵，小野 纏，
Zolboo Byambadorj，飯塚 哲也，肥後 昭男

6G，WiFiや車載レーダなど，次世代無線通信では，ミリ波からTHz波に及ぶ周波数が使用され，変調帯域幅もGHzオーダーの超広帯域となる．この様なデバイスをテストするために必要となるクロック生成回路および信号生成回路の要素技術を研究する．主な研究要素として，広帯域PLL回路および広帯域DAC回路の方式を検討する．

PLL回路については，100GHz級広帯域VCOおよび超低ジッタPLLの研究開発を進めている．本年度は，VCOについて，可変インダクタ，マルチコア，マルチモード技術を組み合わせることで，シミュレーション上75〜106.7GHz，周波数可変率34%を達成した．2025年5月にVCO TEGをテープアウトし，実測で74.8〜101.8GHzの発振範囲と30.3%のチューニングレンジを確認するとともに，位相雑音もシミュレーションと5dB以内で一致する結果を得た．並行して2段カスケードPLLアーキテクチャを検討し，ハーモニックミキサ技術を活用した構成によりシミュレーションで17.6fs rmsのジッタ性能を確認，最終的には73〜103GHz帯で約20fs rms級の実現性を示した．これらの成果を基に100GHz級広帯域VCOの評価結果をISSCCへ投稿し，100GHz信号源および低ジッタPLLの実用化に向けた技術基盤を確立した．

DACでは，広帯域化の方式として時間インターリーブおよび周波数インターリーブ方式の両方で検討を進めている．本年度は，時間インターリーブ方式の新しいアーキテクチャとしてマルチプレクサと加算器を組み合わせたmixing DAC方式をTEG回路として実装した．TEGチップを入手し，評価に着手した．

第3章　d.lab概要

3.1　組織概要

東京大学大学院工学系研究科附属システムデザイン研究センター（d.lab）は，2019年10月に，東京大学における半導体関連研究の強化を目指し設置された．d.labは，知識集約型社会の到来に備え，システムのアイデアを持つ者が誰でも専用チップを即座に入手できるよう，デザインの手法と製造のエコシステムを再構築することを目指している．また，データ駆動型システムのデザインプラットフォームを作り，データ駆動型社会で活躍する人材の育成を目標とする．

センター長の下，先端設計研究部門，基盤設計研究部門，先端デバイス研究部門，基盤デバイス研究部門の4つの部門が互いに連携しながら活動を行っており，専任教員のほか，東京大学の他部局や工学系研究科を本務とする教員が兼務で在籍している．2026年4月1日現在，d.labの人員構成は，教授10名（内専任2名，兼任7名，特任1名），准教授2名（内兼任1名，特任1名），講師2名（内専任1名，特任1名），助教3名（内専任2名，兼任1名），研究員17名（内上席研究員4名，主幹研究員1名，特任研究員12名），学術専門職員20名である．

d.labでは重要事項の審議のため，「システムデザイン研究センター運営委員会」を必要に応じ開催している．また，学外委員を含めた「システムデザイン研究センター基盤設計研究部門（VDEC）全国運営協議会」に，研究・事業計画等の事項について諮問を行っている．

東京大学大規模集積システム設計教育研究センター（VDEC）は，1996年5月に全国共同利用施設として発足し，国立大学法人化に伴い東京大学の1部局としての位置づけを経て，国公私立大学と工業高等専門学校におけるVLSI設計教育の充実と研究活動を継続してきたが，d.lab設置の際にこれに合流することとなった．それまでVDECが担ってきた活動は，d.labの基盤設計研究部門における「VDEC機能」として継続しつつ，先端設計研究部門における産学連携をも強化した，最先端設計研究の強化を目指した活動が行われている．

基盤設計研究部門には「協力教員制度」を有しており，全国の各大学との教員との連携を図っている．2026年度の体制は協力教員14名，協力研究員6名の合計20名である．

d.labは，研究探求と技術実践の橋渡しの場，また産学官連携と人的交流を促進する場として，2020年から協賛事業を開始し，例年30〜40社程度の企業から参加を頂いている．また，2022年には文科省次世代X-nics半導体創成拠点形成事業に採択され，半導体技術の民主化を実現する基幹技術（Agile技術）を整備し，プラットフォームとして研究に展開し，研究成果・産業への波及効果・高度人材の育成を目指している．さらに，目白台インターナショナル・ビレッジに研究スペースを設け，先端システム技術研究組合に参画するなど，活動を日々加速させているところである．

2018年度-2022年度には，経済産業省/NEDOのプロジェクト「AIチップ設計拠点」として，国内の中小企業ベンチャー向けのチップ設計環境の整備を，産業技術総合研究所（産総研）とともに実施した．2023年度からは，産総研が東大内に設けるオープンイノベーションラボラトリ（OIL）「AIDL」が主体となって拠点を運営することで，アカデミック向けのチップ設計環境「VDEC機能」，中小ベンチャー向けのチップ設計環境「AIチップ設計拠点」の拠点機能を拡充させている．

最先端の研究開発に加え，2024年4月からは東京大学学部横断型教育プログラム「半導体教育プログラム（SPIRIT）」を開始し，また，同年10月からNEDO ポスト5G情報通信システム基盤強化研究開発事業/人材育成プログラム「最先端デジタルSoC設計人材育成」に携わっている．さらに，2025年1月には，有明工業高等専門学校と「半導体人材育成分野における包括連携に関する協定」を締結するなど，半導体・集積回路設計を担う高度な人材育成にも注力している．

3.2　人事報告

d.lab人事（2026年4月1日付け）

センター長・基盤設計研究部門長・教授	池　田　　誠
先端設計研究部門長・特任教授	濱　田　基　嗣
先端デバイス研究部門長・教授	小　林　正　治
（東京大学生産技術研究所）	
基盤デバイス研究部門長・教授	三　田　吉　郎
（東京大学大学院工学系研究科電気系工学専攻）	
教　　授	中　村　　宏
（東京大学大学院情報理工学系研究科）	
教　　授	竹　内　　健
教　　授	染　谷　隆　夫
（東京大学大学院工学系研究科電気系工学専攻）	
教　　授	内　田　　建
（東京大学大学院工学系研究科マテリアル工学専攻）	
教　　授	竹　中　　充
（東京大学大学院工学系研究科電気系工学専攻）	
教　　授	飯　塚　哲　也
（東京大学大学院工学系研究科電気系工学専攻）	
准　教　授	小　菅　敦　丈
（東京大学大学院工学系研究科電気系工学専攻）	
特任准教授	中　根　了　昌
講　　師	井　出　倫　滉
特任講師	浅　見　幸　司
助　　教	BYAMBADORJ ZOLBOO
助　　教	宮　武　悠　人
（東京大学大学院工学系研究科電気系工学専攻）	
助　　教	松　尾　亮　祐
上席研究員	天　野　英　晴
上席研究員	若　林　一　敏
上席研究員	平　本　俊　郎
上席研究員	CHRBON EDOARDO
主幹研究員	高　木　　剛
特任研究員	島　本　直　伸
特任研究員	荒　川　文　男
特任研究員	二　宮　健　生
特任研究員	坪　井　伸　二
特任研究員	川　野　連　也
特任研究員	最　上　　徹
特任研究員	DURAN CKRISTIAN
特任研究員	角　　博　文
特任研究員	WANG　JUNSHA
特任研究員	VATANKHAHGHADIM BEHRAZ
特任研究員	繆　　逸　杰
特任研究員	EILER ANNE-CLAIRE

学術専門職員	長谷川　　淳
学術専門職員	岡　田　光　司
学術専門職員	林　　泰　弘
学術専門職員	太　田　悦　子
学術専門職員	YIP WAI YEUNG
学術専門職員	窪　田　通　孝
学術専門職員	小　倉　建　治
学術専門職員	井　上　友里恵
学術専門職員	近　藤　翔　午
学術専門職員	池　田　謙　一
学術専門職員	中　西　克　文
学術専門職員	河　井　哲　子
学術専門職員	中　村　昇　平
学術専門職員	西　山　久仁彦
学術専門職員	松　本　泰　則
学術専門職員	西　本　賢　二
学術専門職員	笠　原　栄　二
学術専門職員	矢　部　義　一
学術専門職員	濱　辺　雅　哉
学術専門職員	松　本　高　士

（東京大学大学院工学系研究科電気系工学専攻）

※（　）が記載されている教員は，（　）内が本務先である．



2025年度東京大学大学院工学系研究科附属システムデザイン研究センター基盤設計研究部門（VDEC）全国運営協議会委員名簿

2025.8.1現在

氏　　名	所　属　・　職　位	任　期	連　絡　先	
			TeL/Fax	E-mail
池田　　誠	東京大学大学院工学系研究科附属システムデザイン研究センター　教授	2024.4.1 ～ 2026.3.31	TEL 03（5841）6661	ikeda@silicon.u-tokyo.ac.jp
池辺　将之	北海道大学量子集積エレクトロニクス研究センター　教授	2024.4.1 ～ 2026.3.31	TEL/FAX 011-716-6004	ikebe@ist.hokudai.ac.jp
黒田　理人	東北大学未来科学技術共同研究センター　教授	2024.4.1 ～ 2026.3.31	TEL 022（795）4836	rihito.kuroda.e3@tohoku.ac.jp
一色　　剛	東京科学大学工学院 情報通信系　教授	2024.4.1 ～ 2026.3.31	TEL/FAX 03（5734）2842	isshiki@ict.e.titech.ac.jp
岡田　健一	東京科学大学工学院電気電子系　教授	2024.4.1 ～ 2026.3.31	TEL 03-5734-3764	okada@ee.e.titech.ac.jp
史　　又華	早稲田大学基幹理工学部電子物理システム学科　教授	2024.4.1 ～ 2026.3.31	TEL 03-5286-3400	shi@waseda.jp
秋田　純一	金沢大学融合研究域融合科学系インターフェースデバイス研究室　教授	2025.7.3 ～ 2026.3.31	TEL/FAX 076-234-4864	akita@ifdl.jp
石原　　亨	名古屋大学大学院情報学研究科情報システム学専攻　教授	2024.4.1 ～ 2026.3.31	TEL 052（789）4363	ishihara@i.nagoya-u.ac.jp
佐藤　高史	京都大学大学院情報学研究科通信情報システムコース　教授	2024.4.1 ～ 2026.3.31	TEL 075（753）4801 FAX 075（753）4802	takashi@i.kyoto-u.ac.jp
三浦　典之	大阪大学大学院情報科学研究科情報システム工学専攻　教授	2024.4.1 ～ 2026.3.31	TEL 06（6879）7810 FAX 06（6879）7812	nmiura@ist.osaka-u.ac.jp
藤島　　実	広島大学大学院先進理工系科学研究科量子物質科学プログラム　教授	2024.4.1 ～ 2026.3.31	TEL 082（424）6269	fuji@hiroshima-u.ac.jp
井上　弘士	九州大学大学院システム情報科学研究院情報知能工学部門　教授	2024.4.1 ～ 2026.3.31	TEL 092（802）3793 FAX 092（802）3786	inoue@ait.kyushu-u.ac.jp
宇野　重康	立命館大学理工学部電気電子工学科　教授	2024.4.1 ～ 2026.3.31	TEL 077（599）4278	suno@fc.ritsumei.ac.jp
高野　恭弥	東京理科大学創域理工学部電気電子情報工学科　准教授	2024.4.1 ～ 2026.3.31	TEL 04（7124）1501（内線3777）	ktakano@rs.tus.ac.jp
石黒　仁揮	慶應義塾大学理工学部電気情報工学科　教授	2024.4.1 ～ 2026.3.31	TEL 045（566）1815 内42255	ishikuro@elec.keio.ac.jp
永田　　真	神戸大学大学院科学技術イノベーション研究科　教授	2024.4.1 ～ 2026.3.31	TEL 078（803）6569 or 6221	nagata@cs.kobe-u.ac.jp
名倉　　徹	福岡大学工学部電子情報工学科　教授	2024.4.1 ～ 2026.3.31	TEL 092（871）6631	nakura@fukuoka-u.ac.jp
青柳　昌宏	熊本大学半導体・デジタル研究教育機構半導体部門　卓越教授	2024.4.1 ～ 2026.3.31	TEL 096（342）3810 FAX 096（342）3630	m-aoyagi@kumamoto-u.ac.jp
飯塚　哲也	東京大学大学院工学系研究科電気系工学専攻　教授	2025.11.1～ 2026.3.31	TEL 03（5841）6661	iizuka@vdec.u-tokyo.ac.jp

2025年度　システムデザイン研究センター運営委員会委員名簿

区　分	氏　　名	所　　属	任　　期	メールアドレス
委員長	池田　　誠	システムデザイン研究センター センター長	–	ikeda@silicon.u-tokyo.ac.jp
1号委員	加藤　泰浩	工学系研究科長	–	dean@t.u-tokyo.ac.jp
2号委員	川原　圭博	電気系工学専攻長	–	kawahara@akg.t.u-tokyo.ac.jp
3号委員	柴田　直哉	総合研究機構長	–	shibata@sigma.t.u-tokyo.ac.jp
4号委員	竹内　　健	システムデザイン研究センター	2025.4.1～ 2027.3.31	takeuchi@co-design.t.u-tokyo.ac.jp
5号委員	竹中　　充	電気系工学専攻	2025.4.1～ 2027.3.31	takenaka@mosfet.t.u-tokyo.ac.jp
5号委員	霜垣　幸浩	マテリアル工学専攻	2025.4.1～ 2027.3.31	shimo@dpe.mm.t.u-tokyo.ac.jp
5号委員	鈴木　雄二	機械系工学専攻	2025.4.1～ 2027.3.31	ysuzuki@mesl.t.u-tokyo.ac.jp
6号委員	中村　　宏	情報理工学系研究科	2025.4.1～ 2027.3.31	nakamura@hal.ipc.i.u-tokyo.ac.jp
6号委員	平本　俊郎	生産技術研究所	2025.4.1～ 2027.3.31	hiramoto@nano.iis.u-tokyo.ac.jp
6号委員	小林　正治	生産技術研究所	2025.8.1～ 2027.3.31	masa-kobayashi@nano.iis.u-tokyo.ac.jp

3.3　新任・退任ご挨拶

退任のご挨拶

肥後　昭男

平成29年4月に，東北大学原子分子材料科学高等研究機構から，当時の大規模集積システム設計教育研究センター（VDEC）の特任助教として採用していただきました．同年10月からはアドバンテストD2T寄附研究部門の特任講師，令和元年10月の改組後は，工学系研究科附属システムデザイン研究センター（d.lab）アドバンテストD2T寄附講座の特任講師を務め，令和7年10月からは特任准教授として，令和8年3月末までの9年間，大変お世話になりました．

私自身は，株式会社アドバンテストとは直接の縁もゆかりもありませんでしたが，父が所属していた研究室の教授が，同社の前身である武田理研の元社長，武田郁夫様と学科の同級生であったと聞いており，当時のお話を少し伺ったことがありました．そのため，アドバンテスト寄附研究部門への着任には，不思議と自然に入り込めたような感覚がありました．

寄附研究部門および寄附講座では，国内外の第一線で活躍されている半導体テスト分野の研究者をはじめ，関連する幅広い研究分野の先生方をお招きし，D2Tシンポジウムやセミナーを開催してまいりました．これらの活動を通じて，数多くの先生方や研究者の皆様と知り合うことができました．講座運営を通して新たな研究上のつながりを築くことができたことも，私にとって大きな財産となりました．在職中は，学部3年生の後期実験「LSIのテスト」を担当し，アドバンテスト社製SoCテスタを用いて，「半導体テストとは何か」「ATPGとは何か」といった基礎を，学生の皆さんとともに学びながら教育に取り組みました．後半には，新たに導入されたV93000 SoCテスタへと移行し，同装置を用いた実験を実施できるところまで発展させることができました．研究面では，株式会社アドバンテストの超高精細・超高速電子線描画装置F7000S-VD02のキャラクタープロジェクション（CP）法を駆使し，周期構造によるカラーフィルタの発現や，可変成形ビーム（VSB）法では実現が難しいCP縁取りによるシリコンフォトニック導波路の側壁粗さの低減など，最先端の研究に楽しく取り組むことができました．これもひとえに，（株）アドバンテストとの共同研究，VDECおよびd.labの教職員，学生の皆様が温かく迎え，支えてくださったおかげであると感じております．

在職中は至らぬ点も多々あり，皆様にご迷惑をおかけすることも少なくなかったと思います．そのたびにVDECおよびd.labの皆様に助けていただき，9年間を楽しく，充実して過ごすことができましたことに，心より感謝申し上げます．

令和8年4月からはご縁をいただき，東京電機大学工学部電気電子工学科へ異動いたしました．所属は変わりましたが，今後も皆様とのご縁を大切にしながら，研究・教育に取り組んでまいりたいと考えております．引き続き，ご支援，ご指導，ご鞭撻を賜りますよう，何卒よろしくお願い申し上げます．

最後になりましたが，VDECおよびd.labにおいて，研究，教育，そして寄附講座の運営に携わる貴重な機会をいただけましたことに，改めて深く感謝申し上げます．池田センター長をはじめ，歴代センター長を務められた黒田先生，藤田先生，浅田先生，VDECおよびd.labでお力添えをいただきました教員，職員の皆様，武田先端知ビルの関係者の皆様，学生の皆様，そして日頃よりお付き合いいただきましたすべての皆様に，心より御礼申し上げます．

退任のご挨拶

平本　俊郎

2026年3月に東京大学を定年退職いたしました．長期にわたりVDEC/d.labの皆様には大変お世話になり深く御礼申し上げます．

私のVDEC/d.labとの関係は非常に深く，1996年のVDEC設立直後に生産技術研究所から交流人事の一環としてVDECに異動し，2002年まで助教授として鳳紘一郎センター長および浅田邦博センター長をお支えしました．2019年のd.lab設立後はd.lab教授を兼務するとともに先端デバイス研究門長を拝命し，テクノロジーサイドからd.labの半導体設計事業を支援しました．

さらに定年退職後の今年4月からは，池田誠センター長の計らいでd.labの上席研究員を拝命し，テクノロジーと設計の融合を軸とした研究開発を継続する機会をいただいております．また，2022年に設立された技術研究組合最先端半導体技術センター（LSTC）のデバイス技術開発部門長の仕事も継続させていただいております．

現在のAIブームを持続的な社会大変革へと昇華させる鍵が半導体のさらなる技術革新にあることは，誰の目にも明らかです．次世代の社会基盤を支え，豊かな未来を創造する次世代半導体に向けた挑戦をd.labにて続けてまいります．今後ともどうぞよろしくお願い申し上げます．

新任のご挨拶

井出　倫滉

2026年4月1日付で，生産技術研究所より講師として着任いたしました．異動に際しては，先生方や事務スタッフの皆様にお世話になりました，この場をお借りして御礼申し上げます．日本の半導体設計研究を牽引するd.labで新たなスタートを切れることに，身の引き締まる思いであるとともに，学生時代から設計ツール等でお世話になっているVDECに微力ながらお役に立てることを大変光栄に思います．

私が初めてVDECにお世話になったのは高専時代の卒業研究でした．Virtuosoを使ってPLL回路のシミュレーションをやっていたと記憶しています．その後，東京工業大学（現・東京科学大学）工学院電気電子系に編入学し，学部4年から岡田健一教授と白根篤史准教授の指導を受けながら，ミリ波帯アナログ集積回路の設計を専門としてまいりました．無線給電・無線通信向けの集積回路研究を行い，2024年9月に博士号を取得しております．同年10月からは生産技術研究所の高宮研究室で助教を務め，2026年1月に講師へ昇任いたしました．

高宮研究室に加わって以来，無線技術で蓄積した回路設計の知見をパワーエレクトロニクスへ応用する道を探ってまいりました．この分野でも絶縁給電や通信は鍵となる技術であり，電力とデータをワイヤレスで届けるという視点からパワエレ分野の研究テーマに取り組めることにやりがいを感じております．今後は，d.labの充実した設計基盤を活かし，各分野の先生方のお力もお借りしながら，新しい回路技術の開拓と学生の育成に力を尽くす所存です．至らぬ点も多いかと存じますが，皆様のご支援を賜りますよう，よろしくお願い申し上げます．

3.4　決算報告

1．運営費交付金

（円）

事　項	収入（予算配分）額	支　出　額	過　不　足　額
共通経費	2,160,002,444	1,942,829,450	217,172,994
研究経費	21,162,679	24,955,201	△3,792,522
計	2,181,165,123	1,967,784,651	213,380,472

2．2025年度公的機関からの研究費

	教員名	委託者	研究課題	種　類	受入金額（円）
1	池田　誠	文部科学省	Agile-X～革新的半導体技術の民主化拠点	受託研究	295,000,000
2	池田　誠	技術研究組合最先端半導体技術センター	ポスト5G情報通信システム基盤強化研究開発事業／先端半導体製造技術の開発／(f1) 2ｎm世代半導体技術によるエッジＡＩアクセラレータの開発／2ｎm世代半導体技術によるエッジＡＩアクセラレータの開発	受託研究(技組分室)	129,058,600
3	池田　誠	技術研究組合最先端半導体技術センター	ポスト5G情報通信システム基盤強化研究開発事業／人材育成／最先端デジタルＳｏＣ設計人材育成	受託研究(技組分室)	109,452,200
4	池田　誠	技術研究組合最先端半導体技術センター	ポスト5G情報通信システム基盤強化研究開発事業／先端半導体製造技術の開発／チップレット型カスタムＳｏＣ設計基盤技術開発	受託研究(技組分室)	71,678,200
5	池田　誠	国立研究開発法人 科学技術振興機構	Ｓｍａｒｔ－Ｘを実現する高信頼のサイバー・フィジカル・コグニティブ・システムの構築	受託研究	35,100,000
6	池田　誠	国立研究開発法人 科学技術振興機構	高効率暗号化ディープニューラルネットワークプロセッサのFPGAによる実装	受託研究	3,733,029
7	池田　誠	国立研究開発法人 科学技術振興機構	FHE-SWITCH: CKKS-TFHE動的スイッチング手法の協調設計最適化による準同形暗号のFPGAによる高速化手法の研究	受託研究	3,733,029
8	池田　誠	国立研究開発法人 新エネルギー・産業技術総合開発機構	経済安全保障重要技術育成プログラム/ハイブリッドクラウド利用基盤技術の開発/半導体・電子機器等のハードウェアにおける不正機能排除のための検証基盤の確立	受託研究	57,850,000
9	池田　誠	一般財団法人サイバーリサーチコンソーチアム	経済安全保障重要技術育成プログラム/先進的サイバー防御機能・分析能力強化/サイバー攻撃に対抗するための状況把握力と防御力の向上	受託研究	90,090,000
10	池田　誠	国立研究開発法人産業技術総合研究所	AI機能付デジタル・アナログ・センサ（DAS）集積システムに関する研究開発	共同研究	4,950,000
11	竹内　健	国立研究開発法人 科学技術振興機構	ニアメモリプロセッシング	受託研究	14,300,000
12	三田　吉郎	国立研究開発法人 科学技術振興機構	理想の電気機械素子(TopoMEMS)の研究	受託研究	60,671,000
13	三田　吉郎	国立研究開発法人 科学技術振興機構	日欧米集積MEMSネットワークによる高機能・新原理エッジ半導体の開拓	受託研究	13,650,000
14	三田　吉郎	国立研究開発法人 科学技術振興機構	単一および格子配置された非冷却マイクロボロメータの設計試作	受託研究	3,733,029
15	小林　正治	国立研究開発法人 科学技術振興機構	最先端原子層プロセス国際共同研究ネットワークにおけるデバイス応用研究	受託研究	2,600,000
16	小菅　敦丈	国立研究開発法人 科学技術振興機構	ＡＳＩＣ設計ユニバーサル化に向けた，粗粒度ロジックアレープラットフォームの創生	受託研究	37,960,000

	教員名	委託者	研究課題	種類	受入金額（円）
17	小菅　敦丈	国立研究開発法人 科学技術振興機構	デバイス・システム協調による超低電圧布線論理型AIプロセッサ	受託研究	6,500,000
18	小菅　敦丈	Korea Advanced Institute of Science and Technology	Basic Research Lab (Extremely-efficient Large-scale Ising Foundation Model Training System Research Laboratory)	共同研究	825,000
19	松尾　亮祐	国立研究開発法人 科学技術振興機構	スケーラブルな量子ビット制御アーキテクチャの探究	受託研究	6,500,000
20	肥後　昭男	国立研究開発法人 科学技術振興機構	無線応用機械学習光推論器向け光集積回路の研究開発	受託研究	20,904,000
21	若林　一敏	国立研究開発法人 科学技術振興機構	設計自動化AIエージェントの研究	受託研究	9,100,000
22	丹羽　正昭	国立研究開発法人 科学技術振興機構	パワーエレクトロニクス応用におけるSiC半導体素子の革新	受託研究	5,811,000
23	高木　　剛	国立研究開発法人 科学技術振興機構	フォノンエンジニアリングに立脚した3DIC放熱技術開発	受託研究	7,150,000
合　　計					990,349,087

※合計金額は，上記1～23の各課題の合計金額を記載している．

3．2025年度民間企業等からの研究費

	教員名	申込者	研究課題	種類	受入金額（円）
1	池田　　誠	キオクシア株式会社	ストレージシステム向け高機能暗号回路技術の研究	受託研究	－
2	池田　　誠	Taiwan Semiconductor Manufacturing Company, Ltd.	Hardware Accelerator Design of PQC: CRYSTALS-Kyber/Dilithium	受託研究	－
3	池田　　誠	株式会社アドバンテスト	先端LSI開発環境・テスティング技術	共同研究	－
4	池田　　誠	Taiwan Semiconductor Manufacturing Company, Ltd.	Advanced Semiconductor Creation (ASC) Program	共同研究	－
5	竹内　　健	株式会社SCREENセミコンダクターソリューションズ	半導体製造装置の機械学習を用いた自動制御	共同研究	－
6	三田　吉郎	東レ株式会社	有機材料を用いた半導体パッケージのプロセス開発	共同研究	－
7	小林　正治	Taiwan Semiconductor Manufacturing Company, Ltd	Technology development of stacked nanosheet oxide semiconductor FETs	受託研究	－
8	小林　正治	日本サムスン株式会社 Samsungデバイスソリューションズ研究所	次世代ＤＲＡＭ応用に向けた酸化物半導体トランジスタの材料及びデバイスに関する研究	共同研究	－
9	小林　正治	日本サムスン株式会社 Samsungデバイスソリューションズ研究所	次世代NAND応用に向けた強誘電体トランジスタの材料及びデバイスに関する研究	共同研究	－
10	小林　正治	株式会社神戸製鋼所株式会社コベルコ科研	大規模集積回路応用に向けたIn系酸化物半導体とHfO系絶縁膜を用いたデバイスプロセスに関する研究	共同研究	－
11	小菅　敦丈	Taiwan Semiconductor Manufacturing Company, Ltd	3D-CiM: ThurChip Interface-Based 3D-Stacked SRAM and a Non-linear Neural Network for Weight Matrix Compression for Transformer-AI Applications.	受託研究	－
12	小菅　敦丈	Rapidus株式会社	ポスト5G情報通信システム基盤強化研究開発事業／先端半導体製造技術の開発(委託)／2ｎm世代半導体のチップレットパッケージ設計・製造技術開発	受託研究	－

	教員名	申 込 者	研 究 課 題	種 類	受入金額（円）
13	小菅　敦丈	株式会社神戸製鋼所	3次元実装半導体デバイスにおける薄膜AINの適用に関する研究	共同研究	−
14	肥後　昭男	理研計器株式会社	膜センサの開発	共同研究	−
合　　計					957,152,520

※合計金額は，上記1〜14の各課題の合計金額を記載している．
※研究課題，受入金額の「−」は非公表を意味している．

4．2025年度寄附金

受入件数：1件　　受入額 計　30,000,000円
（株式会社アドバンテスト）

第4章　研究報告 −各研究室−

4.1　全体概況

	研究室構成人数	研究発表			著書	特許	受賞
		研究論文	国際会議	その他			
d.lab教員	88	27	49	76	0	5	8
協力教員	210	71	146	142	0	5	28

4.2　研究室構成員（2025年度）

飯塚研究室　構成

飯　塚　哲　也	教授
浅　見　幸　司	特任講師
ビャムバドルジ ゾルボー	助教
ヴァタンハガディム ベラズ	特任研究員
李　　爍　煒	博士3年
王　　錫　明	博士3年
張　　浩　明	博士3年
加　納　創　太	博士2年
朱　　玉　揚	博士2年
竹　中　理太郎	博士1年
陈　　赟　杰	博士1年
魚　　家　傲	博士1年
小　野　まとい	修士2年
佐久間　文　哉	修士2年
湯　浅　太　蔵	修士2年
賈　　沅　鑫	修士2年
任　　煥　宇	修士2年
占　　黎　晨	修士2年
何　　永　隽	修士2年
内　田　雅　大	修士1年
大　西　啓　介	修士1年
賀　　家　瑞	修士1年
市　川　　格	学部4年
福　島　幸　弥	学部4年
古　内　拓　輝	学部4年

池田研究室　構成

池　田　　誠	教授
松　本　高　士	技術専門職員
宮　武　悠　人	助教
松　尾　亮　祐	助教
荒　川　文　男	特任研究員
Ckristian Duran	特任研究員
繆　逸杰(Yijie Miao)	特任研究員
Bayasgalan Amartuvshin	博士3年
Anawin Opasatian	博士3年（修了・博士取得現在 Apple Japan）
叶 子楊（Ziyang Ye）	博士3年（修了・博士取得現在特任研究員）
HAOPENG MENG	博士3年
赵 寅帆(Yinfan Zhao)	博士3年
孙 鹏飞 (Pengfei Sun)	博士1年
中　村　孔　星	修士2年（修了　現在　株式会社 Preferred Networks）
中　村　優　斗	修士2年（修了　現在　Turing 株式会社）
李　奥 (Ao Li)	修士2年（終了　現在）
厳　涵(Han Yan)	修士2年
鈴　木　佑　典	修士1年
羽　鳥　智　裕	修士1年
森　上　　巧	修士1年
姜 景瑞(Jingrui Jiang)	修士1年
吴 昊(WU Hao)	修士1年
沈 奕辰(Shen Yichen)	修士1年
椿　　大二郎	修士1年
崔　豪(Hao Cui)	修士1年
林　　健　介	学部4年（現在　修士1年）
中　川　智　文	学部4年（現在　修士1年）
田　宮　蒼　良	学部4年（現在　電子情報学専攻/国立情報学研究所越前研究室修士1年）

内田研究室　構成

内　田　　建	教授
豊　島　　遼	講師
Sukwinder　Singh	JSPS 外国人特別研究員
須　田　秀　喜	学術専門員
田　中　美奈子	学術専門員
田　島　有　子	技術補佐員
成　田　雄　紀	博士2年
申　　雨　祥	博士2年
吉　永　啓　人	博士1年
斎　藤　兵　悟	修士2年
財　前　孝　輔	修士2年
宇　井　柱　明	修士1年
曲　　韫　卓	修士1年

任　皓然	修士1年
野口尚暉	修士1年
何　浩東	修士1年
渡邉一輝	修士1年
加藤大海	学部4年
末田駿志	学部4年
一柳昭仁	学部4年
宮城　渉	学部4年
由上航大	学部4年

小菅研究室　構成

小菅敦丈	准教授
濱田基嗣	特任教授
天野英晴	上席研究員
丹羽正昭	上席研究員
若林一敏	上席研究員
高木　剛	主幹研究員
川野連也	特任研究員
最上　徹	特任研究員
二宮健生	特任研究員
岡田光司	学術支援専門職員
Wai-Yeung Yip	学術支援専門職員
林　泰弘	学術支援専門職員
窪田通孝	学術支援専門職員
王　俊沙	学術支援専門職員
近藤翔午	学術支援専門職員
Jaewon Shin	博士2年
Hung-Chih Huang	博士2年
Jiawei Yu	修士2年
Yuxuan Pan	修士2年
御手洗勇輝	修士2年
小林凌士	修士1年
Lingxiao Li	修士1年
内間典子	特任専門職員
豊井弘美	特任専門職員
中島幹子	特任専門職員

染谷・横田研究室　構成

染谷隆夫	教授
横田知之	准教授（横田研）
李　成薫	特定客員准教授
神保泰俊	講師
多川友作	助教（横田研）
高桑聖仁	助教（横田研）
Du, Baocai	特任助教（横田研）
LIANG, Xiaoping	特任研究員
CHEN, Hongting	特任研究員
Yu, Buyun	特任研究員（横田研）
Dong, Shilong	特任研究員（横田研）
Dong, Yun	特任研究員（横田研）
Zhao, Dou	JSPS外国人特別研究員(横田研)
Sharma, Shubham	JSPS外国人特別研究員
Chen, Yun	客員研究員
Ma, Haoyu	客員研究員
松葉頼重	特任研究員
川島伊久衞	学術専門職員
立花勇太郎	学術専門職員
小泉真里	学術専門職員
雪田和歌子	学術専門職員
池ケ谷智子	特任専門職員
松岡一代	特任専門職員
山崎祥子	特任専門職員
原　五月	技術補佐員
Wijaya Theodorus	博士3年
XU, Ruifeng	博士3年（横田研）
奥田知華	博士2年（横田研）
海老原祐輔	博士1年
佐々木光生	博士1年（横田研）
Lee, Junyeong	博士1年
Huang, Yijun	博士1年（横田研）
牛丸智晶	修士2年（横田研）
増田　凌	修士2年
鷲見　直	修士2年（横田研）
阿部大和	修士2年
青木悠登	修士2年（横田研）
按田智大	修士2年
粟倉　幸	修士2年（横田研）
Qiu, Wei	修士2年

Wang, Haiyu	修士2年
井内　悠	修士1年
見附昂紀	修士1年（横田研）
中込満博	修士1年
立花卓遠	修士1年
Luo, Liyang	修士1年
Cai, Qijun	修士1年（横田研）
大場邦誉	学士4年（横田研）
小崎　凱	学士4年（横田研）
江角　学	学士4年
井上将希	学士4年

竹内研究室　構成

竹内　健	教授
松井千尋	特任准教授
三澤奈央子	学術支援専門職員
Adil Padiyal	博士2年
劉　汝暉	博士2年
薛　寒熙	博士1年
林　达祺	修士2年
張　宇帆	修士2年
柴田行輝	修士2年
鈴木渉太	修士2年
張　睿騏	修士1年
平田佑亮	修士1年
アバラ勇士	修士1年
林　雅大	修士1年
鄭　照強	修士1年
山本湧也	学部4年
東　真史	学部4年
杉本　健	学部4年

竹中研究室　構成

竹中　充	教授
戴　維	特任助教
万　阳阳	特任助教
柴　成立	博士3年（工学系）
柳　柱栄	博士3年（工学系）
張　超	博士2年（工学系）
赤澤智熙	博士2年（工学系）
作本宙彌	博士1年（工学系）
傅　晟	修士2年（工学系）
バルダワジ ダルワ イシャン	修士2年（工学系）
小松健太郎	修士2年（工学系）
小林研二	修士2年（工学系）
汪　元品	修士2年（工学系）
潘　勁馳	修士2年（工学系）
郭　津睿	修士2年（工学系）
森　温音	修士1年（工学系）
武田知大	修士1年（工学系）
大山璃人	学部4年（工学部）
牧野礼志	学部4年（工学部）
山下泰征	学部4年（工学部）

トープラサートポン研究室　構成

トープラサートポン カシディット	准教授
褚　喬	特任研究員
名幸瑛心	特任研究員（工学系）
劉　振泓	博士2年（工学系）
陳　育同	博士2年（工学系）
李　東熙	博士2年（工学系）
靳　釗	博士1年（工学系）
高　烜赫東	博士1年（工学系）
万　明霞	修士2年（工学系）
伊藤広恭	修士2年（工学系）
志村瞭太朗	修士1年（工学系）
周　亮安	修士1年（工学系）
松川浩之	修士1年（工学系）
劉　廷鈺	修士1年（工学系）
戴　子豪	修士1年（工学系）
任　子游	修士1年（工学系）
鄭　昇旼	学部4年（工学部）
秋田英佑	学部4年（工学部）

中村研究室　構成

中　村　　宏	教授
高　瀬　英　希	准教授
上　野　洋　典	特任助教
小　島　拓　也	客員研究員
宮　城　竜　大	博士3年
李　　慧　霖	博士3年
齋　藤　　真	博士2年
伊　藤　向　子	博士1年
野　崎　　愛	博士1年
小　野　悠　太	修士2年
中　田　雅　貴	修士2年
浦　瀬　英　弘	修士2年
織　田　悠　希	修士2年
高　島　和　樹	修士2年
森　田　昌　樹	修士2年
徐　　宇　東	修士2年
小　澤　秀　真	修士2年
劉　　丕　業	修士2年
周　　　莎	修士1年
猪　狩　翔　太	修士1年
藤　丸　晃　浩	修士1年
堀　口　卓　宏	修士1年
渡　邉　　聖	修士1年

平本・小林研究室　構成

平本俊郎研究室

平　本　俊　郎	教授
更　屋　拓　哉	助手
竹　内　　潔	特任研究員
水　谷　朋　子	特任研究員
鈴　木　慎　一	特任研究員
高　倉　俊　彦	特任研究員
福　井　宗　利	特任研究員
高　瀬　博　行	特任研究員
櫛　田　知　義	特任研究員
伊　藤　一　夫	シニア協力員
金　　駿　午	博士3年
二　木　大　輝	博士2年
李　　珍　秀	博士1年
霜　田　龍　生	修士2年
馮　　子　申	修士2年

小林正治研究室

小　林　正　治	准教授
Chitra PANDY	特任研究員
梅　　瀟　然	博士3年
糸　矢　祐　喜	博士3年
金　　在　顕	博士3年
金　　成　勳	博士3年
郝　　俊　翔	博士3年
黄　　星　宇	博士2年
陳　　安　瀾	博士2年
朴　　基　雄	博士2年
崔　　善　洪	博士2年
肖　　瑶　萍	博士1年
坂　井　洸　太	博士1年
王　　宇　軒	博士1年
金　　英　雄	博士1年
永　井　歩　武	修士2年
全　　鎮　炫	修士1年

三田研究室　構成

三　田　吉　郎	教授
中　根　了　昌	特任准教授（寄付講座ナノシステム集積技術の創製）
肥　後　昭　男	特任講師（ADVANTEST D2T）
安　永　　竣	助教
黄　　吉　卿	客員研究員（LIMMS研究所/仏CNRS C2N研究所）
落　合　幸　徳	特任研究員（マテリアル先端リサーチインフラ事業　専任マネージャ）
島　本　直　伸	特任研究員（次世代X-nics拠点形成事業）
坪　井　伸　二	特任研究員（マテリアル先端リサーチインフラ事業　クリーンルーム支援担当）
Anne-Claire EILER	特任研究員（JST CREST）

水島彩子	技術専門職員（マテリアル先端リサーチインフラ事業技術支援担当）
豊倉　敦	技術専門職員（電気系一般電子実験室，武田先端知204バックエンド加工室支援担当）
澤村智紀	技術専門職員（武田先端知クリーンルーム管理室）
與田光弘	技術専門職員（武田先端知クリーンルーム管理室）
中西克文	学術専門職員（武田先端知クリーンルーム管理室）
太田悦子	学術専門職員（マテリアル先端リサーチインフラ事業　技術支援担当）
井上友里恵	学術専門職員（マテリアル先端リサーチインフラ事業　技術支援担当）
河井哲子	学術専門職員（マテリアル先端リサーチインフラ事業　ディレクション担当）
大江千明	特任専門職員（マテリアル先端リサーチインフラ事業　事務局）
藤原　誠	支援員（マテリアル先端リサーチインフラ事業　技術支援担当）
中山雄太	共同研究員（電気系，コニカミノルタ）
梅田賢一	共同研究員（NanoHub，AGC）
三角　啓	博士3年
島村龍伍	博士1年
中村友哉	博士1年
辻　啓吾	修士2年
髙橋遼平	修士2年
吉田安紀彦	修士2年
後藤将人	修士2年
廣安幸志郎	修士1年
前川浩紀	修士1年
神谷海人	学部4年
小林亮太	学部4年
松澤昊志	学部4年
ほか3名	共同研究員

4.3 研究概要

飯塚研究室

[http://www.mos.t.u-tokyo.ac.jp/iizuka)

低雑音位相同期回路技術

飯塚 哲也，張 浩明，朱 玉陽，佐久間 文哉，
任 煥宇，何 永隽

サンプリングPLL（SPLL）は，サンプリング位相比較器（SPD）が有する高いゲインにより低ジッタな周波数合成を実現でき，結果として低い帯域内位相雑音（PN）が得られる．しかし，SPDの線形範囲は非常に狭く，量子化誤差（Q-error）がこの範囲を超えるため，直接的なフラクショナルN動作は困難である．そのため，従来は複雑なキャリブレーションを必要とし，非線形性を有するデジタル時間変換器（DTC）を用いる方式が一般的であった．

近年提案されたMMDベースQEC技術では，2つの多重モジュラス分周器（MMD）が1つのMMDを共有する構成を用いることで，ゲイン誤差を生じることなくQ-errorのキャンセルが可能である．しかし，この方式ではLC-VCOを用いた補助（AUX）PLLを必要とし，チップ面積がほぼ2倍になるという課題がある．リング発振器（RO）を用いることで面積削減は可能であるが，FoMが劣るため，ROの消費電力を大幅に増加させる必要がある．

そこで本研究では，カスケードPLL構造におけるAUX VCOの位相雑音を抑圧する手法として，フィードフォワード雑音キャンセル（FFNC）を提案・適用した．第1段の位相比較器（PD）出力を第2段の出力に加えることで，段間経路のゲインと一致した場合に，メインPD出力においてAUX VCOの雑音を打ち消す新たな経路が形成される．FFNCは，AUX VCOの位相雑音に対してカットオフ周波数fref/2を有する追加のハイパスフィルタ効果を提供し，ループ特性を変更することなく，他の回路要素の雑音寄与を増加させることもない．

以上より，本研究ではFFNCとMMDベースQECを組み合わせることで，キャリブレーション集約型のDTC方式を用いないフラクショナルN SPLLを提案した．低い基準周波数frefにおいても，カスケード構造でありながらLCOを1つのみ用いることで，ジッタ，消費電力，チップ面積の良好なバランスを実現している．提案したPLLは65 nm CMOSプロセスで試作され，測定結果として157 fsのジッタおよび−73 dBcのフラクショナルスプリアスを達成した．

また，分数倍の基準周波数を生成するfractional-N PLLは，多くの通信システムにおいて重要な構成要素である．近年，マルチレーンSerDesやスピン波検出システムなどの応用ではインダクタレス設計が求められており，低ジッタかつ低スプリアス特性を有するROベースPLLの需要が高まっている．しかし，fractional-N動作時には量子化雑音がRO固有の高雑音と重畳し，ジッタ性能が著しく劣化するという課題がある．

量子化雑音の抑制とPLL帯域幅の拡大の両立を目的として，FIRフィルタを組み込んだSPDを用いたインダクタレス高調波ミキサ（HM）ベースfractional-N PLLを提案・設計した．外部PLLには，可変デューティ比リング発振器およびゼロISFサブサンプリング位相比較器を採用し，広帯域化によりROの高雑音を抑制しつつ，低リファレンススプリアスを維持する構成とした．メインPLLでは，HM構造とFIRフィルタを組み合わせることで，広いループ帯域を保ちながら量子化雑音の低減を実現している．

本チップはTSMC 65 nmプロセスで試作され，外部PLLにおいて1 kHz～100 MHzの範囲で積分したRMSジッタは，スプリアスを含む場合で186.8 fs，含まない場合で180.4 fsであった．電源電圧1 V時の総消費電力は22.45 mWであり，ジッタ電力FoMは−241.1 dBを達成した．測定されたリファレンススプリアスは−70 dBcであり，キャリブレーションなしで低ジッタと低スプリアスを同時に実現した．なお，HMベースPLL全体の測定は現在進行中である．

さらに，高調波ミキサベースPLLにおける量子化雑音低減手法として，デジタル時間変換器（DTC）の併用について検討した．HMベースフィードバックは量子化雑音の増幅を回避できるが，雑音自体は残留する．一方，DTC自体にも雑音は存在するものの，HMベースPLLに組み込んだ場合にはその雑音が増幅されない．電力とジッタのトレードオフに基づく最適化の結果，高調波ミキサとDTCの双方を用いたPLLアーキテクチャは，いずれか一方のみを用いた構成よりもFoMに優れることが示された．最適化結果に基づいて回路設計およびシミュレーションを行ったところ，FoMは−249 dBとなり，最適値（−254 dB）からは5 dBの劣化が見られたものの，既報論文の実測値と比較しても良好な性能を得た．

スピン波検出システム向けには，広い周波数可変範囲を有するインダクタレスPLLが要求される．そこで，システムレベルモデルを構築してノイズバジェットを解析し，PLLに要求される性能指標を導出した．その結果，雑音指数2.5 dBのLNAが利用可能な場合，PLLの積分ジッタが1200 fsを超えるとPLLが支配的な雑音源となることが明らかとなった．これを踏まえ，設計目標を積分ジッタ1200 fs以下と設定し，レンジリダクションを導入したDTCベースfractional-N PLLアーキテクチャを採用した．シミュレーションでは，整数モードで1074 fsの積分ジッタを達成したが，分数モードではROの位相誤差により約1600 fsまで劣化しており，今後の課題である．

さらに，28 nm CMOSプロセスを用いた28 GHz低消費電力・低位相雑音QVCOの設計を完了した．提案するQVCOでは，二次高調波共振技術と磁気結合技術を組み合わせることで，フリッカ雑音と位相誤差の同時抑制を実現している．ポストレイアウトシミュレーションの結果，フリッカコーナ周波数は約60 kHz，位相誤差は0.06°以下，1 MHzオフセットで約−109 dBc/Hzの位相雑音を達成した．回路コア面積は約0.08 mm²，消費電力は0.4V動作時で8 mW以下である．今後は試作チップの測定により，提案手法の有効性を実験的に検証する予定である．

高速・高精度変換回路とその自動設計技術

飯塚 哲也，浅見 幸司，李 燦煒，王 錫明，
竹中 理太郎，陳 贇杰，魚 家傲，内田 雅大，侯 文天

高精度・低雑音ADCの実現に向けて，Floating Inverter Amplifier（FIA）を用いた離散時間ΔΣADCを中心とした研究に取り組んだ．昨年度に試作したチップの測定結果に基づき，性能低下の要因について詳細な分析と検証を行い，その結果を踏まえて回路設計の改良を実施した．最新の測定結果より，ADC性能が前回の試作チップと比較して改善していることを確認した．

また，Sampling Noise Cancellation（SNC）技術の効果がFIAのゲイン精度に強く依存する点に着目し，この課題を解決するためにGain-switched FIAを用いたΔΣADC回路を提案した．本手法では，従来のようにCRESのみを切り替えるのではなく，トランジスタサイズを切り替えることでゲイン制御を行い，より安定したSNC効果を実現している．一方で，SNCにより第1段積分器のサンプリング雑音は低減されたものの，FIAに起因する増幅器雑音が支配的となることが明らかとなった．そこで，その後は主としてアンプ雑音の低減を目的とした回路構成の検討を進めた．具体的には，ゲイン変換および雑音変換の原理を用いて等価雑音を低減する2段構成FIAを提案し，回路設計およびシミュレーション評価を行った．現在，試作チップの測定を進めており，提案したΔΣADCが従来よりも低い消費電力で高いSNDRを実現できることを確認している．

6GやWi-Fiなどの高速無線通信およびその測定器向けには，高速・高精度かつ低消費電力なADCが求められる．入力帯域幅が1 GHzを超えるADCでは，一般にタイムインターリーブ技術が用いられるが，チャネル間干渉やミスマッチによる精度劣化，ならびに入力容量増大による高消費電力バッファの必要性といった課題がある．また，帯域外妨害信号を除去するためのアンチエイリアシングフィルタ（AAF）は，PCB実装が難しく，コスト増加の要因となる．本研究では，AAFをADC入力バッファとして集積回路上に統合する手法を提案した．ADCの入力容量をAAFの一部として設計することで，入力バッファを不要とし，消費電力の低減と雑音・歪特性の改善を達成している．さらに，分割基準電圧方式を導入することでチャネル間干渉の低減を図った．提案手法は28 nm CMOSプロセスを用いた12ビット6.4 GHz ADCとして実装された．

高速有線・無線通信向けADCでは，入力段においてサンプリング容量を高速に充電するためのバッファが必要となり，消費電力が大きい．サンプリング容量削減によるバッファ削除は有効である一方，サンプリング雑音の増大により高精度化が困難となる．本研究では，高速動作ADCに適用可能なサンプリング雑音キャンセル機構の実現を目指した．従来手法で律速要因となっていたアンプの増幅回数を1回に削減し，2組のコンパレータ入力を用いて増幅信号とCDAC信号の減算を行う構成とした．シミュレーションにより，変換速度を40 MS/sから100 MS/sへと向上できることを確認した．

一方，プロセス微細化に伴う設計ルールの厳格化により，アナログ回路のレイアウト設計はますます困難となっている．そこで本研究では，スタンダードセルを用いてADCを構成し，ディジタル配置配線フローを

活用した自動レイアウト合成手法の検討を行った．先行研究ではインバータセルのみを用いた構成により自動化を実現していたが，電力効率や分解能，速度に課題があった．本研究では，スタンダードセルによるブートストラップ回路の実現やコンパレータ構成の見直しを行い，性能改善を図った．シミュレーションの結果，10ビットSAR ADCにおいてSNDR 55.8 dB，サンプリング周波数64 MS/s，FoM 60.3 fJ/conv-stepを達成した．

さらに，高精度センサインタフェース向けに，4ビットNS-SAR量子化器を用いた3次離散時間ΔΣADCを設計した．本研究では，CLS-FIAに対してParallel-Body-Biasing（PBB）技術を適用し，DC利得を4.39 dB向上させ34.84 dBを達成した．また，NS-SAR量子化器のFIRフィルタにFloating-Flipped Voltage Follower（FFVF）構造を導入することで，消費電力を22%削減した．本チップは65 nm CMOSプロセスで試作され，10 MHzサンプリングおよび100 kHz信号帯域で動作する．1 V電源で127.77 μWの消費電力，SNDR 92.5 dB，Schreier FoM 181.4 dBを達成し，電力効率の観点で最先端レベルの性能を示した．

深宇宙探査機向けワンチップ送受信機の設計

飯塚 哲也，加納 創太，大西 啓介，市川 格

民間を含めた挑戦的な深宇宙探査の流れが加速するなか，探査機の小型化に対する需要が高まっている．なかでも，通信モジュールは探査機に不可欠な構成要素の一つであり，その小型化・軽量化およびコスト削減に対する要求は大きい．近年の超小型惑星探査機では，主にコスト削減を目的として民生品の利用が増加しているが，民生品を広範囲に用いるシステムにおいて長期間にわたり高い信頼性を確保することは困難であり，深宇宙探査ミッションへの適用における大きな障壁となっている．この課題に対する解決策として，通信モジュールを構成する送信機，受信機，およびデジタル信号処理回路をワンチップに統合した送受信機の実現が提案されている．ワンチップ化により，回路全体のサイズを大幅に削減できるだけでなく，全機能が単一部品に集約されるため，従来の無線通信機と比べて信頼性の担保が容易になる．一方で，ワンチップ化に伴い新たな課題も顕在化する．その一つが，半導体デバイスの放射線耐性である．深宇宙探査ミッションでは，低軌道衛星と比較して高エネルギーの放射線に長期間さらされるため，放射線による回路誤動作や特性劣化に対する有効な対策が不可欠となる．

本研究では，まず深宇宙探査機向けワンチップ通信機の実現に向けて，X帯（7.2 GHz）受信回路の設計および試作を行った．フロントエンド回路に加え，位相同期回路（PLL），中間周波数増幅器，アナログ・デジタル変換器（ADC）を含むワンチップ受信システムをTSMC 65 nm CMOSプロセスで設計し，シリコン集積による実現性を検証した．高エネルギー粒子に起因するシングルイベント効果によるロック喪失を考慮し，PLLには耐放射線技術を導入した．試作チップは，過去の深宇宙探査ミッションで用いられた受信機と同等の3.4 dBの雑音指数を75 mWの消費電力で達成した．また，2光子吸収（TPA）パルスレーザ試験により，PLLにおけるシングルイベント効果が効果的に抑制されていることを確認した．さらに，最大300 kradまでのガンマ線照射試験により，ミッションで想定されるトータルドーズ効果に対して回路が機能を維持することを確認した．これらの測定結果は，深宇宙探査機の受信機が性能および信頼性を維持したままCMOSワンチップで代替可能であることを示している．

次に，可変容量素子（バラクタ）を用いない可変インダクタンス型電圧制御発振器（VCO）による放射線耐性向上手法を提案した．PLLにおいては，三重冗長が適用可能なデジタル回路ブロックを除き，VCOに用いられるバラクタの放射線耐性が特に問題となる．一般的なLC-VCOではバラクタの入力電圧を制御することで周波数を調整するが，放射線により入力電圧が変動すると，PLL出力周波数の大幅な変化やロック喪失を引き起こす可能性がある．本研究では，バラクタを用いない可変インダクタンス型LC-VCOをTSMC 65 nm CMOSプロセスで試作し，TPAパルスレーザ照射による耐放射線性評価を行った．比較対象として同時に試作したバラクタ型LC-VCOでは誤動作が観測されたのに対し，可変インダクタンス型LC-VCOではレーザ照射による誤動作は確認されず，提案手法の有効性が実証された．

さらに，放射線による恒久的な素子劣化であるトータルドーズ効果（Total Ionizing Dose: TID）を考慮したアナログ回路設計手法の確立に取り組んだ．まず，TSMC 65 nm CMOSプロセスを用いて，TIDによるト

ランジスタ特性およびばらつきの変化を評価するための測定用チップを設計した．製造したチップに対し，深宇宙探査ミッションを想定した1.6 Mradのガンマ線照射を行い，TIDによる特性変化データを取得した．測定結果から，トランジスタのLおよびWが小さい場合に特性変化が大きく，サイズが大きいほど変化率が小さくなる傾向が確認された．一方，照射前後で特性ばらつきに顕著な差は見られず，電流源などのマッチングが重要なアナログ回路においては，プロセスばらつきと比較してTIDの影響が十分に小さいことが示された．さらに，実測データを基にオン電流の変化およびそのばらつきとしてTIDの影響をモデル化したトランジスタモデルを作成し，回路シミュレーションに組み込むことで，TIDを考慮したアナログ回路設計が可能であることを示した．

CMOSアナログ回路によるニューロン素子の実装とその応用

飯塚 哲也，ビャムバドルジ ゾルボー，
ドラン クリスティアン，古内 拓輝

増大する計算処理とエネルギー消費の増加という課題に対処するため，アナログ・コンピューティングに基づくニューロモーフィック型ネットワークに関する研究を行った．本研究では，リザーバ・コンピューティング（Reservoir Computing: RC）に最適化され，ハードウェア実装に適したLeaky Integrate-and-Fire（LIF）ニューロンを開発した．

提案したニューロン回路は，オープンループベンチマーク（STM，XOR，NARMA10）およびクローズドループベンチマーク（FORCEアルゴリズム）において高い計算効率を示した．本システムは，リアルタイムの学習および推論動作において22.4 pJ/cycleという低消費電力性能を達成している．また，本設計は高い面積効率を有し，2×2 mm^2のチップ面積内に100ニューロンからなるネットワークを集積可能である．現在は，シミュレーション段階から物理実装段階へと研究を進めており，MNIST手書き文字認識など，より複雑なタスクへの適用も検討している．さらに，ネットワーク接続の最適化により，2.3×2.3 mm^2のエリアに1,000ニューロンを集積する高密度設計も実現した．

第一世代のチップでは，2×2 mmのエリア内に100個のニューロンを実装した．本チップでは，耐ノイズ性および内部状態抽出の信頼性を向上させる改良を行っており，その成果は来年度に出版予定の学術論文にまとめられている．チップは，プログラマブルアレイを介して相互接続された50個のニューロンから構成される．主要な性能評価として，FORCEアルゴリズムを用いたクローズドループ学習において，正弦波学習で80%の相関係数を達成した．また，メモリ容量（Memory Capacity: MC）は約4.9，非線形メモリ容量（Non-Linear Memory Capacity: NLMC）は3次で0.41，5次で0.38を記録した．NARMAタスクでは，学習時0.20，テスト時0.212の正規化誤差が得られた．さらに，MNIST手書き文字認識タスクにおいては，400個のシミュレーションニューロンと16×16ピクセルのグレースケール画像を用い，学習データで99%，テストデータで90%の認識精度を達成した．ニューロン単体の消費電力は約22.4 pJ/pulseであり，その他のデジタル処理要素の消費電力は，動作ドメインに応じて19 mWから322.7 mWの範囲であった．

第二世代のチップでは，アーキテクチャを拡張し，2.3×2.3 mmの面積に最大1,000ニューロンを集積可能な設計とした．初期の物理プロトタイプではプログラミング・プロトコルの不具合により正常動作に至らなかったが，高精度シミュレーションのための新たなニューロンモデルの抽出には成功している．この1,000ニューロン規模の実装により，音声認識など，より計算集約的なタスクへの応用が期待される．オープンループおよびクローズドループの両構成において予備的なシミュレーションは良好な結果を示しており，現在詳細な性能評価を進めている．

また，提案したVCOベースのニューロンを用いたスパイキングニューラルネットワーク（SNN）リザーバについて，レイアウト設計を行った．ビヘイビアモデルによるシミュレーションから，本回路が非線形性，高次元性，および短期記憶特性を有することを確認している．レイアウトは入出力を四辺に配置した長方形構造とし，タイル状に配置することで大規模ネットワークの構築が可能である．入出力は垂直方向に接続されたシフトレジスタを介して行われるため，追加配線を必要とせず，シリアルに外部データを出力できる．さらに，カウンタのアサート期間を調整することで，VCO出力と参照波形の立ち上がりが競合した場合でも正常にリセットされるように設計した．3×3ネットワ

ークを用いた回路シミュレーションにより，非線形性および短期記憶特性を示唆する挙動を確認した．

無線・光融合技術と無線通信用アンテナ計測技術

飯塚 哲也，浅見 幸司，ビャムバドルジ ゾルボー，宮武 悠人，王 梓博，賀 家瑞

無線・光融合技術については，無線受信機で受信した信号を光キャリアに変調し，光ファイバを介して伝送する構成を想定して研究を進めている．さらに，光ファイバシステムを活用することで，光変調器を用いたニューラルネットワーク的構成により，複雑なデジタル信号の復調処理を実現することを目指している．また，同一の光ファイバ内で異なる波長を用いて複数の無線信号を同時に伝送する波長多重伝送を想定し，光ファイバカプラの性能評価を進めている．これにより，異なる波長に割り当てられた複数のRF信号を単一の光ファイバ上で多重化し，受信側で分離することで，各RFチャネルを識別することを計画している．

本年度はその概念実証として，市販の光学部品を用いて光通信システムを構築した．単一トーン信号を光キャリアに変調して光ファイバを介して伝送し，受信側で同一信号を用いて復調する測定を実施した．光ファイバを通過した信号のパワーはフォトディテクタにより測定した．また，受信側のローカルオシレータ（LO）の位相を変化させることで，受信される光パワーが変化することを確認し，提案システムの基本動作を実証した．

無線通信におけるアンテナ計測技術に関しては，アンテナ性能を高精度に評価することが現代の無線通信システムにおいて極めて重要である．第5世代移動通信（5G）システムでは，ミリ波帯の利用および小型端末の普及により，アンテナ性能評価のためのOver-The-Air（OTA）測定が不可欠となっている．従来のOTA測定は主に遠方界測定に基づいて行われてきたが，ミリ波帯では伝搬損失が大きく，測定精度の確保が困難であるため，遠方界測定の実施が難しい場合が多い．そのため，ミリ波帯におけるOTA評価では，近傍界測定が実用的な手法として広く用いられている．近傍界測定で得られたデータに近傍界―遠方界変換アルゴリズムを適用することで，遠方界放射特性を再構成することが可能である．

近年，様々なプローブアンテナおよび被測定アンテナ（Antenna Under Test: AUT）を用いた近傍界測定を実施してきた．近傍界測定システムでは，測定時間およびプローブ設計が測定効率と精度を左右する重要な要素である．これらの課題に対応するため，本研究では目標周波数28 GHzにおいて動作するデュアル給電型マルチプローブアンテナを設計・試作した．本マルチプローブは，複数の空間位置において同時にデュアル偏波信号を受信可能である．測定結果より，偏波分離性能が20 dB以上であることを確認し，提案したプローブ設計の有効性を実証した．

このマルチプローブ構造を用いることで，スキャン空間内の複数点で同時にデータを取得でき，近傍界測定に要する時間を大幅に短縮できる．複数信号を同時に取得するため，従来のベクトルネットワークアナライザ（VNA）のポート数制限に依存しない専用の信号取得システムを開発した．開発した測定システムおよびマルチプローブアンテナの概念実証として，複数のAUTの測定を行い，遠方界放射特性を再構成した結果，良好な一致が得られることを確認した．

さらに，測定システムには複数のRF受信機およびFPGAベースのデータ取得プラットフォームを導入し，並列信号受信および処理を可能とした．これにより，OTA測定時間のさらなる短縮を実現している．また，遠方界放射パターンにヌルを有する複数のAUTを用いることで，近傍界―遠方界変換アルゴリズムの精度検証を行った．その結果，マルチプローブ構造に起因する多重反射が変換精度を劣化させる要因であることが明らかとなった．

この問題に対処するため，プローブ周辺に電波吸収体を配置する対策を講じた．その結果，不要反射を効果的に抑制し，再構成された放射パターンの精度を向上させることができた．本年度は測定システムおよび変換アルゴリズムの検証をさらに進め，その結果，再構成された遠方界放射パターンは参照パターンと極めて良好に一致し，正規化平均二乗誤差（NMSE）として−60 dBを達成した．これらの成果は，提案する近傍界測定システムおよび再構成手法の高い精度と有効性を示している．

広帯域スピン波検出システムの設計

飯塚 哲也，朱 玉揚，魚 家傲，賈 沅鑫，任 煥宇

スピン波は電子スピンの集団励起であり，熱損失を

ほとんど伴わずに情報伝送が可能であることから，次世代の超低消費電力コンピューティング技術として注目されている．しかし，スピン波のオンチップ検出は依然として大きな課題である．本研究では，インダクタレス構成の広帯域スピン波検出システムを開発することで，この課題に取り組んだ．

回路レベルのシミュレーション結果をシステムレベルの雑音解析に組み込んだ結果，システム性能を維持するために，位相同期回路（PLL）の設計目標を積分ジッタ1200 fs未満と設定した．この目標を達成するため，レンジ削減型デジタル時間変換器（DTC）を用いたfractional-N PLLアーキテクチャを採用し，必要なDTC遅延範囲を縮小することで線形性の向上およびフラクショナルスプリアスの抑制を図った．シミュレーションでは整数モードにおいて1074 fsの積分ジッタを達成した．一方，フラクショナルモードではリング発振器の位相誤差に起因してジッタが約1600 fsまで劣化しており，この点は今後の課題として改善を予定している．

併せて，可変デューティ比リング発振器およびゼロISFサブサンプリング位相比較器を用いたインダクタレスinteger-N PLLを提案・設計し，インダクタレス高調波ミキサ（HM）ベースfractional-N PLLの外部PLLとして実装した．本PLLはTSMC 65 nm CMOSプロセスで試作され，キャリブレーションなしで−70 dBcのリファレンススプリアスおよび186 fsのジッタを達成し，ジッタ電力FoMとして−241.1 dBを示した．

受信回路については，本年度にスピン波検出用の新たな低雑音増幅器（LNA）の設計を完了した．回路設計，レイアウト実装，テープアウト，ならびにポストシリコン測定まで一貫して実施した．測定結果として，利得は約32.5 dB，動作帯域は0.4〜2.2 GHz，雑音指数は約2.6 dB，消費電力は9.6 mWであった．これらの結果は，利得・帯域幅・雑音性能のバランスが良好であることを示しており，より高感度なスピン波測定および将来のシステム統合に向けたフロントエンドとして有効である．

被測定デバイス（DUT）の測定では，まず送信器出力の位相および振幅データを記録した後，本システムによりスピントロニクスデバイスを駆動してスピン波を励起する．測定は二段階から構成される．第一に，スピントロニクスデバイス，Keysight製ベクトルネットワークアナライザ（VNA），および本システム間のキャリブレーションを行うリファレンスステップである．第二に，提案送信器が位相シフト信号をスピントロニクスデバイスに送信し，オシロスコープがデバイス出力信号を取得する測定ステップである．これらの測定により，設計した送信器が所望の周波数範囲においてスピン波を励起可能であることを確認した．

ミリ波集積回路技術

飯塚 哲也，湯浅 太蔵，小野 まとい

モバイル端末やIoT機器の普及によりデータトラフィックは年々増大しており，限られた電波資源を有効活用するため，30 GHz以上の周波数帯域，いわゆるミリ波帯域を用いた無線通信技術が盛んに研究されている．また，無線通信に加えて，ミリ波レーダーシステムも自動運転や産業自動化の分野において重要性を増している．これらミリ波システムの実用化および普及には，開発・製造・保守の各段階において高品質なテスト環境が不可欠である．

ミリ波テスト環境では，被試験デバイス（DUT）の動作周波数に対応した信号源が求められる．特に広帯域動作を特徴とするミリ波システムの評価では，広い周波数可変範囲が必要となる．また，テスト信号源の品質は測定精度に直結するため，低位相雑音性能についても同時に要求される．これらの背景を踏まえ，本研究ではTSMC 28 nm CMOSプロセスを用いて，広い周波数可変範囲と低位相雑音を両立する周波数生成システムの実現を目標とした．

位相同期回路（Phase-Locked Loop: PLL）は，低雑音な参照信号を用いて電圧制御発振器（Voltage Controlled Oscillator: VCO）をフィードバック制御する回路であり，周波数生成に広く用いられている．PLLでは，構成要素回路に起因する雑音が出力信号の位相雑音を劣化させる．特に，従来の分周器を用いたフィードバック型PLLでは，デルタ・シグマ変調器の雑音が，参照信号と出力信号の分周比に比例して増幅され，支配的な雑音源となる問題があった．

本研究では，分周器の代わりにミキサを用いたフィードバック制御を採用することで，デルタ・シグマ変調器雑音の増幅を回避し，低雑音なミリ波PLLの実装を目指した．この構成により，広帯域かつ高品質なミリ波周波数生成が可能となる．

さらに，高性能なPLLを実現するためにはVCOにも高い性能が求められる．VCOの出力周波数はPLL出力に直結し，VCO自身の位相雑音がPLL出力端に現れる．従来のVCOでは，スイッチトキャパシタやバラクタといった可変容量素子を用いて周波数調整を行う手法が一般的であった．しかし，ミリ波帯のVCOではデバイス寄生容量の影響が支配的となり，容量可変比が低下するという課題がある．そこで本研究では，可変インダクタを用いたマルチコア・マルチモード構成のミリ波VCOを提案した．可変インダクタは寄生容量の影響を受けにくい周波数調整手段を提供する．また，マルチコア・マルチモード構成により，複数の発振モードを実装することで周波数可変範囲を大幅に拡大できる．これにより，ミリ波帯において広い周波数可変比を備えたVCOを実現した．

今後は，ミキサを用いたフィードバック型ミリ波PLLの設計および試作を行い，実測による性能評価を進める予定である．また，ミリ波周波数生成において広く用いられている周波数逓倍器についても，さらなる広帯域化に向けた検討を行う．

磁気トンネル接合デバイスの高速通信への応用

飯塚 哲也，ヴァタンハガディム ベラズ
ビャムバドルジ ゾルボー，占 黎晨

磁気トンネル接合（Magnetic Tunnel Junction: MTJ）デバイスは，磁気抵抗メモリ（MRAM）をはじめとするメモリおよびストレージ応用に広く用いられてきた．MTJデバイスは二つの抵抗状態を有し，これらの状態間の抵抗差はトンネル磁気抵抗（Tunnel Magneto-Resistance: TMR）特性によって決定される．この特性を利用することで，電流を印加して抵抗状態を切り替え，MTJデバイスにデータビットをエンコードすることが可能である．さらに，複数の隣接するMTJデバイスを配置した構成において，シフト電流を印加することで，あるデバイスの状態を隣接するデバイスへ転送できることが報告されている．このシフト特性は，磁壁の移動および電子間相互作用により生じる現象である．

アレイ状に配置された複数のMTJデバイスにおいて，データストレージ特性とシフト特性を組み合わせることで，入力された光データをアレイの一端に蓄積されるデジタルビットへと変換するシフトレジスタを構成できる．シフト電流によりこれらのビットはアレイ内を順次移動し，数クロック後にはレジスタ全体がデータで満たされる．この構成はフォトニックシフトレジスタ（Photonic Shift Register: PSR）と呼ばれる．PSRは，受信側が蓄積されたデータを読み出すことが可能であるため，インターコネクトとして利用できる．複数ビットを並列に読み出すことでデータ転送速度を向上させられる一方，各ビットの書き込みおよびシフト操作自体は低速で実行可能である．この低速な書き込みクロックは既存の回路設計技術で実装でき，同時並列読出しにより，書き込みクロックの数倍（MTJデバイス数に依存する）の実効通信速度を実現できる．

通信速度に加えて，消費電力も重要な設計指標である．現代のインターコネクトは厳しい電力制約の下で動作しており，通信速度の向上に伴って，高性能な全電子回路ブロックを低消費電力で実現することはますます困難になっている．これに対し，MTJデバイスを用いたストレージおよびシフト操作は，比較的少ないエネルギーで実行できることが示されている．また，PSRでは低クロック周波数での動作が可能であるため，既存の最先端研究で用いられている回路構成に比べ，低消費電力な電気回路ブロックの実現が期待できる．以上より，MTJデバイスをPSRとして利用する方式は，高速かつ低消費電力な通信を実現し得る有望なアプローチである．

昨年度は，製造された複数のMTJデバイスサンプルの特性評価を行った．得られた測定結果に基づき，MTJデバイスの等価回路モデルを構築するとともに，このモデルを含むシステムレベルモデルの一部を確立した．

複数の設計変数および設計選択肢間の相互作用を考慮したトレードオフ解析を実施した．MTJデバイスの等価回路モデルには，デバイスが発生する熱雑音を規定する抵抗およびコンデンサが含まれており，これらの要素はデータ遷移速度を制限する帯域幅にも影響する．さらに，各MTJデバイスに蓄積されたビットを読み出す際に用いられる比較器などの回路自体にも雑音が含まれ，デバイス雑音と相まって，読み出し動作中にビットエラー（ビット誤り率：BER）を引き起こす要因となる．

また，PSRを構成する電気インターフェースの一部について回路レベルの実装検討を行った．特に，各

MTJデバイスに接続される比較器回路については，異なる同相電圧条件下で動作可能な新規回路アーキテクチャを提案した．これは，PSR内部のMTJデバイス構成や製造ばらつきに起因する非理想性に対応するためである．提案した比較器は，既報の研究と比較して低消費電力であり，判断遅延の同相電圧依存性も小さい．設計した比較器集積回路（IC）は既に試作および測定を完了しており，現在は性能評価結果の最終整理を進めている．

池田研究室

[http://www.mos.t.u-tokyo.ac.jp)

高機能暗号アクセラレータの設計最適化

池田 誠, Anawin Opasatian, 王 啓睿, 羽鳥 智裕, 林 健介

楕円曲線暗号は，公開鍵暗号を支える重要な基盤技術の一つであり，その応用としてペアリング演算を用いた高機能暗号が広く研究されている．ペアリングを利用することで，IDベース暗号，属性ベース暗号，短い署名，秘匿性や認証性を備えた高度な暗号プロトコルなど，多様な機能を持つ暗号方式を実現できる．一方で，ペアリング演算は有限体演算や楕円曲線上の点演算を多数含むため計算コストが大きく，実用的なシステムへ導入するためには専用ハードウェアによる高速化が重要となる．

本研究では，ペアリングを利用した高機能暗号に着目し，その処理を効率的に実行する専用暗号アクセラレータの設計最適化に取り組んだ．特に，楕円曲線暗号において基本演算となる有限体乗算の高速化を目的として，モンゴメリ乗算器の構成を検討し，演算レイテンシや回路規模を考慮した最適化を行った．モンゴメリ乗算は，剰余乗算を効率的に実行できるため，ペアリング演算全体の性能に大きな影響を与える．本研究では，この演算器を中心にデータパス構成やパイプライン化の方針を検討し，スループット向上を目指したアーキテクチャ設計を進めた．

さらに，FPGA実装とASIC実装では利用可能な資源や最適化方針が異なることに着目し，それぞれのプラットフォームに適した設計手法の比較を行った．FPGA向けにはDSPやメモリブロックなどの既存資源を有効に活用する構成を検討し，ASIC向けには面積，動作周波数，消費電力を考慮したより細粒度の最適化を検討した．これらの検討を通じて，既存研究に対するさらなる性能向上を目指すとともに，高機能暗号を実用的な環境で利用するためのハードウェア設計指針を明確化した．

耐量子計算機暗号アクセラレータの設計と実装

池田 誠, 松本 高士, 荒川 文男, Ckristian Duran, 中村 優斗, 中村 孔星, 厳 涵, 森上 巧, 吴 昊, 姜 景瑞, 椿 大二郎

量子コンピュータの発展により，現在広く用いられている暗号方式が将来的に解読される可能性が指摘されており，NISTを中心に耐量子計算機暗号（PQC）の標準化が進められている．一方，PQCは一般に計算量が大きく，ソフトウェア実装のみでは十分な性能を得ることが難しいため，ハードウェアによる高速化が重要な課題となっている．

本研究では，まず同種写像暗号に着目した．SIKEの破綻以降，同種写像暗号では新たな構成が多数提案されており，本研究ではFESTA，QFESTA，SQI-sign2Dに共通する(2,2)-isogenyを対象として，FPGAおよびASIC向けの専用ハードウェアを設計・実装した．点の写像演算に内在する並列性を活用し，複数の演算コアを配置することで高スループット化を実現した．さらに，フルワード型アーキテクチャを採用することで，演算処理およびメモリアクセスに要するサイクル数を削減した．その結果，C言語実装と比較して，FPGAでは最大11倍，ASICでは最大88倍の性能向上を達成した．

また，符号ベースPQCであるHQCについてもハードウェア高速化を検討した．HQCは格子ベース暗号とは異なる数学的背景を持つ方式として標準化が決定された一方，一般に鍵長や計算時間が大きく，実用化には効率化が不可欠である．本研究では，HQCが標数2の体およびその拡大体上で構成される点に着目し，特に高コストな標数2体上の多項式乗算を対象に設計を進めた．再帰を伴うKaratsuba法を，時間・空間計算量を保ったまま非再帰化することで，ハードウェア実装に適した構成を実現した．

さらに，専用ASICによる高速化に加え，システムレベルでの最適化にも取り組んでいる．RISC-Vベース SoC上でCPUとPQCアクセラレータを効率的に連携させるため，アクセラレータの結合方式を検討し，高帯

域・低レイテンシなAXI4インタフェースを用いた制御方式およびデータ転送方式を設計している．現在は，ハッシュベースPQCであるSLH-DSAを対象に，SoC向けデータパス構成，制御レジスタ設計，およびAXI4接続を含むRTL実装方針を整理している．

TFHE準同型暗号演算のハードウェア高速化

池田 誠, 松尾 亮祐, 中川 智文, 田宮 蒼良

クラウドコンピューティング技術の発展に伴い，処理対象のデータを秘匿したまま計算を行う秘密計算への関心が高まっている．暗号文同士での演算を可能にする準同型暗号は，秘密計算を支える重要な基盤技術の一つである．本研究では，準同型暗号の中でも非線形演算や正確な演算に強みを持つFully Homomorphic Encryption over the Torus（TFHE）に着目し，TFHE上の演算処理をハードウェアにより高速化する手法を検討した．TFHEを用いた計算では，実際のデジタル回路と同様に，論理ゲートを組み合わせて演算を構成する必要があるため，ゲート評価処理の高速化が全体性能の向上に直結する．

本研究ではまず，TFHEを用いて暗号文上で2入力論理ゲートを評価する際のレイテンシ低減を目的として，FPGA向けハードウェアアーキテクチャを設計・実装した．従来のハードウェア実装で広く用いられてきたFFT/NTTに依存せず，小型乗算器を多数並列に配置する構成を採用することで，高い並列性を活用した低遅延化を実現した．その結果，同程度の復号誤り率およびセキュリティレベルを持つ先行研究と比較して，2入力論理ゲート評価のレイテンシを約60%短縮できることを示した．

さらに，現在研究が進められている誤差制御型TFHEを用いて，暗号文上で多入力論理ゲートを評価可能な回路の実装にも取り組んだ．これにより，加算や乗算といったより高次の演算を暗号文上で構成する際の計算時間を低減できる可能性を検証した．定量評価の結果，同程度の復号誤り率およびセキュリティレベルを持つ先行研究と比較して，8ビット加算および8ビット乗算において演算時間を50%以上削減できることを確認した．以上により，本研究はTFHEを用いた秘密計算の実用化に向けて，ゲートレベルおよび演算レベルの双方からハードウェア高速化の有効性を示した．

秘密分散演算の実装

池田 誠, 趙 寅帆, 孙 鹏飞, 李 奥

マルチパーティ計算（MPC）は，複数の参加者が互いの秘匿情報を開示することなく協調して計算を行うための技術であり，秘密分散，準同型暗号，ガルブルド回路などを主要な方式としている．本研究では，これらの技術を用いたセキュア計算の高速化とハードウェア実装に取り組んだ．

本グループではまず，セキュアなTransformer推論における複数のMPC技術の統合的応用に取り組んだ．セキュア推論フレームワーク全体のソフトウェア検証を完了するとともに，UltraScale+ FPGAおよびTSMC 28 nmプロセスを用いて，クライアント側の暗号化・復号化処理のハードウェア実装を実現した．CIFAR-10，QQP，SST-2，STS-Bなどの一般的なデータセットを用いた評価では，推論精度を維持しながら，最先端の従来手法と比較してゲート数を約40%，レイテンシを約20%削減した．

また，本グループでは，暗号アルゴリズムを用いず高速な演算が可能な秘密分散方式にも着目した．秘密分散は通信遅延の影響を受けやすいという課題があるため，異なる観点から最適化を進めた．一つは，Replicated Secret Sharing方式のハードウェア実装であり，6段パイプライン構成の演算コアを設計し，UltraScale+ VU13P FPGA上でプロトタイプ検証を行った．パイプライン設計の最適化により実行時間を短縮し，ISCAS-85ベンチマークのC1355など小規模MPCタスクの評価を可能にした．

さらに，ローカル通信環境における秘密分散のハードウェア・ソフトウェア協調設計を進めた．ソフトウェアフロントエンドが生成する最適なMPC命令列を，4段パイプラインのハードウェアコアで静的に実行する方式を構築した．これにより通信ラウンド数を最小化し，ローカル計算によって通信遅延を隠蔽することで，AES-128など中・大規模MPCタスクの高速評価を実現した．

ハードウエアの自動設計

池田 誠, Haopeng Meng, 鈴木 佑典, 沈 奕辰

HLSを用いた暗号回路設計最適化と不規則グラフ処理アクセラレーション

近年，回路設計の複雑化に伴い，高位合成（HLS）

の重要性が高まっており，暗号回路設計においてもソフトウェア記述から効率的にハードウェアを合成する手法が注目されている．本研究では，暗号計算において主要な処理である乗算に着目し，ソフトウェア中の乗算記述を異なるアルゴリズムやパラメータ構成へ自動変換するシステムを開発した．本システムを用いてComba乗算記述を変換し，選択する乗算アルゴリズムおよびパラメータに応じて，回路面積，レイテンシ，スループットの間にトレードオフが生じることを確認した．これにより，暗号回路のHLS設計における自動最適化の有効性を示した．

また，不規則グラフ処理において，実世界ワークロード下での並列単一始点最短経路（P-SSSP）処理の性能ボトルネックについて継続的に研究を進めた．初期段階では，動的適応性を持たないDelta-SteppingベースのSSSPアクセラレータを実装し，バケットベース設計がハードウェア上で効率性とスケーラビリティを有することを実証した．

これを基盤として，本研究では不規則ワークロードにおける主要課題である，並列性のスケーラビリティの限界，ワークロード不均衡によるリソース利用率の低下，競合および同期オーバーヘッドによる性能劣化に取り組んだ．これらを解決するため，動的適応型の統合グラフアクセラレーションフレームワークを提案した．本フレームワークでは，Delta-Steppingをパラメータ化可能なスケジューリングコアへ一般化し，バケット構造と優先度キューを組み合わせた階層的データ構造を導入した．さらに，ノード単位並列性とエッジ単位並列性を動的に切り替えることで，多様なグラフトポロジーへの適応を可能にした．加えて，シストリックアレイベースの競合検出・仲裁機構をパイプライン内に組み込み，同時更新に伴う競合を処理しつつ高スループットを維持した．

実装面では，アルゴリズム，スケジューリング戦略，ハードウェア構造を統一的な抽象化のもとで分離するHLS指向ライブラリを開発した．評価の結果，本手法は従来のDelta-Steppingアクセラレータと比較して，不規則ワークロード下で約20〜30%の性能向上を達成し，スループットおよびメモリ帯域利用率の改善も確認された．

SoCにおける準同型フィードバック・ロッキングの実装

池田 誠, 叶 子楊

システム・オン・チップ（SoC）におけるハードウェア・セキュリティでは，従来のロジック・ロッキング技術における鍵漏洩が重要な課題となっている．本研究では，この問題に対処するため，耐量子計算機暗号（PQC）の一種であるバイナリ環学習（bin-RLWE）準同型暗号を，プロセッサの特権レベル遷移プロセスに統合するセキュリティ機構を検討した．

実用的なSoC環境では，高遅延の暗号モジュールをCPUのクリティカルパスに直列に挿入すると，システムコール性能に大きなオーバーヘッドが生じる．そこで本研究では，準同型フィードバック・ロッキング（Homomorphic Feedback Locking: HFL）アーキテクチャを提案した．本方式では，準同型暗号処理をCPUのメイン実行パスから分離し，並列に動作する非ブロッキングのフィードバックループとして配置する．Linuxを搭載したRISC-V SoC上でハードウェア検証を行った結果，83ビットのセキュリティレベルにおいて，HFLによるシステムコールの性能オーバーヘッドは15.0%に抑えられた．一方，暗号モジュールを直列接続した場合には，より低い41ビットのセキュリティレベルでも33.5%のオーバーヘッドが発生した．

さらに，SoCの限られたリソース下でbin-RLWEモジュールを最適化するため，暗号文の次元圧縮に伴う復号失敗リスクを解析した．鍵長を短縮した状態で安全性を維持するために暗号ノイズを増加させると，復号失敗確率が高まる可能性がある．そこで本研究では，bin-RLWE誤り率解析フレームワークを構築し，ビット誤り率（BER）の近似式を導出するとともに，ユニオンバウンドによりシステム全体の復号失敗確率の上限を推定した．各パラメータセットについて10億回の暗号化・復号試験により解析結果を検証し，極めて低い復号失敗確率が求められる応用に対するパラメータ選択指針を得た．さらに，この解析に基づきShift-Convolutionベースのハードウェアアーキテクチャを設計し，28 nm ASICおよびFPGA上で，各パラメータ設定における面積オーバーヘッドとスループットを評価した．

ニューラルネットワーク応用に向けたソフトウェア・ハードウェア協調設計

池田 誠, 繆 逸杰, Bayasgalan Amartuvshin, 崔 豪

ニューラルネットワークの実応用における課題解決に向け，本研究ではソフトウェアとハードウェアの両面から，認識処理，エッジ推論，クラウド推論の高効率化に取り組んでいる．まず，SPAD（Single-Photon Avalanche Diode）を用いた距離センシングにおいては，光子到達時刻をニューラルネットワークで直接処理する手法に着目した．従来手法では，多重反射を含む複雑な環境や反射体数が変動する状況への汎化性能に課題があった．そこで本研究では，ニューラルクラスタリングに基づく新たなモデルを提案し，反射体数の変化に柔軟に対応できることを実証した．今後は本モデルを回路設計へ展開し，画素内集積による高速・小型な距離センシングの実現を目指す．

エッジデバイス応用に向けては，自己同期データパスを採用したバイナリニューラルネットワークアクセラレータを設計した．動作条件が変動する環境下でも高スループットと低消費エネルギーを両立できることを確認しており，この成果を基盤として，ソフトウェア・ハードウェア協調最適化によるストリーミングアーキテクチャの開発を進めている．

さらに，クラウド上での大規模言語モデル推論に向けたプライバシー保護アーキテクチャにも取り組んでいる．完全準同型暗号を適用する際には，KVキャッシュの暗号文膨張がメモリボトルネックの主要因となる．そこで，アテンションヘッド単位でKVを単一暗号文に集約する高効率なパッキング手法を考案し，これに特化した専用メモリコントローラの設計を進めている．本構成により，チップ内外の暗号文転送および準同型ローテーション操作の高速化を図る．加えて，システムプロンプトとユーザー入力のデータパスを論理的に分離するデュアルチャネルKVキャッシュを導入し，セキュアなプロンプト分離機構の実現を目指している．

誤り耐性型量子コンピュータのための古典制御システム

松尾 亮祐

誤り耐性型量子コンピュータの実現には，量子ビットの開発に加え，量子ビットを高精度に操作する集積回路や，量子誤り訂正を高速に実行するプロセッサなどの古典制御システムが不可欠である．大規模な量子計算では膨大な数の量子ビットを扱うため，古典制御システムには低電力・省面積での高精度制御と高速デコードが求められる．本研究では，特に超伝導量子ビットと連続量光量子ビットに着目した．超伝導量子ビットでは，制御回路が極低温環境に配置されるため，消費電力がスケーラビリティの主要な制約となる．そこで，光電融合回路を用いた低電力な量子ビット制御アーキテクチャを提案した．一方，連続量光量子ビットでは，計算方式の違いにより専用の誤り訂正システムが必要となるが，そのハードウェア設計は未開拓である．本研究では初期検討として，誤り訂正システムのスケーラビリティを解析し，今後の設計最適化に向けた指針を示した．

シリコンフォトニクスデバイス・光回路の設計に関する研究

宮武 悠人

光電融合技術の主要なプラットフォームとして，シリコンフォトニクスにおける光集積回路の研究が進められている．光集積回路の大規模化に伴い，高性能化・小型化が要求されるシリコンフォトニクスデバイスの設計に取り組んでいる．受動素子の小型化及び低損失化を実現する技術として開発を進めてきた共分散行列適応進化戦略（CMA-ES）を用いたデバイス設計手法を用いて2×2カプラや波長多重カプラ等の様々な受動素子の設計に取り組んでいる．また，次世代の無線通信技術として，シリコンフォトニクス光回路からなる光フロントエンド回路を有する広帯域・高効率無線光受信回路の設計に取り組んでおり，無線光受信回路でQPSK信号を復調できることを実験的に実証したほか，光領域での信号処理を可能にする新たな光回路のアーキテクチャを考案した．さらに，光の未利用の工学的な価値としてその秘匿性・予測困難性を開拓すべく，シリコンフォトニクス技術を用いた光電回路に基づく物理複製困難関数（PUF）の研究を開始した．

内田研究室

（http://www.ssn.t.u-tokyo.ac.jp/）

ナノスケール電子材料を用いたエレクトロニクス・デバイスに関する研究

揮発性有機化合物（VOC）などを検知するナノスケール分子センサ

ヒトの呼気には，ヒトの代謝物を含めて，様々な揮発性有機化合物（Volatile Organic Compounds: VOC）が含まれている．そのため，呼気に含まれる，ヒトの疾病と関連する特定のVOCを選択的に検出できれば，疾病の超早期診断を実現することが期待される．我々は，金属ナノシートを用いた低電力の水素センサ素子をこれまで開発してきた．しかし，金属ナノシートによる分子センシングを原子論的にシミュレーションする方法は確立されていない．今回，分子動力学法と非平衡グリーン関数法を組み合わせることで，センサ応答を原子論的にシミュレートする手法を新たに開発した．今後，この手法を様々な系に応用することで，計算手法の改善を行うと共に，新たなセンサ向け材料の探索にも活用をしていく．

ナノデバイスの熱配慮設計

LSIは，その構成要素であるMOSトランジスタのサイズ縮小によってこれまで飛躍的に性能を向上してきた．近年はナノシートトランジスタなどの新たなデバイス構造の導入が予定されており，トランジスタ動作中のジュール発熱による素子の温度上昇が最も深刻な問題のひとつとして指摘されている．我々は，熱配慮設計によりCMOSチャネル部の動作時温度を極力抑制する技術の開発に取り組むとともに，シリコンチャネルにおける電子¬－フォノン輸送特性について精緻な評価を展開してきた．今回，分子動力学法と非平衡グリーン関数法を組み合わせることで，Si/SiO2界面に特有の振動モードが存在し，その振動モードによって界面近傍の電子－フォノン散乱が増大することを示唆する結果が得られた．

小菅研究室

https://klab.t.u-tokyo.ac.jp/research_theme/

3次元チップ集積技術

小菅 敦丈，濱田 基嗣，岡田 光司，
イップ ウェイイエン，Hugh-Chih Huang，
御手洗 勇輝，川野 連也

放熱特性に優れた3次元チップ積層集積技術の研究を実施している．AIがスケーリング則にしたがって大規模化しより巨大なパラメータを有するようになった．プロセッサ，特に大規模AIモデル向けAIプロセッサでは大規模メモリも同時に集積されるようになっているものの，積層枚数が増えるにつれて熱抵抗が増え動作温度が上昇する課題があった．

そこで本研究室ではチップを90度回転させ立てて実装する直交積層技術を開発．チップから生じる熱が逃げる放熱パスと，チップの積層方向とが直交するため，積層枚数を増やしても温度が上昇しないという利点がある．本構造を実現するための側壁研磨，メタライゼーション，実装技術，並びに本構造を活用した新たな積層プロセッサの開発に取り組んでいる．本年度はダミーSiチップ及びTSMC 0.18mm CMOSプロセスを用いてチップを試作評価し，実機動作が可能であることを見出した．ECTC 2025にて論文を2件発表し，VLSI Symposium等に論文を投稿し発表予定である．

超低電力AIプロセッサ

小菅 敦丈，濱田 基嗣，Jaewon Shin，
Yuxuan Pan，Jiawei Yu，小林 凌士，Lingxiao Li

処理量の多いAIが多数社会実装されるにつれて急増する電力消費を抑えるため，Wired-logicに着目した非ノイマン型AI Processorを研究している．Wired-logicを用いることでDRAMやSRAMアクセスを最小化でき電力効率を大幅に向上できるが，膨大な素子をチップ上に実装する必要があるため面積効率は大幅に劣化する．そこで(1)人間の脳におけるプルーニングと呼ばれる不要なニューロンとシナプスを削除しネットワークを最適化する技術，そして(2)従来以上に大幅にプルーニングし素子数を節約するため，人間のニューロンが持つ多種多様な非線形関数を適材適所使い分けて演算強度を増す性質を取り入れた，非線形ニューラルネットワーク技術，そして(3)畳み込みアルゴリズムの処理

に合わせて回路を再利用する畳み込み型Wired-logic architecture回路の3つの技術を開発している．本年度は低コスト化，小面積化に注力した．従来のスケーリング則をシリコン面積ベースに再定義した「ニューラルシリコンスケーリング則」を提案した．面積制約を克服するため，3値重みや80%の剪定，乗算器の排除によりWL実装に最適化した非線形ニューラルネットワーク（NNN）に対し，自己教師あり学習（SSL）を適用する「NNN-SSL」フレームワークを開発した．ハードウェア面では，複数タスクで共有され再構成が不要な汎用特徴抽出エンコーダをWLプロセッサで完全にハードワイヤ（固定）化し，タスク固有の層のみをニアメモリ（NM）プロセッサに配置する「WL/NMハイブリッドアーキテクチャ」を構築した．40nm試作チップの評価では，コンパクトなWLエンコーダでありながら精度を維持しつつ，必要なシリコン面積を2.73倍削減した．また，WL畳み込みコアにおいて48.1 TOPS/Wという卓越したエネルギー効率を達成し，面積制限の厳しいWLプロセッサでもエッジ環境で汎用オーディオAIを極めて効率的に実行できることを実証した．本成果はTSMCとの共同研究として，IEEE OJ-SSCSにて発表予定である．

染谷・横田・神保研究室

（http://www.ntech.t.u-tokyo.ac.jp/, https://fles.t.u-tokyo.ac.jp/）

エラストマー超薄膜上への極薄アイランド構造の作製

奥田 知華，染谷 隆夫，横田 知之

皮膚をはじめとする生体表面に貼り付けて動作可能なデバイスは，ヘルスケアや生命科学研などへの応用が期待され，注目を集めている．デバイスを生体表面に密着させ，長期的に安定な接触を保つ上では，表面追従性，伸縮性，また水蒸気透過性が重要である．エラストマー超薄膜はこれら全てに優れた生体インターフェースとして注目され，電極や皮膚装用センサが報告されている．我々は，エラストマー超薄膜上へのアクティブ素子の統合を目指し，エラストマー超薄膜上への有機トランジスタの作製を報告したものの，プロセス後には超薄膜全体が絶縁膜で覆われ，伸縮性と水蒸気透過性を阻害してしまっていた．

本研究では，極薄エラストマー上への極薄アイランド構造を作製した．これにより，表面追従性，伸縮性，水蒸気透過性を有するアクティブ素子基板を実現した．転写ではなく直接極薄パリレン層を化学気相蒸着し，極薄エラストマーの片面は非粘着フィルム，片面は弱粘着フィルムで保護することで，化学的・物理的な損傷を抑えたパターニングとハンドリングを可能にした．作製した極薄エラストマー上のアイランド構造は，100%以上の伸縮性，フィルム無しとの比較で90%以上のガス透過性と元の超薄膜の特性を維持した．このとき，アイランド内の歪みは 1%以下にとどまり，非伸縮極薄アクティブ素子のエラストマー超薄膜上への統合を可能にした．さらに，有機トランジスタを極薄エラストマー上のアイランド構造上に作製し，従来のフレキシブル基板上と同程度の特性を得ることができた．

竹内健研究室

（https://co-design.t.u-tokyo.ac.jp/）

Computation in memory（CiM）に関する研究

竹内 健，松井 千尋

Computation in Memory（CiM）はメモリアレイ構造を利用して乗算・累積（multiply-and-accumulate: MAC）演算を行う事が可能になる．MAC演算はディープニューラルネットワーク（DNN）の中で最も計算資源を消費する演算である．DNNの精度を評価するシミュレータを開発した．シミュレータでは畳み込み層と全結合層における重みを任意に量子化し，重みに任意の分布に従ったばらつきを付加することや，一定の値で加減させることができる．以上により，DNNの重みを操作することでCiMメモリセルにおけるデバイスの非理想性を再現することが可能になった．

Simulated Annealingに関する研究

竹内 健，松井 千尋，三澤 奈央子

組合せ最適化問題の1つであるナップサック問題を，シミュレーティッドアニーリングを用いてコンピューテーション・イン・メモリ（CiM）で解く場合，従来のエンコーディングはナップサック容量が増えると回路面積が線形的に大きくなるという問題があった．そこでログ・エンコーディングによるReRAMコンピューテーション・イン・メモリを提案した．提案のログ・エンコーディングは従来のエンコーディングに比べ，CiM

の回路面積が97.6%縮小する．ReRAMデバイスの非対称なエラー特性を考慮し，二次形式のハミルトニアンにおけるQUBO行列の“0”をHRSに記憶することで，許容できるビット・エラー率 (BER)が10倍，許容できるビット精度が5ビットまで減らすことが可能になった．

インセンサ・コンピューティングの研究

竹内 健，松井 千尋

センシングのためのEvent-based vision sensor（EVS）と統合し演算する低消費エネルギーのSRAM Computation-in-Memory（CiM）を提案した．従来のフレームカメラと比較して，EVSは画素の光の強度変化を非同期で検出し出力するため，データは空間的に疎で時間的に密という特徴がある．提案するSRAM CiMはEVSから出力されるイベントを受け取り，On-eventおよびOff-eventをそれぞれ演算する．イベントデータを演算するspiking neural network（SNN）のマルチビット重みはSRAM CiMに保存されている．提案したEVS向けのSRAM CiMはEVSのデータの特徴により，フレームカメラと比較して10^{-6}倍のエネルギー効率を達成できた．

竹中研究室

（https://sites.google.com/g.ecc.u-tokyo.ac.jp/takenaka-lab/）

光配線LSIに関する研究

竹中 充，戴 維，赤澤 智熙，傅 晟，作本 宙彌，バルダワジ ダルワ イシャン，小松 健太郎，森 温音，潘 勁馳，郭 津睿，山下 泰征

シリコンフォトニクス等を用いてLSIの配線やI/Oを光化する研究を進めている．InGaAsP薄膜導波路を用いたMOS型光変調器を新たに提唱し，実証した．ゲート絶縁膜が700 nm以上と厚い場合においても，1 Vcm以下の高い変調効率を得た．また数値解析により100 GHz以上の動作帯域も実現可能であることを明らかにした．

AI用シリコン光回路に関する研究

竹中 充，万 阳阳，柴 成立，柳 柱栄，赤澤 智熙，小林 研二，汪 元品，武田 知大，大山 璃人，牧野 礼志

AI用プログラマブル光回路の研究を進めている．InGaAsP薄膜をシリコン光導波路上に貼り合わせたハイブリッド光位相シフタを集積したプログラマブル光回路を世界で初めて作製し，動作実証することに成功した．これにより，動作電力を1 pW以下にまで低減するなどの性能を実証した．

RFフォトニクスに向けたハイパワー受光器に関する研究

竹中 充，万 阳阳，張 超

光と無線を融合したRFフォトニクス向け素子の研究を進めている．4ポート入射型Ge受光器を新たに提唱して，その動作実証に成功した．Ge受光器に光をエバネセント結合さえることでGe受光部に均一に光を入射することで，高出力電流時における動作帯域の劣化を抑制することに成功した．

トープラサートポン研究室

（https://sites.google.com/g.ecc.u-tokyo.ac.jp/mosfet/）

HfO2-系強誘電体ゲート絶縁膜トランジスタと強誘電体メモリに関する研究

トープラサートポン カシディット，褚 喬，劉 振泓，伊藤 広恭，周 亮安，松川 浩之，劉 廷鈺，任 子游，秋田 英佑

分極反転を伴う強誘電体をゲート絶縁膜としたMOSFET（FeFET）や金属とのサンドイッチ構造（MFM構造）をメモリセルとするFeRAMは，将来の極低消費電力メモリやロジック用素子として期待されている．特に近年発見された$Hf_{1-X}Zr_XO_2$（HZO）強誘電体・反強誘電体を用いたデバイスは，現在のSi CMOSテクノロジーとの親和性が極めて高く，大きな関心を集めている．我々は，ALD法によって堆積したこれら強誘電体薄膜の物性やFeFETの素子動作原理の明確化を通じて，優れた素子特性を実現する研究を進めている．今年度は，FeFETにおいて閾値電圧の不安定性の原因となる電子トラップと正孔トラップの時間応答を調べるべく，トラップ量の時間変化を抽出する方法を確立し，

トラップの振る舞いを明らかにした．加えて，FeRAM応用に向けた極薄膜MFMキャパシタにおいて初期状態の分極量が小さいことが問題となっており，その現象の物理機構を明らかにし，imprint現象と同様な物理機構であることを見出した．

強誘電体デバイスを用いたリザバーコンピューティングに関する研究

トープラサートポン カシディット，名幸 瑛心，
李 東熙，万 明霞，鄭 昇旼

計算負荷の軽いAI計算手法として，リザバーコンピューティングが近年注目を集めている．我々は，非線形ダイナミクスをもった強誘電体デバイスがリザバーコンピューティングを物理実装できるハードウェアとして有望であることを提案しており，Siプラットフォーム上で極低消費電力で推論・学習を行うことができる新しいAIハードウェアとして，動作方式やデバイスの工夫によるAI性能の向上の研究を進めている．今年度は，nチャネルFeFETとpチャネルFeFETを用いて強誘電体CMOSインバーターを提唱し，この強誘電体CMOSインバーターを用いて極低消費電力のリザバーコンピューティングを実証した．さらに，FeFETの従来の入力であるゲート電圧に加えて，基板入力を活用した2入力のFeFETリザバーを提唱した．現在の入力情報と過去の入力をこの2入力FeFETリザバーに入力することで比較的に難しいタスクであるNARMA10時系列データ予測を高性能で実施できたことを実証した．

量子コンピュータ制御回路に向けたSi CMOSの極低温での動作特性の理解

トープラサートポン カシディット，陳 育同，靳 釗

量子コンピューティングシステムでは，量子ビット数向上のためには，4 Kなどの極低温で動作できるSi CMOS回路を量子ビットチップの近くに置くことが必要である．この目的のために，極低温でのMOSトランジスタの動作を定量的に明らかにして，その物理機構を明確化するための実験的・理論的研究を進めている．今年度は，Si MOSFETの反転層電子の移動度を4 Kから室温までの広い温度範囲で評価し，表面ラフネス散乱移動度の温度依存性とその物理起源を明らかにした．実験結果と理論計算の比較から，表面ラフネス散乱移動度が温度低下とともに増加することを見出した．さらに，この温度依存性は，スクリーニング効果に加えて，Si伝導帯の複数のバレーの電子占有率が温度によって変化し，電子が感じる平均電界が低下することで表面ラフネス散乱が抑制されることに起因することを明らかにした．

最先端Si MOSFETにおけるチャネル・絶縁膜の設計指針の確立

トープラサートポン カシディット，陳 育同，
志村 瞭太朗，松川 浩之

最先端のSi MOSFETロジックデバイスは，多層ナノシート構造（ゲートオールアラウンド（GAA）構造）へと移行しつつある．このような複雑な三次元構造のMOSFETにおいて高性能化を実現するためには，チャネル材料，チャネル面方位，歪技術，ゲート絶縁膜を適切に選択するとともに，新材料の導入や信頼性評価も含めた総合的な設計指針を確立することが重要である．今年度は，GAA MOSFETで有望なチャネル面方位であるSi(110)面に着目し，Si/SiO2界面特性に及ぼす基板オフ角の影響を評価した．その結果，固定電荷密度や界面準位密度はオフ角に対して大きな依存性を示さず，プロセスばらつきによるオフ角変動がデバイス特性へ与える影響は小さいことを明らかにした．

酸化物半導体をチャネル材料としたトランジスタに関する研究

トープラサートポン カシディット，高 烜赫東，
周 亮安，戴 子豪

半導体デバイスの微細化は物理的限界に近づきつつあり，高集積化技術として三次元集積技術への期待が高まっている．その実現に向けて，低温プロセスで形成可能な酸化物半導体トランジスタが注目されており，既存CMOS回路上への三次元集積を可能にする有望なチャネル材料である．我々は，酸化物半導体トランジスタの動作機構の解明と高性能化に向けた研究を進めている．今年度は，酸化物半導体チャネルFeFETとSiチャネルFeFETの界面欠陥生成を評価した．その結果，酸化物半導体チャネルFeFETでは分極反転後や繰り返し動作後においても界面欠陥密度の増加が小さく，Siチャネル FeFETに比べて優れた耐久性を示すことを示した．さらに，この高耐久性が分極反転に起因する界面劣化の抑制によるものであることを明らかにした．

中村研究室
（http://www.hal.ipc.i.u-tokyo.ac.jp/index-e.html）

深層学習を用いたサイドチャネル攻撃

サイドチャネル攻撃はハードウェアから漏洩する電力や電磁波を利用して内部情報を復元するものであり，計算機に対する重大な脅威である．この研究では漏洩する電力情報からノイズの影響を抑えることで成功率を向上させるサイドチャネル攻撃手法を検討している．従来のノイズ除去手法は，計算量が膨大などの課題があった．そこで，オートエンコーダを活用し電力の時間的特徴を解析するノイズ除去手法を提案した．

粗粒度再構成アーキテクチャ Coarse-Grain Reconfigurable Architecture

齋藤 真，伊藤 向子，小島 拓也，中村 宏

粗粒度再構成可能アーキテクチャCGRA (Coarse-Grained Reconfigurable Architecture) は高いエネルギー効率とプログラミング柔軟性という特徴を有するため，組込みシステムから高性能コンピューティングまでの広い応用が期待されている．CGRAは多くのPE (Processing Element)が2次元アレイ状に配置された構成であり，その有効性は，処理をこれらのPEにマッピングするコンパイラの質に依存する．そこで，マッピングにおける時間的な制約を緩和するElastic CGRAに関するマッピング手法を提案し，コンパイル時間に関する優位性があることを示した．また，CGRAに制御機構を導入し省面積かつ実行効率の高いアーキテクチャについても検討した．

組込みデバイス向けのROS 2ノード軽量実行環境

野崎 愛，高瀬 英希，中村 宏

ROS(Robot Operating System)及びその後継であるROS2は，分散型のロボットシステムにおけるソフトウェア開発プラットフォームとして注目されている．ROS2の問題の1つは，動作環境としてLinuxを必要とするため，高性能で消費電力の大きい計算リソースを必要とすることである．そのため，応答性や消費電力の点で，ROS2を組み込みデバイスへ適用する際の障害となっている．

そこで組込みデバイス向けの実行環境であるmROS2の研究を行っている．mROS2の利点は，高効率な通信を実現しメモリ軽量であることである．現在，目的の実現に求められる設計要件を整理し，効率的な通信処理を実現するためのソフトウェア構成および動作フローを設計している．この研究はモバイルロボットシステムの低消費電力化とリアルタイム性の向上への貢献が期待されている．

平本・小林研究室
（https://vlsi.iis.u-tokyo.ac.jp/, http://nano-lsi.iis.u-tokyo.ac.jp/）

シリコン量子ビットの集積化に関する研究

平本 俊郎，小林 正治

CMOSによるバイナリーディジタル演算に代わるコンピューティング手法として量子計算が注目されている．本研究室では，量子計算に用いる量子ビットをシリコンで実現し，さらに多量子ビットを集積化する研究を行った．大規模集積回路プロセス互換のプロセスを用いて三次元的にシリコン量子ドットを集積化することに成功した．

ナノスケールCMOSデバイスの特性ばらつきに関する研究

平本 俊郎，小林 正治

MOSトランジスタが微細化されるとともに，ランダムな特性ばらつきの影響が無視できないほど大きくなってきている．その原因は主にチャネル中の不純物数の揺らぎであるが，ばらつき原因は定量的にはまだ明らかとなっていない．本研究では，ランダムな特性ばらつきの評価と，そのデバイス・回路特性への影響について特に極低温での影響について検討した．

三次元集積メモリデバイス応用に向けた原子層堆積法による酸化物半導体の形成とデバイス実証に向けた研究

小林 正治，平本 俊郎

本研究では，多結晶のInGaOx薄膜材料の形成に成功し，高移動度・高信頼性な酸化物半導体ナノシートトランジスタの実現に成功した．特に，本材料チャネルでの移動度は，従来のパーコレーション伝導や，粒界律速伝導ではなく，結晶粒内のバンド的な伝導であることを明らかにした．さらに，この多結晶材料がアモルファス材料に対して高いエッチング選択比を有する

こと利用して，製造可能性が高くプロセスダメージを受けない，ゲートオールアラウンド構造の酸化物半導体ナノシートトランジスタのプロセスフローを構築し，世界最高レベルの性能と信頼性を実現した．一方，多結晶InGaOxトランジスタの特性ばらつきを評価した結果，粒界または結晶粒の面方位によって，サブスレショルド特性に大きなばらつきが生じることを明らかにし，本材料の課題を明確にした．

HfO_2系強誘電体の成膜プロセスおよび信頼性に関する研究

小林 正治，平本 俊郎

本研究では，HfO_2系強誘電体キャパシタにおける絶縁破壊耐性を統計的手法で系統的に調べることで，TDDBが電界に対して固有の依存性を有することを見出した．そして高電界ではリーク電流による絶縁破壊の加速が起こること，低-中電界では強誘電体の分極反転により欠陥の再分配が起こり面内に均一に欠陥が分布することで電界依存性が弱まることを明らかにした．さらにLaser-PEEM法を用いたその場観察の分光分析手法により，欠陥スポットが面内均一に分布するケースとクラスタリングを起こるケースがあることを見出し，その原因がリークパスの生成による実効的な電界強度の動的な変化によって決まることを明らかにした

三田研究室

（http://www.if.t.u-tokyo.ac.jp）

TopoMEMS：トポロジカル量子計算機に向けた可変電子素子およびMEMS演算素子の研究開発

三田 吉郎，高橋 遼平，古川 準之助，辻 啓吾，
Anne-Claire Eiler，安永 竣，肥後 昭男，飯塚 哲也，
江澤 雅彦（物理工学専攻）

量子コンピューティング分野における次世代の計算手法として，物質が持つトポロジカルな状態を演算に用いるトポロジカル計算機が期待され，幅広い系で研究が行われている．我々のチームでは，JST-CRESTプロジェクトとして，演算子行列を電気回路部品の集合体として捉え，電気回路のトポロジーによって演算を行う手法の探索を担当しており，三田グループは集積MEMSの専門家として計算機に必要な理想の可変素子・MEMS素子を「TopoMEMS」と命名し，精力的に研究開発を行っている．本年度はさらに，これまで用いられてきた「容量結合の大小」による結合に変えて「磁気結合の大小」による結合を用いる新しいトポロジカル電子回路を考案実証し，結果をトップ国際会議で発表した．

機械構造による新原理コンピューティング

三田 吉郎，安永 竣，吉田 安紀彦，小林 亮太，
松澤 昊志，中根 了昌，肥後 昭男，
江澤 雅彦（物理工学専攻）

トポロジカル電子回路の研究から発展する形で，MEMSの動きそのものを新原理コンピューティングに用いる研究を行っている．MEMS素子同士の相互反応をIsing演算に用いる新しい構想に至り，公的資金を得て研究が加速している．本年度は回転・併進併せて6安定構造を持つMEMSステージならびに多段双安定MEMSアクチュエータ（ドミノ式MEMS）ならびに機械構造によるIsing演算器を開発し，それらのその制御法の構築に成功し，トップカンファレンス国際会議及び国内会議で発表した．Ising計算機について東京大学工学部長賞（研究）を受賞した．

エネルギー自立型分散マイクロシステム

三田 吉郎，後藤 将人，
黄 吉卿（CNRS LIMMS研究所）

集積化MEMS（微小電気機械システム）のトップダウンアプリケーションとして，「適切な制御によって小さな物体の集合が賢い動きをする」自立マイクロシステムの研究を行っている．「大きさ1cm以下のマイクロロボットを多数環境に放出し，個々のロボットは近傍のロボットと通信を行いながら，協調的に環境測定などの高度な機能を実現するという自律分散システムを目指している．2016年度より受託していた仏FEMTO-ST研究所との共同研究「Programmable Matter」は一段落したが，同じくフランス共和国CNRS研究所より三田研に派遣された客員研究員（黄博士）により，バイオ応用を目指した微小ロボットの研究が進捗している．

電子線リソグラフィとメッキプロセスによるディープサブミクロン微細電極構造作製技術の研究（2025）

三田 吉郎，河井 哲子，Anne-Claire Eiler，
肥後 昭男，井上 友里恵，太田 悦子，水島 彩子，
藤原 誠，澤村 智紀，
David Bourrier（CNRS-LAAS研究所），
Amel Beghersa（CNRS-LAAS研究所），
Mathieu Arribat（CNRS-LAAS研究所），
Hugues Granier（CNRS-LAAS研究所）

電極構造の微細化による半導体回路素子およびセンサ素子の更なる高感度化，高機能化を目指し，電子線リソグラフィとMEMS加工プロセスを組み合わせた微細電極のトップダウン作製手法の高度化に取り組んでいる．局所的に測定電極を集積化した微細孔構造や，マイクロアクチュエータと微細構造を組み合わせた電極ギャップの精密制御が可能となる．フランスのナノテクプラットフォームであるRENATECHの中核拠点の一つ，CNRS-LAAS研究所と共同で微細構造のアディティブ作製を試している．2025年度は使用している厚膜電子線レジストの局所露光による課題解決に取り組み，成果を国際会議ならびに国内会議で発表した．

電子線リソグラフィによる集積型プラズモニック光受光機

三田 吉郎，前川 浩紀，安永 竣，肥後 昭男

VDECに平成25年に新規導入された高速大面積電子線描画装置F7000S-VD02の持つ高ドース対応性，セル（キャラクタ）プロジェクション方式による鮮明なエッジを活用し，シリコン光導波路上に光の波長未満のプラズモニック共振構造電極を作製し，通過する光とのカップリングによってショットキー接合を流れる電流を変調するデバイスを考案した．作製プロセスの開発に成功し，成果をIEEE国際会議で発表した．

サブテラヘルツ領域における高出力電子回路を可能とするz軸集積回路

三田 吉郎，中村 友哉，高野 恭弥（東京理科大学）

「チップレット」技術の動向ならびに，期待が高まるサブテラヘルツ領域（＞100GHz）での電子回路による高出力送（受）新規を志向した研究を科研費基盤（A）によって行っている．特に，サブテラヘルツ領域の集積回路では伝送線路によってパッシブ部品（例えばインダクタL）を作製することになるが，集積回路の本質は平面形状（プレーナ）であることから，パッシブ部品の寸法以下に一つのユニットを小さくすることができない．結果として現状の最高のテクノロジでも送信機のパワー出力はたかだか10mWに留まっている．そこで提案者らはパッシブ部品を「面外（z軸）方向に向けて配置する」新しい技術を提案する．本技術によれば，集積回路を上から見たときのフットプリントを劇的に小さくすることができるので，同一の増幅器素子を半波長以下で多数並べて出力を合成する手法が利用でき，結果として高出力の電子回路を実現することができる．研究初年度は，300GHzでの動作を目指した$\lambda/4$スタブ構造を実現するシリコン貫通ビア（TSV）技術を開発し，計測によって設計シミュレーションで確認しておいたとおり300GHzで動作する$\lambda/4$スタブが作製されたことが確認できた．

CMOS-VLSIのMEMS後加工による高機能システムの産学連携研究

三田 吉郎，島村 龍伍，廣安 幸四郎，中根 了昌，
安永 竣，
ティモテ レヴィ（仏ボルドー大学IMS研究所），
ギレム ラリュー（仏LAAS-CNRS研究所），
池内 与志穂（生産技術研究所），
ティクシエ 三田 アニエス（生産技術研究所），
齊藤 健（日本大学）

d.labを通じて試作したVLSIウエーハを，武田先端知ビルスーパークリーンルームやその他のクリーンルームにおいて後加工することによって新規センサデバイスを製作，評価する研究を行っている．後加工に関する知見として，トランジスタが作製された直後（配線前）のウエーハ引き渡しを受け，熱工程を伴う後加工プロセス（成膜，インプラ，ドライブイン）を施してもトランジスタ特性の劣化はそれほど進行しないこと，VLSIをあらかじめSilicon-on-Insulator（SOI）基板の上に配置した構造をMEMS後加工できることなどが分かっている．共同研究開発する素子の種類は共同研究先との相談により様々だが，作製テクノロジは共通のものを利用できるところが産業的に重要である．数多くの企業の興味を引き，会社との共同研究や国際共同研究等様々なプロジェクトで電子デバイスの研究が進行している．特に本年度は，そこで本研究では，透明な基

板にハイブリッドボンディングで集積回路を集積化し，後加工によって透明化する実験を行った．特にバイオ応用分野において，透過型の顕微鏡を用いて細胞等の観察が行われることが多く，近年細胞等の対象物のごく近くに電極を配置して電気的刺激または観察またはその両方を行うような実験が多用されるようになっているが，電極にトランジスタなどの能動素子を集積化しようとすると不透明な材料であることから透過観察ができないことから期待が高まっている．

CMOS-MEMS高密度集積接合の信頼性向上のための微細構造研究

三田 吉郎，水島 彩子，河井 哲子，島本 直伸，
三角 啓，肥後 昭男，中根 了昌，落合 幸徳

高機能なCMOS-MEMSシステムを簡便に得る方法として，チップレベル接合技術（チップ）に期待が高まるが，数百万個に至る数μm角のパッドを接合する際に，バンプ同士がすべってずれてしまうという問題が生じる場合がある．この問題に対して，奥歯のかみ合わせにヒントを得て，自然（パッシブ）に位置合わせが出来る構造を構想し，テスト構造を設計試作検証している．前年度の研究の反省から，微細パターン形成を直接描画で行い成果を得た．成果は国際会議（DTIP）で発表した．

コンタクトスイッチを用いるMEMSリザバーコンピュータ

三田 吉郎，吉田 安紀彦，安永 竣，中根 了昌，
肥後 昭男

物理素子を変換器として用い，ニューラルネットワークの内部に組み込む「物理リザバーコンピューティング」という計算機の研究が盛んに行われている．過去の研究例では振動子に入力を与えて反応を計測するために変換回路（A/D D/A）を必要としているので，物理リザバーでのエネルギー消費は小さく抑えられてもシステム全体としての消費電力が下げられないという課題があった．そこで本研究では，MEMSスイッチのOn/Offという情報をリザバー出力として読み出す「A/D変換器が素子そのもののに組み込まれた」形式の新規デバイスを構想し試作検証した．成果はトップ会議（Transducers）においてオーラル発表を行った．

マイクロアクチュエータの遺伝的アルゴリズムによるトレードオフ最適化研究

島村 龍伍，安永 竣，Chen Wang（KU Leuven），
Michael Kraft（KU Leuven），
中根 了昌，肥後 昭男，三田 吉郎

人工知能（AI）を自動設計に活用しようとする研究の一環として，遺伝的アルゴリズム（GA）を用いたマイクロアクチュエータ設計の最適化の研究を行った．AIによる自動設計では，人間による設計が直線や多項式関数で表現できる形状しか扱えないという制限を突破し，一見では理解できないような自由形状を作ることが出来る．本研究では，シリコンの両持ち梁が印加した電流によるジュール熱で膨張する内力を，機械形状によって一方向の動きに変換するアクチュエータであるシェブロンタイプアクチュエータを利用する上での制限条項を加えた中で最適化を自動で行えるか試みた．成果はトップ会議（IEEE MEMS）においてオーラル発表を行った．

4.4 研究発表

飯塚研究室

研究論文

[1] Ximing Wang, Yuyang Zhu, Haoming Zhang, Yunjie Chen, Jiaao Yu, Sota Kano, Ritaro Takenaka, Shuowei Li, Tomohiro Nezuka, Yoshikazu Furuta, and Tetsuya Iizuka, “A 91.8-dB SNDR 24-kHz BW Discrete-time ΔΣ ADC Employing Gain-switched FIA with Sampling Noise Cancellation,” IEEE Transactions on Circuits and Systems-II: Express Briefs, vol. 73, no. 1, pp. 8 - 12, Jan. 2026.

[2] Zolboo Byambadorj, Koji Asami, Akio Higo, Nguyen Ngoc Mai-Khanh, Sheng Guo, Hiroyuki Mineo, Natsuki Shiota, and Tetsuya Iizuka, “Experimental Demonstration of Planar Near-Field to Far-Field Transformation with Probe Correction Technique,” IEEE Access, vol. 13, pp. 205532 - 205544, 2025.

[3] Haoming Zhang, Yuyang Zhu, Masaru Osada, and Tetsuya Iizuka, “A Fractional-N Cascaded PLL with MMD-based Quantization-Error Cancellation,” IEEE Journal of Solid-State Circuits, vol. 60, no. 12, pp. 4543 - 4556, Dec. 2025.

[4] Nyi Nyi Tun, Shiyuan Sun, Tetsuya Iizuka, and Takeaki Yajima, “Designing Nonlinearity in a Current-Starved Ring Oscillator for Reservoir Computing Hardware,” Scientific Reports, vol. 15, no. 34235, 2025.

[5] Yunjie Chen, Koji Asami, Zolboo Byambadorj, Akio Higo, and Tetsuya Iizuka, “Comparative Analysis of Interleaving Schemes in High-Speed Digital-to-Analog Converters,” IEICE Transactions on Electronics, vol. E108-C, no. 10, pp. 562 - 571, Oct. 2025.

[6] Yuyang Zhu, Masaru Osada, Haoming Zhang, and Tetsuya Iizuka, “Optimization of DTC-Based and Harmonic-Mixer-Based Fractional-N PLLs: Comparative Analysis of Jitter and Power Trade-Offs,” IEEE Transactions on Circuits and Systems-I: Regular Papers, vol. 72, no. 8, pp. 3872 - 3885, Aug. 2025.

[7] Haoming Zhang, Masaru Osada, Yuyang Zhu, and Tetsuya Iizuka, “A Harmonic-Mixer-Based Fractional-N PLL Employing Voltage-Domain Feed-Forward Noise Cancellation,” IEEE Journal of Solid-State Circuits, vol. 60, no. 8, pp. 2820 - 2831, Aug. 2025.

[8] Yo Kumano and Tetsuya Iizuka, “Analysis of Intrinsic Quantizer Non-Linearity in ΔΣ ADCs,” IEICE Transactions on Electronics, vol. E108-C, no.7, pp. 359 - 365, Jul. 2025.

[9] Nanako Kimura, Ckristian Duran, Zolboo Byambadorj, Ryosho Nakane, and Tetsuya Iizuka, “Hardware-Friendly Implementation of Physical Reservoir Computing with CMOS-based Time-domain Analog Spiking Neurons,” Neuromorphic Computing and Engineering, vol. 5, no. 2, 024015, 2025.

[10] Shuowei Li, Ckristian Duran, Ritaro Takenaka, and Tetsuya Iizuka, “Fully-Standard-Cell-Based Synthesizable Charge-Redistribution SAR ADCs and P&R-Based Layout Automation Framework,” IEEE Access, vol. 13, pp. 83450-83469, 2025.

国際会議論文

[1] Haoming Zhang, Yongjuan He, Yuyang Zhu, Huanyu Ren, and Tetsuya Iizuka, “A 157fsrms-Jitter, –73dBc-Fractional-Spur, Calibration-Free Cascaded SPLL Employing Robust Feedforward Noise Cancellation and MMD-Based Quantization-Error Cancellation with a 60MHz Reference,” IEEE International Solid-State Circuits Conference (ISSCC), Feb. 2026.

[2] Matoi Ono et al., IEEE International Solid-State Circuits Conference (ISSCC), Student Research Preview, Feb. 2026.

[3] Kazuki Shirahata, Masahiro Ishida, Koji Asami, Toru Nakura, Akio Higo, and Tetsuya Iizuka, “TDR-Based S-Parameter Estimation of Signal Path to DUT Utilizing Built-In Driver and Comparator of ATE,” in Proceedings of IEEE Asian Test Symposium, Dec. 2025.

[4] Tetsuya Iizuka, “Harmonic-Mixer-Based Fractional-N Phase-Locked Loops,” Tutorial in IEEE

Asian Solid-State Circuits Conference (A-SSCC), Nov. 2025.

[5] Yuyang Zhu, Haoming Zhang, Zunsong Yang, Yongjun He, Huanyu Ren, Fumiya Sakuma, Ritaro Takenaka, Sota Kano, Ximing Wang, and Tetsuya Iizuka, "A 2.6GHz Inductorless PLL with Configurable-Duty-Cycle Ring Oscillator and Zero-ISF Subsampling Phase Detector Achiving –70dBc Reference Spur and 186fs RMS Jitter," in IEEE Asian Solid-State Circuits Conference (A-SSCC) Proceedings of Technical Papers, Nov. 2025.

[6] Behraz Vatankhahghadim, Zolboo Byambadorj, Hiroshi Idzuchi, Satoru Nakatsuji, and Tetsuya Iizuka, "Design Trade-Off Analysis for an Electrical Interface with a Magnetic Tunnel Junction Based Photonic Spin Register for High-Speed Communications," International Conference on Solid State Devices and Materials (SSDM), Sep. 2025.

[7] Tetsuya Iizuka, Masaru Osada, Haoming Zhang, and Yuyang Zhu, [Invited] "Fractional-N Phase-Locked Loops Using Harmonic-Mixer-Based Feedback," International Conference on Solid State Devices and Materials (SSDM), Sep. 2025.

[8] Tetsuya Iizuka, "Fractional-N Phase-Locked Loops Using Harmonic-Mixer-Based Feedback and Noise Cancellation," Tutorial: High Performance Phase Locked Loops in IEEE European Solid-State Electronics Research Conference (ESSERC), Sep. 2025.

[9] Ritaro Takenaka and Tetsuya Iizuka, "An 11.9-ENOB 560-MS/s Subranging ADC Employing Amplifier-Switching Architecture with Multi-Threshold Comparators," in IEEE Symposium on VLSI Technology and Circuits Digest of Technical Papers, Jun. 2025.

[10] Ritaro Takenaka, Sota Kano, and Tetsuya Iizuka, "A 76.5-dB Dynamic-Range 8-bit 100-MS/s Variable-Range SAR ADC," in IEEE Symposium on VLSI Technology and Circuits Digest of Technical Papers, Jun. 2025.

[11] Ryohei Takahashi, Shun Yasunaga, Tetsuya Iizuka, Akio Higo, Ryosho Nakane, Motohiko Ezawa, and Yoshio Mita, "A 16GHz Topological Electrical Circuit Using Interchip Mutual Inductance Fabricated by Dual-Damascene Process," The 23rd International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers), Jun. 2025.

[12] Ximing Wang, Yo Kumano, Tomohiro Nezuka, Yoshikazu Furuta, and Tetsuya Iizuka, "A 172.1dB-FoM 19.5kHz-BW DT ΔΣ ADC Using CLS-Assisted Fast Self-Quenching Floating Inverter Amplifier with Sampling Noise Cancellation," in Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS), May 2025.

[13] Tetsuya Iizuka, [Invited] "Fractional-N Phase-Locked Loops Using Harmonic-Mixer-Based Feedback," IEEE International Conference on Communications, Circuits and Systems (ICCCAS), May 2025.

シンポジウム・研究会・大会等発表

[1] 小野 まとい, 湯浅 太蔵, ビャムバドルジ ゾルボー, 加納 創太, 竹中 理太郎, 歌丸 剛, 中村 雅之, 石田 雅裕, 浅見 幸司, 肥後 昭男, 飯塚 哲也, "可変インダクタを用いた広帯域ミリ波VCOの設計," 電子情報通信学会 ICD/CAS学生・若手研究会2025, 2025年12月.

[2] 髙橋 遼平, 安永 竣, 飯塚 哲也, 肥後 昭男, 中根 了昌, 江澤 雅彦, 三田 吉郎, "チップ間相互インダクタンスを用いた16GHzトポロジカル電気回路のデュアルダマシン手法による実現," 電気学会 第42回「センサ・マイクロマシンと応用システム」シンポジウム, 2025年11月.

[3] 佐久間 文哉, 朱 玉揚, 長田 将, 張 浩明, 飯塚 哲也, "高調波ミキサとデジタル時間変換器を用いたFractional-N型位相同期回路における電力・雑音トレードオフの解析に基づく最適化," 電子情報通信学会 LSIとシステムのワークショップ2025, 2025年5月.

[4] 任 煥宇, 朱 玉揚, 賈 沅鑫, 魚 家傲, 飯塚哲也, "Performance Optimization of On-Chip Spin-Wave Detection Circuit based on System-Level

Simulations," 電子情報通信学会 LSIとシステムのワークショップ2025, 2025年5月.

[5] 占 黎晨, 陈 赟杰, ヴァタンハガディム ベラズ, ビャムバドルジ ゾルボー, 飯塚哲也, "Design of Power-Efficient Dynamic Comparator with Auxiliary Stage for Wide Input Common-Mode Range," 電子情報通信学会 LSIとシステムのワークショップ2025, 2025年5月.

[6] 賈 沅鑫, 朱 玉揚, 任 煥宇, 魚 家傲, 飯塚哲也, "Design of Two-Stage Inductorless Noise Canceling Low-Noise Amplifer Employing Active Feedforward With Noise Reduction," 電子情報通信学会 LSIとシステムのワークショップ2025, 2025年5月.

[7] 湯浅 太蔵, ビャムバドルジ ゾルボー, 肥後 昭男, 飯塚哲也, "ミリ波帯CMOS回路設計のためのテスト回路とデバイスモデリング手法の検討," 電子情報通信学会 LSIとシステムのワークショップ2025, 2025年5月.

[8] 内田雅大, 竹中理太郎, 加納創太, 飯塚哲也, "深宇宙探査機向けワンチップ無線通信機器向け逐次比較型A/D変換回路の設計と評価," 電子情報通信学会 LSIとシステムのワークショップ2025, 2025年5月.

[9] 大西 啓介, 加納 創太, 宇佐美 尚人, 飯塚 哲也, "深宇宙探査機向けワンチップ無線通信機における電圧制御発振器の放射線耐性向上手法の検討," 電子情報通信学会 LSIとシステムのワークショップ2025, 2025年5月.

池田研究室

研究論文

[1] A. Kosuge, H. Sumi, N. Shimamoto, Y. Ochiai, Y. Inoue, H. Amano, T. Mogami, Y. Mita, M. Ikeda, and T. Kuroda, "Agile-X: A Structured-ASIC Created With a Mask-Less Lithography System Enabling Low-Cost and Agile Chip Fabrication," in IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 33, no. 3, pp. 746-756, March 2025, doi: 10.1109/TVLSI.2024.3486239.

[2] Z. Ye and M. Ikeda, "Implementing Homomorphic Encryption-Based Logic Locking in System-On-Chip Designs," in IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 33, no. 7, pp. 2049-2053, July 2025, doi: 10.1109/TVLSI.2025.3556241.

[3] A. Opasatian, M. Fukuda and M. Ikeda, "Design Space Exploration of a Unified FPGA Accelerator for Elliptic-Curve-Based Functions in Attribute-Based Encryption," in IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 34, no. 2, pp. 579-592, Feb. 2026, doi: 10.1109/TVLSI.2025.3632677.

[4] M. Kozuma, M. Ito, K. Kimura, K. Toyotaka, H. Inoue, T. Saito, M. Fujita, H. Kobayashi, K. Kusunoki, Y. Yakubo, Y. Yanagisawa, Y. Okazaki, T. Murakawa, D. Nakamura, R. Hatsumi, S. Onoya, T. Nagata, N. Sugisawa, M. Ikeda, abd S. Yamazaki, "CPU-Embedded 6000 × 4500 OLED/OS/Si Display Capable of Driving at 231.5 Hz With Reduced Bandwidth Using Foveated Rendering," in IEEE Open Journal on Immersive Displays, vol. 3, pp. 44-53, 2026, doi: 10.1109/OJID.2026.3678194.

[5] H. MENG, K. WAKABAYASHI, and M. IKEDA, "Nested-Pipeline Delta-Stepping Scalable FPGA Accelerator for Parallel Single-Source Shortest Path with High-Level Synthesis," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E109.A, No. 3 pp. 563-570, March 2026, DOI:10.1587/transfun.2025VLP0009

[6] H. Sumi, H. Amano, N. Shimamoto, A. Kosuge, Y. Ochiai, T. Mogami, Y. Mita, and M. Ikeda, "Agile prototyping of AI hardware LSIs using multi-layer aluminum interconnects in a minimal fab environment," Japanese Journal of Applied Physics 65 (8), 088004, April 2026.

[7] H. AMANO, A. KOSUGE, H. SUMI, N SHIMAMOTO, Y OCHIAI, Y INOUE, T. MOGAMI, Y. MITA, M. IKEDA, "Comparison of Agile-Chip platform, ASIC and FPGAs," IEICE Transactions on Information and Systems,

2025EDP7273, May 2026, DOI:10.1587/transinf.2025EDP7273

[8] Z. Ye and M. Ikeda, “Implementing Low-Performance-Overhead Logic Locking in SoCs via Homomorphic Feedback.” IEICE Electronics Express (ELEX). 2026.

[9] Z. Ye and M. Ikeda, “Error Rate Analysis and Hardware Implementation Assessment of Binary Ring Learning with Errors.” IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E109-A, No.8. Aug. 2026.

[10] Y. Miyatake, T. Anda, Y. Wakita, K. Makino, S. Hatayama, M. Okano, K. Toprasertpong, S. Takagi, M. Takenaka, “Low-loss Sb2S3 optical phase shifter enabled by optimizing sputtering conditions,” Opt. Mater. Express, vol. 15 no. 8, pp. 1972–1986, September 2025.

[11] K. Komatsu, T. Nakayama, T. Akazawa, Y. Wakita, H. Sakumoto, C. Zhang, Y. Miyatake, S. Monfray, F. Boeuf, R. Tang, K. Toprasertpong, S. Takagi, M. Takenaka, “InGaAs membrane plasmonic photodetector with Ni-InGaAs alloy integrated on Si waveguide,” Opt. Express, vol. 34 no. 3, pp. 3932–3940, January 2026.

国際会議

[12] H. Amano, A. Kosuge, H. Sumi, N. Shimamoto, Y. Ochiai, Y. Inoue, T. Mogami, Y. Mita, and M. Ikeda, “Can the Agile-Chip Platform Carve Out a Niche Between ASICs and FPGAs?,” 2025 IEEE Symposium on Low-Power and High-Speed Chips and Systems (COOL CHIPS), pp. 1-3, April 2025, Tokyo, Japan, doi:10.1109/COOLCHIPS65488.2025.11018602.

[13] [Keynote] M. Ikeda, “Hardware Accelerator Design and Optimization for Crypto-Algorithms: ～Elliptic Curve, Pairing, and PQCs～,” 2025 International VLSI Symposium on Technology, Systems and Applications (VLSI TSA), pp. 1-1, April 2025, Hsinchu, Taiwan, doi: 10.1109/VLSITSA64674.2025.11047204.

[14] Y. Zhao and M. Ikeda, “Secret Sharing Enabling Multi-Operations on FPGA Design for Multi-party Computation in Storage Systems.” 2025 IEEE International Symposium on Circuits and Systems (ISCAS). pp. 1-5. May 2025, London, UK.

[15] H. Amano, A. Kosuge, H. Sumi, N. Shimamoto, Y. Ochiai, Y. Inoue, T. Mogami, Y. Mita, and M. Ikeda, “An SoC Design and Fabrication Hands-On Educational Course within One Week Using Structured ASIC,” 2025 IEEE International Symposium on Circuits and Systems (ISCAS), pp. 1-5, May 2025, London, United Kingdom, doi: 10.1109/ISCAS56072.2025.11043626.

[16] P. Sun, Q. Wang and M. Ikeda, “PALS: A High-Speed ML-DSA Hardware Accelerator with Enhanced Pipeline on FPGA,” 2025 IEEE International Conference on Integrated Circuits, Technologies and Applications (ICTA), pp. 141-142, Oct. 2025, Macao, China, doi: 10.1109/ICTA68203.2025.11330133.

[17] K. Nakamura, and M. Ikeda, “FPGA Accelerator for 398-bit (2,2)-Isogeny-Based Post-Quantum Cryptography,” 2025 IEEE Asian Solid-State Circuits Conference (A-SSCC), Nov. 2025, pp. 349-351, Daejeon, Korea, doi: 10.1109/A-SSCC67472.2025.11349516.

[18] A. Opasatian, M. Fukuda and M. Ikeda, “Low-latency FPGA Design of Attribute-based Encryption Accelerator over BLS12-381 Curve,” 2025 IEEE Asian Solid-State Circuits Conference (A-SSCC), pp. 352-354, Nov. 2025, Daejeon, Korea, doi: 10.1109/A-SSCC67472.2025.11349596.

[19] R. Badjatya, K. Sharma, M. Ikeda, M. Fujita and V. Singh, “Weight-Aware Scan Chain Stitching for Shift Power Minimization under Routing Constraints,” 2025 IEEE 34th Asian Test Symposium (ATS), Dec. 2025, pp. 7-12, Tokyo, Japan, doi: 10.1109/ATS66998.2025.00010.

[20] R. Badjatya, J. Bapat, M. Ikeda, M. Fujita and V. Singh, “LPCG: A Capture Activity-Aware Technique for Low-Power Scan Testing,” 2026 IEEE 27th Latin American Test Symposium (LATS), pp. 1-6, March 2026, Florianópolis, Brazil, doi: 10.1109/

LATS70329.2026.11480289.

[21] R. Badjatya, H. Gupta, M. Ikeda, M. Fujita, and V. Singh, “LA-SCG: Layout-Aware Scan Chain Grouping for Peak Shift Power and IR-Drop Mitigation in Scan-Based Testing,” 2026 IEEE 27th Latin American Test Symposium (LATS), pp. 1-6, March 2026, Florianópolis, Brazil.

[22] R. Badjatya, H. Gupta, M. Ikeda, M. Fujita and V. Singh, “LA-SCG: Layout-Aware Scan Chain Grouping for Peak Shift Power and IR-Drop Mitigation in Scan-Based Testing,” 2026 IEEE 27th Latin American Test Symposium (LATS), Florianópolis, pp. 1-6, March 2026, Florianópolis, Florianópolis, Brazil, doi: 10.1109/LATS70329.2026.11480375.

[23] S. Shukla, G. R. Jadhav, D. Sardan, S. Toraskar, J. T. Tudu, M. Ikeda, M. Fujita, and V. Singh, “A SAT-Hard Compound Logic Locking Scheme with Empirical Resistance to Known Structural Attacks,” 2026 IEEE 29th International Symposium on Design and Diagnostics of Electronic Circuits and Systems (DDECS), pp. 1-6, April 2026, Bratislava, Slovakia, doi:10.1109/DDECS69233.2026.11520982.

[24] Y. Zhao and M. Ikeda, “Optimization of AND-Gate-Sparse Circuit Synthesis for Multi-party Computation Systems with Local Communications.” In 2026 Design, Automation & Test in Europe Conference (DATE), April 2026.

[25] R. Matsuo, H. Shiomi, J. Shiomi, “On-chip optical pulse modulation for scalable superconducting quantum computers,” 2025 IEEE International Conference on Quantum Computing and Engineering (QCE), September 2025.

[26] R. Matsuo and J. Kadomoto, “Towards a Measurement-Based Quantum Computing Architecture Using Continuous-Variable Optical Qubits,” 2025 IEEE International Conference on Quantum Computing and Engineering (QCE), September 2025.

[27] K. Kobayashi, Y. Miyatake, R. Tang, K. Makino, J. Tominaga, N. Miyata, M. Okano, K. Toprasertpong, S. Takagi, M. Takenaka, “Non-volatile Si microring resonator switch with Ge2Sb2Te3S2 optical intensity modulator,” 2025 IEEE Silicon Photonics Conference (SiPhotonics), ThC4, April 2025.

[28] M. Takenaka, R. Tang, Y. Miyatake, C. Chai, T. Akazawa, H. Sakumoto, Y. Wakita, D. I. Bhardwaj, K. Komatsu, K. Kobayashi, K. Makino, J. Tominaga, N. Miyata, M. Okano, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, “Heterogeneous Integration for Programmable Photonic Integrated Circuits,” 2025 Conference on Lasers and Electro-Optics (CLEO), SS163-1, May 2025.

[29] [Invited] M. Takenaka, R. Tang, Y. Miyatake, T. Akazawa, H. Sakumoto, Y. Wakita, D. I. Bhardwaj, K. Kobayashi, K. Makino, S. Hatayama, M. Okano, K. Toprasertpong, S. Takagi, “Non-Volatile Optical Phase Shifters for Photonic Computing,” 2025 30th OptoElectronics and Communications Conference (OECC) and 2025 International Conference on Photonics in Switching and Computing (PSC), ME3-1, June 2025.

[30] T. Akazawa, R. Tang, Y. Miyatake, M. Okano, K. Toprasertpong, S. Takagi, M. Takenaka, “Phase-Error-Correctable 4× 4 Programmable Photonic Integrated Circuit Enabled by Dual-Functional Si PIN Waveguides as Phase Shifter and Transparent Power Monitor,” 2025 European Conference on Optical Communications (ECOC), Tu.04.02.5, September 2026.

[31] M. Tanabe, J. Yoo, K. Makino, S. Hatayama, Y. Miyatake, K. Toprasertpong, S. Takagi, M. Takenaka, “Direct Laser Lithography on Sb2S3 Thin Film for Optical Waveguide Fabrication,” 2025 IEEE Photonics Conference (IPC), MG2.1, November 2025.

国内研究会

[32] P. Sun and M. Ikeda, “FPGA向けモジュール協調最適化に基づくML-DSA高速ハードウェアアクセラレータ,” 電子情報通信学会 集積回路研究専門委員会, LSIとシステムのワークショップ2025, 2025年5月

[33] 中村孔星, 池田誠, “耐量子計算機暗号に向けた

同種写像演算における FPGA アクセラレーション," 電子情報通信学会 集積回路研究専門委員会, システムと LSI のワークショップ2025, 2025年5月.

[34] 羽鳥智裕, 池田誠, "BLS12-381を用いた検索可能暗号のサーバ側設計," 電子情報通信学会 集積回路研究専門委員会, システムとLSI のワークショップ2025,2025年5月.

[35] [招待講演] 池田誠, "暗号ハードウエアアクセラレータの最適設計," 電子情報通信学会 ハードウエアセキュリティ研究会, 2025年7月

[36] 天野英晴, 小菅敦丈, 島本直伸, 最上徹, 落合幸徳, 角博文, 井上友里恵, 池田誠, 三田吉郎, "Agile-ChipプラットフォームとFPGAの比較検討," 電子情報通信学会, CPSY2025-36/DC2025-36/RECONF2025-26, pp. 70-75, 2025年8月.

[37] ［招待講演］天野英晴, 後藤隆雄, 新田見瑞穂, 小菅敦丈, 池田誠, "HotSPA2025 におけるFPGA AI デザインハッカソンの実施報告" 電子情報通信学会, RECONF2025-53, pp. 12-13. 2025年9月.

[38] 鈴木佑典, 池田誠, "多倍長演算の自動分割とデータパスの最適化," 電子情報通信学会, VLD2025-19/ICD2025-39/DC2025-52/RECONF2025-70, pp.12-17, 2025年12月.

[39] H. Meng, K. Wakabayashi, M. Ikeda, "Scalable FPGA Delta-Stepping Accelerator Design for Parallel Single-Source Shortest Path Problem using High-Level Synthesis," 電子情報通信学会, VLD2025-20/ICD2025-40/DC2025-53/RECONF2025-71, pp.18-23, 2025年12月

[40] 池田誠, "RISC-Vを取り巻く研究とイノベーション," RISC-V Day Tokyo 2025 Autumn, Dec. 2025.

[41] P. Sun and M. Ikeda, "CKKS のエンコード／デコードおよび暗号化／復号する動的回転因子生成対応ハードウェアアクセラレータ設計," ハードウェアセキュリティフォーラム 2025, 2025年12月

[42] 中村孔星, 池田誠, "同種写像ベース耐量子計算機暗号の FPGA アクセラレータにおけるビット幅スケーリング," 電子情報通信学会ハードウェアセキュリティフォーラム2025, 2025年12月.

[43] 羽鳥智裕, 池田誠, "高スループットなBLS12-381のASIC設計," 電子情報通信学会ハードウェアセキュリティフォーラム2025,2025年12月.

[44] 中川智文, 松尾亮祐, 池田誠, "トーラス上の格子ベース完全準同型暗号に用いられる多項式乗算のハードウェア実装に関する検討," 電子情報通信学会 ICD/CAS学生・若手研究会, 2025年12月.

[45] 林健介, 池田誠, "FPGAとASICのハードウェア特性を踏まえた属性ベース暗号の最適実装の違いに関する検討," 電子情報通信学会 ICD/CAS学生・若手研究会, 2025年12月.

[46] 田宮蒼良, 池田誠, "誤差演算最適化による多入力合成ゲートを用いたTFHE上での準同型演算高速化に関する検討," 電子情報通信学会 ICD/CAS学生・若手研究会, 2025年12月.

[47] 天野英晴, 岩澤有祐, 増田英晃, 後藤隆男, 新田見瑞穂, 小菅敦丈, 池田誠, "AWS F2インスタンスを利用した大人数を対象としたハッカソン," 電子情報通信学会, VLD2024-88/RECONF2024-118, pp.69-74, 2026年1月.

[48] 池田誠, "RISC-V Day 2026 Spring開催にあたって," RISC-V Day Tokyo 2026 Spring, March 2026.

[49] 天野英晴, 小菅敦丈, 島本直伸, 最上徹, 角博文, 井上友里恵, 池田誠, 三田吉郎, "Agile-Chipプラットフォームのディジタル設計フローの自動化," 電子情報通信学会, VLD2025-108/HWS2025-104/ICD2025-119, pp.181-186, 2026年3月.

国内大会

[50] Y,Miao, M. Ikeda, "Neural clustering process for multi-reflection histogram-less SPAD depth estimation," 2026 IEICE General Conference, 2026, Fukuoka, Japan.

[51] [招待講演] 池田誠, "ネットワーク社会におけるAI活用~ネットワークとエッジAI・そのセキュリティ~," 2026年電子情報通信学会総合大会, AI-7-02, 2026年3月

[52] [招待講演] 池田誠, "大学から見た集積回路設

計人材育成の現在地と課題," 2026年電子情報通信学会総合大会, CI-5-04, 2026年3月

[53] [Invited] M. Ikeda, "Hardware Accelerator Designs for Functional Cryptography Algorithms," 2026 IEICE General Conference, TK-2-01, March 2026, Fukuoka, Japan.

[54] 宮武悠人, トープラサートポン カシディット, 高木信一, 竹中充, "[第47回論文奨励賞受賞記念講演] 進化戦略を用いた小型・低損失・広帯域2×2シリコン光カプラの設計と実証," 第73回応用物理学会春季学術講演会, 17p-WL2_401-1, 2026年3月.

[55] 赤澤智熙, 唐睿, 宮武悠人, 岡野誠, トープラサートポン カシディット, 高木 信一, 竹中 充, "光パワーモニタ内蔵Si PIN型位相シフタを用いた4×4プログラマブル光回路における位相誤差補正の実証," 第86回応用物理学会秋季学術講演会, 9p-N202-9, 2025年9月.

[56] 唐睿, 柴成立, 大野修平, 張超, 宮武悠人, 谷澤健, 牧野孝太郎, 富永淳二, 宮田典幸, 池田和浩, 岡野誠, トープラサートポン カシディット, 高木信一, 竹中充, "シリコンフォトニクスを用いた光AI演算回路," 2026年電子情報通信学会総合大会, CI-4, 2026年3月.

[57] 小林研二, 宮武悠人, 唐睿, 牧野孝太郎, 畑山祥吾, 岡野誠, トープラサートポン カシディット, 高木信一, 竹中充, "Ge2Sb2Te3S2光強度変調器を用いた低クロストーク1×2シリコンMZI光スイッチ," 第73回応用物理学会春季学術講演会, 18a-WL2_401-5, 2026年3月.

解説記事

[58] M. Ikeda, "SSCS Japan Chapter Update [Chapters]," in IEEE Solid-State Circuits Magazine, vol. 17, no. 3, pp. 101-101, Summer 2025, doi: 10.1109/MSSC.2025.3583540.

[59] 池田誠, 吉田知也, "コンピュータはこうして生まれた! 半導体のれきし," 電子情報通信学会会誌, Vol. 109, No. 1, pp. 12-17, 2026年1月.

そのほか

[60] 池田誠, "SoC設計者を育てるとは・・・," デンソーR&D展講演会, 2025年7月.

[61] 池田誠, "半導体集積回路設計教育・研究そしてその基盤〜More People→More Chip〜," 有明高専「サーキットデザイン教育センター(CDEC)」開所記念シンポジウム, 2025年9月.

[62] M. Ikeda, "Human Resource Developments, Education and Re-skilling, for SoC Designers & International Collaboration," SEMICON West, 「Japan Forum in Arizona」ランチセッション, Oct. 2025.

[63] 池田誠, "グローバルで育て, 循環させる〜半導体人材育成における "外に出す" 戦略〜," 応用物理学会超集積エレクトロニクス産学連携委員会第14回研究会, 2025年10月.

[64] 池田誠, "半導体・集積回路とは?〜その凄さ, 造り方, 創り方〜," メタバース工学部ジュニア工学教育プログラムSEMICON TALK, 2025年10月.

[65] M. Ikeda, "Crypto Hardware Accelerator Design and Rapid Chips Design & Fabrication Platform," Japan-EU Semiconductor Workshop, March 2026.

[66] M. Ikeda, "Acceleration of Encryption Algorithms, Elliptic Curve, Pairing, Post Quantum Crypto-algorithm (PQC), and Fully Homomorphic Encryption (FHE) + Activities toward Chip Design Democratization," IEEE Solid-State Circuits Society, Distinguished Lecture, at Tsinghua University, May 2025.

[67] M. Ikeda, "Hardware accelerator designs for crypto-algorithms," IEEE Solid-State Circuits Society, Distinguished Lecture, at University of Applied Sciences and Arts Northwestern Switzerland(FHNW), Sept. 2025.

[68] M. Ikeda, "Hardware accelerator designs for crypto-algorithms," IEEE Solid-State Circuits Society, Distinguished Lecture, at Silicon Craft Technology, Sept. 2025.

[69] M. Ikeda, "Basics of CMOS Image Sensors," IEEE Solid-State Circuits Society, Distinguished Lecture, at Thai-Nichi Institute of Technology, Sept. 2025.

[70] M. Ikeda, "Hardware accelerator designs for crypto-algorithms," IEEE Solid-State Circuits Society, Distinguished Lecture, at Thai-Nichi Institute of

Technology, Sept. 2025.

[71] M. Ikeda, “Acceleration of Encryption Algorithms, Elliptic Curve, Pairing, and Post Quantum Cryptoalgorithms (PQC),” IEEE Solid-State Circuits Society, Distinguished Lecture, at MIT/Boston, Nov. 2025.

[72] M. Ikeda, “Basics of Asynchronous Circuits Design,” IEEE Solid-State Circuits Society, Distinguished Lecture, at Ohio State University/Columbus, Nov. 2025.

[73] M. Ikeda, “Acceleration of Encryption Algorithms, Elliptic Curve, Pairing, Post Quantum Cryptoalgorithm (PQC),” IEEE Solid-State Circuits Society, Distinguished Lecture, at Ohio State University/Columbus, Nov. 2025.

[74] M. Ikeda, “Acceleration of Encryption Algorithms, Elliptic Curve, Pairing, Post Quantum Cryptoalgorithm (PQC),” IEEE Solid-State Circuits Society, Distinguished Lecture, at Ain Shams University/Cairo, Nov. 2025.

[75] M. Ikeda, “Basics of Asynchronous Circuits Design + Basics of Hardware Accelerator designs of Crypto-Algorithms (Algorithm-to-HWDesign) + Chip-design and tape-out courses,” IEEE Solid-State Circuits Society, Distinguished Lecture, at Universidad Industrial de Santander/Bucaramanga, Nov. 2025.

[76] M. Ikeda, “Acceleration of Encryption Algorithms, Elliptic Curve, Pairing, and Post Quantum Cryptoalgorithms (PQC) AND Chip Design and Fabrication Democratization,” IEEE Solid-State Circuits Society, Distinguished Lecture, at UC. Berkeley/Berkeley Wireless Research Center, Dec. 2025.

[77] M. Ikeda, “Acceleration of Encryption Algorithms, Elliptic Curve, Pairing, and Post Quantum Cryptoalgorithms (PQC),” IEEE Solid-State Circuits Society, Distinguished Lecture, at Indian Institute of Science(IISc), Dec. 2025.

内田研究室

研究論文

[1] Z. Wang, R. Toyoshima, M. Yoshida, K. Mase, H. Kondoh, “Interface-Sensitive Soft X-ray Absorption Spectroscopy by Electron/Ion-Yield Methods and Its Application to Solid–Liquid Interfaces for SrTiO3 and CoOOH,” *J. Phys. Chem. C*, **129**, 5, 2570–2581, 2025. doi.org/10.1021/acs.jpcc.4c06654

[2] N. Zhang, C. He, Y. Jing, Y. Qian, M. Obuchi, R. Toyoshima, H. Kondoh, K. Oka, B. Wu, L. Li, A. Anzai, T. Toyao, K. Shimizu, “Enhanced Nitrous Oxide Decomposition on Zirconium-Supported Rhodium Catalysts by Iridium Augmentation,” *Environ. Sci. Technol.*, **59**, 3, 1598–1607, 2025. doi/10.1021/acs.est.4c08083

[3] T. Manabe, K. Akai, Y. Einaga, R. Toyoshima*, H. Kondoh*, “In-situ Vibrational Spectroscopic Study for Photoelectrochemical CO2 Reduction over Au/p-GaN Catalyst: The Role of HCO3- for Selective Reaction,” *J. Phys. Chem. C*, **129**, 10, 5140–5147, 2025. doi/10.1021/acs.jpcc.4c08782

[4] S. Yamaguchi, T. Iwai, H. V. Miyagishi, H. Masai, T. Hosomi, T. Yanagida, K. Uchida, and J. Terao, “Azido-enabled thermal history analysis on metal-oxide surface,” *Nanoscale*, **17**, 13207–13211, 2025. doi: 10.1039/D5NR01176K.

[5] K. Yoshinaga, K. Watanabe, R. Toyoshima, M. Tada, H. Ishikuro, and K. Uchida, “Modeling of the cryogenic conductivity of highly doped silicon in advanced CMOS,” *Appl. Phys. Express*, 2025. doi: 10.35848/1882-0786/ae077f

[6] S. Troiler-McKinstry, K. Uchida, and T. Yamada, “A new era of ferroelectric thin films for nonvolatile memories,” *MRS Bulletin*, **50**, 1–9, 2025. doi: 10.1557/s43577-025-00969-w

[7] K. Enomoto, R. Toyoshima, Z. Wang, M. Yoshida, K. Mase, H. Kondoh, “Opposite Charge Transfer to Cocatalyst Surface in SrTiO3:Rh,Sb Photocatalyst for Water Splitting Depending on Excitation Wavelength Observed by In Situ Soft X-ray Absorption Spectroscopy,” *J. Phys. Chem. C*,

129, 40, 18128–18135, 2025. doi: 10.1021/acs.jpcc.5c05176

[8] Y. Jing, C. Zhang, S. Mine, X. Zhang, C. He, N. Zhang, X. Guo, A. Anzai, K. Oka, R. Toyoshima, H. Kondoh, I. Takigawa, K. Shimizu, T. Toyao, "Extrapolative-Machine-Learning-Guided Discovery of Multielemental Heterogeneous Catalysts for Low-Temperature NO Reduction by H2," *ACS Catal.*, **15**, 20825–20842, 2025. doi: 10.1021/acscatal.5c06074

国際会議論文

[1] R. Toyoshima, "Operando Spectroscopic Study on Chemical Sensitivity and Selectivity of Metal/Oxide Thin Film Gas Sensors," Gordon Research Conference (GRC): Chemical Reactions at Surfaces, Ventura, US, February 9–14, 2025. (Invited)

[2] R. Toyoshima, "In situ / operando observation of surface reactions under realistic conditions by synchrotron-based X-ray spectroscopies," The 5th Materials Research Society of Thailand International Conference in conjunction with the 1st ECS Thailand Meeting (MRS-Thailand 2025), Bangkok, Thailand, May 14–16, 2025. (Invited)

[3] K. Uchida, "Institutional Strategies for Research and Talent Development in Digital Foundations and Their Utilization," EU-Japan Network for Digital Foundations: Digital Foundations and AI x Domains, Tokyo, May 22, 2025. (Invited)

[4] K. Uchida and R. Toyoshima, "Low-molecular Sensors with Low Power and High Selectivity using Nobel Metal Nanosheets," 6th UT2-MAC Student Workshop, June 3, 2025.

[5] R. Toyoshima, "Operando Spectroscopic View for Thin Film Gas Sensors," International Conference on Electronic Spectroscopy and Structure (ICESS-16), Berkeley, California, US, July 20–25, 2025. (Invited)

[6] S. Ui, R. Toyoshima and K. Uchida, "High-Yield, Low-variability Pt nanosheet Hydrogen Sensors Enabled by TiN Adhesion Layer," 38th International Microprocesses and Nanotechnology Conference, Japan, Tokyo, November 20, 2025.

[7] R. Toyoshima, "In-Situ / Operando Spectroscopic View for Thin Film Gas Sensors," 2025 NTU-UT workshop, National Taiwan University, Taipei, Taiwan, November 25–26, 2025.

[8] R. Toyoshima, "In-Situ / Operando Spectroscopies for Surface Functional Materials," AI-mat Seminar (Host Prof. Heng-Liang Wu), National Taiwan University, Taipei, Taiwan, November 26, 2025.

シンポジウム・研究会・大会等発表

[1] 内田 建,「ナノスケールトランジスタの課題」, 第52回薄膜・表面物理セミナー「先端集積回路の技術動向と光機能融合技術」(応用物理学会 薄膜・表面物理分科会), 東京, 2024年7月4日. (招待講演)

[2] 内田 建,「クライオCMOS素子の物理 〜過渡応答特性を中心として〜」, 電子情報通信学会研究会 (SDM, ICD, ITE-IST), 北海道大学, 2024年8月6日. (招待講演)

[3] Yuxiang Shen, 豊島 遼, 内田 建,「Covalent Functionalization of CVD Monolayer Graphene with Cobalt Phthalocyanine for Fast, Sensitive, Selective, and Stable Ammonia Sensors」, 第85回応用物理学会秋季学術講演会, 新潟, 17.2 グラフェン, 18a-A37-6, 2024年9月18日.

[4] 成田 雄紀, 豊島 遼, 内田 建,「六方晶(NH4)xWO3ナノワイヤの酸素アニールによる新奇な電子濃度制御技術」, 第85回応用物理学会秋季学術講演会, 新潟, 9.2 ナノ粒子・ナノワイヤ・ナノシート, 16p-C301-13, 2024年9月16日.

[5] 欧陽 剣, 豊島 遼, 内田 建,「IrO2ナノシートを用いたCH4センサの開発および評価」, 第85回応用物理学会秋季学術講演会, 新潟, 9.2 ナノ粒子・ナノワイヤ・ナノシート, 16p-C301-12, 2024年9月16日.

[6] 押尾 世文, 小林 瑞月, 安達 和喜, 林凌佑, 吉永 啓人, 内田 建, 多田 宗弘,「超伝導量子ビット制御用クライオCMOSにおける高電圧nMOSFETの低温特性」, 第72回応用物理学会春季学術講演会, 東京, 13.5 デバイス／配線

／集積化技術，14a-K101-5，2025年3月14日.
[7] 成田 雄紀，豊島 遼，内田 建，「六方晶(NH4)xWO3ナノワイヤの酸素アニールによる材料物性変化機構の解明」，第72回応用物理学会春季学術講演会，東京，9.2 ナノ粒子・ナノワイヤ・ナノシート，15a-K307-10，2025年3月15日.
[8] 内田 建，「集積デバイス熱設計」，第72回応用物理学会学術講演会，東京，T24 実装技術アラカルトII：最先端半導体実装技術と将来展望，15p-K101-4，2025年3月15日.（招待講演）
[9] 内田 建，「金属ナノシートおよび修飾グラフェンによる低分子センシング」，第72回応用物理学会学術講演会，東京，T26 極薄物質で本当に良いセンサーができるのか？〜ナノチューブ・二次元材料を用いた低分子センシングの現状と課題〜，16p-K101-6，2025年3月16日.（招待講演）

著書

なし

小菅研究室

研究論文

[1] A. Kosuge, H. Sumi, N. Shimamoto, Y. Ochiai, H. Amano, T. Mogami, Y. Mita, M. Ikeda, and T. Kuroda, “Agile-X: A Structured-ASIC Created with a Mask-less Lithography System Enabling Low-Cost and Agile Chip Fabrication,” in IEEE Transactions on Very Large Scale Integration Systems, vol. 33, no. 3, pp. 746-756, March 2025, doi: 10.1109/TVLSI.2024.3486239.
[2] Y. Pan, D. Li, Mototsugu Hamada, A. Kosuge, “Analysis and Design of Coarse and Fine Segmented LUT Implementation for FPGA-Based Resource Efficient Wired-Logic DNN Processors,” in IEICE Transactions on Electronics, vol. E108-C, no. 6, pp. 306-315, June 2025.

国際会議論文

[1] H. Amano, A. Kosuge, H. Sumi, N. Shimamoto, Y. Ochiai, Y. Inoue, T. Mogami, Y. Mita and M. Ikeda, “Can the Agile-chip platform carve out a niche between ASICs and FPGAs?” IEEE Symposium on Low Power and High Speed Chips and Systems, April 2025.
[2] H. Huang, Y. Mitarai, M. Kawano, M. Hamada, and A. Kosuge, “Thermal Analysis and Design Guideline of Massive Orthogonal Stacking Assembly IC Cube (MOSAIC) With Bump Connection Enabling SoC-DRAM Direct Stacking,” in IEEE 75th Electronic Components and Technology Conference (ECTC), May 2025.
[3] M. Kawano, Y. Mitarai, H. Hashimoto, T. Fukushima, H. Hosokawa, J. Fujikata, H. Kikuchi, M. Hamada, T. Kuroda and A. Kosuge, “Massive Orthogonal Stacking Assembly IC Cube (MOSAIC) With Inductive Coupling for Exascale Memory Applications,” in IEEE 75th Electronic Components and Technology Conference (ECTC), May 2025.
[4] Y. Pan, M. Hamada, A. Kosuge, “A 83.7% Resource Reduced FPGA-Based Wired-Logic DNN Processor by Using Mixed-Precision Module Embedding Into Non-Linear Function LUT” in IEEE International Circuits and Systems (ISCAS), May 2025.
[5] H. Amano, A. Kosuge, H. Sumi, N. Shimamoto, Y. Ochiai, Y. Inoue, T. Mogami, Y. Mita, M. Ikeda, “An SoC Design and Fabrication Hands-On Educational Course Within One Week Using Structured ASIC” in IEEE International Circuits and Systems (ISCAS), May 2025.
[6] A. Kosuge, “(Invited) Hardware and Software Co-Designed Neuron Array Processor for AI-IoT Applications,” in IEEE International Parallel and Distributed Processing Symposium (IPDPS), Workshop on Coarse-Grained Reconfigurable Architectures for High-Performance Computing and AI (CGRA4HPCA), June 2025.
[7] H. Sumi, H. Amano, N. Shimamoto, A. Kosuge, Y. Ochiai, T. Mogami, Y. Mita, M. Ikeda, “Agile Prototyping of AI Hardware LSIs Using Multi-Layer Aluminum Interconnects in a Minimal Fab

Environment," in JSAP International Conference on Solid State Devices and Materials (SSDM'25), Extended Abstracts, Sep. 2025.

[8] Y. Mitarai, M. Kawano, H. Huang, T. Kuroda, M. Hamada, A. Kosuge, "A 78% Area-Reduction in Edge-Coupled Inductive Coupling Link for Flexible Chip Assembly Using Oblong Coil," in JSAP International Conference on Solid State Devices and Materials (SSDM'25), Extended Abstracts, Sep. 2025.

[9] Y. Mitarai, M. Hamada, and A. Kosuge, "A 16 Gb/s 48.9 fJ/b PVT-Tolerant Standard-Cell-Based Receiver for AC-Coupled Chiplet Interconnects," in IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), Oct. 2025.

[10] H. Amano, A. Kosuge, M. Nitami, H. Sumi, N. Shimamoto, Y. Ochiai, Y. Inoue, T. Mogami, Y. Mita, and M. Ikeda, "Live demonstration: Quickly developed chips with the Agile-Chip Platform," in IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), Oct. 2025.

[11] A. Kosuge "[Invited] Digital Neuromorphic Processor with Orthogonal 3D Chip Stacking," in JSAP International Microprocesses and Nanotechnology Conference, Nov. 2025.

[12] Y. Mitarai, M. Hamada, and A. Kosuge, "Analysis and Design of Oblong Coils and Standard-Cell-Based Receiver for Area-Efficient Edge-Coupled Inductive Coupling Transceiver," in IEEE 31st Asia and South Pacific Design Automation Conference (ASP-DAC), Jan. 2026.

シンポジウム・研究会・大会等発表

[1] Jiawei Yu, Kaijie Wei, Hideharu Amano, Mototsugu Hamada, Atsutake Kosuge, "A 29.71dB PSNR Integer-based Learned Image Compression Toward Resource Efficient FPGA Implementation," IEICE ソサエティ大会, September 2025.

[2] 小菅敦丈, "[招待講演] GPU-DRAM直接積層を可能にする直交積層MOSAIC," IEICE シリコン材料・デバイス研究会（SDM）, March, 2026.

染谷・横田研究室

研究論文

[1] Tomoyuki Yokota, Takao Someya, "The Potential of Ultra-Flexible Organic Photonic Devises in Anesthesia and Vital Sign Monitoring," Journal of the Imaging Society of Japan, 64, 573 (2025).

[2] Hao Liu, Masahito Takakuwa, Michitaka Yamamoto, Shinsuke Nakashima, Zhengyi Jiang, Tomoyuki Yokota, Takao Someya, Toshihiro Itoh, Seiichi Takamatsu, "Ultrathin bending sensor with ultrahigh robustness and reliability for robotic applications," npj Flexible Electronics, 9, 123 (2025).

[3] Jae-Hyun Kim, Hyojeong Choi, Kenjiro Fukuda, Jaebin Jeong, Jun-Gyu Choi, Sunghoon Lee, Tomoyuki Yokota, Sang Min Won, Joohoon Kang, Yei Hwan Jung, Jongin Hong, Seulki Song, Takao Someya, Hyeok Kim, Sungjun Park, "Skin-conformal MHz-speed organic photodetectors for angle-free and long-range near-infrared communication," Nature Communications, 16, 11041 (2025).

[4] Xiaoping Liang, Buyun Yu, Tomoyuki Yokota, Takao Someya, "Conforming strategies for bioelectronics on arbitrary surfaces," npj Biosensing, 2, 41 (2025).

[5] Vincenzo Pecunia, Thomas D Anthopoulos, Ardalan Armin, Benjamin Bouthinon, Mario Caironi, Andres Castellanos-Gomez, Yongsheng Chen, Kilwon Cho, Charlotte Clegg, Xiaosheng Fang, Peter Fendel, Boyd Fowler, Gerwin Gelinck, Heinrich Gottlob, Philippe Guyot-Sionnest, Rob Hannebauer, Gerardo Hernandez-Sosa, Mark C Hersam, Lionel Hirsch, Johnny C Ho, Furkan H Isikgor, Jérôme Joimel, Hyun Jae Kim, Gerasimos Konstantatos, John Labram, Max C Lemme, Karl Leo, Emmanuel Lhuillier, Elefterios Lidorikis, Maria A Loi, Pawel E Malinowski, Patrick Merken, Thomas Mueller, Bahareh Nasrollahi, Dario Natali, Tse Nga Ng, Thuc-Quyen Nguyen, Sung Kyu Park, Lian-Mao Peng, Paolo Samorì, Edward H Sargent, Liang Shen, Sanshiro Shishido, Ivan Shorubalko, Prashant Sonar, Samuel D Stranks, Sandro F Tedde, Koen

Vandewal, Marc Verhaegen, Sumeet Walia, Feng Yan, Tomoyuki Yokota, Fujun Zhang, "Guidelines for accurate evaluation of photodetectors based on emerging semiconductor technologies," Nature Photonics, 2, 41 (2025).

[6] Zonglei Wang, Yuli Wang, Jiawei Yang, Pengcheng Zhou, Wenqing Yan, Shihong Lin, Yujie Zhang, Qingyuan Sun, Yumiao Xu, Zichong Ji, Mingzhe Wang, Zongman Zhang, Junhong Yi, Meiqiong Zheng, Xuezhong He, Lulu Sun, Sunghoon Lee, Tomoyuki Yokota, Hossam Haick, Takao Someya, Yan Wang, "Sub-400 nanometer-thick skin and environment adaptable organohydrogel nanofilm epidermal electrode," Nature Communications, 16, 10103 (2025).

[7] Ilhem Nadia Rabehi, Silvia Mariotti, Kenjiro Fukuda, Shin Young Lee, Dou Zhao, Penghui Ji, Shuai Yuan, Jiahao Zhang, Chenfeng Ding, Kirill Mitrofanov, Dominik Madea, Ryota Kabe, Tomoyuki Yokota, Luis K. Ono, Takao Someya, Yabing Qi, "Dual hole transport layer for ultra-flexible perovskite solar cells with unprecedented stability," Joule, 9, 102209 (2025).

[8] Sunghoon Lee, Kanta Takano, Wakako Yukita, Yusaku Tagawa, Lulu Sun, Shuxu Wang, Joo Sung Kim, Tomoyuki Yokota, Takao Someya, "A body-scale textile-based electromyogram monitoring system with coaxially shielded conductive yarns," Science Advances, 11, eadx4518 (2025).

[9] Masahito Takakuwa, Kento Yamagishi, Sunghoon Lee, Yusaku Tagawa, Takao Someya, Tomoyuki Yokota, "Device Integration Technology for Practical Flexible Electronics Systems," Advanced Functional Materials, e14330 (2025).

[10] Yuli Wang, Zonglei Wang, Yujie Zhang, Jiawei Yang, Zongman Zhang, Pengcheng Zhou, Yumiao Xu, Qingyuan Sun, Meiqiong Zheng, Wenqing Yan, Xuezhong He, Jiongyu Chen, Juan Li, Youhua Jiang, Sunghoon Lee, Hossam Haick, Tomoyuki Yokota, Takao Someya, Yan Wang, "A 2.7-μm-thick robust, permeable, and antifreezing hydrogel electrode for long-term ambulatory health monitoring," Science Advances, 11, eadt2286 (2025).

[11] Limei Liu, Xuyang Feng, Jiaxuan Du, Haoyang Wang, Enbo Xue, Shisheng Chen, Tomoyuki Yokota, Takao Someya, Binghao Wang, "Sweat-activated conductive hydrogel nanomesh for breathable, long-term electrophysiological monitoring and human-centric interfaces," Matter, 9, 102428 (2025).

[12] Yiming Liu, Xingcan Huang, Qiang Zhang, Wooyoung Park, Jinpei Wang, Jingyou Su, Zhao Zhao, Xue Wang, Miao Kong, Mingxiu Lv, Xinxin He, Jiachen Wang, Shengxin Jia, Chun Ki Yiu, Jianwei Li, Shiyuan Liu, Kenjiro Fukuda, Tomoyuki Yokota, Jianxin Tang, Kangning Ren, Takao Someya, Chao Zhang, Xinge Yu, "Self-Driven, Stretchable Drug Delivery Electronics for Acne Treatment," ACS Nano, 19, 31740 (2025).

[13] Dou Zhao, Yeon-Woo Choi, Tomoyuki Yokota, Takao Someya, Nam-Gyu Park, "Halide Perovskite Radiation Detectors: Conventional Imaging Applications and New Opportunities," Advanced Functional Materials, 35, e13676 (2025).

[14] Theodorus Jonathan Wijaya, Naoki Higashitarumizu, Shifan Wang, Shogo Tajima, Hyong Min Kim, Shu Wang, Dehui Zhang, James Bullock, Tomoyuki Yokota, Takao Someya, Ali Javey, "Mechanically flexible mid-wave infrared imagers using black phosphorus ink films," Nature Communications, 16, 5972 (2025).

[15] Yusaku Tagawa, Ryota Fukuzawa, Takao Someya, Tomoyuki Yokota, "Revealing the Effects of Inert Annealing on Low-Noise Near-Infrared Organic Photodetectors via Precise Trap and Noise Characterization," ACS Applied Materials & Interfaces, 17, 42184 (2025).

[16] Seiichi Takamatsu, Masahito Takakuwa, Kenjiro Fukuda, Michitaka Yamamoto, Naoto Tomita, Hao Liu, Takeshi Kobayashi, Tomoyuki Yokota, Takao Someya, Toshihiro Itoh, "Flexible no-drift data glove using ultrathin silicon for the metaverse," Device, 3, 100686 (2025).

[17] Sachi Awakura, Hiroaki Jinno, Yusaku Tagawa,

Kosei Sasaki, Ryota Fukuzawa, Takao Someya, “Dual-Band Selective Organic Photodetector for Visible and Near-Infrared Light Imaging,” IEEE Open Journal of Immersive Displays, 2, 17 (2025).

[18] Dorina T. Papanastasiou, Maho Mimuro, Wakako Yukita, Tomoyuki Yokota, Suksmandhira Harimurti, Chika Okuda, Takao Someya, “A novel thickness-gradient electrospun nanomesh for interface-free e-skin applications,” Materials Horizons, 12, 4676 (2025).

[19] Theodorus Jonathan Wijaya, Sixing Xiong, Kosei Sasaki, Yutaro Kato, Kazuma Mori, Mari Koizumi, Sunghoon Lee, Masaki Kobayashi, Yinhua Zhou, Kenjiro Fukuda, Tomoyuki Yokota, Takao Someya, “A Highly Stable Organic–Inorganic Hybrid Electron Transport Layer for Ultraflexible Organic Photodiodes,” Advanced Materials, 37, 2501951 (2025).

[20] Ayato Kanada, Ryo Takahashi, Keito Hayashi, Ryusuke Hosaka, Wakako Yukita, Yasutaka Nakashima, Tomoyuki Yokota, Takao Someya, Mitsuhiro Kamezaki, Yoshihiro Kawahara, Motoji Yamamoto, “Joint-repositionable Inner-wireless Planar Snake Robot,” IEEE Robotics and Automation Letters, 10, 4994 (2025).

[21] Shumpei Katayama, Keigo Ando, Sunghoon Lee, Zhi Jiang, Xiaodong Chen, Tomoyuki Yokota, Hirotaka Sato, Shinjiro Umezu, Kenjiro Fukuda, Takao Someya, “Locomotion control of Cyborg insects by using ultra-thin, self-adhesive electrode film on abdominal surface,” npj Flexible Electronics, 9, 25 (2025).

[22] Masahito Takakuwa, Daishi Inoue, Lulu Sun, Michitaka Yamamoto, Shinjiro Umezu, Daisuke Hashizume, Toshihiro Itoh, Kenjiro Fukuda, Takao Someya, and Tomoyuki Yokota, “Robust Full-Surface Bonding of Substrate and Electrode for Ultra-Flexible Sensor Integration,” Advanced Materials, 37, 2417590 (2025).

[23] Kosei Sasaki, Chika Okuda, Theodorus Jonathan Wijaya, Sunghoon Lee, Kento Yamagishi, Takao Someya, and Tomoyuki Yokota, “Detachable Top Electrode-Organic Photodetector for Repeated Nondestructive Evaluation of Device Performance and Surface Analysis of the Active Layer,” ACS Applied Materials & Interfaces, 17, 8064 (2025).

[24] Sunghoon Lee, Joo Sung Kim, Yan Wang, Yusaku Tagawa, Wenqing Wang, Lulu Sun, Xiaoping Liang, Md Osman Goni Nayeem, Tomoyuki Yokota, Kenjiro Fukuda, and Takao Someya, “An ultrasoft nanomesh strain sensor with extreme mechanical durability against friction for on-skin applications,” Device, 3, 100559 (2025).

[25] Karl Leo, Canek Fuentes-Hernandez, Gerasimos Konstantatos, Tomoyuki Yokota, “Special issue APL organic and hybrid photodetectors,” Applied Physics Letters, 126, 020401 (2025).

国際会議論文

[1] (Invited) Tomoyuki Yokota, “Ultra-flexible Organic Photonics Device for Bio-signal Monitoring, The Singapore Scientific Conference (SSC) 2025, Marina Bay Sands Expo and Convention Centre, Singapore, Dec. 2025

[2] (Invited) Tomoyuki Yokota, “Flexible Imager With Low-Temperature Polysilicon Thin-Film Transistor Backplane” 20th International TFT Conference 2026, Xiamen, China, Mar. 2026

[3] (Invited) Tomoyuki Yokota, “Ultra-flexible Organic Photonics Device for Bio-signal Monitoring, The Singapore Scientific Conference (SSC) 2025, Marina Bay Sands Expo and Convention Centre, Singapore, Dec. 2025

[4] Tomohiro Anda, Mari Koizumi, Kento Yamagishi, Tomoyuki Yokota, Takao Someya, “Flexible Organic Photodetector Capable of Multimodal Detection of Light and Strain with Periodic Buckling,” The 32nd International Display Workshops (IDW2025), Hiroshima, Hiroshima, Dec. 2025.

[5] Yusaku Tagawa, Ryota Fukuzawa, Takao Someya, and Tomoyuki Yokota, “Precise Trap and Noise Characterisation Systems for Low-Noise Near-Infrared Organic Photodetectors,” The 32nd International Display Workshops (IDW2025),

Hiroshima, Hiroshima, Dec. 2025

[6] Chae-Eun Shim, Sachi Awakura, Hongting Chen, Yusaku Tagawa, Unyong Jeong, Takao Someya, Tomoyuki Yokota, "Enhancing Environmental Stability and Mechanical Robustness of ZnO Nanoparticle Organic Photodetectors via Branched Polyethyleneimine Interlayer," The 32nd International Display Workshops (IDW2025), Hiroshima, Hiroshima, Dec. 2025

[7] (Invited) Hiroaki Jinno, Tomoyuki Yokota, Daisuke Kobayashi, Takahiro Makino, "Development of Highly Efficient, Ultrathin Perovskite Solar Cells for Space Applications," The 32nd International Display Workshops (IDW2025), Hiroshima, Hiroshima, Dec. 2025

[8] (Invited) Tomoyuki Yokota, "Robust Full-Surface Bonding Method for Ultra-flexible Organic Photonic Sensor," The 32nd International Display Workshops (IDW2025), Hiroshima, Hiroshima, Dec. 2025

[9] (Invited) Tomoyuki Yokota, "Robust Reinforced Polymeric Nanofilms and Their Applications," The 32nd International Display Workshops (IDW2025), Hiroshima, Hiroshima, Dec. 2025.

[10] Baocai Du, Tomoyuki Yokota, Takao Someya, "A Water-Resistant, Ultrathin, Conformable Organic Photodetector for Vital Sign Monitoring," 2025 MRS Fall Meeting & Exhibit, Boston, Massachusetts, Dec. 2025.

[11] Xiaoping Liang, Sunghoon Lee, Tomoyuki Yokota, Takao Someya, "Intrinsically Conductive Nanofiber for In-Situ Fabricated Nanomesh Bioelectronics on Arbitrary Surfaces," 2025 MRS Fall Meeting & Exhibit, Boston, Massachusetts, Dec. 2025.

[12] Hongting Chen, Tomoyuki Yokota, Takao Someya, "High Contrast Flexible Vein Imager with Ambient Light as Light Source," 2025 MRS Fall Meeting & Exhibit, Boston, Massachusetts, Dec. 2025.

[13] Sachi Awakura, Hiroaki Jinno, Yusaku Tagawa, Masahito Takakuwa, Takao Someya, Tomoyuki Yokota, "Ultra-Flexible Dual-Band Organic Photodetector for Visible and Near-Infrared Imaging," 2025 MRS Fall Meeting & Exhibit, Boston, Massachusetts, Dec. 2025.

[14] Masahito Takakuwa, Daishi Inoue, Lulu Sun, Michitaka Yamamoto, Kenjiro Fukuda, Takao Someya, Tomoyuki Yokota, "Robust Hybrid Direct Bonding Method for the Integration of Ultra-Thin Flexible Electronics," 2025 MRS Fall Meeting & Exhibit, Boston, Massachusetts, Dec. 2025.

[15] (Invited) Takao Someya, Md Osman Goni Nayeem, Yusaku Tagawa, Yu Kato, Kenjiro Fukuda, Sunghoon Lee, Tomoyuki Yokota, "Ultrasensitive, Ultrathin and Ultrasoft Wearable Mechanoresponsive Devices for Biomedical Sensing and Actuation," 2025 MRS Fall Meeting & Exhibit, Boston, Massachusetts, Dec. 2025.

[16] (Invited) Tomoyuki Yokota, "Robust Reinforced Polymeric Nanofilms and Their Applications," 2025 MRS Fall Meeting & Exhibit, Boston, Massachusetts, Dec. 2025.

[17] (Invited) Tomoyuki Yokota "Ultra-flexible Organic Electronics for Health Monitorin," the 8th International Conference on Advanced Electromaterials(ICAE2025), ICCJEJU, Korea, Nov. 2025.

[18] Jae-Hyun Kim, Hyojeong Choi, Kenjiro Fukuda, Jun-Gyu Choi, Jaebin Jeong, Sunghoon Lee, Tomoyuki Yokota, Jongin Hong, Takao Someya, Hyeok Kim, and Sungjun Park "Conformal MHz-Speed Organic Near-Infrared Optical Sensors for Direction-Independent, Long-Range Binary Data Communication," the 8th International Conference on Advanced Electromaterials(ICAE2025), ICCJEJU, Korea, Nov. 2025.

[19] Yifan Li, Masaaki Fukumoto, Mohamed Kari, Shigemi Ishida, Akihito Noda, Tomoyuki Yokota, Takao Someya, Yoshihiro Kawahara, Ryo Takahashi, "Ultra-low-power ring-based wireless tinymouse," the 38th Annual ACM Symposium on User Interface Software and Technology (ACM UIST), Busan, Korea, Oct. 2025.

[20] Ryo Takahashi, Takashi Sato, Wakako Yukita, Tomoyuki Yokota, Takao Someya, Yoshihiro

Kawahara, “Full-body WPT: wireless powering with meandered e-textiles” Companion of the the 2025 ACM International Joint Conference on Pervasive and Ubiquitous Computing (Ubicomp Companion’25), Espoo, Finland, Oct. 2025.

[21] Yifan Li, Ryo Takahashi, Irmandy Wicaksono, Wakako Yukita, Yuhiro Iwamoto, Sunghoon Lee, Tomoyuki Yokota, Takao Someya, Yoshihiro Kawahara, “Plug-n-play e-knit with LED-based sensor positioning” ACM Ubicomp 2025, Intellignet Soft Wearables Workshop, Espoo, Finland, Oct. 2025.

[22] (Invited) Tomoyuki Yokota “Flexible Organic Electronics for the Bio-signal Measurement,” 2025 IEEE 16th International Conference on ASIC (ASICON2025), Crowne Plaza Kunming City Centre, Kunming, China, Oct. 2025.

[23] (Invited) Hiroaki Jinno, Tomoyuki Yokota, Chih-jen Shih, “Highly efficient, ultraflexible perovskite solar cells for indoor self-powered applications,” Materials for Sustainable Development Conference Fall 25, Valencia, Spain, Oct. 2025.

[24] Michihiro Nakagome, Kento Yamagishi, Tomoyuki Yokota, Takao Someya, “Self-doped PEDOT (S-PEDOT)-based Conductive Nanomesh for On-skin Biosensing,” 2025 IEEE International Conference on Device Technologies for Diversified Applications (IEEE DTDA 2025), TKP GardenCity PREMIUM Sendai Nishiguchi, Sendai, Japan, Oct. 2025.

[25] (Keynote) Tomoyuki Yokota “Flexible Organic Photonic Device for the Bio-signal Measurement,” the 6th International Conference on Flexible Electronics (ICFE 2025), Jiaxing, China, Sep. 2025.

[26] (Invited) Tomoyuki Yokota “Flexible Organic Image Sensor for Bio-signal Detection,” The 9th Symposium on Flexible & Stretchable Electronics (ISFSE 2025), Shenzhen, China, Sep. 2025.

[27] Chika Okuda, Takao Someya, Tomoyuki Yokota, “Skin-Adhesive Organic Transistors for Long-Term Wearable Electronics,” The 15th International Conference on Flexible and Printed Electronics (ICFPE2025), Institute of Science Tokyo, Japan, Sep. 2025.

[28] (Invited) Tomoyuki Yokota “Flexible Optical Pressure Sensor based on Organic Imager,” the 25th International Meeting on Information Display (IMID 2025), the Busan Exhibition and Convention Centre (BEXCO), Korea, Aug. 2025.

[29] (Invited) Tomoyuki Yokota “Sheet-type image sensor,” The 2nd International Conference on AI Sensors and Transducers (AIS2025), Melia Kuala Lumpur, Malaysia, Aug. 2025.

[30] (Invited) Tomoyuki Yokota “Flexible Optical Pressure Sensor based on Organic Imager,” The 23rd International Nanotech Conference and Exhibition(NANO KOREA 2025), KINTEX Exhibition Center I, Korea, Jul. 2025.

[31] (Invited) Tomoyuki Yokota “Flexible Organic Imager With Low-Temperature Polysilicon Thin-Film Transistor Backplane,” International Conference on Materials for Advanced Technologies (ICMAT2025), Suntec Singapore, Singapore, Jul. 2025.

[32] (Invited) Tomoyuki Yokota “Organic Photonic Devices for Sensing,” Pacific Forum on Flexible Electronics (Pacificflex2025), Four Points by Sheraton Bintan, Indonesia, Jun. 2025.

[33] (Invited) Tomoyuki Yokota “Conformable Image Sensor for Biomedical Imaging and Sensing,” NanoSeries 2025, University of Valencia,Spain, Jun. 2025.

[34] (Invited) Tomoyuki Yokota “Sheet-type Image Sensor for Biomedical Imaging and Sensing,” The 2nd International Conference on Optoelectronic Integration(coint2025), Landison Jinhao Hotel Hangzhou, Hangzhou, May. 2025.

[35] (Invited) Tomoyuki Yokota “Ultra-flexible organic electronics for health monitoring,” The 6th International Workshop on Symbiosis of Biology and Nanodevices(IWSBN2025), Kamata, Tokyo, Apr. 2025.

[36] (Invited) Sunghoon Lee, Tomoyuki Yokota, Kenjiro Fukuda, Takao Someya “Ultra-Soft and Durable

Skin Electronics for Next-Generation Wearable Devices," 2025 MRS Spring Meeting & Exhibit, Seattle, Washington, Apr. 2025.

[37] Shumpei Katayama, Keigo Ando, Sunghoon Lee, Zhi Jiang, Xiaodong Chen, Tomoyuki Yokota, Hirotaka Sato, Shinjiro Umezu, Kenjiro Fukuda, Takao Someya, "On-Body Surface Bio-Compatible Integration Technology of Film Electrode for Realization of Sensory Organ-Free Insect Motion Control," 2025 MRS Spring Meeting & Exhibit, Seattle, Washington, Apr. 2025.

[38] (Invited) Tomoyuki Yokota, Takao Someya "Robust Full-Surface Bonding for Integrating Flexible Optical Electronics," 2025 MRS Spring Meeting & Exhibit, Seattle, Washington, Apr. 2025.

[39] (Invited) Takao Someya, Suksmandhira Harimurti, Sunghoon Lee, Kento Yamagishi, Tomoyuki Yokota "Advanced Janus Electrode and Nanomesh Strain Sensor for Robust, Long-Term Biosignal Monitoring," 2025 MRS Spring Meeting & Exhibit, Seattle, Washington, Apr. 2025.

シンポジウム・研究会・大会等発表

[1] (招待講演) 栗倉 幸, 甚野 裕明, 多川 友作, 福澤 亮太, 高桑 聖仁, 染谷 隆夫, 横田 知之, "超柔軟な積層有機光検出器を用いた生体計測応用," 第73回 応用物理学会春季学術講演会, 東京科学大学, 2026年3月

[2] Wijaya Jonathan Theodorus, 東垂水 直樹, 横田知之, Javey Ali, 染谷 隆夫, "Flexible mid-wave infrared imaging using black phosphorus ink films," 第73回 応用物理学会春季学術講演会, 東京科学大学, 2026年3月

[3] 奥田 知華, 染谷 隆夫, 横田 知之, "エラストマー超薄膜上への極薄アイランド構造の作製," 第73回 応用物理学会春季学術講演会, 東京科学大学, 2026年3月

[4] 阿部 大和, Sophia Millan, Mohak Patel, Jeffrey Lam, Amir Vahabikashi, 横田 知之, 山岸 健人, 染谷 隆夫, "金–ポリウレタン伸縮性ナノメッシュ電極の開発と心筋シートへの応用," 第40回 エレクトロニクス実装学会春季講演大会, 東京たま未来メッセ 東京都立多摩産業交流センター, 2026年3月

[5] (招待講演) 按田智大, 海老原祐輔, 小泉真里, 山岸健人, 横田知之, 染谷隆夫, "規則的なバックリング構造を持つ柔軟な有機光検出器による光と歪みのマルチモーダルセンシング," IDY SID-JC, オンライン開催, 2026年3月

[6] 高橋亮, Li Yifan, 福本雅朗, 横田知之, 染谷隆夫, 川原圭博, "[招待論文] picoRing mouse: 極低電力な指輪型無線マウス," 第33回インタラクティブシステムとソフトウェアに関するワークショップ (WISS 2025), 定山渓ビューホテル, 2025年12月

[7] 高橋亮, Li Yifan, 福本雅朗, Mohamed Kari, 野田聡人, 石田繁巳, 横田知之, 染谷隆夫, 川原圭博, "極低電力な指輪型無線マウス," 第42回「センサ・マイクロマシンと応用システム」シンポジウム, , ライトキューブ宇都宮, 2025年11月

[8] 甚野 裕明, 宮澤 優, 中村 徹哉, 山﨑 翔太, 佐藤 真一郎, 長澤 尚胤, 大島 武, 横田 知之, "宇宙用軽量電源に向けた高効率な 超薄型ペロブスカイト太陽電池," 第69回宇宙科学技術連合講演会, 札幌コンベンションセンター, 2025年11月

[9] 海老原祐輔, 山岸健人, 横田知之, 染谷隆夫, "ナノファイバーシート上に形成した金電極の常温接合," 第42回「センサ・マイクロマシンと応用システム」シンポジウム, ライトキューブ宇都宮, 2025年11月

[10] 阿部 大和, Sophia Millan, Amir Vahabikashi, 横田 知之, 山岸 健人, 染谷 隆夫, "培養心筋組織と一体化するナノメッシュ型電極の開発," 第42回「センサ・マイクロマシンと応用システム」シンポジウム, ライトキューブ宇都宮, 2025年11月

[11] (基調講演) 横田 知之, "有機フォトディテクタを用いたフレキシブルセンサ応用," 第21回有機光エレクトロニクス産業化研究会, マリンメッセ福岡, 2025年10月

[12] 高橋亮, Li Yifan, 福本雅朗, Mohamed Kari, 山本英昂, 野田聡人, 石田繁巳, 横田知之, 染谷隆夫, 川原圭博, "超低電力な指輪型無線

マウス," 第87回情報処理学会　UBI研究会, 富山県民会館, 2025年9月

[13] 阿部 大和, Sophia Millan, Amir Vahabikashi, 横田 知之, 山岸 健人, 染谷 隆夫, "心筋組織との一体化を目指した伸縮性ナノメッシュ型電極搭載足場材料の開発," 生体医工学シンポジウム 2025, 山梨県立図書館, 2025年9月

[14] 佐々木 光生, 石井 良美, 大井 寛崇, 横田 知之, "正孔輸送層にTi3C2Tx MXeneを用いた有機フォトダイオードの開発," 第86回応用物理学会 秋季学術講演会, 名城大学, 2025年9月

[15] 多川 友作, 福澤 亮太, 染谷 隆夫, 横田 知之, "精緻なノイズ及び欠陥測定系による有機光検出器における水導入型欠陥の評価," 第86回応用物理学会 秋季学術講演会, 名城大学, 2025年9月

[16] 大場 邦誉, 佐々木 光生, 山岸 健人, 染谷 隆夫, 横田 知之, "上部電極脱着構造の有機フォトダイオードを用いた圧力検出," 第86回応用物理学会秋季学術講演会, 名城大学, 2025年9月

[17] Ruifeng Xu, Kento Yamagishi, Takao Someya, Tomoyuki Yokota, "Improved Electrical Characteristics of Reprocessed Self-Doped PEDOT for OECT Applications," 第86回応用物理学会秋季学術講演会, 名城大学, 2025年9月

[18] 粟倉 幸, 甚野 裕明, 多川 友作, 染谷 隆夫, 横田 知之, "可視光と近赤外光を選択的に検出可能な積層有機光検出器の開発," 第86回応用物理学会 秋季学術講演会, 名城大学, 2025年9月

[19] 見附 昂紀, 小泉 真理, 立花 勇太郎, 高桑 聖仁, 多川 友作, 山岸 健人, 岩瀬 英治, 染谷 隆夫, 横田 知之, "切り紙構造を持つ折り畳み可能な有機光検出器," 第86回応用物理学会 秋季学術講演会, 名城大学, 2025年9月

[20] 按田 智大, 山岸 健人, 横田 知之, 染谷 隆夫, "光と歪みを同時検知可能なフレキシブル有機光検出器の開発," 第86回応用物理学会 秋季学術講演会, 名城大学, 2025年9月

[21] 中込 満博, 山岸 健人, 横田 知之, 染谷 隆夫, "自己ドープ型ポリチオフェンを用いたナノメッシュ電極による筋電計測," 第86回応用物理学会秋季学術講演会, 名城大学, 2025年9月

[22] (招待講演) 甚野 裕明, 横田 知之, Shih Chih-jen, "室内自立駆動型単色光源に向けた超柔軟ペロブスカイトナノ粒子LEDの開発," 第86回応用物理学会 秋季学術講演会, 名城大学, 2025年9月

[23] 高桑 聖仁, Liu Hao, 伊藤 寿浩, 染谷 隆夫, 横田 知之, "集積化と分離が容易なフレキシブルデバイス実現に向けた可逆的な直接接合技術の検討," 第86回応用物理学会 秋季学術講演会, 名城大学, 2025年9月

[24] 立花 卓遠, 海老原 祐輔, 山岸 健人, 横田 知之, 染谷 隆夫, "ナノメッシュを用いた摩擦帯電型ウェアラブル咽喉マイクの開発," 第86回応用物理学会 秋季学術講演会, 名城大学, 2025年9月

[25] 片山 俊平, 安藤 圭吾, 李 成薫, Jiang Zhi, Chen Xiaodong, 横田 知之, 佐藤 裕崇, 梅津 信二郎, 福田 憲二郎, 染谷 隆夫, "腹部表面上自己接着性電極によるサイボーグ昆虫の運動制御," 第86回応用物理学会 秋季学術講演会, 名城大学, 2025年9月

[26] 高桑聖仁, Hao Liu, 山岸健人, 小崎凱, 高松誠一, 染谷隆夫, 横田知之, "接着剤フリー実装技術による皮膚貼付け型角度センサの開発," 第35回マイクロエレクトロニクスシンポジウム (MES2025), 大阪大学, 2025年9月

[27] 山本英昂, 李蘊韜, 韓燦教, 横田 知之, 染谷 隆夫, 川原圭博, 高橋亮, "指輪ーリストバンドコイル間の磁気結合を用いた超低電力な指輪型無線XRコントローラの設計," 電子情報通信学会 ソサイエティ大会, 岡山大学, 2025年9月

[28] 保坂琉介, 金田礼人, 林渓人, 中島康貴, 高橋亮, 雪田和歌子, 横田知之, 染谷隆夫, 亀崎允啓, 川原圭博, 佐藤峻, 来見田淳也, 岩瀬英治, 山本元司, "移動関節ヘビ型ロボット：任意の体幹位置を能動屈曲可能なヘビ型ロボットによるセンサレス狭路推進制御の検討," ロボティクス・メカトロニクス 講演会2025, 山形大学, 2025年6月

[29] (招待講演) 横田 知之, "アクアプラズマを用いたウルトラフレキシブルデバイスの実装技術と応用例," JIEP最先端実装技術シンポジウム, 東京ビッ

クサイト, 2025年6月

[30] 高橋亮，韓燦教，雪田和歌子，John S. Ho，笹谷拓也，野田聡人，横田知之，染谷隆夫，川原圭博, “Full-body NFC: メアンダ形状の電子ニットによる全身電池レス無線センサネットワーク,” 第86回UBI研究会, , 東京農工大学, 2025年5月

[31] (招待講演) 横田 知之, 染谷 隆夫, “通気性のあるナノメッシュセンサを用いた生体計測,” 第124回日本皮膚科学会総会, パシフィコ横浜, 2025年5月

著書

なし

竹内研究室

研究論文

[1] Naoko Misawa, Tao Wang, Chihiro Matsui and Ken Takeuchi, “Quantization methodology for edge Transformer Hetero-CiM with SRAM CiM in self-attention and MLC ReRAM CiM in linear and FC layers,” *Japanese Journal of Applied Physics (JJAP)*, vol. 64, pp. 071004, July 16, 2025.

[2] Daqi Lin, Tao Wang, Adil Padiyal, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, “Signed Approximate Adder Tree and Quantization- and Bit-Pruning-Aware Training for Digital Computation-in-Memory,” *IEICE Transactions on Electronics*, vol. E108.C, no. 9 pp. 418-426, July 16, 2025.

[3] Chihiro Matsui, Ayumu Yamada, Naoko Misawa, and Ken Takeuchi, “ReRAM resistance design of LRS and HRS for ultrahigh-capacity highly-parallel analog Computation-in-Memory,” *IEICE Transactions on Fundamentals of Electronics Communications and Computer Sciences*, vol.E109–A, no.3, March, 2026.

[4] Hanxi Xue, Yusuke Hirata, Naoko Misawa, Chihiro Matsui, and Ken Takeuchi, “GA-Optimized Non-Uniform Quantization Scheme for Mitigating MAC Variations in ReRAM-based Compute-in-Memory Architectures,” *IEICE Transactions on Fundamentals of Electronics Communications and Computer Sciences Brief Paper*, January, 2026.

[5] Shota Suzuki, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, “Mapping strategy of quantized KV cache of LLMs into mixture of SLC and MLC ReRAM among various quantization methods,” *Japanese Journal of Applied Physics (JJAP)*, vol. 65, pp. 03SP09, February 9, 2026.

[6] Naoko Misawa, Yusuke Izume, Yusuke Hirata, Masahiro Morimoto, Takeshi Ohara, Satoshi Awamura, Chihiro Matsui and Ken Takeuchi, “Design of multi-level ReRAM resistance states for Column-wise Weight Value Inversion (Colwin) to reduce MAC error of ReRAM-based analog Computation-in-Memory,” *Japanese Journal of Applied Physics (JJAP)*, vol. 65, pp. 03SP34, February 16, 2026.

[7] Daqi Lin, Zhaoqiang Zheng, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, “Sign configurable truncated carry approximate adders with explicit bit pruning for area- and power-efficient SRAM-based digital computation-in-memory,” *Japanese Journal of Applied Physics (JJAP)*, vol. 65, pp. 06SP17, March 23, 2026.

[8] E. Yushi Abarra, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, “Analysis of read voltage dependency of discrete shift and spike RTN in 40 nm TaOx-based ReRAM for CiM applications through a fine-grained extraction method,” *Japanese Journal of Applied Physics (JJAP)*, vol. 65, pp. 06SP24, March 24, 2026.

[9] Naoko Misawa, Ruiqi Zhang, Tao Wang, Chihiro Matsui and Ken Takeuchi, “Co-optimization of LoRA rank in iteratively error injected LoRA (Ei-LoRA) and inference accuracy for tiny & error-robust edge Vision Transformer Computation-in-Memory (ViT CiM),” *Japanese Journal of Applied Physics (JJAP)*, vol. 65, pp. 07SP05, April 1, 2026.

[10] Yusuke Hirata, Koki Shibata, Naoko Misawa, Takashi Ota, Yuki Yoshinaga, Chihiro Matsui and Ken Takeuchi, “Comparative analysis on Gaussian

process regression and numerical model for accurate Si3N4 wet etching rate prediction under small training data condition," *Japanese Journal of Applied Physics (JJAP)*, vol. 65, pp. 07SP08, April 2, 2026.

[11] Chihiro Matsui, Ayumu Yamada, Shota Suzuki, Naoko Misawa and Ken Takeuchi, "NanoCiM: Nano-ReRAM Computation-in-Memory with Neural Network Weight-aware X-Address Scrambling to Suppress IR Drop-oriented Bit-line MAC Current Variation," *IEEE Transactions on Circuits and Systems for Artificial Intelligence*, pp. 1-13, February 6, 2026.

国際会議論文

[1] Tao Wang, Daqi Lin, Kenshin Yamauchi, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, "Hybrid ReRAM-NMC & SRAM-CiM Matrix Multiplication for Large Language Model," *IEEE Symp. on Low-Power and High-Speed Chips and Systems (Cool Chips 28)*, April 17, 2025.

[2] Kenshin Yamauchi, Naoko Misawa, Hisashi Shima, Yasuhisa Naitoh, Hiroyuki Akinaga, Chihiro Matsui and Ken Takeuchi, "Read Voltage Dependency of Random Telegraph Noise in the Intermediate State of TaOx-based ReRAM," *IEEE International Reliability Physics Symposium (IRPS)*, April 3, 2025.

[3] Kenshin Yamauchi, Naoko Misawa, Satoshi Awamura, Masahiro Morimoto, Chihiro Matsui and Ken Takeuchi, "Conductance Variation-Assisted Adversarial Attack Robustness on 40nm TaOX-based ReRAM CiM," *IEEE International Reliability Physics Symposium (IRPS)*, April 3, 2025.

[4] Junnosuke Furukawa, Koki Shibata, Kenshin Yamauchi, Naoko Misawa, Satoshi Awamura, Chihiro Matsui and Ken Takeuchi, "Bayesian Neural Network Realization by Random Telegraph Noise in 40nm TaOx ReRAM CiM," *IEEE International Memory Workshop Poster*, May 19, 2025.

[5] Tao Wang, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, "VaLI: Variability-aware Fine-tuning with Low-rank Adapter and Iterative Training for ReRAM Computation-in-Memory," *IEEE International Symposium on Circuits and Systems (ISCAS)*, May 27, 2025.

[6] Shota Suzuki, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, "Observation of State Change in 40nm TaOx ReRAM Cells during Read-disturb," *IEEE Silicon Nanoelectronics Workshop (SNW)*, June 8, 2025, pp. **-**.

[7] Ken Takeuchi, "Memory-Centric Computing for AI Applications," *2025 Asia-Pacific Workshop on Advanced Semiconductor Devices (AWAD 2025)*, July 4, 2025.【招待講演】

[8] Ken Takeuchi, "Memory-Centric Computing Circuits for AI Applications," *International Conference on Solid State Devices and Materials (SSDM) Short Course*, September 15, 2025.【招待講演】

[9] Yusuke Izume, Yusuke Hirata, Naoko Misawa, Masahiro Morimoto, Takeshi Ohara, Chihiro Matsui, Ken Takeuchi, "Column-wise Weight Value Inversion (Colwin) of ReRAM CiM to Reduce MAC Error during Data-retention," *International Conference on Solid State Devices and Materials (SSDM)*, September 16, 2025, pp. 103-104.

[10] Yushi Abarra, Naoko Misawa, Chihiro Matsui, Ken Takeuchi, "Fine-Grained Extraction Method of Discrete Shift and Spike RTN in 40nm TaOX-based Analog ReRAM for CiM Applications," *International Conference on Solid State Devices and Materials (SSDM)*, September 16, 2025, pp. 105-106.

[11] Yusuke Hirata, Koki Shibata, Naoko Misawa, Takashi Ota, Yuki Yoshinaga, Chihiro Matsui, Ken Takeuchi, "Accurate Si3N4 Wet Etching Rate Prediction with Small Training Data by Gaussian Process Regression," *International Conference on Solid State Devices and Materials (SSDM)*, September 17, 2025, pp. 39-40.

[12] Daqi Lin, Tao Wang, Ruhui Liu, Naoko Misawa, Chihiro Matsui, Ken Takeuchi, "Truncated Carry Approximate Adder and Explicit Bit Pruning for SRAM-based Digital Computation-in-Memory," *International Conference on Solid State Devices*

and Materials (SSDM), September 17, 2025, pp. 277-278

[13] Ruhui Liu, Yufan Zhang, Naoko Misawa, Chihiro Matsui, Ken Takeuchi, "Hybrid-Domain SRAM Computation-in-Memory Architecture for Mixed-Precision FP/INT Operations," *International Conference on Solid State Devices and Materials (SSDM)*, September 17, 2025, pp. 275-276.

[14] Shota Suzuki, Naoko Misawa, Chihiro Matsui, Ken Takeuchi, "Hybrid SLC/MLC ReRAM for Quantized KV Cache in Transformer-based LLM," *International Conference on Solid State Devices and Materials (SSDM) Poster Late News*, September 17, 2025, pp. 755-756.

[15] Naoko Misawa, Ruiqi Zhang, Tao Wang, Chihiro Matsui, Ken Takeuchi, "Tiny & Error-robust Edge ViT CiM with 1/10 Training Parameters by Iteratively Error Injected LoRA (Ei-LoRA)," *International Conference on Solid State Devices and Materials (SSDM)*, September 18, 2025, pp. 451-452.

[16] Yusuke Hirata, Kenshin Yamauchi, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, "Adaptive Oxygen Vacancy Diffusion Compensation in MLC Intermediate States for over 10-year Data-retention of TaOX ReRAM Analog CiM Array," *IEEE European Solid-State Electronics Research Conference (ESSERC)*, September 11, 2025.

[17] Koki Shibata, Hiroshi Horiguchi, Chihiro Matsui and Ken Takeuchi, "Real-time Automated Recipe Creation & Verification of Single Wafer Wet Etching with Backcasting & Forecasting Ais," *AEC/APC (Advanced Equipment Control/Advanced Process Control) Symposium Asia 2025*, November 25, 2025, pp. -.

[18] Yusuke Hirata, Naoko Misawa, Takashi Ota, Yuki Yoshinaga, Chihiro Matsui and Ken Takeuchi, "Gaussian Process Regression Model for SiO2 and Si3N4 Wet Etching Across Various Etchant Conditions," *10th IEEE Electron Devices Technology and Manufacturing (EDTM) Conference 2026*, March 1-4, 2026.

シンポジウム・研究会・大会等発表

[1] 竹内健, "AI応用に向けたメモリを中心とするコンピューティング," 集積回路研究会（ICD）, 信学技報, vol. 125, no. 3, 2025年4月11日.【招待講演】

[2] 竹内健, "不揮発性メモリを用いたエッジAI向けComputation-in-Memory," 第73回応用物理学会春季学術講演会, 17p-M_374-1, 2026年3月17日.【招待講演】

[3] Yufan Zhang, Ruhui Liu, Naoko Misawa, Chihiro Matsui and Ken Takeuchi, "Wide-Range Power-Efficient Readout for Analog CIM Using Low-MAC-Aware Quantization," 第86回応用物理学会秋季学術講演会, 2025年9月9日, 9a-N106-4.

[4] アバラ勇士, 三澤奈央子, 松井千尋, 竹内健, "CiMに向けたTaOxベースアナログReRAMにおけるランダムテレグラフノイズの高精度な特性抽出手法," 信学技報, vol. 125, no. 261, ICD2025-49, pp. 70-73, 2025年12月2日.

[5] 鈴木渉太, 三澤奈央子, 松井千尋, 竹内健, "40nm TaOx ReRAMのRead-disturbによる読み出し電流値とRTNの頻度の変化," 信学技報, vol. 125, no. 261, ICD2025-50, pp. 74-79, 2025年12月2日.

[6] 三澤奈央子, 井爪優輔, 平田佑亮, 森本雅大, 大原猛史, 松井千尋, 竹内健, "ReRAMを用いたComputation-in-Memoryのデータリテンションによる積和演算値の誤りを低減する列方向の重み反転手法," 信学技報, vol. 125, no. 261, ICD2025-51, pp. 80-83, 2025年12月2日.

[7] 三澤奈央子, 張睿騏, 王韜, 松井千尋, 竹内健, "反復エラー注入とLoRAを用いてViTに向けたComputation-in-Memoryを小型でエラーに堅牢にするFine-tuning手法," 信学技報, vol. 125, no. 261, ICD2025-52, pp. 84-86, 2025年12月2日.

[8] 平田佑亮, 山内堅心, 三澤奈央子, 松井千尋, 竹内健, "TaOx ReRAMを用いたアナログComputation-in-Memoryにおける10年にわたる長期データ保持を実現する推論精度補償手法," 信学技報, vol. 125, no. 261, ICD2025- 60,

pp. 123-126, 2025年12月2日.

[9] 鈴木渉太，三澤奈央子，松井千尋，竹内健, “LLMの量子化されたKVキャッシュに向けたReRAMのマッピング手法の検討,” 信学技報, vol. 125, no. 260, VLD2025-59, pp. 227-232, 2025年12月3日.

[10] アバラエリオット勇士, 三澤奈央子, 松井千尋, 竹内健, “40nm TaOxベースReRAMの読み出し電流中のRTNの高精度抽出手法,” 第73回応用物理学会春季学術講演会，2026年3月18日, 18a-S2_203-6.

[11] 三澤奈央子, 張睿騏, 王韜, 松井千尋, 竹内健, “反復エラー注入とLoRAを用いたFine-tuningにより小型でエラーに堅牢なVision Transformer Computation-in-Memory,” 第73回応用物理学会春季学術講演会, 2026年3月15日, 15a-M_123-5.

[12] 三澤奈央子, 井爪優輔, 平田佑亮, 森本雅大, 大原猛史, 松井千尋, 竹内健, “ReRAM CiMの積和演算値のデータリテンションエラーを列方向の重み反転により低減する手法,” 第73回応用物理学会春季学術講演会，2026年3月15日, 15a-M_123-6.

[13] 松井千尋, 山田歩, 三澤奈央子, 竹内健, “デジタルメモリおよびComputation-in-Memoryのメモリ抵抗値デザイン,” 第73回応用物理学会春季学術講演会, 2026年3月15日, 15a-M_123-7.

[14] 平田佑亮，山内堅心，三澤奈央子，松井千尋，竹内健, “TaOx ReRAMベースのアナログComputation-in-Memoryにおける10年間のデータ保持を可能にする推論精度補償手法,” 第73回応用物理学会春季学術講演会, 2026年3月15日, 15a-M_123-8.

[15] 鈴木渉太，三澤奈央子，松井千尋，竹内健, “量子化KVキャッシュのビット要素のエラー耐性に基づくReRAMマッピング手法,” 第73回応用物理学会春季学術講演会，2026年3月15日, 15a-M_123-9.

[16] 鈴木渉太，三澤奈央子，松井千尋，竹内健, “ReRAMの読み出しストレスに伴う電流変動およびRTN頻度変化の調査,” 第73回応用物理学会春季学術講演会，2026年3月15日, 15a-M_123-10.

[17] 平田佑亮, 柴田行輝, 三澤奈央子, 太田喬, 吉永祐貴, 三澤奈央子, 松井千尋, 竹内健, “少数データセットにおけるガウス過程回帰を用いた単一濃度・温度条件に対するSi3N4膜のウェットエッチング量予測,” 第73回応用物理学会春季学術講演会, 2026年3月16日, 16p-W9_222-4.

[18] 平田佑亮, 三澤奈央子, 太田喬, 吉永祐貴, 太田喬, 松井千尋, 竹内健, “ガウス過程回帰を用いた複数の薬液条件におけるSiO2膜/Si3N4膜のウェットエッチング量予測,” 第73回応用物理学会春季学術講演会, 2026年3月16日, 16p-W9_222-5.

著書

なし

竹中研究室

研究論文

[1] R. Shimura E. Nako, K. Matsumoto, A. Suzuki, H. Yamamoto, K. Matsukawa, M. Takenaka, S. Takagi, K. Toprasertpong, “Interface trap density evaluation of off-angle Si(110)/SiO_2 interface: Toward understanding of interface properties in non-planar MOSFETs,” *Jpn. J. Appl. Phys.*, vol. 65, 03SP03, Feb. 2026. DOI: 10.35848/1347-4065/ae3833

[2] C. Zhang, R. Tang, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, “High-output-current, high-speed Ge-on-Si waveguide photodetector with four-port evanescent coupling,” *Jpn. J. Appl. Phys.*, vol. 65, 02SP06, Jan. 2026. DOI: 10.35848/1347-4065/ae34bb

[3] S. Shin, N. Taoka, M. Takenaka, and S. Takagi, “Quantitative analysis of surface potential fluctuation at MOS interfaces using conductance method,” *IEEE Trans. Electron Devices*, vol. 73, no. 3, pp. 1136–1141, Jan. 2026. DOI: 10.1109/TED.2025.3649624

[4] K. Komatsu, T. Nakayama, T. Akazawa, Y. Wakita, H. Sakumoto, C. Zhang, Y. Miyatake, S. Monfray, F. Boeuf, R. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, “InGaAs Membrane Plasmonic Photodetector with Ni-InGaAs Alloy Integrated on

Si Waveguide," *Optics Express*, vol. 34, no. 3, pp. 3932–3940, Jan. 2026. DOI: 10.1364/OE.586807

[5] E. Nako, R. Nakane, M. Takenaka, K. Toprasertpong, and S. Takagi, "Efficient harnessing of polarization dynamics in FeFET-based reservoir computing using split analog method," *APL Materials*, vol. 14, 011101, Jan. 2026. DOI: 10.1063/5.0306730

[6] K. Ito, M. Takenaka, S. Takagi, and K. Toprasertpong, "Wake-up mechanism with de-pinning dynamics in ultrathin $Hf_{0.5}Zr_{0.5}O_2$: Understanding frequency and temperature dependences," *IEEE Trans. Electron Devices*, vol. 72, no. 12, pp. 7145–7152, Dec. 2025. DOI: 10.1109/TED.2025.3628364

[7] E. Nako, R. Nakane, M. Takenaka, K. Toprasertpong, and S. Takagi, "Reliable operation of FeFET reservoir computing with robustness against interface degradation," *IEEE Trans. Electron Devices*, vol. 72, no. 12, pp. 6672–6679, Dec. 2025. DOI: 10.1109/TED.2025.3620321

[8] T. Fukui, K. Sumita, H. Miyano, G. Soma, W. Yanwachirakul, E. Kato, R. Tanomura, J. Liu, T. Yamada, A. Otomo, K. Toprasertpong, M. Takenaka, S. Takagi, Y. Nakano, and Takuo Tanemura, "17-GHz lossless InP-membrane active metasurface," *Sci. Adv.*, vol. 11, eaea3538, Dec. 2025. DOI: 10.1126/sciadv.aea3538

[9] G. Soma, T. Akazawa, E. Kato, K. Komatsu, M. Takenaka, Y. Nakano, and T. Tanemura, "Ultrafast one-chip optical receiver with functional metasurface," *Nature Communications*, vol. 16, 10070, Nov. 2025. DOI: 10.1038/s41467-025-65984-6

[10] K. Toprasertpong, R. Suzuki, S.-Y. Min, E. Nako, R. Nakane, M. Takenaka, and S. Takagi, "Physical reservoir computing using ferroelectric $Hf_{1-x}Zr_xO_2$ devices for efficient temporal data processing: recent progress of materials, devices, and operating modes," *Jpn. J. Appl. Phys.*, vol. 64, 090801, Sep. 2025. DOI: 10.35848/1347-4065/adfae1

[11] Y. Miyatake, T. Anda, Y. Wakita, K. Makino, S. Hatayama, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Low-loss Sb_2S_3 optical phase shifter enabled by optimizing sputtering conditions," *Opt. Mater. Express*, vol. 15, no. 8, pp. 1972–1986, Aug. 2025. DOI: 10.1364/OME.568607

[12] R. Tang, M. Okano, C. Zhang, K. Toprasertpong, S. Takagi, and M. Takenaka, "Waveguide-multiplexed photonic matrix-vector multiplication processor using multiport photodetectors," *Optica*, vol. 12, no. 6, pp. 812–820, June 2025. DOI: 10.1364/OPTICA.552023

[13] C. Chai, R. Tang, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Scalable intensity-based photonic matrix-vector multiplication processor using single-wavelength time-division-multiplexed signals," *Optics Letters,* vol. 50, no. 11, pp. 3656–3659, June 2025. DOI: 10.1364/OL.558724

[14] S. Takagi, M. Takenaka, and K. Toprasertpong, "Prospects and challenges of HfO_2-based ferroelectric devices," *Science China Information Sciences*, vol. 62, No. 6, pp. 160407:1–160407:3, June 2025. DOI: 10.1007/s11432-025-4372-4

国際会議論文

[1] K. Toprasertpong, X. Gao, C.-T. Chen, S. Takagi, and M. Takenaka, "Exploring the potential of amorphous oxide-semiconductor transistors for emerging memory devices," *International TFT conference (ITC)*, Xiamen, China, 28–31 March 2026 (*invited*).

[2] Z. Liu, Z. Cai, M. Takenaka, S. Takagi, and K. Toprasertpong, "Origin of Pinched Hysteresis Loop: Unified Model for Wake-up and Imprint in Sub-5 nm Ferroelectric HZO," *IEEE International Reliability Physics Symposium (IRPS)*, 2B.3, Tucson, Arizona, USA, 22–26 March 2026.

[3] R. Tang, S. Ohno, K. Toprasertpong, and M. Takenaka, "61-port fan-shaped Ge-on-Si photodetector for waveguide-multiplexed photonic matrix-vector multiplication," *Optical Fiber Communication Conference (OFC)*, Th3F.8, 15–19 March 2026.

[4] H. Sakumoto, K. Toprasertpong, S. Takagi, and M. Takenaka, "32 Gbps MOSCAP micoring modulator on InGaAsP membrane platform," *Japan-Taiwan*

Silicon Photonics Joint Workshop, 2–3 March 2026.

[5] T. Akazawa, R. Tang, H. Tang, M. Okano, N. Matsuda, K. Toprasertpong, S. Takagi, and M. Takenaka, "Development of Si photonic switch based on III-V/Si hybrid integration," *Japan-Taiwan Silicon Photonics Joint Workshop*, 2–3 March 2026.

[6] K. Toprasertpong, K. Ito, Z. Liu, K. Tahara, Z. Cai, M. Takenaka, and S. Takagi, "Scalable sub-5 nm ferroelectric HZO films for robust memory applications," *14th International Conference on Advanced Materials and Devices (ICAMD)*, Busan, Korea, 8–12 Dec. 2025 (*invited*).

[7] T. Akazawa, R. Tang, H. Tang, M. Okano, N. Matsuda, K. Toprasertpong, S. Takagi, and M. Takenaka, "Ultralow-power, high-speed integrated Si photonic switch enabled by III–V/Si hybrid MOS optical phase shifters," *International Electron Devices Meeting (IEDM)*, 21.5, San Francisco, 6–10 December 2025.

[8] S. Takagi, X. Han, K. Sumita, M. Takenaka, and K. Toprasertpong, "(111)-oriented thin body GOI n-MOSFET fabricated by wafer bonding technology," *16th International Workshop on New Group IV Semiconductor Nanoelectronics*, Tohoku University, Sendai, 17–18 November 2025 (*invited*).

[9] M. Takenaka, "Heterogeneous integration of III-V membrane on Si platform for modulators and photodetectors," *15th International Symposium on Photonics and Electronics Convergence (ISPEC)*, E-1, Ookayama campus, Institute of Science Tokyo, 17–18 November 2025.

[10] T. Akazawa, R. Tang, H. Tang, M. Okano, N. Matsuda, K. Toprasertpong, S. Takagi, and M. Takenaka, "Development of optical switch based on III-V/Si hybrid integration technology," *15th International Symposium on Photonics and Electronics Convergence (ISPEC)*, P-4, Ookayama campus, Institute of Science Tokyo, 17–18 November 2025.

[11] K. Kobayashi, Y. Miyatake, R. Tang, K. Makino, J. Tominaga, N. Miyata, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Investigation of binary optical crossbar arrays based on $Ge_2Sb_2Te_3S_2$ microring resonator switches," *15th International Symposium on Photonics and Electronics Convergence (ISPEC)*, P-16, Ookayama campus, Institute of Science Tokyo, 17–18 November 2025.

[12] K. Komatsu, T. Akazawa, S. Monfray, F. Boeuf, K. Toprasertpong, and M. Takenaka, "InGaAs MSM photodetector with narrow-gap parallel electrodes on Si waveguide," *15th International Symposium on Photonics and Electronics Convergence (ISPEC)*, P-18, Ookayama campus, Institute of Science Tokyo, 17–18 November 2025.

[13] J. Pan, H. Sakumoto, T. Akazawa, K. Toprasertpong, S. Takagi, and M. Takenaka, "Demonstration of a SiN-rib InP membrane waveguide with a low loss taper," *15th International Symposium on Photonics and Electronics Convergence (ISPEC)*, P-26, Ookayama campus, Institute of Science Tokyo, 17–18 November 2025.

[14] H. Sakumoto, K. Toprasertpong, S. Takagi, and M. Takenaka, "32 Gbps operation of a high-efficiency InGaAsP MOSCAP microring modulator," *15th International Symposium on Photonics and Electronics Convergence (ISPEC)*, P-17, Ookayama campus, Institute of Science Tokyo, 17–18 November 2025.

[15] S. Takagi, K. Sumita, X. Han, C.-T. Chen, M. Takenaka, and K. Toprasertpong, "Channel engineering for extremely-thin nano-sheet MOSFETs," *10th International Symposium on Control of Semiconductor Interface (ISCSI)*, Suzukake campus, Institute of Science Tokyo, Kanagawa, Japan, 10–13 November 2025 (*keynote*).

[16] H. Sakumoto, K. Toprasertpong, and M. Takenaka, "Numerical analysis of bandwidth in III-V membrane MOSCAP optical phase shifters," *IEEE Photonics Conference (IPC)*, MF2.5, Singapore, 9–13 November 2025.

[17] M. Tanabe, J. Yoo, K. Makino, S. Hatayama, Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, "Direct laser lithography on Sb_2S_3 thin film for optical waveguide fabrication," *IEEE Photonics Conference (IPC)*, MG2.1, Singapore, 9–13 November 2025.

[18] Q. Chu, S. Takagi, M. Takenaka, and K. Toprasertpong, "Device design trade-off in silicon junctionless floating-body FeFET," *International Workshop on Dielectric Thin Films for Future Electron Devices: Science and Technology (IWDTF)*, S1-6, Sendai, 5–7 November, 2025.

[19] K. Toprasertpong, S.-Y. Min, E. Nako, R. Nakane, M. Takenaka, and S. Takag, "Ferroelectric and antiferroelectric devices for CMOS-compatible physical reservoir computing," *International Workshop on Dielectric Thin Films for Future Electron Devices: Science and Technology (IWDTF)*, FA-1, Sendai, 5–7 November, 2025 (*invited*).

[20] H. Matsukawa, M. Takenaka, S. Takagi, and K. Toprasertpong, "C–V characteristics of ferroelectric $Hf_{1-x}Zr_xO_2$: Impact of voltage sweep speed," *International Workshop on Dielectric Thin Films for Future Electron Devices: Science and Technology (IWDTF)*, FA-3, Sendai, 5–7 November, 2025.

[21] K. Toprasertpong, K. Ito, Z. Cai, K. Tahara, M. Takenaka, and S. Takagi, "Pathway for ferroelectric memory with low voltage operation using ultra-thin $Hr_{0.5}Zr_{0.5}O_2$," *IEEE Non-Volatile Memory Technology Symposium (NVMTS)*, Atlanta, Georgia, USA, 29 September–1 October 2025 (*invited*).

[22] T. Akazawa, R. Tang, Y. Miyatake, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Phase-error-correctable 4×4 programmable photonic integrated circuit enabled by dual-functional Si PIN waveguides as phase shifter and transparent power monitor," *European Conference on Optical Communication (ECOC)*, Tu.4.2, Copenhagen, Denmark, 28 September–2 October 2025.

[23] H. Sakumoto, K. Toprasertpong, S. Takagi, and M. Takenaka, "Efficient InGaAsP MOSCAP microring optical modulator on III-V membrane platform," *European Conference on Optical Communication (ECOC)*, M.3.2, Copenhagen, Denmark, 28 September–2 October 2025.

[24] M. Takenaka, "Si programmable photonic integrated circuits for photonic AI processors," *International Conference on Solid State Devices and Materials (SSDM)*, SC1-03, Pacifico Yokohama, Japan, 15–18 Sept. 2025 (*short course*).

[25] R. Shimura, E. Nako, K. Matsumoto, A. Suzuki, H. Yamamoto, K. Matsukawa, M. Takenaka, S. Takagi, and K. Toprasertpong, "Interface trap density evaluation of off-angle Si(110)/SiO2 interface: Toward understanding of interface properties in advanced MOSFET," *International Conference on Solid State Devices and Materials (SSDM)*, A-3-01, Pacifico Yokohama, Japan, 15–18 Sept. 2025.

[26] Z. Liu, Z. Cai, M. Takenaka, S. Takagi, and K. Toprasertpong, "Impact of write condition and wake-up on charge distribution and imprint behaviors in $Hf_{0.5}Zr_{0.5}O_2$ ferroelectric capacitors," *International Conference on Solid State Devices and Materials (SSDM)*, B-4-03, Pacifico Yokohama, Japan, 15–18 Sept. 2025.

[27] X. Gao, Z. Cai, Z. Liu, Z. Jin, X. Han, Y.-K. Liang, Y. Chen, E. Nako, S.-Y Min, M. Takenaka, S. Takagi, and K. Toprasertpong, "Evaluation of polarization-induced interface degradations in FeFETs using quasi-static split C-V techniques: comparison of oxide-semiconductor and Si channels," *International Conference on Solid State Devices and Materials (SSDM)*, B-5-03, Pacifico Yokohama, Japan, 15–18 Sept. 2025.

[28] C. Zhang, R. Tang, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "4-port evanescently coupled waveguide Ge-on-Si photodetector with high saturation current and high bandwidth," *International Conference on Solid State Devices and Materials (SSDM)*, G-1-01, Pacifico Yokohama, Japan, 15–18 Sept. 2025.

[29] S. Takagi, X. Han, C.-T. Chen, K. Sumita, M. Takenaka, and K. Toprasertpong, "Carrier mobility enhancement of extremely-thin body Ge-On-Insulator (GOI) MOSFETs," *International Conference on Solid State Devices and Materials (SSDM)*, N-6-01, Pacifico Yokohama, Japan, 15–18 Sept. 2025 (*invited*).

[30] M. Takenaka, R. Tang, Y. Miyatake, T. Akazawa, H. Sakumoto, Y. Wakita, D. I. Bhardwaj, K.

Kobayashi, K. Makino, S. Hatayama, M. Okano, K. Toprasertpong, and S. Takagi, "Non-volatile optical phase shifters for photonic computing," *30th OptoElectronics and Communications Conference/ International Conference on Photonics in Switching and Computing (OECC/PSC)*, ME3-1, Sapporo, Japan, 29 June–3 July 2025 (*invited*).

[31] J. Pan, H. Sakumoto, T. Akazawa, K. Toprasertpong, S. Takagi, and M. Takenaka, "InP membrane waveguide with SiN rib for active-passive integration," *30th OptoElectronics and Communications Conference/International Conference on Photonics in Switching and Computing (OECC/PSC)*, MF3-3, Sapporo, Japan, 29 June–3 July 2025.

[32] M. Hifumi, S. Kimura, F. Yang, M. Okano, M. Takenaka, H. Yamada, and N. Matsuda, "Generation of single-mode squeezed vacuum using a silicon optical waveguide," *International Conference on Photonics in Switching and Computing (PSC)*, WP-G-1, Sapporo, Japan, 29 June–3 July 2025.

[33] S. Takagi, Z. Cai, S.-K. Cho, M. Takenaka, and K. Toprasertpong, "Memory window narrowing in $HfZrO_2$/Si FeFETs: physical origins, challenges, and mitigation strategies," *Device Research Conference (DRC)*, 16, Duke University, USA, 22–25 June 2025 (*invited*).

[34] K. Ito, M. Takenaka, S. Takagi, and K. Toprasertpong, "Revealing wake-up mechanism in ultra-thin ferroelectric HZO: domain de-pinning triggered by oxygen vacancy annihilation exhibiting optimal wake-up frequency," *VLSI Symposium*, T11-1, Kyoto, Japan, 8–12 June 2025.

[35] M. Takenaka, "Non-volatile optical phase shifter using ferroelectric hafnium zirconium oxide," *TSMC-UTokyo 2025 Symposium*, The University of Tokyo, 6 June 2025.

[36] M. Takenaka, "Heterogeneous integration of III-V membranes on Si platform," *Compound Semiconductor Week (CSW)*, Banff, Canada, 27–30 May 2025 (*short course*).

[37] H. Sakumoto, T. Piyapatarakul, K. Toprasertpong, S. Takagi, and M. Takenaka, "Low-loss, low-power InP membrane MOSCAP optical phase shifter," *Compound Semiconductor Week (CSW)*, Banff, Canada, 27–30 May 2025.

[38] H. Mori, K. Komatsu, T. Akazawa, H. Sakumoto, Y. Wakita, K. Toprasertpong, S. Takagi, and M. Takenaka, "Numerical analysis of InGaAsP plasmonic electro-absorption modulator," Compound Semiconductor Week (CSW), Banff, Canada, 27–30 May 2025.

[39] M. Takenaka, R. Tang, Y. Miyatake, C. Chai, T. Akazawa, H. Sakumoto, Y. Wakita, D. I. Bhardwaj, K. Komatsu, K. Kobayashi, K. Makino, J. Tominaga, N. Miyata, M. Okano, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, "Heterogeneous integration for programmable photonic integrated circuits," *Conference on Lasers and Electro-Optics* (*CLEO)*, 4290603, Long Beach, USA, 4–9 May 2025 (*invited*).

[40] T. Akazawa, S. Monfray, F. Boeuf, K. Toprasertpong, S. Takagi, and M. Takenaka, "Optical power monitoring of a 2×2 Mach–Zehnder interferometer using low-doped Si waveguide," *Conference on Lasers and Electro-Optics* (*CLEO)*, 4255570, Long Beach, USA, 4–9 May 2025.

[41] R. Tang, M. Okano, C. Zhang, K. Toprasertpong, S. Takagi, and M. Takenaka, "High-saturation-current waveguide-coupled Ge-on-Si photodetector fabricated by a standard foundry process for RF applications," *Conference on Lasers and Electro-Optics* (*CLEO)*, 4233277, Long Beach, USA, 4–9 May 2025.

[42] C. Chai, R. Tang, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Single-wavelength incoherent photonic matrix-vector multiplication circuit based on time division multiplexing," *Conference on Lasers and Electro-Optics* (*CLEO)*, 4236659, Long Beach, USA, 4–9 May 2025.

[43] M. Takenaka, "Heterogeneous integration of silicon photonics for artificial intelligence," *International Conference on Nano-photonics, Nano-optoelectronics and Quantum Technology (ICNNQ)*, Pacifico Yokohama, 21–23 April 2025 (*plenary*).

[44] C. Zhang, Z. Zhao, R. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, “Germanium microring avalanche photodetector for 2 μm wavelengths,” *IEEE Si Photonics Conference*, ThB2, London, UK, 14–17 April 2025.

[45] K. Kobayashi, Y. Miyatake, R. Tang, K. Makino, J. Tominaga, N. Miyata, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, “Non-volatile Si microring resonator switch with $Ge_2Sb_2Te_3S_2$ optical intensity modulator,” *IEEE Si Photonics Conference*, ThC4, London, UK, 14–17 April 2025.

シンポジウム・研究会・大会等発表

[1] 小田川 朋史, 一二三 真周, 玉舘 翔一郎, 上土井 猛, 城田 晃輝, 木村 彰吾, 境野 一輝, 村松 悟, 井口 佳哉, 竹中 充, 岡野 誠, 加藤 晶大, 服部 香里, 鶴田 哲也, 福田 大治, 松田 信幸, “シリコン光集積回路と光子数識別検出器を用いた量子化学計算,” 第73回応用物理学会春季学術講演会, 17p-S4_203-11, 東京科学大学大岡山キャンパス, 2026年3月15日–18日.

[2] 宮武 悠人, トープラサートポン カシディット, 高木 信一, 竹中 充, “進化戦略を用いた小型・低損失・広帯域2×2シリコン光カプラの設計と実証,” 第73回応用物理学会春季学術講演会, 17p-WL2_401-1, 東京科学大学大岡山キャンパス, 2026年3月15日–18日(第47回論文奨励賞受賞記念講演).

[3] 赤澤 智熙, 唐 睿, 湯 涵智, 岡野 誠, 松田 信幸, トープラサートポン カシディット, 高木 信一, 竹中 充, “III–V/SiハイブリッドMOS型光位相シフタを用いた低消費電力・高速光スイッチ,” 第73回応用物理学会春季学術講演会, 17p-WL2_401-14, 東京科学大学大岡山キャンパス, 2026年3月15日–18日.

[4] 小林 研二, 宮武 悠人, 唐 睿, 牧野 孝太郎, 畑山 祥吾, 岡野 誠, トープラサートポン カシディット, 高木 信一, 竹中 充, “$Ge_2Sb_2Te_3S_2$光強度変調器を用いた低クロストーク1×2シリコンMZI光スイッチ,” 第73回応用物理学会春季学術講演会, 18a-WL2_401-5, 東京科学大学大岡山キャンパス, 2026年3月15日–18日.

[5] 高木 信一, 隅田 圭, 韓 雪揚, 靳 釗, 陳 育同, 竹中 充, トープラサートポン カシディット, “(100) Si MOSFETの反転層電子における表面ラフネス散乱移動度の温度依存性,” 第73回応用物理学会春季学術講演会, 16p-S2_203-4, 東京科学大学大岡山キャンパス, 2026年3月15日–18日.

[6] 鄭 昇旼, 中根 了昌, 高木 信一, 竹中 充, トープラサートポン カシディット, “FeFETを用いた2入力リザバーコンピューティングの実証,” 第73回応用物理学会春季学術講演会, 16p-M_123-2, 東京科学大学大岡山キャンパス, 2026年3月15日–18日.

[7] C. Chai, R. Tang, M. Okano, K. Toprasertpong, and M. Takenaka, “A photonic tensor core based on hybrid wavelength- and time-division multiplexing with on-chip wavelength (de)multiplexers,” 第73回応用物理学会春季学術講演会, 17a-WL2_401-11, 東京科学大学大岡山キャンパス, 2026年3月15日–18日.

[8] Y. Wang, X. Gao, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, “Fabrication of ITO TFTs for driving thermo-optic phase shifters on Si photonics platform,” 第73回応用物理学会春季学術講演会, 17p-WL2_401-13, 東京科学大学大岡山キャンパス, 2026年3月15日–18日.

[9] W. Dai, Z. Liu, H. Matsukawa, K. Toprasertpong, and M. Takenaka, “Pockels effect in $Hf_{0.5}Zr_{0.5}O_2$ integrated silicon nitride waveguides,” 第73回応用物理学会春季学術講演会, 18a-WL2_401-8, 東京科学大学大岡山キャンパス, 2026年3月15日–18日.

[10] C.-T. Chen, X. Han, K. Sumita, K. Toprasertpong, M. Takenaka, and S. Takagi, “Hole mobility enhancement in pMOSFETs through high Ge content, asymmetric strain and (110)-oriented channels,” 第73回応用物理学会春季学術講演会, 16a-S2_203-2, 東京科学大学大岡山キャンパス, 2026年3月15日–18日(第17回 シリコンテクノロジー分科会論文賞受賞記念講演).

[11] Z. Liu, M. Takenaka, S. Takagi, and K. Toprasertpong, “Correlation of pinch loop, wake-up, and imprint in sub-5 nm HZO

metal-ferroelectric-metal capacitor," 第73回応用物理学会春季学術講演会, 17a-M_278-11, 東京科学大学大岡山キャンパス, 2026年3月15日–18日.

[12] 竹中 充, 高城 和馬, 戴 維, トープラサートポン カシディット, 高木 信一, "強誘電体酸化ハフニウムジルコニウムを用いた光位相変調器の展望," 電子情報通信学会総合大会, CI-1-02, 九州産業大学, 2026年3月9日–3月13日(招待講演).

[13] 唐 睿, 柴 成立, 大野 修平, 張 超, 宮武 悠人, 谷澤 健, 牧野 孝太郎, 富永 淳二, 宮田 典幸, 池田 和浩, 岡野 誠, トープラサートポン カシディット, 高木 信一, 竹中 充, "シリコンフォトニクスを用いた光AI演算回路," 電子情報通信学会総合大会, CI-4-03, 九州産業大学, 2026年3月9日–3月13日(招待講演).

[14] 赤澤 智熙, 唐 睿, 宮武 悠人, 岡野 誠, トープラサートポン カシディット, 高木 信一, 竹中 充, "PIN型導波路による位相誤差補正可能なプログラマブル光集積回路," 電子情報通信学会総合大会, C-3_C-4-54, 九州産業大学, 2026年3月9日–3月13日(招待講演).

[15] 糟谷 直孝, 小松 憲人, 田中 肇, 井上 尚子, 菊地 健彦, 御手洗 拓矢, 木村 峻, 藤原 直樹, 竹中 充, 西山 伸彦, 八木 英樹, "小片接合技術を用いたIII-V 薄膜/Si MOS型マッハツェンダ変調器," 電子情報通信学会総合大会, C-3_C-4-39, 九州産業大学, 2026年3月9日–3月13日.

[16] 竹中 充, "光電融合に向けた異種材料集積フォトニクス," 応用物理学会応用電子物性分科会, 御茶ノ水トライエッジカンファレンス, 2026年3月5日(招待講演).

[17] 高木 信一, 隅田 圭, 韓 雪揚, 靳 釗, 陳 育同, 姜 旼秀, 竹中 充, トープラサートポン カシディット, "MOSFET の電子輸送特性の理解:最適ナノシートチャネル構造と低温動作," 電子情報通信学会SDM研究会, 金沢工業大学大学院 虎ノ門キャンパス, 2026年1月28日(招待講演).

[18] 竹中 充, "III-V族半導体薄膜を用いた光変調器," Photonic Device Workshop (PDW), 機械振興会館, 2025年12月12日(招待講演).

[19] 作本 宙彌, ピヤパッタラクン ティパット, トープラサートポン カシディット, 高木 信一, 竹中 充, "III-V族半導体薄膜導波路を用いたMOSCAP型マイクロリング光変調器," 第86回応用物理学会秋季学術講演会, 9p-N202-1, 名城大学天白キャンパス, 名古屋市, 2025年9月7日–10日(第58回講演奨励賞受賞記念講演).

[20] 小松 健太郎, 赤澤 智熙, モンフレ ステファン, ブフ フレデリック, トープラサートポン カシディット, 竹中 充, "狭金属電極ギャップを有するInGaAs MSM型受光器のSi導波路への集積," 第86回応用物理学会秋季学術講演会, 9p-N202-5, 名城大学天白キャンパス, 名古屋市, 2025年9月7日–10日.

[21] 赤澤 智熙, 唐 睿, 宮武 悠人, 岡野 誠, トープラサートポン カシディット, 高木 信一, 竹中 充, "光パワーモニタ内蔵Si PIN型位相シフタを用いた4×4プログラマブル光回路における位相誤差補正の実証," 第86回応用物理学会秋季学術講演会, 9p-N202-9, 名城大学天白キャンパス, 名古屋市, 2025年9月7日–10日.

[22] 志村 瞭太朗, 名幸 瑛心, 松本 光二, 鈴木 陽洋, 山本 博昭, 松川 和人, 竹中 充, 高木 信一, トープラサートポン カシディット, "Si(110)微傾斜基板上のHfO_2/Si MOS界面特性の評価," 第86回応用物理学会秋季学術講演会, 10a-N401-7, 名城大学天白キャンパス, 名古屋市, 2025年9月7日–10日.

[23] 武田 知大, 田鍋 衛, トープラサートポン カシディット, 竹中 充, "硫化アンチモンを用いた行列演算用メタ導波路の設計," 第86回応用物理学会秋季学術講演会, 9a-N202-8, 名城大学天白キャンパス, 名古屋市, 2025年9月7日–10日.

[24] 伊藤 広恭, 竹中 充, 高木 信一, トープラサートポン カシディット, "極薄膜強誘電体$Hf_{0.5}Zr_{0.5}O_2$におけるwake-up物理機構モデルのシミュレーション検証," 第86回応用物理学会秋季学術講演会, 7p-N301-9, 名城大学天白キャンパス, 名古屋市, 2025年9月7日–10日.

[25] 松川 浩之, 竹中 充, 高木 信一, トープラサートポン カシディット, "強誘電体$Hf_xZr_{1-x}O_2$におけるC-V特性の掃引速度依存性の観察," 第86回応用物理学会秋季学術講演会, 7p-N301-17, 名

城大学天白キャンパス, 名古屋市, 2025年9月7日–10日.

[26] トープラサートポン カシディット, 劉 振泓, 伊藤 広恭, 高垣 赫東, 趙 成謹, 蔡 作成, 名幸 瑛心, 関 信義, 鈴木 陸央, 中根 了昌, 竹中 充, 高木 信一, "HZO強誘電体メモリと新原理コンピューティングへの展開," 第86回応用物理学会秋季学術講演会, 9p-N101-7, 名城大学天白キャンパス, 名古屋市, 2025年9月7日–10日(招待講演).

[27] Z. Dai, W. Lin, S. Ji, H. Sakumoto, M. Takenaka, and S. Iwamoto, "Generation of optical skyrmions from a ring-resontor laser with an S-shaped coupler," 第86回応用物理学会秋季学術講演会, 7p-N106-4, 名城大学天白キャンパス, 名古屋市, 2025年9月7日–10日.

[28] J. Pan, H. Sakumoto, T. Akazawa, K. Toprasertpong, S. Takagi, and M. Takenaka, "SiN-rib InP membrane waveguide with a low-loss taper structure," 第86回応用物理学会秋季学術講演会, 8p-N202-5, 名城大学天白キャンパス, 名古屋市, 2025年9月7日–10日.

[29] S. Fu, K. Toprasertpong, S. Takagi, and M. Takenaka, "Examination of selective quantum well intermixing on III-V on insulator wafer," 第86回応用物理学会秋季学術講演会, 8p-N202-10, 名城大学天白キャンパス, 名古屋市, 2025年9月7日–10日.

[30] C. Zhang, R. Tang, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "High saturation current and high speed Ge-on-Si photodetector with 4-port evanescently coupled waveguides," 第86回応用物理学会秋季学術講演会, 9p-N202-4, 名城大学天白キャンパス, 名古屋市, 2025年9月7日–10日.

[31] M. Wan, E. Nako, S.-Y. Min, M. Takenaka, S. Takagi, and K. Toprasertpong, "Performance Enhancement of FeFET-based Reservoir Computing Using Substrate Bias," 第86回応用物理学会秋季学術講演会, 10a-N106-2, 名城大学天白キャンパス, 名古屋市, 2025年9月7日–10日.

[32] X. Gao, Z. Cai, Z. Liu, Z. Jin, X. Han, Y. Liang, Y. Chen, E. Nako, S.-Y. Min, M. Takenaka, S. Takagi, and K. Toprasertpong, "Investigation of degradation in FeFETs using quasi-static split C–V techniques: significant trap generation under cycling stress," 第86回応用物理学会秋季学術講演会, 7p-N301-12, 名城大学天白キャンパス, 名古屋市, 2025年9月7日–10日.

[33] Z. Liu, Z. Cai, M. Takenaka, S. Takagi, and K. Toprasertpong, "Imprint Behaviors of $Hf_{0.5}Zr_{0.5}O_2$ ferroelectric capacitors: charge/trap-site dynamics during write and wake-up cycles," 第86回応用物理学会秋季学術講演会, 7p-N301-13, 名城大学天白キャンパス, 名古屋市, 2025年9月7日–10日.

[34] 一二三 真周, 木村 彰吾, 岡野 誠, 竹中 充, 松田 信幸, "同軸2波長パルス光源を用いた1モードスクイーズド真空場の発生," 第86回応用物理学会秋季学術講演会, 9p-P04-3, 名城大学天白キャンパス, 名古屋市, 2025年9月7日–10日.

[35] 竹中充, "光電融合に向けた異種材料集積シリコンフォトニクス,"d.lab協賛セミナー, 2025年9月3日(招待講演).

[36] 伊藤 広恭, 竹中 充, 高木 信一, トープラサートポン カシディット, "極薄膜強誘電HZOにおけるwake-up機構:酸素空孔消滅によるドメインde-pinningと最適wake-up周波数," 応用物理学会シリコンテクノロジー分科会第260回研究集会, 金沢工業大学虎ノ門キャンパス, 2025年8月28日(招待講演).

[37] K. Toprasertpong, S.-Y. Min, E. Nako, R. Nakane, M. Takenaka, and S. Takagi, "Harnessing rich polarization dynamics in antiferroelectric $Hf_{1-x}Zr_xO_2$ for reservoir computing," 第42回強誘電体会議, 京都産業会館ホール, 2025年6月11日–6月14日(招待講演).

[38] 竹中充, "シリコン光回路を用いた深層学習プロセッサと波長多重に対する期待," OPIE25併設セミナー, パシフィコ横浜, 2025年4月24日(招待講演).

トープサートポン研究室

研究論文

[1] R. Shimura E. Nako, K. Matsumoto, A. Suzuki, H. Yamamoto, K. Matsukawa, M. Takenaka, S. Takagi,

K. Toprasertpong, "Interface trap density evaluation of off-angle Si(110)/SiO_2 interface: Toward understanding of interface properties in non-planar MOSFETs," *Japanese Journal of Applied Physics* **65**, p. 03SP03, Feb. 2026.

[2] C.-T. Chen, K. Toprasertpong, T. Irisawa, W. H. Chang, S. Migita, Y. Morita, H. Ota, and T. Maeda, "Enhancement-mode operation and stability improvement in ultrathin ALD-InOx FETs with AlOx/HfOx gate dielectric," *IEEE Transactions on Electron Devices* **73**, pp. 833-839, Feb. 2026.

[3] K. Komatsu, T. Nakayama, T. Akazawa, Y. Wakita, H. Sakumoto, C. Zhang, Y. Miyatake, S. Monfray, F. Boeuf, R. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, "InGaAs membrane plasmonic photodetector with Ni-InGaAs alloy integrated on Si waveguide," *Optical Express* **34**, pp. 3932-3940, Feb. 2026.

[4] C. Zhang, R. Tang, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "High-output-current, high-speed Ge-on-Si waveguide photodetector with four-port evanescent coupling," *Japanese Journal of Applied Physics* **65**, p. 02SP06, Feb. 2026.

[5] E. Nako, R. Nakane, M. Takenaka, K. Toprasertpong, and S. Takagi, "Efficient harnessing of polarization dynamics in FeFET-based reservoir computing using split analog method," *APL Materials* **14**, p. 011101, Jan. 2026.

[6] K. Ito, M. Takenaka, S. Takagi, and K. Toprasertpong, "Wake-up mechanism with de-pinning dynamics in ultrathin $Hf_{0.5}Zr_{0.5}O_2$: understanding frequency and temperature dependences," *IEEE Transactions on Electron Devices* **72**, pp. 7145-7152, Dec. 2025.

[7] E. Nako, K. Toprasertpong, R. Nakane, M. Takenaka, and S. Takagi, "Reliable operation of FeFET reservoir computing with robustness against interface degradation," *IEEE Transactions on Electron Devices* **72**, pp. 6672-6679, Dec. 2025.

[8] T. Fukui, K. Sumita, H. Miyano, G. Soma, W. Yanwachirakul, E. Kato, R. Tanomura, J. Liu, T. Yamada, A. Otomo, K. Toprasertpong, M. Takenaka, S. Takagi, Y. Nakano, and T. Tanemura, "17 GHz lossless InP-membrane active metasurface," *Science Advances* **11**, eaea3538, Dec. 2025.

[9] K. Toprasertpong, T. Mikolajick, S. Datta, Q. Huang, and S. Takagi, "Emerging applications: Neuromorphic computing and reservoir computing," *MRS Bulletin* **50**, pp. 1-11, Sep. 2025 (Invited).

[10] K. Toprasertpong, R. Suzuki, S.-Y. Min, E. Nako, R. Nakane, M. Takenaka, and S. Takagi, "Physical reservoir computing using ferroelectric $Hf_{1-x}Zr_xO_2$ devices for efficient temporal data processing: recent progress of materials, devices, and operating modes," *Japanese Journal of Applied Physics* **64**, p. 090801, Sep. 2025 (Invited).

[11] S. Wahid, K. Toprasertpong, M. Islam, A. Kumar, M. A. Ul Karim, H. Simka, H.-S. Philip Wong, and E. Pop, "Role of oxygen deficiencies on the stability of indium tin oxide transistors," *IEEE Electron Device Letters* **46**, pp. 1533-1556, Sep. 2025. (Editor's Picks).

[12] S. Inoue, Y. Ukezeki, N. Fujimura, K. Toprasertpong, S. Takagi, and T. Yoshimura, "Evaluation of analog memory characteristics using HfO_2-based ferroelectric thin films," *Japanese Journal of Applied Physics* **64**, p. 08SP20, Aug. 2025.

[13] Y. Ukezeki, S. Inoue, N. Fujimura, T. Yokomatsu, K. Kanda, K. Maenaka, K. Toprasertpong, S. Takagi, and T. Yoshimura, "Data processing capability of ferroelectric polarization dynamics in ferroelectric transistor-based physical reservoir computing," *Applied Physics Express* **18**, p. 081001, Aug. 2025.

[14] Y. Miyatake, T. Anda, Y. Wakita, K. Makino, S. Hatayama, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Low-loss Sb2S3 optical phase shifter enabled by optimizing sputtering conditions," *Optical Materials Express* **15**, pp. 1972-1986 (2025).

[15] R. Suzuki, R. Nakane, E. Nako, M. Takenaka, K. Toprasertpong, and S. Takagi, "Proposal of reservoir computing using ferroelectric CMOS circuit," *Applied Physics Express* **18**, p. 061002, Jun. 2025.

[16] C. Chai, R. Tang, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Scalable intensity-based

photonic matrix-vector multiplication processor using single-wavelength time-division-multiplexed signals," *Optics Letters* **50**, pp. 3656-3659, Jun. 2025.

[17] R. Tang, M. Okano, C. Zhang, K. Toprasertpong, S. Takagi, and M. Takenaka, "Waveguide-multiplexed photonic matrix-vector multiplication processor using multiport photodetectors," *Optica* **12**, pp. 812-820, Jun. 2025.

[18] S. Takagi, M. Takenaka, and K. Toprasertpong, "Prospects and challenges of HfO_2-based ferroelectric devices," *SCIENCE CHINA Information Sciences* **62**, p. 160407, Jun. 2025.

国際会議論文

[1] K. Toprasertpong, X. Gao, C.-T. Chen, S. Takagi, and M. Takenaka, "Exploring the potential of amorphous oxide-semiconductor transistors for emerging memory devices," 2026 International Thin-Film Transistor Conference (ITC 2026), Xiamen, China, Mar. 28-31, 2026 (Invited talk).

[2] Z. Liu, Z. Cai, M. Takenaka, S. Takagi, and K. Toprasertpong, "Origin of pinched hysteresis loop: unified model for wake-up and imprint in sub-5 nm ferroelectric HZO," IEEE International Reliability Physics Symposium (IRPS), 2B.3, Tucson, AZ, USA, Mar. 22-26, 2026.

[3] R. Tang, M. Okano, K. Toprasertpong, and M. Takenaka, "61-port fan-shaped Ge-on-Si photodetector for waveguide-multiplexed photonic matrix-vector multiplication," 2026 Optical Networking and Communication Conference & Exhibition (OFC), No. 61, Los Angeles, CA, USA, Mar. 15-19, 2026.

[4] Y. Morita, T. Kawanago, T. Kamioka, Y. Mitani, T. Nabatame, T. Onaya, N. Fukata, W. Jevasuwan, K. Tsukagoshi, T. Hoshii, K. Toprasertpong, A. Tamura, K. Kita, N. Okada, K. Manabe, W. Mizubayashi, H. Ota, T. Matsukawa, and S. Migita, "Oxygen-passivated (O-PAS) interfacial layer for ultra-scaled (CET 0.97 nm) high-k gate stacks," 2026 IEEE Electron Devices Technology and Manufacturing Conference (EDTM), T03-M-S1.4-R9, Penang, Malaysia, Mar. 1-4, 2026.

[5] K. Toprasertpong, K. Ito, Z. Liu, K. Tahara, Z. Cai, M. Takenaka, and S. Takagi, "Scalable sub-5 nm ferroelectric HZO films for robust memory applications," 14th International Conference on Advanced Materials and Devices (ICAMD), Busan, Korea, Dec. 8-12, 2025 (Invited talk).

[6] S. Takagi, K. Sumita, X. Han, Z. Jin, Y. Chen, M.-S. Kang, M. Takenaka, and K. Toprasertpong, "Electron transport properties in nanosheet MOSFETs – from assessment of optimum channel system to operation at cryogenic temperatures," 2025 IEEE International Electron Devices Meeting (IEDM), 9-6, San Francisco, CA, USA, Dec. 6-10, 2025 (Invited talk).

[7] T. Akazawa, R. Tang, H. Tang, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Ultralow-energy and fast optical switch by III-V/Si hybrid MOS optical phase shifters," 2025 IEEE International Electron Devices Meeting (IEDM), 21-5, San Francisco, CA, USA, Dec. 6-10, 2025.

[8] C.-T. Chen, K. Toprasertpong, T. Irisawa, S. Nunomura, S. Migita, W. H. Chang, R. Nishino, Y. Morita, H. Ota, and T. Maeda, "PEALD ultrathin InOx FETs for BEOL transistors: impact of excess oxygen and acceptor-like trap," International Microprocesses and Nanotechnology Conference (MNC 2025), 20C-3-5, Tokyo, Japan, Nov. 17-20, 2025 (Invited talk).

[9] S. Takagi, X. Han, K. Sumita, M. Takenaka, and K. Toprasertpong, "(111)-oriented thin body GOI n-MOSFET fabricated by wafer bonding technology," 16th International Workshop on New Group IV Semiconductor Nanoelectronics, I-10, Sendai, Japan, Nov. 17-18, 2025 (Invited).

[10] S. Takagi, K. Sumita, X. Han, C.-T. Chen, M. Takenaka, and K. Toprasertpong, "Channel engineering for extremely-thin nano-sheet MOSFETs," 10th International Symposium on Control of Semiconductor Interfaces, MoK-1, Kanagawa, Nov. 10-13, 2025 (Keynote).

[11] H. Sakumoto, K. Toprasertpong, and M. Takenaka, "Numerical analysis of bandwidth in III-V membrane MOSCAP optical phase shifters," IEEE photonics conference 2025 (IPC), MF2.5, Singapore, Nov. 9-13, 2025.

[12] M. Tanabe, J. Yoo, K. Makino, S. Hatayama, Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, "Direct laser lithography on Sb2S3 thin film for optical waveguide fabrication," IEEE photonics conference 2025 (IPC), MG2.1, Singapore, Nov. 9-13, 2025.

[13] K. Toprasertpong, S.-Y. Min, E. Nako, R. Nakane, M. Takenaka, and S. Takagi, "Ferroelectric and antiferroelectric devices for CMOS-compatible physical reservoir computing," International Workshop on Dielectric Thin Films for Future Electron Devices: Science and Technology (IWDTF2025), FA-01, Miyagi, Japan, Nov. 5-7, 2025 (Invited talk).

[14] H. Matsukawa, M. Takenaka, S. Takagi, and K. Toprasertpong, "C–V characteristics of ferroelectric $Hf_{1-x}Zr_xO_2$: Impact of voltage sweep speed," International Workshop on Dielectric Thin Films for Future Electron Devices: Science and Technology (IWDTF2025), FA-03, Miyagi, Japan, Nov. 5-7, 2025.

[15] Q. Chu, S. Takagi, M. Takenaka, and K. Toprasertpong, "Device design trade-off in silicon junctionless floating-body FeFET," International Workshop on Dielectric Thin Films for Future Electron Devices: Science and Technology (IWDTF2025), S1-06, Miyagi, Japan, Nov. 5-7, 2025.

[16] K. Toprasertpong, "Hafnia-based ferroelectric transistors: Insight into device physics and emerging applications," 2025 IEEE International Conference on Device Technologies for Diversified Applications (DTDA), Sendai, Japan, Oct. 20-22, 2025 (Invited talk).

[17] K. Toprasertpong, K. Ito, Z. Cai, K. Tahara, M. Takenaka, and S. Takagi, "Pathway for ferroelectric memory with low voltage operation using ultrathin $Hr_{0.5}Zr_{0.5}O_2$," IEEE Non-Volitle Memory Technology Symposium (NVMTS), Atlanta, GA, USA, Sep 29-Oct. 1, 2025 (Invited talk).

[18] S. Takagi, X. Han, C.-T. Chen, K. Sumita, M. Takenaka, and K. Toprasertpong, "Carrier mobility enhancement of extremely-thin body Ge-On-Insulator (GOI) MOSFETs," International Conference on Solid State Devices and Materials (SSDM) 2025, N-6-01, Yokohama, Japan, Sep. 15-18, 2025 (Invited talk).

[19] R. Shimura, E. Nako, K. Matsumoto, A. Suzuki, H. Yamamoto, K. Matsukawa, M. Takenaka, S. Takagi, and K. Toprasertpong, "Interface trap density evaluation of off-angle Si(110)/SiO_2 interface: Toward understanding of interface properties in advanced MOSFET," International Conference on Solid State Devices and Materials (SSDM) 2025, A-3-01, Yokohama, Japan, Sep. 15-18, 2025.

[20] Z. Liu, Z. Cai, M. Takenaka, S. Takagi, and K. Toprasertpong, "Impact of program condition and wake-up on charge distribution and imprint behaviors in $Hf_{0.5}Zr_{0.5}O_2$ ferroelectric capacitors," International Conference on Solid State Devices and Materials (SSDM) 2025, B-4-03, Yokohama, Japan, Sep. 15-18, 2025.

[21] X. Gao, Z. Cai, Z. Liu, Z. Jin, X. Han, Y.-K. Liang, Y. Chen, E. Nako, S.-Y. Min, M. Takenaka, S. Takagi, and K. Toprasertpong, "Evaluation of polarization-induced interface degradations in FeFETs using quasi-static split C-V techniques: comparison of oxide-semiconductor and Si channels," International Conference on Solid State Devices and Materials (SSDM) 2025, B-5-03, Yokohama, Japan, Sep. 15-18, 2025.

[22] C. Zhang, R. Tang, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "4-port evanescently coupled waveguide Ge-on-Si photodetector with high saturation current and high bandwidth," International Conference on Solid State Devices and Materials (SSDM) 2025, G-1-01, Yokohama, Japan, Sep. 15-18, 2025.

[23] C.-T. Chen, K. Toprasertpong, T. Irisawa, W. H. Chang, S. Migita, Y. Morita, H. Ota, and T.

Maeda, “Electrical characteristics improvement and Vth modification in ultrathin InOx FETs with AlOx-Interlayer/HfOx gate stack,” International Conference on Solid State Devices and Materials (SSDM) 2025, N-1-03, Yokohama, Japan, Sep. 15-18, 2025.

[24] T. Akazawa, R. Tang, Y. Miyatake, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, “Phase-error-correctable 4×4 programmable photonic integrated circuit enabled by dual-functional Si PIN waveguides as phase shifter and transparent in-line power monitor,” 2025 European Conference on Optical Communication (ECOC), Tu.04.02, Copenhagen, Denmark, Sep. 28-Oct. 2, 2025.

[25] H. Sakumoto, K. Toprasertpong, S. Takagi, and M. Takenaka, “Efficient InGaAsP MOSCAP microring optical modulator on III-V membrane platform,” 2025 European Conference on Optical Communication (ECOC), M.03.02, Copenhagen, Denmark, Sep. 28-Oct. 2, 2025.

[26] M. Takenaka, R. Tang, Y. Miyatake, T. Akazawa, H. Sakumoto, Y. Wakita, D. I. Bhardwaj, K. Kobayashi, K. Makino, S. Hatayama, M. Okano, K. Toprasertpong, and S. Takagi, “Non-volatile optical phase shifters for photonic computing,” 30th OptoElectronics and Communications Conference/ International Conference on Photonics in Switching and Computing 2025 (OECC/PSC 2025), ME3-1, Sapporo, Japan, Jun. 29- Jul. 3, 2025 (Invited).

[27] J. Pan, H. Sakumoto, T. Akazawa, K. Toprasertpong, S. Takagi, and M. Takenaka, “InP membrane waveguide with SiN rib for active-passive integration,” 30th OptoElectronics and Communications Conference/International Conference on Photonics in Switching and Computing 2025 (OECC/PSC 2025), M3-3, Sapporo, Japan, Jun. 29- Jul. 3, 2025.

[28] S. Takagi, Z. Cai, S.-K. Cho, M. Takenaka, and K. Toprasertpong, “Memory window narrowing in $HfZrO_2$/Si FeFETs: physical origins, challenges, and mitigation strategies,” 83rd Device Research Conference (DRC 2025), No. 16, Durham, NC, USA, Jun. 22-25 (Invited).

[29] K. Ito, M. Takenaka, S. Takagi, and K. Toprasertpong, “Revealing wake-up mechanism in ultra-thin ferroelectric HZO: Domain de-pinning triggered by oxygen vacancy annihilation exhibiting optimal wake-up frequency,” 2025 Symposia on VLSI Technology and Circuits, T11-1, Kyoto, Japan, Jun. 8-12, 2025.

[30] H. Sakumoto, T. Piyapatarakul, K. Toprasertpong, S. Takagi, and M. Takenaka, “Low-loss, low-power InP membrane MOSCAP optical phase shifter,” Compound Semiconductor Week 2025 (CSW2025), Alberta, Canada, May 26-30, 2025.

[31] H. Mori, K. Komatsu, T. Akazawa, H. Sakumoto, Y. Wakita, K. Toprasertpong, S. Takagi, and M. Takenaka, “Numerical analysis of InGaAsP plasmonic electro-absorption modulator,” Compound Semiconductor Week 2025 (CSW2025), Alberta, Canada, May 26-30, 2025.

[32] M. Takenaka, R. Tang, Y. Miyatake, C. Chai, T. Akazawa, H. Sakumoto, Y. Wakita, D. I. Bhardwaj, K. Komatsu, K. Kobayashi, K. Makino, J. Tominaga, N. Miyata, M. Okano, S. Monfray, F. Boeuf, K. Toprasertpong, and S. Takagi, “Heterogeneous Integration for Programmable Photonic Integrated Circuits,” Conference on Lasers and Electro-Optics (CLEO2024), Long Beach, CA, USA, May. 4-9, 2025 (Invited).

[33] C. Chai, R. Tang, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, “Single-wavelength incoherent photonic matrix-vector multiplication circuit based on time division multiplexing,” Conference on Lasers and Electro-Optics (CLEO2024), Long Beach, CA, USA, May. 4-9, 2025.

[34] R. Tang, M. Okano, C. Zhang, K. Toprasertpong, S. Takagi, and M. Takenaka, “High-saturation-current waveguide-coupled Ge-on-Si photodetector fabricated by a standard foundry process for RF applications,” Conference on Lasers and Electro-Optics (CLEO2025), Long Beach, CA, USA, May. 4-9, 2025.

[35] T. Akazawa, S. Monfray, F. Bouef, K. Toprasertpong, S. Takagi, and M. Takenaka, “Optical power

monitoring of a 2×2 Mach–Zehnder interferometer using low-doped Si waveguide," Conference on Lasers and Electro-Optics (CLEO2025), Long Beach, CA, USA, May. 4-9, 2025.

[36] C.-T. Chen, K. Toprasertpong, T. Irisawa, W. H. Chang, S. Migita, Y. Morita, H. Ota, and T. Maeda, "Impact of channel thickness and annealing ambient on electrical characteristics of ultrathin body AlOx-passivated InOx FETs," 2025 International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA 2025), T13-2, Hsinchu, Taiwan, Apr. 21-24, 2025.

[37] C. Zhang, Z. Zhao, R. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, "Germanium microring avalanche photodetector for 2 μm wavelengths," 2025 IEEE Silicon Photonics Conference, ThB2, London, England, Apr. 14-17, 2025.

[38] K. Kobayashi, Y. Miyatake, R. Tang, K. Makino, J. Tominaga, N. Miyata, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Non-volatile Si microring resonator switch with Ge2Sb2Te3S2 optical intensity modulator," 2025 IEEE Silicon Photonics Conference, ThC4, London, England, Apr. 14-17, 2025.

[39] C.-T. Chen, T. Irisawa, S. Migita, K. Toprasertpong, Y. Morita, H. Ohta, and T. Maeda, "Impact of hydrogen incorporation on performance and PBS instability of ultrathin ALD-InOx FETs," 2025 IEEE International Reliability Physics Symposium (IRPS), P51.PI, Monterey, CA, USA, Mar. 30-Apr 3, 2025.

シンポジウム・研究会・大会等発表

[1] 高木信一，韓雪揚，靳釗，陳育同，姜昅秀，竹中充，トープラサートポン カシディット，「(100) Si MOSFETの反転層電子における表面ラフネス散乱移動度の温度依存性」，『第73回応用物理学会春季学術講演会』，16p-S2_203-4，東京，2026年3月15-18日.

[2] Z. Liu, M. Takenaka, S. Takagi, and K. Toprasertpong, "Correlation of pinch loop, wake-up, and imprint in sub-5 nm HZO metal-ferroelectric-metal capacitor,"『第73回応用物理学会春季学術講演会』，17a-M_278-11，東京，2026年3月15-18日.

[3] 鄭昇昅，中根了昌，高木信一，竹中充，トープラサートポン カシディット，「FeFETを用いた2入力リザバーコンピューティングの実証」，『第73回応用物理学会春季学術講演会』，16p-M_123-2，東京，2026年3月15-18日.

[4] 赤澤智熙，唐睿，湯涵智，岡野誠，松田信幸，トープラサートポン カシディット，高木信一，竹中，「III–V/Si ハイブリッド MOS 型光位相シフタを用いた低消費電力・高速光スイッチ」，『第73回応用物理学会春季学術講演会』，17p-WL2_401-14，東京，2026年3月15-18日.

[5] 小林研二，宮武悠人，唐睿，牧野孝太郎，畑山祥吾，岡野誠，トープラサートポン カシディット，高木信一，竹中，「$Ge_2Sb_2Te_3S_2$ 光強度変調器を用いた低クロストーク 1×2 シリコン MZI 光スイッチ」，『第73回応用物理学会春季学術講演会』，18a-WL2_401-5，東京，2026年3月15-18日.

[6] 宮武悠人，トープラサートポン カシディット，高木信一，竹中，「進化戦略を用いた小型・低損失・広帯域2×2シリコン光カプラの設計と実証」，『第73回応用物理学会春季学術講演会』，17p-WL2_401-1，東京，2026年3月15-18日（招待講演）.

[7] 請関優，井上颯太，藤村紀文，永吉大毅，芳賀大樹，横松得滋，神田健介，前中一介，Kasidit Toprasertpong，高木信一，吉村武，「強誘電体ゲートトランジスタを用いた物理リザバーのデータ次元解析」，『第73回応用物理学会春季学術講演会』，16p-M_123-3，東京，2026年3月15-18日.

[8] 石山和樹，陳家驄，入沢寿史，トープラサートポン カシディット，前田辰郎，「PEALD-AlOx 絶縁膜を用いた薄膜 InO_x FETs における熱安定性の向上」，『第73回応用物理学会春季学術講演会』，17a-W9_324-3，東京，2026年3月15-18日.

[9] 森田行則，川那子高暢，神岡武文，三谷祐一

郎，生田目俊秀，女屋崇，深田直樹，ジェバスワン ウイパコーン，塚越一仁，星井拓也，トープラサートポン カシディット，田村敦史，喜多浩之，岡田直也，間部謙三，水林亘，太田裕之，松川貴，右田真司，「極薄 CET（< 1 nm）High-k ゲートスタックのための酸素パッシベーション界面層（O-PAS IL）の形成」，『第73回応用物理学会春季学術講演会』，15a-W8E_101-6，東京，2026年3月15-18日．

[10] C.-T. Chen, X. Han, K. Sumita, K. Toprasertpong, M. Takenaka, and S. Takagi, “Hole mobility enhancement in pMOSFETs through high Ge content, asymmetric strain and (110)-oriented channels,”『第73回応用物理学会春季学術講演会』, 16a-S2_203-2, 東京, 2026年3月15-18日（招待講演）．

[11] C.-T. Chen, K. Toprasertpong, T. Irisawa, W.-H. Chang, S. Migita, Y. Morita, H. Ota, and T. Maeda, “Effectiveness of gate dielectric AlOx interlayer on electrical characteristics improvement in ultrathin InOx FETs,”『第73回応用物理学会春季学術講演会』，17a-W9_324-2，東京，2026年3月15-18日．

[12] C. Chai, R. Tang, M. Okano, K. Toprasertpong, and M. Takenaka, “A photonic tensor core based on hybrid wavelength– and time-division multiplexing with on-chip wavelength (de)multiplexers,”『第73回応用物理学会春季学術講演会』，17a-WL2_401-11，東京，2026年3月15-18日．

[13] W. Dai, Z. Liu, H. Matsukawa, K. Toprasertpong, and M. Takenaka, “Pockels effect in $Hf_{0.5}Zr_{0.5}O_2$ integrated silicon nitride waveguides,”『第73回応用物理学会春季学術講演会』, 18a-WL2_401-8, 東京，2026年3月15-18日．

[14] Y. Wang, X. Gao, O. Makoto, K. Toprasertpong, S. Takagi, M. Takenaka, “Fabrication of ITO TFTs for driving thermo-optic phase shifters on Si photonics platform,”『第73回応用物理学会春季学術講演会』，17p-WL2_401-13，東京，2026年3月15-18日．

[15] 竹中充，高城和馬，戴維，トープラサートポン カシディット，高木信一，「強誘電体酸化ハフニウムジルコニウムを用いた光位相変調器の展望」，『電子情報通信学会 2026年総合大会』，CI-1-02，福岡，2026年3月9-13日（招待講演）．

[16] 唐睿，柴成立，大野修平，張超，宮武悠人，谷澤健，牧野孝太郎，富永淳二，宮田典幸，池田和浩，岡野誠，トープラサートポン カシディット，高木信一，竹中充「シリコンフォトニクスを用いた光AI演算回路」，『電子情報通信学会 2026年総合大会』，CI-4-0，福岡，2026年3月9-13日（招待講演）．

[17] 赤澤智熙，唐睿，宮武悠人，岡野誠，トープラサートポン カシディット，高木信一，竹中充「PIN型導波路による位相誤差補正可能なプログラマブル光集積回路」，『電子情報通信学会 2026年総合大会』，C-3_C-4-54，福岡，2026年3月9-13日．

[18] 高木信一，韓雪揚，靳釗，陳育同，姜旼秀，竹中充，トープラサートポン カシディット，「MOSFET の電子輸送特性の理解：最適ナノシートチャネル構造と低温動作」，『電子情報通信学会 シリコン材料・デバイス(SDM)研究会』，No. 6，東京，2026年1月28日（招待講演）．

[19] トープラサートポン カシディット，「HZO強誘電体メモリと新原理コンピューティングへの展開」，『第86回応用物理学会秋季学術講演会』，9p-N101-7，名古屋，2025年9月7-10日（招待講演）．

[20] 高木信一，トープラサートポン カシディット，「表面ポテンシャル揺らぎが高周波CV法による界面準位評価に与える影響」，『第86回応用物理学会秋季学術講演会』，10a-N401-6，名古屋，2025年9月7-10日．

[21] 志村瞭太朗，名幸瑛心，松本光二，鈴木陽洋，山本博昭，松川和人，竹中充，高木信一，トープラサートポン カシディット，「Si(110)微傾斜基板上のHfO_2/Si MOS界面特性の評価」，『第86回応用物理学会秋季学術講演会』，10a-N401-7，名古屋，2025年9月7-10日．

[22] 松川浩之，竹中充，高木信一，トープラサートポン カシディット，「強誘電体$Hf_xZr_{1-x}O_2$に

おけるC-V特性の掃引速度依存性の観察」，『第86回応用物理学会秋季学術講演会』，7p-N301-17，名古屋，2025年9月7-10日．

[23] 伊藤広恭，竹中充，高木信一，トープラサートポン カシディット，「極薄膜強誘電体$Hf_{0.5}Zr_{0.5}O_2$におけるwake-up物理機構モデルのシミュレーション検証」，『第86回応用物理学会秋季学術講演会』，7p-N301-9，名古屋，2025年9月7-10日．

[24] Z. Liu, Z. Cai, M. Takenaka, S. Takagi, and K. Toprasertpong, “Imprint behaviors of $Hf_{0.5}Zr_{0.5}O_2$ ferroelectric capacitors: charge/trap-site dynamics during write and wake-up cycles,”『第86回応用物理学会秋季学術講演会』，7p-N301-13，名古屋，2025年9月7-10日．

[25] X. Gao, Z. Cai, Z. Liu, Z. Jin, X. Han, Y.-K. Liang, Y. Chen, E. Nako, S.-Y. Min, M. Takenaka, S. Takagi, and K. Toprasertpong, “Investigation of degradation in FeFETs using quasi-static split C-V techniques: significant trap generation under cycling stress,”『第86回応用物理学会秋季学術講演会』, 7p-N301-12, 名古屋, 2025年9月7-10日．

[26] M. Wan, E. Nako, S.-Y. Min, M. Takenaka, S. Takagi, and K. Toprasertpong, “Performance enhancement of FeFET-based reservoir computing using substrate bias,”『第86回応用物理学会秋季学術講演会』，10a-N106-2，名古屋，2025年9月7-10日．

[27] C.-T. Chen, K. Toprasertpong, T. Irisawa, W. H. Chang, S. Migita, Y. Morita, H. Ota, and T. Maeda, “Effectiveness of gate dielectric AlOx interlayer on electrical characteristics improvement in ultrathin InOx FETs,”『第86回応用物理学会秋季学術講演会』，8a-N105-10，名古屋，2025年9月7-10日．

[28] 赤澤智熙，唐睿，宮武悠人，岡野誠，トープラサートポン カシディット，高木信一，竹中充，「光パワーモニタ内蔵Si PIN 型位相シフタを用いた4×4 プログラマブル光回路における位相誤差補正の実証」，『第86回応用物理学会秋季学術講演会』，9p-N202-9，名古屋，2025年9月7-10日．

[29] 作本宙彌，ピヤパッタラクン ティパット，トープラサートポン カシディット，高木信一，竹中 充，「III-V族半導体薄膜導波路を用いたMOSCAP型マイクロリング光変調器」，『第86回応用物理学会秋季学術講演会』，9p-N202-1，名古屋，2025年9月7-10日（招待講演）．

[30] 小松健太郎，赤澤智熙，モンフレ ステファン，ブフ フレデリック，トープラサートポン カシディット，竹中 充，「狭金属電極ギャップを有するInGaAs MSM型受光器のSi導波路への集積」，『第86回応用物理学会秋季学術講演会』，9p-N202-5，名古屋，2025年9月7-10日

[31] 武田知大，田鍋衛，トープラサートポン カシディット，竹中 充，「硫化アンチモンを用いた行列演算用メタ導波路の設計」，『第86回応用物理学会秋季学術講演会』，9a-N202-8，名古屋，2025年9月7-10日．

[32] S. Fu, K. Toprasertpong, S. Takagi, and M. Takenaka, “Examination of selective quantum well intermixing on III-V on insulator wafer,”『第86回応用物理学会秋季学術講演会』，8p-N202-10，名古屋，2025年9月7-10日．

[33] J. Pan, H. Sakumoto, T. Akazawa, K. Toprasertpong, S. Takagi, and M. Takenaka, “SiN-rib InP membrane waveguide with a low-loss taper structure,”『第86回応用物理学会秋季学術講演会』, 8p-N202-5, 名古屋, 2025年9月7-10日．

[34] C. Zhang, R. Tang, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, “High saturation current and high speed 4-port evanescently coupled waveguide Ge-on-Si photodetector,”『第86回応用物理学会秋季学術講演会』，9p-N202-4，名古屋，2025年9月7-10日．

[35] 井上颯太，請関優，藤村紀文，トープラサートポン カシディット，高木信一，吉村武，「HfO_2系強誘電体MFMキャパシタにおける分極特性制御が物理リザバー計算性能に及ぼす影響」，『第86回応用物理学会秋季学術講演会』，7p-N301-10，名古屋，2025年9月7-10日．

[36] 関優，井上颯太，藤村紀文，横松得滋，神田健介，前中一介，トープラサートポン カシデ

ィット，高木信一，吉村武，「強誘電体ゲートFETにおける分極特性が物理リザバー計算性能に及ぼす影響」，『第86回応用物理学会秋季学術講演会』，7p-N301-11，名古屋，2025年9月7-10日．

[37] 伊藤広恭，竹中充，高木信一，トープラサートポン カシディット，「極薄膜強誘電HZOにおけるwake-up機構：酸素空孔消滅によるドメインde-pinningと最適wake-up周波数」，『応用物理学会シリコンテクノロジー分科会 第260回研究集会-VLSIシンポジウム特集』，No. 5，東京，2025年8月28日（招待講演）．

[38] 伊藤広恭，竹中充，高木信一，トープラサートポン カシディット，「極薄膜HZOにおけるwake-upダイナミクス：酸素を介したドメインde-pinningと最適周波数」，『電子情報通信学会 シリコン材料・デバイス(SDM)研究会』，No. 4，北海道，2025年8月6-8日（招待講演）．

[39] トープラサートポン カシディット，関信義，名幸瑛心，中根了昌，竹中充，高木信一，“Harnessing rich polarization dynamics in antiferroelectric $Hf_{1-x}Zr_xO_2$ for reservoir computing”，『第42回強誘電体会議』，13pm-15S，京都，2025年6月11-14日（招待講演）．

[40] 井上颯太，請関優，トープラサートポン カシディット，高木信一，吉村 武，「Evaluation of analog memory characteristics using HfO2-based ferroelectric thin films」，『第42回強誘電体会議』，14am-05，京都，2025年6月11-14日．

中村研究室

研究論文

[1] Takuya Kojima, Masaki Morita, Hideki Takase, Hiroshi Nakamura, “An Open-Source Framework for Efficient Side-Channel Analysis on Cryptographic Implementa-tions,” IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (TCAD)
Mar. 2026

国際会議論文

[1] Akira Namekata, Ryota Miyagi, Hirotaka Nishikori, Hiroshi Nakamura, Hideki Takase, “Accelerating Large-Scale Bayesian Network Structure Learning on GPU via Data Access Reduction,” 34th Euromicro International Conference on Parallel, Distributed, and Network-Based Processing (PDP 2026)
Mar. 2026

[2] Ryota Miyagi, Kensuke Setsu, Kentaro Sano, Hiroshi Nakamura, Hideki Takase, “Scalable Pipeline Parallel Training of Neural Networks Using Reversibility,” 34th Euromicro International Conference on Parallel, Distributed, and Network-Based Processing (PDP 2026)
Mar. 2026

[3] Huilin Li, Hiroshi Nakamura, Hideki Takase, “Consistency-Preserving Deep Reinforcement Learning for Computation Offloading and Resource Allocation in MEC Environment,”
The 40th International Conference on Information Networking (ICOIN 2026)
Jan. 2026

[4] Takuya Nomura, Yusuke Yamasaki, Shintaro Hosoai, Hideki Takase, Takuya Azumi, “F2MKDC: Fog-enabled Federated Learning with Mutual Knowledge Distil-lation and Clustering for Data Distribution-based Collaborative Learning,” The 18th IEEE International Symposium on Embedded Multicore/Manycore Systems-on-Chip (MCSoC-2025), Dec. 2025

[5] Yuki Oda, Yuta Ono, Hiroshi Nakamura, Hideki Takase, “Hetero-SplitEE: Split Learning of Neural Networks with Early Exits for Heterogeneous IoT Devices,” The 18th IEEE International Symposium on Embedded Multicore/Manycore Systems-on-Chip (MCSoC-2025), Dec. 2025

[6] Yuta Ono, Hiroshi Nakamura, Hideki Takase, “Exploring the possibility of TypiClust for low-budget Federated Active Learning,” The 49th IEEE International Confer-ence on Computers, Software, and Applications (COMPSAC 2025), Jul. 2025

[7] Kensuke Setsu, Ryota Miyagi, Hiroshi Nakamura,

Hideki Takase, “Modeling Memory Usage in Training of Reversible Residual Network for Parallel Distributed Processing,” The International Symposium on Highly Efficient Accelerators and Reconfigu-rable Technologies (HEART), Jun. 2025

[8] Hisako Ito, Takuya Kojima, Hideki Takase, Hiroshi Nakamura, “A De-coupled Coarse-Grained Reconfigurable Architecture by Introducing Data Flow Management Unit,” 2025 IEEE International Parallel and Distributed Processing Symposium Workshops (IPDPSW), Jun. 2025

3．シンポジウム・研究会・大会等発表

[1] 田中勇吾, 中村宏, 高瀬 英希, “ROS2分散システムの通信機能に対するスケーラビリティ評価手法,” IPSJ SIG IOT 2026年3月

[2] 高島和樹, 小島拓也, 高瀬英希, 中村宏, “CGRAによる枝刈りニューラルネットワークの高速実行手法,” 第256回システム・アーキテクチャ・第211回システムとLSIの設計技術・第71回組込みシステム合同研究発表会（ETNET2026）, 2026年3月

[3] 高瀬英希, 細合晋太郎, 西内一馬, 菊池豊, 松嶋聡, “シンGiocci：資源透過型プラットフォームの新たな設計と実装,” RIXX-PIoT workshop 2026, 2026年3月

[4] 小澤秀真, 中村宏, 高瀬英希, “地域分散MEC環境における協調的なオフローディング決定問題の検討,” RIXX-PIoT workshop 2026, 2026年3月

[5] 菊池豊, 西内一馬, 高瀬英希, 細合晋太郎, 松嶋聡, “ElixirにおけるGenServerのプロセスマイグレーション, RIXX-PIoT workshop 2026, 2026年3月

[6] 関駿太, 宮城竜大, 中村宏, 高瀬英希, “Scalable Pipeline-Parallel Training of Transformer with Batch Expansion Using Reversible Computation,” 第256回システム・アーキテクチャ・第211回システムとLSIの設計技術・第71回組込みシステム合同研究発表会（ETNET2026）, 2026年3月

[7] 野崎愛, 小島拓也, 中村宏, 高瀬英希, “準同型暗号のGPUアクセラレーション手法のデータフローに応じた分類と性能分析,” 第256回システム・アーキテクチャ・第211回システムとLSIの設計技術・第71回組込みシステム合同研究発表会（ETNET2026）, 2026年3月

[8] 片倉大翔, 野崎愛, 小島拓也, 中村宏, 高瀬英希, “AMD AI Engineによる準同型暗号のクライアント処理の高速化,” 第256回システム・アーキテクチャ・第211回システムとLSIの設計技術・第71回組込みシステム合同研究発表会（ETNET2026）, 2026年3月

[9] 森田昌樹, 小島拓也, 高瀬英希, 中村宏, “デノイジングオートエンコーダを活用したサイドチャネル攻撃のための前処理ノイズ除去手法,” 情報処理学会HWS研究会, 2026年3月

[10] 伊藤向子, 小島拓也, 高瀬英希, 中村宏, “制御フロー処理の資源効率化に向けたヘテロジニアスCGRA構成の検討,” 第256回システム・アーキテクチャ・第211回システムとLSIの設計技術・第71回組込みシステム合同研究発表会（ETNET2026）, 2026年3月

[11] 小島拓也, 伊藤向子, “暗号処理向け粗粒度再構成可能アーキテクチャの評価,” デザインガイア2025 -VLSI設計の新しい大地, 2025年12月

[12] 高島和樹, 小島拓也, 高瀬英希, 中村宏, “非構造枝刈りニューラルネットワークのためのCGRA実行方式,” xSIG 2025（SWoPP2025）2025年8月

[13] 森田昌樹, 小島拓也, 高瀬英希, 中村宏, “オートエンコーダを用いた圧縮による深層学習サイドチャネル攻撃の軽量化,” xSIG 2025（SWoPP2025）2025年8月

[14] 片倉大翔, 野崎愛, 小島拓也, 中村宏, 高瀬英希, “AMD AI Engineのパフォーマンス分析,” xSIG 2025（SWoPP2025）2025年8月

著書

なし

平本・小林研究室

研究論文

[1] Takanori Takahashi, Mutsunori Uenuma, Masaharu Kobayashi, and Yukiharu Uraoka, “Ternary amorphous oxide semiconductor of In-Ga-O system for three-dimensional integrated device

application," APL Materials, 13, 051101 (2025), 2025年5月1日発表.

[2] 平本俊郎,「我が国の科学技術の再興に向けてー半導体のケース」, 応用物理, 第94巻, 第8号, 2025年8月.

[3] Hirokazu Fujiwara, Yuki itoya, Masaharu Kobayashi, Cedric Bareille, Toshiyuki Taniuchi, "Breakdown and polarization contrasts in ferroelectric devices observed by operando laser-based photoemission electron microscopy with the AC/DC electrical characterization system," Ultramicroscocpy, 277, 114221 (2025), 2025年8月11日発表.

[4] T. Tanamoto, S. Furukawa, R. Kitahara, T. Mizutani, K. Ono, and T. Hiramoto, "Indexing Current-Voltage Characteristics Using a Hash Function," IEEE Transactions on Electron Devices, Vol. 72, No. 9, pp. 4642 - 4647, September, 2025.

[5] Kota Sakai, Kaito Hikake, Sung-hun Kim , Yuki Itoya, Takuya Saraya, Toshiro Hiramoto , and Masaharu Kobayashi, "Reliability improvement of InGaOx FETs by adding Zn in atomic layer deposition process," Japanese Journal of Applied Physics, Vol. 64, No. 10, 101001, October, 2025.

[6] Ki-Woong Park, Anlan Chen, Kota Sakai, Sunbin Hwang, Xingyu Huang, Takuya Saraya, Toshiro Hiramoto, Takanori Takahashi, Mutsunori Uenuma, Yukiharu Uraoka, and Masaharu Kobayashi, "A Gate-All-Around Oxide Semiconductor FETs With Selectively Crystallized InGaOx Channel for Performance and Reliability Improvement," IEEE Transactions on Electron Devices, Vol. 72, No, 12, pp. 7128 - 7135, December, 2025.

[7] Kiyoshi Takeuchi, Tomoko Mizutani, Takuya Saraya, Hiroshi Oka, Takahiro Mori, Masaharu Kobayashi, Toshiro Hiramoto, "Gate Voltage Dependence of MOSFET Random Telegraph Noise Amplitude at Room and Cryogenic Temperatures," IEEE Journal of the Electron Devices Society, Vol. 13, pp. 1151 - 1157, November, 2025.

[8] Takuya Saraya, Toshiro Hiramoto, Takanori Takahashi, Mutsunori Uenuma, Yukiharu Uraoka, Masaharu Kobayashi, "Second-Generation Back-Gate-Controlled IGBT (BC-IGBT) for 4.5kV-Class Voltage Range". IEEE Transactions on Electron Devices, Vol. 73, No.1, pp. 500 - 507, January, 2026.

[9] T. Saraya, M. Fukui, Y. Kobayashi, K. Ito, T. Takakura, S. Suzuki, R. Gejo, T. Yamamoto, T. Sakano, T. Inokuchi, T. Matsudai, and T. Hiramoto, "FWD-less inverter operation using Bi-directional Back-gate-Controlled IGBTs (BC-IGBTs)," IEEE Transaction on Electron Device, Vol. 73, No.3, pp. 1512 - 1519, March, 2026.

[10] Tomoko Mizutani, Kiyoshi Takeuchi, Takuya Saraya, Takumi Inaba, Hiroshi Oka, Hidehiro Asai, Takahiro Mori, Masaharu Kobayashi, and Toshiro Hiramoto, "Anomalous variability of subthreshold characteristics in bulk and silicon on insulator MOSFETs at cryogenic temperatures," Japanese Journal of Applied Physics, Vol. 65, 03SP27, March, 2026.

[11] Junoh Kim, Daiki Futagi, Tomoko Mizutani, Takuya Saraya, Hiroshi Oka, Takahiro Mori, Masaharu Kobayashi, and Toshiro Hiramoto, "Vertically stacked two-layer silicon quantum dots with selective bottom layer control via substrate bias for 3D integration," Japanese Journal of Applied Physics, Vol. 65, 02SP05, March, 2026.

[12] Xiaoran Mei, Yaoping Xiao, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, "Design–technology co-optimization (DTCO) of inner-spacer length dependence in nanosheet logic transistors using hierarchical performance–power metrics," Japanese Journal of Applied Physics, Vol. 65, 055002, March, 2026.

国際会議論文

[1] Kiyoshi Takeuchi, Tomoko Mizutani, Takuya Saraya, Hiroshi Oka, Takahiro Mori, Shinichi Takagi, Masaharu Kobayashi, and Toshiro Hiramoto, "A Study on the Origin of MOSFET Random Telegraph Noise under Strong Inversion at Cryogenic Temperatures," IEEE International Reliability Physics Symposium (IRPS), Hyatt

Regency Monterey, Monterey, CA, USA, April 2, 2025.

[2] T. Saraya, K. Takeuchi, K. Itou, T. Takakura, M. Fukui, S. Suzuki, H. Takase, W. Saito, S. Nishizawa, T. Hiramoto, “First demonstration of 6.5kV fully scaled IGBT with ultra-shallow edge termination (USET),” IEEE International Symposium on Power Semiconductor Devices and ICs (ISPSD), Kumamoto-Jo Hall, Kumamoto, June 2, 2025.

[3] T. Yamamoto, Y. Kobayashi, M. Fukui, T. Matsudai, R. Gejo, T. Saraya, K. Itou, T. Takakura, S. Suzuki, T. Ohashi, T. Sakano, T. Inokuchi, T. Hiramoto, “Reduction of control delay in Single-back and Double-front Gate-controlled IGBT for high frequency applications,” IEEE International Symposium on Power Semiconductor Devices and ICs (ISPSD), Kumamoto-Jo Hall, Kumamoto, June 3, 2025.

[4] Toshiro Hiramoto, Tomoko Mizutani, Kiyoshi Takeuchi, Takuya Saraya, Hiroshi Oka1, Takahiro Mori1, Masaharu Kobayashi (Keynote), “Statistical Analysis of Subthreshold Current in Cryo-CMOS Transistors,” 22nd International Workshop on Junction Technology (IWJT), Uji Campus, Kyoto University, KN1, June 5, 2025.

[5] Sung-Hun Kim, Sun Hong Choi, Kota Sakai, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, “First Realization of ALD based Sn-Doped InGaZnO with Reliability Enhancements for Monolithic 3D Integration,” Silicon Electronics Workshop (SNW), Rihga Royal Hotel Kyoto, Kyoto, Oral 1, June 8, 2025.

[6] Daiki Futagi, Junoh Kim, Tomoko Mizutani, Takuya Saraya, Hiroshi Oka, Takahiro Mori, Masaharu Kobayashi, and Toshiro Hiramoto, “Experimental Demonstration of Vertically Stacked Parallel Silicon Quantum Dots,” Silicon Electronics Workshop (SNW), Rihga Royal Hotel Kyoto, Kyoto, Oral 4, June 8, 2025.

[7] Tomoko Mizutani, Kiyoshi Takeuchi, Takuya Saraya, Hiroshi Oka, Takahiro Mori, Masaharu Kobayashi, and Toshiro Hiramoro, “Statistical Analysis of Subthreshold Current Distributions in bulk MOSFETs at Room and Cryogenic Temperatures,” Silicon Electronics Workshop (SNW), Rihga Royal Hotel Kyoto, Kyoto, Oral 21, June 9, 2025.

[8] Junoh Kim, Daiki Futagi, Tomoko Mizutani, Takuya Saraya, Hiroshi Oka, Takahiro Mori, Masaharu Kobayashi, and Toshiro Hiramoto, “3D Stacked Silicon Quantum Dots Using Potential Barriers by Shared Gates,” Silicon Electronics Workshop (SNW), Rihga Royal Hotel Kyoto, Kyoto, Oral 30, June 9, 2025.

[9] A. Chen, K.-w. Park, K. Sakai, S. Hwang, X. Huang, T. Saraya, T. Hiramoto, T. Takahashi, M. Uenuma, Y. Uraoka, and M. Kobayashi, “A Gate-All-Around Nanosheet Oxide Semiconductor Transistor by Selective Crystallization of InGaOx for Performance and Reliability Enhancement,” Symposium on VLSI Technology, Rihga Royal Hotel Kyoto, Kyoto, T6-3, June 11, 2025.

[10] Masaharu Kobayashi, “Nanosheet Oxide Semiconductor Transistors for 3D integrated devices,” International Conference on Solid State Devices and Materials (SSDM) 2025, N1-1, パシフィコ横浜, 2025年9月16日発表.

[11] Tomoko Mizutani, Kiyoshi Takeuchi, Takuya Saraya, Takumi Inaba, Hidehiro Asai, Hiroshi Oka, Takahiro Mori, Masaharu Kobayashi, and Toshiro Hiramoto, “Anomalous Variability of Subthreshold Characteristics in Bulk and SOI MOSFETs at a Cryogenic Temperature,” International Conference on Solid State Devices and Materials (SSDM), pp. 45 - 46, Pacifico Yokohama, September 16, 2025.

[12] Junoh Kim, Daiki Futagi, Tomoko Mizutani, Takuya Saraya, Hiroshi Oka, Takahiro Mori, Masaharu Kobayashi and Toshiro Hiramoto, “First Demonstration of 3D Stacked Silicon Quantum Dots with Shared Barrier Gates,” International Conference on Solid State Devices and Materials (SSDM), pp. 953 - 954, Pacifico Yokohama, September 17, 2025.

[13] Kiyoshi Takeuchi, Munetoshi Fukui, Takuya Saraya, Kazuo Itou, Toshihiko Takakura, Shinichi

Suzuki, Hiroyuki Takase, and Toshiro Hiramoto, "Operating Principle of Field Limiting Ring Edge Termination," International Conference on Solid State Devices and Materials (SSDM), pp. 603 - 604, Pacifico Yokohama, September 18, 2025.

[14] Daiki Futagi, Junoh Kim, Tomoko Mizutani, Takuya Saraya, Hiroshi Oka, Takahiro Mori, Masaharu Kobayashi and Toshiro Hiramoto, "Selective Control of Two-Layer Vertically Stacked Silicon Quantum Dots Using Barrier Gates," Silicon Quantum Electronics Workshop, Terranea Resort, Rancho Palos Verdes, CA, USA, October 6, 2025.

[15] Toshiro Hiramoto and Hitoshi Wakabayashi (Keynote), "Advanced Logic Transistor Innovation Towards "Beyond 2nm "Technology," International Workshop on Dielectric Thin Films for Future Electron Devices: Science and Technology (IWDTF2025), Sendai City War Reconstruction Memorial Hall (Miyagi), November 5, 2025.

[16] Xingyu Huang, Kota Sakai, Anlan Chen, Takanori Takahashi, Mutsunori Uenuma, Yukiharu Uraoka, Takuya Saraya, Toshiro Hiramoto, Masaharu Kobayashi, "On the Statistical Variability of High-Performance Crystalline InGaOx Nanosheet Oxide Semiconductor FETs," to be presented in International Electron Devices Meeting (IEDM), Hilton San Francisco Union Square, San Francisco, CA, USA, December 9, 2025.

[17] Masaharu Kobayashi, Anlan Chen, Ki-Woong Park, Sunbin Hwang, Xingyu Huang, Takuya Saraya, Toshiro Hiramoto, Takanori Takahashi, Mutsunori Uenuma, Yukiharu Uraoka (Invited), "Gate-All-Around Nanosheet Oxide Semiconductor Transistor with Crystalline InGaOx," IEEE Electron Devices Technology and Manufacturing (EDTM), Setia SPICE Convention Centre, Penang, Malaysia, March 3, 2026.

[18] Yuki Itoya, Hirokazu Fujiwara, Cedric Bareille, Toshiyuki Taniuchi, Masaharu Kobayashi, "Evidence for Structure- and Electric-Field-Induced Mode Crossover in Multi-Filament Formation in HfO2-Based Ferroelectric Capacitors by In-Situ Laser PEEM," EDTM 2026, T08-T-S3.3-R6, Penang, Malaysis, 2026年3月3日発表.

[19] Masaharu Kobayashi, "Device and Process technologies for advanced logic semiconductor," IEEE International Conference on Microelectronic Test Structures (ICMTS) 2026, Matsue, 2026年3月 23日発表.

[20] Kiyoshi Takeuchi, Munetoshi Fukui, Takuya Saraya, Kazuo Itou, Toshihiko Takakura, Shinichi Suzuki, Hiroyuki Takase, and Toshiro Hiramoto, "Application of a three-terminal TCAD model for designing shielded field-limiting ring edge termination," 38th International Conference on Microelectronic Test Structures (ICMTS), Kunibiki-Messe Convention Center, Shimane, March 26, 2025.

シンポジウム・研究会・大会等発表

[1] 平本俊郎,「先端半導体の最新動向」, 集積システム材料産学連携コンソーシアム（iSyMs）全体会議, 東京工業大学石川台キャンパス, 2025年4月21日.

[2] Ki-woong Park, "A Gate-All-Around Nanosheet Oxide Semiconductor Transistor by Selective Crystallization of InGaOx for Performance and Reliability Enhancement," 最先端ナノエレクトロニクス技術調査専門委員会LSIシンポジウム特集, 早稲田大学, 2025年7月4日発表.

[3] 平本俊郎,「ロジック半導体デバイスの技術動向」, ブルカージャパン株式会社主催特別講座「先端半導体の最新技術動向とパッケージング向けのCMPプロセスにおける課題・将来展望」, オンライン, 2025年7月8日.

[4] 平本俊郎,「VLSIシンポジウム報告・先端CMOSデバイス関連技術」, d.lab協賛事業, オンライン開催. 2025年7月30日.

[5] 小林正治,「VLSIシンポジウム報告・メモリデバイス関連技術」, d.lab協賛事業, オンライン開催. 2025年7月30日.

[6] Ki-woong Park, "Gate-All-Around Nanosheet Oxide Semiconductor FETs with Selectively Crystallized InGaOx Channel for Enhanced

Performance and Reliability," 応用物理学会シリコンテクノロジー分科会で開催する研究集会「VLSI特集」，金沢工業大学，2025年8月29日発表．

[7] 糸矢祐喜，更屋拓哉，平本俊郎，小林正治，「HfO2系強誘電体キャパシタの書き換え耐久性の電界依存」，第86回応用物理学会秋季学術講演会，名城大学 (愛知)，7p-N301-8，2025年9月7日．

[8] 黄善彬，坂井洸太，高橋崇典，上沼睦典，浦岡行治，小林正治，「ナノシート酸化物半導体―電極界面における電子状態の膜厚依存性」，応用物理学会秋季学術講演会，8p-P10-33，名城大学，2025年9月8日．

[9] 坂井洸太，Hwang Sunbin，Chen Anlan，Park Ki-woong，Huang Xingyu，更屋拓哉，平本俊郎，髙橋崇典，上沼睦典，浦岡行治，小林正治，「アモルファス・多結晶InGaOx によるナノシート酸化物半導体トランジスタ」，第86回応用物理学会秋季学術講演会，名城大学（愛知），9a-S203-3，2025年9月9日．

[10] 坂井洸太，Chen Anlan，Park Ki-woong，Huang Xingyu，更屋拓哉，平本俊郎，Hwang Sunbin，髙橋崇典，上沼睦典，浦岡行治，小林正治，「選択的結晶化による多結晶InGaOx を用いたゲートオールアラウンドナノシート酸化物半導体FET」，第86回応用物理学会秋季学術講演会，名城大学（愛知），9a-S203-4，2025年9月9日．

[11] 金 駿午，二木大輝，水谷朋子，更屋拓哉，岡 博史，森 貴洋，小林正治，平本俊郎，「バリアゲートによるポテンシャル障壁の形成を利用した3次元積層型シリコン量子ドット」，第86回応用物理学会秋季学術講演会，名城大学（愛知），10a-N302-4，2025年9月10日．

[12] 二木大輝，金 駿午，水谷朋子，更屋拓哉，岡 博史，森 貴様，小林正治，平本俊郎，「垂直積層2層シリコン量子ドットの実証」，第86回応用物理学会秋季学術講演会，名城大学（愛知），10a-N302-5，2025年9月10日．

[13] 水谷朋子，竹内 潔，更屋拓哉，岡 博史，森 貴洋，小林正治，平本俊郎，「極低温におけるバルクMOSFETのサブスレッショルド電流ばらつきの解析」，第86回応用物理学会秋季学術講演会，名城大学（愛知），10a-N302-10，2025年9月10日．

[14] 水谷朋子，竹内 潔，更屋拓哉，岡 博史，森 貴洋，小林正治，平本俊郎，「極低温におけるバルクMOSFETのサブスレッショルド電流ばらつきの統計分布」，第86回応用物理学会秋季学術講演会，名城大学（愛知），10a-N302-11，2025年9月10日．

[15] Kim Sunghun, Choi SunHong, Sakai Kota, Saraya Takuya, Hiramoto Toshiro, and Kobayashi Masaharu, "ALD-Based Sn-Doped InGaZnO FETs with Reliability Enhancement," 第86回応用物理学会秋季学術講演会，名城大学（愛知），9a-N105-8，2025年9月9日．

[16] 平本俊郎，「半導体先端ロジック技術の最新動向」，野村證券Japan Innovation Conference，オンライン，2025年9月18日．

[17] 竹内 潔，福井宗利，更屋拓哉，伊藤一夫，高倉俊彦，鈴木慎一，高瀬博行，平本俊郎，「切り出し3端子モデルを用いたField Limiting Ring終端構造の動作原理検討」，電気学会電子デバイス/半導体電力変換合同研究会，EDD-25-058, SPC-25-190, 金沢商工会議所 (石川)，2025年10月23日．

[18] 更屋拓哉，竹内　潔，伊藤一夫，高倉俊彦，福井宗利，鈴木慎一，高瀬博行，齋藤　渉，西澤伸一，平本俊郎，「浅い終端構造を用いた6.5kV級フルスケーリングIGBTの動作実証」，電気学会電子デバイス/半導体電力変換合同研究会，EDD-25-059, SPC-25-191, 金沢商工会議所（石川），2025年10月23日．

[19] 山本崇人，福井宗利，更屋拓哉，伊藤一夫，高倉俊彦，鈴木慎一，平本俊郎，「両面マルチゲートIGBTにおける制御遅延の短縮に向けた裏面ゲートによるキャリアー低減の制御」，電気学会電子デバイス/半導体電力変換合同研究会，EDD-25-086, SPC-25-218, 金沢商工会議所（石川），2025年10月24日．

[20] 福井宗利，更屋拓哉，竹内 潔，高倉俊彦，伊藤一夫，高瀬博行，鈴木慎一，平本俊郎，

「Back-Gate-Controlled IGBTにおけるn型バッファ層の裏面ゲート動作への影響のTCAD解析」，電気学会電子デバイス/半導体電力変換合同研究会，EDD-25-087, SPC-25-219, 金沢商工会議所（石川），2025年10月24日.

[21] 平本俊郎（招待講演），「最先端ロジック半導体デバイス技術の進化：FinFETからGAAそしてCFETへ」．電子デバイスフォーラム京都，セッション「進化し続けるデバイス構造・プロセス技術・装置技術」，京都リサーチパーク．2025年10月31日.

[22] 平本俊郎（招待講演），「先端ロジック半導体の技術動向：デバイスの微細化と構造進化」，株式会社東レリサーチセンター先端分析技術シンポジウム，オンライン．2025年11月21日.

[23] 平本俊郎，「先端ロジック：Beyond 2nmに向けたデバイス技術の動向」，大阪公立大学半導体超加工・集積化技術研究所第15回「半導体デバイスプロセス技術基礎講座」，大阪公立大学　I-siteなんば，2026年1月21日.

[24] 平本俊郎，「IEDM概要および先端CMOS・デバイス技術関連」，d.lab協賛事業，オンライン開催．2026年1月28日.

[25] 小林正治，「IEDMメモリデバイス技術関連」，d.lab協賛事業，オンライン開催．2026年1月28日.

[26] 平本俊郎，「「CFET」時代はいつか，2ナノ突入のロジック半導体」，日経セミナー「IEDM 2025に見る先端半導体の潮流～AI・新型メモリー・光電融合」，田町グランパークカンファレンス，2026年2月3日.

[27] 金 駿午，二木大輝，水谷朋子，更屋拓哉，岡博史，森 貴洋，小林正治，平本俊郎，「基板バイアスによる二層積層シリコン量子ドットの層依存輸送特性」，第72回応用物理学会春季学術講演会，東京科学大学大岡山キャンパス，15a-M_124-1，2026年3月15日.

[28] 二木大輝，金 駿午，水谷朋子，更屋拓哉，岡博史，森 貴洋，小林正治，平本俊郎，「二層積層量子ドットにおける共通バリアゲート感度を利用した層選択的制御の実証」，第72回応用物理学会春季学術講演会，東京科学大学大岡山キャンパス，15a-M_124-2，2026年3月15日.

[29] Yaoping Xiao, Yuxuan Wang, Xiaoran Mei, Tomoko Mizutani, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, “Reinvestigation on Subthreshold Swing of Gate-All-Around Nanosheet FETs in Quantum Limit for Voltage Scaling,” 第72回応用物理学会春季学術講演会, 東京科学大学大岡山キャンパス, 15a-M_124-5, 2026年3月15日.

[30] 霜田龍成，金 駿午，二木大輝，更屋拓哉，小林正治，平本俊郎，「マルチチャネルGAA MOSFETの特性の結晶面およびチャネル方向依存性」，第72回応用物理学会春季学術講演会，東京科学大学大岡山キャンパス，15a-M_124-6，2026年3月15日.

[31] Yuxuan Wang, Yaoping Xiao, Jinhyun Chun, Xiaoran Mei, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, “Study on Design-Technology Co-Optimization for Complementary FET Logic,” 第72回応用物理学会春季学術講演会, 東京科学大学大岡山キャンパス, 15a-M_124-10, 2026年3月15日.

[32] Xiaoran Mei, Yaoping Xiao, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, “Design–Technology Co-Optimization (DTCO) for Inner-Spacer Length Design in Nanosheet Standard Cells Using a Pseudo Logic-Block Gauge,” 第72回応用物理学会春季学術講演会，東京科学大学大岡山キャンパス，15a-M_124-11，2026年3月15日.

[33] Pandy Chitra and Masaharu Kobayashi, “Thickness-Dependent Band Structure of In2O3 and Ga-Doped In2O3 Nanosheets: A First-Principles Study,” 15a-S4_202-5, 応用物理学会春季学術講演会, 大岡山, 2026年3月15日発表.

[34] 棚橋 優策 , 坂田 智裕, 桑内 康文, 小川 慎吾, 関 洋文, 坂井 洸太, 小林 正治,「酸化物半導体を有する積層薄膜の深さ方向膜質評価」, 15a-PB1-6, 応用物理学会春季学術講演会, 大岡山, 2026年3月15日発表.

[35] FENG ZIJIA，水谷朋子，更屋拓哉，小林正治，平本俊郎，「極低温におけるMOSFETの

逆短チャネル効果」，第72回応用物理学会春季学術講演会，東京科学大学大岡山キャンパス，16p-S2_203-7，2026年3月16日．

[36] 竹内 潔，水谷朋子，更屋拓哉，岡 博史，森 貴洋，高木信一，小林正治，平本俊郎，「極低温，強反転におけるドレイン電流RTNの起源に関する検討」，第72回応用物理学会春季学術講演会，東京科学大学大岡山キャンパス，16p-S2_203-8，2026年3月16日．

[37] 水谷朋子，竹内 潔，更屋拓哉，稲葉 工，岡 博史，浅井栄大，森 貴洋，小林正治，平本俊郎，「極低温におけるバルクおよびFDSOI MOSFETのサブスレッショルド電流ばらつきの解析」，第72回応用物理学会春季学術講演会，東京科学大学大岡山キャンパス，16p-S2_203-9，2026年3月16日．

[38] 竹内 潔，水谷朋子，更屋拓哉，岡 博史，森 貴洋，小林正治，平本俊郎，「極低温および室温におけるドレイン電流RTN振幅のゲートバイアス依存性」，第72回応用物理学会春季学術講演会，東京科学大学大岡山キャンパス，16p-S2_203-10，2026年3月16日．

[39] 棚本哲史，水谷朋子，大野圭司，平本俊郎，「電流-電圧特性データのインデックス化によるデバイス管理効率化」，第72回応用物理学会春季学術講演会，東京科学大学大岡山キャンパス，16p-S2_203-15，2026年3月16日．

[40] Xingyu Huang, Kota Sakai, Anlan Chen, Takanori Takahashi, Mutsunori Uenuma, Yukiharu Uraoka, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, “Study On the Statistical Variability of High-Performance Crystalline InGaOx Nanosheet Oxide Semiconductor FETs,” 第72回応用物理学会春季学術講演会，東京科学大学大岡山キャンパス，18p-S2_203-2，2026年3月16日．

[41] 糸矢祐喜，藤原弘和，Cedric Bareille，谷内敏之，小林正治，「レーザー励起光電子顕微鏡を用いた InZnOx/Hf0.5Zr0.5O2/TiN強誘電体キャパシタにおけるマルチリークパス形成の電界依存性の観察」，17a-M_278-12，応用物理学会春季学術講演会，大岡山，2026年3月17日発表．

[42] 永井歩武，小林正治，「酸化物半導体 TFT を用いた BSPDN 向け高効率 DC-DC コンバータに関する研究」，18p-S2_203-3，応用物理学会春季学術講演会，大岡山，2026年3月18日発表．

[43] 平永良臣，糸矢祐喜，小林正治，「HfO2系強誘電体キャパシタにおける電界サイクリング誘起変化の局所 C–V マッピング観察」，17a-M_278-13，応用物理学会春季学術講演会，大岡山，2026年3月17日発表．

三田研究室

論文誌

[1] Shun Yasunaga, Motohiko Ezawa and Yoshio Mita, “Theory and Experimental Demonstration of Symmetrically Bistable MEMS Pin-Joint Buckled Beam,” Journal of Microelectromechanical Systems, vol. 34, no. 4, pp. 408–421 (2025.08) doi: 10.1109/JMEMS.2025.3560138)

査読付き国際学会

[1] Ryugo Shimamura, Shun Yasunaga, Tomoya Nakamura, Chen Wang, Michael Kraft, and Yoshio Mita, “VQ-VAE–Based Test Structure Generation for Constructing Design-Fabrication Surrogate Models,” The 38th International Conference on Microelectronic Test Structures (ICMTS 2026), Matsue, Japan (2026.03.23-26) doi: 10.1109/ICMTS69943.2026.11471659

[2] Akihiko Yoshida, Shun Yasunaga, Ryosho Nakane, Akio Higo, and Yoshio Mita, “A Contact-Closing Test Structure for Electrical In-Chamber Release Endpoint Detection During Vapor HF Etching,” The 38th International Conference on Microelectronic Test Structures (ICMTS 2026), Matsue, Japan (2026.03.23-26) doi: 10.1109/ICMTS69943.2026.11471720

[3] Ryugo Shimamura, Shun Yasunaga, Chen Wang, Akio Higo, Ryosho Nakane, Michael Kraft, and Yoshio Mita, “Freeform Chevron Actuator Beams Optimized for Varied Work-Consumption Trade-offs via Genetic Algorithms (Oral Presentation),”

The 39th International Conference on Micro Electro Mechanical Systems (IEEE MEMS 2026), Salzburg, Austria (2026.01.25-29) doi: 10.1109/MEMS64181.2026.11419394

[4] Shun Yasunaga and Yoshio Mita, "Micromechanical Signal Transmission Line Enabled by Chained Asymmetrical Bistable Elements (Oral Presentation)," The 39th International Conference on Micro Electro Mechanical Systems (IEEE MEMS 2026), Salzburg, Austria (2026.01.25-29) doi: 10.1109/MEMS64181.2026.11419074

[5] Anne-Claire Eiler, Ayako Mizushima, Junichi Sugita, Katsuhito Fujiu, Yoshio Mita, and Agnès Tixier-Mita, "Development of an LSI CMOS Microelectrode Array with Semi-Transparent Through-Hole Electrodes for Cardiomyocyte Culture and Future Biosensing Applications (Poster Presentation)," 2025 IEEE International Conference on Device Technologies for Diversified Applications (DTDA), Sendai, Japan (2025.10.22)

[6] Shun Yasunaga and Yoshio Mita, "Hexastable MEMS Stage (Oral Presentation)," The 23rd International Conference on Solid-State Sensors and Actuators (TRANSDUCERS), W3D.04, 29 Jun - 3 Jul 2025, Orlando, FL, USA (2025.07.02) doi: 10.1109/Transducers61432.2025.11111125

[7] Akihiko Yoshida, Ryosho Nakane, Shun Yasunaga, Akio Higo, and Yoshio Mita, "A Demonstration of Analog/Digital Converter-Free Reservoir Computing using A Series-Connected Resonating Switched MEMS Counter (Oral Presentation)," The 23rd International Conference on Solid-State Sensors and Actuators (TRANSDUCERS), T4B.04, 29 Jun - 3 Jul 2025, Orlando, FL, USA (2025.07.01) doi: 10.1109/Transducers61432.2025.11109173

[8] Ryohei Takahashi, Shun Yasunaga, Tetsuya Iizuka, Akio Higo, Ryosho Nakane, Motohiko Ezawa, and Yoshio Mita, "A 16 GHz Topological Electrical Circuit using Interchip Mutual Inductance Fabricated by Dual-Damascene Process," The 23rd International Conference on Solid-State Sensors and Actuators (TRANSDUCERS), T3P.088, 29 Jun - 3 Jul 2025, Orlando, FL, USA (2025.07.01) doi: 10.1109/Transducers61432.2025.11109994

[9] Koki Maekawa, Shun Yasunaga, Ryosho Nakane, Yoshio Mita, and Akio Higo, "Wavelength-Selective Waveguide Photodetector Utilizing Surface Plasmon Resonance," 2025 Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP), Split, Croatia (2025.06.04) doi: 10.1109/DTIP66728.2025.11099486

[10] Yoshio Mita, Ayako Mizushima, Noriko Kawai, Naonobu Shimamoto, "Micro Mushroom Plug and Receptacles for Reliable Chiplet Connection with Passive Alignment," 2025 Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP), Split, Croatia (2025.06.03) doi: 10.1109/DTIP66728.2025.11099116

[11] Ayako Mizushima, Naonobu Shimamoto, Etsuko Ohta, and Yoshio Mita, "Visualization of XeF2 Etching Rate for Dry Release Process," 2025 Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP), Split, Croatia (2025.06.02)

[12] Noriko Kawai, Tomoya Nakamura, Etsuko Ohta, and Yoshio Mita, "Hat and Skirt dual sacrificial layers for damageless Metal High Aspect Ratio Nano Structure," 2025 Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP), Split, Croatia (2025.06.02) doi: 10.1109/DTIP66728.2025.11099320

[13] Ayako Mizushima, Atsushi Toyokura, Shun Yasunaga, Yurie Inoue, Makoto Fujiwara, Tomoki Sawamura, Mitsuhiro Yoda, Yukinori Ochiai, and Yoshio Mita, "How to manage sputtering targets worn-out in open platform?," 4th European Nanofabrication Research Infrastructure Symposium (ENRIS 2025), Session P04, Bologna, Italy (2025.05.14)

[14] David Bourrier, Amel Beghersa, Noriko Kawai, Ayako Mizushima, Shun Yasunaga, Etsuko Ota, Naonobu Shimamoto, Yoshio Mita, Hugues Granier, "Electroplating deposition from sub-millimetric to sub-micronic scale using the same tool and bath

while maintaining good plating distribution," 4th European Nanofabrication Research Infrastructure Symposium (ENRIS 2025), Session P13, Bologna, Italy (2025.05.14)

[15] Amel Beghersa, Noriko Kawai, Ayako Mizushima, David Bourrier, Etsuko Ota, Yoshio Mita, Hugues Granier, "How an international engineers exchange brings to a successful process/project," 4th European Nanofabrication Research Infrastructure Symposium (ENRIS 2025), Session 3.4, Bologna, Italy (2025.05.14)

[16] Noriko Kawai, Ayako Mizushima, David Bourrier, Mathieu Arribat, Yurie Inoue, Makoto Fujiwara, Amel Beghersa, Hugues Granier, Yukinori Ochiai, Yoshio Mita, "Opportunities and Challenges towards Portable Nanotechnology Processes over Open Facilities," 4th European Nanofabrication Research Infrastructure Symposium (ENRIS 2025), Session 3.3, Bologna, Italy (2025.05.14)

[17] Etsuko Ota, David Bourrier, Eric Imbernon, Amel Beghersa, Hugues Granier, Ayako Mizushima, Noriko Kawai, Naonobu Shimamoto, Yukinori Ochiai, Yoshio Mita, "Quantitative Contamination Evaluation Framework Demonstrated for International Open Platform Process Cascading," 4th European Nanofabrication Research Infrastructure Symposium (ENRIS 2025), Session 2.3, Bologna, Italy (2025.05.13)

[18] Masato Goto, Ibuki Sugiyama, Junichiro Kadomoto, Hidetsugu Irie, Yoshio Mita, "ReconSkin: Shape-Configurable Robotic Skin Utilizing Wireless Networked Sensor Nodes," CHI EA '25: Proceedings of the Extended Abstracts of the CHI Conference on Human Factors in Computing Systems, Article No.: 742, Pages 1-5, doi: 10.1145/3706599.3721189 (2025.04.11)

その他の講演・シンポジウム

[1] 三田 吉郎,「半導体とナノテクノロジー(招待講演)」, かわさき市民アカデミー SDGsと環境・みどり・防災 (2025.11.20)

[2] 河井 哲子, 中村 友哉, 太田 悦子, 吉田 安紀彦, 三田 吉郎,「ハット&スカート犠牲層を用いた高アスペクト比金属ナノ構造めっきプロセス(ポスター)」, 第42回「センサ・マイクロマシンと応用システム」シンポジウム, 宇都宮 (2025.11.12)

[3] 廣安 幸志郎, 安永 竣, Gilgueng Hwang, 中根 了昌, 肥後 昭男, 三田 吉郎,「相転移する温度応答性高分子表面の液体ごとの接触角制御性評価(ポスター)」, 第42回「センサ・マイクロマシンと応用システム」シンポジウム, 宇都宮 (2025.11.12)

[4] 水島 彩子, 島本 直伸, 太田 悦子, 三田 吉郎,「シリコン犠牲層のXeF2リリースエッチングレート可視化のためのテスト構造(ポスター)」, 第42回「センサ・マイクロマシンと応用システム」シンポジウム, 宇都宮 (2025.11.12)

[5] 前川 浩紀, 安永 竣, 中根 了昌, 三田 吉郎, 肥後 昭男,「波長選択性を持つ導波路型プラズモニックフォトディテクタ(ポスター)」, 第42回「センサ・マイクロマシンと応用システム」シンポジウム, 宇都宮 (2025.11.11)

[6] 髙橋 遼平, 安永 竣, 飯塚 哲也, 肥後 昭男, 中根 了昌, 江澤 雅彦, 三田 吉郎,「チップ間相互インダクタンスを用いた16GHzトポロジカル電気回路のデュアルダマシン手法による実現(ポスター)」, 第42回「センサ・マイクロマシンと応用システム」シンポジウム, 宇都宮 (2025.11.11)

[7] 安永 竣, 三田 吉郎,「六箇所安定構造を有する面内駆動マイクロステージ(口頭)」, 第42回「センサ・マイクロマシンと応用システム」シンポジウム, 宇都宮 (2025.11.11)

[8] 吉田 安紀彦, 中根 了昌, 安永 竣, 肥後 昭男, 三田 吉郎,「接触スイッチとカウンターによるADCレスMEMS共振子リザバーコンピューティング(口頭)」, 第42回「センサ・マイクロマシンと応用システム」シンポジウム, 宇都宮 (2025.11.10)

[9] 「チップレット時代を見据えたオープンプラットフォームにおける微細加工技術(招待講演)」, 日本実装技術振興協会第232回定例講演会, 川崎市産業振興会館第 1 会議室, 川崎市(神奈川県)(2025.05.22)

4.5 特許, 受賞等

飯塚研究室

特許

[1] 宮武 悠人, 石原 亨, 肥後 昭男, 飯塚 哲也, “RFフロントエンド回路,” 特願2025-282914.

[2] 25飯塚 哲也, 加納 創太, 宇佐美 尚人, “高周波集積回路および深宇宙探査機,” 特願2025-245222.

受賞

[1] 令和7年度 工学部長賞, 市川 格, 2026年3月.

[2] IEEE Solid-State Circuits Society Student Travel Grant Award, Ritaro Takenaka, Feb. 2026.

[3] 第24回 2025年IEEE EDS Student Award (VLSI), 竹中 理太郎, “A 76.5-dB Dynamic-Range 8-bit 100-MS/s Variable-Range SAR ADC” and “An 11.9-ENOB 560-MS/s Subranging ADC Employing Amplifier-Switching Architecture with Multi-Threshold Comparators,” 2026年2月.

[4] 第15回 d.lab-VDECデザインアワード 奨励賞, 王 錫明, “サンプリング雑音キャンセル機構を備えた高速セルフクエンチング型FIAによる離散時間ΔΣADCの設計,” 2025年9月.

[5] 優秀ポスター賞(学生部門), 大西 啓介, 加納 創太, 宇佐美 尚人, 飯塚 哲也, “深宇宙探査機向けワンチップ無線通信機における電圧制御発振器の放射線耐性向上手法の検討,” 電子情報通信学会 LSIとシステムのワークショップ2025, 2025年5月.

その他，特記事項

なし

池田研究室

特許

[1] 宮武悠人, 石原亨, 肥後昭男, 飯塚哲也, "RFフロントエンド回路," 特願2025-282914.

受賞

[1] IEEE SSCS Japan Chapter Award, 中村孔星,「耐量子計算機暗号に向けた同種写像演算におけるFPGAアクセラレーション」, 2025年5月

[2] 東京大学工学部電気電子工学科優秀卒業論文賞/学科長特別賞, 中川智文, 2026年3月

[3] SSDM Young Researcher Award, Yuto Miyatake, “Experimental Demonstration of Compact, Low-loss, and Broadband 2×2 Si Optical Coupler Designed by CMA-ES,” Sep. 2025.

[4] 第49回丹羽保次郎記念論文賞, 宮武 悠人, “Photonic Matrix-Vector Multiplication With Low-Insertion-Loss and Non-Volatile $Ge_2Sb_2Te_3S_2$ Intensity Modulators,” 2026年2月

[5] 第47回応用物理学会論文奨励賞, 宮武 悠人, “Compact, low-loss, and broadband 2 × 2 Si optical coupler designed by covariance matrix adaptation evolution strategy,” 2026年3月

その他，特記事項

なし

内田研究室

受賞

[1] 吉永啓人, 第59回（2025年秋季）応用物理学会講演奨励賞,「CMOS応用に向けた高不純物濃度Siの極低温伝導度モデリング」

特許

なし

その他，特記事項

なし

小菅研究室

特許

なし

受賞

なし

その他，特記事項

なし

染谷・横田研究室

特許

なし

受賞

[1] 粟倉幸，第59回（2025年秋季）応用物理学会講演奨励賞，応用物理学会，2025年9月

[2] 阿部大和，生体医工学シンポジウム2025　ポスターアワード，公益社団法人 日本生体医工学会，2025年9月

[3] 染谷隆夫，高被引用論文著者，Clarivate Highly Cited Researchers 2025，クラリベイト・アナリティクス（Clarivate Analytics）社，2025年11月

[4] 横田知之，高被引用論文著者，Clarivate Highly Cited Researchers 2025，クラリベイト・アナリティクス（Clarivate Analytics）社，2025年11月

[5] 按田智大，小泉真理，山岸健人，横田知之，染谷隆夫，Best Paper Award," Flexible Organic Photodetector Capable of Multimodal Detection of Light and Strain with Periodic Buckling", The 32nd International Display Workshops (IDW' 25), 2025年12月

その他，特記事項

なし

竹内研究室

特許

なし

受賞

[1] デザインガイア優秀ポスター賞, "TaOx ReRAMを用いたアナログComputation-in-Memoryにおける10年にわたる長期データ保持を実現する推論精度補償手法"

その他，特記事項

なし

竹中研究室

特許

[1] 糟谷 直孝, 小松 憲人, 竹中 充,「光変調器および光変調器の製造方法」特願2026-025606, 出願日：2026/2/19.

[2] 竹中充，作本宙彌,「光変調器」特願2026-030834，出願日：2026/2/27.

受賞等

[1] 第17回シリコンテクノロジー分科会論文賞受賞（2026年3月16日）竹中　充

[2] Japan/Taiwan joint workshop on Silicon Photonics Best Student Poster Award（2026年3月2日）赤澤 智熙

[3] 第24回IEEE EDS Japan Joint Chapter Student Award（2026年2月10日）赤澤　智熙

トープサートポン研究室

受賞等

[1] 第17回 応用物理学会シリコンテクノロジー分科会論文賞，陳家驄，韓雪揚，隅田圭，トープラサートポン カシディット，竹中 充，高木 信一

[2] 第29回 丸文研究奨励賞，トープラサートポン カシディット

[3] 第24回IEEE EDS Japan Joint Chapter Student Award, 伊藤 広恭

[4] 2025 IWDTF Young Researcher Award, 松川 浩之

[5] International Conference on Solid State Devices and Materials (SSDM) 2024 Best Student Award (BSA), 韓 雪揚

中村研究室

特許，受賞等

[1] SICE優秀学生賞, 小野悠太2026年3月

[2] 2025年度AIPチャレンジ ラボ長賞, 野崎愛, 2026年3月

[3] 情報理工学系研究科長賞, 宮城竜大, 2026年3月

[4] SWEST27 ベストポスターシルバー賞, Hidehiro Urase, 2025年8月

[5] 情報処理学会コンピュータサイエンス領域奨励賞「変分量子アルゴリズム向け極低温SFQアーキテクチャ」上野洋典, 2025年8月

[6] 情報処理学会ARC研究会 若手奨励賞「AMD AI Engineによる数論変換のアクセラレーションの検討」, 野崎愛, 2025年8月

平本・小林研究室

特許

国内特許
題目：ゲートオールアラウンド型ナノシート酸化物半導体トランジスタの製法
発明者・発案者名：小林正治，Anlan Chen，Ki-woong Park，坂井洸太
番号(出願番号/公開番号)：特願2025-063947
年月日：2025年4月8日

国内特許
題目：IGZTO-FET とその製法
発明者・発案者名：小林正治，Sunghun Kim
番号(出願番号/公開番号)：特願2025-094267
年月日：2022年6月5日

国内特許
題目：半導体装置
発明者・発案者名：平本俊郎，更屋拓哉，竹内　潔，伊藤一夫，高倉俊彦，福井宗利，鈴木慎一，末代知子，佐藤克己
番号(出願番号/公開番号)：特願2020-202329 / 特許第7722648号
年月日：2020年12月4日 / 2025年8月4日

国内/国際特許
題目：不揮発性記憶装置
発明者・発案者名：小林正治，李卓，平本俊郎
番号(出願番号/公開番号)：特願2022-149329（優先権出願）/ US12453103
年月日：2022年9月20日 / 2025年10月21日

国際特許
題目：非揮發性記憶體裝置
発明者・発案者名：小林正治，莫非，平本俊郎
番号(出願番号/公開番号)：台湾110145241 / I904291
年月日：2022年3月30日 / 2025年11月19日

国内特許
題目：絶縁ゲート型半導体装置
発明者・発案者名：平本俊郎，櫛田知義
番号(出願番号/公開番号)：特願2021-166487 / 特許第7780770号
年月日：2021年9月8日 / 2025年11月27日

受賞
氏名：Anlan Chen, Ki-woong Park, and Kota Sakai
受賞名（機関・団体名）：IEEE EDS Japan Joint Chapter Student Award (IEEE Japan Joint Chapter)
授与機関・団体：IEEE EDS Japan Joint Chapter
受賞対象の研究題目：A Gate-All-Around Nanosheet Oxide Semiconductor Transistor by Selective Crystallization of InGaOx for Performance and Reliability Enhancement
受賞年月日：2026年2月10日

氏名：Xingyu Huang
受賞名（機関・団体名）：IEEE EDS Japan Joint Chapter Student Award (IEEE Japan Joint Chapter)
授与機関・団体：IEEE EDS Japan Joint Chapter
受賞対象の研究題目：On the Statistical Variability of High-Performance Crystalline InGaOx Nanosheet Oxide Semiconductor FETs
受賞年月日：2026年2月10日

その他，特記事項

なし

三田研究室

受賞

[1] 令和7年度　工学部長賞（研究）・優秀卒業論文賞，小林亮太
"MEMSイジングマシン応用に向けたポテンシャルエネルギー制御可能な双安定機構の試作

と評価", 卒業論文2026年3月

[2] 令和7年度 優秀修士論文賞, 髙橋遼平
"磁気結合を用いたSHF帯トポロジカル電気回路の双安定MEMSによる状態制御", 修士論文2026年3月

[3] 電気学会優秀論文発表賞, 島村龍伍
"ナノスパイアを用いた絶縁層貫通式接続機構の実現", 25P2-M-3, Apr. 1. 2025

Appendix

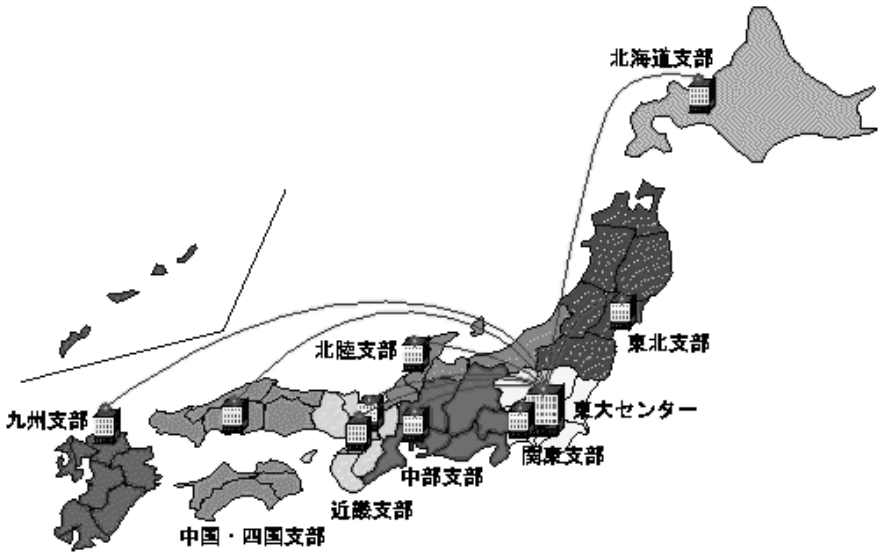
A.1　ＣＡＤソフトウェアの整備

1996年度から整備を行っているCAD ソフトウエアは，2026年度は表A.1.1に示すツール群を全国の大学に提供している．CADソフトウエアの利用は，図A.1.1に示す全国地域拠点校10 箇所にライセンスサーバを設置し，全国各大学の利用者が手許の計算機にインストールしたCAD ソフトウエアを，最寄のライセンスサーバにおいて認証を行うことで，ネットワークを利用した運用形態となっている．ライセンス数はCADの項目ごとに10 から1000 程度のフローティングライセンスとなっており，全国の国・公・私立大学・高専において教育・研究目的に限り利用できるようになっている．

東京大学VDEC活動を通したVDEC のCAD の利用，および「A.2章 」のチップ試作の利用のためには，あらかじめユーザ登録が必要となっている．

表A.1.1　導入されたCADシステム

名称	用途	メーカ
Cadence 社設計システム	VerilogHDL/VHDL ベースの入力，シミュレーション，論理合成，テスト生成，マクロセルを含むセルベースの配置配線とバックアノテーション，会話型の回路図およびマスクレイアウト入力，アナログ機能・回路シミュレーション，設計検証，回路抽出	Cadence Design Systems, Inc.
Synopsys 社設計システム	VerilogHDL/VHDL シミュレーション，論理合成，テスト生成．マクロセルを含むセルベースの配置配線設計とバックアノテーション，回路シミュレーション，デバイスシミュレーション	Synopsys, Inc.
Siemens社設計ツール	レイアウトのデザインルールチェック及び検証	Siemens Electronic Design Automation Japan K.K.
Silvaco社設計ツール	高速回路シミュレーション	Silvaco Japan Co., Ltd.
LAVIS	レイアウト表示プラットフォーム	TOOL



図A.1.1　全国地域拠点校

A.2　基盤設計研究部門におけるチップ試作支援の実施状況

VLSIチップ試作支援については，パイロットプロジェクト（1994〜1995年度）では，ファウンドリはNEL社のCMOS 0.5 μmプロセス（当該プロセスはその後，日立北海セミコンダクタ社に継承）1社のみであった．その後，1996年度のVDEC発足に伴い，日本モトローラ社のCMOS 1.2 μmプロセス（1999年度以降はオン・セミコンダクターにより継続）の協力が開始され，さらに1997年度からはローム社のCMOS 0.6 μmプロセスが加わった．

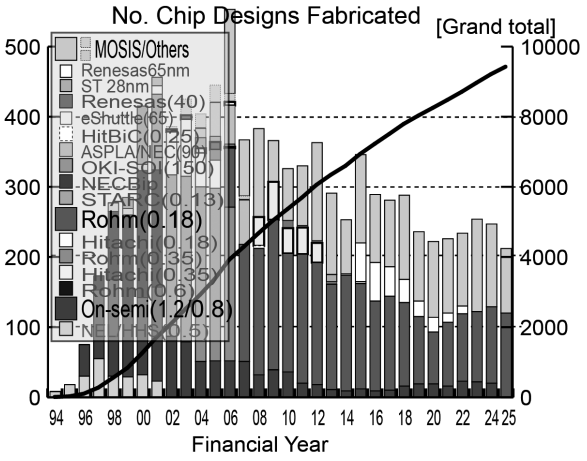
さらに，1998年度には日立製作所のCMOS 0.35 μmプロセス，1999年度にはローム社のCMOS 0.35 μmプロセスがそれぞれ追加された．また，IP開発プロジェクトの一環として，STARC 0.13 μmプロセスによる試作も実施した．2001年度からは，日立製作所のCMOS 0.18 μmプロセスによるサービスを開始した．

2002年度には，広島大学岩田教授の主導のもと，VDECとMOSISの協力による試作サービスを試験的に実施した．これは，TSMCやIBMなどの海外ファウンドリをMOSIS経由で低コストに利用可能とするものであった．さらに，東京大学柴田教授の主導により，NEC化合物デバイス株式会社によるバイポーラLSI試作サービスも実施した．

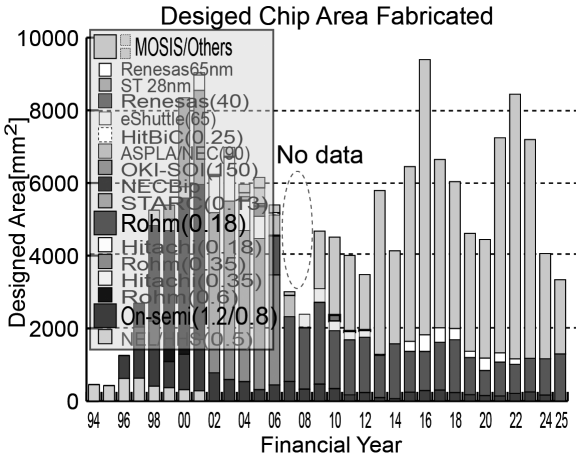
2004年度からはテスト試作として沖電気工業株式会社のCMOS SOI 0.15 μmプロセスおよびASPLA 90 nmプロセスを導入した．90 nm試作については，2005年度より公募型の定常試作として運用した．2006年度にはローム社のCMOS 0.18 μm試作を開始するとともに，日立製作所の0.25 μm SiGe BiCMOSプロセスのテスト試作を実施した．

2007年度には，終了予定であった90 nm CMOS試作の後継となる先端プロセスについて検討を開始し，2008年度からeShuttle社による65 nm CMOS試作を開始した．さらに，経済産業省・STARCによる「次世代半導体回路アーキテクチャ実用化支援事業」の一環として，ルネサスエレクトロニクス社の40 nm CMOSプロセスによる試作を開始した．

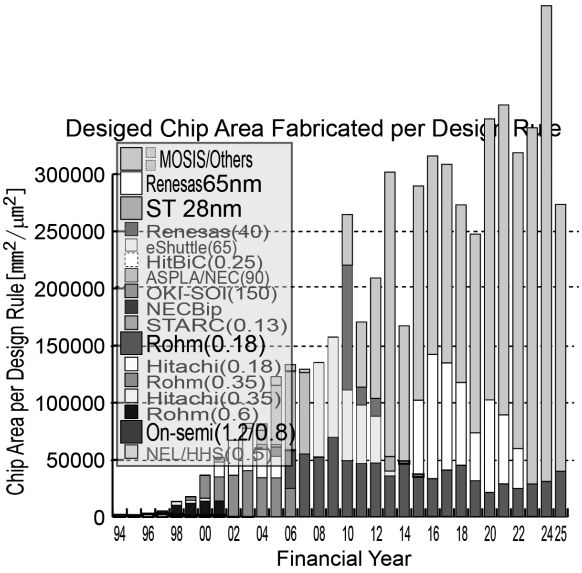
一方で，2011年9月試作をもってCMOS 1.2 μmプロセスを終了した．また，2012年度末をもってルネサスエレクトロニクス社の40 nm CMOS試作が終了し，2013年8月シャトルをもってeShuttle社の65 nm CMOS試作も終了した．CMOS 1.2 μmプロセスの後継として，オンセミコンダクター三洋半導体製造株式会社（現JS Foundry）の協力により，2012年10月にCMOS 0.8 μm



(a) 設計チップ品種数



(b) 設計チップ面積



(c) 規格化した設計チップ面積

図A.2.1　チップ試作数・面積推移

プロセスのテスト試作を実施し，2013年度以降は定常試作として継続してきたが，2025年3月試作をもって終了した．

最先端プロセス試作としては，2013年度からフランスCMPを介したSTMicroelectronics社のFD-SOI 28 nm CMOS試作を開始した．また，2015年度からは定常試作としてルネサスエレクトロニクス社のSOTB 65 nm CMOS試作を開始し，2022年7月試作をもって終了した．さらに，2016年度にはリコー電子デバイス株式会社によるCMOS 0.6 μm高耐圧プロセスおよび三重富士通セミコンダクター株式会社による40 nm CMOS試作の検討を開始した．

2020年度には，ドイツIHPとの協定に基づきBiCMOS 0.18 μmプロセス試作の検討を開始した．2021年度には初回テープアウトを実施したが，2025年3月をもって本活動を中断している．

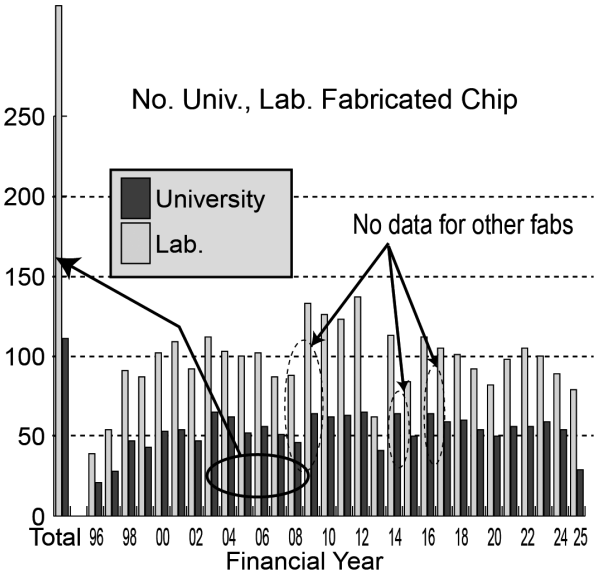
図A.2.1（a）に設計チップ品種数の推移を示す．図中の棒グラフは試作品種数の推移を示しており，VLSI試作に直接携わった学生数の増加を反映しているものと考えられる．このことから，VDECによる研究・教育効果が大きく向上したことがうかがえる．

試作品種数は2002年度に一時的に減少しているが，これはローム社による0.6 μmプロセス試作の終了が影響したものと考えられる．その後は概ね年間400品種程度で推移しているが，試作の中心がより微細なプロセスへ移行していることが読み取れる．また，2006年度に0.35 μmプロセスが終了し，2007年度以降0.18 μmプロセスへ移行したことにより，試作品種数は約130件減少した．さらに，ASPLA 90 nm CMOS試作の終了およびeShuttle 65 nm CMOS試作への移行に伴い，試作件数の減少がみられる．

この減少傾向は試作面積においてさらに顕著である．プロセスの微細化による集積度向上の影響もあり，試作面積は大幅に減少している．図A.2.1（b）に設計チップ面積を示す．また，設計量の指標として，各試作プロセスの最小寸法で規格化した規格化試作面積を図A.2.1（c）に示す．規格化試作面積は依然として増加傾向にあることから，プロセス微細化に伴うチップ当たりおよび単位面積当たりの設計工数の増加が，試作品種数および試作面積減少の主因であると考えられる．

また，図A.2.2に，これまでに試作へ参加した教員数および大学数の推移と累計値を示す．チップ試作に必要な設計規則など，ファウンドリ固有の機密情報へアクセスするための機密保持契約（NDA）締結教員数は，ローム0.18 μmプロセスにおいて306名となっている．

2025年度は，表A.2.1に示す日程でチップ試作を実施した．試作参加者および試作内容の詳細については，付録B「チップ試作報告」を参照されたい．



図A.2.2　VDECチップ試作参加教員数・大学数の推移とその累計

表A.2.1　2025年度チップ試作日程

CMOS 0.18um（ローム）

	試作申込締切	設計締切	納品・試作完了
2025年度第1回 （2025年7月試作）	2025/3/31	2025/6/23	2025/10/10
2025年度第2回 （2025年9月試作）	2025/6/2	2025/8/25	2025/12/5
2025年度第3回 （2025年11月試作）	2025/7/28	2025/10/20	2026/2/13
2025年度第4回 （2026年3月試作）	2025/12/8	2026/2/24	2026/6/12

A.3　セミナー

LSI設計技術の向上にはセミナーは欠くことができない存在である．令和7年度にも，CAD利用のための技術セミナーとVLSI設計に関する知識・技術の習得を目的としたリフレッシュセミナーを開催した．加えて，若手教官・学生のためのデザイナーズフォーラムを企画，実施した．

A.3.1　VDECユーザ向けCADセミナー

CAD技術セミナーへの参加要望は常に非常に大きく，これはCAD技術セミナーに対する需要が依然として大きなことを表しており，VDECはこの状況に対応し，大規模なCAD技術セミナー開催の仕組みの整備を行ってきた．CAD利用のための技術セミナーでは，VDECで使用可能なCadence，Synopsys，KeysightなどCADベンダーのそれぞれのCADツールの操作方法等を各ツールベンダーから講師を派遣していただき，講習を行っている．教員・学生は本講習会を通して最新版CADツールの使用方法やVDECライブラリを用いたVLSI設計フローを修得している．

表A.3.1　令和7年度CAD技術セミナー開催状況

第1回CAD講習会

日程	夏の講習会	開催形態	申込人数	参加人数
9/1	Cadence Virtuoso Schematic Editor	オンライン	31	20
9/3	Cadence Virtuoso ADE	オンライン	20	20
9/12	Cadence Virtuoso Layout Editor	オンライン	19	19
9/29	Keysight ADS Momentum	オンライン	13	13
9/30	Synopsys Custom Compiler	オンライン	13	13

第2回CAD講習会

日程	冬の講習会	開催形態	申込人数	参加人数
3/19	Cadence Innovus Digital Implementation System	オンライン	31	26
3/24	Cadence Virtuoso Layout Editor GXL	オンライン	70	58
3/27	Cadence Clarity 3D Solver	オンライン	16	8
3/6-31	Synopsys Fusion Compiler（FC）	オンデマンド	40	---
3/6-31	Synopsys Design Compiler（DC）	オンデマンド	57	---
3/6-31	Synopsys IC Compiler II（ICC2）	オンデマンド	55	---
3/6-31	Synopsys Sentaurus Basic & Post Basic	オンデマンド	28	---
3/25	Synopsys DC, ICC2, FC & Q&A	オンライン	14	7
3/31	Synopsys Custom Compiler	オンライン	27	13

A.3.2　社会人・大学向けリフレッシュセミナー

今年も集積回路産業に携わる職業人を対象にリフレッシュ教育としてVLSI設計に関する最新かつ高度の知識・技術の習得を目的として，社会人向けの「VLSI設計リフレッシュセミナー」を拠点大学教官および企業の第一線の設計者を講師に招き開催した（表A.3.2）．

このセミナーは主に社会人を対象として，演習を伴う最新のVLSI設計技術の実践的教育を行うもので，平成10年度に文部省専門教育課の支援のもとでスタートしたが，日本応用物理学会，情報処理学会，電子情報通信学会，IEEE Solid-State Circuits Society（Japan Chapter, Kansai Chapter）の協賛をあわせて得ることができ，現在も効果的で充実したプログラムを展開している．今回は新たにAX1，AX2，KMの3コースも追加し，大変効果的で有意義なセミナーとなった．

表A.3.2　令和7年度リフレッシュセミナー開催状況

日程	コース	内容	講師	申込人数
7/14, 15, 16	AX1：Agile-X環境での設計講習会	Agile-Chipの設計，レイアウト，マスクレスリソグラフによる加工を実際に設計製造演習	天野 英晴（東京大学）	6
7/29, 30	AX2：Agile-X環境での試作・評価講習会	設計したAgile-Chipをパッケージに封入し評価実習	天野 英晴（東京大学）	5
8/18, 19, 20	A：アナログ集積回路設計と演習	回路設計，回路シミュレーション，アナログ集積回路の特徴と役割，レイアウト設計（DRC,LVS）	杉本 泰博（中央大学） 飯塚 哲也（東京大学）	23
8/21	F1：SystemVerilogを用いたFPGA設計講習会（初級者向け）	SystemVerilogの基礎，FPGAボードへのデジタル回路の実装	小林 和淑 （京都工芸繊維大学） 寺澤 真一 （立命館大学）	7
8/22	F2：SystemVerilogを用いたFPGA設計講習会（中級者向け）	SystemVerilogを使って，スロットマシンをFPGAボード上に実装	塩見 準（大阪大学）	5
9/4, 5	VT：d.lab-VDEC 環境でのトランジスタレベル設計	VDEC連携提供したツールとプロセスでのカスタマイズ設計フロー	名倉 徹（福岡大学）	7
9/8, 9	M1：MEMS設計演習コース	MEMSの基礎，電子回路との融合・統合シミュレーション，レイアウト設計実習（CADアートワーク）	三田 吉郎（東京大学）	6
9/10, 11, 12	M2：MEMS設計試作コース	面内心同型のMEMSマイクロアクチュエータ素子設計，武田先端知＜クラス1＞スーパークリーンルームでの試作，測定	三田 吉郎（東京大学）	6
9/16, 17, 18	KM：キーサイト・テクノロジー 高周波計測技術	高周波 シミュレータを用いたフィルタ製作やアンプ製作を通して，理論から計測を学ぶ	キーサイト・テクノロジー社	25
9/24, 25	VD：d.lab-VDEC 環境でのデジタル設計講習会	VDEC連携提供したツールとプロセスでのデジタル設計フロー	岸田 亮 （富山県立大学） 西澤真一（広島大学）	11

A.3.3　大学向けデザイナーズフォーラム

学生および若手研究者を対象としたVDEC LSI デザイナーズフォーラム（VDEC Designers Forum）を開催している．VDEC LSI デザイナーズフォーラムは，LSI設計者が，互いの研究成果だけではなく，チップ設計で苦労した点，失敗事例と解決策，研究室に於ける設計環境の構築法など，通常の研究会や学会などでは得ることのできない情報を共有し，大学または研究室の枠を越えて研究者が連携を深めることを目的としている．今回もメイン会場とのハイブリッド開催となった．

表A.3.3　令和7年度デザイナーズフォーラム・プログラム

1日目（9/26）

12:30 - 13:40	会場受付
13:40 – 13:50	開会 挨拶・趣旨の紹介　（東京大学 d.lab-VDEC　池田 誠 教授）
13:50 – 14:30	基調講演1：浅見 幸司（東京大学）「Introduction of DSP-Based Testing」
14:30 – 14:40	休憩
14:40 – 15:40	d.lab-VDECデザインアワード発表会1
15:40 – 15:50	休憩
15:50 – 17:30	d.lab-VDECデザインアワード発表会2

2日目（9/27）

09:00 - 10:15	アイデアコンテスト部門発表会
10:15 – 10:30	休憩
10:30 – 11:10	基調講演2：新田 高庸（会津大学）「映像符号化実現技術とその応用」
11:10 – 11:30	アイデアコンテスト表彰式 デザインアワード表彰式 IEEE SSCS Japan Chapter賞授与式 閉会　挨拶

A.4　VDEC発ベンチャー

VDECでの設計/試作経験，人材育成が有効には機能した事例といたしまして，VDECと関連があった（ある）教員が起業したベンチャー企業のリスト（順不同）を以下に示します．

[1] エイ・アイ・エル株式会社　（http://www.ailabo.co.jp/）
代表の先生：　神戸大学　瀧 和男 教授　（同社，代表取締役社長）
事 業 内 容：　(1) LSI設計受託開発・
(2) エンジニア派遣
(3) 人材の紹介
(4) 経営コンサルティング業務

[2] 株式会社シンセシス
（2017年7月1日に株式会社ソリトンシステムズと合併，https://www.soliton.co.jp）
代表の先生：　大阪大学　白川 功 名誉教授　（同社，取締役）
事 業 内 容：　(1) システムLSI開発・設計受託
(2) IP開発及び販売
(3) システムソリューション提供
(4) 設計支援ツール開発及び販売

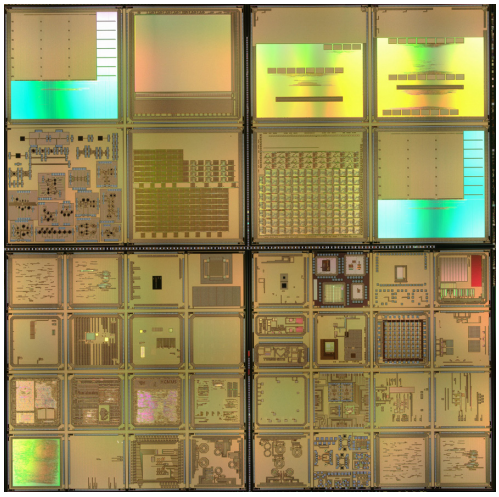
[3]エイシップ・ソリューションズ株式会社　（https://asip-solutions.com/）
代表の先生：　大阪大学　今井 正治 教授　（同社，代表取締役 CTO）
事 業 内 容：　(1) IoT応用システムの研究，開発，教育およびコンサルテーション
(2) ASIP設計ツールの販売，ASIP開発のコンサルテーション

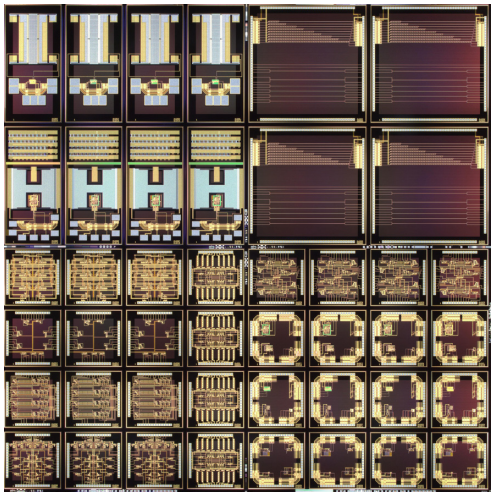
[4] 株式会社ナノデザイン　（http://www.nanodesign.co.jp/）
代表の先生：九州工業大学　中村 和之 教授　（同社，代表取締役）
事 業 内 容：　(1) 大規模半導体集積回路（LSI）の設計・開発
(2) LSI設計用CAD，及びLSI評価用装置の開発
(3) 設計コンサルティング，他

[5] 株式会社エイアールテック　（http://www. a-r-tec.jp/）
代表の先生：広島大学　岩田 穆 名誉教授　（同社，代表取締役）
事 業 内 容　：(1) アナログ回路設計・測定
(2) 基板雑音解析
(3) 人材育成やOJT，講習会

[6] 有限会社 石島電子技研　（http://ishi.main.jp/）
事 業 内 容：　(1) 電子回路・基板開発
(2) ソフトウエア開発
(3) コンサルティング

B. チップ試作結果報告





B.1　試作ラン別一覧

令和6年度第2回オンセミコンダクター―三洋 CMOS 0.8um 試作

題　名	大　学　名	研　究　者	掲載頁
全差動CV変換回路の試作とMEMS加速度センサTEG	東京電機大学大学院工学研究科 東京電機大学工学部	三瓶 智矢 小松 聡	120
静電容量式CMOS-MEMS加速度センサと読み出し回路の面積効率改善	東京電機大学工学部	角田 蒼空, 小松 聡	120
静電容量式CMOS-MEMS加速度センサと読み出し回路の集積	東京電機大学工学部	三瓶 智矢, 小松 聡	120
三次元積層LSI・Siインターポーザにおける RF クロストーク評価用テストチップ	熊本大学 広島大学	大川猛, 青柳昌宏, 岡本 虹太朗、川元 洋征 久保木猛	121
筋骨格を模倣したネズミ型ロボット用ニューロモルフィック集積回路	日本大学理工学部	安田 祐希, LYU SHUXIN, 齊藤 健	121
光刺激に応じて停止・方向転換が可能なニューロモルフィック集積回路	日本大学理工学部	村本 大和, QI YIMING, LYU SHUXIN, 齊藤 健	121
弱く結合したニューロモルフィック 集積回路	日本大学理工学研究科	崔 峻豪	122
筋骨格を模倣して脚部に人工筋肉ワイヤを搭載したネズミ型ロボット用ニューロモルフィック集積回路TEGチップ	日本大学理工学部	安田 祐希, LYU SHUXIN, 齊藤 健	122
筋骨格ヒューマノイドのためのBrainチップ	日本大学理工学部	國分 優剛, 金子 美泉	122
筋骨格ヒューマノイドのためのSpinal-cordチップ	日本大学理工学部	國分 優剛, 金子 美泉	123

令和6年度第4回ローム CMOS 0.18um 試作

題　名	大　学　名	研　究　者	掲載頁
環境発電動作に向けた低消費電力な基準電圧源回路の試作	東京電機大学工学部	山崎 悠真, 小松 聡	124
水道，ガス流量計	信州大学大学院総合理工学研究科 工学部	尾田 準平, 松尾 直哉 上口 光	124
6-bit Interpolating Flash ADC，自己同期3線3相インターフェース回路，10-bit Pipeline ADC，温度センサ	芝浦工業大学工学部	佐々木 昌浩, 細田 稀石, 金杉 隆広, 佐藤 祥馬, 金森 嵩天	124
様々なアナログ回路の入出力特性を測定可能なCMOSイメージセンサ	東京理科大学大学院工学研究科	荒谷 智広	125
心電図自動診断補助用ICと電圧制御発振器とオペアンプとCPGモデル	日本大学理工学部	佐伯 勝敏, 飯泉 裕陽, 南部 祐紀, 望月 卓磨, 内藤 義翔	125
自由課題によるチップ試作	福岡大学工学部	名倉 徹	125
筋電測定用計装アンプ	福岡大学工学部	名倉 徹 根〆 淳太	126
Rocket RV64IMAC RISC-V SoC with Tightly-Coupled NTT Accelerator	電気通信大学情報・ネットワーク工学専攻	Dam Duc-Thuan, Pham Cong-Kha	126
Wide-Tuning Current-Starved Ring VCO - Dynamic AES Encryption Engine	電気通信大学情報・ネットワーク工学専攻	Nguyen Thi-Viet-Ha, Tran Thai-Ha, Pham Cong-Kha	126
画素トランジスタと積分型A/D変換器を一体化した読み出し回路	立命館大学大学院理工学研究科	岡田 虹輝, 大倉 俊介	127
4択バンディット問題のアナログ学習回路	明治大学理工学部 明治大学理工学研究科	和田 和千 森 光平	127
帯域幅・中心周波数可変1次複素フィルタ回路	明治大学理工学部	和田 和千, 天野 悠真	127
医用超音波用可変帯域フィルタほか	慶應義塾大学理工学部 慶應義塾大学理工学研究科	中野 誠彦 森 瑞紀, 永田 智考, 赤羽根 遼, Sala Alvaro	128
高昇圧DC-DCコンバータ用制御IC	東京工芸大学工学部	崔 通, 橋元 啓輔, CHEN ZHIXUAN	128
低電源電圧で動作するOTA	埼玉工業大学工学部	吉澤 浩和	128
CHIFAJA A 180-nm Class-C PLL Test Chip for GHz-Band Clock Generation and Component-Level Radiation Sensitivity Analysis	京都大学情報学研究科	Cheng Quan, 橋本 昌宜	129
低電圧動作用P-HCNMの試作	日本大学理工学部	佐々木 芳樹	129
三次元積層LSI超並列TSVバス通信の電力評価チップ	熊本大学 広島大学	大川猛, 青柳昌宏, 汐田優斗, 渕野　翔 久保木猛	129
三次元積層LSI温度計測・オペアンプ基本回路テストチップ	熊本大学 広島大学	大川猛, 青柳昌宏, 中村 昌稀, 渕野　翔 久保木猛	130

令和7年度第1回ローム CMOS 0.18um 試作

題　名	大　学　名	研　究　者	掲載頁
MEMS触覚センサ用フロントエンド回路他	立命館大学情報理工学研究科	寺尾 大輝, 馬 宇生, 木村 知也, 越智 裕之	131

静電容量式3軸CMOS-MEMS加速度センサの設計試作	東京電機大学大学院工学研究科 東京電機大学工学部	三瓶 智矢 小松 聡	131
ToFセンサの集積化に向けたフォトダイオードのTEG	東京電機大学大学院工学研究科 東京電機大学工学部	松井 宏樹 小松 聡	131
超伝導任意波形発生器用波形メモリ他	横浜国立大学理工学府 横浜国立大学先端科学高等研究院	竹越 隆紀 吉川 信行	132
分散型構造の無段階加速度ランプ信号生成器を用いたシングルスロープADC搭載CMOSイメージセンサ	東京理科大学大学院工学研究科	迫田 隼人	132
高機能・高性能イメージセンサの実現に向けた要素回路検証用TEGチップ	東京理科大学大学院工学研究科	藤田 一槻	132
心電図自動診断補助用ICと周波数掃引発振器と電圧制御発振器とCPGモデルとニューロンモデル	日本大学理工学部	佐伯 勝敏, 山口 拓人, 南部 祐紀, 飯泉 裕陽, 内藤 義翔, 米川 尊	133
DCDLとPIを用いたTime-to-Digital変換回路チップ	富山県立大学工学部	吉河 武文, 小嶋 惟睦, 坂口 健心	133
DEMを用いたD/Aコンバータチップ	富山県立大学工学部	吉河 武文, 竹内 悠, 中村 巧未	133
においセンサ用アナログフロントエンドチップ	富山県立大学工学部	吉河 武文, 中村 巧未, 竹内 悠	134
耐放射線型イメージセンサの特性評価用TEG	茨城大学工学部	木村 孝之	134
暗電流が多いフォトダイオードで利用可能なフォトアンプの特性評価用TEG	茨城大学工学部	木村 孝之	134
細胞インピーダンス計測のためのアナログフロントエンド回路	立命館大学理工学部	大島 智也, 宇野 重康	135
Jitter-Based TRNG and Dynamic AES-128	電気通信大学情報・ネットワーク工学専攻	Tran Thai-Ha, Duong Phuc-Phan, Pham Cong-Kha	135
Adaptive Dual-Mode Fractional-N PLL	電気通信大学情報・ネットワーク工学専攻	Nguyen Thi-Viet-Ha, Pham Cong-Kha	135
Digital Spiking Neural Network Chip	The University of Science, Vietnam National University Ho Chi Minh City Faculty of Electronics and Telecommunications 電気通信大学情報・ネットワーク工学専攻	Le Duc-Hung Pham Cong-Kha	136
遅延故障およびIC間配線の検査用の各種検査容易化回路の試作	徳島大学大学院創成科学研究科理工学専攻 徳島大学大学院社会産業理工学研究部	鶴岡 蒼久, 藤野 泰弘, 南 柊哉, 山橋 湧也, 土井 翔平, 山根 杏太 四柳 浩之	136
三次元積層LSI超並列TSVバス通信テストチップ（上）	熊本大学半導体・デジタル研究教育機構 広島大学大学院先進理工系科学研究科 熊本大学大学院自然科学教育部	大川 猛, 青柳 昌宏 久保木 猛 汐田 優斗, 仙石 崇大, プラクストン 月海	136
三次元積層LSI超並列TSVバス通信テストチップ（下）	熊本大学半導体・デジタル研究教育機構 広島大学大学院先進理工系科学研究科 熊本大学大学院自然科学教育部	大川 猛, 青柳 昌宏 久保木 猛 汐田 優斗, 渕野 翔, 杉尾 茜	137
「FSK信号復調回路の前段部」	明治大学理工学部 明治大学理工学研究科	和田 和千 大手 直樹	137
熱電発電素子用の電源回路のアーキテクチャ検討	九州大学システム情報科学研究院	孫 世元, 矢嶋 赳彬	137
環境発電用電源回路の充電素子切替機構の検討	九州大学システム情報科学研究院	孫 世元, 矢嶋 赳彬	138
間欠動作に特化したADCアーキテクチャ検討	九州大学システム情報科学研究院	殷 浚航, 矢嶋 赳彬	138
生物を模倣した温度センサシート読み出し回路の試作	九州大学システム情報科学研究院	萱野 幸佑, 矢嶋 赳彬	138
イメージセンサ・6G FR3向けアナログ・高周波集積回路	東京理科大学大学院創域理工学研究科 東京理科大学創域理工学部	斧田 賢明, 齊藤 圭, 中澤 広樹, 横谷 希実 足立 萌美, 大立目 優与, 亀山 幹泰, 高野 恭弥	139
スプリアス低減機構付きFractional-N PLL, エラー検出機構内蔵CDR-PLLおよび発振器TEG	大阪工業大学大学院工学研究科電気電子機械工学専攻 大阪工業大学工学部電気電子システム工学科	喜多見 陸, 有馬 雄, 川崎 竜登, 閏 思宇 吉村 勉	139
PLL相互干渉ノイズ低減検証TEGおよび電磁波コントローラ内蔵PLL回路	大阪工業大学大学院工学研究科電気電子機械工学専攻 大阪工業大学工学部電気電子システム工学科	林 雅美, 川崎 竜登 吉村 勉	139

令和7年度度第2回ローム CMOS 0.18um 試作

題　名	大　学　名	研　究　者	掲載頁
MEMS触覚センサ用フロントエンド回路	立命館大学情報理工学研究科	寺尾 大輝, 木村 知也, 越智 裕之	140
適応型CMCPを用いた2電極心電信号増幅回路の試作	山梨大学工学部	ナトー マルカスエンゾ, 岡部 杏夏, 藤田 誉大, 佐藤 隆英	140
負性容量を用いた低消費電力・広帯域生体信号増幅回路の試作	山梨大学工学部	石上 拓也, 藤田 誉大, 佐藤 隆英	140
電源電圧依存性を低減した0.8-V PTAT電圧源	東京電機大学大学院工学研究科 東京電機大学工学部	新井 理巧 小松 聡	141
音声アプリケーション向けの低消費電力なVCOADC	東京電機大学大学院工学研究科 東京電機大学工学部	野口 泰寛 小松 聡	141
IoTのためのアナログ回路TEG	広島工業大学工学部	升井 義博	141
8-bit逐次比較ADC, NIRS計測用受光回路, オンチップアンテナおよび送信回路	芝浦工業大学工学部	佐々木 昌浩, 高橋 祐樹, 金井 悠稀, 土田 和暉	142
心電図自動診断補助用ICと周波数掃引発振器と電圧制御発振器とCPGモデル	日本大学理工学部	佐伯 勝敏, 山口 拓人, 南部 祐紀, 飯泉 裕陽, 内藤 義翔	142

モード多重伝送用通信チップ	富山県立大学工学部	吉河 武文, 先田 涼真	142
PicoRV32 RISC-V SoC with Alpha Deep Learning Accelerator	Ho Chi Minh City University of Technology Faculty of Computer Science and Engineering 電気通信大学情報・ネットワーク工学専攻	Ngo Thai, Tran Ngoc Thinh, Huynh Phuc Nghi Hoang Trong-Thuc	143
Hardware-Accelerated MKV Block Cipher on a Rocket RV64IMAC SoC	電気通信大学情報・ネットワーク工学専攻	Nguyen Trong-Hung, Pham Cong-Kha	143
三次元積層LSI超並列TSVバス通信の基本特性テストチップ（上）	熊本大学半導体・デジタル研究教育機構 広島大学大学院先進理工系科学研究科 熊本大学大学院自然科学教育部	大川 猛, 青柳 昌宏 久保木 猛 汐田 優斗, 仙石 崇大, 酒井 柚稀, 小西 翔貴, プラクストン 月海	143
三次元積層LSI超並列TSVバス通信の基本特性テストチップ（下）	熊本大学半導体・デジタル研究教育機構 広島大学大学院先進理工系科学研究科 熊本大学大学院自然科学教育部	大川 猛, 青柳 昌宏 久保木 猛 汐田 優斗, 渕野 翔, 岡本 虹太朗, 杉尾 茜, 米村 美調	144
光通信用送受信ICの試作	九州大学大学院システム情報科学研究院 九州大学大学院システム情報科学府 九州大学工学部電気情報工学科	木村 俊二 串尾 駿太朗, 田尻 智也 河島 悠太	144
多腕バンディット回路評価用スロットマシン	明治大学理工学部 明治大学理工学研究科	和田 和千 森 光平	144
バンディット問題に必要なゆらぎ信号生成回路ならびにモジュール化した2択バンディット問題のアナログ学習回路	明治大学理工学部 University of Bordeaux	和田 和千, 増井 大貴 Deramat Louis	145
Computation-in-Memory回路	東京大学大学院工学系研究科電気系工学専攻竹内研究室 東京大学大学院工学系研究科附属システムデザイン研究センター	Liu Ruhui, Zhang Yufan, Xue Hanxi, 石川 智弘, 三澤 奈央子, 松井 千尋 竹内 健	145
超低消費電力なExtreme Learning Machineチップのアーキテクチャ検討	九州大学システム情報科学研究院	馬 寅飛, 矢嶋 赳彬	145
光電発電用の電源回路アーキテクチャの検討	九州大学システム情報科学研究院	孫 世元, 矢嶋 赳彬	146
環境発電素子からの開放電圧抽出回路の検討	九州大学システム情報科学研究院	殷 浚航, 矢嶋 赳彬	146
光受信用アナログフロントエンド回路 TEG13	岐阜大学大学院自然科学技術研究科 岐阜大学工学部	今枝 俊介 伊藤 大輔, 中村 誠	146

令和7年度度第3回ローム CMOS 0.18um 試作

題　名	大　学　名	研　究　者	掲載頁
オンチップ太陽電池のための小さなソーラーセルを用いたMPPT機能付きチャージポンプ回路他	立命館大学情報理工学研究科	木村 知也, 寺尾 大輝, 越智 裕之	147
レジスタブリッジ型並列二値CNN計算回路	埼玉大学大学院理工学研究科	伊藤 和人	147
櫛歯TEGとポストプロセスを考慮したオペアンプTEG	東京電機大学大学院工学研究科 東京電機大学工学部	角田 蒼空 小松 聡	147
全差動CV変換回路の試作とMEMS加速度センサTEG	東京電機大学大学院工学研究科 東京電機大学工学部	三瓶 智矢 小松 聡	148
超伝導ニューラルネットワーク構築CMOSメモリ	横浜国立大学理工学府 横浜国立大学先端科学高等研究院	竹越 隆紀 吉川 信行	148
周波数掃引発振器と電圧制御発振器とCPGモデルとオペアンプ	日本大学理工学部	佐伯 勝敏, 山口 拓人, 南部 祐紀, 飯泉 裕陽, 内藤 義翔, 望月 卓磨	148
においセンサ用アナログフロントエンドチップ	富山県立大学工学部	吉河 武文, 中村 巧未, 竹内 悠	149
Analog Spiking Neural Networks	The University of Science, Vietnam National University Ho Chi Minh City Faculty of Electronics and Telecommunications 電気通信大学情報・ネットワーク工学専攻	Le Duc-Hung Pham Cong-Kha	149
小面積・省I/OピンRISC-Vコアのテストチップ	熊本大学半導体・デジタル研究教育機構 熊本大学大学院自然科学教育部	大川 猛, 青柳 昌宏 仙石 崇大	149
光送受信回路の修正試作	九州大学大学院システム情報科学研究院 九州大学大学院システム情報科学府 九州大学工学部電気情報工学科	木村 俊二 串尾 駿太朗, 田尻 智也, 董 博源 河島 悠太	150
16択バンディット問題のアナログ学習回路	明治大学理工学部 明治大学理工学研究科	和田 和千 森 光平	150
32択バンディット問題のアナログ学習回路	明治大学理工学部 明治大学理工学研究科	和田 和千 松﨑 平蔵	150
帯域幅・中心周波数可変2次複素フィルタ回路	明治大学理工学部 明治大学理工学研究科	和田 和千 天野 悠真	151
超低消費電力な強化学習チップのアーキテクチャ検討	九州大学システム情報科学研究院	馬 寅飛, 矢嶋 赳彬	151
生物を模倣した温度センサシート読み出し回路のアーキテクチャ検討	九州大学システム情報科学研究院	萱野 幸佑, 矢嶋 赳彬	151
インピーダンス計測検証回路	静岡大学工学部電気電子工学科	二川 雅登	152
ローム0.18 μm CMOS RFデバイスモデル拡充用評価TEG	東京理科大学創域理工学部	荒井 アアロン, 大立目 優与, 亀山 幹泰, 高野 恭弥	152
光送信用アナログフロントエンド回路 TEG14	岐阜大学大学院自然科学技術研究科 岐阜大学工学部	薮谷 翼 伊藤 大輔, 中村 誠	152

B.2　チップ種別一覧

MEMS

ラン名	タイトル	研　究　者	掲載頁
OS08242	全差動CV変換回路の試作とMEMS加速度センサTEG	三瓶 智矢, 小松 聡	120
OS08242	静電容量式CMOS-MEMS加速度センサと読み出し回路の面積効率改善	角田 蒼空, 小松 聡	120
OS08242	静電容量式CMOS-MEMS加速度センサと読み出し回路の集積	三瓶 智矢, 小松 聡	120
RO18251	静電容量式3軸CMOS-MEMS加速度センサの設計試作	三瓶 智矢, 小松 聡	131
RO18253	櫛歯TEGとポストプロセスを考慮したオペアンプTEG	角田 蒼空, 小松 聡	147
RO18253	全差動CV変換回路の試作とMEMS加速度センサTEG	三瓶 智矢, 小松 聡	148

TEG（特性評価回路など）

ラン名	タイトル	研　究　者	掲載頁
OS08242	筋骨格を模倣したネズミ型ロボット用ニューロモルフィック集積回路	安田 祐希, LYU SHUXIN, 齊藤 健	121
OS08242	光刺激に応じて停止・方向転換が可能なニューロモルフィック集積回路	村本 大和, QI YIMING, LYU SHUXIN, 齊藤 健	121
OS08242	筋骨格を模倣して脚部に人工筋肉ワイヤを搭載したネズミ型ロボット用ニューロモルフィック集積回路TEGチップ	安田 祐希, LYU SHUXIN, 齊藤 健	122
OS08242	筋骨格ヒューマノイドのためのBrainチップ	國分 優剛, 金子 美泉	122
OS08242	筋骨格ヒューマノイドのためのSpinal-cordチップ	國分 優剛, 金子 美泉	123
RO18244	自由課題によるチップ試作	名倉 徹	125
RO18251	ToFセンサの集積化に向けたフォトダイオードのTEG	松井 宏樹, 小松 聡	131
RO18251	耐放射線型イメージセンサの特性評価用TEG	木村 孝之	134
RO18251	暗電流が多いフォトダイオードで利用可能なフォトアンプの特性評価用TEG	木村 孝之	134
RO18251	遅延故障およびIC間配線の検査用の各種検査容易化回路の試作	鶴岡 蒼久, 藤野 泰弘, 南 柊哉, 山橋 湧也, 土井 翔平, 山根 杏太, 四柳 浩之	136
RO18251	スプリアス低減機構付きFractional-N PLL，エラー検出機構内蔵CDR-PLLおよび発振器TEG	喜多見 陸, 有馬 雄, 川崎 竜登, 閏 思宇, 吉村 勉	139
RO18251	PLL相互干渉ノイズ低減検証TEGおよび電磁波コントローラ内蔵PLL回路	林 雅美, 川崎 竜登, 吉村 勉	139
RO18253	ローム0.18 μm CMOS RFデバイスモデル拡充用評価TEG	荒井 アアロン, 大立目 優与, 亀山 幹泰, 高野 恭弥	152

アナログ/デジタル信号処理プロセッサ

ラン名	タイトル	研　究　者	掲載頁
RO18251	熱電発電素子用の電源回路のアーキテクチャ検討	孫 世元, 矢嶋 赳彬	137
RO18251	環境発電用電源回路の充電素子切替機構の検討	孫 世元, 矢嶋 赳彬	138
RO18251	間欠動作に特化したADCアーキテクチャ検討	殷 浚航, 矢嶋 赳彬	138
RO18251	生物を模倣した温度センサシート読み出し回路の試作	萱野 幸佑, 矢嶋 赳彬	138
RO18252	適応型CMCPを用いた2電極心電信号増幅回路の試作	ナトー マルカスエンゾ, 岡部 杏夏, 藤田 誉大, 佐藤 隆英	140
RO18252	光電発電用の電源回路アーキテクチャの検討	孫 世元, 矢嶋 赳彬	146
RO18252	環境発電素子からの開放電圧抽出回路の検討	殷 浚航, 矢嶋 赳彬	146
RO18253	生物を模倣した温度センサシート読み出し回路のアーキテクチャ検討	萱野 幸佑, 矢嶋 赳彬	151
RO18253	インピーダンス計測検証回路	二川 雅登	152

アナログ（PLL, A-D/DC-DCコンバータなど）

ラン名	タイトル	研　究　者	掲載頁
OS08242	三次元積層LSI・Siインターポーザにおける RFクロストーク評価用テストチップ	大川猛, 青柳昌宏, 岡本 虹太朗, 川元 洋征, 久保木猛	121
RO18244	環境発電動作に向けた低消費電力な基準電圧源回路の試作	山崎 悠真, 小松 聡	124
RO18244	6-bit Interpolating Flash ADC，自己同期3線3相インターフェース回路，10-bit Pipeline ADC，温度センサ	佐々木 昌浩, 細田 稀石, 金杉 隆広, 佐藤 祥馬, 金森 嵩天	124
RO18244	筋電測定用計装アンプ	名倉 徹, 根〆 淳太	126

RO18244	Wide-Tuning Current-Starved Ring VCO - Dynamic AES Encryption Engine	Nguyen Thi-Viet-Ha, Tran Thai-Ha, Pham Cong-Kha	126
RO18244	画素トランジスタと積分型A/D変換器を一体化した読み出し回路	岡田 虹輝, 大倉 俊介	127
RO18244	帯域幅・中心周波数可変1次複素フィルタ回路	和田 和千, 天野 悠真	127
RO18244	高昇圧DC-DCコンバータ用制御IC	崔 通, 橋元 啓輔, CHEN ZHIXUAN	128
RO18244	低電源電圧で動作するOTA	吉澤 浩和	128
RO18244	CHIFAJA A 180-nm Class-C PLL Test Chip for GHz-Band Clock Generation and Component-Level Radiation Sensitivity Analysis	Cheng Quan, 橋本 昌宜	129
RO18244	三次元積層LSI温度計測・オペアンプ基本回路テストチップ	大川猛, 青柳昌宏, 中村 昌稀, 渕野　翔, 久保木猛	130
RO18251	MEMS触覚センサ用フロントエンド回路他	寺尾 大輝, 馬 宇生, 木村 知也, 越智 裕之	131
RO18251	DCDLとPIを用いたTime-to-Digital変換回路チップ	吉河 武文, 小嶋 惟睦, 坂口 健心	133
RO18251	DEMを用いたD/Aコンバータチップ	吉河 武文, 竹内 悠, 中村 巧未	133
RO18251	においセンサ用アナログフロントエンドチップ	吉河 武文, 中村 巧未, 竹内 悠	134
RO18251	Adaptive Dual-Mode Fractional-N PLL	Nguyen Thi-Viet-Ha, Pham Cong-Kha	135
RO18252	MEMS触覚センサ用フロントエンド回路	寺尾 大輝, 木村 知也, 越智 裕之	140
RO18252	負性容量を用いた低消費電力・広帯域生体信号増幅回路の試作	石上 拓也, 藤田 誉大, 佐藤 隆英	140
RO18252	電源電圧依存性を低減した0.8-V PTAT電圧源	新井 理巧, 小松 聡	141
RO18252	音声アプリケーション向けの低消費電力なVCOADC	野口 泰寛, 小松 聡	141
RO18252	IoTのためのアナログ回路TEG	升井 義博	141
RO18252	8-bit逐次比較ADC, NIRS計測用受光回路, オンチップアンテナおよび送信回路	佐々木 昌浩, 高橋 祐樹, 金井 悠稀, 土田 和暉	142
RO18252	モード多重伝送用通信チップ	吉河 武文, 先田 涼真	142
RO18252	バンディット問題に必要なゆらぎ信号生成回路ならびにモジュール化した2択バンディット問題のアナログ学習回路	和田 和千, 増井 大貴, Deramat Louis	145
RO18253	オンチップ太陽電池のための小さなソーラーセルを用いたMPPT機能付きチャージポンプ回路他	木村 知也, 寺尾 大輝, 越智 裕之	147
RO18253	においセンサ用アナログフロントエンドチップ	吉河 武文, 中村 巧未, 竹内 悠	149
RO18253	帯域幅・中心周波数可変2次複素フィルタ回路	和田 和千, 天野 悠真	151

イメージセンサ/スマートセンサ

ラン名	タイトル	研　究　者	掲載頁
RO18244	様々なアナログ回路の入出力特性を測定可能なCMOSイメージセンサ	荒谷 智広	125
RO18251	分散型構造の無段階加速度ランプ信号生成器を用いたシングルスロープADC搭載CMOSイメージセンサ	迫田 隼人	132
RO18251	高機能・高性能イメージセンサの実現に向けた要素回路検証用TEGチップ	藤田 一槻	132

演算回路（乗算器，除算器など）

ラン名	タイトル	研　究　者	掲載頁
RO18251	Jitter-Based TRNG and Dynamic AES-128	Tran Thai-Ha, Duong Phuc-Phan, Pham Cong-Kha	135
RO18253	レジスタブリッジ型並列二値CNN計算回路	伊藤 和人	147

通信（RF回路，ATMなど）

ラン名	タイトル	研　究　者	掲載頁
RO18251	イメージセンサ・6G FR3向けアナログ・高周波集積回路	斧田 賢明, 齊藤 圭, 中澤 広樹, 横谷 希実, 足立 萌美, 大立目 優与, 亀山 幹泰, 高野 恭弥	139
RO18252	光受信用アナログフロントエンド回路 TEG13	今枝 俊介, 伊藤 大輔, 中村 誠	146
RO18253	光送信用アナログフロントエンド回路 TEG14	薮谷 翼, 伊藤 大輔, 中村 誠	152

アナデジ混載

ラン名	タイトル	研　究　者	掲載頁
RO18244	心電図自動診断補助用ICと電圧制御発振器とオペアンプとCPGモデル	佐伯 勝敏, 飯泉 裕陽, 南部 祐紀, 望月 卓磨, 内藤 義翔	125

RO18244	4択バンディット問題のアナログ学習回路	和田 和千, 森 光平	127
RO18244	医用超音波用可変帯域フィルタほか	中野 誠彦, 森 瑞紀, 永田 智考, 赤羽根 遼, Sala Alvaro	128
RO18244	三次元積層LSI超並列TSVバス通信の電力評価チップ	大川 猛, 青柳 昌宏, 汐田 優斗, 渕野 翔, 久保木 猛	129
RO18251	心電図自動診断補助用ICと周波数掃引発振器と電圧制御発振器とCPGモデルとニューロンモデル	佐伯 勝敏, 山口 拓人, 南部 祐紀, 飯泉 裕陽, 内藤 義翔, 米川 尊	133
RO18251	三次元積層LSI超並列TSVバス通信テストチップ（上）	大川 猛, 青柳 昌宏, 久保木 猛, 汐田 優斗, 仙石 崇大, プラクストン 月海	136
RO18251	三次元積層LSI超並列TSVバス通信テストチップ（下）	大川 猛, 青柳 昌宏, 久保木 猛, 汐田 優斗, 渕野 翔, 杉尾 茜	137
RO18251	「FSK信号復調回路の前段部」	和田 和千, 大手 直樹	137
RO18252	心電図自動診断補助用ICと周波数掃引発振器と電圧制御発振器とCPGモデル	佐伯 勝敏, 山口 拓人, 南部 祐紀, 飯泉 裕陽, 内藤 義翔	142
RO18252	三次元積層LSI超並列TSVバス通信の基本特性テストチップ（上）	大川 猛, 青柳 昌宏, 久保木 猛, 汐田 優斗, 仙石 崇大, 酒井 柚稀, 小西 翔貴, プラクストン 月海	143
RO18252	三次元積層LSI超並列TSVバス通信の基本特性テストチップ（下）	大川 猛, 青柳 昌宏, 久保木 猛, 汐田 優斗, 渕野 翔, 岡本 虹太朗, 杉尾 茜, 米村 美調	144
RO18252	多腕バンディット回路評価用スロットマシン	和田 和千, 森 光平	144
RO18253	周波数掃引発振器と電圧制御発振器とCPGモデルとオペアンプ	佐伯 勝敏, 山口 拓人, 南部 祐紀, 飯泉 裕陽, 内藤 義翔, 望月 卓磨	148
RO18253	16択バンディット問題のアナログ学習回路	和田 和千, 森 光平	150
RO18253	32択バンディット問題のアナログ学習回路	和田 和千, 松﨑 平蔵	150

マイクロプロセッサ

ラン名	タイトル	研　究　者	掲載頁
OS08242	弱く結合したニューロモルフィック 集積回路	崔 峻豪	122
RO18244	水道，ガス流量計	尾田 準平, 松尾 直哉, 上口 光	124
RO18244	Rocket RV64IMAC RISC-V SoC with Tightly-Coupled NTT Accelerator	Dam Duc-Thuan, Pham Cong-Kha	126
RO18251	Digital Spiking Neural Network Chip	Le Duc-Hung, Pham Cong-Kha	136
RO18252	PicoRV32 RISC-V SoC with Alpha Deep Learning Accelerator	Ngo Thai, Tran Ngoc Thinh, Huynh Phuc Nghi, Hoang Trong-Thuc	143
RO18252	Hardware-Accelerated MKV Block Cipher on a Rocket RV64IMAC SoC	Nguyen Trong-Hung, Pham Cong-Kha	143
RO18252	超低消費電力なExtreme Learning Machineチップのアーキテクチャ検討	馬 寅飛, 矢嶋 赳彬	145
RO18253	Analog Spiking Neural Networks	Le Duc-Hung, Pham Cong-Kha	149
RO18253	小面積・省I/OピンRISC-Vコアのテストチップ	大川 猛, 青柳 昌宏, 仙石 崇大	149
RO18253	超低消費電力な強化学習チップのアーキテクチャ検討	馬 寅飛, 矢嶋 赳彬	151

メモリ

ラン名	タイトル	研　究　者	掲載頁
RO18251	超伝導任意波形発生器用波形メモリ他	竹越 隆紀, 吉川 信行	132
RO18252	Computation-in-Memory回路	Liu Ruhui, Zhang Yufan, Xue Hanxi, 石川 智弘, 三澤 奈央子, 松井 千尋, 竹内 健	145

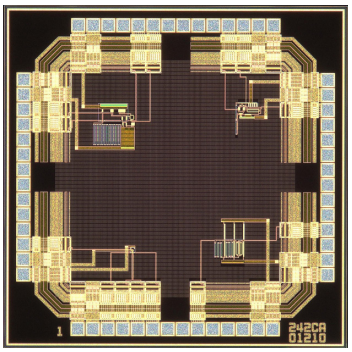
その他

ラン名	タイトル	研　究　者	掲載頁
RO18244	低電圧動作用P-HCNMの試作	佐々木 芳樹	129
RO18251	細胞インピーダンス計測のためのアナログフロントエンド回路	大島 智也, 宇野 重康	135
RO18252	光通信用送受信ICの試作	木村 俊二, 串尾 駿太朗, 田尻 智也, 河島 悠太	144
RO18253	超伝導ニューラルネットワーク構築CMOSメモリ	竹越 隆紀, 吉川 信行	148
RO18253	光送受信回路の修正試作	木村 俊二, 串尾 駿太朗, 田尻 智也, 董 博源, 河島 悠太	150

B.3　各チップの詳細

令和6年度第2回オンセミコンダクター―三洋 CMOS 0.8um 試作

全差動CV変換回路の試作とMEMS加速度センサTEG

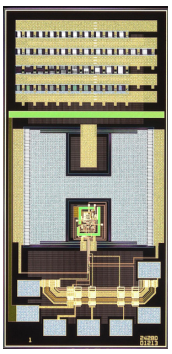


東京電機大学大学院工学研究科　三瓶 智矢
東京電機大学工学部　小松 聡

概要：本チップ試作ではMEMS加速度センサと読み出し回路を集積することを目的とし，静電容量式1軸MEMS加速度センサと全差動アンプでのスイッチトキャパシタCV変換回路を集積した設計を行った．加速度センサは今後の試作での設計の最適化を行うために，構造内部での配線を3パターン設計して搭載した．測定の結果，入力した静電容量の変化に対するCV変換回路の出力変化を確認することができなかった．また，チップによって出力波形が異なっていたため，レイアウトによって製造ばらつきの影響を大きく受けてしまっているものと考えた．今後の課題として，出力が得られなかった原因を考察し，ばらつきの影響を受けないようなレイアウト手法，センサ部との配線を検討する必要がある．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Synopsys社 HSPICE（RF），**トランジスタ数**：10～100　**試作ラン**：オンセミ–三洋 CMOS 0.8μm 2.5mm角チップ　**チップ種別**：MEMS

静電容量式CMOS-MEMS加速度センサと読み出し回路の面積効率改善

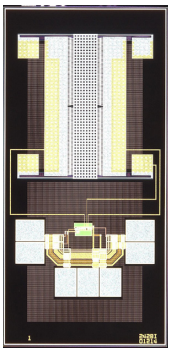


東京電機大学工学部　角田 蒼空, 小松 聡

概要：本試作ではCMOS回路との混載に向けたCMOS-MEMS加速度センサとCV変換回路の集積を行った．錘の形状はH型とし，センサシステムの面積当たりの感度上昇を目的とした．本チップ試作では，2024年9月の同プロセスにおける試作と比較して，MEMSのz軸方向のばね定数を強化し，z軸方向の非理想的な他軸方向の感度を減少させる構造へと改良した．また，櫛歯間ギャップの最適化を行い測定軸方向の感度上昇を行った．読み出し回路はスイッチトキャパシタ式のCV変換回路を集積した．結果として，ポストプロセス後に回路領域がエッチングされてしまい，センサシステムとしての動作の確認ができなかった．今後はCMOS-MEMS混載チップにおける回路動作を検証する構造やプロセスの検討を行う．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），Cadence社 Dracula，　**トランジスタ数**：10～100　**試作ラン**：オンセミ–三洋 CMOS 0.8μm 2.5mmx5.0mm チップ　**チップ種別**：MEMS

静電容量式CMOS-MEMS加速度センサと読み出し回路の集積

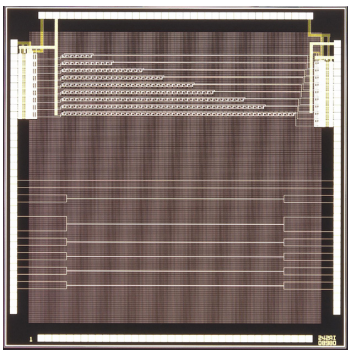


東京電機大学工学部　三瓶 智矢, 小松 聡

概要：MEMS（Micro Electro Mechanical Systems）とは集積回路技術を発展させた「マイクロマシーニング」と呼ばれる微細加工技術により，回路だけでなく微細構造体やセンサ，あるいは機械的に動くアクチュエータを集積化させたものである．本チップ試作ではセンサシステムの更なる小型化に向け，CMOSプロセスを用いた静電容量式MEMS加速度センサとその読み出し回路であるスイッチトキャパシタCV変換回路を混載した設計を行った．結果として，加速度センサとなる構造を基板からリリースする際のポストプロセス中に，センサと回路の配線部が破損してしまったため，エッチングから保護する設計手法を検討する必要がある．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），Cadence社 Dracula，　**トランジスタ数**：10～100　**試作ラン**：オンセミ–三洋 CMOS 0.8μm 2.5mmx5.0mm チップ
チップ種別：MEMS

三次元積層LSI・Siインターポーザにおける RF クロストーク評価用テストチップ

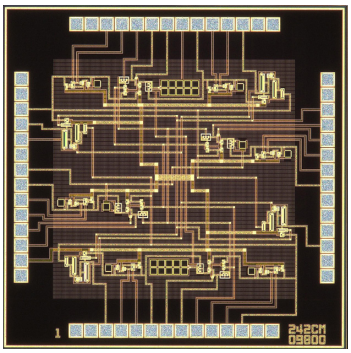


熊本大学　大川 猛，青柳 昌宏, 岡本 虹太朗、川元 洋征
広島大学　久保木 猛

概要：TSV(Through-Silicon-Via)を用いた三次元積層LSIおよびSiインターポーザにおける、RF帯域での信号線間クロストークを評価するためのテストチップを開発した。信号線間の距離を変化させることによるクロストークへの影響を調査することが可能である。また、本チップには、三次元積層LSIにおける応力によるトランジスタ性能への影響を調べるため，応力変化に応じたリングオシレータ発振周波数の変化を計測するための回路を含む。

参考文献：[1] 岡本，大川，久保木，青柳，エレクトロニクス実装学会春季講演大会，2025年3月，[2] Y. Kawamoto, M. Aoyagi, T. Ohkawa, IEEE EDAPS 2025, Dec. 2025.　**設計期間**：1人月以上，2人月未満　**設計ツール**：Cadence社Virtuoso，Mentor社Calibre、Cadence社Quantus，Synopsys社HSPICE（RF）　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18um 2.5mm角チップ　**チップ種別**：アナログ

筋骨格を模倣したネズミ型ロボット用ニューロモルフィック集積回路

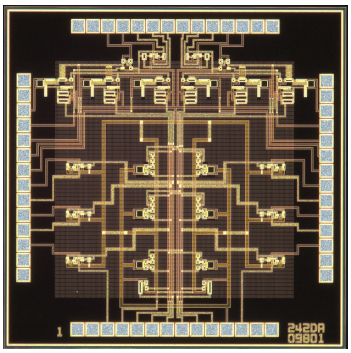


日本大学理工学部　安田 祐希, LYU SHUXIN, 齊藤 健

概要：本回路は前回の施策を踏まえて筋骨格を模倣して脚部に人工筋肉ワイヤを搭載したネズミ型ロボット用ニューロモルフィック集積回路を再施策した回路である．前回の試作ではネズミ型ロボットの1つの関節を動作させるために2つのチップを接続する必要があったが，本試作では1つのチップのみで1つの関節を動作することを目的としている．また，1脚を制御するためにTEGチップを作成し，本チップを2つ接続することを可能としている．測定の結果，想定される出力は確認できなかった．短絡などは確認できていないが，チップ毎に個体差が大きく，安定していないことが原因だと考えられる．次回試作ではより安定した回路を作製するため，引き続き設計を行う予定である．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：10〜100　**試作ラン**：オンセミ−三洋 CMOS 0.8μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

光刺激に応じて停止・方向転換が可能なニューロモルフィック集積回路

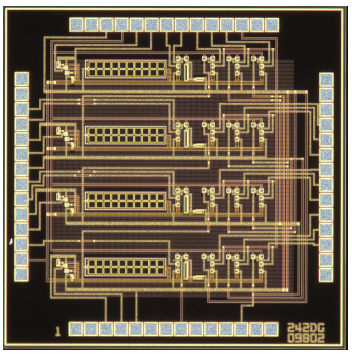


日本大学理工学部　村本 大和, QI YIMING, LYU SHUXIN, 齊藤 健

概要：本回路は，昆虫型マイクロロボットに搭載する光刺激による停止・方向転換が可能なニューロモルフィック集積回路である．従来の昆虫型マイクロロボット用集積回路では，単一の歩容による歩行しかできず，外部環境に応じた停止や方向転換を行うことができなかった．本試作では，光刺激によって歩容を切り替える機能を回路上で実現し，環境に応じた動作が可能であることを確認した．本回路は，三脚歩容パターンを生成する歩容生成回路，受容細胞モデル，積分回路，および結合強度可変な6個の抑制性シナプスモデルを集積化したものである．また，太陽電池を用いて外部光刺激を電気信号に変換し，回路へ入力する構成としている．回路測定の結果，受容細胞につながる太陽電池へ光刺激を与えることで，直進，停止，右旋回，左旋回の4つの歩容パターンを確認した．

設計期間：0.1人月以上，0.5人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：10〜100　**試作ラン**：オンセミ−三洋 CMOS 0.8μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

弱く結合したニューロモルフィック 集積回路

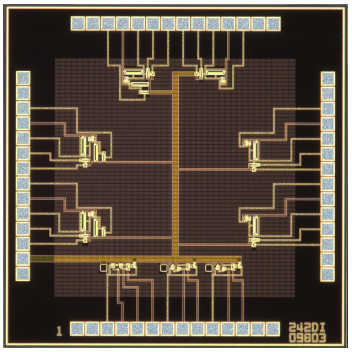


日本大学理工学研究科　崔 峻豪

概要：本チップは，四足歩行ロボットの安定した歩容生成を目的として作製した弱結合ニューロモルフィック集積回路である．細胞体モデル，抑制性シナプスモデル，興奮性シナプスモデルを集積化し，各脚を独立に制御するニューロモルフィック回路同士を弱く結合させることで，同期現象を利用した歩行安定化を実現した． 従来の独立制御方式では，歩行中に外乱が加わると脚間の位相差が乱れ，歩容を長時間維持できない問題があった．本研究では，興奮性シナプスモデルを介して各細胞体モデルを弱く結合することで，引き込み現象による発振周波数の同期を確認した．実測では，結合電圧Vewを増加させることで各細胞体の周波数が一致し，四足歩行ロボットの脚間協調性向上に有効であることを確認した． 本チップは，四足歩行ロボットにおける外乱耐性向上および安定したトロット歩容生成への応用を目的としている．

設計期間：0.1人月未満　**設計ツール**：Cadence社 Virtuoso，Synopsys社 HSPICE（RF），　**トランジスタ数**：10〜100　**試作ラン**：オンセミ–三洋 CMOS 0.8μm 2.5mm角チップ　**チップ種別**：マイクロプロセッサ

筋骨格を模倣して脚部に人工筋肉ワイヤを搭載したネズミ型ロボット用ニューロモルフィック集積回路TEGチップ

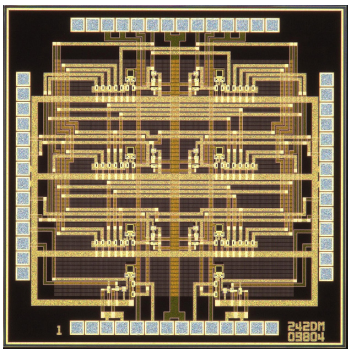


日本大学理工学部　安田 祐希, LYU SHUXIN, 齊藤 健

概要：本回路は，ハツカネズミの筋骨格を模倣して脚部に人工筋肉ワイヤを搭載したネズミ型ロボット用ニューロモルフィック集積回路のTEGチップとして，細胞体モデル，興奮性シナプスモデル，抑制性シナプスモデル，積分回路，受容細胞モデルを複数搭載したものである．測定の結果，細胞体モデルのバースト発振が確認され，シナプスモデルを接続した場合でもそれぞれ期待通りの動作を示し，細胞体モデルの発振に対する興奮および抑制動作を確認した．しかし，ネズミ型ロボット用ニューロモルフィック集積回路では，期待通りの波形が得られなかったため，原因の解析を進めるとともに，次回試作予定の集積回路にて再度測定を行う予定である．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：10〜100　**試作ラン**：オンセミ–三洋 CMOS 0.8μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

筋骨格ヒューマノイドのためのBrainチップ

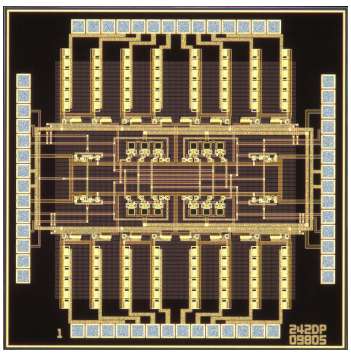


日本大学理工学部　國分 優剛, 金子 美泉

概要：本回路は人工筋肉ワイヤを駆動源に用いた筋骨格ヒューマノイドロボットの駆動回路として作製した．従来のヒューマノイドロボットの制御にはCPUやソフトウェアプログラムが利用されていたが，高性能化に向けて計算量の増大が課題となっていた．そこで我々は生物の動作制御を参考に人工脊髄ICの開発を行った．人間の歩容に関する生理学モデルでは，CPGが歩行と走行において5つのパルス配列を生成し，そのうちの2つ目のパルスの位置が変化することで切り替えるモデルが提案されている．そこで，我々は歩行と走行を切り替える回路モデルを設計し，そのうち本チップは生物のCPGモデルにおける脳幹部を模しており，入力によって一定の周期のパルスを出力する．研究ではヒューマノイドロボットにおける歩行動作から走行動作に切り替わる上で上位中枢部を模した信号を受け中脳歩行誘発野からの神経投射を模倣するように設計した．作製したチップは目的の出力を安定して示した．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：10〜100　**試作ラン**：オンセミ–三洋 CMOS 0.8μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

筋骨格ヒューマノイドのためのSpinal-cordチップ



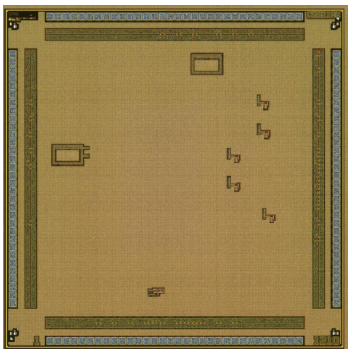
日本大学理工学部　國分 優剛, 金子 美泉

概要：本回路は人工筋肉ワイヤを駆動源に用いた筋骨格ヒューマノイドロボットの駆動回路として作製した．本チップは生物のCPGモデルにおける脊椎部を模しており，入力によってタイミングの異なる6つのパルスを生成する．また，6つの細胞体を入力のない状態では半周期ずれて発火するように設計している．Brainチップと組み合わせることで，上位中枢からの刺激に見立てた信号に応じて歩行パターンと走行パターンのそれぞれのタイミングに切り替わる機構を再現している．作製したチップは6つの波形を設計した順番で生成し，また入力信号によって歩行パターンのタイミングでの発火，走行パターンのタイミングでの発火を安定して示した．ただし，入力によって変化する特定のパルスについては若干のずれを見せたことから，引き続き設計を行う．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：10〜100　**試作ラン**：オンセミ–三洋 CMOS 0.8μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

令和6年度第4回ローム CMOS 0.18um 試作

環境発電動作に向けた低消費電力な基準電圧源回路の試作

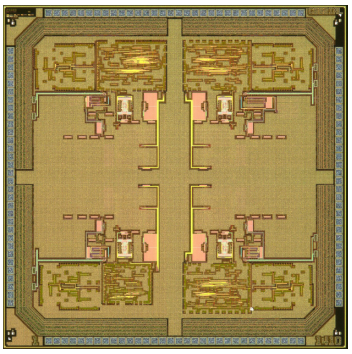


東京電機大学工学部　山崎 悠真, 小松 聡

概要：環境発電では，発電可能な電力が小さく，照度や温度などの発電環境によって出力電圧も変動するため，後段回路へ安定した基準電圧を供給する低消費電力な基準電圧源が必要となる．基準電圧源の消費電力を低減する方法として，高抵抗を用いて回路電流を抑える構成が挙げられるが，大きな抵抗値を実現すると，チップ面積が増大するという課題がある．そこで，環境発電による動作を想定し，線形領域で動作させたMOSFETを高抵抗素子として利用することで，抵抗器が占める面積を削減しつつ，低電圧かつ低消費電力で動作する基準電圧源回路を試作した．今後は，環境発電動作可能な基準電圧源の実現を目指す．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS, Synopsys社 HSPICE(RF)，　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

水道，ガス流量計

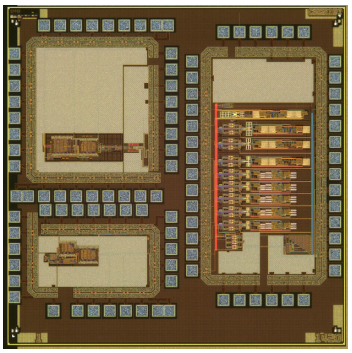


信州大学大学院総合理工学研究科　尾田 準平, 松尾 直哉
工学部　上口 光

概要：本テストチップは，水道メータ用の流量計とガスメータの流量計のテスト回路から構成されている．水道，ガスの双方の流量計は超音波の伝搬時間差を基に流体の流速を求め，そこから流量を算出する，流量計TEGは超音波アクチュエータの駆動回路とスイッチング制御，また，受信信号から伝搬時間を検出する回路から構成されている．水道メータ用の流量計は令和5年度第3回試作の再設計であるが，ガスメータ用の流量計は気体においても超音波が伝搬しやすくなるよう，超音波の周波数を変えられる機能を実現している．それに合わせた帯域幅のバンドパスフィルタも実装した．これにより，気体においても超音波による流量の測定ができると考えられる．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Xcelium，Synopsys社 VCS，Synopsys社 DesignCompiler，Synopsys社 ICCompiler，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 ICADVM，Cadence社 QUANTUS，Cadence社 Spectre，Synopsys社 HSPICE（RF），Synopsys社 Formality，　**トランジスタ数**：100,000〜1,000,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：マイクロプロセッサ

6-bit Interpolating Flash ADC，自己同期3線3相インターフェース回路，10-bit Pipeline ADC，温度センサ

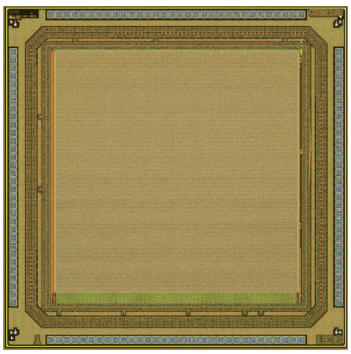


芝浦工業大学工学部　佐々木 昌浩, 細田 稀石, 金杉 隆広, 佐藤 祥馬, 金森 嵩天

概要：本試作では4種類の回路を実装している．1つ目は6-bit Interpolating Flash ADCで，Time-Domain Interpolationにより低消費電力・低入力容量を実現する．2つ目は3線式インターフェースの送受信回路で，受信信号から直接CLKを復元できるため回路の簡素化と低消費電力化が可能である．3つ目は10-bit Pipeline ADCで，各Stageの増幅器を段階的にスケーリングして低消費電力化を図っている．4つ目はNMOSの温度特性を利用した温度センサで，熱源による温度分布の計測を目的とする．

設計期間：5人月以上, 6人月未満　**設計ツール**：Cadence社 Xcelium, Cadence社 GENUS, Cadence社 Innovus，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Cadence社 Spectre，Keysight社 ADS，　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

様々なアナログ回路の入出力特性を測定可能なCMOSイメージセンサ

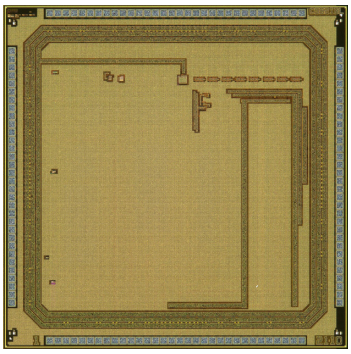


東京理科大学大学院工学研究科　荒谷 智広

概要：本チップは，VDEC環境下でのチップ設計の基本技術を取得するために設計された．イメージセンサ回路の他に基本的なCMOSアナログ回路を集積しており，CMOSイメージセンサの初学者が本チップを用いることで，イメージセンサの動作原理とアナログ回路の諸特性を同時に理解することを目的としている．本チップは，中央部分にイメージセンサの画素アレイと垂直および水平シフトレジスタがあり，その周囲に様々なアナログ回路が集積されている．イメージセンサは縦256×横256画素であり，標準的な3トランジスタ構成の画素回路（リセットTr，増幅Tr，行選択Tr）を用いている．画素サイズは縦7μm×横7μmであり，開口率は30%である．イメージセンサの周囲に集積されているアナログ回路は，インバータ，オペアンプ，ソースフォロア，画素読み出し回路である．画素読み出し回路は，フォトダイオード1つとNMOSソースフォロア1段，PMOSソースフォロア1段で構成されており，1画素（反転型）の入射光量に対する出力を測定することができる．今後は，評価用基板とFPGAを用いて実機検証を行う予定であり，イメージセンサと測定用アナログ回路それぞれの動作確認を行う．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：イメージセンサ/スマートセンサ

心電図自動診断補助用ICと電圧制御発振器とオペアンプとCPGモデル

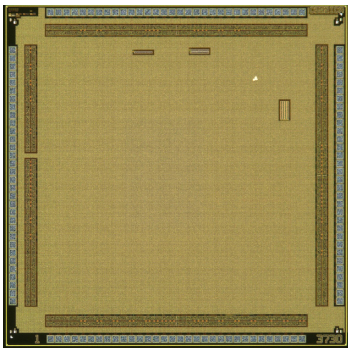


日本大学理工学部　佐伯 勝敏，飯泉 裕陽，南部 祐紀，望月 卓磨，内藤 義翔

概要：本チップでは，4名がそれぞれ回路を搭載した．1．心電図は心臓の状態を推定し，診断するために役立っている．本チップでは，ハードウェアのみを用いて心電図自動診断補助を行うことを目的に，全体回路を搭載し，実測，評価を行った．2．入力電圧を変化させることで出力周波数を制御可能な電圧制御発振器を設計し，搭載した．小面積，広帯域，低消費電力なチップを設計した．3．今後の研究で役立つ回路を設計するためにオペアンプを搭載した．4．繁雑な計算無しに4足歩行ロボットの制御を可能にするためにCPG（Central pattern Generator）を用いたロボット制御用ICを設計し，評価考察を行った．

設計期間：4人月以上，5人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナデジ混載

自由課題によるチップ試作

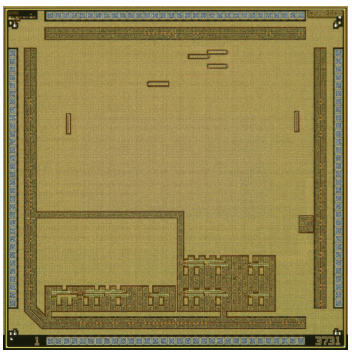


福岡大学工学部　名倉 徹

概要：我々の研究室では，学部3年生が研究室に仮配属された段階で，集積回路設計に関する基本的な設計フローを体系的かつ実践的に学べるよう，回路設計・シミュレーション・レイアウト設計・物理検証といった，一連の設計プロセスを学ぶとともに，設計したチップは実際に測定環境において動作確認を行い，自らの設計が正しく機能しているかどうかを実測によって評価します．このように，一連のIC 設計フローを最初から最後まで一通り経験できることは，学生にとって非常に貴重で実践的な学びの場となっています．今回のチップ試作では，以下のような多様な回路が実装されています．・オペアンプを用いた差動増幅回路・加算回路を用いたリングオシレータによるエネルギー最小化回路・XORによる鍵整合性検証回路など

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：〜10　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

筋電測定用計装アンプ

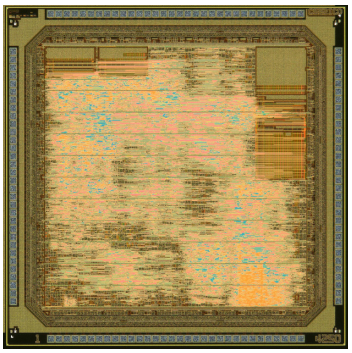


福岡大学工学部　名倉 徹、根メ 淳太

概要：脳からの信号によって筋肉は動き，その言号は筋電と呼ばれる．これは体の表面に現れるため，表面電極を用いて測定することができる．人体の皮膚の表面に発生する筋電は1mVよりも小さい微弱な電圧であるため，これを測定するためには電圧を増幅させるアンプが必要である．本チップでは，このような微弱な筋電信号を精度よく増幅し，安定的に読み取ることを目的として，計装アンプを設計しました．肌とのインターフェースとなる入力部分にハイパスフィルタを加えることにより，2端子入力を可能にするとともに，動的なオフセットキャンセル回路や，バイアス発生回路を内蔵することにより，入出力端子を作動入力，単相出力，電源，グランドの合計5端子の回路として実現して，その有効性を実証することを目的としています．

設計期間：2人月以上，3人月未満　**設計ツール：**Cadence社 Virtuoso，Synopsys社 HSPICE（RF），　**トランジスタ数：**1,000～10,000
試作ラン：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別：**アナログ（PLL, A-D/DC-DCコンバータなど）

Rocket RV64IMAC RISC-V SoC with Tightly-Coupled NTT Accelerator

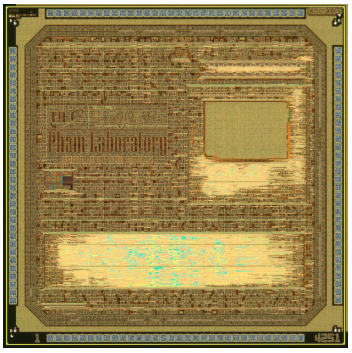


電気通信大学情報・ネットワーク工学専攻　Dam Duc-Thuan, Pham Cong-Kha

概要：This chip integrates a tightly-coupled Number Theoretic Transform (NTT) on a System-on-Chip (SoC) based on the Rocket 64-bit RV64imac RISC-V core, targeting Module-lattice based Key Encapsulation Mechanism (ML-KEM) in Post-quantum Cryptography (PQC) applications. The implementation of ML-KEM relies primarily on polynomial multiplication. The NTT accelerates the mechanism's execution by reducing computational complexity from O (n^2) to O (n log n) . This architecture employs custom instructions to send the necessary data to the accelerator. Since the accelerator is tightly coupled with the CPU, it can share the CPU's cache, thereby accelerating read and write operations—a critical factor, as data access often acts as a bottleneck limiting algorithm execution speed. The chip features 4kB of on-chip RAM and uses a Tilelink bus to connect the Rocket core to various peripherals, including a UART, GPIOs, a JTAG debug interface, and an SPI interface for external memory access. The control program is written in C, with custom instructions utilized as inline assembly commands. The die measures 1950μm × 1950μm, totaling approximately 297k gate equivalents (NAND2). The chip operates in active mode with a power consumption of 307.9 mW at a maximum frequency of 118 MHz and a supply voltage of 2.0 V, while the leakage power in sleep mode is as low as 0.9 μW. Similarly, at a minimum frequency of 10 kHz, the chip's power consumption reaches 5.91 μW at a voltage of 0.9 V, with a leakage power of 0.036 μW. Additional power characterization was also performed in idle mode, with the core held in reset.

設計期間：2人月以上，3人月未満　**設計ツール：**Cadence社 GENUS，Cadence社 Innovus，Cadence社 Virtuoso，Mentor社 Calibre，
トランジスタ数：100,000～1,000,000　**試作ラン：**ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別：**マイクロプロセッサ

Wide-Tuning Current-Starved Ring VCO - Dynamic AES Encryption Engine

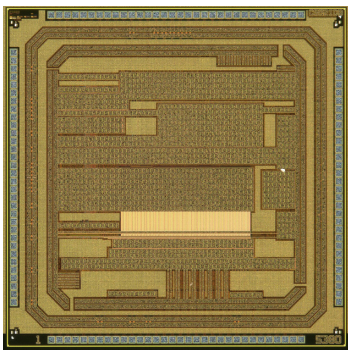


電気通信大学情報・ネットワーク工学専攻　Nguyen Thi-Viet-Ha, Tran Thai-Ha, Pham Cong-Kha

概要：The proposed VCO is a current-starved three-stage ring oscillator implemented in 180-nm CMOS, occupying an active area of 0.001 mm^2. As shown in the block diagram, the circuit comprises three functional blocks: a bias-controlled current circuit, the oscillator core, and a pulse-width modulation (PWM) output stage, all supplied from a dedicated power block. The control voltage VVCT is first converted into a bias current by the voltage-to-current converter formed by MP1/MP3 and MN1/MN2, which generates the internal bias node VB. This bias is mirrored to the current-source transistors placed above and below each delay stage, so that the current available to charge and discharge the load capacitance of every inverter is set directly by VVCT. Three additional offset voltages, VOS1, VOS2 and VOS3, drive MP6, MP8 and MP10 respectively, allowing the bias condition of each of the three delay stages to be trimmed independently and thereby correcting stage-to-stage asymmetry. The oscillator core itself consists of three inverting delay stages connected in a closed loop, indicated by the red path in the schematic. Each stage combines a CMOS inverter with a transmission gate whose channel resistance is modulated by VVCT, so that the propagation delay per stage varies continuously with the control voltage. Since the oscillation period equals twice the sum of the three stage delays, this mechanism provides direct and monotonic control of the output frequency. The resulting waveform at node VD is then passed through the PWM circuit, which restores the duty cycle to 50 percent and sharpens the output edges, reducing jitter and improving spectral purity before fVCO is delivered to the divider chain. Simulation confirms a tuning range from 93 Hz to 1.67 GHz for VVCT swept from 0 to 1.8 V, and a phase noise of −101.5 dBc/Hz at a 1 MHz offset. This chip also integrates a dual countermeasure to protect the Advanced Encryption Standard (AES) design. Our design employs dynamic masking and horizontal hiding based on the Gold code. The implementation also consists of a central controller to control data flows, including plaintext, ciphertext, and the secret key of the AES encryption. The total area cost of the circuit in the CMOS 0.18 μm process is 566,399 square micrometers. It is equivalent to approximately 58.5 kGE, where one gate equivalent (GE) is the minimum area of a NAND2 gate. Total power consumption at 100 MHz and 1.8 V is approximately 60.33 mW.

設計期間：3人月以上，4人月未満　**設計ツール：**Cadence社 GENUS，Cadence社 Innovus，Cadence社 Virtuoso，Mentor社 Calibre，
トランジスタ数：10,000～100,000　**試作ラン：**ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別：**アナログ（PLL, A-D/DC-DCコンバータなど）

画素トランジスタと積分型A/D変換器を一体化した読み出し回路

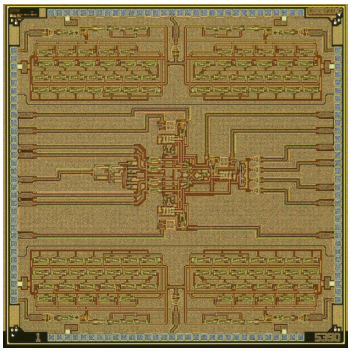


立命館大学大学院理工学研究科　岡田 虹輝, 大倉 俊介

概要：従来のCMOSイメージセンサでは，フォトダイオードで生成された光電子を画素内のソースフォロワ（SF）で読み出し，列並列シングルスロープ（SS）A/Dコンバータ（ADC）でデジタル変換します． IoT社会における低コスト・低消費電力のイメージセンサに向けて，画素トランジスタをADCの一部として利用するSS-ADCを提案・試作しました．提案方式では画素内SFを省略し，光電子を直接デジタル信号へ変換することで，読み出し回路面積，消費電力，および入力換算ノイズの低減を実現します．さらに，全カラムで共有するランプ波形生成回路のバッファ駆動能力を動的に制御することで，消費電力のさらなる削減を図りました．

参考文献：K. Okada et al., “An Area-Efficient and Low-Power Single-Slope A/D Converter Merged with a Pixel Transistor for CMOS Image Sensors,” 2025 ITC-CSCC, pp.1-4　**設計期間**：4人月以上，5人月未満　**設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre，Cadence社 Spectre，　**トランジスタ数**：10,000～100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

4択バンディット問題のアナログ学習回路

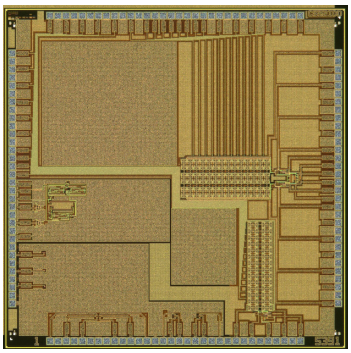


明治大学理工学部　和田 和千
明治大学理工学研究科　森 光平

概要：前年度の試作にて180 nm CMOSで最大速度500M選択/sの2択用のアナログ回路（2AB回路）を実現可能であることを確認していたことを発展させ，速度よりも選択肢の拡大で応用の対象を広げることを目的にしている．選択肢が多い場合にモジュールを用意して，それらを規則的に配置・接続する構成を提案しているので，そのためのモジュールを2AB回路を基にし実現した．このモジュールと構成の妥当性の検証のための試作である．

設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre, Synopsys社 StarRC (XT)，　**トランジスタ数**：1,000～10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナデジ混載

帯域幅・中心周波数可変1次複素フィルタ回路

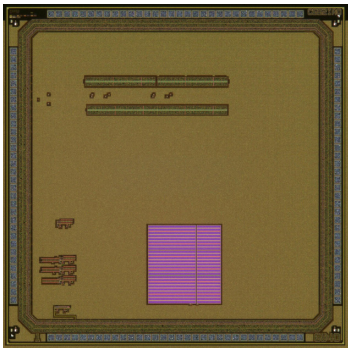


明治大学理工学部　和田 和千, 天野 悠真

概要：トランスコンダクタとキャパシタによるGm-Cフィルタを用いた，IF帯1次複素バンドパスフィルタ回路である．WLAN（チャネル帯域幅20 MHz）やZigBee/BLE（同2 MHz）など，異なる通信規格の多様な帯域幅に対応する受信機において，高速かつ低消費電力なチャネルのスキャンを実現することを目的にしている．回路構成の基礎検討として，実フィルタと1次複素フィルタの両方を試作し，それぞれの測定評価と解析による妥当性を検証するための試作である．消費電力は433 μW（最小帯域）～1.37 mW（最大帯域）であった[1].

参考文献：[1] “±10MHz内で帯域可変の0.18 μm CMOS 1次複素バンドパスフィルタの試作および測定系容量と素子ばらつきによる周波数特性変動の解析”, 天野悠真, 和田和千, 電気学会電子回路研究会ECT-26-005, 2026年1月　**設計期間**：3人月以上，4人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Synopsys社 StarRC（XT），　**トランジスタ数**：100～1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

医用超音波用可変帯域フィルタほか

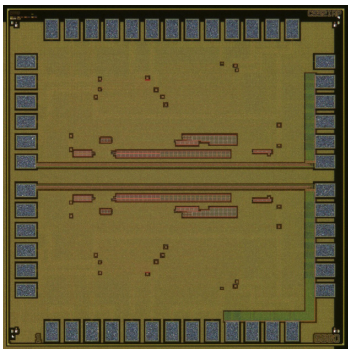


慶應義塾大学理工学部　中野 誠彦
慶應義塾大学理工学研究科　森 瑞紀, 永田 智考, 赤羽根 遼, Sala Alvaro

概要：近年，医用超音波装置の小型化・多チャネル化に向け，受信信号処理回路およびビームフォーミング用クロック生成回路の高集積化が求められている．本チップには，超音波ハーモニックイメージング受信回路に用いる低二次歪・可変利得・可変帯域のアクティブRC低域通過フィルタと，ビームフォーミングに必要な多相クロックを生成する完全ディジタル遅延同期ループを搭載した．前者は観察条件に応じた利得および遮断周波数の切替を可能とし，後者は高精度な位相信号の生成を目的とする．各回路について，試作チップによる動作および性能の評価を行う．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Synopsys社 HSPICE（RF），**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナデジ混載

高昇圧DC-DCコンバータ用制御IC

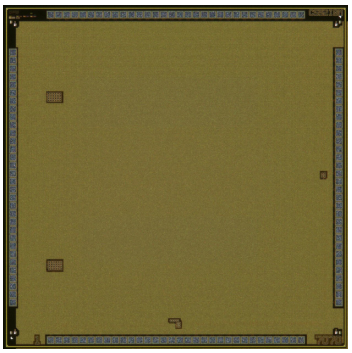


東京工芸大学工学部　崔 通, 橋元 啓輔, CHEN ZHIXUAN

概要：本試作ICは，高昇圧DC-DCコンバータ[1] の安定動作と高効率化を目的に設計された電圧モード制御ICである．高昇圧動作に伴う位相遅れを補正するためType III補償を採用し，本設計では新たにESD保護回路を搭載した上で，寄生効果の影響を低減するレイアウトのイタレーション設計を行った． IC内部には，エラーアンプ，PWMジェネレータ，オシレータ，ランプジェネレータ，およびMOSFET駆動用バッファ回路を搭載．出力電圧（Vout）の分圧抵抗，位相補償用受動素子，およびバンドギャップ・リファレンスは外付け仕様とした． 実機評価の結果，一部の内部ブロックにおいて動作を確認しており，全体動作は確認中である．

参考文献：[1] Toru Sai, Yasuhiro Sugimoto, “A Large Voltage Gain and High Output Power Boost Converter for PV Sources Directly Convertible to 400 V DC Microgrid,” IEICE Electronics Express, 2024 Volume 21 Issue 7 20240106.　**設計期間**：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

低電源電圧で動作するOTA

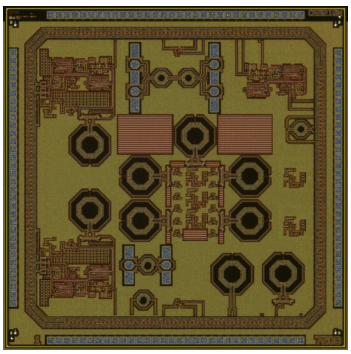


埼玉工業大学工学部　吉澤 浩和

概要：太陽電池や熱発電，振動発電などのエネルギーハーベスティングが広く研究されている．これらの発電で得られる0.5V以下の非常に小さい電源電圧に対応できるICの設計も注目されている．OTAにおいても0.5 V以下で動作する回路構成について活発に研究が行われている．0.3 V以下の電源電圧での動作ではBody-driven 入力を用いた回路構成が多く報告されている． 本研究室では電源電圧0.3V で動作するCMOS OTAを考案し，回路シミュレーションで良好な動作を確認した． 本試作では，文献[1]（H. Yoshizawa and N. Inoue, “A 0.3-V 10-nW CMOS OTA with Feedforward Body-Driven Structure,” IEEE International Conference on Microelectronics, Dec., 2023.）で報告した2段増幅回路を3段増幅に拡張したOTAを試作した．0.18μm CMOSプロセスを用いて試作を行った．ICの測定結果では，電源電圧0.5Vでは消費電力18 nWでDC利得80 dB以上が得られた．

参考文献：H. Yoshizawa and N. Inoue, “A 0.3-V 10-nW CMOS OTA with Feedforward Body-Driven Structure,” Proc. International Conference on Microelectronics, Dec., 2023.　**設計期間**：0.5人月以上, 1人月未満　**設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre，　**トランジスタ数**：10〜100　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

CHIFAJA A 180-nm Class-C PLL Test Chip for GHz-Band Clock Generation and Component-Level Radiation Sensitivity Analysis

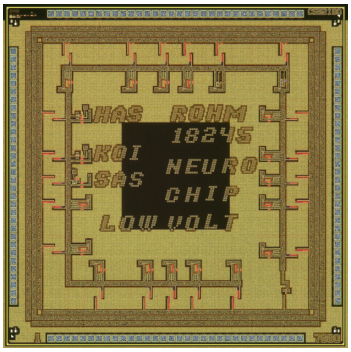


京都大学情報学研究科　Cheng Quan, 橋本 昌宜

概要：CHIFAJA is a 180-nm CMOS test chip designed to investigate the radiation tolerance of a Class-C phase-locked loop（PLL）operating in the GHz frequency range, around 2.4–2.6 GHz. The chip targets a low-power, high-swing clock-generation architecture for systems that require stable frequency synthesis under harsh operating environments, including wireless, sensing, and edge applications exposed to radiation stress. The implemented PLL consists of a Class-C voltage-controlled oscillator（VCO）, divider chain, phase-frequency detector（PFD）, charge pump, and loop-filter interface. The Class-C VCO is adopted to improve oscillation efficiency by increasing the effective tank swing while reducing current consumption. The divider chain and PFD form the feedback and frequency-comparison path required for PLL locking at the target GHz-band output frequency, while the charge pump and loop filter control the VCO tuning behavior. A key feature of CHIFAJA is that it supports both closed-loop PLL characterization and standalone block-level evaluation. This structure enables radiation-induced degradation to be analyzed from individual circuit blocks to the complete PLL system. Radiation experiments are performed to evaluate the sensitivity of the VCO, divider, PFD, and related loop circuits. The results clarify multiple degradation mechanisms, including frequency drift, phase-error disturbance, lock degradation, divider malfunction, and increased timing uncertainty. By comparing standalone block measurements with closed-loop PLL behavior, CHIFAJA helps identify which components dominate radiation-induced performance loss. It therefore provides a component-level experimental platform for understanding radiation effects in analog/mixed-signal clock-generation circuits and for guiding future radiation-aware PLL design.

設計期間：1人月以上，2人月未満　**設計ツール：**Synopsys社 VCS，Synopsys社 DesignCompiler，Cadence社 Innovus，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，　**トランジスタ数：**1,000〜10,000　**試作ラン：**ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別：**アナログ（PLL, A-D/DC-DCコンバータなど）

低電圧動作用P-HCNMの試作

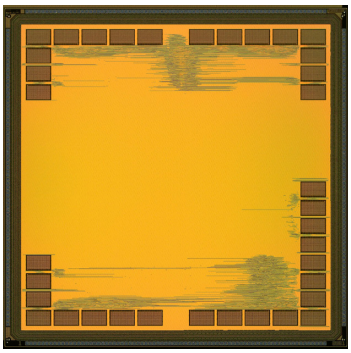


日本大学理工学部　佐々木 芳樹

概要：0.6V以下の低電圧で動作可能なスパイキングニューロンモデル（P-HCNM）をメインターゲットとして作成を行った．前回作成時には歩留まりが極めて小さかったが，その歩留まり劣化要因としてコンデンサを直列に接続した箇所の昇圧動作により電源以上の電圧値が発生し，それにより微弱なラッチアップが関わっていると推定している．そのため，今回は電源電圧を超える箇所について寄生バイポーラが発生するP型MOSFETの手前にN型MOSFETを入れるなどの複数パターンの対策を施したモデルを作成した．また，比較用としてサイズの異なる複数のパターンについても検討を行い，歩留まりの劣化要因を推定できるよう工夫を行っている．なお，P-HCNMは他にもゼミナール生が解析を行うために作成した1.8V動作を前提とした通常モデルも同一パラメータで異なるレイアウトを複数実装しており，配線パターンやコモンセントロイド，ダミーパターンの有無によりどのような違いが発生するかを考察できるように配置を行っている．なお，実装したすべてのモデルは同一の電源リングパターンに配線を行っているが，電源リングパターンはESD対策セルを経由していない．これは，低電源P-HCNMに期待する消費電流がpAオーダーであることから，リングフレームを経由した漏れ電流による測定誤差が大きくなることを防ぐためである．

設計期間：0.5人月以上，1人月未満　**設計ツール：**Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Synopsys社 Hercules，Synopsys社 HSPICE（RF），　**トランジスタ数：**100〜1,000　**試作ラン：**ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別：**その他

三次元積層LSI超並列TSVバス通信の電力評価チップ

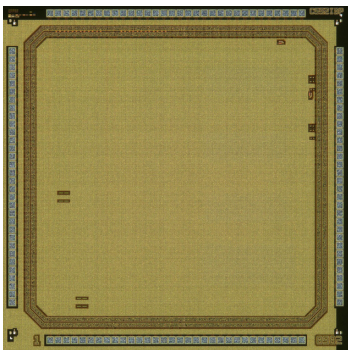


熊本大学　大川 猛，青柳 昌宏, 汐田 優斗，渕野 翔
広島大学　久保木 猛

概要：TSV(Through-Silicon-Via)を用いた三次元積層LSIにおける高帯域チップ間I/Fのテストチップを開発した。TSVチップ間通信電力とコア電力・入出力電力を独立に測定可能なように回路設計を行った。またクロックの供給を、チップ間通信を用いて行うか、チップ周囲のPAD入力から行うかを選択できる機構を設けた。データはSPI I/Fにより行ってチップ上のSRAMに保持し、チップ間のAXI-Streamプロトコルによる通信機能（ビット幅1024bit、最大64 clkバースト転送）のテストを行うことが可能である。

参考文献：[1] 汐田，久保木，青柳，大川，信学技報，vol. 124, no. 188, RECONF2024-51, pp. 47-52, 2024年9月．　**設計期間：**3人月以上, 5人月未満　**設計ツール：**Cadence社Xcelium, Synopsys社Design Compiler，　Synopsys社IC Compiler II，Cadence社Virtuoso，Mentor社Calibre、Cadence社Quantus，Synopsys社HSPICE（RF）　**トランジスタ数：**10,000〜100,000　**試作ラン：**ローム CMOS 0.18um 5mm角チップ　**チップ種別：**アナデジ混載

三次元積層LSI温度計測・オペアンプ基本回路テストチップ



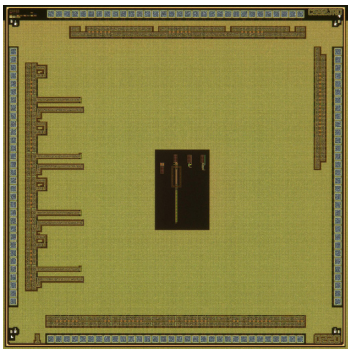
熊本大学　大川 猛，青柳 昌宏, 中村 昌稀，渕野 翔
広島大学　久保木 猛

概要：TSV(Through-Silicon-Via)を用いた三次元積層LSIにおける温度測定のための基本的な評価を行うため、オペアンプ・リングオシレータ・トランジスタ単体等の基本回路を含むテストチップを開発した。

参考文献：[1]中村，久保木，青柳，大川，信学技報，vol. 124, no. 188, RECONF2024-52, pp. 53-58, 2024年9月． **設計期間：**1人月以上，2人月未満　**設計ツール：**Cadence社Virtuoso，Mentor社Calibre、Cadence社Quantus，Synopsys社HSPICE（RF）　**トランジスタ数：**100〜1,000　**試作ラン：**ローム CMOS 0.18um 2.5mm角チップ　**チップ種別：**アナログ

令和7年度第1回ローム CMOS 0.18um 試作

MEMS触覚センサ用フロントエンド回路他

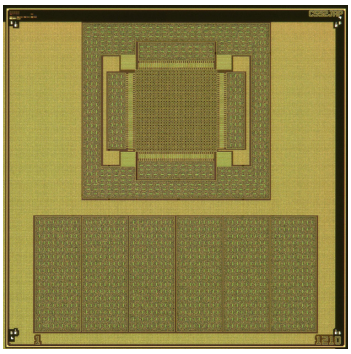


立命館大学情報理工学研究科　寺尾 大輝, 馬 宇生, 木村 知也, 越智 裕之

概要：圧力で抵抗値が変化するMEMS抵抗素子とSpiking Neural Network（SNN）ベースの識別回路を繋いで小面積／低消費電力な触覚認識を実現するため，抵抗値変動をパルス密度変動に変換する回路である．想定したMEMS素子の抵抗値は350Ω程度，圧力による変動幅は±10Ω程度である．MEMS素子を組み込んだホイートストンブリッジは外付け回路とし，本チップには，それを増幅する差動増幅回路，リングオシレータベースのVCO，および分周器を実装した．比較対象として，350Ωの抵抗を駆動できる弛張型発振回路も実装した．この他，ビットシリアル演算器のTEGも搭載している．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

静電容量式3軸CMOS-MEMS加速度センサの設計試作

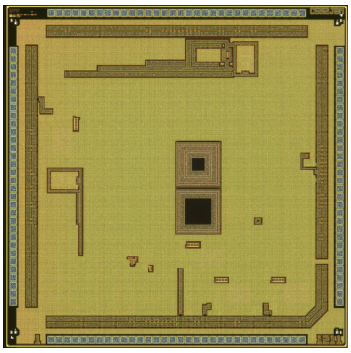


東京電機大学大学院工学研究科　三瓶 智矢
東京電機大学工学部　小松 聡

概要：本チップ試作では加速度センサをより小型に集積することを目的とし，読み出し回路と混載するためにCMOSプロセスを用いて，単一構造で3軸加速度を測定することができる静電容量式加速度センサの設計を行った．中央の錘には3軸方向に対し高感度な梁が接続されており，錘の周囲にはX，Y軸加速度を検出する電極，錘の直下にはZ軸加速度を検出する電極が配置されている．これらの電極と錘の電極間の静電容量変化を読み出すことで加速度の測定を行う．今後はより小さい面積で実装できるように配線やボンディングパッドを含めた全体的な設計を見直し，実際に読み出し回路との集積を行うことを目標とする．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，　**トランジスタ数**：〜10　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：MEMS

ToFセンサの集積化に向けたフォトダイオードのTEG

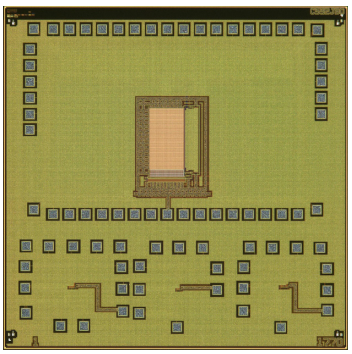


東京電機大学大学院工学研究科　松井 宏樹
東京電機大学工学部　小松 聡

概要：ToF（Time of Flight）センサとは物体との距離を光の飛行時間を用いて測定するセンサである．スマートフォンにおける顔認証システムでは高解像度，高分解能が求められると同時に低消費電力であることが重要である．本チップ試作ではToFセンサの構成要素の評価を目的とし，CMOSプロセスを利用したフォトダイオードを設計しフォトダイオードの出力電流を測定した．納品されたCMOSチップを用いてフォトダイオードの受光特性をRGBおよび白のLEDを用いて評価した．今後はフォトダイオードの構造の変更や低消費電力化に向けたTDCの改善を目指し，フォトダイオードとの集積化を目指す．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Synopsys社 HSPICE（RF），**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

超伝導任意波形発生器用波形メモリ他

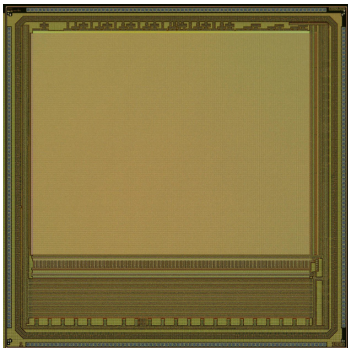


横浜国立大学理工学府　竹越 隆紀
横浜国立大学先端科学高等研究院　吉川 信行

概要：超伝導集積回路技術の一種である単一磁束量子（SFQ）回路の特徴を活用した任意波形生成回路の開発において，低温CMOSメモリを波形メモリとして運用する回路方式を検討している．本試作チップでは波形メモリの要求性能に合わせ，シーケンシャルデコーダを用いたSRAMマクロを設計し，搭載している．試作チップはSFQ回路チップとワイヤボンディングで接続可能なようにパッドが配置され，低温での実験評価が可能となっている．本チップを使用した実験評価は未実施だが，基本設計が同様のチップは以前の試作で作製しており，低温（4.2 K）での正常動作が確認されている．その他，メモリセル等のTEG回路も同チップに積載されている．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 QUANTUS，Cadence社 ASSURA，　**トランジスタ数**：100,000～1,000,000
試作ラン：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：メモリ

分散型構造の無段階加速度ランプ信号生成器を用いたシングルスロープADC搭載CMOSイメージセンサ

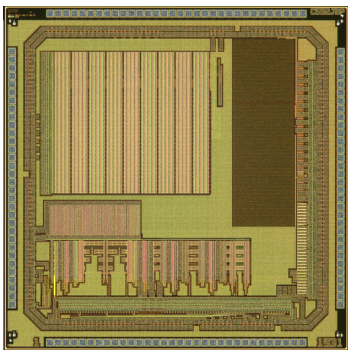


東京理科大学大学院工学研究科　迫田 隼人

概要：モバイル機器等における高度な動画撮影性能の要求に応えるため，高速かつ高分解能なシングルスロープADCを搭載したCMOSイメージセンサを試作した．一般的にシングルスロープADCは小面積で実装可能であり高画素化に適している一方，高分解能化に伴いAD変換時間が指数的に増大するという課題がある．これに対し本研究では，量子化ステップが連続的かつ滑らかに増加する「無段階加速度ランプ」を生成する回路を用いた高速・高分解能シングルスロープADCを提案した．この方式はランプ波形に高周波成分を含まないため，信号の歪みをシステム的に抑え，INLを大幅に劣化させることなく高速なAD変換を実現する．加えて，ランプ信号生成器の回路ユニットを列内に複数配置する「分散型構成」を採用した．これにより，ランプ信号生成器からADCまでの伝送路を短縮して寄生抵抗および寄生容量を最小限に抑えるとともに，各生成器の中間ノードと出力を並列接続することで列間の伝搬遅延差および素子の製造ばらつきを大幅に低減した．本提案手法をチップとして試作・実装し，実機検証によって提案手法の有効性と実現性を確認した．

設計期間：5人月以上，6人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Cadence社 Spectre，
トランジスタ数：100,000～1,000,000　**試作ラン**：ローム CMOS 0.18μm 5.0mm角チップ　**チップ種別**：イメージセンサ/スマートセンサ

高機能・高性能イメージセンサの実現に向けた要素回路検証用TEGチップ

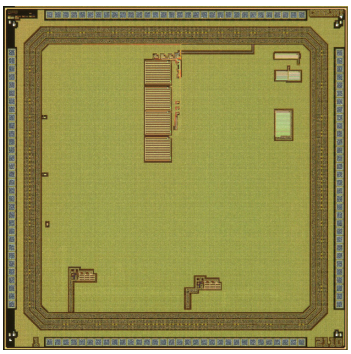


東京理科大学大学院工学研究科　藤田 一槻

概要：次世代のイメージセンサにおいて求められるHDR化，高感度・高SNR化，および高速・高分解能化の要求に応えるため，3つの新規手法をそれぞれ検証するための回路を搭載したTEGチップを試作した．本チップには，以下の3つの要素回路が独立して搭載されている． 第一に，HDR撮像が可能なSPADイメージセンサ回路である．高照度環境下での画素内カウンタの飽和を防ぐため，オーバーフローを契機として段階的に感度を低下させる光子計数アルゴリズムを提案した．さらに，低照度環境での暗カウントを低減するため，画素構造の最適化を図った．第二に，高感度・低雑音ハイスピードTDI CMOSラインセンサ回路である．高速撮像と高SNRを両立させるため，パッシブ読み出し画素からの微小信号をCTIA回路で大幅に増幅し，読み出しノイズを相対的に低減する手法を提案した． 第三に，小面積かつ高分解能な列並列SAR ADC回路である．ブリッジキャパシタと複数の基準電圧を組み合わせ，非整数比容量が不要でマッチングの取りやすい新たなキャパシタアレイ構造を提案し，回路面積の縮小と高い変換精度の両立を図っている． 本研究では，これら3つの独立した機能を単一のTEGチップ上に実装することで，次世代イメージセンサに向けた各提案手法の有効性を検証した．

設計期間：9人月以上，10人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Cadence社 Spectre，
トランジスタ数：100,000～1,000,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：イメージセンサ/スマートセンサ

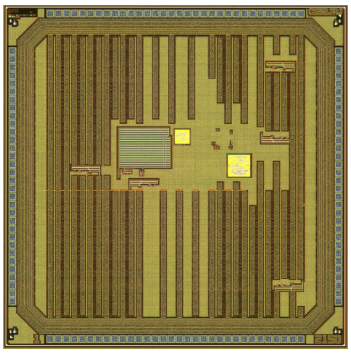
心電図自動診断補助用ICと周波数掃引発振器と電圧制御発振器とCPGモデルとニューロンモデル



日本大学理工学部　佐伯 勝敏, 山口 拓人, 南部 祐紀, 飯泉 裕陽, 内藤 義翔, 米川 尊

概要：本チップでは，5名がそれぞれ回路を搭載した．1．心電図増幅部と異常検知回路を搭載し，実測，評価を行った．2．ガスセンサのCole-Coleプロットの取得を目的とした，周波数掃引発振器を搭載し，実測，評価を行った．3．電圧制御発振器を設計し，搭載した．小面積，広帯域，低消費電力なチップを設計した．4．繁雑な計算無しに4足歩行ロボットの歩容生成を可能にするためにCPG（Central pattern Generator）を用いたロボット制御用ICを設計し，評価考察を行った．5．ICレイアウト設計について勉強するために細胞体モデルを設計，搭載した．
設計期間：5人月以上，6人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナデジ混載

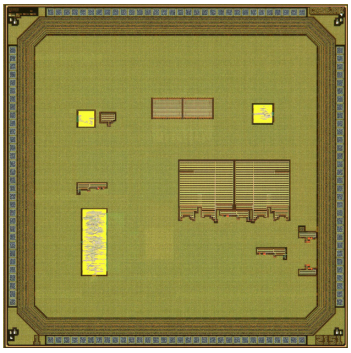
DCDLとPIを用いたTime-to-Digital変換回路チップ



富山県立大学工学部　吉河 武文, 小嶋 惟睦, 坂口 健心

概要：DCDL（Digital Control Delay Line）とDLL（Delay Locked Loop）を用いて，Time-to-Digital変換システムを構築しチップ化した．PIは，遅延ユニットの段数を変更することによりワイドな可変レンジを実現しているが，解像度を上げれないので，この遅延ユニットに最大遅延値が合致するPI（Phase Interpolator）を直列接続して，このPIにより最小の遅延粒度を規定している．さらに，DLLを用いてクロックの1周期に当該DCDLの遅延を合わせることにより，クロックの周期（時間）をデジタル値に変換できるシステムを構成した．
参考文献：Nagasaki et.al. ‘An Expandable Digital Delay Line using Phase Interpolator with Duty Cycle Correction Capability’, ISCAS2025　**設計期間**：4人月以上，5人月未満　**設計ツール**：Cadence社 Xcelium，Synopsys社 VCS，Synopsys社 ICCompiler II，Cadence社 Virtuoso，Mentor社 Calibre，　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

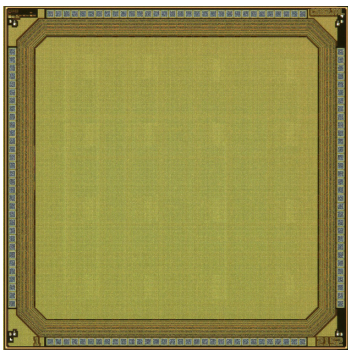
DEMを用いたD/Aコンバータチップ



富山県立大学工学部　吉河 武文, 竹内 悠, 中村 巧未

概要：DEM（Direct Element Matching）を用いて，D/A（Digital to Analog）コンバータを設計した．D/Aコンバータは，電流加算型を使用した．まず，アレイ状の電流セルの配置に起因する位置的なオフセットを分散させるために，階層的に魔法陣配列を採用した．さらなる線形性の向上のためにDEMを採用した．DEMは，変換の1周期を16分割し，その中でビットを適宜入れ替えて電流セルの配置に起因するオフセットを分散させた．
参考文献：東野 将史，小林 春夫，“魔方陣レイアウトによるDA変換器の直線性の改善”，和算ジャーナル No.2（2018）　**設計期間**：4人月以上，5人月未満　**設計ツール**：Cadence社 Xcelium，Synopsys 社 VCS，Synopsys 社 ICCompiler II，Cadence 社 Virtuoso，Mentor 社 Calibre，**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

においセンサ用アナログフロントエンドチップ

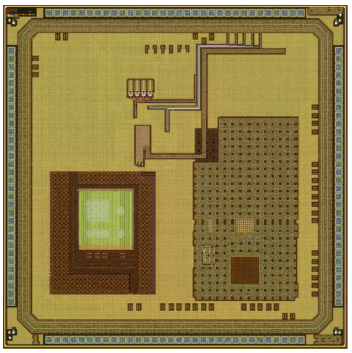


富山県立大学工学部　吉河 武文, 中村 巧未, 竹内 悠

概要：金属半導体酸化物を用いたにおいセンサのアナログフロントエンドを設計した．金属半導体酸化物のヒータの駆動電圧をD/Aコンバータと出力アンプで生成した．また，金属半導体酸化物の臭気ガスに対応する抵抗率の変化を可変ゲインアンプで電圧に変換し，それをA/Dコンバータでデジタル化した．この可変ゲインアンプの利得は，臭気ガスの種類に応じて自動で調整されるようなアルゴリズムを実装した．

参考文献：岩田 達哉，佐伯 真彬，大倉 裕貴，吉河 武文，”温度変調を用いた単一センサによるにおいセンサシステムの試作”，2023年度電気学会E部門総合研究会　**設計期間**：4人月以上，5人月未満　**設計ツール**：Cadence社 Xcelium, Synopsys社 VCS, Synopsys社 ICCompiler II, Cadence社 Virtuoso，Mentor社 Calibre，　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

耐放射線型イメージセンサの特性評価用TEG

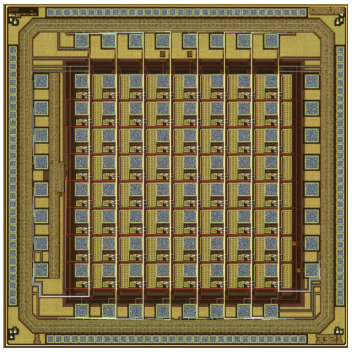


茨城大学工学部　木村 孝之

概要：耐放射線型イメージセンサの多画素化による読み出し速度上昇に対応するため，本研究では読み出し回路の最適化を行った．本研究ではリング型ゲートなどのレイアウトの工夫により耐放射線性を実現しているため，回路によっては広い拡散領域による寄生容量が動作速度の低下を起こす可能性がある．そのため，読み出し回路において一部通常MOS構造を導入することで読み出し速度の改善を行うこととした．読み出し速度の目標としては1024×1024画素からなるイメージセンサを30fpsで読み出すことができることとし，その結果1画素あたりに許容される読み出し時間は32.5μsとなる．この時間内に転送やリセットなどを行う必要があるため，画素の読み出しに許容される時間は300nsとなる．これまでの読み出し回路は画素内にnMOSソースフォロアを，列毎にpMOSソースフォロアを配置していた．その中の半分のMOSFETを通常MOS構造とした．試作した読出し回路の読み出し時間は220nsであり，構造の変更前の450nsよりも短くすることができた．さらにコバルト60によるγ線を3kGy照射後の応答速度を確認したところ270nsとなり50ns劣化した．これはγ線照射によるしきい値変化から説明できる．この様に通常MOS構造を導入しても耐放射線性の劣化を最小限に抑えた上で読み出し速度の改善が実現できた．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

暗電流が多いフォトダイオードで利用可能なフォトアンプの特性評価用TEG

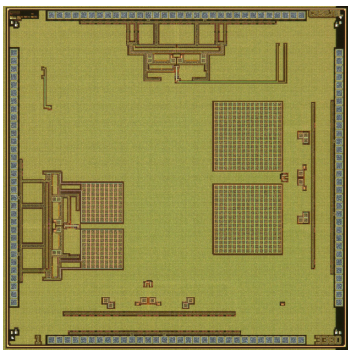


茨城大学工学部　木村 孝之

概要：現在，環境負荷の低いマグネシウムシリサイドを材料とした光電変換素子の開発が行われている．前年度の試作において，開発したトランス・インピーダンス・アンプ（TIA）は暗電流が多い光電変換素子でも利用可能であることが明らかとなっている．今年度は，マグネシウムシリサイドによる8×8画素アレイに対して読み出しが可能な8×8アレイ型のTIA回路の試作を行った．読み出しは8列並列で行うこととし，行選択のための3bitデコーダを搭載した．まずTIA回路のゲインばらつきを調べるため，TIA回路の入力に抵抗を1つ追加した．この様に反転増幅器を構成することでゲインばらつきを調べたところ，最大で1.88%であった．これは前年度の試作と同程度であった．続いてフォトダイオードを使用して出力のばらつきを調べた．画素アレイの準備できなかったため，マグネシウムシリサイド製の単一フォトダイオードを接続してI/V変換を行った．光源には波長1310 nmのレーザーダイオードを使用し，発生した赤外線はコリメートレンズにより平行光に変換して入射光とした．その結果，アレイ全体のTIA回路の正常動作を確認でき，出力のばらつきは4.8%であった．ゲインばらつきより若干大きいがこの程度であれば信号処理で容易に補正できるため問題無いと考えられる．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

細胞インピーダンス計測のためのアナログフロントエンド回路

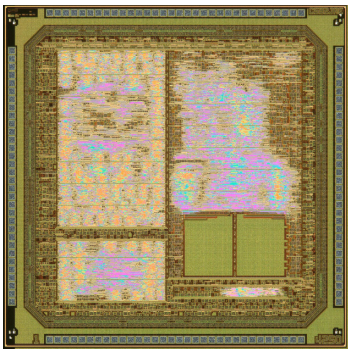


立命館大学理工学部　大島 智也, 宇野 重康

概要：CMOSチップ上の微小電極による生きた細胞のインピーダンス測定を行うための回路設計を行った．従来回路に対して，まず回路中のTIAの 相対的トランジスタばらつきの影響を緩和し出力電圧誤差の抑制を図った．またGilbert cell による差動アンプを用いたミキサーの改良を加え，さらにInstrumentation Amplifierでの基準電圧を安定化させた．以上の改善により，広い周波数範囲において細胞インピーダンスを表す等価回路に対する測定とシミュレーションを行い，正常なインピーダンス絶対値および位相特性を計測できることを確認した．

設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：その他

Jitter-Based TRNG and Dynamic AES-128

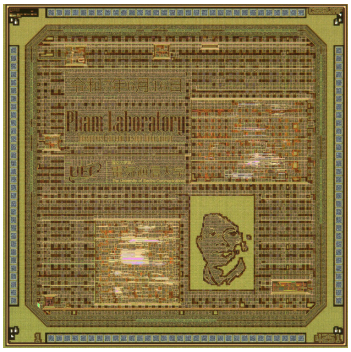


電気通信大学情報・ネットワーク工学専攻　Tran Thai-Ha, Duong Phuc-Phan, Pham Cong-Kha

概要：This chip integrates multiple TRNGs based on a jitter signal. There are three different designs, each constructed from ring oscillators and a linear feedback shift register. The total area cost of the circuit in the CMOS 0.18 μm process is 40,097 square micrometers. It is equivalent to approximately 4970 GE, where one gate equivalent（GE）is the minimum area of a NAND2 gate. Total power consumption at 100 MHz and 1.8 V is approximately 6.017 mW. This chip also implements a compact 128-bit AES encryption engine incorporating a dynamic S-box mechanism for low-power and side-channel-aware cryptographic applications. The design preserves the standard AES-128 plaintext, key, and ciphertext formats while dynamically changing the S-box transformation under internal control. This mechanism varies the switching activity of intermediate data during repeated encryptions and is intended to improve resistance against correlation power analysis. The chip also integrates UART communication and a built-in self-test function, enabling convenient functional evaluation without requiring additional external control hardware. The Dynamic AES core operates from a nominal 1.8-V power supply. The core measures 815.36 μm × 458.64 μm and contains 33,883 NAND2 gate equivalents, implemented using 15,410 standard cells. The maximum operating frequency is 125 MHz. At a nominal temperature of 25 °C and a supply voltage of 1.8 V, the reported average power consumption is approximately 8.01 mW. Functional measurements confirmed correct AES-128 encryption, stable UART communication, and reliable operation of the built-in self-test interface. The compact physical dimensions and moderate gate count make the core suitable for embedded security devices and experimental platforms for side-channel-resistant cryptographic hardware.

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 GENUS，Cadence社 Innovus，Cadence社 Virtuoso，Mentor社 Calibre，**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：演算回路（乗算器，除算器など）

Adaptive Dual-Mode Fractional-N PLL

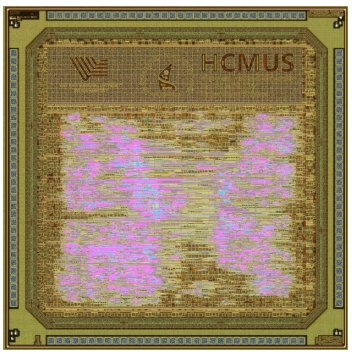


電気通信大学情報・ネットワーク工学専攻　Nguyen Thi-Viet-Ha, Pham Cong-Kha

概要：The growing demands of IoT and next-generation wireless systems require RF frequency synthesizers that achieve both fast lock acquisition and ultra-low phase noise conflicting requirements that conventional PLL architectures, constrained by a fixed bandwidth-noise trade-off, cannot simultaneously satisfy. This proposed presents an adaptive dual-mode PLL that dynamically reconfigures between integer-N and fractional-N operating modes to overcome this fundamental limitation. During lock acquisition, a wide-bandwidth integer-N configuration drives rapid frequency convergence. Upon detecting phase-error settling, the loop autonomously transitions to a narrow-bandwidth fractional-N mode for high-resolution synthesis and optimized noise performance, effectively decoupling settling speed from spectral purity. Three principal contributions are introduced: (1) a bandwidth-reconfigurable loop filter with an autonomous phase-error monitoring unit that triggers mode transitions and eliminates unnecessary steady-state power dissipation; (2) an adaptive digital noise filter offering PVT-robust suppression of ΔΣ quantization noise, surpassing conventional delay-line approaches; and (3) a multi-loop architecture with a high-resolution digital phase detector to minimize integrated jitter across the full operating range. Implemented in 180-nm CMOS at 1.8 V targeting the 2.91–3.2 GHz band, post-layout simulations achieve an in-band phase noise of −119 dBc/Hz, integrated RMS jitter of 1 ps, worst-case fractional spur of −62.7 dBc, and total power of 13.2 mW, yielding a figure of merit of −228.8 dB. Most notably, the adaptive mechanism reduces lock acquisition time by 70% compared to conventional single-mode PLLs. These results confirm a practical, silicon-validated solution for agile, low-power RF synthesis in IoT, wearable, and mobile front-end applications, establishing a foundation for future reconfigurable synthesizer research targeting beyond-5G systems.

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

Digital Spiking Neural Network Chip

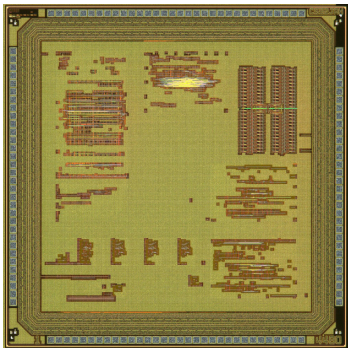


The University of Science, Vietnam National University Ho Chi Minh City Faculty of Electronics and Telecommunications　Le Duc-Hung
電気通信大学情報・ネットワーク工学専攻　Pham Cong-Kha

概要：To realize edge artificial intelligence (AI) devices, AI and machine learning models should not only be integrated into small chips but also be capable of on-chip learning for better power consumption, rather than being deployed with power-hungry devices like graphics processing units. Spiking Neural Networks (SNNs) are rising as promising candidates for this purpose. Recently, the resonance-and-fire (RAF) neuron model has been attractive for engineers to construct SNNs in hardware due to its simplicity and synthesizable design. The chip design implemented a RAF model-based Digital Spiking Neural Networks using the 180nm CMOS technology and having a die size of 2.5mm x 2.5mm. Digital Spiking Neural Networks employed Resonate and Fire (RAF) neural circuit model, deploying entirely digital circuits from the neural circuits, synapse circuits, and STDP, forming a neural network with three basic layers: input layer, hidden layer, and output layer. Using digital components and circuits, the ADRAF neuron solves the device mismatch and low-speed issues in analog design. The design was simulated using Verilog and measured on an FPGA Cyclone V in advance before deploying CMOS technology. All results confirmed that the proposed models and design have the most of salient properties of the original RAF model: Damped subthreshold oscillation of the neuron's membrane potential, resonance detection, Coincidence detection, post-inhibition spikes. Spiking Neural Networks are bio-plausible neural networks with biological characteristics similar to the human brain, offering advantages such as low power consumption and high-speed performance. The intended application of Digital Spiking Neural Networks is in the biomedical fields.

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 GENUS，Cadence社 Innovus，Cadence社 Virtuoso，Mentor社 Calibre，**トランジスタ数**：100,000〜1,000,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：マイクロプロセッサ

遅延故障およびIC間配線の検査用の各種検査容易化回路の試作

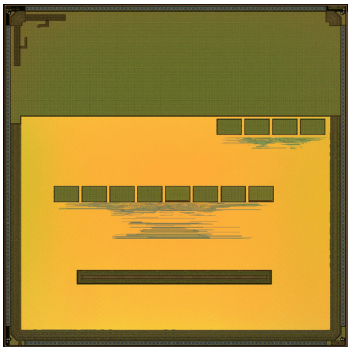


徳島大学大学院創成科学研究科理工学専攻　鶴岡 蒼久, 藤野 泰弘, 南 柊哉, 山橋 湧也, 土井 翔平, 山根 杏太
徳島大学大学院社会産業理工学研究部　四柳 浩之

概要：IC間配線の検査用の回路5種とIC個体識別回路1種を含むチップを試作した．1）ICの待機状態時に部分的に検査可能なバウンダリスキャン設計を実装した．2）弛緩発振器を用いるIC間断線検出を行う検査回路を実装した．3）遅延付加部を共有する時間-ディジタル変換回路（TDC）組込みバウンダリスキャン設計を実装した．4）IC間接続のリペア機能を内蔵するバウンダリスキャン設計を実装した．5）自己観測型TDC組込みバウンダリスキャンを用いる半断線故障検査回路を実装した．6）PUF機能を持つTDC組込み型検査容易化回路を実装した．各回路について動作検証および検出可能故障の条件についての実験を行なっている．

設計期間：6人月以上，7人月未満　**設計ツール**：Cadence社 Xcelium，Synopsys社 DesignCompiler，Synopsys社 ICCompiler，Cadence社 Virtuoso，TOOL社 Lavis，Mentor社 Calibre，Cadence社 QUANTUS，Cadence社 Spectre，Synopsys社 PrimeTime，Synopsys社 Formality，**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

三次元積層LSI超並列TSVバス通信テストチップ（上）

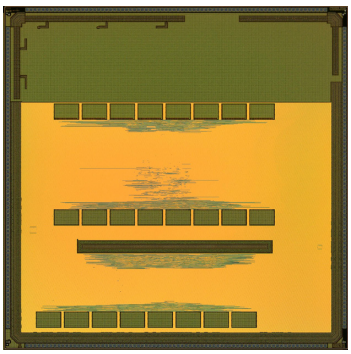


熊本大学半導体・デジタル研究教育機構　大川 猛, 青柳 昌宏
広島大学大学院先進理工系科学研究科　久保木 猛
熊本大学大学院自然科学教育部　汐田 優斗, 仙石 崇大, プラクストン 月海

概要：TSV (Through-Silicon-Via) を用いた三次元積層LSIにおける高帯域チップ間インターフェースのテストチップを開発した．本チップは三次元積層の上側を想定したチップである．チップ間通信回路（ビット幅1024bit，最大64 clkバースト転送）のほか，基本的な論理回路のテストを行える回路を搭載した．

参考文献：汐田，渕野，福島，久保木，青柳，大川，信学技報，vol. 125, no. 260, VLD2025-27, pp. 58-63, 2025年12月．　**設計期間**：5人月以上，6人月未満　**設計ツール**：Cadence社 Xcelium，Synopsys社 DesignCompiler，Synopsys社 ICCompiler II，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Synopsys社 HSPICE (RF)，　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 5.0mm角チップ　**チップ種別**：アナデジ混載

三次元積層LSI超並列TSVバス通信テストチップ（下）

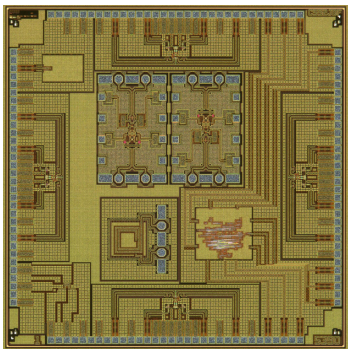


熊本大学半導体・デジタル研究教育機構　大川 猛, 青柳 昌宏
広島大学大学院先進理工系科学研究科　久保木 猛
熊本大学大学院自然科学教育部　汐田 優斗, 渕野 翔, 杉尾 茜

概要：TSV（Through-Silicon-Via）を用いた三次元積層LSIにおける高帯域チップ間インターフェースのテストチップを開発した．本チップは三次元積層の下側を想定したチップである．チップ間通信回路（ビット幅1024bit，最大64 clkバースト転送）のほか，基本的な単体トランジスタ・オペアンプ・リングオシレータ発振周波数などの評価を行える回路を搭載した．

参考文献：汐田，渕野，福島，久保木，青柳，大川，信学技報，vol. 125, no. 260, VLD2025-27, pp. 58-63, 2025年12月．　**設計期間**：5人月以上，6人月未満　**設計ツール**：Cadence社 Xcelium, Synopsys社 DesignCompiler，Synopsys社 ICCompiler II，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Synopsys社 HSPICE（RF），　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 5.0mm角チップ　**チップ種別**：アナデジ混載

「FSK信号復調回路の前段部」

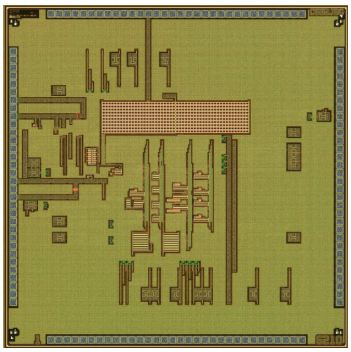


明治大学理工学部　和田 和千
明治大学理工学研究科　大手 直樹

概要：中心周波数10 MHzの無線電力・データ同時伝送システムで送られたFSK変調信号を復調するための前段処理ブロックである．TDC回路と温度計コードの2進化ブロックで構成している．主要部であるTDCをデジタル合成によってASICとして試作した．これにより，出力2進コードからの復調アルゴリズムの動作を検証するとともに，研究室におけるデジタル回路自動合成技術に関する知見を蓄積することを目的としている． 実測では，入力周波数に応じた出力コードの変化を確認し，TDCを用いた復調アルゴリズムの基本的な妥当性を検証することができた．一方，デジタル合成時におけるタイミング制約の見積もりが不十分であったため，同一周波数の信号を入力した場合でも出力コードにばらつきが生じた．

設計期間：2人月以上，3人月未満　**設計ツール**：Synopsys社 DesignCompiler，Synopsys社 ICCompiler II，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Synopsys社 StarRC（XT），Synopsys社 PrimeTime，Synopsys社 Formality，　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナデジ混載

熱電発電素子用の電源回路のアーキテクチャ検討

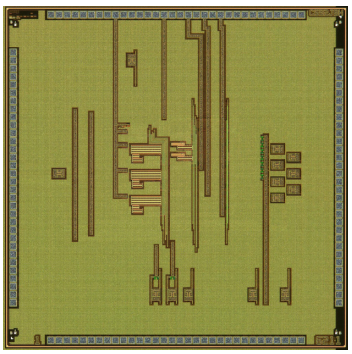


九州大学システム情報科学研究院　孫 世元, 矢嶋 赳彬

概要：近年，環境発電によって自立無線センサに給電し，電池交換を不要にすることが望まれている．環境発電の中でも，熱電発電は熱流から電力を給電することができる技術として注目を集めている．しかし熱電発電で得られる電圧レベルが低いことから，適合したアーキテクチャで電源回路を構築する必要がある． 試作したチップは，回路電源を必要としない起動回路と，回路電源を生成した後に電力変換動作を行う電源回路とから構成される．どちらも，0.2V程度の低電圧から動作することができる．さらにDCDC動作におけるスイッチングのタイミングを最適化する機能を搭載した．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Spectre，**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

環境発電用電源回路の充電素子切替機構の検討

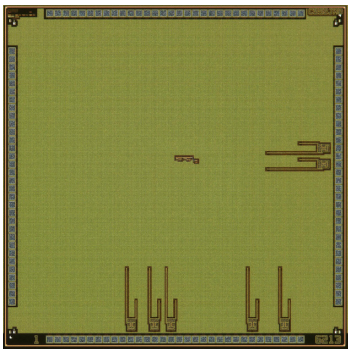


九州大学システム情報科学研究院　孫 世元, 矢嶋 赳彬

概要：近年，環境発電を利用した自立無線センサでは，発電量の変動に応じて蓄電素子を効率的に管理することが重要となっている．特に複数の充電素子を備える電源回路では，蓄電状態や動作条件に応じて充電先を適切に切り替えることで，起動時間の短縮やエネルギー利用効率の向上が期待できる．そこで本研究では，環境発電用電源回路における充電素子切替機構を試作し，その有効性を検討することを目的とした．試作したチップは，環境発電回路，充電制御回路，および複数の蓄電素子を切り替えるスイッチング回路から構成される．動作状況に応じて最適な充電先へ自律的に切り替えることで，発電エネルギーを効率良く利用できる．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Spectre，**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

間欠動作に特化したADCアーキテクチャ検討

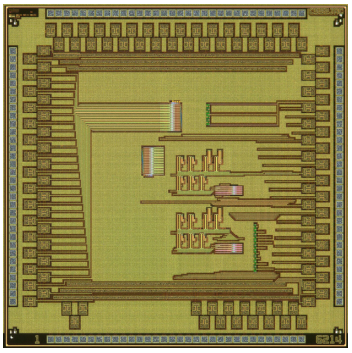


九州大学システム情報科学研究院　殷 浚航, 矢嶋 赳彬

概要：近年，環境発電を利用するIoT機器では，消費電力を極限まで低減するために回路全体を間欠動作させる方式が広く用いられている．このようなシステムでは，長い時間パワーオフで待機しておき，起動直後に短時間でデータ変換を行うADCが必要である．本研究では，間欠動作に特化したADCアーキテクチャを検討し，低消費電力化と高速起動を両立する回路構成について評価することを目的とした．試作したチップは，起動時のオーバーヘッドを最小化するための低リーク回路と高速初期化機構を備えたADCから構成される．また，必要なタイミングのみ変換回路を動作させる制御方式を採用することで，待機電力を大幅に削減できる構成とした．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Spectre，**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

生物を模倣した温度センサシート読み出し回路の試作

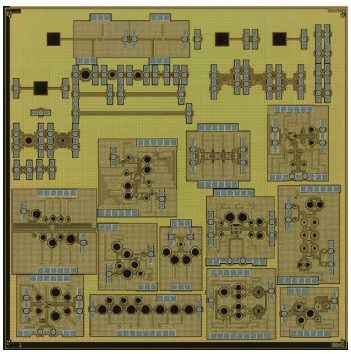


九州大学システム情報科学研究院　萱野 幸佑, 矢嶋 赳彬

概要：近年，電子皮膚やウェアラブルデバイスの発展に伴い，大面積に配置された多数の温度センサを効率的に読み出す回路が求められている．しかし，従来方式ではセンサ数の増大と共にアナログ信号が劣化するという課題がある．そこで本研究では，生物の神経系に着想を得た2値読み出し方式を採用した温度センサシート読み出し回路を試作し，その有効性を評価することを目的とした．試作したチップは，多数の温度センサを効率的に2値読み出しするデジタル読み出し回路を搭載し，アナログ信号劣化を回避しつつ，消費電力と読み出し時間を削減できる構成とした．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Spectre，**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

イメージセンサ・6G FR3向けアナログ・高周波集積回路

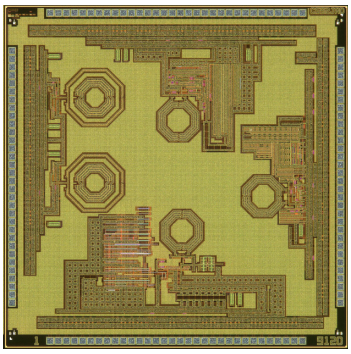


東京理科大学大学院創域理工学研究科　斧田 賢明, 齊藤 圭, 中澤 広樹, 横谷 希実
東京理科大学創域理工学部　足立 萌美, 大立目 優与, 亀山 幹泰, 高野 恭弥

概要：イメージセンサ用TIA，12 GHzドハティ電力増幅器，24 GHz低雑音ダウンコンバージョンミキサを設計した．TIAは最大70.8 dBΩ，帯域62 MHz，雑音2.18 pA/√Hzを達成．PAは受動素子化とアダプティブバイアスにより最大PAE 27.1%，6 dBバックオフ時14%を実現．ミキサはインダクタ直列nMOS電流注入で利得と雑音指数を改善した．

参考文献：大立目優与, 高野恭弥, “アダプティブバイアス回路を用いた0.18 μm CMOS 12 GHzドハティ電力増幅器,” 電子情報通信学会総合大会, C-12-32, 2026年3月． **設計期間**：10人月以上　**設計ツール**：Cadence社 Virtuoso，TOOL社 Lavis，Mentor社 Calibre，Keysight社 ADS，**トランジスタ数**：10～100　**試作ラン**：ローム CMOS 0.18μm 5.0mm角チップ　**チップ種別**：通信（RF回路，ATMなど）

スプリアス低減機構付きFractional-N PLL，エラー検出機構内蔵CDR-PLLおよび発振器TEG

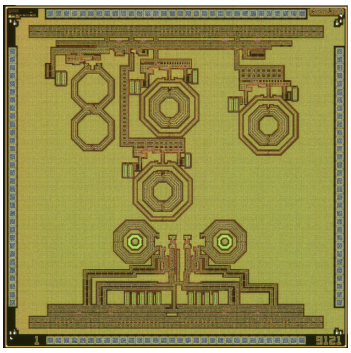


大阪工業大学大学院工学研究科 電気電子機械工学専攻　喜多見 陸, 有馬 雄, 川崎 竜登, 閔 思宇
大阪工業大学工学部 電気電子システム工学科　吉村 勉

概要：昨年度試作したFractional-N PLLと同様のDSM（MASH 1-1）やOver Clocking（x4），Fast locking機構に加えて，考案した量子化ノイズ削減手法の機構を実装し，その効果を検証する．量子化ノイズ低減手法としては，従来行われているデジタル補正とは異なり，フィードバッククロックを疑似リファレンスクロックとして用いることで，分周比変動による量子化ノイズの削減を図っている．CDR-PLLにおいては，ジッタ耐性の向上を目指すためにエラーレートをリアルタイムで測定できるシステムを内蔵した．構成は，PRBSエラーチェッカ，カウンタ回路，出力スキャンレジスタとなる．2.5Gbpsレートでのエラー検出は難しいことから，1:8デシリアライザを用いて8ビットパラレルデータでのエラー検出＆カウントを実装した．検出結果を一定周期で出力しモニターすることで，CDRによるデータサンプルポイントを調整する外部システムを今後検討する．また，発振器電磁ノイズに関するテスト評価として発振器TEGを実装した．

設計期間：3人月以上, 4人月未満　**設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre, Synopsys社 Hercules，Synopsys社 HSPICE（RF），Keysight社 ADS，　**トランジスタ数**：1,000～10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

PLL相互干渉ノイズ低減検証TEGおよび電磁波コントローラ内蔵PLL回路



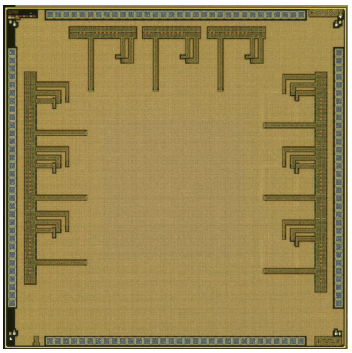
大阪工業大学大学院工学研究科 電気電子機械工学専攻　林 雅美, 川崎 竜登
大阪工業大学工学部 電気電子システム工学科　吉村 勉

概要：昨年度までの相互干渉TEGの評価結果を踏まえ，再調整した位相同期回路相互干渉低減機構の検討TEGを試作した．方式として電磁カップリングインジェクションを実装し，その電流強度を外部制御することでカップリングの度合いを調整できるような機構を導入した．それとは別にLC共振型発振器の回路動作に伴う電磁ノイズの外部への影響低減を目的とした電磁場コントローラつき発振器およびPLL回路を実装した．同種の回路をいくつか異なる距離に配置し，お互いの回路動作による影響を測定する．またコイル形状が異なる発振器も実装し，その影響についても評価解析する．

設計期間：1人月以上, 2人月未満　**設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre, Synopsys社 Hercules，Synopsys社 HSPICE（RF），Keysight社 ADS，　**トランジスタ数**：1,000～10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

令和7年度度第2回ローム CMOS 0.18um 試作

MEMS触覚センサ用フロントエンド回路

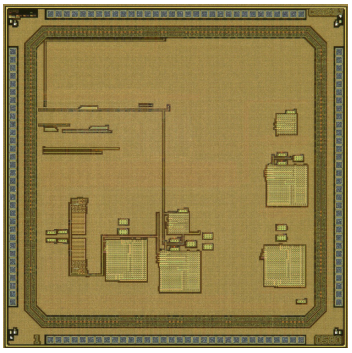


立命館大学情報理工学研究科　寺尾 大輝, 木村 知也, 越智 裕之

概要：圧力で抵抗値が変化するMEMS抵抗素子とSpiking Neural Network（SNN）ベースの識別回路を繋いで小面積／低消費電力な触覚認識を実現するため，抵抗値変動をパルス密度変動に変換する回路である．想定したMEMS素子の抵抗値は350Ω程度，圧力による変動幅は±10Ω程度である．MEMS素子を組み込んだホイートストンブリッジは外付け回路とし，本チップには，それを増幅する差動増幅回路，リングオシレータベースのVCO，および分周器を実装した．本試作はRO1825_1の改良版である．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：1,000～10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

適応型CMCPを用いた2電極心電信号増幅回路の試作

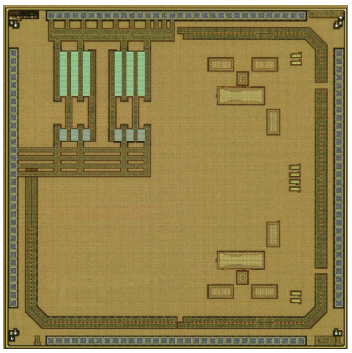


山梨大学工学部　ナトー マルカスエンゾ, 岡部 杏夏, 藤田 誉大, 佐藤 隆英

概要：2電極心電信号増幅回路において，電極容量のミスマッチにより同相干渉が差動雑音へ変換される問題を検証するため，試作チップを作成した．チップには，同相入力電圧を制御するCMCP, 左右のフライングキャパシタ容量を調整するキャパシタバンク, 同相干渉およびCM-DM変換成分の増減を推定する回路を搭載した．今後は，入力飽和の防止効果，容量調整動作の収束性，50 Hz同相干渉の低減量，電極容量変動への追従性を実測し，提案手法の有効性を評価する．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：100～1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

負性容量を用いた低消費電力・広帯域生体信号増幅回路の試作

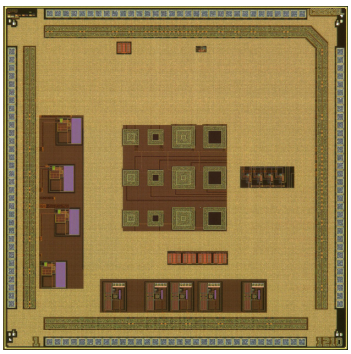


山梨大学工学部　石上 拓也, 藤田 誉大, 佐藤 隆英

概要：チョッパ方式の生体信号増幅回路における帯域確保と低消費電力化を検証するため，負性容量回路を備えた集積回路を試作した．試作チップは，インバータ型全差動主増幅回路，正帰還容量を接続した副増幅回路，および入出力チョッパ回路から構成される．負性容量により主増幅回路の出力容量を実効的に低減し，少ないバイアス電流で必要な遮断周波数を実現する．今後，利得，遮断周波数，消費電流，チョッパ動作および雑音特性を実測し，シミュレーションで示された帯域拡大効果と消費電力低減効果を評価する．

設計期間：0.5人月以上, 1人月未満　**設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre, Synopsys社 HSPICE（RF），　**トランジスタ数**：100～1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

電源電圧依存性を低減した0.8-V PTAT電圧源

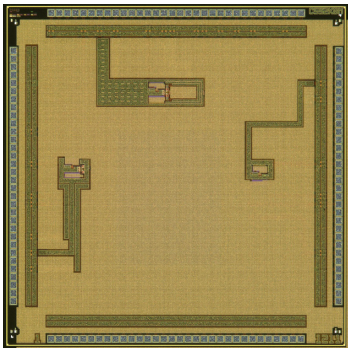


東京電機大学大学院工学研究科　新井 理巧
東京電機大学工学部　小松 聡

概要：ICチップ内部の温度をモニタリングするため，オンチップ温度センサとしてPTAT回路がある．絶対温度に比例する電圧，電流を生成する回路であり，本回路はチップの熱特性や温度を確認することを目的としている．今回の試作では，弱反転領域で動作するMOSSFETを使用したPTAT温度センサ回路の設計を行った．オペアンプを使用しない従来のPTAT回路では電源電圧に対する出力電圧の変動が大きい．オペアンプを使用したPTAT回路では，消費電力やノイズの課題がある．今回試作した回路では，オペアンプを使用せず，電源電圧依存度を低くした構成を提案した．試作したチップの測定では243 K – 400 Kの範囲でPTAT特性を確認できた．

設計期間：1人月以上, 2人月未満　**設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre, Synopsys社 HSPICE（RF），　**トランジスタ数**：1,000～10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

音声アプリケーション向けの低消費電力なVCOADC

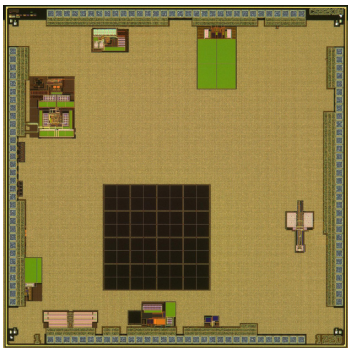


東京電機大学大学院工学研究科　野口 泰寛
東京電機大学工学部　小松 聡

概要：音声認識等の機能は，常にマイクをアクティブにしておく必要がある為，マイクと共に搭載されるAnalog-to-Digital Converter（ADC）が低消費電力であることが重要である．この為信号情報を時間領域に置換することで理論上低電源電圧時でも分解能の劣化が少ないVCOADCに着目した．マイク向けのADCとしては高いダイナミックレンジ（DR）も重要であるが，電圧制御発振器（VCO）の電圧-周波数（V-F）特性の非線形性がDRの劣化をもたらす．そこで本チップでは線形なV-F特性をもつVCOを用いることで，VCOADCのダイナミックレンジの拡張を試みた．今後は実測段階でも十分な分解能を達成するため，よりノイズに強い構成とすることを目指す．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Synopsys社 HSPICE（RF），**トランジスタ数**：100～1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

IoTのためのアナログ回路TEG

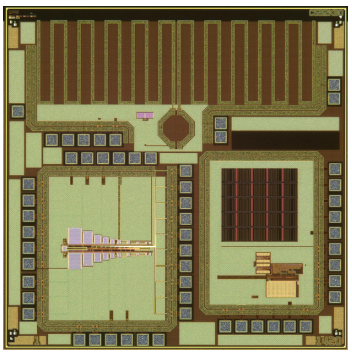


広島工業大学工学部　升井 義博

概要：IoT社会では，アナログICが「デジタルシステムの感覚器官」として不可欠となる．今後の課題は，さらなる低消費電力化とコスト削減だと考えている．また，IoTの実用化に伴い，無線センサーネットワークの利用が開始されつつある．最近の無線センサーネットワークでは信号通信用の配線だけでなく，電源配線の無線化も進みつつある．特にセンサ系回路においてはアナログ回路の性能改善が重要である．そのような背景を受け，本試作ではエネルギーハーベストを電源とし，無線センサーネットワークでの利用を想定したアナログ要素回路の試作を行った．低電圧駆動，低消費電力というテーマで0.18μmCMOS プロセスを用いた磁気センサ，0.5V以下という低電圧で動作可能な逐次比較型ADC，リング型発振回路，照度センサ等を集積した．

設計期間：10人月以上　**設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS, Cadence社 Spectre，　**トランジスタ数**：10,000～100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

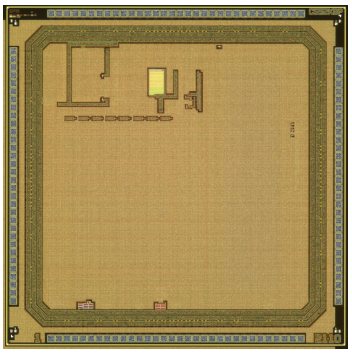
8-bit逐次比較ADC，NIRS計測用受光回路，オンチップアンテナおよび送信回路



芝浦工業大学工学部　佐々木 昌浩, 高橋 祐樹, 金井 悠稀, 土田 和暉

概要：本試作では複数の回路を実装している．1つ目はSAR ADCである．本回路は従来のVrefとGNDの2値切替方式に対し，Vref，Vcm，GNDの3値切替方式を採用することで，小面積・低消費電力を実現している．2つ目はNIRS計測用受光回路である．APDを用いて微弱な生体光を高感度に電流変換し，専用の外乱光除去フィルタにより環境ノイズを排除することで，高精度な生体光測定を可能としている．3つ目はアンテナと被変調波生成回路である．LC発振を用いた被変調波生成回路により，デジタル信号を無線通信用信号へ変換可能としている．
設計期間：4人月以上, 5人月未満　**設計ツール**：Cadence社 Xcelium, Cadence社 GENUS, Cadence社 Innovus，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Cadence社 Spectre, Keysight社 ADS，　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

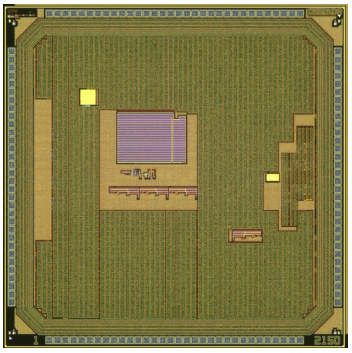
心電図自動診断補助用ICと周波数掃引発振器と電圧制御発振器とCPGモデル



日本大学理工学部　佐伯 勝敏, 山口 拓人, 南部 祐紀, 飯泉 裕陽, 内藤 義翔

概要：本チップでは，4名がそれぞれ回路を搭載した．1．心電図は心臓の状態を推定し，診断するために役立っている．現本チップでは，ハードウェアのみを用いて心電図自動診断補助を行うことを目的に，全体回路を搭載し，実測，評価を行った．2．ガスセンサのCole-Coleプロットの取得を目的とした，周波数掃引発振器の各回路を搭載し，各回路の実測，評価を行った．3．電圧制御発振器を設計し，搭載した．小面積，広帯域，低消費電力なチップを設計した．4．繁雑な計算無しに4足歩行ロボットの制御を可能にするための歩容制御部を設計し，評価考察を行った．
設計期間：4人月以上, 5人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナデジ混載

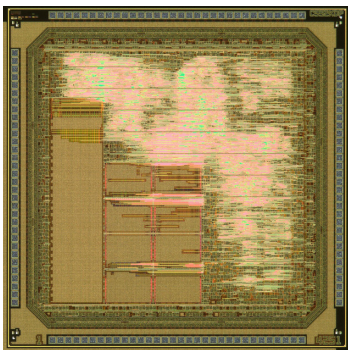
モード多重伝送用通信チップ



富山県立大学工学部　吉河 武文, 先田 涼真

概要：モード多重伝送を実現するICチップを試作した．ドライバ部は，電流加算型として，コードに応じて加算電流を変えてテブナン抵抗を関して4値の電圧を出力する．レシーバーは，この4値を識別するために3個のリファレンス電圧を設けて，それらと入力電圧を比較して判定する．この判定結果はデコーダを介して入力したデジタル値に戻される．内部のPLLで250MHzのクロックを生成し，このクロックから250Mbpsの4線のケーブル通信を実現している．
参考文献：松嶋 徹，今川 壱織，福本 幸弘，”モード多重伝送のための電力分配器によるシールド付4線ケーブルに対するモード信号印加法”，EMCJ2022-7　**設計期間**：3人月以上，4人月未満
設計ツール：Cadence社 Xcelium，Synopsys社 ICCompiler II，Cadence社 Virtuoso，Mentor社 Calibre，
トランジスタ数：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

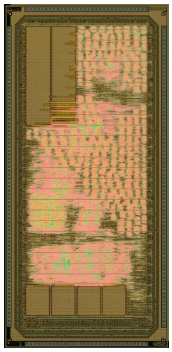
PicoRV32 RISC-V SoC with Alpha Deep Learning Accelerator



Ho Chi Minh City University of Technology Faculty of Computer Science and Engineering　Ngo Thai, Tran Ngoc Thinh, Huynh Phuc Nghi
電気通信大学情報・ネットワーク工学専攻　Hoang Trong-Thuc

概要：This chip implements the AlPicoSoC, which is a low-power system-on-chip based on the 32-bit PicoRV32 RISC-V core designed for AIoT edge devices to increase the efficiency of Deep Learning (DL) model inference. The architecture uses a 32-bit system bus to connect the central processor to various modules. It contains at least 8kB of on-chip memory that is divided into dedicated Instruction Memory (IMEM) and Data Memory (DMEM) for code and data storage. Other peripherals include a UART for serial communication and an internal controller labeled AlPicoCtrl to manage system signals. The hardware for AI acceleration is the Alpha Accelerator. This component is organized into a computation group and a data interface group. The data interface group uses multiple storage blocks, including a Weight Buffer, Input Buffer, Output Buffer, and a Bias and Partial-Sum Buffer. These buffers provide the necessary data for the computation group, which consists of a Processing Matrix, Accumulation Matrix, and an Element-Wise Unit. Within the Processing Matrix, units perform operations using Multiply-Accumulate (MAC) logic and Look-Up Tables (LUT) . The Accumulation Matrix stores temporary results in an Intermediate Sum Register. The Element-Wise Unit handles final data processing through a Quantization Unit, an Activation Function Unit, and a Comparison Unit. The accelerator operates on a three-stage pipeline. In the Read Data (RDATA) stage, data moves from the buffers into internal registers. The Computation (COMPS) stage carries out the matrix calculations. Finally, the Write Back (WBACK) stage sends the processed output to the Output Buffer. This pipeline allows data to flow continuously during the inference cycle. The size of the chip core is around 1950µm × 1500µm.
設計期間：4人月以上，5人月未満　**設計ツール：**Cadence社 GENUS，Cadence社 Innovus，Cadence社 Virtuoso，Mentor社 Calibre，**トランジスタ数：**100,000〜1,000,000　**試作ラン：**ローム CMOS 0.18µm 2.5mm角チップ　**チップ種別：**マイクロプロセッサ

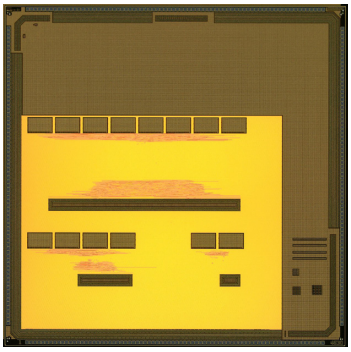
Hardware-Accelerated MKV Block Cipher on a Rocket RV64IMAC SoC



電気通信大学情報・ネットワーク工学専攻　Nguyen Trong-Hung, Pham Cong-Kha

概要：The chip integrates a System-on-Chip (SoC) based on the open-source RISC-V Rocket RV64IMAC processor core. The SoC was developed using the Chipyard framework, which provides a flexible platform for generating and customizing RISC-V-based hardware systems. A hardware accelerator for the MKV block cipher was designed and integrated into the SoC through a memory-mapped I/O (MMIO) interface, enabling the processor to invoke cryptographic operations via standard load/store instructions. This tightly coupled architecture targets symmetric encryption applications for secure stored-data protection while minimizing software overhead and improving execution efficiency. The processor employs a Harvard architecture with separate instruction and data memory hierarchies. It features 4 KiB of instruction cache, 4 KiB of data cache, and 16 KiB of on-chip SRAM for low-latency data storage and program execution. The memory subsystem is designed to support efficient communication between the processor and the cryptographic accelerator through the system interconnect. In addition, the SoC integrates a set of standard peripherals, including GPIO for general-purpose input/output control, UART for serial communication and debugging, JTAG for hardware debugging and programming, and SPI for communication with external devices. These peripherals enable convenient software development, hardware validation, and system-level evaluation. The fabricated chip has a die size of approximately 1900 µm × 4700 µm. At the nominal supply voltage of 1.8 VDC and an operating frequency of 95 MHz, the measured power consumption is 102.2 mW. The chip operates reliably over a supply voltage range from 1.0 VDC to 2.0 VDC, with a maximum operating frequency of 113 MHz. An evaluation board was also developed to characterize the fabricated chip under practical operating conditions. Measurement results demonstrate that the proposed hardware implementation delivers outstanding cryptographic performance, achieving approximately 7× higher throughput than a software implementation executed on a 10th Generation Intel Core i7 laptop processor.
設計期間：1人月以上，2人月未満　**設計ツール：**Cadence社 GENUS，Cadence社 Innovus，Cadence社 Virtuoso，Mentor社 Calibre，**トランジスタ数：**100,000〜1,000,000　**試作ラン：**ローム CMOS 0.18µm 2.5mmx5.0mmチップ　**チップ種別：**マイクロプロセッサ

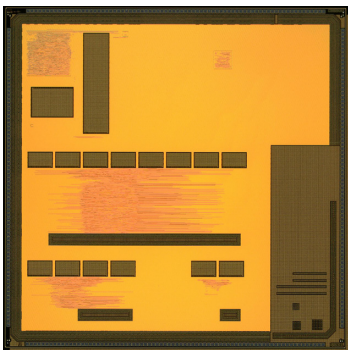
三次元積層LSI超並列TSVバス通信の基本特性テストチップ（上）



熊本大学半導体・デジタル研究教育機構　大川 猛, 青柳 昌宏
広島大学大学院先進理工系科学研究科　久保木 猛
熊本大学大学院自然科学教育部　汐田 優斗, 仙石 崇大, 酒井 柚稀, 小西 翔貴, プラクストン 月海

概要：TSV（Through-Silicon-Via）を用いた三次元積層LSIにおけるチップ間インターフェースのテストチップを開発した．本チップは三次元積層の上側を想定したチップである．チップ間通信回路のほか，基本的な論理回路，クロックゲーティング回路，RISC-Vコアのテスト回路を搭載した．
参考文献：汐田，渕野，福島，久保木，青柳，大川，信学技報，vol. 125, no. 260, VLD2025-27, pp. 58-63, 2025年12月．　**設計期間：**5人月以上，6人月未満　**設計ツール：**Cadence社 Xcelium，Synopsys社 DesignCompiler，Synopsys社 ICCompiler II，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Synopsys社 HSPICE（RF），　**トランジスタ数：**10,000〜100,000　**試作ラン：**ローム CMOS 0.18µm 5.0mm角チップ　**チップ種別：**アナデジ混載

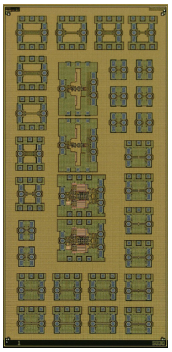
三次元積層LSI超並列TSVバス通信の基本特性テストチップ（下）



熊本大学半導体・デジタル研究教育機構　大川 猛, 青柳 昌宏
広島大学大学院先進理工系科学研究科　久保木 猛
熊本大学大学院自然科学教育部　汐田 優斗, 渕野 翔, 岡本 虹太朗, 杉尾 茜, 米村 美調

概要：TSV（Through-Silicon-Via）を用いた三次元積層LSIにおけるチップ間インターフェースのテストチップを開発した．本チップは三次元積層の下側を想定したチップである．チップ間通信回路，基本的な論理回路・単体トランジスタ・オペアンプの他，TSVを含むリングオシレータの発振周波数によりTSVの寄生容量を測定可能な回路を搭載した．
参考文献：汐田，渕野，福島，久保木，青柳，大川，信学技報，vol. 125, no. 260, VLD2025-27, pp. 58-63, 2025年12月．　**設計期間**：5人月以上，6人月未満　**設計ツール**：Cadence社 Xcelium, Synopsys社 DesignCompiler，Synopsys社 ICCompiler II，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Synopsys社 HSPICE (RF)，　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 5.0mm角チップ　**チップ種別**：アナデジ混載

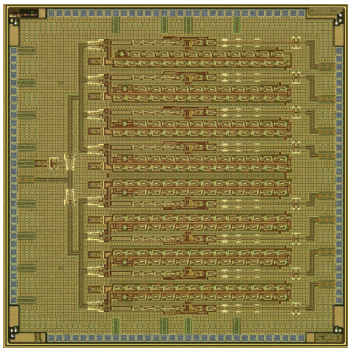
光通信用送受信ICの試作



九州大学大学院 システム情報科学研究院　木村 俊二
九州大学大学院 システム情報科学府　串尾 駿太朗, 田尻 智也
九州大学工学部 電気情報工学科　河島 悠太

概要：光受信回路としてアクセスネットワークに用いられているバースト伝送用受信回路を試作（河島）リセットレスで容量結合が可能な構成に特徴がある．CMOSインバータをアナログ小信号増幅器として活用するため，ボディバイアス効果を利用したしきい電圧補償回路の試作（串尾）低損失線路構造のTEG試作（田尻）を実施した．
設計期間：10人月以上　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，　**トランジスタ数**：10〜100
試作ラン：ローム CMOS 0.18μm 2.5mmx5.0mmチップ　**チップ種別**：その他

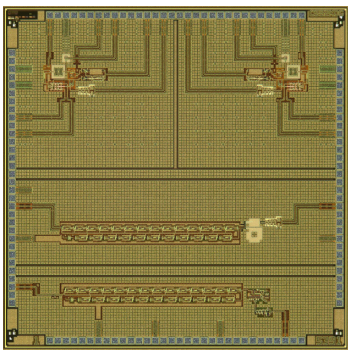
多腕バンディット回路評価用スロットマシン



明治大学理工学部　和田 和千
明治大学理工学研究科　森 光平

概要：試作済み2択バンディット問題のアナログ回路や試作予定の16択回路のために，評価時に必要となる確率調性可能な疑似スロットマシンを実現している．25次M系列回路の出力から連続する10点の2値信号を取り出し，それらの平均値を抵抗網で発生させ，外部から与える直流電圧と比較することで，二項分布に従う11段階の疑似ランダム2値を発生させている．外部からの直流電圧を調整用に使用することができる疑似スロットマシンを8個搭載している．100MSample/sで動作する．
設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Synopsys社 StarRC (XT)，　**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナデジ混載

バンディット問題に必要なゆらぎ信号生成回路ならびにモジュール化した2択バンディット問題のアナログ学習回路

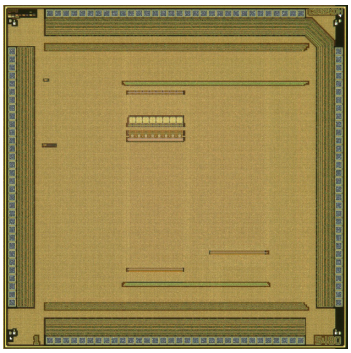


明治大学理工学部　和田 和千, 増井 大貴
University of Bordeaux　Deramat Louis

概要：バンディット問題アナログ選択・学習回路のためのゆらぎ信号を発生する回路を，異なる変調方式を基に2つ試作している．バンディット問題には学習に基づく選択だけでなく，環境変化に対応しやすくするために時々異なる選択をさせる必要もある．学習とは異なる選択肢をランダムなタイミングや頻度で選ばせるには，学習結果にランダムにゆらいだ信号を加える．およそ交番した選択としつつ，そのゆらぎ自体もランダム性を有するように，リング発振回路の出力をM系列で変調して信号生成している．

設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Synopsys社 StarRC（XT），　**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

Computation-in-Memory回路

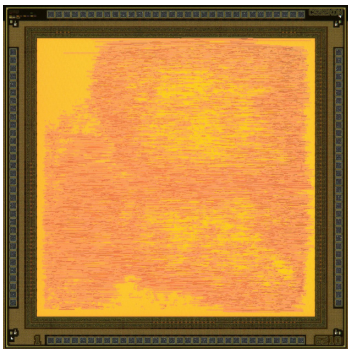


東京大学大学院工学系研究科電気系工学専攻竹内研究室　Liu Ruhui, Zhang Yufan, Xue Hanxi, 石川 智弘, 三澤 奈央子, 松井 千尋
東京大学大学院工学系研究科附属システムデザイン研究センター　竹内 健

概要：AI技術の進展に伴い，これらのシステムの消費電力増大が現在の課題となっています．そこで, 東京大学大学院工学系研究科電気系工学専攻竹内研究室では, Static Random Access Memory（SRAM）を用いた低電力なComputation-in-Memoryの回路を設計しました．2.5mm角チップにComputation-in-Memoryの動作実験および評価を行うための回路ブロックを設計し，Computation-in-Memoryの動作実験のために，複数の演算モードをサポートする積和演算回路やA/D変換回路（ADC），SRAMアレイなどを試作しました．

設計期間：3人月以上，4人月未満　**設計ツール**：Synopsys社 DesignCompiler，Synopsys社 ICCompiler，Cadence社 Virtuoso，Mentor社 Calibre，　**トランジスタ数**：100,000〜1,000,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：メモリ

超低消費電力なExtreme Learning Machineチップのアーキテクチャ検討

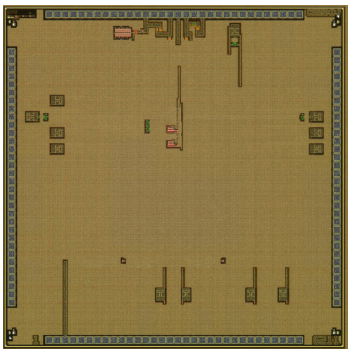


九州大学システム情報科学研究院　馬 寅飛, 矢嶋 赳彬

概要：近年，エッジAIやIoT機器の普及に伴い，センサ端末上で機械学習を実行する需要が急速に高まっている．しかし，従来のニューラルネットワークは演算量やメモリアクセスが多く，消費電力が大きいという課題がある．Extreme Learning Machine（ELM）は，演算量が少なくハードウェア実装に適した機械学習アルゴリズムである．そこで本研究では，超低消費電力なELMチップを試作し，その回路アーキテクチャおよび実装方式を検討することを目的とした．試作したチップは，固定小数点演算に対応した入力層，隠れ層，および出力演算回路とメモリから構成される．各演算ブロックを最適化することで，エッジAI用途に適した高いエネルギー効率を実現できる設計とした．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Synopsys社 DesignCompiler，Synopsys社 ICCompiler II，Synopsys社 CustomCompiler，**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：マイクロプロセッサ

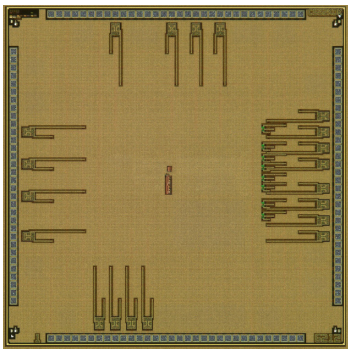
光電発電用の電源回路アーキテクチャの検討



九州大学システム情報科学研究院　孫 世元, 矢嶋 赳彬

概要：近年，太陽電池を用いた環境発電はIoT機器の自立電源として期待されている．しかし，照度変動によって発電電圧や出力電力が大きく変化するため，高効率な電源回路が必要となる．そこで本研究では，光電発電に適した電源回路アーキテクチャを試作し，その構成と動作方式を検討することを目的とした．試作したチップは，電源不在の状況で回路を起動する起動回路と，低起動電圧で動作する電力変換回路と，最大電力点近傍を維持する制御回路から構成される．開放電圧に対して最適な動作点へ自律的に追従することで，高い発電効率を維持できる．
設計期間：0.1人月未満　**設計ツール**：Cadence社 Virtuoso, Cadence社 Spectre,　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

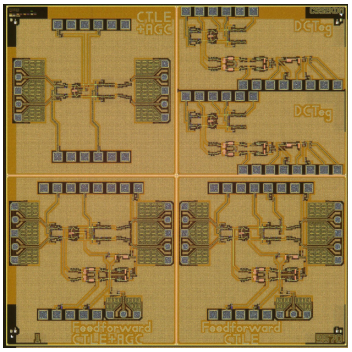
環境発電素子からの開放電圧抽出回路の検討



九州大学システム情報科学研究院　殷 浚航, 矢嶋 赳彬

概要：近年，環境発電を利用した自立型IoTシステムでは，最大電力点追従（MPPT）によって限られた発電電力を有効活用することが重要となっている．その中でも，発電素子の開放電圧を利用するデータ駆動方式は汎用性と性能において利点を有する．一方で，開放電圧の取得中は発電を停止する必要があり，抽出回路の消費電力や測定時間がシステム効率を低下させるという課題がある．そこで本研究では，環境発電素子から高効率に開放電圧を抽出できる回路アーキテクチャを検討し，試作チップによる有効性を評価することを目的とした．
設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Spectre,　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

光受信用アナログフロントエンド回路 TEG13

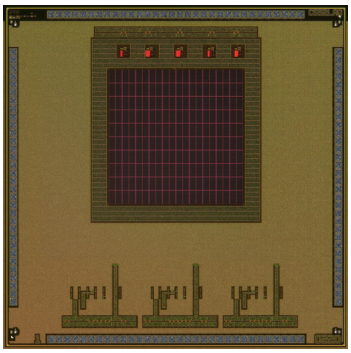


岐阜大学大学院自然科学技術研究科　今枝 俊介
岐阜大学工学部　伊藤 大輔, 中村 誠

概要：前回試作では，等化器と可変利得回路を一体設計することで出力振幅の変動を抑制する利得固定な歪補償回路の動作を検証した．一方，光パケット通信ではパケット毎に光信号の歪量・強度が異なるため，パケット先頭部に置かれたプリアンブル信号で高速に適応制御する必要がある．そこで，今回の試作では，補償量を適応的に制御するための高速応答制御技術を検討し試作を行った．フィードフォワード構成に加えて，プリアンブル先頭部の制御時定数を適応的に制御することで，安定な制御動作を高速応答に実現する構成を検討した．
参考文献：今枝，水谷，薮谷，伊藤，中村，“自動利得制御機能付き PAM4 パケット信号対応CTLE 回路の検討,” 信学総大, A-1-05, 2026年3月．　**設計期間**：4人月以上, 5人月未満　**設計ツール**：Cadence社 Virtuoso, Mentor社 Calibre, Cadence社 QUANTUS，Cadence社 Spectre，Synopsys社 HSPICE（RF），　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：通信（RF回路，ATMなど）

令和7年度度第3回ローム CMOS 0.18um 試作

オンチップ太陽電池のための小さなソーラーセルを用いたMPPT機能付きチャージポンプ回路他

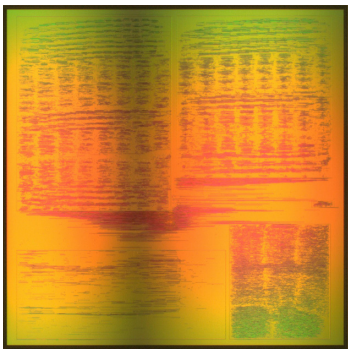


立命館大学情報理工学研究科　木村 知也, 寺尾 大輝, 越智 裕之

概要：我々は集積回路上に形成したダイオードを太陽電池として利用してエネルギーを自給自足する単一ダイのシステムの構築を目指している．本試作回路は1mm角のメイン太陽電池（出力0.5〜0.6V程度），cross-coupled charge pump回路，および小面積の補助ソーラーセルを用いた発振回路から構成される．補助ソーラーセルの受光照度に応じて発振周波数を自律的に変化させ，チャージポンプ回路をメイン太陽電池の最大電力点近傍で動作させることで，幅広い照度条件において高い電力を取り出すことを狙う．この他，RO1825_2で試作したMEMS触覚センサ用フロントエンド回路の改良版も搭載している．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

レジスタブリッジ型並列二値CNN計算回路

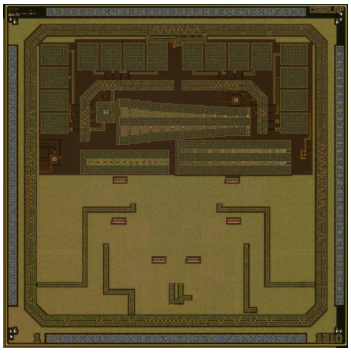


埼玉大学大学院理工学研究科　伊藤 和人

概要：機械学習で用いられる畳み込みニューラルネットワーク（CNN）の計算回路の小型化高速化のため，二値CNNではデータと重みを1ビット（値+1または-1）とする．本試作チップでは，それぞれが積和計算を実行する256個の演算素子（PE）を16×16個の二次元的に並べて並列に畳み込み計算を行う．PE間に両隣PEから読み書き可能なレジスタを配置したレジスタブリッジ（RB）型アーキテクチャと，比較としてPE間にデータ配線のみがある従来の規則的分散レジスタ（RDR）型アーキテクチャのそれぞれに基づいた2種の並列畳み込み回路を設計した．RB型では隣接PE間レジスタによりデータ共有を図り，RDR型と比べて実行クロック数を増やさずにレジスタ数を削減して面積が小型化することを確認した．

参考文献：J. Masuda, K. Ito, “Reducing Registers in Convolution Operation for Binarized Neural Networks with Register-Bridge LSI Architecture,” Proc. SASIMI, pp. 148-153, Oct. 2025.　**設計期間**：3人月以上, 4人月未満　**設計ツール**：Synopsys社 DesignCompiler, Synopsys社 ICCompiler II，Mentor社 Calibre，Mentor社 ModelSim，　**トランジスタ数**：10,000,000〜　**試作ラン**：ローム CMOS 0.18μm 7.5mm角チップ　**チップ種別**：演算回路（乗算器，除算器など）

櫛歯TEGとポストプロセスを考慮したオペアンプTEG

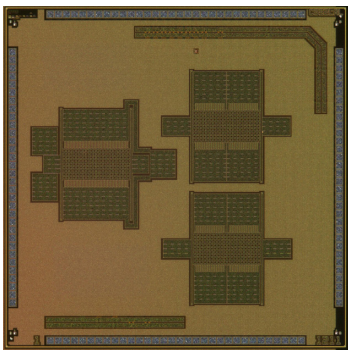


東京電機大学大学院工学研究科　角田 蒼空
東京電機大学工学部　小松 聡

概要：本チップ試作では，Rohm社CMOSプロセスにおいて，CMOS-MEMS加速度センサをリリースした時に残留応力によって発生するカール（変形）の特性測定用TEGと，従来発生していたポストプロセス後に回路の動作不良が発生してしまう原因を特定するための比較用オペアンプTEGを試作した．TEG試作の目的は，CMOS-MEMSのシミュレーション環境および条件を整えることや，CMOS-MEMS混載動作実現に向けて，ポストプロセス後にも動作する回路構造の検証および実証を行うことである．結果として，ポストプロセス後にオペアンプ回路を用いて回路動作を確認することができ,CMOS-MEMS混載実現に向けて動作する回路レイアウトの実証を行うことが出来た．櫛歯TEGにおいては，現在ポストプロセスの条件出しを進行中である．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Synopsys社 HSPICE（RF），**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：MEMS

全差動CV変換回路の試作とMEMS加速度センサTEG

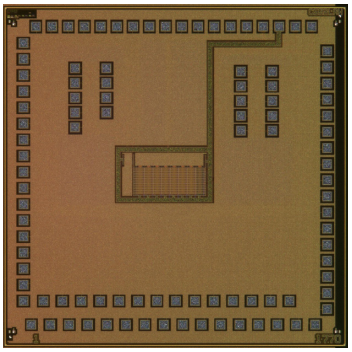


東京電機大学大学院工学研究科　三瓶 智矢
東京電機大学工学部　小松 聡

概要：本チップ試作ではMEMS加速度センサと読み出し回路を集積することを目的とし，静電容量式1軸MEMS加速度センサと全差動アンプでのスイッチトキャパシタCV変換回路を集積した設計を行った．加速度センサは今後の試作での設計の最適化を行うために，構造内部での配線を3パターン設計して搭載した．測定の結果，入力した静電容量の変化に対するCV変換回路の出力変化を確認することができなかった．また，チップによって出力波形が異なっていたため，レイアウトによって製造ばらつきの影響を大きく受けてしまっているものと考えた．今後の課題として，出力が得られなかった原因を考察し，ばらつきの影響を受けないようなレイアウト手法，センサ部との配線を検討する必要がある．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Synopsys社 HSPICE（RF），**トランジスタ数**：10〜100　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：MEMS

超伝導ニューラルネットワーク構築CMOSメモリ

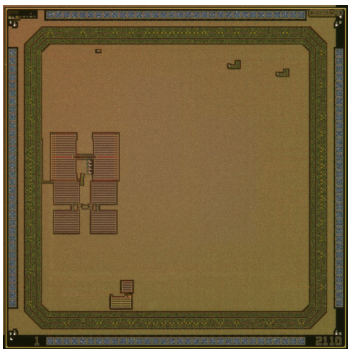


横浜国立大学理工学府　竹越 隆紀
横浜国立大学先端科学高等研究院　吉川 信行

概要：超伝導回路を用いたニューラルネットワークの構築において，低温CMOSメモリを重み保存し，超伝導回路側でNNの演算を行う方式を検討している．本試作チップはSRAMとデジタルアナログコンバータを組み合わせることで，保存したデジタル信号（重み）に応じたアナログ出力が得られるようになっている．試作チップはAQFP回路チップとボンディングで接続可能なようにパッドを配置しており，低音での評価が可能となっている．測定評価としては設計通りの動作が行われており，保存したデジタル信号に応じたアナログ出力が得られていることを確認した．

設計期間：1人月以上，2人月未満　**設計ツール**：Cadence社 QUANTUS，Cadence社 ASSURA，　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：その他

周波数掃引発振器と電圧制御発振器とCPGモデルとオペアンプ

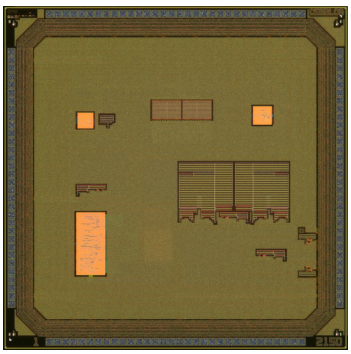


日本大学理工学部　佐伯 勝敏，山口 拓人，南部 祐紀，飯泉 裕陽，内藤 義翔，望月 卓磨

概要：本チップでは，5名がそれぞれ回路を搭載した．1．ガスセンサのCole-Coleプロットの取得を目的とした，周波数掃引発振器の参照電圧部回路を搭載し，実測，評価を行った．2．入力電圧を変化させることで出力周波数を制御可能な電圧制御発振器を設計し，搭載した．小面積，広帯域，低消費電力なチップを設計した．3．繁雑な計算無しに4足歩行ロボットの制御を可能にするためにCPG（Central pattern Generator）を用いたロボット制御用ICを設計し，評価考察を行った．4．IC設計について基礎研究を行い，今後の研究で役立つ回路を設計するために片電源オペアンプを搭載した．

設計期間：5人月以上，6人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Synopsys社 HSPICE（RF），　**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナデジ混載

においセンサ用アナログフロントエンドチップ

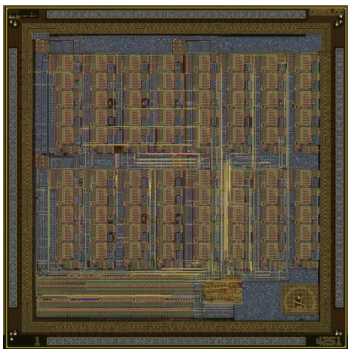


富山県立大学工学部　吉河 武文, 中村 巧未, 竹内 悠

概要：金属半導体酸化物を用いたにおいセンサのアナログフロントエンドを設計した．以前に試作したアナログフロントエンドのD/Aコンバータ部分にバグがあったので，それを修正した．また，可変ゲインアンプの利得調整アルゴリズムも改良した．このように，可変ゲインアンプ，D/Aコンバータ，A/Dコンバータおよびデジタル回路を1チップに集積して，においセンサシステムに組み込んで臭気ガスの識別を実施した．

参考文献：岩田 達哉，佐伯 真彬，大倉 裕貴，吉河 武文，”温度変調を用いた単一センサによるにおいセンサシステムの試作”，2023年度電気学会E部門総合研究会　**設計期間**：3人月以上，4人月未満　**設計ツール**：Cadence社 Xcelium，Synopsys社 ICCompiler II，Cadence社 Virtuoso，Mentor社 Calibre，　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

Analog Spiking Neural Networks

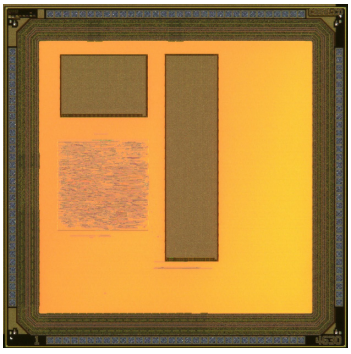


The University of Science, Vietnam National University Ho Chi Minh City Faculty of Electronics and Telecommunications　Le Duc-Hung
電気通信大学情報・ネットワーク工学専攻　Pham Cong-Kha

概要：Analog Spiking Neural Networks employed a Leaky Integrate-and-Fire（LIF）neural circuit model, deploying entirely analog circuits from the neural circuits, synapse circuits, and STDP, forming a neural network with three basic layers: input layer, hidden layer, and output layer. The SNN consists of four main building blocks: Neuron, Synapse, STDP, and WTA. The Neuron block operates based on the Leaky Integrate-and-Fire（LIF）model, accumulating the input current and generating a spike when the membrane voltage exceeds a threshold. The Synapse block stores the synaptic weights and converts presynaptic spikes into excitatory currents for the postsynaptic neurons. Unsupervised learning is carried out by the STDP block, which adjusts the weights according to the timing difference between the spikes of the pre- and postsynaptic neurons. Meanwhile, the WTA block introduces lateral inhibition to enhance selectivity during the classification process. Analog Spiking Neural Network（SNN）circuit can be applied for handwritten digit recognition applications and other 2-D image recognition applications. The design was simulated using Cadence Virtuoso and implemented with layout on 180nm CMOS technology. The Analog Spiking Neural Network was designed on a full chip having a die size of 2.5mm x 2.5mm. The entire circuit was succesfully simulated and evaluated on the MNIST dataset, demonstrating promising recognition accuracy together with low power consumption. Spiking Neural Networks are bio-plausible neural networks with biological characteristics similar to the human brain, offering advantages such as low power consumption and high-speed performance. These results confirm the potential of analog SNN circuits for energy-efficient neuromorphic chips.

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 GENUS，Cadence社 Innovus，Cadence社 Virtuoso，Mentor社 Calibre，**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：マイクロプロセッサ

小面積・省I/OピンRISC-Vコアのテストチップ

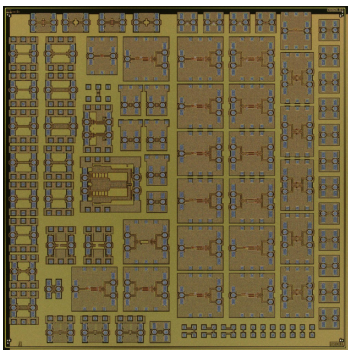


熊本大学半導体・デジタル研究教育機構　大川 猛, 青柳 昌宏
熊本大学大学院自然科学教育部　仙石 崇大

概要：小面積RISC-Vコアのテストチップを開発した．VDEC提供のRISC-Vコア設計チュートリアル（poyo-v）をベースとして，2.5mm角に収まるように（1）SRAM容量を削減，（2）I/Oピン数を削減（外部メモリアクセスピンを削減し，UARTによるプログラムローダ（ploader）を備える，GPIOピンを調整）したチップを設計した．

参考文献：仙石，青柳，大川，信学技報，vol. 126, no. 49, CPSY2026-10, pp. 50-55, 2026年6月．**設計期間**：3人月以上，4人月未満　**設計ツール**：Cadence社 Xcelium，Synopsys社 DesignCompiler，Synopsys社 ICCompiler II，Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Synopsys社 HSPICE（RF），　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：マイクロプロセッサ

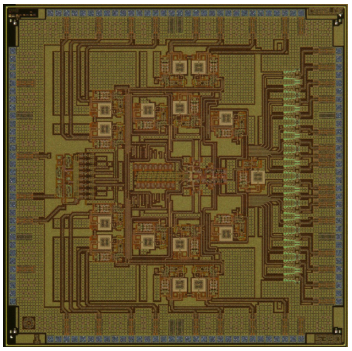
光送受信回路の修正試作



九州大学大学院 システム情報科学研究院　木村 俊二
九州大学大学院 システム情報科学府　串尾 駿太朗, 田尻 智也, 董 博源
九州大学工学部 電気情報工学科　河島 悠太

概要：第2回試作搭載品種のパラメータ修正版に加えて，光送信回路（董）としてレーザドライバを試作した．特徴は出力インピーダンスを低インピーダンス化することで消費電力を削減している点．50Ω整合設計に比べて，30%以上消費電力を削減．
設計期間：7人月以上，8人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，**トランジスタ数**：10〜100　**試作ラン**：ローム CMOS 0.18μm 5.0mm角チップ　**チップ種別**：その他

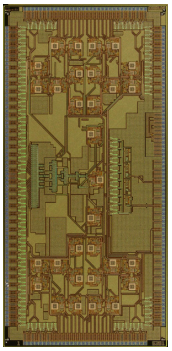
16択バンディット問題のアナログ学習回路



明治大学理工学部　和田 和千
明治大学理工学研究科　森 光平

概要：2024年度第4回試作の試作の延長の設計であり，2.5mm角チップを選択肢数を増やすために活用したものである．モジュール数の増加に伴う配線・レイアウト面積の制約に対応するため，各選択肢に対応する学習モジュールを対称性のある配置とした．ポストレイアウトシミュレーションにて125M選択/sの速度が期待され，その検証のために疑似スロット回路と組み合わせた評価システムの構築が間もなく完了する．
設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Synopsys社 StarRC（XT），　**トランジスタ数**：1,000〜10,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナデジ混載

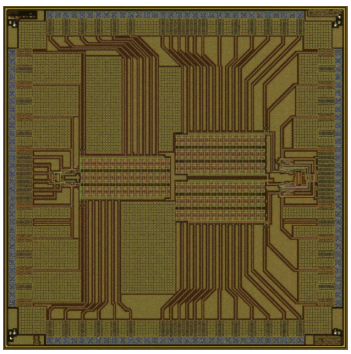
32択バンディット問題のアナログ学習回路



明治大学理工学部　和田 和千
明治大学理工学研究科　松﨑 平蔵

概要：2ABから4AB，16ABへと段階的に規模を拡張してきたシステムの延長線上に位置する試作である．これまでの2.5 mm角チップから，32択への選択肢数拡張に伴い2.5 mm×5.0 mmへとチップ面積を拡大して活用したものであり，180 nm CMOSプロセスにて設計を行った． ポストレイアウトシミュレーションにて，システムクロックは16AB回路と同等の速度を維持し，100M選択/sの速度が期待される．現在，その検証のために疑似スロットマシン回路と組み合わせた評価システムの構築を進めている．今後は実測データとシミュレーション結果の比較を通じて，32択バンディット問題に対する本回路の学習性能を検証する予定である．
設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Synopsys社 StarRC（XT），　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mmx5.0mmチップ　**チップ種別**：アナデジ混載

帯域幅・中心周波数可変2次複素フィルタ回路

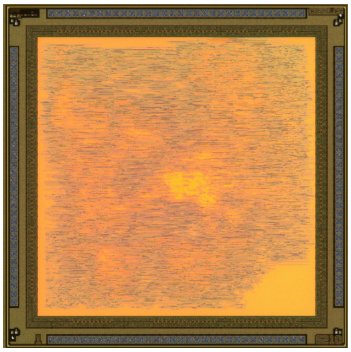


明治大学理工学部　和田 和千
明治大学理工学研究科　天野 悠真

概要：トランスコンダクタとキャパシタによるGm-Cフィルタを用いた，IF帯2次複素バンドパスフィルタ回路である．前回の試作で基礎検討を行った1次複素フィルタの設計を発展させ，先行研究において実現されていなかった2次フィルタにより多様な通信規格に対するチャネル選択性をさらに高めることを目的にしている．本設計では次数を高めるとともに，より正確な測定評価を行うため，前回の回路には実装していなかった出力バッファを接続している．急峻な特性を有する複素フィルタの実現と，その特性評価に適したバッファの設計の妥当性を検証するための試作である．

設計期間：3人月以上，4人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 Spectre，Synopsys社 StarRC（XT），**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ（PLL, A-D/DC-DCコンバータなど）

超低消費電力な強化学習チップのアーキテクチャ検討

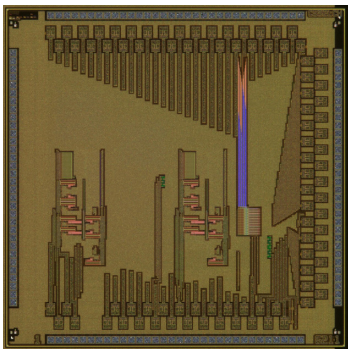


九州大学システム情報科学研究院　馬 寅飛, 矢嶋 赳彬

概要：近年，人工知能技術はエッジデバイスへ急速に展開されており，環境変化に応じて自律的に最適な制御方策を獲得できる強化学習への期待が高まっている．しかし，従来の強化学習アルゴリズムは多数の演算とメモリアクセスを必要とするため，消費電力や回路規模が大きく，小型IoT機器への実装は容易ではない．そこで本研究では，超低消費電力で動作する強化学習チップを対象とし，演算回路とメモリアーキテクチャを最適化したハードウェア構成を検討した．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Synopsys社 DesignCompiler，Synopsys社 ICCompiler II, Synopsys社 CustomCompiler，　**トランジスタ数**：10,000〜100,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：マイクロプロセッサ

生物を模倣した温度センサシート読み出し回路のアーキテクチャ検討

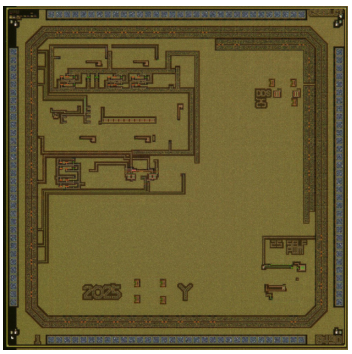


九州大学システム情報科学研究院　萱野 幸佑, 矢嶋 赳彬

概要：近年，電子皮膚やウェアラブルデバイスの発展に伴い，大面積に配置された多数の温度センサを効率的に読み出す回路が求められている．しかし，従来方式ではセンサ数の増大と共にアナログ信号が劣化するという課題がある．そこで本研究では，生物の神経系に着想を得た2値読み出し方式を採用した温度センサシート読み出し回路を試作し，さらに前のチップより大規模化することで，センサ数増大に対する本方式の優位性を評価することを目的とした．

設計期間：0.5人月以上，1人月未満　**設計ツール**：Cadence社 Virtuoso，Cadence社 Spectre，**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

インピーダンス計測検証回路

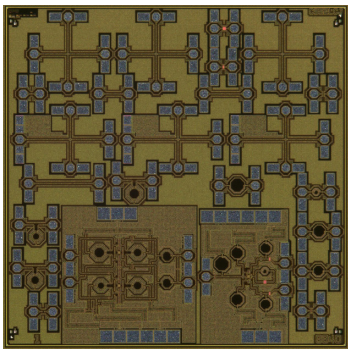


静岡大学工学部電気電子工学科　二川 雅登

概要：対象の抵抗・容量を効率よく計測できる回路構成を目指し，設計をすすめている．インピーダンス計測時のノイズ発生抑制を検討した回路を組み込むことにより，微小信号検出を実現しようとしたものである．これまでは，電源やスイッチ，増幅器に分けて設計を行い，各部の動作検証を行い目的とする動作を確認することができた．増幅器について前回試作から改良を行い，動作周波数の拡大を果たすことができた．試作各部を統合させた本体回路を使い，インピーダンス計測が可能か検証するための準備を整えている．センサとしての動作確認・検証を行っているところである．

設計期間：3人月以上，4人月未満　**設計ツール**：，，Cadence社 Virtuoso，Cadence社 ASSURA，**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：アナログ/デジタル信号処理プロセッサ

ローム0.18 μm CMOS RFデバイスモデル拡充用評価TEG

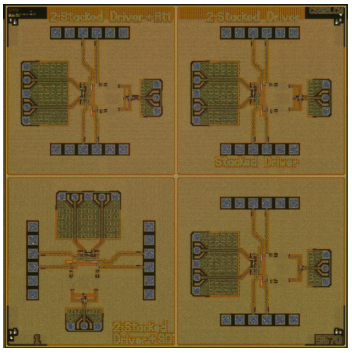


東京理科大学創域理工学部　荒井 アアロン, 大立目 優与, 亀山 幹泰, 高野 恭弥

概要：本試作は，ローム CMOS 0.18 μm プロセスのRFデバイスモデルライブラリを拡充し，RF回路設計に利用できるデバイスモデルの適用範囲と精度を高めることを目的とする．評価TEGとしては，バックゲート端子を評価可能なnMOSFET・pMOSFETのソース接地構造，ディエンベディング用ダミーパターンを配置し，DC特性とSパラメータの測定ならびにパッド・配線寄生成分のディエンベディングを可能とした．さらに，複数サイズのMIMキャパシタ，複数形状のスパイラルインダクタ，複数寸法のセンタータップ付きインダクタ，抵抗，伝送線路を搭載した．

設計期間：2人月以上，3人月未満　**設計ツール**：Cadence社 Virtuoso，TOOL社 Lavis，Mentor社 Calibre，Keysight社 ADS，　**トランジスタ数**：〜10　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：TEG（特性評価回路など）

光送信用アナログフロントエンド回路 TEG14



岐阜大学大学院自然科学技術研究科　薮谷 翼
岐阜大学工学部　伊藤 大輔, 中村 誠

概要：外部変調器用ドライバ回路では光変調器を駆動する大振幅出力特性が必要であり，経済的なCMOSプロセスで大振幅出力が実現できるスタック型ドライバ回路が有効である．また，近年注目されているPAM4符号では，中間レベルを含むためドライバ回路には良好な入出力線形性が必要となる．そこで，スタック段を多段構成にすることでドライバ回路の大振幅出力特性を維持しつつ線形性を向上させたPAM4 対応ドライバ回路を検討した．提案回路を適用することで，より広いダイナミックレンジで線形性指標RLMを改善し，IEEE 802.3 に準拠した良好な線形性特性を実現する見通しを得た．今後，試作ICの詳細評価を行う予定である．

参 考 文 献：T. Yabutani, M. Nakamura, and D. Ito, ``PAM4 driver circuit with two stacked stages in 0.18-μm CMOS for electro-absorption modulators,'' NOLTA2025, pp. 128--131, 2025.　**設計期間**：4人月以上，5人月未満　**設計ツール**：Cadence社 Virtuoso，Mentor社 Calibre，Cadence社 QUANTUS，Cadence社 Spectre，Synopsys社 HSPICE（RF），　**トランジスタ数**：100〜1,000　**試作ラン**：ローム CMOS 0.18μm 2.5mm角チップ　**チップ種別**：通信（RF回路，ATMなど）

C. Publication list（VDEC利用者に関する発表文献リスト）

【原著論文】

[1] 塩竹明人,松木淳一郎,松浦弘樹, 和田光司,表面実装部品の特性を1ポートかつ少数の簡易な治具で取得する手法一般社団法人エレクトロニクス実装学会 エレクトロニクス実装学会誌Vol.29 No.1 JAN 2026（1-140）

[2] 松浦弘樹,和田光司, 電磁界シミュレータによる平面回路から3Dプリント製導波管に給電する形状に関する検討 電子情報通信学会論文誌 DOI:10.14923/transelej.2025STP0002

[3] S. Oba, N. Iwanuma, C. Qiu, K. Tsuji, H. Kino, T. Fukushima, and T. Tanaka “Development of wireless optically stimulable upconversion nanoparticle devices for non-invasive photodynamic therapy,” Jpn. J. Appl. Phys. 64, 01SP17 (2025)

[4] Ximing Wang, Yuyang Zhu, Haoming Zhang, Yunjie Chen, Jiaao Yu, Sota Kano, Ritaro Takenaka, Shuowei Li, Tomohiro Nezuka, Yoshikazu Furuta, and Tetsuya Iizuka, “A 91.8-dB SNDR 24-kHz BW Discrete-time ΔΣ ADC Employing Gain-switched FIA with Sampling Noise Cancellation,” IEEE Transactions on Circuits and Systems-II: Express Briefs, vol. 73, no. 1, pp. 8 - 12, Jan. 2026.

[5] Haoming Zhang, Yuyang Zhu, Masaru Osada, and Tetsuya Iizuka, “A Fractional-N Cascaded PLL with MMD-based Quantization-Error Cancellation,” IEEE Journal of Solid-State Circuits, vol. 60, no. 12, pp. 4543 - 4556, Dec. 2025.

[6] Yunjie Chen, Koji Asami, Zolboo Byambadorj, Akio Higo, and Tetsuya Iizuka, “Comparative Analysis of Interleaving Schemes in High-Speed Digital-to-Analog Converters,” IEICE Transactions on Electronics, vol. E108-C, no. 10, pp. 562 - 571, Oct. 2025.

[7] Yuyang Zhu, Masaru Osada, Haoming Zhang, and Tetsuya Iizuka, “Optimization of DTC-Based and Harmonic-Mixer-Based Fractional-N PLLs: Comparative Analysis of Jitter and Power Trade-Offs,” IEEE Transactions on Circuits and Systems-I: Regular Papers, vol. 72, no. 8, pp. 3872 - 3885, Aug. 2025.

[8] Haoming Zhang, Masaru Osada, Yuyang Zhu, and Tetsuya Iizuka, “A Harmonic-Mixer-Based Fractional-N PLL Employing Voltage-Domain Feed-Forward Noise Cancellation,” IEEE Journal of Solid-State Circuits, vol. 60, no. 8, pp. 2820 - 2831, Aug. 2025.

[9] Nanako Kimura, Ckristian Duran, Zolboo Byambadorj, Ryosho Nakane, and Tetsuya Iizuka, “Hardware-Friendly Implementation of Physical Reservoir Computing with CMOS-based Time-domain Analog Spiking Neurons,” Neuromorphic Computing and Engineering, vol. 5, no. 2, 024015, 2025.

[10] Shuowei Li, Ckristian Duran, Ritaro Takenaka, and Tetsuya Iizuka, “Fully-Standard-Cell-Based Synthesizable Charge-Redistribution SAR ADCs and P&R-Based Layout Automation Framework,” IEEE Access, vol. 13, pp. 83450-83469, 2025.

[11] Yuto Watanabe, Atsuya Kakuta and Kousuke Miyaji, “A fully integrated 2 V input 2:1 switched capacitor converter using CMOS-type class-D oscillator-based driver achieving 61 mW driving loss at 480 MHz,” Jpn. J. Appl. Phys., vol. 65, no. 2, 02SP16, Jan. 2026.

[12] Y.Ishida, T.Ishida, M.Kuwahara, Y.Arai, K.Saitoh Characterization of the INTPIX4 SOI pixel detector in transmission electron microscopy at 120 and 200 keV Microscopy, Volume 74(6), 411–421, December 2025

[13] Tateishi, Chen, Kojo, Ide, Kai, Hashimoto, Uchio, Yamaguchi, Hattori, Kanaya, “Shielded Capacitive Power Transmission (S-CPT) System UsingCast Iron,” Energies 18, 5288, 2025年10月

[14] S. Tanaka, S. Hara, K. Takano, A. Kasamatsu, Y. Sugimoto, K. Sakakibara, S. Kubo, T. Yoshida, S. Amakawa, and M. Fujishima, “A 300-GHz-Band 36-Gb/s Scalable 2D Phased-Array CMOS Double Superheterodyne Receiver,” IEEE Solid-State Circuits Letters, May 2025.

[15] Matsuno S., Abe Y., Ando K., Nakada K., Suzuki E., Suda K., Urakawa Y., Mochizuki S., Terasaki Y., Sasaki T., and Asai T., “Demonstration of a subthreshold analog CMOS reservoir chip for temporal signal processing,” npj Unconventional Computing, vol. 7, 12 (2026).

[16] Yuki Shimizu, Masato Naruse, and Hiroaki Myoren, “Design of an Initialization Circuit for 2π-Vortex in a Topological Junction Array,” J. Phys.: Conf. Ser. vol. 3054, 012027, 2025

[17] Song Wang and Kazuteru Namba, “Analysis of a

Delay-Element-Based Technique for Enhancing Soft Error Tolerance at Input Nodes Around Clock Edges," IEEE Trans. Very Large Scale Integr. Syst., vol. 34, pp. 1017-1028, Mar. 2026.

[18] Y. Miyatake, T. Anda, Y. Wakita, K. Makino, S. Hatayama, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Low-loss Sb2S3 optical phase shifter enabled by optimizing sputtering conditions," Optical Materials Express 15, pp. 1972-1986 (2025).

[19] T. Fukui, K. Sumita, H. Miyano, G. Soma, W. Yanwachirakul, E. Kato, R. Tanomura, J. Liu, T. Yamada, A. Otomo, K. Toprasertpong, M. Takenaka, S. Takagi, Y. Nakano, and T. Tanemura, "17 GHz lossless InP-membrane active metasurface," Science Advances 11, eaea3538, Dec. 2025.

[20] C. Zhang, R. Tang, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "High-output-current, high-speed Ge-on-Si waveguide photodetector with four-port evanescent coupling," Japanese Journal of Applied Physics 65, p. 02SP06, Feb. 2026.

[21] K. Komatsu, T. Nakayama, T. Akazawa, Y. Wakita, H. Sakumoto, C. Zhang, Y. Miyatake, S. Monfray, F. Boeuf, R. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, "InGaAs membrane plasmonic photodetector with Ni-InGaAs alloy integrated on Si waveguide," Optical Express 34, pp. 3932-3940, Feb. 2026.

[22] Kitajima N. et al., An LOFIC Image Sensor Readout Circuit with an On-Chip HDR Merger…, Chips, 2026年1月

[23] Hori et al., A small-area and low-power readout circuit for a LOFIC CMOS image sensor, IEICE Electronics Express, 2025年

[24] Otani A. et al., Area-Efficient Readout Circuit for a High-SNR Triple-Gain LOFIC CMOS Image Sensor, Sensors, 2025年10月

[25] 松原 他, 特徴量出力可能なCMOSイメージセンサに向けた可変分解能シングルスロープ型A/D変換器の検討, 映像情報メディア学会誌, 2025年7月

[26] 北島 他, LOFIC型CMOSイメージセンサに向けた小面積・低消費電力読み出し回路の検討, 映像情報メディア学会誌, 2025年7月

[27] H. Yonezaki, Y. Yamazaki, K. Suzuki, J. Ida, T. Mori, "Transient analysis of steep subthreshold slope gate-controlled carrier-injection silicon-on-insulator transistor for ultra-low power applications," Japanese Journal of Applied Physics, 65 03SP10, 2026

[28] D. Fukuyo, H. Shimada, and Y. Mizugaki, "Design of an RSFQ All-Digital Phase Locked Loop with a Time-to-Digital Converter," Journal of Physics: Conference Series, vol. 3054, 012024 (8 pages), July, 2025

[29] Y. Mizugaki, K. Sato, and H. Shimada, "Operation of RSFQ Hardware Random Number Generator Comprising Two Josephson Oscillators," IEICE Transactions on Electronics, vol. E108-C, no. 6, pp. 354-357, June, 2025.

[30] Y. Wang, T. Tanaka, T. Harada, M. Hashimoto, and R. Shirai, "A Compact Triaxial Hall Sensor Compatible with Standard Cmos Process Leveraging Horizontal and Vertical Current Flow within Deep N-Well," IEEE Sensors Journal, 26(6), pp. 8142-8151, March 2026.

[31] R. Fukugasako, H. Asaue, T. Shiotani, M. Hashimoto, and R. Shirai, "A Current Chopper-Assisted Magnetic Field-Based Backscatter Communication Method with WPT Overcoming Ultra-Low Coupling Coefficients," IEEE Sensors Journal, 25(10), pp. 18249-18256, May 2025.

[32] Arif Abdul Mannan, Koichi Tanno, "Graph Neural Network Output for Dataset Duplication Detection on Analog Integrated Circuit Recognition System," International Journal of Advanced Computer Science and Applications (IJACSA), 16(5), pp.877-889, May 2025.

[33] K. Arimura, R. Miyauchi, K. Tanno K, "Systematic Offset Voltage Reduction Methods Using Half-Circuit of Input Stage in the Two-Stage CMOS Operational Amplifiers and Comparators," IEICE Transactions on Fundamentals of Electronics Communications and Computer Sciences, E108A(7), pp.928-936, July 2025.

[34] Arif Abdul Mannan, Koichi Tanno, "Measurement of Dataset Quality and Computational Quality of Graph Neural Networks on Analog Integrated Circuit Recognition System," International Journal of Advanced Computer Science and Applications (IJACSA), 17(2), pp.64-73, Feb. 2026.

[35] K. Kawahara, et al., High-Efficiency Compact Optical Transmitter with a Total Bit Energy of 0.78 pJ/bit Including Silicon Slow-Light Modulator and Open-Collector Current-Mode Driver, IEEE Journal of Selected Topics in Quantum Electronics, vol. 32, no. 2, Art no. 3400111, Mar.-Apr. 2026.

[36] K. Kawahara et al., Electro-Optic Co-Simulation in High-Speed Silicon Photonics Transceiver Design Using Standard Electronic Circuit Simulator, IEEE Journal of Microwaves, vol. 5, no. 4, pp. 983-995, July 2025.

[37] Shun Yasunaga, Motohiko Ezawa, and Yoshio Mita, “Theory and Experimental Demonstration of Symmetrically Bistable MEMS Pin-Joint Buckled Beam,” Journal of Microelectromechanical Systems, Aug. 2025.

[38] Yoshio Mita, Motohiko Ezawa, Ryosho Nakane, Akio Higo, and Shun Yasunaga, “Opportunities of CMOS-MEMS integration for computing and other applications,” IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Dec. 2025.

[39] Hiroaki Shimaoka, Hiroshi Iwata and Ken’ichi Yamaguchi, “Verification and validation of standard cell scan C-element in prototype chip,” IPSJ Transactions on System LSI Design Methodology, Vol.19, pp.2-11, DOI:10.2197/ipsjtsldm.19.2, Feb. (2026).

[40] Le Vu Trung Duong, Hoai Luan Pham, Tran Van Duy, Yasuhiko Nakashima: “UniCrypt-Ultra: A 64-bit Quad-Core Universal Cryptographic Engine for Multi-mode Cryptographic Processing in Blockchain IoT and Society 5.0,” IEEE Micro, MicroSI-2025-08-0075.R1, Feb. (2026)

[41] Haoyu Tang, Yirong Kan, Man Wu, Renyuan Zhang, Yasuhiko Nakashima: “DystoHD: An Area-Efficient Hyperdimensional Computing System with Dynamic Hypervector Generation for Memory-Constrained Devices,” The Journal of Supercomputing, Mar. (2026)

[42] Mingyang Li, Yirong Kan, Man Wu, Renyuan Zhang, and Yasuhiko Nakashima: “FPSpike: A Fully-Parallel and Reconfigurable Architecture for Accelerating Spiking Neural Networks with Structured Sparsity,” IEEE Trans. on Circuits and Systems I, Jan. (2026)

[43] Kazuki Sawai, Riku Horio, Rodrigo Vieira Witt, Tokiyoshi Matsuda, Hidenori Kawanishi, Takaaki Miyasako, Sanggyu Koh, Tadasu Hosokura, Reon Oshio, Takumi Kuwahara, Yasuhiko Nakashima, and Mutsumi Kimura: “Hardware Emulation of Membrane Potential Using a 1T1C FeFETCapacitor Structure for Neuromorphic Applications,” IEEE Transactions on Electron Devices, Jan. (2026)

[44] Bang Du, Kohei Nakamura, Beiyutong Huang, Aoi Kataura, Ryo Hasegawa, Takafumi Fukushima, Koji Kiyoyama, Tetsu Tanaka, “Development of Ultra-Low Power Ultra-Low Frequency Oscillator Using GIDL Current for Edge AI Devices for Long-Term and Intermittent Monitoring,” Electronics and Communications in Japan, 108, 2, p. e12492, 2025年5月

[45] Naoki Iwanuma, Kazushi Tsuji, Shutaro Oba, Keigo Kitta, Takafumi Fukushima and Tetsu Tanaka,, “Development of tentacle-shaped bone marrow neural probe enabling ultra-low invasive and high electrode density recording,” Japanese Journal of Applied Physics, 65, 3, pp. 03SP29-1-03SP29-7, 2026年2月

[46] Dai, Tsuji, Iwai, Quan, Song, Liu, Liu, Yanagida, Ho, Yip, “Co3O4-FeOOH as a heterojunction electro-catalyst for highly-efficient hydrazine-assisted water electrolysis and pollutant degradation,” Applied Surface Science, 165458, 2025年12月.

[47] 伊藤 信之，瀬口 慎一郎，小椋 清孝，古田 潤，鈴木 恭宣，“三帯域同時受信ワンチップLNAの検討，”電子情報通信学会論文誌C，Vol.J109-C，No.1，pp.2-12，Jan. 2026.

[48] N. Itoh, K. Miyazaki, M. Miyake, K. Komoku, and J. Furuta, “920-MHz Fully-Integrated LNA Operated in Moderate-Inversion Region,”IEICE Transaction on Electronics, Vol.E108-C, No.10, pp.555-561,Oct. 2025.

[49] Jiang, Takamori, Yamaoka, Sakai, Sekiguchi, Yoshida, Kimura, “A study on low-power fully differential distributed laser driver ciruits with gate-line-division technique for optical access networks,” IEICE Communication Express, Vol.14, No.8, pp.322-325, Aug., 2025.

[50] 高森，江，酒井，関口，吉田，木村，“光アクセスネットワークにおける低電力バースト送信回路に関する検討，”電子情報通信学会論文誌B，Vol.J109-B，No.1，pp.27-33，Jan.，2026.

[51] “Low-VoltageOrganicField-EffectTransistorwithScreen-Printed Carbon Electrodes” Japanese Journal of Applied Physics Vol.64 pp.110903[DOI:10.35848/1347-4065/ae1a28]

[52] M. Tamura, A. Ide, “Cavity-Resonance-Enabled Wireless Power Transfer System With Compensation for Frequency Fluctuations Caused by Equipment Installation and Its Operation,” IEEE Journal of

Microwaves, vol. 6, no. 1, pp.91-99, Jan. 2026.

[53] Takuji Miki, Misato Taguchi, Makoto Nagata, "Cryogenic CMOS Analog Circuits and Chip Packaging Techniques towards Large-Scale Silicon Quantum Computers," IEICE TRANSACTIONS on Electronics, Vol.E108-C, No.10, pp.499-507, Oct. 2025.

[54] Kazuma Higashimomo, Raisei Mizokuchi, Misato Taguchi, Takuji Miki, Makoto Nagata, Tetsuo Kodera, "Active silicon interposer with integrated CMOS selector circuits for silicon qubits," Japanese Journal of Applied Physics, Vol. 61, No. 03SP19, pp. 1-7, Feb. 2026.

[55] Ryozo Takahashi, Makoto Nagata, Takuji Miki, "An attenuated-sampling SAR ADC for in-situ signal monitoring in cryogenic silicon spin qubit systems," Japanese Journal of Applied Physics, Vol. 65, No. 04SP05, pp. 1-5, Feb. 2026.

[56] Shinichi Nishizawa, Shinji Kimura, "Standard Cell Structure and Diffusion Reordering for Block Area Reduction in Double Diffusion Break FinFET Process," IEICE Trans. Fundamentals, Vol. E108-A, No. 6, pp.798-805, June 2025.

[57] Ki-Woong Park, Anlan Chen, Kota Sakai, Sunbin Hwang, Xingyu Huang, Takuya Saraya, Toshiro Hiramoto, Takanori Takahashi, Mutsunori Uenuma, Yukiharu Uraoka, and Masaharu Kobayashi, "A Gate-All-Around Oxide Semiconductor FETs with Selectively Crystallized InGaOx Channel for Performance and Reliability Improvement," IEEE Transactions on Electron Devices, 72, 12, pp.7128-7135, 2025年9月17日発表.

[58] Kota Sakai, Kaito Hikake, Sung-hun Kim, Yuki Itoya, Takuya Saraya, Toshiro Hiramoot, and Masaharu Kobayashi, "Reliability improvement of InGaOx FETs by adding Zn in atomic layer deposition process," Japanese Journal of Applied Physics, 64, 101001 (2025), 2025年10月6日発表.

[59] Xiaoran Mei, Yaoping Xiao, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, "Design–technology co-optimization (DTCO) of inner-spacer length dependence in nanosheet logic transistors using hierarchical performance–power metrics," Japanese Journal of Applied Physics, 65, 055002, 2026年3月11日発表.

[60] C. Matsui, A. Yamada, N. Misawa, K. Takeuchi, "ReRAM Resistance Design of LRS and HRS for Ultrahigh-Capacity Digital Memory and Analog Computation-in-Memory," IEICE Transactions on Fundamentals of Electronics Communications and Computer Sciences, vol.E109–A, no.3, March, 2026.

[61] D. Lin, Z. Zheng, N. Misawa, C. Matsui, K. Takeuchi, "Sign configurable truncated carry approximate adders with explicit bit pruning for area- and power-efficient SRAM-based digital computation-in-memory," Japanese Journal of Applied Physics, No. 65, &SP17, March, 2026.

[62] H. Xue, Y. Hirata, N. Misawa, C. Matsui, K. Takeuchi, "GA-Optimized Non-Uniform Quantization Scheme for Mitigating MAC Variations in ReRAM-based Compute-in-Memory Architectures," IEICE Transactions on Electronics, Brif paper, January, 2026.

[63] Kiyotaka Sasagawa, Subaru Iwaki, Kenji Morimoto, Ryoma Okada, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro, Jun Ohta, "Dual-Readout Self-Resetting CMOS Image Sensor for Resolving Sub-Percent Optical Contrast in Biomedical Imaging" Sensors, vol.26, no.4, 20240742, 1396

[64] Masashi Miyata, Kota Shikama, Hironari Takehara, Jun Ohta, Toshikazu Hashimoto, "High-Sensitivity RGB–NIR Image Sensor with Dispersion-Engineered Meta-Optics" ACS Photonics, vol.13, no.3, pp.849–860, 2026.01.15.

[65] Ryoma Okada, Maya Mizuno, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro, Jun Ohta, Kiyotaka Sasagawa "On-Pixel Polarizer Structure for High-Sensitivity Millimeter-Wave Electro-Optic Imaging" Electronics, vol.14, no.20, 20240742, 4026, 2025.10.14.

[66] Yuki Nakanishi, Takaya Hattori, Wisaroot Sriitsaranusorn, Kuang-Chih Tso, Kenzo Shodo, Hironari Takehara, Yoshinori Sunaga, Makito Haruta, Hiroyuki Tashiro, Yasuo Terasawa, Jun Ohta, Kiyotaka Sasagawa "Design of CMOS chip for retinal prosthesis with power supply voltage monitoring circuit for stabilizing constant-current stimulation" Japanese Journal of Applied Physics, vol.64, no.1, pp. 01SP08

[67] K. Sasagawa, R. Okada, M. Mizuno, H. Takehara, M. Haruta, H. Tashiro, J. Ohta "EnhancingEnhancing image reconstruction method in high-frequency electric field visualization systems using a polarized light image

sensor” Sensors, vol.25, no.5, 1596, 17p. 2025.3.5.

[68] Ryoma Okada, Maya Mizuno, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro, Jun Ohta, Kiyotaka Sasagawa “Microwave electro-optical imaging system using a frequency tracking optical local oscillator source with a polarization CMOS image sensor” IEICE Electronics Express, vol.22, no.5, 20240742, 6p., 2025.03.10.

[69] J. Liu, and Y. Takahashi, “Design and evaluation of low-power 6T adiabatic PUF circuit,” IEICE Electronics Express, vol. 23, no. 3, 20250661 (6 pages), 2026.

[70] J. Liu, and Y. Takahashi, “Design and simulation of low-power adiabatic PUF circuit,” MDPI Electronics, vol. 14, no. 22, 4529 (16 pages), Nov. 2025.

[71] B.F. Ribeiro, and Y. Takahashi, “Optimizing energy/current fluctuation of RF-powered secure adiabatic logic for IoT devices,” MDPI Sensors, vol. 25, no. 14, 4419 (19 pages), July 2025.

[72] Shinya HATTORI, Hiroyuki OCHI, “Small-Area CNN Inference Architecture with Bit-Serial Pipeline Datapath and Zero Skipping,” IEICE Trans. Fundamentals, vol.E109-A, no.3, pp.552-562, March 2026.

[73] J. Shin, M. Hamada and A. Kosuge, “A Connectivity-Aware Via-Programmable DNN Processor Using a Single Photomask,” in IEEE Open Journal of Circuits and Systems, vol. 7, pp. 11-20, 2026.

[74] H. Yotsuyanagi, K. Takami, and M. Hashizume, “An Implementation of Delay Testable Boundary Scan and Post-Bond Test Results in a 3D IC,” IEEE Journal on Emerging and Selected Topics in Circuits and Systems, vol. 15, no. 3, pp. 469–477, 2025.

[75] F. Zhong, M. Natsui, and T. Hanyu, “Design of a single-capacitor-based threshold-adjustable power management circuit for task-aware waste-minimized energy harvesting,” IEICE Electronics Express, Vol.22, No.18, pp.20250395-1-20250395-6, 2025.

[76] M. Natsui, T. Yoshida, and T. Hanyu, “Reference-Load Sharing Scheme: An Area- and Energy-Efficient Nonvolatile Register Design Using MTJ Devices,” IEEE Journal on Exploratory Solid-State Computational Devices and Circuits, Vol.11, pp.90-98, 2025.

[77] M. Natsui and T. Hanyu, “Emerging trends in MTJ-based nonvolatile logic circuits toward a revolution in computer architecture,” Japanese Journal of Applied Physics, Vol.64, No.12, pp.12SP18-1-12SP18-6, 2025.

[78] Y. Hoshika, S. Takagi, T. Tanaka, C. L. Ayala, N. Yoshikawa, “Design and Demonstration of Array and Wallace-Tree Multiplier Families Using Adiabatic Quantum Flux Parametrons,” IEEE Trans. Appl. Supercond., vol. 35, 2025, 1300208-1-8.

[79] Y. Hironaka, N. Yoshikawa, “Josephson Latching Driver Designed Using 10-kA/cm Nb Process as Interface for Josephson-CMOS Hybrid Memory,” IEEE Trans. Appl. Supercond., vol. 35, 2025, 1300306-1-6.

[80] Y. Hironaka, N. Yoshikawa, “Experimental Demonstration of 1.2-Gb/s/Channel Readout Operation of Josephson–CMOS Hybrid Memory,” IEEE Trans. Appl. Supercond., vol. 35, 2025, 1300109-1-9. DOI: 10.1109/TASC.2024.3485097

[81] H. Shen, Z. Han, Z. Li, Y. He, N. Yoshikawa, “Design and fabrication of integrator using adiabatic quantum-flux-parametron circuit,” Supercond. Sci. Tech., vol. 38, 2025, 025017.

[82] Hinata Sasaki, Sayaki Shimizu, Rexy Alvian Nerchan, Koji Yamashita, Naohiro Takahashi, Rina Chinone, Yurika Kurashige, Rika Numano, Kowa Koida, Masahiro Ohsawa, Takeshi Kawano, “A self-insertable 5-um-diameter flexible microneedle for minimally invasive and stable in vivo neural recording,” Sensing and Bio-Sensing Research, Volume 50, 2025, 100915, ISSN 2214-1804, https://doi.org/10.1016/j.sbsr.2025.100915.

[83] 木村,椎名,増澤,“2層の金属層を使用した微小コイルと平行配線の組み合わせによる磁気ビーズ移送速度の向上に関する研究,”電気学会論文誌E, pp.72-76, 2026年3月.

[84] K. Ito, Y. Shiotsu, and S. Sugahara, “A New Ultralow-Voltage Retention SRAM Cell Enhancing Noise Immunity,” IEEE Open J. Circuits Syst. (OJCAS), vol. 6, 2025, pp. 370-382.

【国際会議】

[1] Akihiro Narushima, Hiroki Matsuura, Weiyu Zhou and Koji Wada, “Design and Measurement of Ultra-wideband Bidirectional Absorptive Common Mode Filter (abstract),” 2025 IEEE Electrical Design of Advanced Packaging and Systems (EDAPS) Symposium, IEEE Electronic Packaging Society (EPS), 2025.12.15-17.

[2] Haoming Zhang, Yongjuan He, Yuyang Zhu, Huanyu Ren, and Tetsuya Iizuka, "A 157fsrms-Jitter, −73dBc-Fractional-Spur, Calibration-Free Cascaded SPLL Employing Robust Feedforward Noise Cancellation and MMD-Based Quantization-Error Cancellation with a 60MHz Reference," IEEE International Solid-State Circuits Conference (ISSCC), Feb. 2026.

[3] Yuyang Zhu, Haoming Zhang, Zunsong Yang, Yongjun He, Huanyu Ren, Fumiya Sakuma, Ritaro Takenaka, Sota Kano, Ximing Wang, and Tetsuya Iizuka, "A 2.6GHz Inductorless PLL with Configurable-Duty-Cycle Ring Oscillator and Zero-ISF Subsampling Phase Detector Achiving −70dBc Reference Spur and 186fs RMS Jitter," in IEEE Asian Solid-State Circuits Conference (A-SSCC) Proceedings of Technical Papers, Nov. 2025.

[4] Behraz Vatankhahghadim, Zolboo Byambadorj, Hiroshi Idzuchi, Satoru Nakatsuji, and Tetsuya Iizuka, "Design Trade-Off Analysis for an Electrical Interface with a Magnetic Tunnel Junction Based Photonic Spin Register for High-Speed Communications," International Conference on Solid State Devices and Materials (SSDM), Sep. 2025.

[5] Ritaro Takenaka and Tetsuya Iizuka, "An 11.9-ENOB 560-MS/s Subranging ADC Employing Amplifier-Switching Architecture with Multi-Threshold Comparators," in IEEE Symposium on VLSI Technology and Circuits Digest of Technical Papers, Jun. 2025.

[6] Ritaro Takenaka, Sota Kano, and Tetsuya Iizuka, "A 76.5-dB Dynamic-Range 8-bit 100-MS/s Variable-Range SAR ADC," in IEEE Symposium on VLSI Technology and Circuits Digest of Technical Papers, Jun. 2025.

[7] Ximing Wang, Yo Kumano, Tomohiro Nezuka, Yoshikazu Furuta, and Tetsuya Iizuka, "A 172.1dB-FoM 19.5kHz-BW DT ΔΣ ADC Using CLS-Assisted Fast Self-Quenching Floating Inverter Amplifier with Sampling Noise Cancellation," in Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS), May 2025.

[8] Kobayashi, Yosuke, et al. "Image Resolution Enhancement Using Time-of-Flight-Based Backscatter Rejection in Compton Camera." 2026 IEEE/SICE International Symposium on System Integration (SII). IEEE, 2026.

[9] H. Ando and H. Shimada, Hierarchical Wakeup Logic of the Issue Queue for High Scalability, Proceedings of the 53rd Annual International Symposium on Computer Architecture, June 2026. (to appear)

[10] Yuto Watanabe, Atsuya Kakuta, and Kousuke Miyaji, "A Fully Integrated 2V-input 2:1 Switched Capacitor Converter Using CMOS-Type Class-D Oscillator-Based Driver Achieving Low Driving Loss at 480MHz," International Conference on Solid State Devices and Materials (SSDM), C-1-02, Sep. 2025.

[11] Tanaka, Tagawa, Nakabuchi, Kanaya, "Development of a Wideband Energy Harvesting Circuit Utilizing Terrestrial Digital Broadcast Signals," Proceedings of the 27th Electronics Packaging Technology Conference (EPTC 2025), 5pages, 2025年12月

[12] Kimigawa, Ito, Ishibashi, Ueno, Kanaya, "Characteristics in the quasi-millimeter wave band of planar transmission lines formed on flexible substrates using direct patterning technology," Proceedings of the 27th Electronics Packaging Technology Conference (EPTC 2025), 5pages, 2025年12月

[13] Nakashima, Suehiro, Kanaya, "Study on the Performance Improvement of a 28 GHz One-Sided directional Slot Antenna Through Modification of Floating Metal," Proceedings of the 27th Electronics Packaging Technology Conference (EPTC 2025), 5pages, 2025年12月

[14] T. Noguchi and K. Takano, "A 47 GHz-Bandwidth/47 mW LO-Split Up-Conversion Mixer for 300-GHz Self-Heterodyne Transceivers," 2025 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), Aug. 2025.

[15] R. Hashimoto and K. Takano, "A 20-to-10 GHz Injection-Locked Divide-by-2 Divider with Wide Tuning Range using PMOS Varactor in 0.18 μm CMOS," Joint Workshop Thailand-Japan Microwave & Asian Wireless Power Transfer Workshop (TJMW&AWPT 2025), Oct. 2025.

[16] T. Akiya and K. Takano, "Q-Factor Requirements for Base–Emitter Transformer-Feedback LNAs at 150 GHz," Joint Workshop Thailand-Japan Microwave & Asian Wireless Power Transfer Workshop (TJMW&AWPT 2025), Oct. 2025.

[17] Jun Masuda, Kazuhito Ito, “Reducing Registers in Convolution Operation for Binarized Neural Networks with Register-Bridge LSI Architecture,” Proc. Workshop on Synthesis and System Integration of Mixed Information Technologies, pp. 148-153, Oct. 2025.

[18] S. Komatsu, “Low-Voltage Delta-Sigma Modulator with Bulk Input OTA for Volume Pulse Wave Measure,” 2025 IEEE the 14th International Conference on Communications, Circuits, and Systems (ICCCAS 2025), May 2025.

[19] Hiroaki Myoren, Hiroki Hatori, and Masato Naruse, “Design and Properties of Josephson Digital Phase Detector with SFQ-based Control Circuit,” 18th Superconducting SFQ VLSI Workshop (SSV 2025), O-3

[20] Wataru Otobe, Kosuke Kurihara, Yoshihiro Maeda, Takayuki Hamamoto, “Deep Unfolding-based Image Reconstruction for Quanta Image Sensors,” Proc. IEEE International Conference on Image Processing (ICIP), pp. 2648-2653, 2025年9月.

[21] Kosuke Mikawa, Hiroki Koda, Toshinori Otaka, Shunichi Sato, Yusuke Kameda, Yoshihiro Maeda, Takayuki Hamamoto, “High Dynamic Range Imaging with High Speed MSB Subframe Readout of In-Pixel Counters in SPAD Image Sensors,” Proc. International Image Sensor Workshop (IISW), P18, pp. 1-4, 2025年6月

[22] Yohei Teranishi, Toshinori Otaka, Shunichi Sato, Takayuki Hamamoto, “A 400×96 14,467-fps Scan Rate Low Rolling Shutter Distortion CMOS Image Sensor using 12-bit Error- Averaging Column Parallel Pipelined ADC,” Proc. International Image Sensor Workshop (IISW), P35, pp. 1-4, 2025年6月.

[23] Shuya Isawa, Michitaka Yoshino, Kawori Sekine, Kazuyuki Wada, François Rivet, Herve Lapuyade, Yann Deval, “Design and measurement of voltage reference circuit by an equivalent MOSFET having different temperature coefficient of threshold voltage,” International Conference on Analog VLSI Circuits (AVIC 2025), 2025年10月20-22日.

[24] omoki Furuta, Shinsuke Hara, Rin Tsuboi, Satoru Tanoi, Kawori Sekine, Kazuyuki Wada, Akifumi Kasamastu, “High-speed a four-armed bandit problem solving IC in CMOS 180 nm Technology,” International Conference on Analog VLSI Circuits (AVIC 2025), 2025年10月20-22日.

[25] Emu Murata, Shuya Isawa, Michitaka Yoshino, Kawori Sekine, Kazuyuki Wada, Hervé Lapiyade, François Rivet, Yann Deval, “PTAT voltage generater-based voltage reference circuit without external bias voltage,” International Conference on Analog VLSI Circuits (AVIC 2025), 2025年10月20-22日.

[26] Hasegawa Keita, Kazuyuki Wada, Yoshino Michitaka, Kawori Sekine, “Thermal profile on IC employing PTAT Voltage generator consisting of two MOSFETS,” International Conference on Analog VLSI Circuits (AVIC 2025), 2025年10月20-22日.

[27] Shuya Isawa, Kawori Sekine, Kazuyuki Wada, François Rivet, Herve Lapuyade, Yann Deval, “Enhanced Voltage Reference Circuit Design Using Quadratic Function Modeling of MOSFET Characteristics in the Saturation Region,” 2025 32nd IEEE International Conference on Electronics, Circuits and Systems (ICECS)

[28] Song Wang and Kazuteru Namba, “A Double-Node-Upset Self-Recoverable Latch with Soft Error Tolerance to Soft Errors Around Clock Edges,” IEEE International Conference on Consumer Technology - Pacific, Mar. 2026.

[29] T. Sato, A. Murakami, S. Chivapreecha, P. Moungnoul, “ A Low-Latency Fixed-Function FPGA Architecture for Neural Network Primitives,” Proc. of iEECON 2026, P07587-1-P07587-6, Mar. 2026.

[30] Soma Kato, Ryoma Katsube, Tomoaki Ukezono, and Kouichi Sakurai, Random Trace Shifting by OSs for Side-Channel-Resilient Execution of Legacy Program Binaries, 13th International Workshop on Computer Systems and Architectures, pp. 15-21, November 2025.

[31] Ryoma Katsube, Shinichi Nishizawa, Tomoaki Ukezono, and Toshinori Sato, A Simulation-based Study on Impact of DVS for Side-channel Attacks, 21st IEEE Asia Pacific Conference on Circuits and Systems, 5 pages, October 2025.

[32] Manami Nishimura, Tomoaki Ukezono, and Toshinori Sato, Alt-FF: A Logic-Level Design of Flip-Flop Control for Side-Channel Protection, 21st IEEE Asia Pacific Conference on Circuits and Systems, 5 pages, October 2025.

[33] Toshinori Sato, Shusaku Yonekura, and Taiki Nagatomo,

Low-power Approximate Multiplication for Mobile ECG Monitoring Application, 40th International Technical Conference on Circuits/Systems, Computers and Communications, pp. 381-386, July 2025.

[34] Hiroyuki Hama, Shusaku Yonekura, and Toshinori Sato, Error Correcting Schemes for a Low-power Approximate DCT Design, 40th International Technical Conference on Circuits/Systems, Computers and Communications, pp. 156-161, July 2025.

[35] N. Sugihara, H. Uchiyama, H. Kataura and Y. Ohno,[Poster] "Low-temperature p-type doping using UV/ozone-oxidized Parylene-C for flexible top-gate carbon nanotube thin-film transistors," The 70th Fullerenes-Nanotubes-Graphene General Symposium, 2026.03.05, Nagoya, Japan, 3P-19

[36] Z. Wang, E. Kuromiya, H. Uchiyama, M. Matsunaga, S. Arai, H. Kataura and Y. Ohno,[Poster] "Modeling of carbon nanotube thin-film transistors with ion-conductive gate dielectric," The 69th Fullerenes-Nanotubes-Graphene General Symposium, 2025.09.26, Taipei, Taiwan, 3P-41

[37] M. Ishihara, H. Uchiyama, H. Kataura and Y. Ohno,[Poster] "Simple voltage reference circuits exploiting ambipolar conduction of CNT FETs," The 69th Fullerenes-Nanotubes-Graphene General Symposium, 2025.09.26, Taipei, Taiwan, 3P-48

[38] Y. Ohno,[Invited] "Interfaces in Semiconductor Devices Based on Low-dimensional Materials: The Case of Flexible Carbon Nanotube TFTs and Analog ICs," 2025 Int. Conf. on Solid State Devices and Materials, 2025.09.17, Yokohama, Japan

[39] . Ohno,[Invited] "Interfaces in Semiconductor Devices Based on Low-dimensional Materials: The Case of Flexible Carbon Nanotube TFTs and Analog ICs," The 12th Korean Symposium on Graphene and 2D Materials, 2025.07.10, Busan, Korea

[40] T. Iwagaki, S. Onari and H. Ichihara, "Refinements to magnitude comparison and bit replacement in a correlation enhancement algorithm for stochastic computing," Proc. 68th IEEE International Midwest Symposium on Circuits and Systems (MWSCAS '25), pp. 73–77, Aug. 2025.

[41] K. Kobayashi, Y. Miyatake, R. Tang, K. Makino, J. Tominaga, N. Miyata, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Non-volatile Si microring resonator switch with Ge2Sb2Te3S2 optical intensity modulator," 2025 IEEE Silicon Photonics Conference, ThC4, London, England, Apr. 14-17, 2025.

[42] C. Zhang, Z. Zhao, R. Tang, K. Toprasertpong, S. Takagi, and M. Takenaka, "Germanium microring avalanche photodetector for 2 μm wavelengths," 2025 IEEE Silicon Photonics Conference, ThB2, London, England, Apr. 14-17, 2025.

[43] T. Akazawa, S. Monfray, F. Bouef, K. Toprasertpong, S. Takagi, and M. Takenaka, "Optical power monitoring of a 2×2 Mach–Zehnder interferometer using low-doped Si waveguide," Conference on Lasers and Electro-Optics (CLEO2025), Long Beach, CA, USA, May. 4-9, 2025.

[44] M. Takenaka, R. Tang, Y. Miyatake, C. Chai, T. Akazawa, H. Sakumoto, Y. Wakita, D. I. Bhardwaj, K. Komatsu, K. Kobayashi, K. Makino, J. Tominaga, N. Miyata, M. Okano, S. Monfray, F. Boeuf, K. Toprasertpong, and S. Takagi, "Heterogeneous Integration for Programmable Photonic Integrated Circuits," Conference on Lasers and Electro-Optics (CLEO2024), Long Beach, CA, USA, May. 4-9, 2025 (Invited).

[45] H. Sakumoto, T. Piyapatarakul, K. Toprasertpong, S. Takagi, and M. Takenaka, "Low-loss, low-power InP membrane MOSCAP optical phase shifter," Compound Semiconductor Week 2025 (CSW2025), Alberta, Canada, May 26-30, 2025.

[46] M. Takenaka, R. Tang, Y. Miyatake, T. Akazawa, H. Sakumoto, Y. Wakita, D. I. Bhardwaj, K. Kobayashi, K. Makino, S. Hatayama, M. Okano, K. Toprasertpong, and S. Takagi, "Non-volatile optical phase shifters for photonic computing," 30th OptoElectronics and Communications Conference/International Conference on Photonics in Switching and Computing 2025 (OECC/PSC 2025), ME3-1, Sapporo, Japan, Jun. 29- Jul. 3, 2025 (Invited).

[47] H. Sakumoto, K. Toprasertpong, S. Takagi, and M. Takenaka, "Efficient InGaAsP MOSCAP microring optical modulator on III-V membrane platform," 2025 European Conference on Optical Communication (ECOC), M.03.02, Copenhagen, Denmark, Sep. 28-Oct. 2, 2025.

[48] C. Zhang, R. Tang, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "4-port evanescently coupled waveguide Ge-on-Si photodetector with high saturation

current and high bandwidth," International Conference on Solid State Devices and Materials (SSDM) 2025, G-1-01, Yokohama, Japan, Sep. 15-18, 2025.

[49] Q. Chu, S. Takagi, M. Takenaka, and K. Toprasertpong, "Device design trade-off in silicon junctionless floating-body FeFET," International Workshop on Dielectric Thin Films for Future Electron Devices: Science and Technology (IWDTF2025), S1-06, Miyagi, Japan, Nov. 5-7, 2025.

[50] M. Tanabe, J. Yoo, K. Makino, S. Hatayama, Y. Miyatake, K. Toprasertpong, S. Takagi, and M. Takenaka, "Direct laser lithography on Sb2S3 thin film for optical waveguide fabrication," IEEE photonics conference 2025 (IPC), MG2.1, Singapore, Nov. 9-13, 2025.

[51] T. Akazawa, R. Tang, H. Tang, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, "Ultralow-energy and fast optical switch by III-V/Si hybrid MOS optical phase shifters," 2025 IEEE International Electron Devices Meeting (IEDM), 21-5, San Francisco, CA, USA, Dec. 6-10, 2025.

[52] A spike timing dependent plasticity learned feedback network in reservoir computing for timeseries pattern recognition, 山口明伸, 佐々木芳樹 2025 International Conference on Analog VLSI Circuits 2025年10月22日

[53] A study on yield improvement of low-voltage P-HCNM as spiking neuron circuit with latch-up countermeasures, 佐々木芳樹 2025 International Conference on Analog VLSI Circuits 2025年10月22日

[54] A symmetrical STDP circuit suitable for low-power P-HCNM and time-series pattern recall in a fully connected hopfield network, 大沼亮介, 佐々木芳樹 2025 International Conference on Analog VLSI Circuits 2025年10月22日

[55] A study on feedback architecture for STDP learning in hierarchical neural networks using PHCNM, 今村楓也, 佐々木芳樹 2025 International Conference on Analog VLSI Circuits 2025年10月22日

[56] Address-Dependent Divided-Bit-Line NAND Flash Memory for Reduction in Latency and Energy, Yuta Sugisawa, Toru Tanzawa, VLSI TSA 2025年4月

[57] Design of a Low-Voltage DC-DC Boost Converter Using an Enhanced Swing Colpitts Oscillator for Energy Harvesting, Taisei Inaba, Tatsuya Nomura, Yohei Kotoya, Toru Tanzawa, 23rd IEEE International NEWCAS Conference 2025年6月

[58] Design of a Battery Charger Boost Converter for Extremely Low Supply Voltages Below 10 mV in Energy Harvesting: A Return-on-Investment Approach Wataru Saito, Toru Tanzawa, 23rd IEEE International NEWCAS Conference 2025年6月

[59] Design of Switched-Capacitor AC-DC Voltage Down-Converters for Micro-Watt Electrostatic Vibration Energy Harvesting, Naoto Miyazaki, Toru Tanzawa 23rd IEEE International NEWCAS Conference 2025年6月

[60] PWM Scheme Selection Strategy for Fast Ramp Up DC DC Boost Converters in SSD Applications, Yuji Kanayama, Toru Tanzawa, 2025 IEEE 16th International Conference on ASIC 2025年10月

[61] Battery Charger Designs for Low Voltage Energy Harvesting Based on the Return on Investment Concept (Invited), W. Saito, A. Higuchi, T. Yamano, T. Tanzawa, 2025 IEEE 16th International Conference on ASIC 2025年10月

[62] ROI Battery Charger Boost Converter Design for Minimum Transducer Open-Circuit Voltage in Energy Harvesting, Yin Tao, Toru Tanzawa, IEICE General Conference 2026年3月

[63] Morita et al., CMOS Image Sensor Pixels Capable of Extracting Two-Dimensional Edge Features, IMFEDK, 2025年11月

[64] Kitajima. et al., Low-Noise Reset Transistor for LOFIC CMOS Image Sensors Using a Two-Step Reset Scheme, IMFEDK, 2025年11月

[65] Hori et al., A Small-Area and Low-Power Readout Circuit for a LOFIC CMOS Image Sensor, IEEE SENSORS, 2025年10月

[66] Enomoto et al., Image Classifier Combining In-pixel Array Operations and Digital Matrix Operations, SASIMI, 2025年10月

[67] Okada et al., An Area-Efficient and Low-Power Single-Slope A/D Converter Merged with a Pixel Transistor for CMOS Image Sensors, ITC-CSCC, 2025年7月

[68] MATSUBARA et al., A Scalable Single-Slope ADC for a Feature-Extractable CMOS Image Sensor, International Technical Conference on Circuits/Systems, ITC-CSCC, 2025年7月

[69] Otani et al., Variable Dynamic Range CMOS Image Sensor with Area-Efficient LOFIC Pixel and Readout

Circuit, IISW, 2025年6月

[70] Otani et al., Area-Efficient Readout Circuit for a High-SNR Triple-Gain LOFIC CMOS Image Sensor, ISCAS, 2025年5月

[71] Y. Liang, M. Fang, T. Yoshimasu, "A 101.4% Tuning-Range -196.4dBc/Hz FoMT LC-VCO IC with a Single Analog Voltage-Controlled Novel Varactor in 45-nm CMOS SOI," in Proc. of IEEE MTT-S International Wireless Symposium (IEEE IWS2026), 3 pages, May, Xian, 2025.

[72] H. Yonezaki, T. Mori, J. Ida, "Evaluation of Transient Characteristics on Steep Subthreshold Slope "Gate-Controlled Carrier-Injection SOI-Transistor"," Extended Abstracts of the 2025 International Conference on Solid State Devices and Materials, pp.51-52, 2025

[73] H. Yonezaki, T. Mori and J. Ida, "Emulation of Neuronal Behavior using Steep Subthreshold Slope GCCI SOI-Tr with High Impedance and Low Voltage Swing," 2026 10th IEEE Electron Devices Technology & Manufacturing Conference (EDTM), pp. 1-3, 2026

[74] Y. Mizugaki and D. Fukuyo, "Experimental Validation of Key Elemental Circuits for RSFQ All-Digital Phase Locked Loop," 38th International Symposium on Superconductivity (ISS 2025), Nagasaki, December 2–4, 2025.

[75] S. Cui, D. Fukuyo, H. Shimada, and Y. Mizugaki, "Design of a Traveling-Wave Parametric Amplifier with a π-Josephson Junction," 38th International Symposium on Superconductivity (ISS 2025), Nagasaki, December 2–4, 2025.

[76] Q. Cheng, Z. Yang, H. Li, Q. Li, Z. Kong, G. Niu, Y. Liang, J. Li, J. Yoo, M. Hashimoto, and L. Lin, "A Radiation-Hardened Self-Healing Cmos Imager with Online Pixel/Logic Annealing and Tile-Adaptive Compression for Space Applications," Technical Digest of International Solid-State Circuits Conference (ISSCC), February 2026.

[77] M. Zhang, Q. Cheng, and M. Hashimoto, "FIawase: a SET Fault Injection Framework Towards Exhaustive System-Level Impact Evaluation," Proceedings of Asia and South Pacific Design Automation Conference (ASP-DAC), January 2026.

[78] Q. Cheng, H. Li, W. Dong, M. Huang, L. Lin, and M. Hashimoto, "Gundam: a Generalized Unified Design and Analysis Model for Matrix Multiplication on Edge," Proceedings of Asia and South Pacific Design Automation Conference (ASP-DAC), January 2026.

[79] Q. Cheng, H. Zhang, C. Liang, M. Zhang, J. Liou, J. Xiong, L. Lin, and M. Hashimoto, "Tenpura: a General Transient Fault Evaluation and Scope Narrowing Platform for Ultra-Fast Reliability Analysis," Proceedings of International Conference on Computer-Aided Design (ICCAD), October 2025.

[80] Q. Cheng, H. Chi, C. Liang, Y. Chao, H. Zhang, Y. Liang, M. Zhang, W. Liao, J. Xiong, J. Liou, M. Hashimoto, and L. Lin, "Genshin: a Generalized Framework with Software-Hardware Co-Design and Pruned Fault Injection for Reliability Analysis," Proceedings of International Test Conference (ITC), September 2025.

[81] Q. Cheng, H. Zhang, Q. Li, Y. Liang, M. Zhang, Z. Chen, R. Zhang, J. Xiong, M. Huang, L. Lin, and M. Hashimoto, "A Scalable External Memory Access and On-Chip Storage Architecture for Edge-AI Accelerators -- Multi-Path Rolling Data Refresh and Layer-Wise Bank Allocation --," Proceedings of IEEE/ACM International Symposium on Low Power Electronics and Design (ISLPED), August 2025.

[82] Q. Cheng, Q. Li, Z. Yang, Z. Kong, G. Niu, Y. Liang, J. Li, J. H. Park, W. Liao, H. Awano, T. Sato, L. Lin, and M. Hashimoto, "A Radiation-Hardened Neuromorphic Imager with Self-Healing Spiking Pixels and Unified Spiking Neural Network for Space Robotics," Digest of Symposium on VLSI Technology and Circuits, June 2025.

[83] Q. Cheng, Q. Li, W. Dong, M. Zhang, R. Zhang, M. Huang, H. Yu, Y. Shi, H. Awano, T. Sato, L. Lin, and M. Hashimoto, "A 22nm Resource-Frugal Hyper-Heterogeneous Multi-Modal System-On-Chip Towards In-Orbit Computing," Proceedings of IEEE Custom Integrated Circuits Conference (CICC), April 2025.

[84] K. Kawahara, et al., Low-Voltage, Complex-DSP-Free 200G PAM4 / 140G OOK Operation of Si Photonic Crystal Slow-Light Modulator with Built-in EO Equalizer, Optical Fiber Communications Conference and Exhibition (OFC), Los Angels, USA, Mar. 2026.

[85] K. Kawahara, et al., Optical Transmitter with Silicon Slow-Light Modulator and BiCMOS Current-Mode

Driver Achieving 0.78 pJ/Bit Total Bit Energy and 0.66 mm2 Footprint, 30th OptoElectronics and Communications Conference (OECC), Sapporo, Japan, June 2025.

[86] Naoya Yamamura, Chenyu Zhao, Hiroshi Tsutsui, Takeo Ohgane, "Evaluation of Bit-Width Effects in Fixed-Point FPGA-Optimized MFCC Computation via Software Simulation for HMM-Based Phrase Speech Recognition," Proceedings of International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS), Nov. 2025. [doi:10.1109/ISPACS68724.2025.11383003]

[87] Yuzuki Morikawa, Chenyu Zhao, Hiroshi Tsutsui, Takeo Ohgane, "Accuracy Evaluation of a Streaming-Based Resource-Efficient Mel Filter Bank Architecture with Fixed-Point Based Design Approaches," Proceedings of International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS), Nov. 2025.[doi:10.1109/ISPACS68724.2025.11383445]

[88] Chenyu Zhao, Hiroshi Tsutsui, Takeo Ohgane, "Design and Implementation of a Real-Time Acoustic Feature Visualization System on Raspberry Pi Platform Utilizing Fixed-Point FPGA-Based Mel Spectrum Extraction," Proceedings of International Symposium on Multimedia and Communication Technology (ISMAC), Aug. 2025.[doi:10.1109/ISMAC65024.2025.11175938]

[89] Masato Goto, Ibuki Sugiyama, Junichiro Kadomoto, Hidetsugu Irie, and Yoshio Mita, "ReconSkin: Shape-Configurable Robotic Skin Utilizing Wireless Networked Sensor Nodes," ACM Conference on Human Factors in Computing Systems (CHI) 2025, Apr.-May 2025.

[90] Noriko Kawai, Ayako Mizushima, David Bourrier, Mathieu Arribat, Yurie Inoue, Makoto Fujiwara, Amel Beghersa, Hugues Granier, Yukinori Ochiai, and Yoshio Mita, "Opportunities and Challenges towards Portable Nanotechnology Processes over Open Facilities," 4th European Nanofabrication Research Infrastructure Symposium (ENRIS 2025), May 2025.

[91] Etsuko Ota, David Bourrier, Eric Imbernon, Amel Beghersa, Hugues Granier, Ayako Mizushima, Noriko Kawai, Naonobu Shimamoto, Yukinori Ochiai, and Yoshio Mita, "Quantitave Contamination Evaluation Framework Demonstrated for International Open Platform Process Cascading," 4th European Nanofabrication Research Infrastructure Symposium (ENRIS 2025), May 2025.

[92] Ayako Mizushima, Atsushi Toyokura, Sun Yasunaga, Yurie Inoue, Makoto Fujiwara, Tomoki Sawamura, Mitsuhiro Yoda, Yukinori Ochiai, and Yoshio Mita, "How to manage sputtering targets worn-out in open platform?," 4th European Nanofabrication Research Infrastructure Symposium (ENRIS 2025), May 2025.

[93] Noriko Kawai, Tomoya Nakamura, Etsuko Ota, and Yoshio Mita, "Hat and Skirt dual sacrificial layers for damageless Metal High Aspect Ratio Nano Structure," 2025 Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP), Jun. 2025.

[94] Yoshio Mita, Ayako Mizushima, Noriko Kawai, and Naonobu Shimamoto, "Micro Mushroom Plug and Receptacles for Reliable Chiplet Connection with Passive Alignment," 2025 Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP), Jun. 2025.

[95] Koki Maekawa, Shun Yasunaga, Ryosho Nakane, Yoshio Mita, and Akio Higo, "Wavelength-Selective Waveguide Photodetector Utilizing Surface Plasmon Resonance," 2025 Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP), Jun. 2025.

[96] Ayako Mizushima, Naonobu Shimamoto, Etsuko Ota, and Yoshio Mita, "Visualization of XeF2 Etching Rate for Dry Release Process," 2025 Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP), Jun. 2025.

[97] Ryohei Takahashi, Shun Yasunaga, Tetsuya Iizuka, Akio Higo, Ryosho Nakane, Motohiko Ezawa, and Yoshio Mita, "A 16 GHZ TOPOLOGICAL ELECTRICAL CIRCUIT USING INTERCHIP MUTUAL INDUCTANCE FABRICATED BY DUAL-DAMASCENE PROCESS," 2025 23rd International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers), Jun.-Jul. 2025.

[98] Akihiko Yoshida, Ryosho Nakane, Shun Yasunaga, Akio Higo, and Yoshio Mita, "A DEMONSTRATION OF ANALOG/DIGITAL CONVERTER-FREE RESERVOIR COMPUTING USING A SERIES-CONNECTED RESONATING SWITCHED MEMS COUNTER," 2025 23rd International

Conference on Solid-State Sensors, Actuators and Microsystems (Transducers), Jun.-Jul. 2025.

[99] Shun Yasunaga and Yoshio Mita, "Hexastable MEMS Stage," 2025 23rd International Conference on Solid-State Sensors, Actuators and Microsystems (Transducers), Jun.-Jul. 2025.

[100] Anne-Claire Eiler, Ayako Mizushima, Junichi Sugita, Katsuhito Fujiu, Yoshio Mita, and Agnes Tixier-Mita, "Development of an LSI CMOS Microelectrode Array with Semi-Transparent Through-Hole Electrodes for Cardiomyocyte Culture and Future Biosensing Applications," 2025 IEEE International Conference on Device Technologies for Diversified Applications (DTDA), Oct. 2025.

[101] Shun Yasunaga and Yoshio Mita, "Micromechanical Signal Transmission Line Enabled by Chained Asymmetrical Bistable Elements," The 39th International Conference on Micro Electro Mechanical Systems (IEEE MEMS 2026), Jan. 2026.

[102] Ryugo Shimamura, Shun Yasunaga, Chen Wang, Akio Higo, Ryosho Nakane, Michael Kraft, and Yoshio Mita, "Freeform Chevron Actuator Beams Optimized For Varied Work-Consumption Trade-offs via Genetic Algorithms," The 39th International Conference on Micro Electro Mechanical Systems (IEEE MEMS 2026), Jan. 2026.

[103] Ryugo Shimamura, Shun Yasunaga, Tomoya Nakamura, Chen Wang, Michael Kraft, and Yoshio Mita, "VQ-VAE-Based Test Structure Selection for Constructing Design-Fabrication Surrogate Models," The 38th International Conference on Microelectronic Test Structures (ICMTS 2026), Mar. 2026.

[104] Akihiko Yoshida, Shun Yasunaga, Ryosho Nakane, Akio Higo, and Yoshio Mita, "A Contact-Closing Test Structure for Electrical In-Chamber Release Endpoint Detection During Vapor HF Etching," 2026 IEEE 38th International Conference on Microelectronic Test Structures (ICMTS 2026), Mar. 2026.

[105] Hiroaki Shimaoka, Hiroshi Iwata, and Ken'ichi Yamaguchi, "A simple full scan design using scan C flip-flop for asynchronous circuit," in Proceedings of The Workshop on Emerging Test Technologies (ETT) embedded in the 34th Asian Test Symposium (ATS2025), ETT2-2, pp.1--6, Dec. 2025.

[106] Saki Sugiyama, Hiroshi Iwata, and Ken'ichi Yamaguchi, "RTL Testability for RTL Datapath Based on Network Centrality," in Proceedings of The Workshop on Emerging Test Technologies (ETT) embedded in the 34th Asian Test Symposium (ATS2025), ETT1-3, pp.1--6, Dec. 2025.

[107] Yuto Shiota, Masahiro Aoyagi, and Takeshi Ohkawa, "Enhancing the Efficiency of Parallel Inter-Chip Communication Bus via TSVs in 3D-Stacked LSI Systems," Taiwan and Japan Conference on Circuits and Systems (TJCAS 2025), poster presentation (2.21 (82)), (Best Poster Award), Aug. 27-29, 2025

[108] R. Kishikawa, K. K. Tokgöz, H. Ito, and S. Amakawa, "Predicting amplifier intermodulation distortion from single-tone measurement/simulation," Asia-Pacific Microwave Conference (APMC), pp. 1–3, December 2025.

[109] S. Amakawa, "Establishing well-defined S-parameter reference planes on transmission lines in the presence of crosstalk," IEEE Conference on Antenna Measurements & Applications (CAMA), pp. 1–4, November 2025.

[110] S. Amakawa, "Signal-flow-graph representation of weakly nonlinear networks and its applications," International Symposium on Radio-Frequency Integration Technology (RFIT), pp. 106–108, August 2025.

[111] Takuto Ando, Ayumu Takeuchi, Yu Eto, Yoshifumi Munakata, Yasuhiko Nakashima: "Q-Snap: Quantization-Aware Dynamic Chunking for LLM Execution on a CGLA," International Conference on Intelligent Systems and Networks, Mar. (2026)

[112] Binh Ngoc Thanh Bui, Hoai Luan Pham, Vu Trung Duong Le, Hai Tuan Vu, Yasuhiko Nakashima: "A Protocol-Aware P4 Pipeline for MQTT Security and Anomaly Mitigation in Edge IoT Systems," ICOIN 2016, Jan. (2026)

[113] Akihiro Tominaga, Jiayi Shen, Tetsu Tanaka, Takafumi Fukushima, "Die-level 3D integration with Via-last TSV from MultiProject Wafers Towards Universal Access to 3D-Ics," 2025 International Conference on Solid State Devices and Materials, pp. 419-420, 2025 年9月

[114] Shutaro Oba, Naoki Iwanuma, Kazushi Tsuji, Keigo Kitta, Takafumi Fukushima, Tetsu Tanaka, "UCNP Emission Intensity Enhancement with Microlens Array for Photodynamic Therapy," 2025 International Conference on Solid State Devices and Materials, pp.

883-834, 2025年9月

[115] Keigo Kitta, Kazushi Tsuji, Naoki Iwanuma, Shutaro Oba, Takafumi Fukushima, Tetsu Tanaka, “Design and Fabrication of Grating Coupler with UV Nanoimprint Lithography for NIR Light-Propagating UCNPs Neural Probe for Deep Brain Stimulation,” 2025 International Conference on Solid State Devices and Materials, pp. 887-888, 2025年9月

[116] Naoki Iwanuma, Kazushi Tsuji, Shutaro Oba, Keigo Kitta, Takafumi Fukushima, Tetsu Tanaka, “Ultra-Low-Invasive Tentacle-Type Bone Marrow Neural Probe with Higher Electrode Density,” 2025 International Conference on Solid State Devices and Materials, pp. 301-302, 2025年9月

[117] Aoi Kataura, Yuqi Duan, Akihiro Suzuki, Pattaramon Thianmontri, Takafumi Fukushima, Koji Kiyoyama, Tetsu Tanaka, “Development of Intraoral Human Machine Interface Using Tongue PPG Changes to Improve the QOL of Quadriplegic Patients,” 21st IEEE Biomedical Circuits and Systems Conference (IEEE BioCAS 2025), pp. 234-238, 2025年10月

[118] Yuqi Duan, Kohei Nakamura, Aoi Kataura, Akihiro Suzuki, Pattaramon Thianmontri, Takafumi Fukushima, Koji Kiyoyama, Tetsu Tanaka, “A 3D-Stacked Artificial Retinal Chip with Object Detection of Interest and Icon Stimulation (ODIS) for Enhancing the QOL of Visually Impaired Individuals,” 21st IEEE Biomedical Circuits and Systems Conference (IEEE BioCAS 2025), pp. 399-403, 2025年10月

[119] 櫻井 雪乃, 片浦 碧, 段 雨琪, 川島 凌太朗, 虎澤 昂太朗, 鈴木 章広, Thianmontri Pattaramon, 福島 誉史, 清山 浩司, 田中 徹, “経爪型 PPG センサを用いた静脈血栓症検出の可能性検討,” 2026年電子情報通信学会総合大会, p. 525, 2026年3月

[120] Y. Fujiya, K. Furuuchi, J. Zhang, T. Furuichi, S. Tsukamoto and N. Suematsu, “1-bit DAC for Image Enhancement of Q-band Direct Digital RF Transmitter,” 2025 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), 2025.

[121] R. Saito, R. Miyagawa, Y. Fujiya, T. Furuichi and N. Suematsu, “A Q-Band -4 dBm Output Power Passive Frequency Tripler Using Stacked APDNP,” 2025 Asia-Pacific Microwave Conference (APMC), 2025.

[122] R. Saito, R. Miyagawa, Y. Fujiya, T. Furuichi and N. Suematsu, “A Q-Band -3dBm Output Power Passive Frequency Tripler Using Self-Biased APDNP,” 2025 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), 2025.

[123] Ryoma Sakida, Hayato Yatabe, Yuki Fukumoto, Tohlu Matsushima, and Takefumi Yoshikawa, “A Transceiver IC Development for Wired Data Communication using Mode Division Multiplex Transmission Method,” 2025 International Conference on Electronics Packaging (ICEP-IAAC 2025)

[124] Shinya Nagasaki, Ryo Kishida and Takefumi Yoshikawa “An Expandable Digital Delay Line Using Phase Interpolator with Duty Cycle Correction Capability,” 2025 IEEE International Symposium on Circuits and Systems (ISCAS2025)

[125] Yu Takeuchi and Takefumi Yoshikawa, “A DAC using Hierarchical Magic-Square Cell Assignment with Direct Element Modulation to Improve Output Linearity for Signal Processing and Sensor Applications,” 2025 10th International Conference on Multimedia Systems and Signal Processing (ICMSSP 2025)

[126] Ryuma Sakida, Hayato Yatabe, Yuki Fukimoto, Tohlu Matsushima and Takefumi Yoshikawa, “A Transceiver using Mode-Division-Multiplex-Transmission method for a Single-Ended Cable,” 2025 IEEE INTERNATIONAL SYMPOSIUM ON ELECTROMAGNETIC COMPATIBILITY, SIGNAL & POWER INTEGRITY (EMC+SIPI2025)

[127] Takumi Ohashi,Akio Shimizu,Yohei Ishikawa, and Takuro Noguchi, “Gm-C Notch Filter for Minute Phase Difference Measurement Circuit,” 22nd International SoC Design Conference (ISOCC 2025), AC3-4, Oct. 2025.

[128] H. Kishimoto, K. Komoku, J. Furuta, Y. Suzuki, and N. Itoh, “A 26-GHz CMOS Push-Push Oscillator,” Proceedings of 2025 Asia-Pacific Microwave Conference, WA1-4, pp.10-12, Jeju Island, Korea, Dec., 2025.

[129] H. Kishimoto, K. Komoku, J. Furuta, Y. Suzuki, and N. Itoh, “25-28 GHz Push-Push VCO with Flicker Noise suppression Circuits,” Submit International Conference on Analog VLSI Circuits (AVIC 2025), pp. 29-32, Matsue, Japan, Oct. 2025.

[130] N. Itoh, K. Komoku, J. Furuta, and Y. Suzuki,

"Study on MOSFET's Operating Region for Fully-Integrated Sub-1-GHz LNA Under Scaling," 2025 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), 2025

[131] Y. Suzuki, "Extremely Low Power Consumption of Linear Power Amplifier for Base Station," 2025 IEEE International Symposium on Radio-Frequency Integration Technlogy (RFIT), 2025.

[132] Y. Suzuki, K. Komoku, J. Furuta, and N. Itoh, "Theoritical Analysis of High Efficiency Power Amplifier with Double Injected Envelope Components," Proceeding of 2025 Asia-Pacific Microwave Conference (APMC), Jeju, Korea, Dec. 2025.

[133] Y. Suzuki, K. Komoku, J. Furuta, and N. Itoh, "Efficiency Analysis of Power Amplifier with Double Injected Envelope Components," Proceeding of 2026 URSI-Japan Radio Science Meeting, Tokyo, Mar. 2026.

[134] K. Makabe, R. Aoyama, Y. Naka, M. Tamura, "Power Receiving Circuit Design of Single-ended Biological Capacitive WPT for Artificial Retina System," in Proc. 2025 IEEE MTT-S Int. Microwave Symposium, San Francisco, CA, Jun. 2025, pp.81-84.

[135] A. Omae, K. Ryui, M. Tamura, "Cavity Resonance-Enabled WPT Using Dual-Axis Orthogonal Power Receivers," in Proc. 2025 Asia-Pacific Microwave Conference, Jeju, Korea, Dec. 2025, pp.1-3.

[136] M. Hasan, E. Nishiyama, M. Tamura, I. Toyoda, "A Coverage-Reconfigurable Patch Antenna Using Switchable Parasitic Elements," in Proc. 2025 Asia-Pacific Microwave Conference, Jeju, Korea, Dec. 2025, pp.1-3.

[137] R. Sonoda, M. Hasan, M. Tamura, "A Reconfigurable Dual-Beam Dual-CP Patch Array Antenna with Switchable Parasitic Lines," in Proc. 2025 Asia-Pacific Microwave Conference, Jeju, Korea, Dec. 2025, pp.1-3.

[138] Shuhei Yokota, Rikuu Hasegawa, Kazuki Monta, Takaaki Okidono, Takuji Miki, Makoto Nagata, Lang Lin, Norman Chang, "A Simulation Technique of Thermal Side-Channels from Cryptographic Circuit," 62nd ACM/IEEE Design Automation Conference (DAC2025), Back-End Design Track #196, Jun. 2025.

[139] Ryozo Takahashi, Makoto Nagata, Takuji Miki, "A Cryogenic SAR ADC with an Attenuated Sampling Technique for In-Situ Signal Monitoring in Silicon Spin Qubit Systems," 2025 International Conference on Solid State Devices and Materials (SSDM2025), C-1-05, Sep. 2025. (Yokohama)

[140] Kazuma Higashimomo, Raisei Mizokuchi, Misato Taguchi, Takuji Miki, Makoto Nagata, Tetsuo Kodera, "Cryogenic CMOS Selector Circuits on an Active Silicon Interposer for Scalable Signal Routing in Silicon Quantum Processors," 2025 International Conference on Solid State Devices and Materials (SSDM2025), E-6-02, Sep. 2025. (Yokohama)

[141] Anlan Chen, Ki-woong Park, Kota Sakai, Sunbin Hwang, Xingyu Huang, Takuya Saraya, Toshiro Hiramoto, Takanori Takahashi, Mutsunori Uenuma, Yukiharu Uraoka, and Masaharu Kobayashi, "A Gate-All-Around Nanosheet Oxide Semiconductor Transistor by Selective Crystallization of InGaOx for Performance and Reliability Enhancement," VLSI Symposium 2025, T6-3 (2025), Kyoto, 2025年6月11日発表.

[142] Xingyu Huang, Kota Sakai, Anlan Chen, Takanori Takahashi, Mutsunori Uenuma, Yukiharu Uraoka, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, "On the Statistical Variability of High-Performance Crystalline InGaOx Nanosheet Oxide Semiconductor FETs," IEEE International Electron Devices Meeting (IEDM), T22-7, San Francisco, 2025年12月9日発表.

[143] Nicodimus Retdian, "A 0.55−1.1GHz Fast Locking All-Digital Delay Locked-Loop Using Course-Fine Time-To-Digital Converters," ISPACS 2025, 2025年11月

[144] Nicodimus Retdian, "Active CMOS rectifier circuits with wide input voltage range," AVIC 2025, 2025年10月

[145] Masashi Imai, "Simluation and Evaluation of Asynchronous Circuits in Extreme Edge Environments," ISMVL2025, Special Session, Jun., 2025

[146] Tomoki Takashima, Masashi Imai, "Evaluation of FPGA Development Boards in a Cryogenic Environment," Proc. SASIMI2025, pp.235-240, Oct., 2025

[147] R. Liu, Y. Zhang, N. Misawa, C. Matsui, K. Takeuchi, "Hybrid-Domain SRAM Computation-in-Memory Architecture for Mixed-Precision FP/INT Operations," International Conference on Solid State Devices and Materials (SSDM), September, 2025, pp. 275-276.

[148] D. Lin, T. Wang, R. Liu, N. Misawa, C. Matsui, K. Takeuchi, "Truncated Carry Approximate Adder

and Explicit Bit Pruning for SRAM-based Digital Computation-in-Memory," International Conference on Solid State Devices and Materials (SSDM), September, 2025, pp. 277-278.

[149] Ryoma Okada, Maya Mizuno, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro, Jun Ohta, Kiyotaka Sasagawa "Asynchronous Quasi-millimeter-wave Electro-optic Imaging System Using Polarization Image Sensor" 2025 IEEE Photonics Conference (IPC2025), 2025.11.12. Resorts World Sentosa, Singapore.

[150] Ryoma Okada, Maya Mizuno, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro, Jun Ohta, Kiyotaka Sasagawa "Asynchronous Microwave Electric Field Imaging System Using LiNbO3 Sensor" PhotonIcs and Electromagnetics Research Symposium, also known as Progress In Electromagnetics Research Symposium2025 (PIERS2025), 2025.11.8. Makuhari Messe, Chiba, Japan.

[151] Wisaroot Sriitsaranusorn, Yuki Nakanishi, Ryoma Okada, Kenzo Shodo, Yasuo Terasawa, Hironari Takehara, Makito Haruta, Hiroyuki Tashiro, Jun Ohta, Kiyotaka Sasagawa "Design of CMOS Switch with Integrated Charge Pump to Extend Stimulation Voltage Range in Retinal Prosthesis Chip Using Standard CMOS Process" 2025 International Conference on Solid State Devices and Materials (SSDM2025), 2025.9.18. Pacifico YOKOHAMA, Yokohama, Japan.

[152] Arphorn Promking, Yoshinori Sunaga, Yasumi Ohta, Okada Ryoma, Hironari Takehara, Hiroyuki Tashiro, Jun Ohta, Kiyotaka Sasagawa "Front-Layer Optical Structure for Enhanced Lensless Fluorescent Imaging" The 11th International Conference on BioSensors, BioElectronics, BioMedical Devices, BioMEMS/NEMS & Applications (Bio4Apps2025, 2025.12.19. National University of Singapore, SINGAPORE.

[153] M. Shibata, and Y. Takahashi, "Low-power SEAL-RF adiabatic logic circuit with DC bias power supply," Proc. IEEJ AVIC 2025, pp. 1-4, Oct. 20-22, Matsue, Japan.

[154] K. Samura, and Y. Takahashi, "A proposed TIA circuit based on INV-TIA and RGC-TIA," Proc. IEEJ AVIC 2025, pp. 33-36, Oct. 20-22, Matsue, Japan.

[155] Y. Taki, and Y. Takahashi, "A high-gain 25-Gb/s active voltage current feedback transimpedance amplifier in 65-nm CMOS," Proc. IEEJ AVIC 2025, pp. 37-40, Oct. 20-22, Matsue, Japan.

[156] H. Matsunami, and Y. Takahashi, "An energy-efficient 25-Gb/s common gate feedforward transimpedance amplifier," Proc. IEEJ AVIC 2025, pp. 41-44, Oct. 20-22, Matsue, Japan.

[157] M. Kawano, Y. Mitarai, H. Hashimoto, T. Fukushima, H. Hosokawa, J. Fujikata, H. Kikuchi, M. Hamada, T. Kuroda and A. Kosuge, "Massive Orthogonal Stacking Assembly IC Cube (MOSAIC) With Inductive Coupling for Exascale Memory Applications," in IEEE 75th Electronic Components and Technology Conference (ECTC), May 2025.

[158] H. Amano, A. Kosuge, H. Sumi, N. Shimamoto, Y. Ochiai, Y. Inoue, T. Mogami, Y. Mita, M. Ikeda, "An SoC Design and Fabrication Hands-On Educational Course Within One Week Using Structured ASIC" in IEEE International Circuits and Systems (ISCAS), May 2025.

[159] Y. Mitarai, M. Kawano, H. Huang, T. Kuroda, M. Hamada, A. Kosuge, "A 78% Area-Reduction in Edge-Coupled Inductive Coupling Link for Flexible Chip Assembly Using Oblong Coil," in JSAP International Conference on Solid State Devices and Materials (SSDM'25), Extended Abstracts, Sep. 2025.

[160] T. Nagata, N. Nakano, M. Mori and R. Akahane, "Tunable Third-Order Butterworth Filter," 2025 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS), Bandung, Indonesia, 2025, pp. 1-4

[161] R. Akahane, M. Mori, A. Sara and N. Nakano, "Low-Voltage-Compatible Low-Frequency Clock Multiplier Circuit Using Monostable Multivibrators," 2025 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS), Bandung, Indonesia, 2025, pp. 1-5

[162] A. Sala, R. Akahane and N. Nakano, "Clock Recovery Circuit Based on Commercial Frequency for Microsystems," 2025 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS), Bandung, Indonesia, 2025, pp. 1-6

[163] Nobuhiko Nakano (Keio University), "Self-Powered Chips Integrating On-Chip Solar Cell in Standard CMOS," Technology (Invited)

[164] H. Yotsuyanagi, "A Delay Testable Boundary Scan with an Embedded Time-to-Digital Converter for Testing

Chip Interconnects," IEEE the 14th International Conference on Communications, Circuits, and Systems, May 2025.

[165] H. Omori, M. Hashizume, B. F. A. Ali, K. S. Lu, and H. Yotsuyanagi, "Temperature Dependence of Threshold Voltage for Interconnect IDDQ Testing in 3D Stacked ICs Using an Offset-Cancellation-Type Comparator," 2025 IEEE Electrical Design of Advanced Packaging and Systems (EDAPS), pp. 1–4, Dec. 2025.

[166] T. Kishimoto and H. Yotsuyanagi, "On Test Pattern Generation Method for an Approximate Multiplier Considering Acceptable Faults," Proc. 2025 IEEE International Test Conference in Asia, pp. 84–89, Dec. 2025.

[167] H. Tsuruoka, H. Yotsuyanagi, S. Wang, Y. Higami, H. Kai, H. Takahashi, T. Ni, and X. Wen, "A Boundary Scan Design with Interconnect Delay Testing and Region-based Repair for TSVs," The Workshop on Emerging Test Technologies (ETT2025), pp. 1–4, Dec. 2025.

[168] Shigeo Sato, Satoshi Moriya, Masaya Ishikawa, Hideaki Yamamoto, "Analog CMOS Spiking Neural Network for Time-Series Signal Recognition," Proc. 2025 IEEE 55th International Symposium on Multiple-Valued Logic (ISMVL), p.69, June 2025.

[169] Shigeo Sato, Satoshi Moriya, Tetsuta Sakai, Kyotaro Gotsu, Yuki Majima, Jiei Hamamoto, Hideto Ota, Hideaki Yamamoto, Yoshihiko Horio, Jordi Madrenas, "CMOS spiking neural networks for edge computing," The 14th RIEC International Symposium on Brain Functions and Brain Computer, Feb. 2026.

[170] Tetsuta Sakai, Satoshi Moriya, Hideaki Yamamoto, Shigeo Sato, "An ultra-low power analog circuit implementation of spiking neural network using high-threshold voltage MOSFETs," The 14th RIEC International Symposium on Brain Functions and Brain Computer, Feb. 2026.

[171] Fujita, Sato, Ogawa, "Self-Regulating Load Voltage in a CMOS Cross-Coupled Rectifier," Proc. of 2025 37th International Conference on Microelectronics, Dec. 2025

[172] Yabutani, Nakamura, and Ito, "PAM4 Driver Circuit with Two Stacked Stages in 0.18-um CMOS for Electro-Absorption Modulators," NOLTA 2025, Oct. 27-31, 2025.

[173] Y. Asada, I. -H. Kwon, K. Takahashi, Y. -J. Choi, K. Sawada and T. Noda, "Evaluation of Electrical Property Changes in Odor-Sensitive Membranes upon Gas Exposure for CMOS Odor Sensor Applications," 2025 IEEE SENSORS, Vancouver, BC, Canada, 2025, pp. 1-4, doi: 10.1109/SENSORS59705.2025.11330215.

[174] T. Noda et al., "Fabrication and Functional Validation of Insertable Sucrose Image Sensor for Monitoring of Plant Photosynthetic Products," 2025 IEEE SENSORS, Vancouver, BC, Canada, 2025, pp. 1-4, doi: 10.1109/SENSORS59705.2025.11330350.

[175] Kenta Higuchi, Masato Goto, Junichiro Kadomoto, Hidetsugu Irie, Position Estimation Method Using Compact Magnetic Resonant Coupled Coils for Shape-Changing User Interfaces, ACM International Conference on Tangible, Embedded and Embodied Interaction (TEI) 2026年3月

[176] Takuya Kasamura, Junichiro Kadomoto, Hidetsugu Irie, Design of an Online Surface Code Decoder Using Union-Find Algorithm, IEEE International Conference on Computer Design (ICCD) 823-830 2025年11月

[177] Junichiro Kadomoto, Werner Florian Samayoa, Prasoon Ambalathankandy, Jan Erik R. Wichmann, Kentaro Sano, Quantifying the Gap Between FPGA and ASIC Implementations of a Surface Code Decoder, IEEE International Conference on Quantum Computing and Engineering (QCE) 2025年8月

[178] Ayumu Mitsumoto, Tetsuo Hironaka, "High-Speed SIFT Descriptor Generation with 36 Small-Region Division and Logic-Synthesis Evaluation,"SASIMI 2025 Proceedings, pp. 193–198, 2025.

[179] Keita Noda, Keita Sugimoto, Hao San, Xueyan Bai, Shogo Katayama, Dan Yao, Anna Kuwana, Zifei Xu, Haruo Kobayashi, "Asynchronous Non-binary SAR ADC Inspired by Hopfield Network," 2025 IEEE ISPACS 1-6 2025年11月

[180] Ko Morishita, Hao San, Tatsuji Matsuura, Masao Hotta, Asynchronous Cyclic Adc Using a Multistage Zero-Crossing-Based Amplifier, 2025 IEEE ISPACS, pp1-6, 2025年11月

[181] Masahiro Fukuoka, Kazutoshi Nishio, Motoaki Hara, Hiroyuki Ito, "Microwave-Band Oscillator Based on Thin-Film Bulk Acoustic Resonator with Wide Frequency Tunability for Atomic Clock Applications," 2025 Photonics & Electromagnetics Research

Symposium - Fall (PIERS-Fall), (2025年11月4日)

[182] Masahiro Fukuoka, Kazutoshi Nishio, Motoaki Hara, Hiroyuki Ito, “FBAR oscillator with wide-frequency tuning employing single-sideband mixer for ultra-miniaturized atomic clock,” 2025 IEEE International Ultrasonics Symposium (IUS), (2025年9月18日)

[183] Masahiro Fukuoka, Motoaki Hara, Hiroyuki Ito, “Observation of Coherent Population Trapping Resonance using thin-Film Bulk Acoustic Resonator Oscillator integrated with Single-sideband Mixer,” Proceedings of the 7th URSI Asia-Pacific Radio Science Conference – AP-RASC 2025 (2025年8月)

[184] T. Yaguchi, Y. Shiotsu, and S. Sugahara, “Design and performance of single-ended SRAM cell for near energy-minimum-point operation,” IEEE International Meeting for Future of Electron Devices, Kansai (IMFEDK 2025), Kyoto, Japan, November 13-14, 2025, paper P16.

【国内会議，研究会等】

[1] 小野 まとい，湯浅 太蔵，ビャムバドルジ ゾルボー，加納 創太，竹中 理太郎，歌丸 剛，中村 雅之，石田 雅裕，浅見 幸司，肥後 昭男，飯塚 哲也，“可変インダクタを用いた広帯域ミリ波VCOの設計,” 電子情報通信学会 ICD/CAS学生・若手研究会2025, 2025年12月.

[2] 佐久間 文哉，朱 玉揚，長田 将，張 浩明，飯塚 哲也，“高調波ミキサとデジタル時間変換器を用いたFractional-N型位相同期回路における電力・雑音トレードオフの解析に基づく最適化,” 電子情報通信学会 LSIとシステムのワークショップ2025, 2025年5月.

[3] 任 煥宇，朱 玉揚，賈 沅鑫，魚 家傲，飯塚哲也，“Performance Optimization of On-Chip Spin-Wave Detection Circuit based on System-Level Simulations,” 電子情報通信学会 LSIとシステムのワークショップ2025, 2025年5月.

[4] 占 黎晨，陈 赟杰，ヴァタンハガディム ベラズ，ビャムバドルジ ゾルボー，飯塚哲也，“Design of Power-Efficient Dynamic Comparator with Auxiliary Stage for Wide Input Common-Mode Range,” 電子情報通信学会 LSIとシステムのワークショップ2025, 2025年5月.

[5] 賈 沅鑫，朱 玉揚，任 煥宇，魚 家傲，飯塚哲也，“Design of Two-Stage Inductorless Noise Canceling Low-Noise Amplifer Employing Active Feedforward With Noise Reduction,” 電子情報通信学会 LSIとシステムのワークショップ2025, 2025年5月.

[6] 湯浅 太蔵，ビャムバドルジ ゾルボー，肥後 昭男，飯塚哲也，“ミリ波帯CMOS回路設計のためのテスト回路とデバイスモデリング手法の検討,” 電子情報通信学会 LSIとシステムのワークショップ2025, 2025年5月.

[7] 内田雅大，竹中理太郎，加納創太，飯塚哲也，“深宇宙探査機向けワンチップ無線通信機器向け逐次比較型A/D変換回路の設計と評価,” 電子情報通信学会 LSIとシステムのワークショップ2025, 2025年5月.

[8] 大西 啓介，加納 創太，宇佐美 尚人，飯塚 哲也，“深宇宙探査機向けワンチップ無線通信機における電圧制御発振器の放射線耐性向上手法の検討,” 電子情報通信学会 LSIとシステムのワークショップ2025, 2025年5月.

[9] 越山 遥斗，川崎 淳，村松 瑞基，依田 克之，曽根原 誠，佐藤 敏郎，宮地 幸祐，“10MHz帯動作鉄系メタルコンポジット磁心絶縁トランス及びCMOS型D級発振器を用いた12V-1.5W出力絶縁コンバータ,” 電子情報通信学会，集積回路研究会，LSIとシステムのワークショップ，S23 学生63, 2025年5月.

[10] 山﨑 大河，大里 知佑樹，伊藤 秀虎，宮地 幸祐，“4入力RF非接触給電受電DC-DCコンバータにおけるAdaptive On-Time（AOT）制御の検討,” IEICE信越支部大会，5B-2, 2025年9月.

[11] 立壁 京也，小林 大輝，宮地 幸祐，“パッケージ内蔵電源に向けた15MHz動作5V入力 1V出力多並列Flying Capacitor Cross-Connected コンバータの検討,” 電子情報通信学会 総合大会，C-12-18, 2026年3月. 利用ファシリティ：Cadence, Mentor,

[12] 越山 遥斗，川崎 淳，村松 瑞基，依田 克之，曽根原 誠，佐藤 敏郎，宮地 幸祐，“10MHz帯鉄系メタルコンポジット磁心絶縁トランスを用いたCMOS型D級発振器12V絶縁DC-DCコンバータの出力制御の検討,” 電子情報通信学会 総合大会，C-12-19, 2026年3月.

[13] 市川 享嗣，越山 遥斗，依田 克之，曽根原 誠，佐藤 敏郎，宮地 幸祐，“Single-Stage Bipolar-Output整流器を用いた24V入力24V/－5V出力絶縁型コンバータの検討,” 電子情報通信学会 総合大会，C-12-20, 2026年3月.

[14] 渡邊 友翔, 角田 篤哉, 宮地 幸祐, “CMOS型D級発振器ドライバを用いた完全集積型480MHz動作低駆動損失2V入力2:1 Switched Capacitorコンバータ,” 電子情報通信学会 総合大会, C-12-21, 2026年3月.

[15] 小林 大輝, 立壁 京也, 宮地 幸祐, “30MHz動作4V入力0.8V出力Flying-Capacitor Cross-Connected Integrated Voltage Regulatorにおける低耐圧トランジスタ使用の検討,” 電子情報通信学会 総合大会, C-12-22, 2026年3月.

[16] 大里知佑樹, 山﨑 大河, 伊藤 秀虎, 宮地 幸祐, “4入力RF非接触給電DC-DCコンバータにおけるヒステリシスMPPT制御の検討,” 電子情報通信学会 総合大会, C-12-23, 2026年3月.

[17] 伊藤 秀虎, 大里 知佑樹, 山﨑 大河, 宮地 幸祐, “RF非接触給電受電DC-DCコンバータにおけるレクテナ直列入力方式の検討,” 電子情報通信学会総合大会, C-12-24, 2026年3月.

[18] T. Noguchi and K. Takano, “Design of a 300-GHz-Band Up-Conversion Mixer for Self-Heterodyne Transceiver in 0.13-μm SiGe BiCMOS,” 2nd International Workshop on Global Research Initiative for Wireless Technology (2nd IGROW), April 2025.

[19] Y. Hirayama, S. Beppu, S. Hara, A. Kasamatsu, Y. Mita, and K. Takano, “300-GHz Band Capacitor Modeling with Passivity-Constrained Rational Polynomial Approximation,” 2nd International Workshop on Global Research Initiative for Wireless Technology (2nd IGROW), April 2025.

[20] 野口大河, 高野恭弥, “0.13 μm SiGe BiCMOSによるセルフヘテロダイン・トランシーバ用300 GHz帯アップコンバージョンミキサ,” LSIとシステムのワークショップ2025, 2025年5月.

[21] 平山雄斗, 別府隼, 阿部敏明, 沖井将, 高野恭弥, 原紳介, 田中聡, 片山光輔, 杉本義喜, 久保俊一, 笠松章史, 吉田毅, 天川修平, 藤島実, “300GHz帯フェーズドアレイ送信素子による258-280GHz帯100Gb/s伝送の実証,” LSIとシステムのワークショップ2025, 2025年5月.

[22] 長谷川司, 高野恭弥, “機械学習によるサブテラヘルツ帯小信号回路トポロジの自動生成,” 電子情報通信学会集積回路研究会, 2025年8月.

[23] Taiga Noguchi, Kyoya Takano, “A 47 GHz Bandwidth LO Split Up Conversion Mixer for 300 GHz Self Heterodyne Transceivers in 0.13 μm SiGe BiCMOS,” 電子情報通信学会ソサイエティ大会 公募シンポジウムセッション 3rd IGROW, Sep. 9, 2025.

[24] 今村駿友, 高野恭弥, “SiGe BiCMOS を用いた300 GHz 帯低雑音差動ベース励振型バッファ独立入力整合ダウンコンバージョンミキサ,” 電子情報通信学会ソサイエティ大会, 2025年9月.

[25] 村本大和, 祁一銘, LYU SHUXIN, 齊藤健, “昆虫型マイクロロボットに搭載する光刺激による停止・方向転換が可能なニューロモルフィック回路の開発,” LSIとシステムのワークショップ2025, 2025.5.13.

[26] 安田祐希, 野口裕太, LYU SHUXIN, 齊藤健, “筋肉による駆動を模倣したネズミ型ロボット制御用ニューロモルフィック集積回路の開発,” LSIとシステムのワークショップ2025, 2025.5.13.

[27] LYU SHUXIN, 佐藤隼, 祁一銘, 山下莉史, 冨永雄大, 村本大和, 齊藤健, “MEMSマイクロロボットに実装可能なシリコンデバイスの開発,” エレクトロニクス実装学会アカデミックプラザ2025 電子機器トータルソリューション展2025アカデミックプラザ, 2025.6.4.

[28] QI YIMING, 村本大和, LYU SHUXIN, 齊藤健, “昆虫型マイクロロボットに搭載する光刺激による停止・方向転換が可能なニューロモルフィック回路,” d.lab-VDECデザイナーズフォーラム2025, 2025.9.26.

[29] 陳普澤, 崔峻豪, 劉佳艾, 浅沼唯斗, LYU SHUXIN, 齊藤健, “四足歩行ロボット用の抑制性シナプスモデルで弱く結合したニューロモルフィック回路の測定,” 令和7年度（第69回）日本大学理工学部学術講演会, 2025.12.4.

[30] QI YIMING, 村本大和, LYU SHUXIN, 齊藤健, “光刺激によるマイクロロボット用の動体検知可能なニューロモルフィック回路の検討,” 令和7年度（第69回）日本大学理工学部学術講演会, 2025.12.4.

[31] 崔 峻豪, 陳 普澤, 浅沼唯斗, LYU SHUXIN, 齊藤 健, “集積回路化した弱く結合したニューロモルフィック回路の同期現象に対する検討,” 令和7年度（第69回）日本大学理工学部学術講演会, 2025.12.4.

[32] 佐藤巧, 野口裕太, LYU SHUXIN, 齊藤健, “人工筋肉ワイヤにより駆動するラット型ロボットを制御するニューロモルフィック回路の集積化に対する検討,” 令和7年度（第69回）日本大学理工学部学術講演会, 2025.12.4.

[33] 齋藤樹希, 山下莉史, LYU SHUXIN, 齊藤健, “マイクロロボットに搭載する昆虫の尾葉を模倣した

静電センサの容量検出回路に対する検討,” 令和7年度（第69回）日本大学理工学部学術講演会, 2025.12.4.

[34] 陳普澤, 崔峻豪, 劉佳艾, 浅沼唯斗, LYU SHUXIN, 齊藤健, “抑制性シナプスモデルで弱く結合したニューロモルフィック回路の検討,” 電気学会電子回路研究会, 2025.12.5.

[35] 佐野慶真, 祁一銘, 村本大和, LYU SHUXIN, 齊藤健, “光刺激に応じて停止・旋回制御可能なニューロモルフィック集積回路の開発,” 第31回 電子情報通信学会東京支部学生会研究発表会, 2026.3.7.

[36] 金井裕輝, 安田祐希, LYU SHUXIN, 齊藤健, “筋骨格を模倣したラット型ロボット用の受容細胞モデルを搭載したニューロモルフィック集積回路の開発,” 第31回 電子情報通信学会東京支部学生会研究発表会, 2026.3.7.

[37] 祁一銘, 佐野慶真, 村本大和, LYU SHUXIN, 齊藤健, “光刺激の移動を検知可能なニューロモルフィック回路の検討,” 2026年電子情報通信学会総合大会, 2026.3.12.

[38] 金井裕輝, 安田祐希, LYU SHUXIN, 齊藤健, “受容細胞モデルを搭載した筋肉による駆動を模倣したラット型ロボット用ニューロモルフィック回路の集積化に対する検討,” 令和7年度（第69回）日本大学理工学部学術講演会, 2025.12.4.

[39] 星野 春樹, 小松 聡, “マルチ電圧設計向け高速レベルシフタの設計,” 2026年電子情報通信学会総合大会（C-12-14), 2026年3月.

[40] 新井 理巧, 小松 聡, “低電圧動作可能な低消費電力PTAT温度センサ回路,” 2026年電子情報通信学会総合大会（C-12-29), 2026年3月.

[41] 山崎 悠真, 小松 聡, “環境発電動作に向けた低消費電力な基準電圧源回路,” 2026年電子情報通信学会総合大会（C-12-28), 2026年3月.

[42] 野口泰寛, 小松聡, “音声アプリケーション向けVCOADCの低消費電力化,” 組込み技術とネットワークに関するワークショップ ETNET2026, 2026年3月.

[43] 明連広昭, 羽鳥裕紀, 成瀬雅人, “量子磁束パラメトロンを用いた高感度電流コンパレータ応用の基礎的検討,” 信学技報, vol. 125, no. 231, SCE2025-9, pp. 15-17, 2025年11月

[44] 羽鳥 裕, 成瀬 雅人, 明連 広昭, “量子磁束パラメトロンを用いた高感度A/D 変換回路の設計,” 2026年第73回応用物理学会春季学術講演会 [17p-W8E_308-7], 2026年3月

[45] 迫田隼人, 大高俊徳, 佐藤俊一, 浜本隆之, “無段階加速度ランプ生成器の分散配置アーキテクチャに基づくシングルスロープADC CMOSイメージセンサ,” 映像情報メディア学会技術報告, vol. 50, no. 14, IST2026-12, pp. 7-12, 2026年3月.

[46] 沖本, 大竹, “プロセッサのALUに対する命令レベル遷移故障テスト,” 2025電気・情報関係学会九州支部連合大会, 2025年9月.

[47] 岡留, 大竹, “FPGAの特定用途向け構成における自己劣化検知テスト,” 2025電気・情報関係学会九州支部連合大会, 11-1A-06, 2025年9月.

[48] 濱村, 大竹, “RISC-Vプロセッサにおける命令レベル擬似乱数テストの有効性評価,” 信学技法, vol. 125, no. 262, DC2025-57, pp. 42-47, 2025年12月.

[49] 岡留, 大竹, “FPGAの特定用途構成における劣化検知のための自己テスト,” 信学技法, vol. 125, no. 278, DC2025-105, pp. 24-29, 2025年12月.

[50] 村田 英夢, 関根 かをり, “PTAT 電圧発生回路のバイアス電圧依存性についての一考察,” 電気学会全国大会

[51] 小椋 道矢, 草野 圭祐, 関根 かをり, 和田 和千, 砂田 哲, 原 伸介, 田野 井聡, 笠松 章史, “2入力積和演算回路を用いた光リザバーシステムの8入力化の実装に向けた検討,” iEEJ

[52] Amine CAVE, Emu MURATA, Shuya ISAWA, Kawori SEKINE, Kazuyuki WADA, “Design and Evaluation of an Ultra-Compact Sensor Platform for Tennis Swing Analysis,” 電気学会 電子回路研究会（ECT-25-049）.

[53] HE Jacky, KUSANO Keisuke, MIZUSHINA Masaki, OGATA Atsuhiro, SEKINE Kawori, WADA Kazuyuki, “Thermal Analysis and Performance Optimization of Analog MAC Circuits for Photonic Reservoir Systems using 65nm CMOS technology,” 電気学会 電子回路研究会（ECT-25-059）.

[54] 栗栖 広士郎, 松崎 平蔵, 関根 かをり, 和田 和千, 長谷川 幹雄, 安藤 暖人, 栗山 拓都, 原 伸介, 田野 井聡, 笠松 章史, “学習の高速化を目的とした強化学習専用回路による2チャンネル通信経路探索システムの評価,” 電気学会 電子回路研究会（ECT-26-008）

[55] Shuya Isawa, Emu Murata, Kawori Sekine, Kazuyuki

Wada, François Rivet, Hervé Lapuyade, Yann Deval, “Design of a Voltage Reference Circuit Considering Overdrive Voltage of MOSFET,” 電気学会 電子回路研究会

[56] 緒方敦洋, 関根かをり, 和田和千, 砂田哲, 笠松章史, 田野井聡, 原伸介, “Layout of the Optical Reservoir Chip with Photodiode,” 電気学会 電子回路研究会, ECT-25-057

[57] 水品雅樹, 緒方敦洋, 関根かをり, 和田和千, 砂田哲, 笠松章史, 田野井聡, 原伸介, “光リザバーシステムに用いるTIAと積和演算回路の1チップ化(Single-chip integration of current-input multiply-accumulate circuits for optoelectronic reservoir systems),” 電気学会 電子回路研究会, ECT-25-062

[58] 齊藤, 難波, “出力バッファの挿入がラッチ遅延特性に与える影響の検討,” 信学技報, DC, 2026年2月.

[59] Ogulcan Asik, Ji Wu and Kazuteru Namba, “Selective Parity Protection for Resilient Low-Voltage SRAM in Quantized Neural Networks,” FTC研究会, 2026年1月.

[60] 小竹 渓心, 難波 一輝, “経年劣化耐性を持ったRS-DICEの検討,” 信学技報, DC, 2025年12月.

[61] Song Wang and Kazuteru Namba, “A Delay-Element-Based Latch for Flip-Flops with Recovery from Double-Node Upsets and Tolerance to Soft Errors Around Clock Edges,” 第11回ソフトエラー(などの半導体の放射線効果)勉強会, 2025.

[62] 宮本順一, 岡田信二, 武藤敬, 「AIチップによる電力需要増に対する熱電変換技術の適用検討」, 第22回日本熱電学会学術講演会(TSJ2025)予稿集, S4B1, p68, 2025/09/24

[63] C. Zhang, R. Tang, M. Okano, K. Toprasertpong, S. Takagi, and M. Takenaka, “High saturation current and high speed 4-port evanescently coupled waveguide Ge-on-Si photodetector,”『第86回応用物理学会秋季学術講演会』, 9p-N202-4, 名古屋, 2025年9月7-10日.

[64] J. Pan, H. Sakumoto, T. Akazawa, K. Toprasertpong, S. Takagi, and M. Takenaka, “SiN-rib InP membrane waveguide with a low-loss taper structure,”『第86回応用物理学会秋季学術講演会』, 8p-N202-5, 名古屋, 2025年9月7-10日.

[65] 小松健太郎, 赤澤智熙, モンフレ ステファン, ブフフレデリック, トープラサートポン カシディット, 竹中 充,「狭金属電極ギャップを有するInGaAs MSM型受光器のSi導波路への集積」,『第86回応用物理学会秋季学術講演会』, 9p-N202-5, 名古屋, 2025年9月7-10日

[66] 作本宙彌, ピヤパッタラクン ティパット, トープラサートポン カシディット, 高木信一, 竹中 充,「III-V族半導体薄膜導波路を用いたMOSCAP型マイクロリング光変調器」,『第86回応用物理学会秋季学術講演会』, 9p-N202-1, 名古屋, 2025年9月7-10日(招待講演).

[67] 竹中充, 高城和馬, 戴維, トープラサートポン カシディット, 高木信一,「強誘電体酸化ハフニウムジルコニウムを用いた光位相変調器の展望」,『電子情報通信学会 2026年総合大会』, CI-1-02, 福岡, 2026年3月9-13日(招待講演).

[68] Y. Wang, X. Gao, O. Makoto, K. Toprasertpong, S. Takagi, M. Takenaka, “Fabrication of ITO TFTs for driving thermo-optic phase shifters on Si photonics platform,”『第73回応用物理学会春季学術講演会』, 17p-WL2_401-13, 東京, 2026年3月15-18日.

[69] W. Dai, Z. Liu, H. Matsukawa, K. Toprasertpong, and M. Takenaka, “Pockels effect in Hf0.5Zr0.5O2 integrated silicon nitride waveguides,”『第73回応用物理学会春季学術講演会』, 18a-WL2_401-8, 東京, 2026年3月15-18日.

[70] 宮武悠人, トープラサートポン カシディット, 高木信一, 竹中,「進化戦略を用いた小型・低損失・広帯域2×2シリコン光カプラの設計と実証」,『第73回応用物理学会春季学術講演会』, 17p-WL2_401-1, 東京, 2026年3月15-18日(招待講演).

[71] 小林研二, 宮武悠人, 唐睿, 牧野孝太郎, 畑山祥吾, 岡野誠, トープラサートポン カシディット, 高木信一, 竹中,「Ge2Sb2Te3S2 光強度変調器を用いた低クロストーク 1×2 シリコン MZI 光スイッチ」,『第73回応用物理学会春季学術講演会』, 18a-WL2_401-5, 東京, 2026年3月15-18日.

[72] 赤澤智熙, 唐睿, 湯涵智, 岡野誠, 松田信幸, トープラサートポン カシディット, 高木信一, 竹中,「III–V/Si ハイブリッド MOS 型光位相シフタを用いた低消費電力・高速光スイッチ」,『第73回応用物理学会春季学術講演会』, 17p-WL2_401-14, 東京, 2026年3月15-18日.

[73] 見通し外の対象検知に向けた P-HCNM による音源方向推定回路の実装, 小池勇翔, 佐々木芳樹 令和7年度日本大学理工学部学術講演会 2025年12月4日

[74] パルス型ハードウェアカオスニューロンモデルを用いた自己組織化マップのための参照電圧更新回路に対する一検討，中山和樹，佐々木芳樹 電子回路研究会 2025年12月5日

[75] 低電源電圧で動作可能なP-HCNM用いたホップフィールドネットワークのアナログ特性を考慮した時系列パターン想起の一検討，大沼亮介，佐々木芳樹 電子回路研究会 2025年12月5日

[76] パルス型ハードウェアカオスニューロンモデルを用いた画素データ内の特徴抽出可能なフィルタ構築に対する一検討，今村楓也，佐々木芳樹 電子回路研究会 2025年12月5日

[77] Return-on-Investment Battery Charger Charge Pumps Driven by Reduced-Amplitude Clock for Reduction in the Minimum Input Voltage for Energy Harvesting, Shufan Liu, Toru Tanzawa, IEICE General Conference 2026年3月

[78] Temperature Compensation Design for Multiply-and-Accumulate Operations in Analog Computing In-Memory, Li Gengyuan, Toru Tanzawa, IEICE General Conference 2026年3月

[79] Hierarchical Bit-Line Sensing Scheme for Advanced 3D NAND Flash LUO, Mao-Fong, Toru Tanzawa, IEICE General Conference 2026年3月

[80] 増井 他，小面積HDR型CMOSイメージセンサに向けた4T-DCG Large-Small Multiple-PD型画素の検討，IST, 2026年3月

[81] 竹本 他，3段階ポテンシャル構造画素を用いた高速HDR読み出しの検討，IEICE 総合大会，2026年3月

[82] 生田 他，2次元エッジ特徴量を抽出可能なCMOSイメージセンサに向けた画素感度向上の検討，IEICE 総合大会，2026年3月

[83] 堀 他，LOFIC型CMOSイメージセンサに向けた高線形読み出し回路の検討，ICD CAS 学生・若手研究会，2025年12月

[84] 竹本 他，3段階ポテンシャル構造画素を用いた高速HDR読み出しの検討，映像情報メディア学会 年次大会，2025年8月

[85] 森田 他，2方向エッジ特徴量を抽出可能なCMOSイメージセンサ画素の検討，IST, 2025年6月

[86] 上野 他，安全なイメージセンサに向けた乱数処理機能を備える逐次比較型A/D変換器の検討，LSIとシステムのワークショップ，2025年5月

[87] 榎本 他，イメージセンサの画素アレイ内演算とデジタル行列演算を組み合わせた画像分類器の検討，LSIとシステムのワークショップ，2025年5月

[88] 比嘉，田畑，佐方，長名，“FPGAベースの高速Ethernet MAC向けレイテンシ測定システムの実装と評価,” 電子情報通信学会技術研究報告，RECONF2025-87, 2025年12月

[89] 長名，北島，渡久地，藤井，“評価ボードを用いた低コスト短波海洋レーダの開発,” 電子情報通信学会技術研究報告，RECONF2025-125, 2026年1月

[90] 安藤，長名，“ALICE FoCal 用読み出し ASIC 特性評価システム,” 電子情報通信学会技術研究報告，CPSY2025-56, 2026年3月.

[91] Cui Shuyuan, 福代大紀，島田 宏，水柿義直，“πジョセフソン接合を用いた進行波型パラメトリック増幅器の検討,” 2025年電子情報通信学会ソサイエティ大会，C-8-09, 2025年9月

[92] Cui Shuyuan, 島田 宏，水柿義直，“πジョセフソン接合を用いた進行波パラメトリック増幅器のミキシングモード解析および特性評価,” 電子情報通信学会技術研究報告（超伝導エレクトロニクスSCE），SCE2025-16, 2026年1月

[93] 張明涛，程全，橋本昌宜，“Hybrid Simulation-Emulation Framework for Comprehensive Processor-Scale Set Injection,” 情報処理学会DAシンポジウム，2025年8月.

[94] 田中知成，橋本昌宜，“圧縮内部状態シーケンスの監視に基づくプロセッサ誤動作検出手法,” 情報処理学会DAシンポジウム，2025年8月

[95] 川原啓輔，西山伸彦，「サイドゲートMOSFETを用いたシリコンフォトニクス・モノリシック集積温度センサ回路の設計」電子情報通信学会総合大会，C-3_C-4-55, 2026年3月13日

[96] 三浦和也，川原啓輔，堀川剛，Moataz Eiss, 大礒義孝，西山伸彦，矢島隆雅，野中健太朗，「水晶基板上 a-Si 装荷型薄膜 LN 光変調器の電極構造の最適設計」，電子情報通信学会総合大会，C-4-41, 2026年3月12日

[97] 川原啓輔，土澤泰，山本宗継，前神有里子，山田浩治，馬場俊彦「光電気等化によるSiフォトニック結晶光変調器の100 Gbaud動作」，応用物理学会秋季学術講演会，9a-N202-9, 2025年9月9日

[98] Chenyu Zhao, Yuzuki Morikawa, Hiroshi Tsutsui, Takeo Ohgane, “Design of a Streaming-Based Resource-Efficient Mel Filter Bank Architecture for Real-Time Mel Spectrum Extraction on FPGA,” IEICE Society

Conference, p. 118, A-14-15, Sep. 2025.

[99] 手塚，田中，“IoTエッジデバイスの演算能力拡張に向けたArduino-FPGA協調動作フ レームワークの設計と実装,” 電子情報通信学会 第31回 東京支部学生会研究発表会，8，2026年3月.

[100] 安永竣，島村龍伍，中村友哉，後藤将人，吉田安紀彦，高橋遼平，古川準之助，前川浩紀，廣安幸志郎，三田吉郎，《小さく作って大きく飛ばす》先端CMOS-MEMS技術シーズご紹介，宇宙科学シンポジウム2025，2025.08.

[101] 吉田安紀彦，中根了昌，安永竣，肥後昭男，三田吉郎，「接触スイッチとカウンターによるADCレスMEMS共振子リザバーコンピューティング」，第42回「センサ・マイクロマシンと応用システム」シンポジウム，2025.11.

[102] 安永竣，三田吉郎，「六箇所安定構造を有する面内駆動マイクロステージ」，第42回「センサ・マイクロマシンと応用システム」シンポジウム，2025.11.

[103] 前川浩紀，安永竣，中根了昌，三田吉郎，肥後昭男，「波長選択性を持つ導波路型プラズモニックフォトディテクタ」，第42回「センサ・マイクロマシンと応用システム」シンポジウム，2025.11.

[104] 髙橋遼平，安永竣，飯塚哲也，肥後昭男，中根了昌，江澤雅彦，三田吉郎，「チップ間相互インダクタンスを用いた16GHzトポロジカル電気回路のデュアルダマシン手法による実現」，第42回「センサ・マイクロマシンと応用システム」シンポジウム，2025.11.

[105] 河井哲子，中村友哉，太田悦子，吉田安紀彦，三田吉郎，「ハット＆スカート犠牲層を用いた高アスペクト比金属ナノ構造めっきプロセス」，第42回「センサ・マイクロマシンと応用システム」シンポジウム，2025.11.

[106] 廣安幸志郎，安永竣，Gilgueng Hwang，中根了昌，肥後昭男，三田吉郎，「相転移する温度応答性高分子表面の液体ごとの接触角制御性評価」，第42回「センサ・マイクロマシンと応用システム」シンポジウム，2025.11.

[107] 水島彩子，島本直伸，太田悦子，三田吉郎，「シリコン犠牲層のXeF2リリースエッチングレート可視化のためのテスト構造」，第42回「センサ・マイクロマシンと応用システム」シンポジウム，2025.11.

[108] Anne-Claire Eiler, Ayako Mizushima, Junichi Sugita, Katsuhito Fujiu, Yoshio Mita, and Agnes Tixier-Mita, “Reseau d’electrodes semi-transparentes pour etudier les cellules cardiaques,” Journees Francophones de la Recherche 2025 (JFR 2025) - Sciencescope, Dec. 2025.

[109] Pierre Averseng, Shun Yasunaga, and Yoshio Mita, “Dynamic study of bistable MEMS buckling beam,” Journees Francophones de la Recherche 2025 (JFR 2025) - Sciencescope, Dec. 2025.

[110] Anne-Claire Eiler, Ayako Mizushima, Junichi Sugita, Katsuhito Fujiu, Yoshio Mita, and Agnes Tixier-Mita, “Recent advancements on SOIPIX CMOS-Post-Process and Applications,” SOIPIX量子イメージング研究会2025, 2025.12.

[111] 廣瀬 拳，今川 隆司，“極低温環境下で動作する信号処理プロセッサの低電力実装に向けたフィルタ回路の効率化検討,” 情報処理学会研究報告（SLDM），vol. 2025-SLDM-209, no. 14, pp. 1-2, 2025年11月

[112] 近藤健太，升井義博，“連続型デルタシグマAD変換器における電流型DACの影響解析,” 2025年度（第76回）電気・情報関連学会中国支部連合大会，2025年10月

[113] 岡本拓己，升井義博，“FMラジオを想定したFM復調回路の低電圧化の検討,” 2025年度（第76回）電気・情報関連学会中国支部連合大会，2025年10月

[114] 山本耕史，升井義博，“Siホール素子を用いたオンチップ3軸磁気センサに関する研究,” 電子情報通信学会集積回路研究専門委員会，LSIとシステムのワークショップ，2025年5月

[115] 田村喬，升井義博，“0.18μm-CMOSプロセスを用いたエネルギーハーベスティング技術での運用を想定した逐次比較型AD変換器の高効率化,” 電子情報通信学会集積回路研究専門委員会，LSIとシステムのワークショップ，2025年5月

[116] 杉山咲，山口賢一，岩田大志：“中心性指標を用いたRTL可検査性に基づく反復的なテスト容易化設計手法の提案,” 情報処理学会第88回全国大会講演論文集，6K-08, Mar.（2026）.

[117] 汐田優斗，福島将馬，渕野 翔，久保木 猛，青柳昌宏，大川 猛，“高効率データ転送のための三次元積層LSI超並列TSVバス通信方式のチップ設計,” 電子情報通信学会VLSI設計技術研究会（VLD），デザインガイア2025 -VLSI設計の新しい大地-，信学技報，vol. 125, no. 260, VLD2025-27, pp. 58-63, 2025年12月.

[118] 渕野 翔，大川 猛，青柳昌宏，久保木 猛，“ミュオ

ンイメージング用電荷増幅器の低電圧設計の検討,” 電子情報通信学会ICD研究会，信学技報，vol. 125, no. 249, ICD2025-36, pp. 48-53, 2025年11月.

[119] 渕野 翔，大川 猛，青柳 昌宏，久保木 猛，“ミュオンイメージング用電荷検出器の低電圧設計の検討,” 電子情報通信学会ICD研究会，LSIとシステムのワークショップ2025，ポスター発表（発表番号：学生15），2025年5月.

[120] 辻 一志，二宮 敦彦，岩沼 尚樹，大庭 脩太郎，橘田 圭吾，片山 統裕，新妻 邦泰，遠藤 英徳，福島 誉史，田中 徹，“頚髄を電気刺激可能なWrap Around Electrodeの作製とIn Vivo評価,” 第86回応用物理学会秋季学術講演会，p. 12-077，2025年9月

[121] 橘田 圭吾，辻 一志，岩沼 尚樹，大庭 脩太郎，福島 誉史，田中 徹，“近赤外光伝搬型 UCNP 神経プローブのための UV ナノインプリントリソグラフィを用いたグレーティングカプラの設計と作製,” 第86回応用物理学会秋季学術講演会，p. 12-078，2025年9月

[122] 岩沼 尚樹，辻 一志，大庭 脩太郎，橘田 圭吾，福島 誉史，田中 徹，“高密度に電極配置可能な低侵襲Tentacle-Type骨髄神経プローブの開発,” 第86回応用物理学会秋季学術講演会，p. 12-079，2025年9月

[123] 片浦 碧，段 雨琪，鈴木 章広，Thianmontri Pattaramon，福島 誉史，清山 浩司，田中 徹，“四肢麻痺患者向けヒューマンマシンインターフェイスの開発 - 口腔内PPG信号の分類検証 -,” 2025年電子情報通信学会ソサイエティ大会，p. 35，2025年9月

[124] DUAN YUQI, Nakamura Kohei, Kataura Aoi, Suzuki Akihiro, Thianmontri Pattaramon, Fukushima Takafumi, Kiyoyama Koji, Tanaka Tetsu, “Development of A 3D-Stacked Artificial Retinal Chip with Object Detection of Interest and Icon Stimulation (ODIS) for Significantly Reducing Power Consumption,” 2025年電子情報通信学会ソサイエティ大会, p. 36, 2025年9月

[125] Yuqi Duan, Aoi Kataura, Akihiro Suzuki, Ryotaro Kawashima, Kotaro Torazawa, Pattaramon Thianmontri, Yukino Sakurai, Takafumi Fukushima, Koji Kiyoyama and Tetsu Tanaka, “A 3D-Stacked Artificial Retinal Chip with CNN-Based Object Recognition,” 2026年電子情報通信学会総合大会, p. 40, 2026年3月

[126] 川島 凌太朗，片浦 碧，段 雨琪，虎澤 昂太朗，鈴木 章広，Thianmontri Pattaramon，櫻井 雪乃，福島 誉史，清山 浩司，田中 徹，“エッジAIアプリケーションに向けた3D SNNチップの開発,” 2026年電子情報通信学会総合大会，p. 11，2026年3月

[127] 片浦 碧，段 雨琪，鈴木 章広，川島 凌太朗，虎澤 昂太朗，Thianmontri Pattaramon，櫻井 雪乃，福島 誉史，清山 浩司，田中 徹，“四肢麻痺患者向けヒューマンマシンインターフェイスの開発 - 口腔内PPGセンサを用いた機械操作検証 -,” 2026年電子情報通信学会総合大会，p. 67，2026年3月

[128] 辻 一志，二宮 敦彦，岩沼 尚樹，橘田 圭吾，片山 統裕，新妻 邦泰，遠藤 英徳，福島 誉史，田中 徹，“頚髄を局所的に刺激可能なWrap Around ElectrodeのIn Vivo評価,” 第73回応用物理学会春季学術講演会，p. 12-193，2026年3月

[129] 橘田 圭吾，辻 一志，岩沼 尚樹，福島 誉史，田中徹，“脳深部刺激用近赤外光伝搬型UCNP神経プローブのためのグレーティングカプラの設計と作製,” 第73回応用物理学会春季学術講演会，p. 12-432，2026年3月

[130] 岩沼 尚樹，辻 一志，橘田 圭吾，福島 誉史，田中徹，“マイクロレンズを有するUCNPシートにおけるレンズ作製の最適化,” 第73回応用物理学会春季学術講演会，p. 12-399，2026年3月

[131] 中村 拓未，竹内 悠,，吉河 武文（富山県立大）「酸化物半導体式においセンサの集積回路化に関する検討」，第42回「センサ・マイクロマシンと応用システム」シンポジウム

[132] 熊谷，石川，寺本，“極低温環境におけるMOSFETリーク電流の統計評価用回路の動作実証,” 2025年度生体医歯工学共同研究拠点成果報告会

[133] 宮内奏翔，大橋巧，野口卓朗，石川洋平，清水暁生，“尿量計測回路に用いる素子ばらつきを考慮したノッチフィルタの一検討,” 2025年度電位情報通信学会九州支部学生会講演会・講演論文集，C-06，Sep. 2025.

[134] 今村吏希，大橋巧，野口卓朗，石川洋平，清水暁生，“尿量計測回路に用いる電流源を評価するためのレベルシフト回路,” 2025年度電位情報通信学会九州支部学生会講演会・講演論文集，C-05，Sep. 2025.

[135] 岸本日和，小椋清孝，古田潤，鈴木恭宜，伊藤信之，“薄膜MOSバラクタによるPush-Push発振器

の特性検討,” 2025 年度（第 76回）電気・情報関連学会中国支部連合大会，R25-12-09，山口大学，2025年10月25日.

[136] 岸本日和，小椋清孝，古田潤，鈴木恭宜，伊藤信之，“Push-Push 発振器のFTRと動作モードに関する検討,” 2025年電子情報通信学会ソサイエティ大会C-12-04，岡山大学，2025年9月10日.

[137] 鈴木恭宜，古田潤，小椋清孝，伊藤信之，“包絡線成分注入による電力増幅器の高効率線形増幅の可能性,” 2025年電子情報通信学会ソサイエティ大会，岡山大学，2025年9月

[138] 河島，田代，酒井，関口，島田，木村，“CMOSプロセスを用いた反転歪補償型バースト受信器の検討,” 2026年電子情報通信学会総合大会，B-8-19, Mar., 2026.

[139] 串尾，田代，酒井，関口，島田，木村，“CMOSアナログ回路応用のためのしきい値補償技術に関する検討,” 2026年電子情報通信学会総合大会，B-8-23, Mar., 2026.

[140] 田尻，田代，酒井，関口，島田，木村，“LVDSバッファの回路構成を用いた出力バッファによる光送信器の省電力化に関する検討,” 2026年電子情報通信学会総合大会，B-8-20, Mar., 2026.

[141] Yu Arima and Tsutomu Yoshimura, “ Investigation of Fast Locking in Overclocking Fractional-N PLL,” International Meeting for Future of Electron Devices, Kansai (IMFEDK), Poster & Short Presentation P11, 13-14 November 2025, Kyoto Japan.

[142] 戸屋，原，田村，“デューティ比を考慮した共振フィルタによるΦ2級インバータの設計,” 信学技報 WPT2025-26, vol.125, no.193, p.22－24, Dec. 2025.

[143] 園田，ハサン，田村，“寄生線路による円偏波再構成パッチアレーアンテナ，” 信学技報 SRW2025-154, vol.125, no.209, p.163－168, Nov. 2025.

[144] 園田，ハサン，田村，“寄生素子を用いた円偏波・ビーム再構成可能パッチアレイアンテナ，” 信学技報 AP2025-154, vol.125, no.209, p.163－168, Nov. 2025.

[145] 山里康生，渡邊航，弘原海拓也，永田真，“ディジタルICチップとパッケージシステムにおける近傍電磁界シミュレーション手法の検討,” 電子情報通信学会技術報告，vol. 125, no. 41, EMCJ2025-14, pp. 31-34, 2025.5.30. EMCJ研究会（京都）

[146] 長谷川陸宇，門田和樹，弘原海拓也，永田真，“暗号半導体チップ裏面のシリコン基板サイドチャネル攻撃” 電子情報通信学会技術報告，vol. 125, no. 102, HWS2025-18, pp. 81-85, 2025.7.7 サマーセキュリティサミット

[147] 横田脩平，長谷川陸宇，門田和樹，沖殿貴朗，三木拓司，永田真，Lang Lin, Norman Chang, “半導体チップの排熱と漏洩を評価する熱シミュレーションの検討,” IEICE-ICD・SDM／ITE-IST 8月研究会，2025.8.8.

[148] 横田脩平，長谷川陸宇，弘原海拓也，門田和樹，坂本純一，川村信一，永田真，“フリップチップの意図的な裏面電圧印加によるディジタル回路特性変動の評価,” 信学技報，vol. 125, no. 249, ICD2025-35, pp. 45-47, 2025.11.14. ICD研究会

[149] 長谷川陸宇, 門田和樹, 永田真, 他, “ML-EMFI: A Machine Learning-Driven Pre-Silicon Electromagnetic Fault Injection Security Evaluation for Robust IC Design (from HOST 2025),” 2026年電子情報通信学会総合大会, AI-4-01, 2026.3.13

[150] 横田脩平，長谷川陸宇，弘原海拓也，門田和樹，坂本純一，川村信一，永田真，“フリップチップ裏面電圧印加による集積回路特性変動の評価,” 2026年電子情報通信学会総合大会，C-12-57, p. 94, 2026.3.13.

[151] 坂井洸太，Sunbin Hwang，Anlan Chen, Ki-woong Park, Xingyu Huang, 更屋拓哉，平本俊郎，高橋崇典，上沼睦典，浦岡行治，小林正治，「アモルファス・多結晶InGaOxによるナノシート酸化物半導体トランジスタ」，応用物理学会秋季学術講演会，9a-S203-3，2025年9月9日発表.

[152] 坂井洸太，Anlan Chen, Ki-woong Park, Xingyu Park, 更屋拓哉，平本俊郎，Sunbin Hwang，高橋崇典，上沼睦典，浦岡行治，小林正治，「選択的結晶化による多結晶InGaOxを用いたゲートオールアラウンドナノシート酸化物半導体FET」，応用物理学会秋季学術講演会，9a-S203-4，名城大学，2025年9月9日発表.

[153] Sunghun Kim, Sun Hong Choi, Kota Sakai, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, “ALD-Based sn-Doped InGaZNO with Reliability Enhancement,” 応用物理学会秋季学術講演会, 9a-n105-8, 名城大学, 2025年9月9日

[154] Yaoping Xiao, Yuxuan Wang, Xiaoran Mei, Tomoko Mizutani, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, “Reinvestigation on Subthreshold

Swing of Gate-All-Around Nanosheet FETs in Quantum Limit for Voltage Scaling," 15a-M_124-5, 応用物理学会春季学術講演会, 大岡山, 2026年3月15日発表.

[155] Yuxuan Wang, Yaoping Xiao, Jinhyun Chun, Xiaoran Mei, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, "Study on Design-Technology Co-Optimization for Complementary FET Logic," 15a-M_124-10, 応用物理学会春季学術講演会, 大岡山, 2026年3月15日発表.

[156] Xiaoran Mei, Yaoping Xiao, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, "Design–Technology Co-Optimization (DTCO) for Inner-Spacer Length Design in Nanosheet Standard Cells Using a Pseudo Logic-Block Gauge," 15a-M_124-11, 応用物理学会春季学術講演会, 大岡山, 2026年3月15日発表.

[157] Pandy Chitra and Masaharu Kobayashi, "Thickness-Dependent Band Structure of In2O3 and Ga-Doped In2O3 Nanosheets: A First-Principles Study," 15a-S4_202-5, 応用物理学会春季学術講演会, 大岡山, 2026年3月15日発表.

[158] Xingyu Huang, Kota Sakai, Anlan Chen, Takanori Takahashi, Mutsunori Uenuma, Yukiharu Uraoka, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, "Study On the Statistical Variability of High-Performance Crystalline InGaOx Nanosheet Oxide Semiconductor FETs," 18p-S2_203-2, 応用物理学会春季学術講演会, 大岡山, 2026年3月18日発表.

[159] 永井歩武, 小林正治,「酸化物半導体 TFT を用いた BSPDN 向け高効率 DC-DC コンバータに関する研究」, 18p-S2_203-3, 応用物理学会春季学術講演会, 大岡山, 2026年3月18日発表.

[160] 髙嶋智規, 今井雅, "極低温環境における CMOS 回路の性能評価," DAシンポジウム2025, pp.64-69, Aug., 2025

[161] Y. Zhang, R. Liu, N. Misawa, C. Matsui, K. Takeuchi, "Wide-Range Power-Efficient Readout for Analog CIM Using Low-MAC-Aware Quantization," 第86回応用物理学会秋季学術講演会, 2025年9月, 9a-N106-4.

[162] 兵頭 克哉, 岡田 竜馬, 竹原 浩成, 春田 牧人, 田代 洋行, 太田 淳, 笹川 清隆 "高速かつ高感度な電界撮像に向けたチップ内並列積算回路搭載CMOS偏光イメージセンサ" 映像情報メディア学会2025年冬季大会, 2025.12.19. 慶應義塾大学 矢上キャンパス.

[163] 瀬川 俊介, 岡田 竜馬, 竹原 浩成, 須永 圭紀, 春田 牧人, 田代洋行, 太田 淳, 笹川 清隆 "非破壊読み出し動作によりダイナミックレンジ向上機能を搭載した生体埋植イメージングデバイス" 映像情報メディア学会 2025年冬季大会, 2025.12.19. 慶應義塾大学 矢上キャンパス.

[164] Arphorn Promking, Yoshinori Sunaga, Yasumi Ohta, Ryoma Okada, Hiroyuki Tashiro, Jun Ohta, Kiyotaka Sasagawa "Lens-Free CMOS Microimaging Device with Diffractor Pattern for Improving Fluorescence Imaging" 2025年第86回応用物理学会秋季学術講演会, 2025.9.7. 名城大学 天白キャンパス.

[165] 川邉 吉則, 中西 優輝, 岡田 竜馬, 太田 淳, 笹川 清隆 "人工視覚デバイスの3D実装に向けたリジッド・フレキシブル構造作製法の検討" 応用物理学会関西支部 2025年度 第1回講演会, 2025.6.3. 産業技術総合研究所 関西センター.

[166] 瀬川 俊介, 岡田 竜馬, 竹原 浩成, 須永 圭紀, 春田 牧人, 田代 洋行, 太田 淳, 笹川 清隆 "生体埋植イメージングデバイスの非破壊読み出し動作によるダイナミックレンジ向上" 応用物理学会関西支部 2025年度 第1回講演会, 2025.6.3. 産業技術総合研究所 関西センター.

[167] 吉澤浩和, "低電圧・低消費電力 CMOS OTA," 第29回電気学会東京支部埼玉支所研究発表会, pp.3-6, 2026年3月.

[168] 万, 岸本, 四柳, "複数しきい値を持つ近似乗算器に適するBIST用テストパターン生成回路について," 第91回FTC研究会資料, 2025年7月.

[169] 土井, 鶴岡, 四柳, 橋爪, "待機状態でのIC間配線の電気検査制御を行うバウンダリスキャン設計," 電気・電子・情報関係学会四国支部連合大会講演論文集, p. 70, 2025年9月.

[170] 本間, 四柳, 橋爪, "TDC組込み型バウンダリスキャン回路の遅延量モデル化による検査時間短縮," 電気・電子・情報関係学会四国支部連合大会講演論文集, p. 71, 2025年9月.

[171] 山橋, 四柳, 橋爪, "割り込み信号線検査のための弛緩発振器による電気検査法の試作と検討," 電子情報通信学会技術研究報告, vol. 125, no. 262, pp. 155–160, 2025年12月.

[172] 藤野, 四柳, 橋爪, "遅延検査容易化設計に組込んだアービターPUFの実測評価," 電子情報通信学

会技術研究報告, vol. 125, no. 262, pp. 161–166, 2025年12月.

[173] 南, 四柳, 橋爪, “自己観測バウンダリスキャンを用いる半断線故障検査法の提案,” 電子情報通信学会技術研究報告, vol. 125, no. 262, pp. 167–172, 2025年12月.

[174] 山根, 四柳, 橋爪, “TDC組込み型バウンダリスキャンの遅延付加経路選択回路の設計,” 第40回エレクトロニクス実装学会春季講演大会, pp. 417–420, 2026年3月.

[175] 大森, 四柳, 橋爪, “温度補正オフセットキャンセル型コンパレータを用いるチップ間配線検査容易化設計,” 第40回エレクトロニクス実装学会春季講演大会, pp. 421–424, 2026年3月.

[176] 合津 京太朗, 守谷 哲, 石川 将也, 酒井 哲汰, 山本 英明, 佐藤 茂雄, “低電力リザバー計算システムの LSI 実装に向けた推論回路の設計,” N-1-29, 電子情報通信学会ソサイエティ大会, 2025年9月

[177] 酒井 哲汰, 守谷 哲, 合津 京太郎, 山本 英明, 佐藤 茂雄, “高閾値MOSFETを用いた超低消費電力スパイキングニューラルネットワーク回路の実装と分類課題応用,” 電子情報通信学会ニューロコンピューティング研究会, p.35, 2025年10月

[178] 酒井 哲汰, 守谷 哲, 馬島 侑希, 山本 英明, 佐藤 茂雄, “超低消費電力アナログスパイキングニューラルネットワーク回路のリザバー計算応用に向けた高速推論デジタル回路の設計,” 電子情報通信学会ニューロコンピューティング研究会, p.73, 2026年1月

[179] 馬島 侑希, 守谷 哲, 山本 英明, 佐藤 茂雄, “スパイキングニューラルネットワークハードウェアの大規模化に向けた高速スパイク通信モジュールのデジタル回路設計,” 電子情報通信学会ニューロコンピューティング研究会, p.74, 2026年1月

[180] 浜元 慈英, 守谷 哲, 大田 透人, 山本 英明, 佐藤 茂雄, “低消費電力アナログスパイキングニューラルネットワーク回路のためのエナジーハーベスタの設計,” 電子情報通信学会総合大会, D-2-03, 2026年3月

[181] 藤田, 佐藤, 小川, “CMOSクロスカップル整流器の定電圧出力特性” 電気学会研究会資料 電子回路研究会, pp.47-50, 2025年10月

[182] 石上, 藤田, 小川, 佐藤, “負性容量を用いた出力容量の低減による生体信号増幅回路の低消費電力化” 電気学会研究会資料 電子回路研究会, pp.61-66, 2026年1月

[183] 藤田, 佐藤, 小川, “定電圧出力特性をもつCMOSクロスカップル整流器の解析と設計” 電気学会研究会資料 電子回路研究会, pp.67-71, 2026年1月

[184] 西牧, 藤田, 小川, 佐藤, “D級増幅回路の電力効率を最大化するトランジスタの並列数の解析的設計” 電気学会研究会資料 電子回路研究会, pp.57-60, 2026年1月

[185] 小林晴陽, 高橋芳浩, “PN-Body Tied SOI MOSFETの最適設計に関する検討,” 日本大学理工学部術講演会, M-13, 2025.12.4.

[186] 彦田将明, 高橋芳浩, “CMOS回路の重イオン照射誘起電流変化に対する計算時間短縮化に関する検討,” 日本大学理工学部術講演会, M-14, 2025.12.4.

[187] 古田, 恩田, 伊藤, 中村, “光変調方式に着目した光送受信器の電力効率の比較検討,” 電子情報通信学会総合大会, A-1-06, 2026年3月.

[188] 今枝, 水谷, 藪谷, 伊藤, 中村, “自動利得制御機能付きPAM4パケット信号対応CTLE回路の検討,” 電子情報通信学会総合大会, A-1-05, 2026年3月.

[189] 日下, 近藤, 三浦, 中村, 伊藤, “PON対応 伝送距離適応型ONU光送受信器電力制御技術の提案,” 電子情報通信学会総合大会, A-1-07, 2026年3月.

[190] 米村 陸弥, 平野 純基, クオア ファム, 吉田 誉, 坂井 佐知子, 權 益賢, 崔 容俊, 野田 俊彦, 澤田 和明, 髙橋 一浩, “支持膜フリー転写によるひずみ印加グラフェン共振器の作製,” 第42回「センサ・マイクロマシンと応用システム」シンポジウム, ライトキューブ宇都宮（栃木県宇都宮市), 2025, 10P3-C-1.

[191] 光元 歩, 弘中 哲夫, “オクターブ間メモリ共有とストリーム処理による省メモリなSIFTハードウェアアーキテクチャ,” 2026年電子情報通信学会総合大会, A-6-02, 2026年3月10日.

[192] 朝日, 木村, “耐放射線性と応答速度を両立する放射線環境用ソースフォロワ回路の設計,” 令和7年度第33回電気学会 茨城支所 研究発表会, , , 2025年11月.

[193] 木村, 冨田, 大久保, 増澤, “フィルタの最適化と出力信号処理による集積化磁気センサにお けるノイズ低減に関する研究,” 第42回「センサ・マイクロマシンと応用システム」シンポジウム, 12P2-PS-82, 2025

年11月.

[194] 西尾 和俊，原 基揚，福岡 政大，道正 志郎，伊藤 浩之，賞名，“FBAR発振器を用いた小型原子時計の試作と評価,”2025年ICD・CAS学生・若手研究会（2025年12月6日）

[195] 伊藤 浩之，西尾 和俊，原 基揚，福岡 政大，“スマートフォンに入る超小型原子時計（CLIFS）の研究開発,” SNUG Japan 2025 アカデミックコンテスト（2025年9月19日）

[196] 福岡 政大，原 基揚，西尾 和俊，伊藤 浩之，“小型原子時計応用に向けた薄膜共振器を用いた高周波発振器,”電気学会研究会資料 2025（32-37）（2025年9月12日）

[197] 西尾 和俊，原 基揚，福岡 政大，道正 志郎，伊藤 浩之，“FBAR VCO を用いた超低位相雑音カスケードPLL によるミリ波信号生成手法の検討,”弾性波素子技術コンソーシアム第19回研究会（2025年7月1日）

[198] Masahiro Fukuoka, Yuichiro Yano, Motoaki Hara, Satoshi Yasuda, Nobuyasu Shiga, Ryuich Ichikawa and Tetsuya Ido, “Propitious Micro-/Nano-electromechanical system as a key to ultraminiaturization of the microwave atomic clock,” The ATIS Workshop on Synchronization and Timing Systems (2025年5月1日)

[199] 伊藤浩之，町田克之，曽根正人，三宅美博，“筋音計測のための超高感度加速度センサの研究,”第16回集積化MEMS技術研究会，2025年6月

[200] 増田，武内，「RISC-Vプロセッサにおける RoCC拡張による 低エネルギー Sortの実現」，信学技報，Vol. 125, no. 149, ICD2025-24, pp. 51-56, 2025年9月

[201] 北山，武内，「Rocket Chipの4方式によるカスタム命令自動プログラムの実装」，信学技報，Vol. 125, No. 260, VLD2025-28, pp. 64-69, 2025年12月.

[202] 増田，武内，「Chipyardを用いたSort処理アクセラレータの実現」，信学技報，Vol. 125, No. 382, VLD2025-79, pp. 18-23, 2026年3月.

[203] 松下，武内，「人工視覚システムのためのランレングス符号化アクセラレータの検討と評価」，信学技報，Vol. 125, No. 382, VLD2025-80, pp. 24-29, 2026年3月.

[204] 矢口忠勝，塩津勇作，菅原聡，“EMP近傍動作・並列読み出しシングルエンドSRAMマクロの設計,”第73回応用物理学会春季学術講演会，目黒区，東京，2026年3月15日-18日，paper 18p-S2_203-8.

[205] 近藤慶音，塩津勇作，菅原聡，“高エネルギー効率・XNOR-SRAM・並列演算PIM型BNNアクセラレータ・マクロの設計,”第73回応用物理学会春季学術講演会，目黒区，東京，2026年3月15日-18日，paper 18p-S2_203-9

[206] 塩津勇作，菅原聡，“INT4推論・並列演算PIM型NNアクセラレータ・マクロのアーキテクチャと設計,”第73回応用物理学会春季学術講演会，目黒区，東京，2026年3月15日-18日，paper 18p-S2_203-10

[207] 近藤慶音，塩津勇作，菅原聡，“XNOR-SRAMセルを用いた並列演算PIM型BNNアクセラレータ・マクロ,”第86回応用物理学会秋季学術講演会，名古屋市，愛知，2025年9月7日-10日，paper 10p-N302-4.

[208] 野見山敏輝，塩津勇作，菅原聡，“耐放射線SRAMセルの設計方法,”第86回応用物理学会秋季学術講演会，名古屋市，愛知，2025年9月7日-10日，paper 10p-N302-6.

[209] 矢口忠勝，塩津勇作，菅原聡，“EMP近傍動作・シングルエンドSRAMセルの設計と性能,”第86回応用物理学会秋季学術講演会，名古屋市，愛知，2025年9月7日-10日，paper 10p-N302-5.

[210] 藤下涼，塩津勇作，菅原聡，“エネルギー最小点動作・非対称型SRAMセルの設計,”第86回応用物理学会秋季学術講演会，名古屋市，愛知，2025年9月7日-10日，paper 10p-N302-2.

[211] 伊藤克俊，藤原拓真，塩津勇作，菅原聡，“エネルギー最小点動作PIMに応用可能な高ノイズ耐性SRAMセル,”第86回応用物理学会秋季学術講演会，名古屋市，愛知，2025年9月7日-10日，paper 10p-N302-3.

[212] 小飼 遼，小宮山崇夫，長南 安紀，山口 博之，小谷 光司，“汎用ロジックインバータICを用いた環境電波発電向け差動整流回路,”2025年度電気関係学会東北支部連合大会，1A1-04，2025年9月，会津若松市.

[213] 小飼 遼，小宮山崇夫，長南 安紀，山口 博之，小谷 光司，“低電圧汎用ロジックインバータICによる環境電波発電向け差動整流回路,”2025年電子情報通信学会ソサイエティ大会，B-20-03，p.347，2025年9月，岡山市.

[214] 佐藤 拓実，小宮山崇夫，長南 安紀，山口 博之，小谷 光司，“45nmテクノロジー世代モデルを用いた高効率整流回路の比較検討,”2025年電子情報

通信学会ソサイエティ大会，B-20-18，p.362，2025年9月，岡山市．

[215] 小谷 光司，粂内 絵美里，小宮山 崇夫，長南 安紀，山口 博之，“免許不要微弱無線による長波帯無線電力伝送技術の理論的検討，” 2026年電子情報通信学会総合大会，B-20-08，p.534，2026年3月，福岡市．

[216] 粂内 絵美里，小宮山 崇夫，長南 安紀，山口 博之，小谷 光司，“免許不要微弱無線による長波帯無線電力伝送技術の実験的検討，” 2026年電子情報通信学会総合大会，B-20-09，p.535，2026年3月，福岡市．

【著書】

[1] 和田光司，“世界を驚かせたフィルタ特性改善技術と超小型平面型フィルタの開発，”Yano E plus（2025年10月）

D. VDECの利用規程・申し込みガイド

D.1 概要

VDECは，全国の大学・高専向けに様々な支援事業を実施している．

1. CADツールの共同利用
2. VLSI試作サービスの共同利用
3. CADツール講習会（8-9月・3月）
4. 社会人リフレッシュ教育（6月-8月，学生も参加可能）
5. VLSIデザイナーフォーラム（若手の会）
6. 大型装置利用

CADベンダー，試作会社等のアカデミック向けの協力により，それぞれのサービスを大幅なアカデミックディスカウントで提供している．VDEC設立以来，これまでの実績では，CADの利用・CAD講習会は無償，LSI試作サービスは海外での類似サービスの半額以下，大型装置は消耗品実費負担のみとなっている．見返りとして，ユーザにはVDECを利用する「顧客」ではなく，VDECと一緒になってサービスを向上させる「主体」としての自己研鑽と協力を期待している．全国の研究室がバーチャルな一つの研究室として助けあいができるような状況を理想とし，限られたスタッフの中，日々支援活動を行っている．

サービスの対象は基本的には，大学・高専であり，端的にはメールアドレスとして「.ac.jp」を持つ教員と，その研究室内の教職員と学生を対象とする．それ以外の研究所の利用や，企業との共同研究については個別の判断を要する．特にCADツールについてはCADベンダーとのライセンス規定に抵触しないよう細心の注意が必要であるため，VDECの担当者（vdec@vdec.u-tokyo.ac.jp）に必ず相談いただきたい．その他のサービスについてはVDECの裁量範囲が広くなるので可能性が高くなるが，こちらもあらかじめ相談いただきたい．企業との共同研究については，少なくとも非営利，アカデミック側が51%以上のイニシアチブを取る研究であることが必要である．

また，CADの申込や試作申込，装置利用申込など，契約にかかわる作業は全て，代表の教員の方々に行っていただくことをお願いしている．研究室のメンバが代理で行うことも現実には可能であるが，その場合もあくまで教員の了解をとり，代理としての心構えで望んでいただきたい．

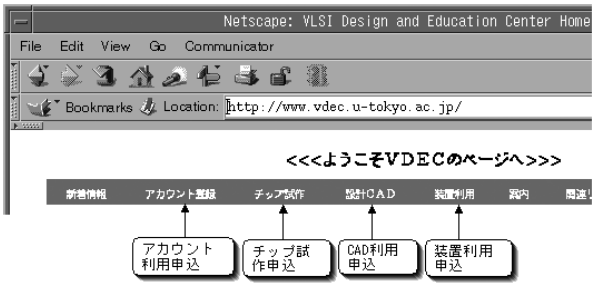
VDECのシステムは，InternetとUnix operating systemの上になりたっているので，Internetの仕組やUnixについての素養はあらかじめ付いていることを期待している．従って，利用でトラブルが起こったときには研究室や学校のネットワーク管理者と十分連絡をとって，問題を切りわけながら対処することが勧められる．

D.2 まずはじめに

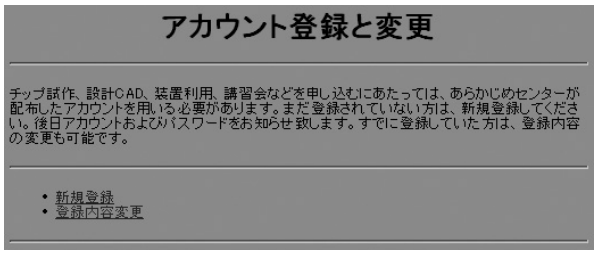
VDECからのおしらせ，また講習会・リフレッシュ教育を除く全ての申込や問い合わせには，VDECのWEBページ http://www.vdec.u-tokyo.ac.jp/ を用いている．一部のページは秘密等が含まれるため，WEBアクセス用アカウント・パスワードならびにアクセスしているマシンのInternet Protocol（IP）アドレスによって制限をかけている．

従って，VDECを利用したい場合，前もって教員によるアカウントの申請が必要である．登録は無料．資格の審査を行うため十分な（サービス開始前1ヶ月以上）時間的余裕をもって，申込をお願いしたい．申込から概ね数週間が経過した後，WEBページアクセス用のアカウントとパスワードが発行される．アカウントは，半角英大文字2字+半角数字5桁（例：VD00000）からなる．

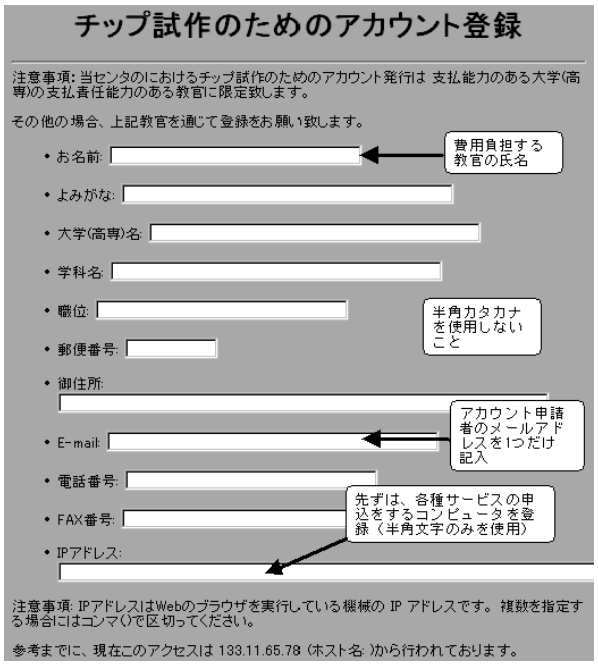
申込で特に注意する点は，VDECのWEBにアクセスしたい研究室のマシンのIPアドレスを入力することである．学校の中にあるマシンからのみアクセスを許可しており，プロバイダーのアドレスならびに，Proxyサーバのアドレス登録は禁止する．入力の際は，133.11.58.4,133.11.58.5のように，IPアドレスを全て「半角」の英数字で，「,」（半角カンマ）で区切って，途中改行を入れずに入力する．また，ここで入力するアドレスは，「ネットワークの外部から見えるアドレス」であることに注意する．特に，NAT（IP masqueradeというプログラム名で呼ばれることもある．機能としてはNATが正しい．）で研究室内をローカルネットワークにしている場合は，NATサーバのアドレスを入力する．よくある間違いとして，ローカルネットワークのIP，例えば「192.168.X.XX」を登録したためアクセスできなくて困っている例がある．



図D.1　VDECホームページのインデクスフレーム



図D.2　アカウント登録・変更ページの入口



図D.3　アカウントの新規登録の注意点

ネットワークが変更になるとか，研究室のマシン増設などでIPアドレスを変更する場合は同じく，申込のページから「登録内容変更」を行う．特に，古いIPが使えなくなるといった大幅なネットワークの変更がわかっている場合は，まえもって新旧両方のアドレスを登録しておく．万一アクセスできなくなった場合は，「新規登録」を行い，同じE-Mailアドレスを入力することで上書き変更が可能である．

【登録するIPアドレスに関する要件】

- アクセス制限を行わないページのみを参照するコンピュータのIPアドレスを登録する必要はない
- IPアドレスの登録数には制限を設けないが，管理の行き届いたコンピュータのみに限定すること
- DHCPサーバにより動的に割り当てられたIPアドレスやローカルアドレスなどは登録できない（しても意味が無い）
- Proxyサーバ等を介さないアドレスを指定すること．これは，設計規則等の機密情報がProxyサーバに残ってしまい，機密漏洩につながることを防ぐためであるので守っていただきたい．但し，ファイアーウォールが設置されているなど学内の事情により直接のアクセスが行えない場合にはその限りではない

D.3　CADツールの共同利用

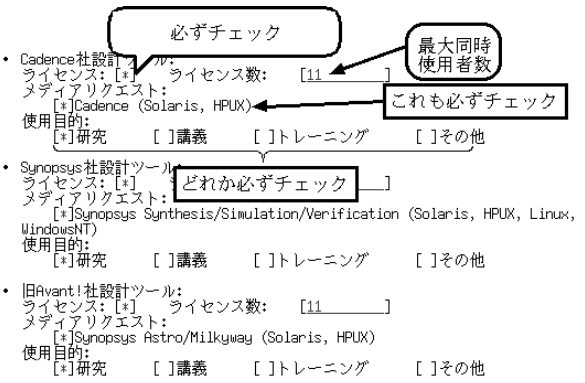
VDECでは，集積回路の上流から下流まで一連の設計を行うためのCADツールを提供している．これらのソフトウェアは，VDECのVLSI試作以外のアカデミック用途（MOSIS-VDECを通じた試作，教育用の演習，EB等VDECの大型装置利用のためのデータ作成用，等）の利用も可能である．アカデミック向けであるから，企業との研究の際は利用の可・不可が場合により異なるので，心配な場合あらかじめ相談いただきたい．

1つの設計作業を行うために，2つ以上のベンダーからCADを選べる状況（二重化）を理想としている．LSIの設計には，CADソフトと共に，パラメータやライブラリが必要であるが，これも職員や関連研究室のボランティアにより，充実のための努力が払われている．ボランティアとしての協力は大変に歓迎される．

CAD申込のWEBページに教員がアクセスする（WEBアカウントが必要である）．NDA事項を了解いただきサイン入りの文書をVDECセンター長室に送付した後，CADの申請ができる．

申請時にWEBから入力する内容は以下のとおり．

- ソフトウェアライセンス数（研究室で同時に使用すると思われる最低数を入力）
- 用途
- メディアリクエスト（使用するOperating Systemを選んでチェックする）．
- 利用する研究室所有ワークステーションのホストネーム（VDEC，端的にはusr1から名前→IPアドレスの解決ができる，「.ac.jp」で終わるホスト名であることが条件．）



図D.4　CAD利用申込フォームの「ライセンス数の登録」パート記入における注意点

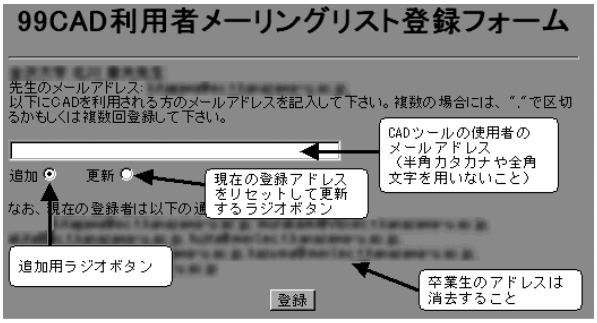
ソフトウェアのCDROM（メディア）について，VDECの創設期においては，メディアを近隣の研究室で「回覧」していたが，インターネットの発達により回線が豊富になったので，現在ではCDに書き込めるISOイメージファイルで提供している．VDECホームページの「ライセンスファイルの配布>ここから」からダウンロードできるようにある．当然ながら，VDECのユーザアカウントとパスワードが必要となるため，CADを申請してから数週間程度の時間差が必要となるであろう．

メディアをダウンロードした後，プログラムをインストールし，初期設定ファイルを整備する．特に，ライセンスファイルはWEB経由で別途取得の上設定するか，環境変数LM_LICENSE_FILE等を（ライセンスサーバのポート番号）@（ライセンスサーバ）の形式で設定する．また，/etc/hostsファイル等を設定し，ライセンスサーバを「ローカルのネットワーク相当でアクセスできるように」する．端的には，手元のワークステーションにおいて，例えば「vdec-cad1」と指定するだけで，FQDN形式の「vdec-cad1.vdec.u-tokyo.ac.jp」のマシンのIPアドレスが引けるように設定する．

CADツールを実行するためには，VDECまたは地域拠点校のライセンスサーバによる認証が必要である．ライセンスファイルまたは環境変数の変更により認証を行うライセンスサーバを切り替えることが出来るので，VDECまたは地域拠点校のどちらかのライセンスサーバがメンテナンス等の事情により停止している場合でも，稼働中のもう一方のライセンスサーバを選択することによりCADを実行することが可能である．また，ライセンスサーバの認証は，CADツール起動後も数分おきに行われるので，CADツールを実行中は常時ライセンスサーバとの通信が可能な状態にしておかなければならない．また，ファイアーウォールを使用しているネットワーク環境では，VDECのWebサーバとVDECおよび地域拠点校に対して，ライセンス認証用の特定のポートを空ける必要がある．この場合，各大学・高専のネットワーク管理者と相談すること．

初期設定等はやり方を一度経験すれば簡単であるが，はじめてのときは様々な問題が起こることもある．VDECに対する大幅なアカデミックディスカウントの引き換えとして，各研究室はCADベンダーによる直接のサポートを受けられない．かわりにVDECでは，「CADuser@vdec.u-tokyo.ac.jp」メーリングリストを用意している．質問はこちらのメーリングリストを利用いただきたい．CADを利用する研究室の構成員のどなたでも投稿，返答してよい．CADuser MLの注意点は以下のとおり．

1. WEBページから，利用するメンバのE-Mailアドレスを登録すること．特にその際，「.ac.jp」で終わるアドレスを利用し，メールはプロバイダ等に転送しないこと（情報漏洩の観点から）．
2. リストの更新は頻繁におこない，卒業生へのメール配信は速やかに停止すること．特に4月に注意．
3. メールをする前に，あらかじめCADuser MLの過去記事検索がWEBからできるので，類似の質問が無いかどうか検索してから投稿すること．
4. 機密保持にかかわるような内容のメールは，CADuserに送ってはならない．各試作のメーリングリストに送ること
5. 問題解決したら，問題，原因，解決法をまとめて投稿すること（必須ではないが，ネット利用のエチケットといえる）．



図D.5　CAD利用者メーリングリスト登録における注意点

ライセンスは年度単位で申込みを受けつけしている．各CADベンダーとVDECとの交渉がまとまる毎年3月末に，CADuser ML とWEB上に，次年度のCAD利用申込案内が出るので忘れずに申込する．4月中は移行期間として前年度申込のライセンスも有効にしてあるが，4月末に切れるため，そのときになって慌てる例が毎年発生している．「永久ライセンスではない」ことに十分ご注意いただきたい．

【毎月注意を払うべき点．熟読必須.】

1. VDECでは，CADを使用できる計算機のリスト（アクセスリストと呼ぶ）を半年毎に更新している．このときDNSの逆引きができなくなっていた等の何らかの不具合で，アクセスリストに自分の計算機が登録されない場合がある．その場合，CADが使えなくなるので，アクセスリスト更新前に対処する必要がある．サーバの停止は，全国ユーザに影響が及ぶため頻繁には行えないので，万が一アクセスリストの不備に気づかなかった場合は，最悪半年以上CADが使用できなくなる．
2. 以上の理由で，VDECから「CADのアクセスリストを更新します」というアナウンスがあった場合，必ずチェックを行い，自分のコンピュータが登録されていることを確認しなければならない．
3. 登録確認のページは，http://www.vdec.u-tokyo.ac.jp/CAD/cad_access_list.htmlである．ブックマークを強くお勧めする．
4. IPアドレス（ホスト名）registered　という表示が出ていれば登録されている．
5. false（false（ホスト名））　FAIL という表示が出ていれば登録に失敗しているので，原因を探る．

一般的に，DNSの逆引き（ホスト名からIPアドレスを引く）に失敗していることが多い．研究室のネットワーク管理者とも相談して，VDECのサーバから，当該ホスト名の逆引きができるまで原因の除去を行う．

D.4　VLSI試作サービスの共同利用

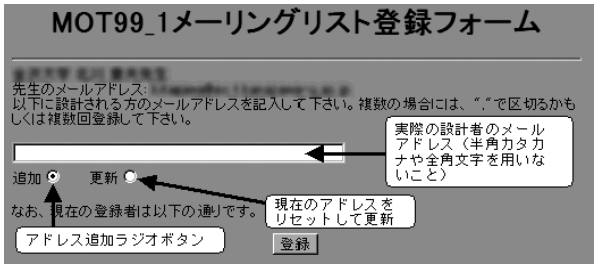
VLSI試作サービスは，教育研究目的に限って認められる．WEBページに本年度のランが掲示され，数ヶ月前から試作が申込可能になり，リンクが張られる．まず，試作会社の持つ機密情報に対するNDA契約を行う．これはVDECホームページの「試作関係>試作案内>機密保持契約（NDA）の文面」より，希望プロセスのNDAにサインしてVDECに郵送し，VDEC側で手続き終了後にNDA締結となり，設計規則やライブラリにアクセスできるようになる．設計規則はWEB経由のアクセスならびに，WEBでの公開を禁止している会社の場合はCDROM等で送付される．NDAの対象は教員であるが，研究室の職員・学生にも同じNDAが適用されるため，取扱には細心の注意を支払っていただきたい．尚，秘密保持契約内容は，以降の同一プロセスによるチップ試作全てにおいて有効である．

試作申込はデザイン提出〆切日の6〜3ヶ月前，キャンセルの〆切は1ヶ月前である．1ヶ月前より遅くなったキャンセルには，原則として試作代金をお支払いいただくので注意いただきたい．特にはじめて試作に参加される場合は，1ヶ月前には回路ができているくらいの，余裕をもったスケジュールを組まれることを強くお勧めする．

VLSI申込フォームの入力に関する注意点

- 希望チップ寸法の項目のチェックボックスを必ずチェックした上で希望チップ数を入力すること．チェックを行わないと入力した数字は無効となる
- チップ数入力には半角数字を用いる

設計に関する問い合わせについては，各試作についてメーリングリストを用意してあるので，設計者全員のメールアドレスを登録する．「.ac.jp」で終わるアドレスであり，プロバイダに転送をしないよう注意願いたい．これらメーリングリストの過去記事検索もできる．



図D.6　VLSI試作メーリングリスト登録ページの注意点

レイアウトを設計した後，VDECが提供する最新のDesign Rule Checkファイルでチェックを行い，エラーフリーになったものを提出する．また，シミュレーションはもちろんのこと，レイアウトが回路図と同等であることを確認するLayout Vs Schematic（LVS）チェックを通しておいて，提出しようとする回路が本当に動作しそうである確信を持っておくことは最低限必要であろう．デザインの提出は指定されたVDECページか

ら行う．提出時にVDEC側で最終DRCを実行する．ここでエラーが出たチップは提出できない．必ず自分の環境でDRCフリーにしてからチップを提出すること．

提出〆切は月曜日に設定されていることが多いが，できる限り余裕をもって，前の週などに提出をいただきたい．また，月曜日に締め切った後，VDEC側でさらにデザインルールをチェックしている．この際本来出てはいけないエラーが出ることがあり，出た場合設計者に修正のお願いを連絡するので，提出したからといって安心せず，1週間ほどはVDECからの連絡に注意願いたい．

デザイン提出から数ヶ月後に，VLSIチップが納品され，請求書も送付されるので，遅滞なく支払をお願いする．

D.5　CADツール講習会

CADベンダーとの契約により，個々のサポートは提供しないかわりに，毎年2回，夏と春とCAD講習会を開催している．東京大学の武田先端知ビルセミナー室にてメイン会場として開催され，各地方の拠点校へサブ会場としてストリーミング配信される．まずはこういった講習会に参加し，大体の知識を付けてから実際の試作なりCAD利用を行うことをお勧めしている．アナウンスはCADUser メーリングリストで流れる．また，申込は，VDECのWEBページから行う．

D.6　社会人・大学リフレッシュ教育

CADツール講習会からさらに進んだ形で，VDEC環境での回路設計，アナログ回路のレイアウトやシミュレーションを体験したりする「アナログコース」，「RF」コース，「MEMsコース」ならびに一線の研究者による設計事例の講演会などを企画している．6月〜9月に開催し，有料である．社会人を主に対象としていたが，近年関係者にも向けている．

D.7　デザイナズフォーラム（旧若手の会）

毎年9月頃，VDECを利用する若手が合宿を行い，最近の動向や研究内容について話しあう機会を設けている．発足当初の「若手」の定義は年齢が5ビット．最近の定義は「自分は若手だと思っている学生・教職員」であるので積極的な参加をお待ちしている．

D.8　大型装置利用

LSIテスターや，EB装置など，公開可能な装置については，利用の案内をWEBページに掲載している．その手順に従って利用方法の学習と申請を行う．基本的なスタンスは以下のとおり．

1. 公開の対象は教員であり，研究室メンバは教員の代理として責任をもって使っていただく．
2. 利用免許を持っている者の付き添いがあれば基本的に自由な利用が可能
3. 数回のトレーニングを受けて免許を持てば自分一人で利用可能

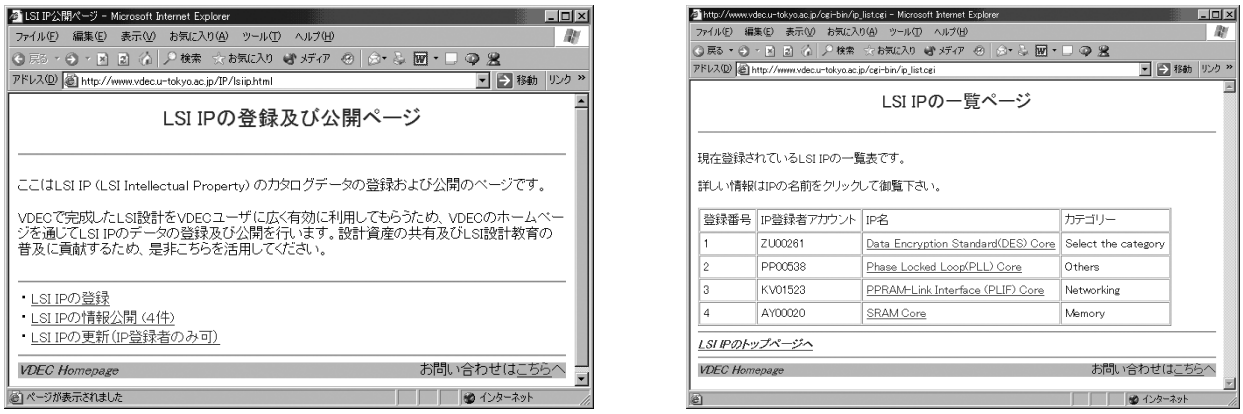
VDEC専任・協力教員のサポートスタッフ数に限りがあるので，免許保持者に積極的な教育をお願いすることがあるので，協力いただきたい．

E. IPデータベースの整備

設計資産の再利用のために，VDECではWeb上でのデータベースの構築および公開を行っている(http://www.vdec.u-tokyo.ac.jp/IP/lsiip.html，図E.1)．本データベースの利用対象は，IP登録に関してはVDECユーザに限定しているが，IP利用に関しては任意対象となっている．本データベースに関してのVDECの役割は，IPのカタログデータの整理，公開および登録者－利用者間の仲介と機密情報の取り扱いの監督である．

平成12年度から平成14年度の3年間，(株)半導体理工学研究センター(STARC)との共同研究としてIPプロジェクトを行ってきたが，その最終成果としてIP開発グループの各参加者へ完成IPの登録を働きかけ，上記データベースによって公開を行っている．

現在までに登録済みのIPを表E.1に示す．



図E.1　VDEC LSI IP Webデータベースの例

表E.1 VDEC LSI IPデータベースに登録済みのIP(令和8年3月現在)

登録番号	IP名	カテゴリー
1	Data Encryption Standard (DES) Core	Others
2	Phase Locked Loop (PLL) Core	Others
3	PPRAM-Link Interface (PLIF) Core	Networking
4	SRAM Core	Memory
5	Processor Core with Instruction set Compatibility with Hitachi SuperH	Processor/Controller
6	IEEE-754-Standard Single-Precision Floating-Point Dividers	Datapath
7	Controller Core with Instruction set Compatibility with PIC16F84	Processor/Controller

令和8年度
東京大学大学院工学系研究科附属システムデザイン研究センター
年報

2026年8月

編集・発行	東京大学大学院工学系研究科附属システムデザイン研究センター 池田 誠 〒113-8656 東京都文京区本郷7-3-1工学部2号館111A1 TEL　03-5841-6561
印刷・製本	株式会社総北海 東京支店 〒130-0022 東京都墨田区江東橋4丁目25番10号 オカバ錦糸町ビルII 2F TEL　03-5625-7321

d.lab
Systems Design Lab

Systems Design Lab, School of Engineering, The University of Tokyo 2026

